

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4173672号

(P4173672)

(45) 発行日 平成20年10月29日 (2008.10.29)

(24) 登録日 平成20年8月22日 (2008.8.22)

(51) Int. Cl.	F I
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 A
HO 1 L 27/092 (2006.01)	HO 1 L 29/78 3 O 1 N
HO 1 L 29/78 (2006.01)	HO 1 L 27/08 3 2 1 C

請求項の数 25 (全 43 頁)

(21) 出願番号	特願2002-76182 (P2002-76182)	(73) 特許権者	503121103
(22) 出願日	平成14年3月19日 (2002.3.19)		株式会社ルネサステクノロジ
(65) 公開番号	特開2003-273240 (P2003-273240A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成15年9月26日 (2003.9.26)	(74) 代理人	100083552
審査請求日	平成16年9月28日 (2004.9.28)		弁理士 秋田 収喜
		(72) 発明者	鉢嶺 清太
			東京都小平市上水本町5丁目22番1号
			株式会社日立超エル・エス・アイ・システムズ内
		(72) 発明者	清水 昭博
			東京都小平市上水本町5丁目22番1号
			株式会社日立超エル・エス・アイ・システムズ内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板に形成された n チャネル導電型電界効果トランジスタ及び p チャネル導電型電界効果トランジスタを有する半導体装置の製造方法であって、

引っ張り応力を持つ第 1 の絶縁膜を前記 n チャネル導電型電界効果トランジスタ及び前記 p チャネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして形成する (a) 工程と、

前記 (a) 工程後に、前記第 1 の絶縁膜上に第 1 酸化シリコン膜を形成する (b) 工程と、

前記 (b) 工程後に、前記第 1 の絶縁膜の引っ張り応力よりも絶対値が大きい圧縮応力を持つ第 2 の絶縁膜を前記 n チャネル導電型電界効果トランジスタ及び前記 p チャネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして形成する (c) 工程と、

前記 (c) 工程後に、エッチング処理を施して、前記 n チャネル導電型電界効果トランジスタ上の前記第 2 の絶縁膜を選択的に除去する (d) 工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、

前記第 1 及び第 2 の絶縁膜は、窒化シリコン膜からなる自己整合コンタクト用絶縁膜であることを特徴とする半導体装置の製造方法。

10

20

## 【請求項 3】

ゲート絶縁膜、ゲート電極、サイドウォールスペーサ、ソース領域およびドレイン領域を有し、その動作時に、前記ゲート絶縁膜を介した前記ゲート電極下の半導体基板にチャネル領域を形成する n チャネル型電界効果トランジスタ及び p チャネル型電界効果トランジスタを含む半導体装置であって、

(a) 窒化シリコン膜からなり、且つ、前記 n チャネル型電界効果トランジスタ及び前記 p チャネル型電界効果トランジスタの前記チャネル領域に引張り応力を発生させる第 1 の絶縁膜を、前記 n チャネル型電界効果トランジスタ及び前記 p チャネル型電界効果トランジスタを覆うように形成する工程、

(b) 前記 (a) 工程後に、前記第 1 の絶縁膜上に、第 1 酸化シリコン膜を形成する工程、

(c) 前記 (b) 工程後に、前記第 1 酸化シリコン膜上に、窒化シリコン膜からなり、且つ、前記 n チャネル型電界効果トランジスタ及び前記 p チャネル型電界効果トランジスタの前記チャネル領域に、前記第 1 の絶縁膜の引張り応力よりも絶対値が大きい圧縮応力を持つ第 2 の絶縁膜を形成する工程、

(d) 前記 (c) 工程後に、前記 p チャネル型電界効果トランジスタ上の前記第 2 の絶縁膜を残しつつ、前記 n チャネル型電界効果トランジスタ上の前記第 2 の絶縁膜を除去する工程、

(e) 前記 (d) 工程後に、前記 p チャネル型電界効果トランジスタ上の前記第 2 の絶縁膜上、及び、前記 n チャネル型電界効果トランジスタ上の前記第 1 酸化シリコン膜上に、層間絶縁膜を形成する工程、

(f) 前記 (e) 工程後に、前記層間絶縁膜をエッチングすることで、前記第 1 の絶縁膜をエッチングストッパとして、前記 n チャネル型電界効果トランジスタの前記ソース領域および前記ドレイン領域に接続するための複数の第 1 接続孔を形成する工程であって、且つ、前記第 2 の絶縁膜をエッチングストッパとして、前記 p チャネル型電界効果トランジスタの前記ソース領域および前記ドレイン領域に接続するための複数の第 2 接続孔を形成する工程、

を有することを特徴とする半導体装置の製造方法。

## 【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 2 の絶縁膜の圧縮応力は、前記第 1 の絶縁膜の引っ張り応力の 2 倍以上であることを特徴とする半導体装置の製造方法。

## 【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置の製造方法において、

前記 (d) 工程は、等方性エッチングで行うことを特徴とする半導体装置の製造方法。

## 【請求項 6】

請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 1 の絶縁膜の形成時における高周波電力は、前記第 2 の絶縁膜の形成時における高周波電力よりも高いことを特徴とする半導体装置の製造方法。

## 【請求項 7】

請求項 1 ~ 6 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 1 の絶縁膜の形成に使用される原料ガスは  $\text{SiH}_4$  と  $\text{NH}_3$  と  $\text{N}_2$  であり、前記第 2 の絶縁膜の形成に使用される原料ガスは  $\text{SiH}_4$  と  $\text{N}_2$  であることを特徴とする半導体装置の製造方法。

## 【請求項 8】

請求項 1 ~ 7 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 1 の絶縁膜の形成時の温度は、前記第 2 の絶縁膜の形成時の温度よりも高いことを特徴とする半導体装置の製造方法。

## 【請求項 9】

請求項 1 ~ 8 のいずれか 1 項に記載の半導体装置の製造方法において、

10

20

30

40

50

前記第 1 の絶縁膜の形成時の圧力は、前記第 2 の絶縁膜の形成時の圧力よりも高いことを特徴とする半導体装置の製造方法。

【請求項 10】

半導体基板に形成された n チャネル導電型電界効果トランジスタ及び p チャネル導電型電界効果トランジスタを有する半導体装置の製造方法であって、

圧縮応力を持つ第 1 の絶縁膜を前記 n チャネル導電型電界効果トランジスタ及び前記 p チャネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして形成する (a) 工程と、

前記 (a) 工程後に、前記第 1 の絶縁膜上に第 1 酸化シリコン膜を形成する (b) 工程と、

前記 (b) 工程後に、前記第 1 の絶縁膜の圧縮応力よりも絶対値が大きい引っ張り応力を持つ第 2 の絶縁膜を前記 n チャネル導電型電界効果トランジスタ及び前記 p チャネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして形成する (c) 工程と、

前記 (c) 工程後に、エッチング処理を施して、前記 p チャネル導電型電界効果トランジスタ上の前記第 2 の絶縁膜を選択的に除去する (d) 工程とを有することを特徴とする半導体装置の製造方法。

【請求項 11】

請求項 10 に記載の半導体装置の製造方法において、

前記第 1 及び第 2 の絶縁膜は、窒化シリコン膜からなる自己整合コンタクト用絶縁膜であることを特徴とする半導体装置の製造方法。

【請求項 12】

ゲート絶縁膜、ゲート電極、サイドウォールスペーサ、ソース領域およびドレイン領域を有し、その動作時に、前記ゲート絶縁膜を介した前記ゲート電極下の半導体基板にチャネル領域を形成する n チャネル型電界効果トランジスタ及び p チャネル型電界効果トランジスタを含む半導体装置であって、

(a) 窒化シリコン膜からなり、且つ、前記 n チャネル型電界効果トランジスタ及び前記 p チャネル型電界効果トランジスタの前記チャネル領域に圧縮応力を発生させる第 1 の絶縁膜を、前記 n チャネル型電界効果トランジスタ及び前記 p チャネル型電界効果トランジスタを覆うように形成する工程、

(b) 前記 (a) 工程後に、前記第 1 の絶縁膜上に、第 1 酸化シリコン膜を形成する工程、

(c) 前記 (b) 工程後に、前記第 1 酸化シリコン膜上に、窒化シリコン膜からなり、且つ、前記 n チャネル型電界効果トランジスタ及び前記 p チャネル型電界効果トランジスタの前記チャネル領域に、前記第 1 の絶縁膜の圧縮応力よりも絶対値が大きい引っ張り応力を持つ第 2 の絶縁膜を形成する工程、

(d) 前記 (c) 工程後に、前記 n チャネル型電界効果トランジスタ上の前記第 2 の絶縁膜を残しつつ、前記 p チャネル型電界効果トランジスタ上の前記第 2 の絶縁膜を除去する工程、

(e) 前記 (d) 工程後に、前記 n チャネル型電界効果トランジスタ上の前記第 2 の絶縁膜上、及び、前記 p チャネル型電界効果トランジスタ上の前記第 1 酸化シリコン膜上に、層間絶縁膜を形成する工程、

(f) 前記 (e) 工程後に、前記層間絶縁膜をエッチングすることで、前記第 1 の絶縁膜をエッチングストッパとして、前記 p チャネル型電界効果トランジスタの前記ソース領域および前記ドレイン領域に接続するための複数の第 1 接続孔を形成する工程であって、且つ、前記第 2 の絶縁膜をエッチングストッパとして、前記 n チャネル型電界効果トランジスタの前記ソース領域および前記ドレイン領域に接続するための複数の第 2 接続孔を形成する工程、

を有することを特徴とする半導体装置の製造方法。

【請求項 13】

請求項 10 ~ 12 のいずれか 1 項に記載の半導体装置の製造方法において、  
前記第 2 の絶縁膜の引っ張り応力は、前記第 1 の絶縁膜の圧縮応力の 2 倍以上であることを特徴とする半導体装置の製造方法。

【請求項 14】

請求項 10 ~ 13 のいずれか 1 項に記載の半導体装置の製造方法において、  
前記 (d) 工程は、等方性エッチングで行うことを特徴とする半導体装置の製造方法。

【請求項 15】

請求項 10 ~ 14 のいずれか 1 項に記載の半導体装置の製造方法において、  
前記第 1 の絶縁膜の形成時における高周波電力は、前記第 2 の絶縁膜の形成時における高周波電力よりも高いことを特徴とする半導体装置の製造方法。

10

【請求項 16】

請求項 10 ~ 15 のいずれか 1 項に記載の半導体装置の製造方法において、  
前記第 1 の絶縁膜の形成に使用される原料ガスは  $\text{SiH}_4$  と  $\text{NH}_3$  と  $\text{N}_2$  であり、  
前記第 2 の絶縁膜の形成に使用される原料ガスは  $\text{SiH}_4$  と  $\text{N}_2$  であることを特徴とする半導体装置の製造方法。

【請求項 17】

請求項 10 ~ 16 のいずれか 1 項に記載の半導体装置の製造方法において、  
前記第 1 の絶縁膜の形成時の温度は、前記第 2 の絶縁膜の形成時の温度よりも高いことを特徴とする半導体装置の製造方法。

【請求項 18】

20

請求項 10 ~ 17 のいずれか 1 項に記載の半導体装置の製造方法において、  
前記第 1 の絶縁膜の形成時の圧力は、前記第 2 の絶縁膜の形成時の圧力よりも高いことを特徴とする半導体装置の製造方法。

【請求項 19】

半導体基板に形成された n チャネル導電型電界効果トランジスタ及び p チャネル導電型電界効果トランジスタを有する半導体装置であって、

引っ張り応力を持つ第 1 の絶縁膜が、前記 n チャネル導電型及び p チャネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして形成され、

前記第 1 の絶縁膜上に第 1 酸化シリコン膜が形成され、

前記第 1 の絶縁膜の引っ張り応力よりも絶対値が大きい圧縮応力を持つ第 2 の絶縁膜が、前記 p チャネル導電型電界効果トランジスタ上にこのゲート電極を覆うように、前記第 1 酸化シリコン膜を介して選択的に形成されていることを特徴とする半導体装置。

30

【請求項 20】

ゲート絶縁膜、ゲート電極、サイドウォールスペーサ、ソース領域およびドレイン領域を有し、その動作時に、前記ゲート絶縁膜を介した前記ゲート電極下の半導体基板にチャネル領域を形成する n チャネル型電界効果トランジスタ及び p チャネル型電界効果トランジスタを含む半導体装置であって、

窒化シリコン膜からなり、前記 n チャネル型電界効果トランジスタ及び前記 p チャネル型電界効果トランジスタを覆うように形成され、且つ、前記 n チャネル型電界効果トランジスタ及び前記 p チャネル型電界効果トランジスタの前記チャネル領域に引っ張り応力を発生させる第 1 の絶縁膜と、

40

前記第 1 の絶縁膜上に形成された第 1 酸化シリコン膜と、

前記 p チャネル型電界効果トランジスタ上に形成された前記第 1 酸化シリコン膜上に形成され、窒化シリコン膜からなり、且つ、前記 p チャネル型電界効果トランジスタの前記チャネル領域に前記第 1 の絶縁膜の引っ張り応力よりも絶対値が大きい圧縮応力を発生させる第 2 の絶縁膜と、

前記 p チャネル型電界効果トランジスタ上の前記第 2 の絶縁膜上、及び、前記 n チャネル型電界効果トランジスタ上の前記第 1 酸化シリコン膜上に形成された層間絶縁膜と、

前記層間絶縁膜、前記第 1 酸化シリコン膜及び前記第 1 の絶縁膜に形成され、且つ、前記 n チャネル型電界効果トランジスタの前記ソース領域および前記ドレイン領域に接続す

50

る複数の第 1 接続孔と、

前記層間絶縁膜、前記第 2 の絶縁膜、前記第 1 酸化シリコン膜及び前記第 1 の絶縁膜に形成され、且つ、前記 p チャンネル型電界効果トランジスタの前記ソース領域および前記ドレイン領域に接続する複数の第 2 接続孔とを有することを特徴とする半導体装置。

【請求項 2 1】

請求項 1 9 または 2 0 のいずれか 1 項に記載の半導体装置において、

前記第 2 の絶縁膜の圧縮応力は、前記第 1 の絶縁膜の引っ張り応力の 2 倍以上であることを特徴とする半導体装置。

【請求項 2 2】

半導体基板に形成された n チャンネル導電型電界効果トランジスタ及び p チャンネル導電型電界効果トランジスタを有する半導体装置であって、

圧縮応力を持つ第 1 の絶縁膜が、前記 n チャンネル導電型及び p チャンネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして形成され、

前記第 1 の絶縁膜上に第 1 酸化シリコン膜が形成され、

前記第 1 の絶縁膜の圧縮応力よりも絶対値が大きい引っ張り応力を持つ第 2 の絶縁膜が、前記 n チャンネル導電型電界効果トランジスタ上にこのゲート電極を覆うように、前記第 1 酸化シリコン膜を介して選択的に形成されていることを特徴とする半導体装置。

【請求項 2 3】

ゲート絶縁膜、ゲート電極、サイドウォールスペーサ、ソース領域およびドレイン領域を有し、その動作時に、前記ゲート絶縁膜を介した前記ゲート電極下の半導体基板にチャンネル領域を形成する n チャンネル型電界効果トランジスタ及び p チャンネル型電界効果トランジスタを含む半導体装置であって、

窒化シリコン膜からなり、前記 n チャンネル型電界効果トランジスタ及び前記 p チャンネル型電界効果トランジスタを覆うように形成され、且つ、前記 n チャンネル型電界効果トランジスタ及び前記 p チャンネル型電界効果トランジスタの前記チャンネル領域に圧縮応力を発生させる第 1 の絶縁膜と、

前記第 1 の絶縁膜上に形成された第 1 酸化シリコン膜と、

前記 n チャンネル型電界効果トランジスタ上に形成された前記第 1 酸化シリコン膜上に形成され、窒化シリコン膜からなり、且つ、前記 n チャンネル型電界効果トランジスタの前記チャンネル領域に前記第 1 の絶縁膜の圧縮応力よりも絶対値が大きい引っ張り応力を発生させる第 2 の絶縁膜と、

前記 n チャンネル型電界効果トランジスタ上の前記第 2 の絶縁膜上、及び、前記 p チャンネル型電界効果トランジスタ上の前記第 1 酸化シリコン膜上に形成された層間絶縁膜と、

前記層間絶縁膜、前記第 1 酸化シリコン膜及び前記第 1 の絶縁膜に形成され、且つ、前記 p チャンネル型電界効果トランジスタの前記ソース領域および前記ドレイン領域に接続する複数の第 1 接続孔と、

前記層間絶縁膜、前記第 2 の絶縁膜、前記第 1 酸化シリコン膜及び前記第 1 の絶縁膜に形成され、且つ、前記 n チャンネル型電界効果トランジスタの前記ソース領域および前記ドレイン領域に接続する複数の第 2 接続孔とを有することを特徴とする半導体装置。

【請求項 2 4】

請求項 2 2 または 2 3 のいずれか 1 項に記載の半導体装置において、

前記第 2 の絶縁膜の引っ張り応力は、前記第 1 の絶縁膜の圧縮応力の 2 倍以上であることを特徴とする半導体装置。

【請求項 2 5】

請求項 1 又は 1 0 に記載の半導体装置の製造方法において、

更に、前記 ( d ) 工程の後に、前記半導体基板の表面に到達する、前記 n チャンネル導電型電界効果トランジスタ及び p チャンネル導電型電界効果トランジスタのためのソース・ドレイン用コンタクト孔を形成する工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

10

20

30

40

50

**【発明の属する技術分野】**

本発明は、半導体装置及びその製造技術に関し、特に、同一基板にnチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタを有する半導体装置及びその製造技術に適用して有効な技術に関するものである。

**【0002】****【従来の技術】**

半導体装置に搭載される電界効果トランジスタとして、例えばMISFET (Metal Insulator Semiconductor Field Effect Transistor) と呼称される絶縁ゲート型電界効果トランジスタが知られている。このMISFETは、高集積化し易いという特徴を持っていることから、集積回路を構成する回路素子として広く用いられている。

10

**【0003】**

MISFETは、nチャネル導電型及びpチャネル導電型を問わず、一般的に、チャネル形成領域、ゲート絶縁膜、ゲート電極、ソース領域及びドレイン領域等を有する構成となっている。ゲート絶縁膜は、半導体基板の回路形成面（一主面）の素子形成領域に設けられ、例えば酸化シリコン膜で形成されている。ゲート電極は、半導体基板の回路形成面の素子形成領域上にゲート絶縁膜を介在して設けられ、例えば抵抗値を低減する不純物が導入された多結晶シリコン膜で形成されている。チャネル形成領域は、ゲート電極と対向する半導体基板の領域（ゲート電極直下）に設けられている。ソース領域及びドレイン領域は、チャネル形成領域のチャネル長方向における両側に設けられた半導体領域（不純物拡散領域）で形成されている。

20

**【0004】**

なお、MISFETにおいて、ゲート絶縁膜が酸化シリコン膜からなるものは、通常、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) と呼ばれている。また、チャネル形成領域とは、ソース領域とドレイン領域とを結ぶ電流通路（チャネル）が形成される領域を言う。また、電流が半導体基板の厚さ方向（深さ方向）に流れるものを縦型、電流が半導体基板の平面方向（表面方向）に流れるものを横型と呼んでいる。また、ソース領域と、ドレイン領域との間（ゲート電極下）のチャネル形成領域に電子のチャネル（導電通路）ができるものをn型（又はnチャネル導電型）、正孔のチャネルができるものをp型（又はpチャネル導電型）と呼んでいる。

**【0005】****【発明が解決しようとする課題】**

ところで、0.1  $\mu\text{m}$  レベル時代の超微細CMIS (Complementary MIS) プロセスでは、新素材の導入、MISFETの短チャネル効果抑制等の理由から低温化が進んでいる。これは、素子中にプロセス起因の残留応力を残しやすい。プロセス起因の残留応力は、半導体基板の回路形成面の表層部、即ちMISFETのチャネル形成領域に働く。

30

**【0006】**

一般的なCMIS (相補型MIS) プロセスでは、例えば半導体基板の回路形成面上に層間絶縁膜を形成する場合、nチャネル導電型MISFET及びpチャネル導電型MISFET上で同一材料を用いてきた結果、同一チップ内においてMISFETのチャネル形成領域に働く応力はほぼ同じであった。また、通常は、プロセス的な工夫により、nチャネル導電型MISFET及びpチャネル導電型MISFETのチャネル形成領域に働く応力の低減化を図ってきた。

40

**【0007】**

また、チャネル形成領域の応力に対するトランジスタ特性の変化については、ドレイン電流 ( $I_d$ ) が流れる方向（ゲート長方向）と同じ向きに応力をかけた場合、

(1) nチャネル導電型MISFETのドレイン電流は、圧縮応力で減少し、引っ張り応力で増加すること、

(2) pチャネル導電型MISFETのドレイン電流は、圧縮応力で増加し、引っ張り応力で減少することが知られている。

**【0008】**

50

しかし、その変化は高々数%以下であった（文献：IEEE TRANSACTIONS ON ELECTRON DEVICES .VOL.38.NO.4.APRIL 1991 p898～p900 参照）。これは、例えばゲート長寸法が $1\mu\text{m}$ のような長寸法のプロセス世代では、十分高温長時間のアニールがなされていたことにもよる。

【0009】

本発明者等の検討によれば、MISFETのゲート長を $0.1\mu\text{m}$ 付近まで微細化し、プロセスを低温化すると、残留応力が増大し、チャンネル形成領域の応力によるトランジスタ特性への影響がとてま大きくなることがわかった。

【0010】

例えば、MISFETの形成後に層間絶縁膜を兼ねたセルフアラインコンタクト用のプラズマCVD窒化膜（プラズマCVD法によって形成される窒化膜）の形成条件を変えると、膜中の応力が圧縮方向から引っ張り方向へと大きく変化し、これに応じてMISFETのトランジスタ特性も大きく変化することがわかった。これを図2のドレイン電流変動率の膜応力依存性に示す。但し、図中の応力の値は、MISFETのチャンネル形成領域の内部応力を現すものではなく、層間絶縁膜を被膜した後のウェーハの反りから換算して求めた層間絶縁膜自身の値である。

10

【0011】

応力による影響は、前述の文献と同じ傾向であるが、その大きさが $\pm 10\sim 20\%$ と一桁以上大きくなっている。更に、nチャンネル導電型MISFETとpチャンネル導電型MISFETとでは、膜の応力に応じてドレイン電流の増減が明らかに逆の方向を示す。

20

【0012】

従って、層間絶縁膜等の形成条件を変えて内部応力の大きさが変わると、nチャンネル導電型MISFET及びpチャンネル導電型MISFETのドレイン電流が相反する動きを示し、両素子のドレイン電流を同時に向上できないという問題があった。

【0013】

また、更に、 $0.1\mu\text{m}$ レベル以降では、この応力によるドレイン電流の変動が $\pm 10\sim 20\%$ 以上にもなり、nチャンネル導電型MISFETとpチャンネル導電型MISFETとのドレイン電流のバランスが変化するという問題があった。

【0014】

本発明の目的は、nチャンネル導電型電界効果トランジスタ及びpチャンネル導電型電界効果トランジスタのドレイン電流の増加を図る（電流駆動能力の増加を図る）ことが可能な技術を提供することにある。

30

本発明の他の目的は、nチャンネル導電型電界効果トランジスタ及びpチャンネル電界効果トランジスタのドレイン電流比を自由に設定することが可能な技術を提供することにある。

【0015】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

本発明の主旨は、nチャンネル導電型電界効果トランジスタ及びpチャンネル導電型電界効果トランジスタの各々のチャンネル形成領域に働く応力を各々のドレイン電流が増加する方向に膜の応力によって制御することである。nチャンネル導電型電界効果トランジスタでは、ドレイン電流の流れ方向（ゲート長方向）に沿う引っ張り応力がチャンネル形成領域に働くことによってドレイン電流が増加する。pチャンネル導電型電界効果トランジスタでは、ドレイン電流の流れ方向（ゲート長方向）に沿う圧縮応力がチャンネル形成領域に働くことによってドレイン電流が増加する。即ち、nチャンネル導電型電界効果トランジスタのチャンネル形成領域にドレイン電流方向の引っ張り応力、pチャンネル導電型電界効果トランジスタのチャンネル形成領域にドレイン電流方向の圧縮応力が働くように膜の応力によって制御する。例えば、以下のようにする。

40

【0016】

（1）半導体基板に形成されたnチャンネル導電型電界効果トランジスタ及びpチャンネル導

50

電型電界効果トランジスタを有する半導体装置の製造方法であって、  
前記 p チャンネル導電型電界効果トランジスタのゲート電極と前記半導体基板の素子分離領域との間の半導体領域を絶縁膜で覆った状態で、前記 n チャンネル導電型電界効果トランジスタ及び前記 p チャンネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして、前記 n チャンネル導電型電界効果トランジスタのチャンネル形成領域に引っ張り応力を発生させる第 1 の絶縁膜を形成する ( a ) 工程と、  
エッチング処理を施して、前記 p チャンネル導電型電界効果トランジスタ上の前記第 1 の絶縁膜を選択的に除去する ( b ) 工程と、  
前記 n チャンネル導電型電界効果トランジスタ及び前記 p チャンネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして、前記 p チャンネル導電型電界効果トランジスタのチャンネル形成領域に圧縮応力を発生させる第 2 の絶縁膜を形成する ( c ) 工程と、  
前記 n チャンネル導電型電界効果トランジスタ上の前記第 2 の絶縁膜を選択的に除去する ( d ) 工程とを有する。

10

**【 0 0 1 7 】**

( 2 ) 半導体基板に形成された n チャンネル導電型電界効果トランジスタ及び p チャンネル導電型電界効果トランジスタを有する半導体装置の製造方法であって、  
前記 n チャンネル導電型電界効果トランジスタのゲート電極と前記半導体基板の素子分離領域との間の半導体領域を絶縁膜で覆った状態で、前記 n チャンネル導電型電界効果トランジスタ及び前記 p チャンネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして、前記 p チャンネル導電型電界効果トランジスタのチャンネル形成領域に圧縮応力を発生させる第 1 の絶縁膜を形成する ( a ) 工程と、  
エッチング処理を施して、前記 n チャンネル導電型電界効果トランジスタ上の前記第 1 の絶縁膜を選択的に除去する ( b ) 工程と、  
前記 n チャンネル導電型電界効果トランジスタ及び前記 p チャンネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして、前記 n チャンネル導電型電界効果トランジスタのチャンネル形成領域に引っ張り応力を発生させる第 2 の絶縁膜を選択的に形成する ( c ) 工程と、  
前記 p チャンネル導電型電界効果トランジスタ上の前記第 2 の絶縁膜を選択的に除去する ( d ) 工程とを有する。

20

**【 0 0 1 8 】**

( 3 ) 前記手段 ( 1 ) 又は ( 2 ) において、  
前記半導体領域を覆う絶縁膜は、前記ゲート電極の側壁に形成されたサイドウォールスペーサと、前記サイドウォールスペーサを覆うようにして形成された堆積膜とを含む。

30

**【 0 0 1 9 】**

( 4 ) 前記手段 ( 1 ) 又は ( 2 ) において、  
前記半導体領域を覆う絶縁膜は、前記ゲート電極の側壁に形成されたサイドウォールスペーサと、前記サイドウォールスペーサを覆うようにして形成された堆積膜とを含み、  
前記半導体領域の表面には、前記サイドウォールスペーサに整合して形成された金属・半導体反応層が設けられている。

**【 0 0 2 0 】**

( 5 ) 前記手段 ( 1 ) 又は ( 2 ) において、  
前記半導体領域を覆う絶縁膜は、前記ゲート電極の側壁に形成されたサイドウォールスペーサと、前記サイドウォールスペーサと前記素子分離領域との間に形成された熱酸化膜とを含む。

40

**【 0 0 2 1 】**

( 6 ) 前記手段 ( 1 ) 又は ( 2 ) において、  
前記半導体領域を覆う絶縁膜は、前記ゲート電極の側壁に形成されたサイドウォールスペーサと、前記サイドウォールスペーサと前記素子分離領域との間に形成された熱酸化膜とを含み、  
前記半導体領域の表面には、前記サイドウォールスペーサに整合して形成された金属・半

50



導体反応層が設けられている。

【 0 0 2 2 】

( 7 ) 前記手段 ( 1 ) 又は ( 2 ) において、  
前記第 1 及び第 2 の絶縁膜は、LP - CVD ( Low Pressure - Chemical Vapor Deposition : 減圧気相化学成長 ) 法、プラズマ CVD 法、若しくは枚葉熱 CVD 法等で形成された窒化シリコン膜である。

【 0 0 2 3 】

( 8 ) 半導体基板に形成された n チャネル導電型電界効果トランジスタ及び p チャネル導電型電界効果トランジスタを有する半導体装置の製造方法であって、

前記 n チャネル導電型及び p チャネル導電型電界効果トランジスタのゲート電極と前記半導体基板の素子分離領域との間の半導体領域上に第 1 のサイドウォールスペーサを形成する ( a ) 工程と、

前記半導体領域の表面に前記第 1 のサイドウォールスペーサに整合して金属・半導体反応層を形成する ( b ) 工程と、

前記金属・半導体反応層上に前記第 1 のサイドウォールスペーサに整合して第 2 のサイドウォールスペーサを形成する ( c ) 工程と、

前記 n チャネル導電型及び p チャネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして、前記 n チャネル導電型電界効果トランジスタのチャンネル形成領域に引っ張り応力を発生させる第 1 の絶縁膜を形成する ( d ) 工程と、

エッチング処理を施して、前記 p チャネル導電型電界効果トランジスタ上の前記第 1 の絶縁膜を選択的に除去する ( e ) 工程と、

前記 n チャネル導電型電界効果トランジスタ及び前記 p チャネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして、前記 p チャネル導電型電界効果トランジスタのチャンネル形成領域に圧縮応力を発生させる第 2 の絶縁膜を形成する ( f ) 工程と、  
前記 n チャネル導電型電界効果トランジスタ上の前記第 2 の絶縁膜を選択的に除去する ( g ) 工程とを有する。

【 0 0 2 4 】

( 9 ) 半導体基板に形成された n チャネル導電型電界効果トランジスタ及び p チャネル導電型電界効果トランジスタを有する半導体装置の製造方法であって、

前記 n チャネル導電型及び p チャネル導電型電界効果トランジスタのゲート電極と前記半導体基板の素子分離領域との間の半導体領域上に第 1 のサイドウォールスペーサを形成する ( a ) 工程と、

前記半導体領域の表面に前記第 1 のサイドウォールスペーサに整合して金属・半導体反応層を形成する ( b ) 工程と、

前記金属・半導体反応層上に前記第 1 のサイドウォールスペーサに整合して第 2 のサイドウォールスペーサを形成する ( c ) 工程と、

前記 n チャネル導電型及び p チャネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして、前記 p チャネル導電型電界効果トランジスタのチャンネル形成領域に圧縮応力を発生させる第 1 の絶縁膜を形成する ( d ) 工程と、

エッチング処理を施して、前記 n チャネル導電型電界効果トランジスタ上の前記第 1 の絶縁膜を選択的に除去する ( e ) 工程と、

前記 n チャネル導電型電界効果トランジスタ及び前記 p チャネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして、前記 n チャネル導電型電界効果トランジスタのチャンネル形成領域に引っ張り応力を発生させる第 2 の絶縁膜を形成する ( f ) 工程と、

前記 p チャネル導電型電界効果トランジスタ上の前記第 2 の絶縁膜を選択的に除去する ( g ) 工程とを有する。

【 0 0 2 5 】

( 1 0 ) 前記手段 ( 8 ) 又は ( 9 ) において、

前記第 1 及び第 2 の絶縁膜は、LP - CVD 法、プラズマ CVD 法、若しくは枚葉熱 C V

10

20

30

40

50

D法等で形成された窒化シリコン膜である。

【0026】

(11) 半導体基板に形成されたnチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタを有する半導体装置の製造方法であって、引っ張り応力を持つ第1の絶縁膜を前記nチャネル導電型電界効果トランジスタ及び前記pチャネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして形成する(a)工程と、前記第1の絶縁膜の引っ張り応力よりも絶対値が大きい圧縮応力を持つ第2の絶縁膜を前記nチャネル導電型電界効果トランジスタ及び前記pチャネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして形成する(b)工程と、エッチング処理を施して、前記nチャネル導電型電界効果トランジスタ上の前記第2の絶縁膜を選択的に除去する(c)工程とを有する。

10

前記第2の絶縁膜の圧縮応力は、前記第1の絶縁膜の引っ張り応力の2倍以上である。

前記第1及び第2の絶縁膜は、LP-CVD法、プラズマCVD法、若しくは枚葉熱CVD法等で形成された窒化シリコン膜である。

【0027】

(12) 半導体基板に形成されたnチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタを有する半導体装置の製造方法であって、圧縮応力を持つ第1の絶縁膜を前記nチャネル導電型電界効果トランジスタ及び前記pチャネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして形成する(a)工程と、前記第1の絶縁膜の圧縮応力よりも絶対値が大きい引っ張り応力を持つ第2の絶縁膜を前記nチャネル導電型電界効果トランジスタ及び前記pチャネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして形成する(b)工程と、エッチング処理を施して、前記pチャネル導電型電界効果トランジスタ上の前記第2の絶縁膜を選択的に除去する(c)工程とを有する。

20

前記第2の絶縁膜の引っ張り応力は、前記第1の絶縁膜の圧縮応力の2倍以上である。

前記第1及び第2の絶縁膜は、LP-CVD法、プラズマCVD法、若しくは枚葉熱CVD法等で形成された窒化シリコン膜である。

【0028】

(13) 半導体基板に形成されたnチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタを有する半導体装置であって、

30

引っ張り応力を持つ第1の絶縁膜が、前記nチャネル導電型及びpチャネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして形成され、前記第1の絶縁膜の引っ張り応力よりも絶対値が大きい圧縮応力を持つ第2の絶縁膜が、前記pチャネル導電型電界効果トランジスタ上にこのゲート電極を覆うようにして選択的に形成されている。

前記第2の絶縁膜の圧縮応力は、前記第1の絶縁膜の引っ張り応力の2倍以上である。

前記第1及び第2の絶縁膜は、LP-CVD法、プラズマCVD法、若しくは枚葉熱CVD法等で形成された窒化シリコン膜である。

【0029】

(14) 半導体基板に形成されたnチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタを有する半導体装置であって、

40

圧縮応力を持つ第1の絶縁膜が、前記nチャネル導電型及びpチャネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして形成され、

前記第1の絶縁膜の圧縮応力よりも絶対値が大きい引っ張り応力を持つ第2の絶縁膜が、前記nチャネル導電型電界効果トランジスタ上にこのゲート電極を覆うようにして選択的に形成されている。

前記第2の絶縁膜の引っ張り応力は、前記第1の絶縁膜の圧縮応力の2倍以上である。

前記第1及び第2の絶縁膜は、LP-CVD法、プラズマCVD法、若しくは枚葉熱CVD法等で形成された窒化シリコン膜である。

【0030】

(15) 半導体基板に形成されたnチャネル導電型電界効果トランジスタ及びpチャネル

50

導電型電界効果トランジスタを有する半導体装置の製造方法であって、引っ張り応力を持つ絶縁膜を前記 n チャンネル導電型電界効果トランジスタ及び p チャンネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うように形成する工程と、

前記 p チャンネル導電型電界効果トランジスタ上の前記絶縁膜に元素を導入して、前記絶縁膜を前記 p チャンネル導電型電界効果トランジスタのチャンネル形成領域に圧縮応力を発生させる膜に変換する工程とを有する。

前記元素は、前記絶縁膜に含まれる元素と同一の元素である。

前記元素の導入は、前記半導体基板に対して垂直に前記元素をイオン注入する方法、或いは前記半導体基板に対して斜めに前記元素をイオン注入する方法で行う。

前記絶縁膜は、LP-CVD法、プラズマCVD法、若しくは枚葉熱CVD法等で形成された窒化シリコン膜である。

10

#### 【0031】

(16) 半導体基板に形成された n チャンネル導電型電界効果トランジスタ及び p チャンネル導電型電界効果トランジスタを有する半導体装置であって、

前記 n チャンネル導電型及び p チャンネル導電型電界効果トランジスタ上にこれらのゲート電極を覆うようにして膜が形成され、

前記膜は、前記 n チャンネル導電型電界効果トランジスタのチャンネル形成領域に引っ張り応力を発生させる膜応力を持つ第 1 の部分と、前記 p チャンネル導電型電界効果トランジスタのチャンネル形成領域に圧縮応力を発生させる膜応力を持つ第 2 の部分とを有する。

前記膜の第 2 の部分は、前記第 1 の部分よりも膜中の元素濃度が高い。

20

前記膜は、LP-CVD法、プラズマCVD法、若しくは枚葉熱CVD法等で形成された窒化シリコン膜である。

#### 【0032】

前述した手段によれば、n チャンネル導電型電界効果トランジスタのチャンネル形成領域に引っ張り応力、p チャンネル導電型電界効果トランジスタのチャンネル形成領域に圧縮応力が別々に与えられる結果、図 2 のように、n チャンネル導電型電界効果トランジスタ及び p チャンネル導電型電界効果トランジスタの各チャンネル形成領域に働く応力の大きさに応じて、n チャンネル導電型電界効果トランジスタ及び p チャンネル導電型電界効果トランジスタで共にドレイン電流が増加する。

#### 【0033】

30

また、n チャンネル導電型電界効果トランジスタ及び p チャンネル導電型電界効果トランジスタのチャンネル形成領域に働く応力を個別に制御できるため、n チャンネル導電型電界効果トランジスタと p チャンネル導電型電界効果トランジスタとのドレイン電流比を自由に制御できる。

#### 【0034】

ここでいくつかの用語について定義する。

電界効果トランジスタのチャンネル形成領域に働く引っ張り応力とは、チャンネル形成領域がシリコン(Si)の場合、Siの格子定数が平衡状態より大きくなる応力を言う。

電界効果トランジスタのチャンネル形成領域に働く圧縮応力とは、チャンネル形成領域がシリコン(Si)の場合、Siの格子定数が平衡状態より小さくなる応力を言う。

40

膜がもつ引っ張り応力とは、電界効果トランジスタのチャンネル形成領域に引っ張り応力を発生させる応力を言う。

膜がもつ圧縮応力とは、電界効果トランジスタのチャンネル形成領域に圧縮応力を発生させる応力を言う。

#### 【0035】

従って、本発明の主旨は、チャンネル形成領域におけるシリコン原子の原子間距離が、n チャンネル導電型電界効果トランジスタと p チャンネル導電型電界効果トランジスタとで異なっている、言い換えると歪みの大きさが異なっていること、更にはシリコン原子間距離が、p チャンネル導電型電界効果トランジスタのチャンネル形成領域よりも、n チャンネル導電型電界効果トランジスタのチャンネル形成領域で大きいことを意味している。

50

## 【 0 0 3 6 】

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

なお、本発明者は、本発明を成す過程で新たな問題点を見出した。この問題点については、本発明を適用した実施の形態と共に説明する。

## 【 0 0 3 7 】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。また、図面を見易くするため、断面を示すハッチングは一部省略している。

10

## 【 0 0 3 8 】

## (実施形態 1)

本実施形態 1 では、電源電圧が  $1 \sim 1.5 \text{ V}$ 、ゲート長が  $0.1 \sim 0.14 \mu\text{m}$  程度の相補型 MISFET を有する半導体装置に本発明を適用した例について説明する。

## 【 0 0 3 9 】

図 1 は、本発明の実施形態 1 である半導体装置の概略構成を示す模式的断面図であり、図 2 は、ドレイン電流変動率の膜応力依存性を示す特性図であり、図 3 及び図 4 は、電流方向と膜応力方向との関係を示す模式的平面図及び模式的断面図であり、

20

図 5 乃至図 19 は、図 1 の半導体装置の製造工程中における模式的断面図であり、図 20 乃至図 23 は、本発明を成す過程で本発明者によって見出された問題点を説明するための模式的断面図である。

## 【 0 0 4 0 】

図 1、図 5 乃至図 19 において、向かって左側が n チャネル導電型 MISFET (n-ch MISFET) であり、右側が p チャネル導電型 MISFET (p-ch MISFET) である。

## 【 0 0 4 1 】

図 1 に示すように、本実施形態の半導体装置は、半導体基板として例えば単結晶シリコンからなる p 型シリコン基板 (以下、単に p 型基板と呼ぶ) 1 を主体に構成されている。p 型基板 1 の回路形成面 (一主面) は n MIS 形成領域 (第 1 の素子形成領域) 1 n 及び p MIS 形成領域 (第 2 の素子形成領域) 1 p を有し、この n MIS 形成領域 1 n 及び p MIS 形成領域 1 p は素子分離領域である例えば浅溝アイソレーション (SGI : Shallow Groove Isolation) 領域 4 によって互いに区画されている。n MIS 形成領域 1 n には p 型ウエル領域 2 及び n チャネル導電型 MISFET (以下、単に n 型 MISFET と呼ぶ) が形成され、p MIS 形成領域 1 p には n 型ウエル領域 3 及び p チャネル導電型 MISFET (以下、単に p 型 MISFET と呼ぶ) が形成されている。浅溝アイソレーション領域 4 は、p 型基板 1 の回路形成面に浅溝を形成し、その後、浅溝の内部に絶縁膜 (例えば酸化シリコン膜) を選択的に埋め込むことによって形成される。本実施形態の n 型及び p 型 MISFET は、電流が p 型基板 1 の平面方向に流れる横型構造になっている。

30

## 【 0 0 4 2 】

n 型 MISFET は、主に、チャネル形成領域、ゲート絶縁膜 5、ゲート電極 6、サイドウォールスペーサ 9、ソース領域及びドレイン領域を有する構成となっている。ソース領域及びドレイン領域は、n 型半導体領域 (エクステンション領域) 7 及び n 型半導体領域 10 を有する構成となっている。n 型半導体領域 7 はゲート電極 6 に対して自己整合で形成され、n 型半導体領域 10 はゲート電極 6 の側壁に設けられたサイドウォールスペーサ 9 に対して自己整合で形成されている。n 型半導体領域 10 は n 型半導体領域 7 よりも高い不純物濃度で形成されている。

40

## 【 0 0 4 3 】

p 型 MISFET は、主に、チャネル形成領域、ゲート絶縁膜 5、ゲート電極 6、サイドウォールスペーサ 9、ソース領域及びドレイン領域を有する構成となっている。ソース領

50

域及びドレイン領域は、p型半導体領域（エクステンション領域）8及びp型半導体領域11を有する構成となっている。p型半導体領域8はゲート電極6に対して自己整合で形成され、p型半導体領域11はゲート電極6の側壁に設けられたサイドウォールスペーサ9に対して自己整合で形成されている。p型半導体領域11はp型半導体領域8よりも高い不純物濃度で形成されている。

【0044】

ゲート電極6、n型半導体領域10、p型半導体領域11の夫々の表面には、低抵抗化を図るためのシリサイド層（金属・半導体反応層）12が形成されている。ゲート電極6の表面に設けられたシリサイド層12、n型半導体領域10及びp型半導体領域11の表面に設けられたシリサイド層12は、ゲート電極6の側壁に設けられたサイドウォールスペーサ9に対して自己整合で形成されている。これらのシリサイド層12は、例えば、サリサイド（Salicide: Self Aligned Silicide）技術によって形成されている。即ち、本実施形態のn型及びp型MISFETは、サリサイド構造になっている。

10

【0045】

p型基板1の回路形成面上には、例えば酸化シリコン膜からなる層間絶縁膜16が形成されている。層間絶縁膜16は、p型基板1の回路形成面を覆うようにして形成されている。n型MISFETと層間絶縁膜16との間には、p型基板1の回路形成面に引っ張り応力を発生させる膜として第1の窒化膜である例えば窒化シリコン膜14aが形成されている。p型MISFETと層間絶縁膜16との間には、p型基板1の回路形成面に圧縮応力を発生させる膜として第2の窒化膜である例えば窒化シリコン膜14bが形成されている。本実施形態において、窒化シリコン膜14aはn型MISFET上にそのゲート電極6を覆うようにして選択的に形成され、窒化シリコン膜14bはp型MISFET上にそのゲート電極6を覆うようにして選択的に形成されている。

20

【0046】

n型MISFETと窒化シリコン膜14aとの間、並びにp型MISFETと窒化シリコン膜14bとの間には、例えば酸化シリコン膜からなる絶縁膜13が形成されている。絶縁膜13は、p型基板1の回路形成面上にn型及びp型MISFETを覆うようにして形成されている。

【0047】

窒化シリコン膜14aと層間絶縁膜16の間には、例えば酸化シリコン膜からなる絶縁膜15が形成されている。この絶縁膜15は、窒化シリコン膜14a上に、この窒化シリコン膜14aを覆うようにして選択的に形成されている。

30

【0048】

n半導体領域10及びp型半導体領域11上には、層間絶縁膜16の表面からシリサイド層12に到達するソース・ドレイン用コンタクト孔18が形成され、このソース・ドレイン用コンタクト孔18の内部には導電性プラグ19が埋め込まれている。n半導体領域10及びp型半導体領域11は、シリサイド層12及び導電性プラグ19を介在して、層間絶縁膜16上を延在する配線20と電氣的に接続されている。

【0049】

ゲート電極6上には、図示していないが、層間絶縁膜16の表面からシリサイド層12に到達するゲート用コンタクト孔が形成され、このゲート用コンタクト孔の内部には導電性プラグ19が埋め込まれている。ゲート電極6は、シリサイド層12、及びゲート用コンタクト孔の内部の導電性プラグ19を介在して、層間絶縁膜16上を延在する配線20と電氣的に接続されている。

40

【0050】

ソース・ドレイン用コンタクト孔18及びゲート用コンタクト孔は、窒化シリコン膜14a及び14bをエッチングストップ膜として用いるSAC(Self Aligned Contact hole)技術によって形成されている。即ち、窒化シリコン膜14a及び14bは、自己整合コンタクト用絶縁膜として使用されている。

【0051】

50

窒化シリコン膜 14 a 及び 14 b は、例えばプラズマ C V D ( Chemical Vapor Deposition ) 法によって形成されている。この窒化シリコン膜 14 a 及び 14 b は、その形成条件 ( 反応ガス、圧力、温度、高周波電力等 ) を変えることで、p 型基板 1 の回路形成面に発生させる応力を制御することが可能である。本実施形態において、窒化シリコン膜 14 a は、例えば膜形成時の高周波電力を 300 ~ 400 W と低電力化して、p 型基板 1 の回路形成面に発生させる応力を引っ張り方向に制御したものである。窒化シリコン膜 14 b は、例えば膜形成時の高周波電力を 600 ~ 700 W と高電力化して、p 型基板 1 の回路形成面に発生させる応力を圧縮方向に制御したものである。

#### 【0052】

このようにして形成された窒化シリコン膜 14 a には + 700 ~ + 800 MPa 程度の引っ張り応力が存在し、窒化シリコン膜 14 b には - 900 ~ - 1000 MPa 程度の圧縮応力が存在するため、n 型 M I S F E T のチャネル形成領域には引っ張り応力が発生し、p 型 M I S F E T のチャネル形成領域には圧縮応力が発生する。この結果、図 2 に示すように、窒化シリコン膜 14 a 及び 14 b を被膜していない場合と比較して、n 型 M I S F E T のドレイン電流は 10 ~ 15 % 向上し、p 型 M I S F E T のドレイン電流は 15 ~ 20 % 向上した。なお、これらの応力は、前述のように、主として、チャネル形成領域を流れるドレイン電流 (  $I_d$  ) の方向 ( ゲート長方向 ) と同じ向きにかかる。

#### 【0053】

ここで、M I S F E T のチャネル形成領域に発生する応力について、簡略した図及び本実施形態と一部異なる符号を用いて説明する。図 3 及び図 4 に示す M I S F E T は本実施形態と同様にサリサイド構造になっており、符号 30 は M I S F E T のチャネル形成領域、符号 31 はチャネル形成領域 30 を流れるドレイン電流の方向、符号 32 はゲート電極 6 に整合して形成された半導体領域、符号 33 はサイドウォールスペーサ 9 に整合して形成された半導体領域、符号 34 はチャネル形成領域 30 に応力を発生させるための膜、符号 35 a 及び 35 b は段差部である。

#### 【0054】

図 3 及び図 4 に示すように、M I S F E T は、ゲート電極 6 の側壁にゲート電極 6 を囲むようにしてサイドウォールスペーサ 9 が設けられた構造になっている。ゲート電極 6 及びサイドウォールスペーサ 9 は基板から突出しているため、ゲート電極 6 及びサイドウォールスペーサ 9 による段差部 ( 35 a , 35 b ) が形成されている。このような構造の M I S F E T 上に、そのゲート電極 6 を覆うようにして、チャネル形成領域 30 に応力 ( 引っ張り応力、若しくは圧縮応力 ) を発生させる膜 34 を形成した場合、ゲート長方向 X における段差部 35 a の最下部及びゲート幅方向 Y における段差部 35 b の最下部に膜 34 による応力が集中するため、ゲート長方向 X における段差部 35 a の最下部を起点とするゲート長方向の膜応力がチャネル形成領域 30 に働くと共に、ゲート幅方向 Y における段差部 35 b の最下部を起点とするゲート幅方向の膜応力がチャネル形成領域 30 に働く。即ち、膜 34 による応力が引っ張り応力の場合は、チャネル形成領域 30 にゲート長方向及びゲート幅方向の引っ張り応力が発生し、膜 34 による応力が圧縮応力の場合は、チャネル形成領域 30 にゲート長方向及びゲート幅方向の圧縮応力が発生する。

#### 【0055】

しかしながら、ゲート電極 6 のゲート長方向 X における長さは、そのゲート幅方向 Y における長さと比較して圧倒的に小さいため、ゲート幅方向 Y における段差部 35 b の最下部に集中する引っ張り応力、若しくは圧縮応力によってチャネル形成領域 30 に発生するゲート幅方向の引っ張り応力、若しくは圧縮応力は極めて小さい。従って、膜 34 によってチャネル形成領域 30 に発生する応力は、実質的に、ゲート長方向の引っ張り応力、若しくは圧縮応力、言い換えればドレイン電流方向 31 に沿う引っ張り応力、若しくは圧縮応力のみと見なすことができる。

#### 【0056】

p 型 M I S F E T においては、チャネル形成領域 30 にゲート幅方向の圧縮応力をかけた場合、ドレイン電流は減少すると報告されている。膜 34 によるチャネル形成領域 30 の

10

20

30

40

50

応力制御では、前述したように、チャネル形成領域 30 に発生するゲート幅方向の圧縮応力は極めて小さいため、p 型 M I S F E T のドレイン電流増加を効率良く行うことができる。従って、膜 34 によるチャネル形成領域 30 の応力制御は、p 型電界効果トランジスタに対して特に有効である。

#### 【0057】

なお、膜 34 の応力によってチャネル形成領域 30 に発生する応力は、膜応力の起点がチャネル形成領域 30 から離れる（遠ざかる）に従って減少するため、膜応力の起点は出来るだけチャネル形成領域 30 に近づけることが望ましい。前述の説明では、ゲート電極 6 及びサイドウォールスペーサ 9 による段差部（35a, 35b）の最下部が膜応力の起点となるが、サイドウォールスペーサ 9 を持たない M I S F E T の場合は、ゲート電極 6 の側壁の最下部が膜応力の起点となる。

#### 【0058】

次に、本実施形態 1 の半導体装置の製造について、図 5 乃至図 19 を用いて説明する。まず、比抵抗  $10^{-4} \text{ cm}$  を有する単結晶シリコンからなる p 型基板 1 を準備し、その後、図 5 に示すように、p 型基板 1 の回路形成面に p 型ウエル領域 2 及び n 型ウエル領域 3 を選択的に形成する。

#### 【0059】

次に、図 5 に示すように、p 型基板 1 の回路形成面に、n M I S 形成領域（第 1 の素子形成領域）1n 及び p M I S 形成領域（第 2 の素子形成領域）1p を区画する素子分離領域として、浅溝アイソレーション領域 4 を形成する。この浅溝アイソレーション領域 4 は、p 型基板 1 の回路形成面に浅溝（例えば  $300 \text{ [nm]}$  程度の深さの溝）を形成し、その後、p 型基板 1 の回路形成面上に例えば酸化シリコン膜からなる絶縁膜を C V D 法で形成し、その後、絶縁膜が浅溝の内部のみ残るように C M P（化学的機械研磨：Chemical Mechanical Polishing）法で平坦化することによって形成される。

#### 【0060】

次に、図 6 に示すように、熱処理を施して p 型基板 1 の回路形成面の n M I S 形成領域 1n 及び p M I S 形成領域 1p に例えば厚さが  $2 \sim 3 \text{ nm}$  程度の酸化シリコン膜からなるゲート絶縁膜 5 を形成し、その後、p 型基板 1 の回路形成面上の全面に例えば  $150 \sim 200 \text{ nm}$  程度の厚さの多結晶シリコン膜を C V D 法で形成し、その後、多結晶シリコン膜にパターンニングを施してゲート電極 6 を形成する。多結晶シリコン膜には、抵抗値を低減する不純物がその堆積中又は堆積後に導入される。

#### 【0061】

次に、図 6 に示すように、ゲート電極 6 が形成されていない p 型ウエル領域 2 の部分に不純物として例えば砒素（As）をイオン打込み法で選択的に導入して一対の n 型半導体領域（エクステンション領域）7 を形成し、その後、ゲート電極 6 が形成されていない n 型ウエル領域 3 の部分に不純物として例えば二フッ化ボロン（ $\text{BF}_2$ ）をイオン打込み法で選択的に導入して一対の p 型半導体領域（エクステンション領域）8 を形成する。n 型半導体領域 7 の形成は、p M I S 形成領域 1p をフォトレジストマスクで覆った状態で行なう。また、p 型半導体領域 8 の形成は、n M I S 形成領域 1n をフォトレジストマスクで覆った状態で行なう。砒素の導入は、加速エネルギー  $1 \sim 5 \text{ KeV}$ 、ドーズ量  $1 \sim 2 \times 10^{15} / \text{cm}^2$  の条件で行なう。また、二フッ化ボロンの導入は、加速エネルギー  $1 \sim 5 \text{ KeV}$ 、ドーズ量  $1 \sim 2 \times 10^{15} / \text{cm}^2$  の条件で行なう。n 型半導体領域 7 及び p 型半導体領域 8 は、ゲート電極 6 に整合して形成される。

なお、不純物を導入して半導体領域（7, 8）を形成した後、この半導体領域（7, 8）を活性化する熱処理が施される。

#### 【0062】

次に、図 6 に示すように、ゲート電極 6 の側壁に例えばゲート長方向の膜厚が  $50 \sim 70 \text{ nm}$  程度のサイドウォールスペーサ 9 を形成する。サイドウォールスペーサ 9 は、p 型基板 1 の回路形成面上の全面に例えば酸化シリコン膜又は窒化シリコン膜からなる絶縁膜を C V D 法で形成し、その後、絶縁膜に R I E（Reactive Ion Etching）等の異方性工

10

20

30

40

50

ッチングを施すことによって形成される。サイドウォールスペーサ 9 はゲート電極 6 に整合して形成される。

【 0 0 6 3 】

次に、図 6 に示すように、ゲート電極 6 及びサイドウォールスペーサ 9 が形成されていない p 型ウエル領域 2 の部分に不純物として例えば砒素 (As) をイオン打込み法で選択的に導入して一対の n 型半導体領域 10 を形成し、その後、ゲート電極 6 及びサイドウォールスペーサ 9 が形成されていない n 型ウエル領域 3 の部分に不純物として例えば二フッ化ボロン ( $\text{BF}_2$ ) をイオン打込み法で選択的に導入して一対の p 型半導体領域 11 を形成する。n 型半導体領域 10 の形成は、p M I S 形成領域 1 p をフォトレジストマスクで覆った状態で行なう。また、p 型半導体領域 11 の形成は、n M I S 形成領域 1 n をフォトレジストマスクで覆った状態で行なう。砒素の導入は、加速エネルギー 35 ~ 45 KeV、ドーズ量  $2 \sim 4 \times 10^{15} / \text{cm}^2$  の条件で行なう。また、二フッ化ボロンの導入は、加速エネルギー 40 ~ 50 KeV、ドーズ量  $2 \sim 4 \times 10^{15} / \text{cm}^2$  の条件で行なう。n 型半導体領域 10 及び p 型半導体領域 11 は、サイドウォールスペーサ 9 に整合して形成される。

10

なお、不純物を導入して半導体領域 (10, 11) を形成した後、この半導体領域 (10, 11) を活性化するための熱処理が施される。

【 0 0 6 4 】

この工程において、ゲート電極 6 に整合して形成された n 型半導体領域 7 及びサイドウォールスペーサ 9 に整合して形成された n 型半導体領域 10 を有するソース領域及びドレイン領域が形成される。また、ゲート電極 6 に整合して形成された p 型半導体領域 8 及びサイドウォールスペーサ 9 に整合して形成された p 型半導体領域 11 を有するソース領域及びドレイン領域が形成される。また、横型の n 型及び p 型 M I S F E T が形成される。

20

【 0 0 6 5 】

次に、自然酸化膜等を除去してゲート電極 6 及び半導体領域 (10, 11) の表面を露出させた後、図 7 に示すように、これらの表面上を含む p 型基板 1 の回路形成面上の全面に高融点金属膜として例えばコバルト (Co) 膜 12 a をスパッタ法で形成し、その後、図 8 に示すように、熱処理を施し、ゲート電極 6 のシリコン (Si) とコバルト膜 12 a の Co とを反応させてゲート電極 6 の表面に金属・半導体反応層であるシリサイド ( $\text{CoSi}_x$ ) 層 12 を形成すると共に、半導体領域 (10, 11) の Si とコバルト膜 12 a の Co とを反応させて半導体領域 (10, 11) の表面にシリサイド ( $\text{CoSi}_x$ ) 層 12 を形成し、その後、図 9 に示すように、シリサイド層 12 が形成された領域以外の未反応のコバルト膜 12 a を選択的に除去し、その後、熱処理を施してシリサイド層 12 を活性化する。

30

【 0 0 6 6 】

この工程において、ゲート電極 6 の表面に設けられたシリサイド層 12 及び半導体領域 (10, 11) の表面に設けられたシリサイド層 12 は、サイドウォールスペーサ 9 に整合して形成される。また、シリサイド構造の n 型及び p 型 M I S F E T が形成される。

【 0 0 6 7 】

次に、図 10 に示すように、n 型及び p 型 M I S F E T 上を含む p 型基板 1 の回路形成面上の全面に、例えば 5 ~ 10 nm 程度の厚さの酸化シリコン膜からなる絶縁膜 13 を C V D 法で形成する。この工程において、ゲート電極 6 のシリサイド層 12、半導体領域 (10, 11) のシリサイド層 12、並びにサイドウォールスペーサ 9 等は、絶縁膜 13 で覆われる。

40

【 0 0 6 8 】

次に、図 11 に示すように、n 型及び p 型 M I S F E T 上を含む p 型基板 1 の回路形成面上の全面に、絶縁膜として例えば 100 ~ 120 nm 程度の厚さの窒化シリコン膜 14 a をプラズマ C V D 法で形成する。窒化シリコン膜 14 a の形成は、例えば高周波電力 350 ~ 400 W、或いはチャンバー内圧力 300 ~ 350 Torr の条件で行なう。

【 0 0 6 9 】

50



この工程において、 $n$ 型及び $p$ 型MISFETは、窒化シリコン膜14aで覆われる。また、ゲート電極6のシリサイド層12、半導体領域(10, 11)、並びにサイドウォールスペーサ9等は、絶縁膜13を介在して窒化シリコン膜14aで覆われる。

【0070】

次に、図12に示すように、 $n$ 型及び $p$ 型MISFET上を含む $p$ 型基板1の回路形成面上の全面に、例えば50nm程度の厚さの酸化シリコン膜からなる絶縁膜15をCVD法で形成する。この工程において、窒化シリコン膜14aは、絶縁膜15で覆われる。

【0071】

次に、図13に示すように、絶縁膜15上に、 $n$ MIS形成領域1n( $n$ 型MISFET)上を選択的に覆うフォトリソマスクRM1を形成する。

10

【0072】

次に、フォトリソマスクRM1をエッチングマスクにしてエッチング処理を施して、図14に示すように、 $p$ MIS形成領域1p上( $p$ 型MISFET上)の絶縁膜15、並びに窒化シリコン膜14aを順次除去する。絶縁膜15の加工はウエットエッチングで行い、窒化シリコン膜14aの加工は等方性ドライエッチングで行う。

【0073】

この工程において、 $n$ 型MISFET上にそのゲート電極6を覆うようにして窒化シリコン膜14aが選択的に形成される。このようにして窒化シリコン膜14aを選択的に形成することにより、窒化シリコン膜14aによって $n$ 型MISFETのチャネル形成領域に引っ張り応力を選択的に発生させることができる。

20

【0074】

また、この工程において、 $p$ 型MISFETでは、ゲート電極6の表面のシリサイド層12、 $p$ 型半導体領域11の表面のシリサイド層12、並びにサイドウォールスペーサ9が絶縁膜13によって覆われているため、これらのシリサイド層12並びにサイドウォールスペーサ9が窒化シリコン膜14aの加工時のオーバーエッチングによって削られてしまう不具合を抑制することができる。即ち、絶縁膜13は、窒化シリコン膜14aの加工時におけるエッチングストップの役割を果たす。

【0075】

なお、この工程において、絶縁膜13が存在しなかった場合、窒化シリコン膜14aの加工時のオーバーエッチングによって問題が生じる。この問題については後で詳細に説明する。

30

【0076】

次に、フォトリソマスクRM1を除去した後、図15に示すように、絶縁膜15上を含む $p$ 型基板1の回路形成面上の全面に、絶縁膜として例えば100nm程度の厚さの窒化シリコン膜14bをプラズマCVD法で形成する。窒化シリコン膜14bの形成は、例えば高周波電力600~700W、或いはチャンバー内圧力5~10Torrの条件で行なう。

【0077】

この工程において、 $n$ 型及び $p$ 型MISFETは、窒化シリコン膜14bで覆われる。また、 $n$ 型MISFET上の窒化シリコン膜14aは絶縁膜15を介在して窒化シリコン膜14bで覆われる。

40

【0078】

次に、図16に示すように、窒化シリコン膜14b上に、 $p$ MIS形成領域1p( $p$ 型MISFET)上を選択的に覆うフォトリソマスクRM2を形成する。

【0079】

次に、フォトリソマスクRM2をエッチングマスクにしてエッチング処理を施して、図17に示すように、 $n$ MIS形成領域1n上( $n$ 型MISFET上)の窒化シリコン膜14bを除去する。窒化シリコン膜14bの加工は等方性ドライエッチングで行う。

【0080】

この工程において、 $p$ 型MISFET上にそのゲート電極6を覆うようにして窒化シリコ

50

ン膜 14b が選択的に形成される。このようにして窒化シリコン膜 14b を選択的に形成することにより、窒化シリコン膜 14b によって p 型 MISFET のチャネル形成領域に圧縮応力を選択的に発生させることができる。

【0081】

また、この工程において、n 型 MISFET 上の窒化シリコン膜 14a は絶縁膜 15 によって覆われているため、この窒化シリコン膜 14a が窒化シリコン膜 14b の加工時のオーバーエッチングによって削られてしまう不具合を抑制することができる。即ち、絶縁膜 15 は、窒化シリコン膜 14b の加工時におけるエッチングストッパの役割を果たす。

【0082】

次に、フォトレジストマスク RM2 を除去した後、図 18 に示すように、n 型及び p 型 MISFET 上を含む p 型基板 1 の回路形成面上の全面に例えば酸化シリコン膜からなる層間絶縁膜 16 をプラズマ CVD 法で形成し、その後、層間絶縁膜 16 の表面を CMP 法で平坦化する。

【0083】

次に、図 18 に示すように、層間絶縁膜 16 中に、Ar, Ge, Si, As, Sb, In, BF<sub>2</sub> 等の不純物 17 をイオン打ち込み法で導入して、層間絶縁膜 16 中の結晶性を破壊する。この工程において、層間絶縁膜 16 の応力が緩和されるため、層間絶縁膜 16 の応力が MISFET のチャネル形成領域に働く影響を抑制することができる。なお、層間絶縁膜 16 の断面を観察すると明らかに破壊された跡が残る。

【0084】

次に、図 19 に示すように、半導体領域 (11, 12) 上に、層間絶縁膜 16 の表面からシリサイド層 12 に到達するソース・ドレイン用コンタクト孔 18 を形成する。ソース・ドレイン用コンタクト孔 18 の形成は、窒化シリコン膜 (14a, 14b) をエッチングストッパとする SAC 技術で行う。具体的には、まず、半導体領域 (10, 11) と対向する位置にコンタクト孔用の開口パターンを持つフォトレジストマスクを層間絶縁膜 16 上に形成し、その後、前記フォトレジストマスクをエッチングマスクにして、層間絶縁膜 16、絶縁膜 15、窒化シリコン膜 (14a, 14b) 及び絶縁膜 13 に異方性ドライエッチングを順次施す。層間絶縁膜 16 及び絶縁膜 15 のエッチングは、窒化シリコン膜 (14a, 14b) に対して選択比がとれる条件で行う。窒化シリコン膜 (14a, 14b) のエッチングは、絶縁膜 13 に対して選択比がとれる条件で行う。絶縁膜 13 のエッチングは、シリサイド層 12、及び p 型基板 1 に対して選択比がとれる条件で行う。なお、絶縁膜 13 のエッチングは、窒化シリコン膜 (14a, 14b) の加工時のオーバーエッチングで行っても良い。

【0085】

次に、図示していないが、ソース・ドレイン用コンタクト孔 18 の形成と同様の方法で、ゲート電極 6 上に層間絶縁膜 16 の表面からシリサイド層 12 に到達するゲート用コンタクト孔を形成する。

【0086】

次に、ソース・ドレイン用コンタクト孔 18 の内部、及びゲート用コンタクト孔の内部に金属等の導電物を埋め込んで導電性プラグ 19 を形成し、その後、層間絶縁膜 16 上に配線 20 を形成することにより、図 1 に示す構造となる。

【0087】

次に、本発明を成す過程で本発明者が見出した問題点と共に本発明について説明する。p 型 MISFET 上の窒化シリコン膜 14a を異方性ドライエッチングで除去した場合、異方性ドライエッチングとしてはサイドウォールスペーサ 9 の側壁に沿う窒化シリコン膜 14a の部分の膜厚が実行的に厚く見えるため、図 20 に示すように、サイドウォールスペーサ 9 の側壁に窒化シリコン膜 14a の一部が残存する。このままの状態、p MISFET 上に窒化シリコン膜 14b を形成した場合、図 21 に示すように、ゲート電極 6、サイドウォールスペーサ 9 及び一部の窒化シリコン膜 14a による段差部 35a の最下部に窒化シリコン膜 14b の応力が集中するため、窒化シリコン膜 14b の応力の起点がサ

10

20

30

40

50

イドウォールスペーサ 9 の側壁に残存する窒化シリコン膜 14 a によって p 型 M I S F E T のチャンネル形成領域から離れてしまい、窒化シリコン膜 14 b の膜応力によってチャンネル形成領域に圧縮応力を発生させる効果が減少してしまう。また、逆の応力作用を持つ窒化シリコン膜 14 a がサイドウォールスペーサ 9 の側壁に残存するため、窒化シリコン膜 14 b によってチャンネル形成領域に圧縮応力を発生させる効果が更に減少してしまう。従って、p 型 M I S F E T 上の窒化シリコン膜 14 a の除去では、段差部にエッチング残りが発生しない等方性ドライエッチングで行うことが有効である。

しかしながら、p 型 M I S F E T 上の窒化シリコン膜 14 a を等方性ドライエッチングで除去した場合、新たな問題が発生する。

【 0 0 8 8 】

窒化シリコン膜の等方性ドライエッチングとしては、一般的に、C F <sub>4</sub> 又は C F <sub>6</sub> 等のフッ化ガスを用いた等方性プラズマエッチングが使用されている。この等方性プラズマエッチングでは、酸化シリコン膜やシリサイド層に対しては選択比をとることができるが、シリコンに対しては選択比をとることができない。

【 0 0 8 9 】

酸化シリコン膜からなるサイドウォールスペーサ 9 は、窒化シリコン膜 14 a の等方性プラズマエッチングに対して選択性をもつが、窒化シリコン膜 14 a の加工時のオーバーエッチングによって若干エッチングされるため、サイドウォールスペーサ 9 の全体の膜厚がゲート電極 6 に向かって後退する。一方、p 型半導体領域 11 の表面のシリサイド層 12 はサイドウォールスペーサ 9 に整合して形成されている。従って、窒化シリコン膜 14 a の加工時のオーバーエッチングによるサイドウォールスペーサ 9 の後退によって、図 22 に示すように、サイドウォールスペーサ 9 とシリサイド層 12 との間にシリコンの露出部 a 1 が形成されてしまう。窒化シリコン膜の等方性プラズマエッチングは、シリコンに対して選択比をとることができないため、窒化シリコン膜 14 a の加工時のオーバーエッチングによって露出部 1 a から p 型基板 1 が削られてしまい、ゲート電極 6 が剥がれる等の不具合が発生してしまう。

【 0 0 9 0 】

また、シリサイド層 12 は、窒化シリコン膜 14 a の等方性プラズマエッチングに対して選択性をもつが、窒化シリコン膜 14 a の加工時のオーバーエッチングによって若干エッチングされるため、シリサイド層 12 の膜厚が薄くなる。シリサイド層 12 は、M I S F E T の微細化に伴うゲート抵抗の増加やソース・ドレイン抵抗の増加を抑制するために、ゲート電極 6 の表面や p 型半導体領域 11 の表面に設けられている。従って、窒化シリコン膜 14 a の加工時のオーバーエッチングによってシリサイド層 12 の膜厚が薄くなると、M I S F E T の微細化に伴うゲート抵抗の増加やソース・ドレイン抵抗の増加を抑制する効果が減少してしまう。

【 0 0 9 1 】

また、シリサイド構造の p 型 M I S F E T の場合は、シリサイド層 12 がエッチングストップの役目を果たすため、ゲート電極 6 においてはシリサイド層 12 下の多結晶シリコン膜、ソース領域及びドレイン領域においてはシリサイド層 12 下の p 型半導体領域 11 が窒化シリコン膜 14 a の加工時のオーバーエッチングによって削られてしまうことはないが、ゲート電極 6 の表面や p 型半導体領域 11 の表面にシリサイド層 12 を持たない構造の場合は、図 23 に示すように、ゲート電極 6 の多結晶シリコン膜、ソース領域及びドレイン領域の p 型半導体領域 11 が削られてしまい、これらの厚さが減少してしまうため、ゲート抵抗及びソース・ドレイン抵抗が増加してしまう。ゲート抵抗の増加はスイッチング速度の低下を招き、ソース・ドレイン抵抗の増加は電流駆動能力の低下を招く。

【 0 0 9 2 】

従って、p 型 M I S F E T 上の窒化シリコン膜 14 a の除去は、段差部にエッチング残りが発生しない等方性ドライエッチングで行うことが有効であるが、窒化シリコン膜 14 a の加工を等方性ドライエッチングで行うためには、前述の問題を解決する必要がある。

【 0 0 9 3 】

10

20

30

40

50

本発明者の検討によれば、サイドウォールスペーサ 9 の後退に関する問題は、n 型及び p 型 M I S F E T 上に、これらのゲート電極 6 を覆うようにして窒化シリコン膜 1 4 a を形成する前に、少なくとも p 型半導体領域 1 1 におけるシリサイド層 1 2 のサイドウォールスペーサ側の端部上をエッチングストッパとして機能する絶縁膜で覆っておくことにより解決することができる。

【 0 0 9 4 】

また、シリサイド層 1 2 の削れに関する問題は、n 型及び p 型 M I S F E T 上にこれらのゲート電極 6 を覆うようにして窒化シリコン膜 1 4 a を形成する前に、シリサイド層 1 2 の全体をエッチングストッパとして機能する絶縁膜で覆っておくことにより解決することができる。

10

【 0 0 9 5 】

また、シリサイド層 1 2 をもたない構造に関する問題は、n 型及び p 型 M I S F E T 上にこれらのゲート電極 6 を覆うようにして窒化シリコン膜 1 4 a を形成する前に、ゲート電極 6 の表面や p 型半導体領域 1 1 の表面をエッチングストッパとして機能する絶縁膜で覆っておくことにより解決することができる。

絶縁膜としては、窒化シリコン膜 1 4 a の等方性プラズマエッチングに対して選択性をもつもの、例えば酸化シリコン膜が望ましい。

【 0 0 9 6 】

前述の実施形態 1 では、図 1 0 及び図 1 1 に示すように、窒化シリコン膜 1 4 a を形成する前に、酸化シリコン膜からなる絶縁膜 1 3 を C V D 法で形成している。C V D 法、即ち堆積法で絶縁膜 1 3 を形成する場合、p 型 M I S F E T 上において、ゲート電極 6 の表面のシリサイド層 1 2、p 型半導体領域 1 1 の表面のシリサイド層 1 2、p 型半導体領域 1 1 の表面におけるシリサイド層 1 2 のサイドウォール 9 側の端部、並びにサイドウォールスペーサ 9 を絶縁膜 1 3 で覆うことができる。

20

【 0 0 9 7 】

従って、p 型 M I S F E T 上の窒化シリコン膜 1 4 b の除去は、図 1 4 に示すように、ゲート電極 6 の表面のシリサイド層 1 2、p 型半導体領域 1 1 の表面のシリサイド層 1 2、p 型半導体領域 1 1 の表面におけるシリサイド層 1 2 のサイドウォール 9 側の端部、並びにサイドウォールスペーサ 9 を絶縁膜 1 3 で覆った状態で行われるため、サイドウォールスペーサ 9 の後退に関する問題、シリサイド層 1 2 の削れに関する問題を一気に解決することができる。

30

【 0 0 9 8 】

このように、本実施形態 1 によれば、n 型 M I S F E T のチャネル形成領域に引っ張り応力、p 型 M I S F E T のチャネル形成領域に圧縮応力が別々に与えられる結果、n 型 M I S F E T 及び p 型 M I S F E T の各チャネル形成領域に働く応力の大きさに応じて、n 型 M I S F E T 及び p 型 M I S F E T で共にドレイン電流が増加する。

【 0 0 9 9 】

また、n 型 M I S F E T 及び p 型 M I S F E T のチャネル形成領域に働く応力を個別に制御できるため、n 型 M I S F E T と p 型 M I S F E T とのドレイン電流比を自由に制御できる。

40

【 0 1 0 0 】

また、n 型 M I S F E T 及び p 型 M I S F E T のドレイン電流を同時に増加することができるため、n 型及び p 型 M I S F E T を有する半導体装置の高速化を図ることができる。

【 0 1 0 1 】

また、p 型 M I S F E T 上の窒化シリコン膜 1 4 a を等方性ドライエッチングで除去する時に生じる、サイドウォールスペーサ 9 の後退に関する問題やシリサイド層 1 2 の削れに関する問題を解決することができるため、製造歩留まり及び信頼性が高い半導体装置を提供することができる。

【 0 1 0 2 】

なお、窒化シリコン膜の形成方法を変えて膜応力を変える方法としては、前記実施形態の

50

高周波電力を変える方法の他に、下記の方法があげられる。

( 1 ) 原料ガスを変える方法として、窒化シリコン膜 1 4 a の形成には  $\text{SiH}_4$  と  $\text{NH}_3$  と  $\text{N}_2$  を使用し、窒化シリコン膜 1 4 b の形成には  $\text{NH}_3$  を除いて  $\text{SiH}_4$  と  $\text{N}_2$  を使用する、

( 2 ) 形成温度を変える方法として、窒化シリコン膜 1 4 b の形成時よりも、窒化シリコン膜 1 4 a の形成時の温度を高くする、

( 3 ) 圧力を変える方法として、窒化シリコン膜 1 4 b の形成時よりも、窒化シリコン膜 1 4 a の形成時の圧力を高くする、

などである。むろん、前記いずれの組み合わせを複合させてもよい。要はいかに窒化シリコン膜 1 4 a を引っ張り応力側に、窒化シリコン膜 1 4 b を圧縮応力側にするかが重要である。

10

#### 【 0 1 0 3 】

また、枚葉熱 C V D 法を用いた窒化膜の形成方法としては、膜形成時の圧力を下げるほど、また温度を高くするほど膜応力を引っ張り側にでき、窒化シリコン膜 1 4 a に好適である。

#### 【 0 1 0 4 】

図 2 4 は、本発明の実施形態 1 の変形例である半導体装置の製造工程中における模式的断面図である。図 2 4 において、向かって左側が n 型 M I S F E T であり、右側が p 型 M I S F E T である。

#### 【 0 1 0 5 】

前述の実施形態 1 では、窒化シリコン膜 1 4 b よりも先に窒化シリコン膜 1 4 a を形成する例について説明したが、図 2 4 に示すように、窒化シリコン膜 1 4 a よりも先に窒化シリコン膜 1 4 b を形成しても良い。このような場合においても、n 型 M I S F E T のチャネル形成領域に引っ張り応力、p 型 M I S F E T のチャネル形成領域に圧縮応力を別々に与えることができるため、n 型及び p 型 M I S F E T のドレイン電流を同時に増加することができる。

20

#### 【 0 1 0 6 】

また、n 型 M I S F E T 上の窒化シリコン膜 1 4 b を等方性プラズマエッチングで除去する際、ゲート電極 6 の表面のシリサイド層 1 2、n 型半導体領域 1 0 の表面のシリサイド層 1 2、n 型半導体領域 1 0 の表面におけるシリサイド層 1 2 のサイドウォール 9 側の端部、並びにサイドウォールスペーサ 9 を絶縁膜 1 3 で覆った状態で行うことにより、サイドウォールスペーサ 9 の後退に関する問題、シリサイド層 1 2 の削れに関する問題を生じることなく、n 型 M I S F E T 上の窒化シリコン膜 1 4 b を等方性プラズマエッチングで除去することができる。

30

#### 【 0 1 0 7 】

なお、実施形態 1 及びその変形例では、酸化シリコン膜からなる絶縁膜 1 3 を窒化シリコン膜 1 4 a の加工時のエッチングストップとして用いた例について説明したが、これに限定されるものではなく、窒化シリコン膜 1 4 a の等方性ドライエッチングに対して選択比がとれるものであれば他の絶縁膜を用いてもよい。

#### 【 0 1 0 8 】

( 実施形態 2 )

図 2 5 は、本発明の実施形態 2 である半導体装置の概略構成を示す模式的断面図であり、図 2 6 及び図 2 7 は、本発明の実施形態 2 である半導体装置の製造工程中における模式的断面図である。図 2 5 乃至図 2 7 において、向かって左側が n 型 M I S F E T であり、右側が p 型 M I S F E T である。

図 2 5 に示すように、本実施形態 2 の半導体装置は、前述の実施形態 1 においてエッチングストップとして使用された絶縁膜 1 3 を除去した構成となっている。

#### 【 0 1 0 9 】

前述の実施形態 1 のように絶縁膜 1 3 を残した場合 ( 図 1 8 参照 )、ゲート電極 6、サイドウォールスペーサ 9 及び絶縁膜 1 3 による段差部 3 5 a の最下部に窒化シリコン膜 ( 1

40

50

4 a , 1 4 b ) の応力が集中するため、窒化シリコン膜 ( 1 4 a , 1 4 b ) の応力の起点がサイドウォールスペーサ 9 の側壁に残存する絶縁膜 1 3 によって M I S F E T のチャネル形成領域から離れてしまい、窒化シリコン膜 ( 1 4 a , 1 4 b ) の膜応力によってチャネル形成領域に応力を発生させる効果が減少してしまう。従って、絶縁膜 1 3 は出来るだけ除去することが望ましい。

【 0 1 1 0 】

但し、実施形態 1 のように、窒化シリコン膜 1 4 b よりも先に窒化シリコン膜 1 4 a を形成する場合には、p 型 M I S F E T 上の窒化シリコン膜 1 4 a を除去する工程において絶縁膜 1 3 が必要であり、実施形態 1 の変形例のように、窒化シリコン膜 1 4 a よりも先に窒化シリコン膜 1 4 b を形成する場合には、n 型 M I S F E T 上の窒化シリコン膜 1 4 b を除去する工程において絶縁膜 1 3 が必要であるため、これらの工程を考慮して絶縁膜 1 3 を除去する。

10

【 0 1 1 1 】

窒化シリコン膜 1 4 b よりも先に窒化シリコン膜 1 4 a を形成する場合、n 型 M I S F E T 上の絶縁膜 1 3 の除去は、図 2 6 に示すように、窒化シリコン膜 1 4 a を形成する工程の前に行い、p 型 M I S F E T 上の絶縁膜 1 3 の除去は、図 2 7 に示すように、p 型 M I S F E T 上の窒化シリコン膜 1 4 a を除去した後に行う。

【 0 1 1 2 】

窒化シリコン膜 1 4 a よりも先に窒化シリコン膜 1 4 b を形成する場合、p 型 M I S F E T 上の絶縁膜 1 3 の除去は、窒化シリコン膜 1 4 b を形成する工程の前に行い、n 型 M I S F E T 上の絶縁膜 1 3 の除去は、n 型 M I S F E T 上の窒化シリコン膜 1 4 b を除去した後に行う。n 型 M I S F E T 上の絶縁膜 1 3 の除去は、p 型 M I S F E T 上を例えばフォトリソグラフィマスク等で覆った状態で行い、p 型 M I S F E T 上の絶縁膜 1 3 の除去は、n 型 M I S F E T 上を例えばフォトリソグラフィマスク等で覆った状態で行う。

20

【 0 1 1 3 】

n 型 M I S F E T 上、若しくは p 型 M I S F E T 上の絶縁膜 1 3 の除去は、段差部にエッチング残りが発生しない等方性ドライエッチングで行うことが望ましい。酸化シリコン膜からなる絶縁膜 1 3 の等方性ドライエッチングとしては、一般的に、 $CF_4$  に  $H_2$  ガスを混合したガス、或いは  $CF_3$  ガスを用いた等方性プラズマエッチングが使用されている。この等方性プラズマエッチングでは、シリコンやシリサイド層に対して十分に選択比をとることが出来るため、p 基板 1、シリサイド層 1 2、並びにサイドウォールスペーサ 9 等が大きく削られてしまう様なことはない。

30

【 0 1 1 4 】

なお、本実施形態 2 では、n 型 M I S F E T 上及び p 型 M I S F E T 上の両方の絶縁膜 1 3 を除去する例について説明したが、何れか一方の絶縁膜 1 3 を残すようにしても良い。

【 0 1 1 5 】

( 実施形態 3 )

図 2 8 は、本発明の実施形態 3 である半導体装置の製造工程中における模式的断面図である。図 2 8 において、向かって左側が n 型 M I S F E T であり、右側が p 型 M I S F E T である。

40

【 0 1 1 6 】

前述の実施形態 1 では、堆積法で形成された酸化シリコン膜からなる絶縁膜 1 3 を窒化シリコン膜 1 4 a の加工時のエッチングストッパとして用いた例について説明したが、本実施形態 3 では、熱酸化法で形成された酸化シリコン膜からなる絶縁膜 2 1 を窒化シリコン膜 1 4 a の加工時のエッチングストッパとして用いている。熱酸化法による絶縁膜 2 1 の形成は、サリサイド構造の n 型及び p 型 M I S F E T を形成する工程の後であって、窒化シリコン膜 1 4 a 及び 1 4 b を形成する工程の前に行う。

【 0 1 1 7 】

熱酸化法では、図 2 8 に示すように、ゲート電極 6 の表面のシリサイド層 1 2 上、及び半導体領域 ( 1 0 , 1 1 ) の表面のシリサイド層 1 2 上にこれらのシリサイド層 1 2 を覆う

50

ようにして絶縁膜 2 1 を選択的に形成することができる。従って、前述の実施形態 1 のように、窒化シリコン膜 1 4 b よりも先に窒化シリコン膜 1 4 a を形成する場合や、前述の実施形態 1 の変形例のように、窒化シリコン膜 1 4 a よりも先に窒化シリコン膜 1 4 b を形成する場合においても、窒化シリコン膜 ( 1 4 a , 1 4 b ) を等方性ドライエッチングで加工する時に生じる不具合を絶縁膜 2 1 で抑制することができる。

【 0 1 1 8 】

( 実施形態 4 )

図 2 9 は、本発明の実施形態 4 である半導体装置の製造工程中における模式的断面図である。図 2 9 において、向かって左側が n 型 M I S F E T であり、右側が p 型 M I S F E T である。

10

【 0 1 1 9 】

前述の実施形態 1 では、堆積法で形成された酸化シリコン膜からなる絶縁膜 1 3 を窒化シリコン膜 1 4 a の加工時のエッチングストップとして用いた例について説明したが、本実施形態 4 では、サイドウォールスペーサ 9 の側壁に形成された酸化シリコン膜からなるサイドウォールスペーサ 2 2 を窒化シリコン膜 1 4 a の加工時のエッチングストップとして用いている。サイドウォールスペーサ 2 2 の形成は、サリサイド構造の n 型及び p 型 M I S F E T を形成する工程の後であって、窒化シリコン膜 1 4 a 及び 1 4 b を形成する工程の前に行う。サイドウォールスペーサ 2 2 は、サイドウォールスペーサ 9 と同様の方法で形成される。

【 0 1 2 0 】

20

このように、サイドウォールスペーサ 9 の側壁に酸化シリコン膜からなるサイドウォールスペーサ 2 2 を形成することにより、半導体領域 ( 1 0 , 1 1 ) の表面におけるシリサイド層 1 2 のサイドウォールスペーサ 9 側の端部、並びにサイドウォールスペーサ 9 をサイドウォールスペーサ 2 2 で覆うことができるため、前述の実施形態 1 のように、窒化シリコン膜 1 4 b よりも先に窒化シリコン膜 1 4 a を形成する場合や、前述の実施形態 1 の変形例のように、窒化シリコン膜 1 4 a よりも先に窒化シリコン膜 1 4 b を形成する場合においても、窒化シリコン膜 ( 1 4 a , 1 4 b ) を等方性ドライエッチングで加工する時に生じる不具合、特にサイドウォールスペーサ 9 の後退に関する不具合をサイドウォールスペーサ 2 2 で抑制することができる。

【 0 1 2 1 】

30

なお、本実施形態 4 では、酸化シリコン膜からなるサイドウォールスペーサ 2 2 を窒化シリコン膜 ( 1 4 a , 1 4 b ) の加工時のエッチングストップとして用いた例について説明したが、これに限定されるものではなく、窒化シリコン膜 ( 1 4 a , 1 4 b ) の加工時の等方性ドライエッチングに対して選択比がとれるものであれば他の絶縁膜を用いてもよい。

【 0 1 2 2 】

( 実施形態 5 )

図 3 0 は、本発明の実施形態 5 である半導体装置の概略構成を示す模式的断面図である。図 3 0 において、向かって左側が n 型 M I S F E T であり、右側が p 型 M I S F E T である。

40

【 0 1 2 3 】

前述の実施形態 1 では、サリサイド構造の相補型 M I S F E T を有する半導体装置に本発明を適用した例について説明したが、本実施形態 5 では、シリサイド層を持たない相補型 M I S F E T を有する半導体装置に本発明を適用した例について説明する。

【 0 1 2 4 】

図 3 0 に示すように、本実施形態 5 の半導体装置は、基本的に前述の実施形態 1 と同様の構成になっており、n 型及び p 型 M I S F E T の構造が異なっている。即ち、本実施形態 5 の n 型及び p 型 M I S F E T は、ゲート電極 6 の表面、並びに半導体領域 ( 1 0 , 1 1 ) の表面にシリサイド層を持たない構造になっている。

本実施形態 5 の半導体装置は、シリサイド層を形成する工程を除いて前述の実施形態 1 で

50

説明した方法で形成されている。

【 0 1 2 5 】

p型MISFET上の窒化シリコン膜14aを等方性ドライエッチングで除去する際、実施形態1のようにp型MISFETがシリサイド構造の場合は、シリサイド層12がエッチングストップの役目を果たすため、ゲート電極6においてはシリサイド層12下の多結晶シリコン膜、ソース領域及びドレイン領域においてはシリサイド層12下のp型半導体領域11が窒化シリコン膜14aの加工時のオーバーエッチングによって削られてしまうことはないが、本実施形態5のようにp型MISFETがゲート電極6の表面やp型半導体領域11の表面にシリサイド層12を持たない構造の場合は、図23に示すように、ゲート電極6の多結晶シリコン膜、ソース領域及びドレイン領域のp型半導体領域11が削られてしまう。

10

【 0 1 2 6 】

このような問題は、窒化シリコン膜14aを形成する工程の前に、ゲート電極6上、並びにp型半導体領域11上をエッチングストップとして機能する絶縁膜13で覆っておくことにより解決することができる。

【 0 1 2 7 】

本実施形態5ではエッチングストップとして絶縁膜13を用いている。この絶縁膜13は堆積法で形成されている。堆積法は、ゲート電極6上及びp型半導体領域11上を一括して絶縁膜13で覆うことができるため、ゲート電極6及びp型半導体領域11の削れを同時に抑制できる。

20

【 0 1 2 8 】

なお、本実施形態5では、窒化シリコン膜14bよりも先に窒化シリコン膜14aを形成する例について説明したが、窒化シリコン膜14aよりも先に窒化シリコン膜14bを形成する場合においても、同様の効果が得られる。

【 0 1 2 9 】

また、本実施形態5では、エッチングストップとして絶縁膜13を用いた例について説明したが、熱酸化法で形成した絶縁膜21をエッチングストップとして用いる場合においても、同様の効果が得られる。

また、本実施形態5では、エッチングストップとして機能する絶縁膜13を残す例について説明したが、絶縁膜13は実施形態2のように除去しても良い。

30

【 0 1 3 0 】

また、本実施形態5のシリサイド層を持たないMISFETは、例えば、前述した実施形態1～4のシリサイド層を持つMISFETと同一基板上に形成され、ソース領域又はドレイン領域と基板との間の（接合）リーク電流を低減したいMISFET及び回路を構成する。即ち、接合リーク電流を低減する必要のあるMISFETを本実施形態5のシリサイド層を持たないMISFETで構成し、高速動作を必要とするMISFETを実施形態1～4のシリサイド層を持つMISFETで形成する。これにより、低消費電力化及び高速動作が図れる。

【 0 1 3 1 】

また、絶縁膜13は、シリサイド層を持たないMISFET及びシリサイド層を持つMISFET上に同一工程で堆積することができるので、製造工程を増やさずに低消費電力及び高速動作が可能な半導体装置を形成することができる。

40

【 0 1 3 2 】

また、シリサイド層を持つMISFETとシリサイド層を持たないMISFETとを同一基板上に形成する場合、シリサイド層を持つMISFETにおいては、図25に示すように、エッチングストップとして機能する絶縁膜13を設けない構造とし、シリサイド層を持たないMISFETにおいては、図30に示すように、エッチングストップとして機能する絶縁膜13を設けた構造としても良い。

【 0 1 3 3 】

この場合、シリサイド層を持つMISFET上の絶縁膜13の除去は、シリサイド層を持

50



つMISFETのチャネル形成領域に応力を発生させる第1の膜を先に形成するか、それともシリサイド層を持たないMISFETのチャネル形成領域に応力を発生させる第2の膜を先に形成するかで異なる。例えば、シリサイド層を持つMISFETがn型、シリサイド層を持たないMISFETがp型の場合、第1の膜(窒化シリコン膜14a)を先に形成する場合は、図26(図中右側のp型MISFETをシリサイド層を持たないp型MISFETに置き換えて参照)に示すように、窒化シリコン膜14aを形成する工程の前に、シリサイド層を持つMISFET上の絶縁膜13を選択的に除去し、第2の膜(窒化シリコン膜14b)を先に形成する場合は、シリサイド層を持つMISFET上の窒化シリコン膜14bを選択的に除去する工程の後であって、窒化シリコン膜14aを形成する工程の前に、シリサイド層を持つMISFET上の絶縁膜13を選択的に除去する。また、シリサイド層を持つMISFETがp型、シリサイド層を持たないMISFETがn型の場合も、同様にして、シリサイド層を持つMISFET上の絶縁膜13を選択的に除去する。

10

#### 【0134】

(実施形態6)

図31は、本発明の実施形態6である半導体装置の概略構成を示す模式的断面図であり、図32乃至図35は、本発明の実施形態6である半導体装置の製造工程中における模式的断面図である。図31乃至図35において、向かって左側がn型MISFETであり、右側がp型MISFETである。

#### 【0135】

本実施形態6は、n型MISFETのチャネル形成領域に引っ張り応力を発生させる膜上に、p型MISFETのチャネル形成領域に圧縮応力を発生させる膜を重ねて、n型及びp型MISFETのドレイン電流の増加を狙ったものである。

20

#### 【0136】

図31に示すように、n型及びp型MISFETは、窒化シリコン膜14aで覆われている。また、p型MISFETは、窒化シリコン膜14bで覆われている。即ち、n型MISFET上には窒化シリコン膜14aのみが存在し、p型MISFET上には窒化シリコン膜14a及び14bが存在している。

#### 【0137】

n型MISFET上には窒化シリコン膜14aのみが存在しているため、n型MISFETのチャネル形成領域には窒化シリコン膜14aの引っ張り応力のみが加わるが、p型MISFET上には窒化シリコン膜14a及び14bが存在しているため、p型MISFETのチャネル形成領域には窒化シリコン膜14aの引っ張り応力及び窒化シリコン膜14bの圧縮応力が加わる。従って、少なくとも窒化シリコン膜14aの引っ張り応力よりも絶対値が大きい圧縮応力をもつ窒化シリコン膜14bを用いることで、p型MISFETのチャネル形成領域に圧縮応力を発生させることができる。

30

#### 【0138】

なお、本実施形態6では、圧縮応力を持つ窒化シリコン膜14bが引っ張り応力を持つ窒化シリコン膜14aよりも上層に形成されているため、p型MISFETのチャネル形成領域に対する膜応力の起点は、窒化シリコン膜14aよりも窒化シリコン膜14bの方が遠くなっている。従って、このような場合には、窒化シリコン膜14aの引っ張り応力よりも絶対値が2倍以上の圧縮応力をもつ窒化シリコン膜14bを用いることが望ましい。

40

#### 【0139】

次に、本実施形態6の半導体装置の製造について、図32乃至図35を用いて説明する。図32に示すように、前述の実施形態1と同様のプロセスで、シリサイド構造のn型及びp型MISFETを形成する。

#### 【0140】

次に、図33に示すように、n型及びp型MISFET上を含むp型基板1の回路形成面上の全面に、例えば100~120nm程度の厚さの窒化シリコン膜14aをプラズマCVD法で形成する。窒化シリコン膜14aの形成は、例えば高周波電力350~400W

50

の条件で行なう。

【0141】

次に、図34に示すように、n型及びp型MISFET上を含むp型基板1上の全面に、例えば50nm程度の厚さの酸化シリコン膜からなる絶縁膜15をCVD法で形成し、その後、n型及びp型MISFET上を含むp型基板1上の全面に、例えば100～200nm程度の厚さの窒化シリコン膜14bをプラズマCVD法で形成する。窒化シリコン膜14bの形成は、例えば高周波電力600～700Wの条件で行なう。

【0142】

この工程において、最終的にp型MISFETのチャネル形成領域に圧縮応力が発生するように、少なくとも窒化シリコン膜14aの引っ張り応力よりも絶対値が大きい圧縮応力を持つ窒化シリコン膜14bを形成する。本実施形態では、窒化シリコン膜14aの引っ張り応力よりも絶対値が2倍以上の圧縮応力をもつように窒化シリコン膜14bを形成した。

10

【0143】

次に、窒化シリコン膜14b上に、p型MISFET上を選択的に覆うフォトリソマスクRM3を形成し、その後、フォトリソマスクRM3をエッチングマスクにしてエッチング処理を施して、図35に示すように、n型MISFET上の窒化シリコン膜14bを除去する。窒化シリコン膜14bの加工は等方性ドライエッチングで行う。

この後、フォトリソマスクRM3を除去することにより、図31に示す状態となる。

【0144】

20

このように、n型及びp型MISFET上に窒化シリコン膜14aを形成し、その後、p型MISFET上に、窒化シリコン膜14aの引っ張り応力よりも絶対値が大きい圧縮応力を持つ窒化シリコン膜14bを選択的に形成することにより、p型MISFETのチャネル形成領域に圧縮応力を発生させることができるため、本実施形態においても、n型MISFET及びp型MISFETのドレイン電流を同時に増加することができる。

【0145】

また、本実施形態6では、p型MISFET上の窒化シリコン膜14aの除去を行っていないため、前述の実施形態1のようにエッチングストッパとして機能する絶縁膜13を形成する必要がない。従って、前述の実施形態1と比較して製造工程数を簡略化できる。

【0146】

30

なお、本実施形態6では、n型及びp型MISFET上を覆う窒化シリコン膜14aの後に、p型MISFET上のみを覆う窒化シリコン膜14bを形成した例について説明したが、p型MISFET上のみを覆う窒化シリコン膜14bは、n型及びp型MISFET上を覆う窒化シリコン膜14aの前に形成しても良い。但し、この場合は、前述の実施形態1のように、窒化シリコン膜14bの加工時にエッチングストッパとして機能する絶縁膜が必要となる。

【0147】

図36は、本発明の実施形態6の変形例である半導体装置の概略構成を示す模式的断面図である。図36において、向かって左側がn型MISFETであり、右側がp型MISFETである。

40

【0148】

前述の実施形態6では、n型及びp型MISFET上に引っ張り応力を持つ窒化シリコン膜14aを形成し、更に、p型MISFET上に、窒化シリコン膜14aの引っ張り応力よりも絶対値が大きい圧縮応力を持つ窒化シリコン膜14bを選択的に形成して、n型及びp型MISFETのドレイン電流を同時に増加させた例について説明したが、図36に示すように、n型及びp型MISFET上に圧縮応力を持つ窒化シリコン膜14bを形成し、更に、n型MISFET上に、窒化シリコン膜14bの圧縮応力よりも絶対値が大きい引っ張り応力を持つ窒化シリコン膜14aを選択的に形成しても良い。このような場合においても、n型MISFET及びp型MISFETのドレイン電流を同時に増加することができる。

50

## 【0149】

なお、図36では、n型及びp型MISFET上を覆う窒化シリコン膜14bの後に、n型MISFET上のみを覆う窒化シリコン膜14aを形成した例について図示しているが、n型MISFET上のみを覆う窒化シリコン膜14aは、n型及びp型MISFET上を覆う窒化シリコン膜14bの前に形成しても良い。但し、この場合は、前述の実施形態1のように、窒化シリコン膜14bの加工時にエッチングストップパとして機能する絶縁膜が必要となる。

## 【0150】

(実施形態7)

図37は、本発明の実施形態7である半導体装置の概略構成を示す模式的断面図であり、図38及び図39は、本発明の実施形態7である半導体装置の製造工程中における模式的断面図である。図37乃至図39において、向かって左側がn型MISFETであり、右側がp型MISFETである。

10

本実施形態7は、1つの窒化シリコン膜で、n型及びp型MISFETのドレイン電流の増加を狙ったものである。

## 【0151】

図37に示すように、n型及びp型MISFETは、1つの窒化シリコン膜24で覆われている。窒化シリコン膜24は、n型MISFETのチャネル形成領域に引っ張り応力を発生させる第1の部分24aと、p型MISFETのチャネル形成領域に圧縮応力を発生させる第2の部分24bとを有し、第1の部分24aはn型MISFET上にそのゲート電極6を覆うようにして形成され、第2の部分24bはp型MISFET上にそのゲート電極6を覆うようにして形成されている。第2の部分24bは、Si及びNの元素濃度が第1の部分24aよりも高くなっている。以下、本実施形態7の半導体装置の製造について、図38及び図39を用いて説明する。

20

## 【0152】

前述の実施形態1と同様のプロセスで、サリサイド構造のn型及びp型MISFETを形成した後、図38に示すように、n型及びp型MISFET上を含むp型基板1の回路形成面上の全面に、n型MISFETのチャネル形成領域に引っ張り応力を発生させる窒化シリコン膜24をプラズマCVD法で形成する。窒化シリコン膜24の形成は、例えば高周波電力350～400Wの条件で行なう。

30

## 【0153】

次に、n型MISFET上を覆い、かつp型MISFET上に開口を有するフォトレジストマスクRM4を窒化シリコン膜24上に形成し、その後、図39に示すように、フォトレジストマスクRM4をマスクにして、フォトレジストマスクRM4から露出する窒化シリコン膜24中(p型MISFET上の窒化シリコン膜24中)に、Si及びNの元素をイオン打ち込み法で導入する。イオン打ち込みは、膜の深さ方向全般にわたってこれらの元素が導入されるように、深さ方向における元素濃度のピーク値(Rp)が膜厚の1/2程度となる加速エネルギー、ドーズ量が $1 \times 10^{15} / \text{cm}^2$ 以上の条件で行う。

この工程において、第1の部分24aと、この第1の部分24aよりも元素濃度が高い第2の部分24bとを有する窒化シリコン膜24が形成される。

40

## 【0154】

次に、フォトレジストマスクRM4を除去した後、熱処理を施して窒化シリコン膜24の第2の部分24bを活性化する。

この工程において、窒化シリコン膜24の第2の部分24bが体積膨張し、第2の部分24bがp型MISFETのチャネル形成領域に圧縮応力を発生させる膜に変換する。従って、図37に示すように、窒化シリコン膜24は、n型MISFETのチャネル形成領域に引っ張り応力を発生させる第1の部分24aと、p型MISFETのチャネル形成領域に圧縮応力を発生させる第2の部分24bとを有する構成となる。

## 【0155】

このようにして窒化シリコン膜24を形成することにより、本実施形態7においても、n

50

型MISFET及びp型MISFETのドレイン電流を同時に増加することができる。

【0156】

また、本実施形態7では、p型MISFET上の窒化シリコン膜24の除去を行っていないため、前述の実施形態1のようにエッチングストップパとして機能する絶縁膜13を形成する必要がない。従って、前述の実施形態1と比較して製造工程数を簡略化できる。

【0157】

また、本実施形態7では、n型及びp型MISFETのドレイン電流が増加するように1つの窒化シリコン膜24で制御できるため、前述の実施形態1と比較して、窒化シリコン膜の被膜工程が1回で済む。従って、窒化シリコン膜の被膜工程とその加工工程を省略でき、製造工程を簡略化できる。

10

【0158】

図40は、本発明の実施形態7の変形例である半導体装置の製造工程中における模式的断面図である。

前述の実施形態7では、Si及びNの元素を導入する方法として、p型基板1に対して垂直に元素をイオン注入する方法を適用した場合を示したが、図40に示すように、p型基板1に対して斜めに元素をイオン注入する方法を適用しても良い。この場合、サイドウォールスペーサ9の側壁を覆っている窒化シリコン膜24のゲート側壁部分(段差部分)にも元素を導入することができる。この結果、より一層の圧縮応力発生効果を得ることができる。

【0159】

20

(実施形態8)

図41は、本発明の実施形態8である半導体装置の概略構成を示す模式的断面図である。本実施形態8は、縦型ダブルゲート構造の相補型MISFETを有する半導体装置に本発明を適用した例である。

【0160】

図41に示すように、本実施形態8の半導体装置は、SOI(Silicon On Insulator)構造の半導体基板(以下、単に基板と呼ぶ)40を主体に構成されている。基板40は、例えば、半導体層40aと、この半導体層40a上に設けられた絶縁層40bと、この絶縁層40b上に設けられた半導体層40cとを有する構成になっている。半導体層40a及び40cは例えば単結晶シリコンからなり、絶縁層40bは例えば酸化シリコンからなる。

30

【0161】

半導体層40cは、複数の素子形成部に分割され、各素子形成部にn型MISFET、若しくはp型MISFETが形成されている。n型MISFETが形成される半導体層40cにはp型ウエル領域2が設けられ、p型MISFETが形成される半導体層40cにはn型ウエル領域3が設けられている。各半導体層40cは、絶縁層40b上に設けられた絶縁膜41で周囲を囲まれ、互いに絶縁分離されている。

【0162】

本実施形態8のn型及びp型MISFETは、チャネル形成領域として使用される半導体層40cを基板40の平面方向(表面方向)から2つのゲート電極6で挟み込んだダブルゲート構造になっている。また、n型及びp型MISFETは、ドレイン電流が基板40の厚さ方向に流れる縦型構造になっている。

40

【0163】

n型MISFETのチャネル形成領域に引っ張り応力を発生させる窒化シリコン膜14aは、n型MISFET上にその2つのゲート電極6を覆うようにして形成され、p型MISFETのチャネル形成領域に圧縮応力を発生させる窒化シリコン膜14bは、p型MISFET上にその2つのゲート電極6を覆うようにして形成されている。

【0164】

本実施形態8において、n型及びp型MISFETは、チャネル形成領域として使用される半導体層40cを基板40の平面方向から2つのゲート電極6で挟み込んだダブルゲート

50

ト構造になっているため、窒化シリコン膜による応力の影響が倍増し、ドレイン電流増加割合もシングルゲート構造の従来型より増加する。

【0165】

(実施形態9)

図42は、本発明の実施形態9である半導体装置の概略構成を示す模式的平面図であり、図43は、図42のA-A線に沿う模式的断面図である。

本実施形態9は、横型ダブルゲート構造の相補型MISFETを有する半導体装置に本発明を適用した例である。

【0166】

図42及び図43に示すように、本実施形態9のn型及びp型MISFETは、チャンネル形成領域として使用される半導体層40cを基板40の平面方向から2つのゲート電極6で挟み込んだダブルゲート構造になっている。また、n型及びp型MISFETは、ドレイン電流が半導体基板40の平面方向に流れる横型構造になっている。

10

【0167】

n型MISFETのチャンネル形成領域に引っ張り応力を発生させる窒化シリコン膜14aは、n型MISFET上にその2つのゲート電極6を覆うようにして形成され、p型MISFETのチャンネル形成領域に圧縮応力を発生させる窒化シリコン膜14bは、p型MISFET上にその2つのゲート電極6を覆うようにして形成されている。

【0168】

本実施形態9において、n型及びp型MISFETは、チャンネル形成領域として使用される半導体層40cを基板40の平面方向から2つのゲート電極6で挟み込んだダブルゲート構造になっているため、窒化シリコン膜による応力の影響が倍増し、ドレイン電流増加割合もシングルゲート構造の従来型より増加する。

20

【0169】

(実施形態10)

図44は、本発明の実施形態10である半導体装置の概略構成を示す模式的断面図である。

本実施形態10は、横型ダブルゲート構造の相補型MISFETを有する半導体装置に本発明を適用した例である。

【0170】

30

図44に示すように、本実施形態10の半導体装置は、例えばp型基板1主体に構成されている。p型基板1の主面上には半導体層42が設けられている。半導体層42は、複数の素子形成部に分割され、各素子形成部にn型MISFET、若しくはp型MISFETが形成されている。n型MISFETが形成される半導体層42にはp型ウエル領域2が設けられ、p型MISFETが形成される半導体層42にはn型ウエル領域3が設けられている。各半導体層42は、p型基板1上に設けられた絶縁膜41で周囲を囲まれ、互いに絶縁分離されている。

【0171】

本実施形態10のn型及びp型MISFETは、チャンネル形成領域として使用される半導体層42をp型基板1の厚さ方向に2つのゲート電極6で挟み込んだダブルゲート構造になっている。また、n型及びp型MISFETは、ドレイン電流が基板40の平面方向に流れる横型構造になっている。

40

【0172】

n型MISFETは、そのチャンネル形成領域に引っ張り応力を発生させる2つの窒化シリコン膜14aでp型基板1の厚さ方向から挟み込まれている。一方の窒化シリコン膜14aは、p型基板1とn型MISFETとの間に設けられ、他方の窒化シリコン膜14aは、n型MISFET上を覆うようにして設けられている。

【0173】

p型MISFETは、そのチャンネル形成領域に圧縮応力を発生させる2つの窒化シリコン膜14bでp型基板1の厚さ方向から挟み込まれている。一方の窒化シリコン膜14bは

50

、p型基板1とp型MISFETとの間に設けられ、他方の窒化シリコン膜14bは、p型MISFET上を覆うようにして設けられている。

【0174】

本実施形態10において、n型及びp型MISFETは、チャネル形成領域として使用される半導体層40cを基板40の深さ方向から2つのゲート電極6で挟み込んだダブルゲート構造になっており、しかも2つの窒化シリコン膜で覆われているため、窒化シリコン膜による応力の影響が倍増し、ドレイン電流増加割合もシングルゲート構造の従来型より増加する。

【0175】

以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

10

【0176】

例えば、SRAM(Static Random Access Memory)、DRAM(Dynamic Random Access Memory)、フラッシュメモリ等のメモリシステムを含む製品において、少なくともそのメモリシステムの周辺回路やロジック回路に本発明の構造を適用すると、より高性能のメモリ製品を得ることができる。

【0177】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

20

本発明によれば、nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタのドレイン電流の増加(電流駆動能力の向上)を図ることが可能となる。

また、本発明によれば、nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタのドレイン電流比を自由に設定することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態1である半導体装置の概略構成を示す模式的断面図である。

【図2】ドレイン電流変動率の膜応力依存性を示す特性図である。

【図3】電流方向と膜応力方向の関係を示す模式的断面図である。

【図4】電流方向と膜応力方向の関係を示す模式的平面図である。

30

【図5】本発明の実施形態1である半導体装置の製造工程における模式的断面図である。

【図6】図5に続く半導体装置の製造工程における模式的断面図である。

【図7】図6に続く半導体装置の製造工程における模式的断面図である。

【図8】図7に続く半導体装置の製造工程における模式的断面図である。

【図9】図8に続く半導体装置の製造工程における模式的断面図である。

【図10】図9に続く半導体装置の製造工程における模式的断面図である。

【図11】図10に続く半導体装置の製造工程における模式的断面図である。

【図12】図11に続く半導体装置の製造工程における模式的断面図である。

【図13】図12に続く半導体装置の製造工程における模式的断面図である。

40

【図14】図13に続く半導体装置の製造工程における模式的断面図である。

【図15】図14に続く半導体装置の製造工程における模式的断面図である。

【図16】図15に続く半導体装置の製造工程における模式的断面図である。

【図17】図16に続く半導体装置の製造工程における模式的断面図である。

【図18】図17に続く半導体装置の製造工程における模式的断面図である。

【図19】図18に続く半導体装置の製造工程における模式的断面図である。

【図20】本発明を成す過程で本発明者によって見出された問題点を説明するための模式的断面図である。

【図21】本発明を成す過程の中で本発明者によって見出された問題点を説明するための模式的断面図である。

50

【図 2 2】本発明を成す過程の中で本発明者によって見出された問題点を説明するための模式的断面図である。

【図 2 3】本発明を成す過程の中で本発明者によって見出された問題点を説明するための模式的断面図である。

【図 2 4】本発明の実施形態 1 の変形例を示す模式的断面図である。

【図 2 5】本発明の実施形態 2 である半導体装置の概略構成を示す模式的断面図である。

【図 2 6】本発明の実施形態 2 である半導体装置の製造工程における模式的断面図である。

【図 2 7】本発明の実施形態 2 である半導体装置の製造工程における模式的断面図である。

10

【図 2 8】本発明の実施形態 3 である半導体装置の製造工程における模式的断面図である。

【図 2 9】本発明の実施形態 4 である半導体装置の製造工程における模式的断面図である。

【図 3 0】本発明の実施形態 5 である半導体装置の概略構成を示す模式的断面図である。

【図 3 1】本発明の実施形態 6 である半導体装置の概略構成を示す模式的断面図である。

【図 3 2】本発明の実施形態 6 である半導体装置の製造工程における模式的断面図である。

【図 3 3】図 3 2 に続く半導体装置の製造工程における模式的断面図である。

【図 3 4】図 3 3 に続く半導体装置の製造工程における模式的断面図である。

20

【図 3 5】図 3 4 に続く半導体装置の製造工程における模式的断面図である。

【図 3 6】本発明の実施形態 6 の変形例を示す模式的断面図である。

【図 3 7】本発明の実施形態 7 である半導体装置の概略構成を示す模式的断面図である。

【図 3 8】本発明の実施形態 7 である半導体装置の製造工程における模式的断面図である。

【図 3 9】図 3 8 に続く半導体装置の製造工程における模式的断面図である。

【図 4 0】本発明の実施形態 7 の変形例を示す模式的断面図である。

【図 4 1】本発明の実施形態 8 である半導体装置の概略構成を示す模式的断面図である。

【図 4 2】本発明の実施形態 9 である半導体装置の概略構成を示す模式的断面図である。

【図 4 3】図 4 2 の A - A 線に沿う模式的断面図である。

30

【図 4 4】本発明の実施形態 10 である半導体装置の概略構成を示す模式的断面図である。

#### 【符号の説明】

1 ... p 型半導体基板、2 ... p 型ウエル領域、3 ... n 型ウエル領域、4 ... 浅溝アイソレーション領域、5 ... ゲート絶縁膜、6 ... ゲート電極、7, 10 ... n 型半導体領域、8, 11 ... p 型半導体領域、9 ... サイドウォールスペーサ、12 ... シリサイド層、12a ... 高融点金属膜、13 ... 絶縁膜、14a, 14b ... 窒化シリコン膜、15 ... 絶縁膜、16 ... 層間絶縁膜、17 ... 不純物、18 ... ソース・ドレイン用コンタクト孔、19 ... 導電性プラグ、20 ... 配線、

21 ... 絶縁膜、22 ... サイドウォールスペーサ、24 ... 窒化シリコン膜、24a ... 第 1 の部分、24b ... 第 2 の部分、

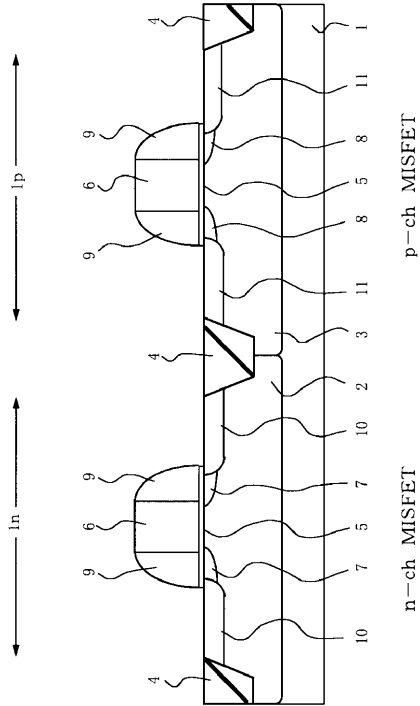
40

30 ... チャネル形成領域、31 ... ドレイン電流方向、32, 33 ... 半導体領域、34 ... 膜、35a, 35b ... 段差部、X ... ゲート長方向、Y ... ゲート幅方向、40 ... 半導体基板、40a ... 半導体層、40b ... 絶縁層、40c ... 半導体層、41 ... 絶縁膜。

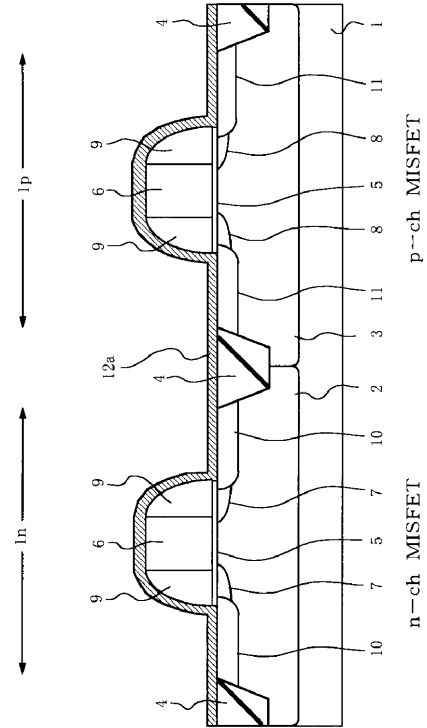




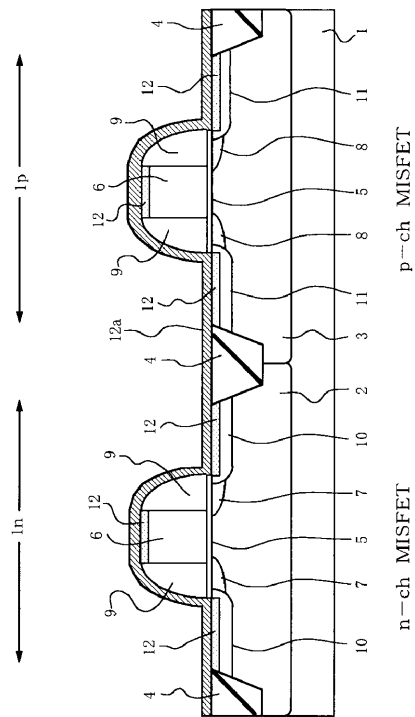
【図6】



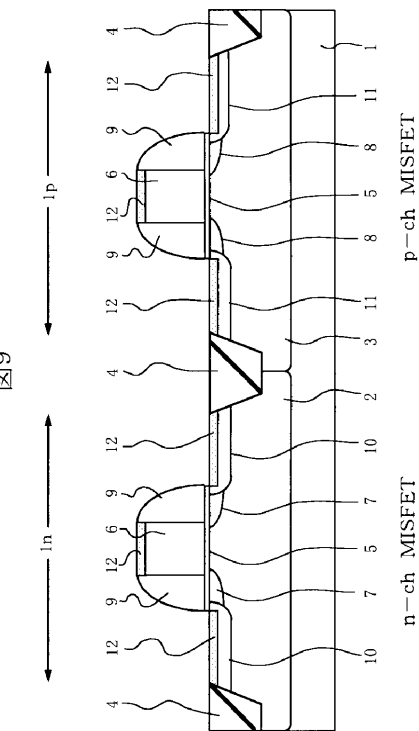
【図7】



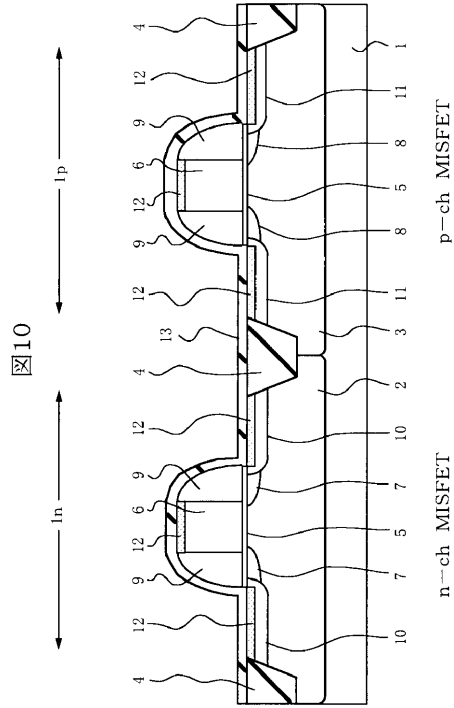
【図8】



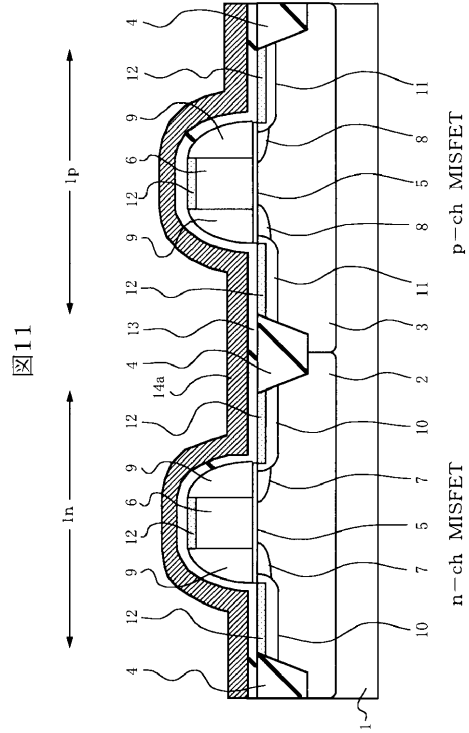
【図9】



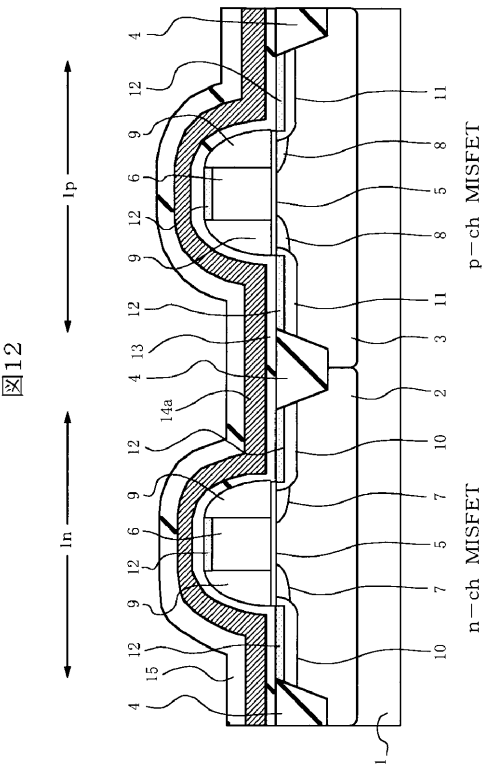
【図 10】



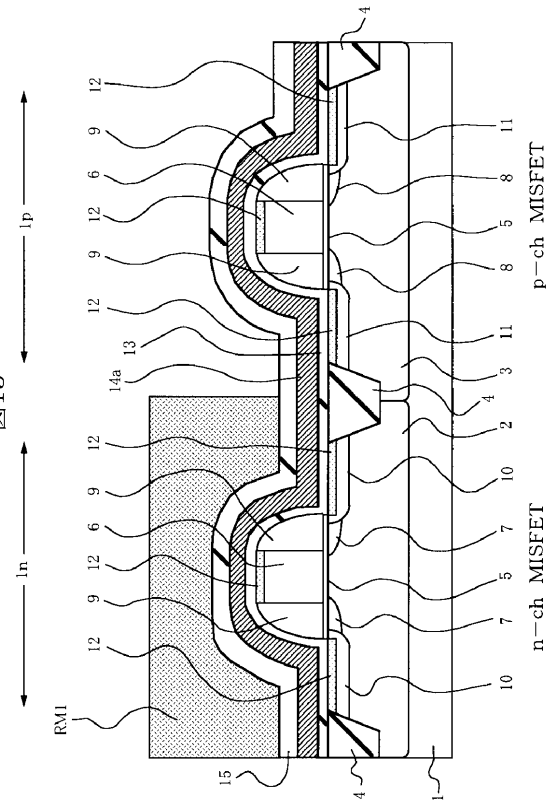
【図 11】



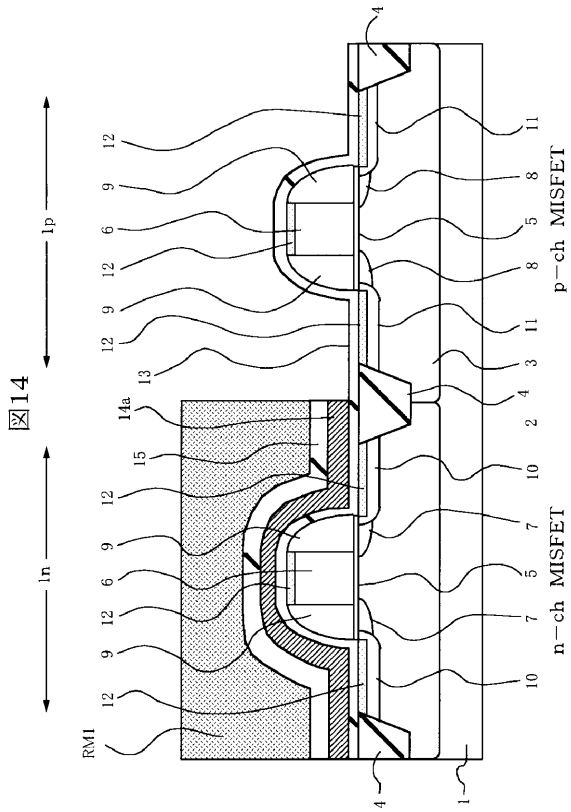
【図 12】



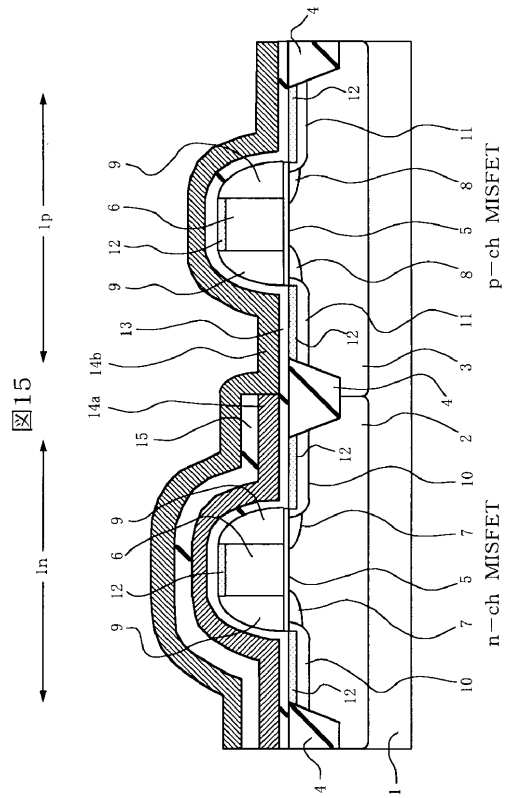
【図 13】



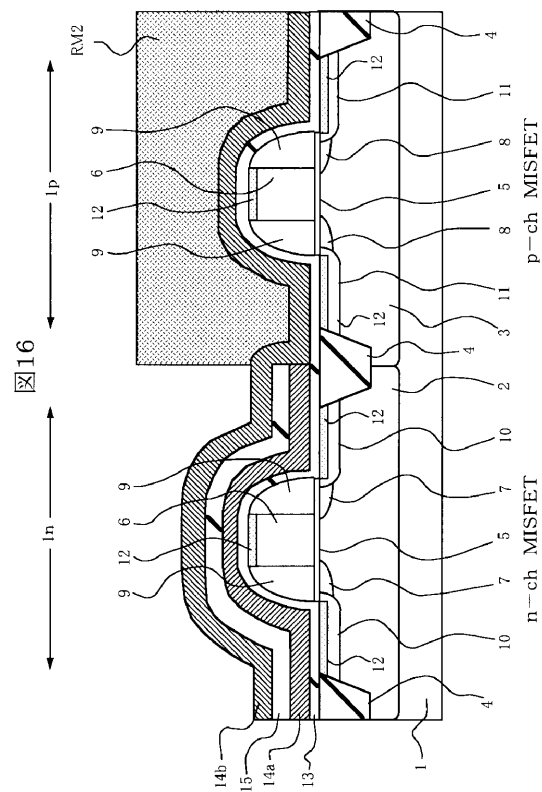
【図 14】



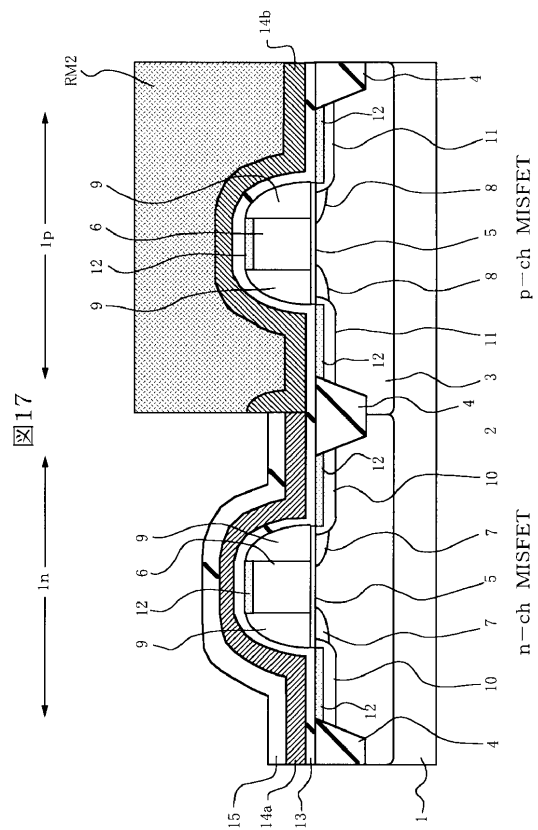
【図 15】



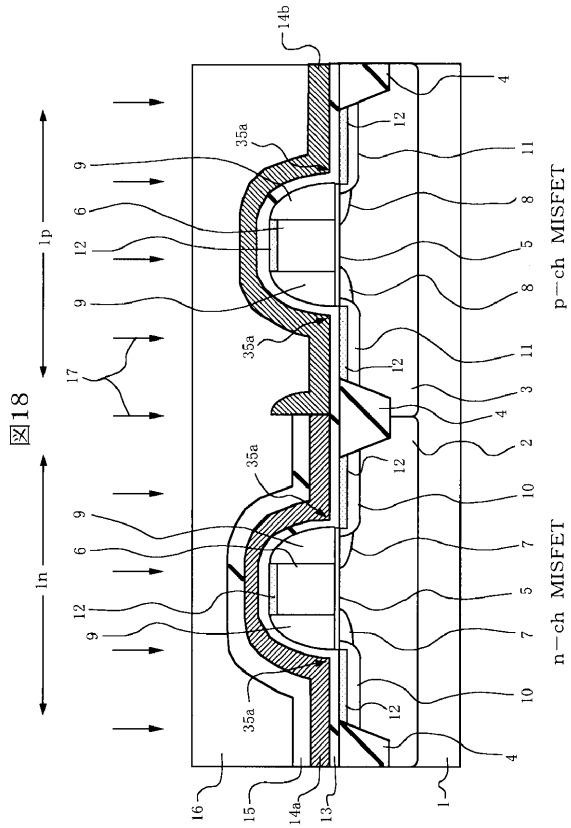
【図 16】



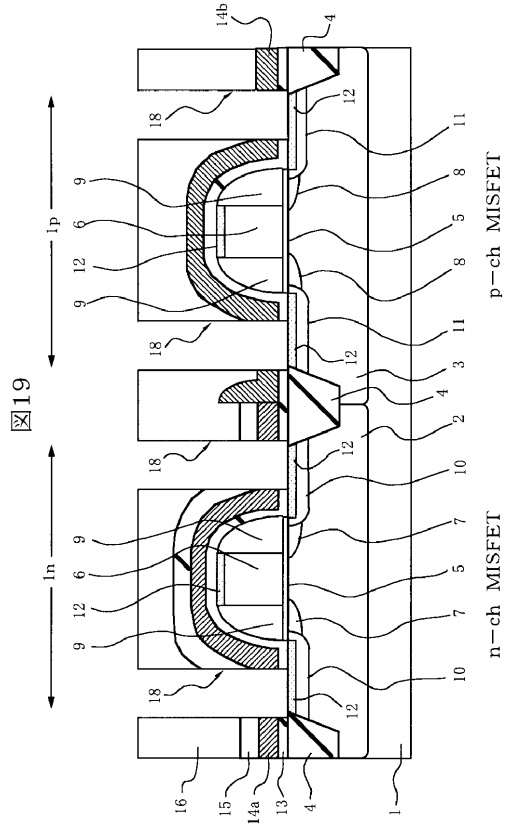
【図 17】



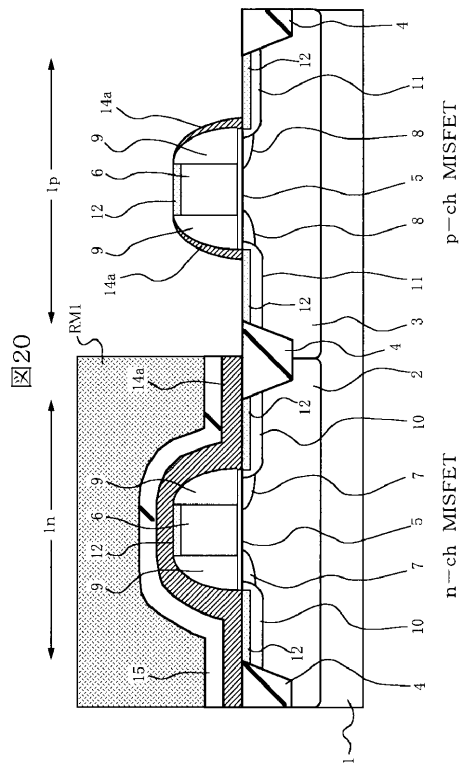
【図 18】



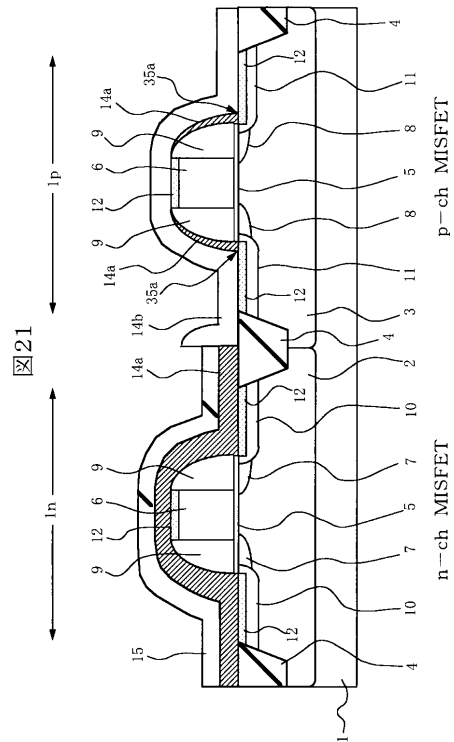
【図 19】



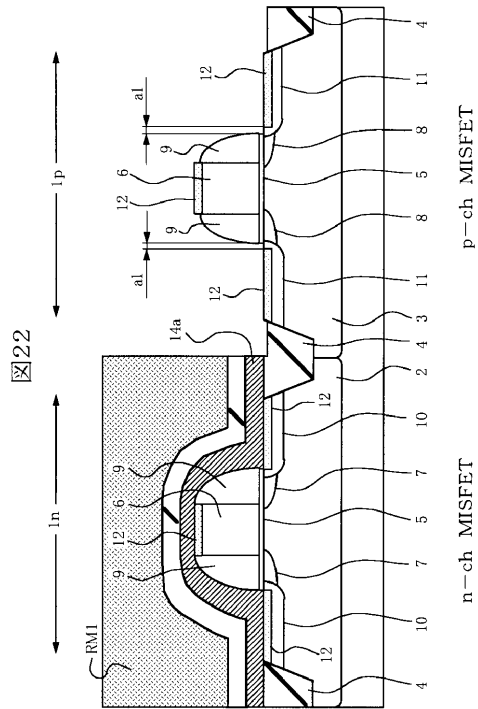
【図 20】



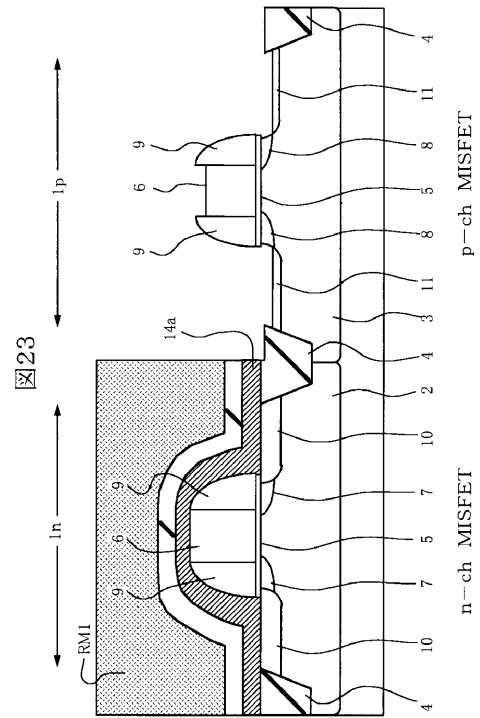
【図 21】



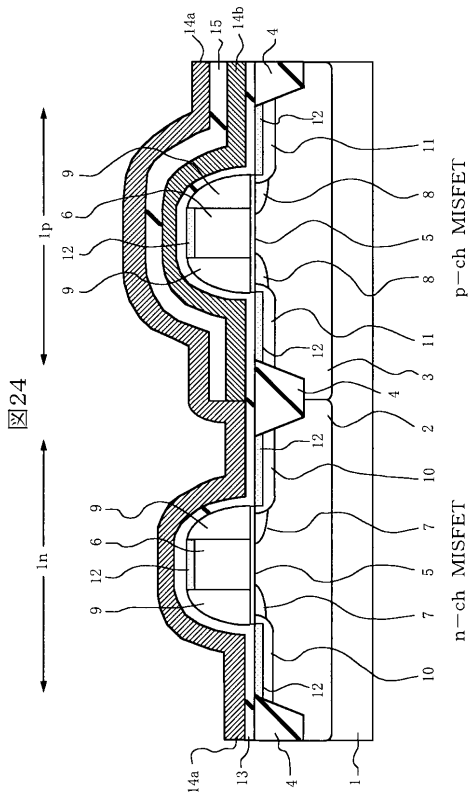
【図 22】



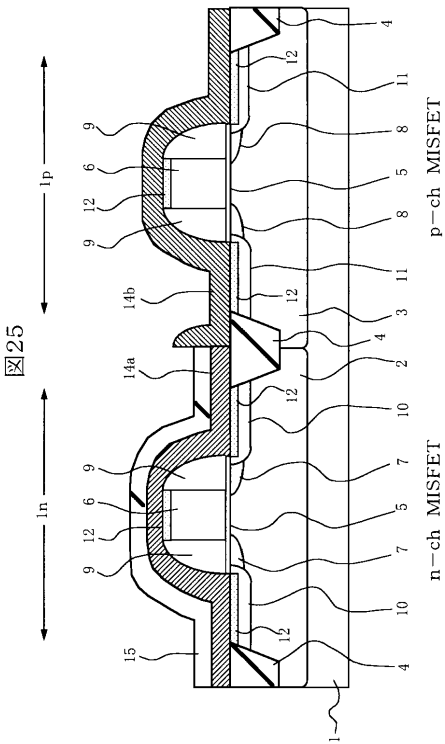
【図 23】



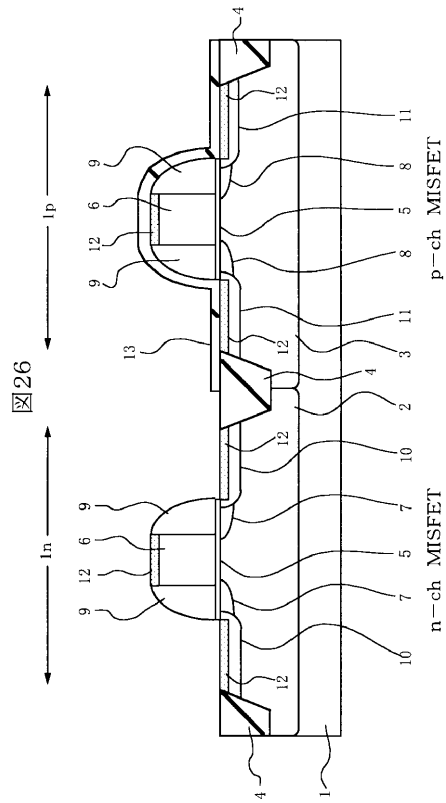
【図 24】



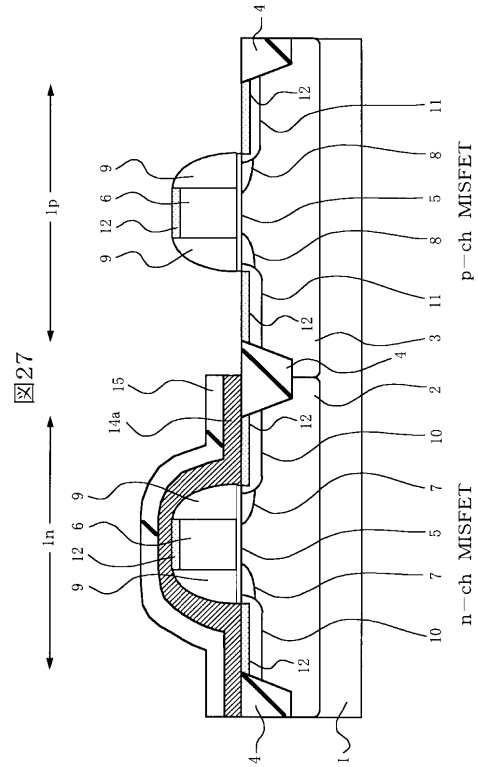
【図 25】



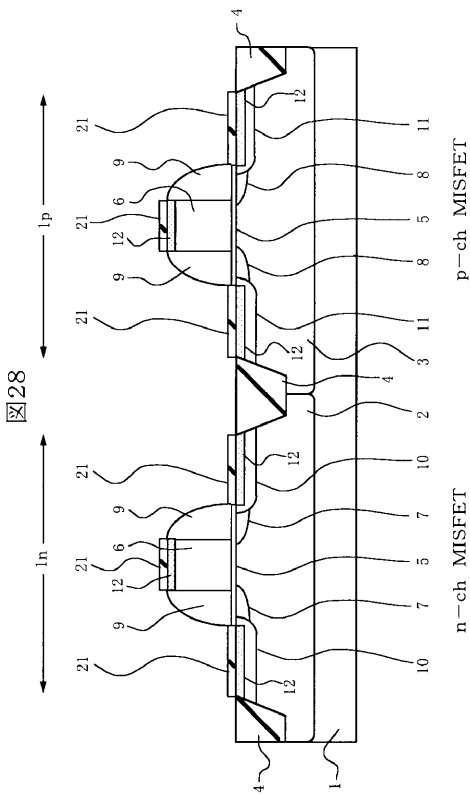
【図 26】



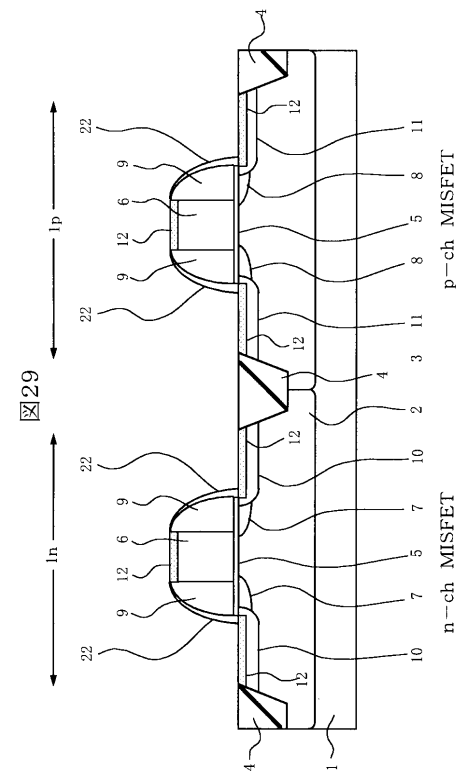
【図 27】



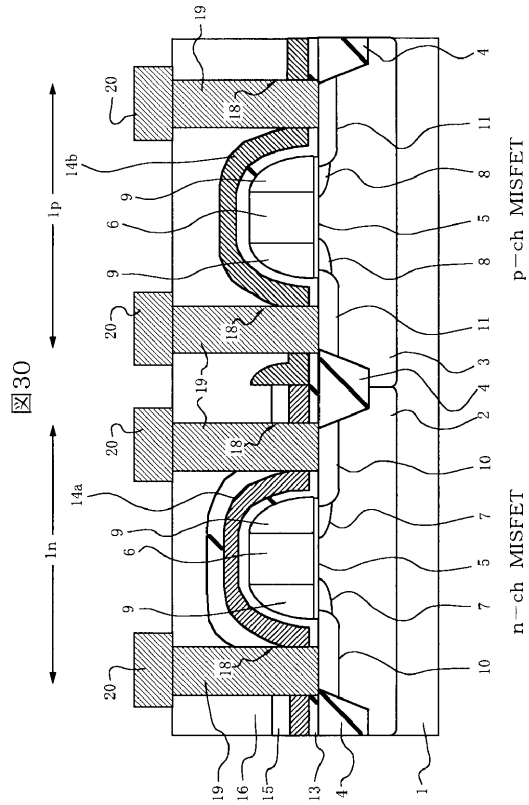
【図 28】



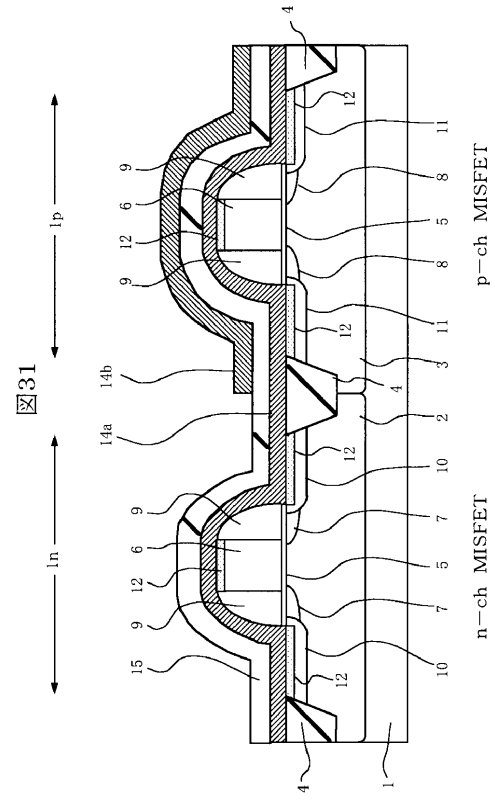
【図 29】



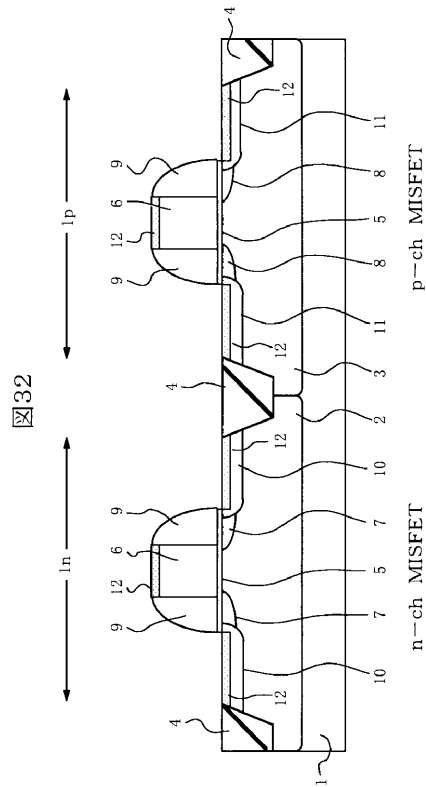
【図 30】



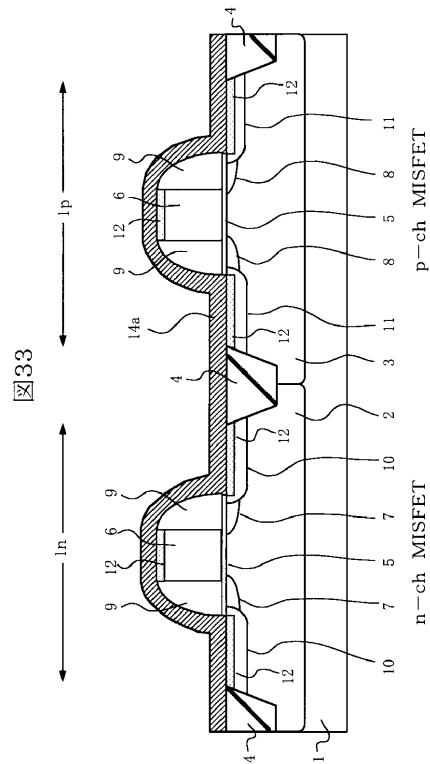
【図 31】



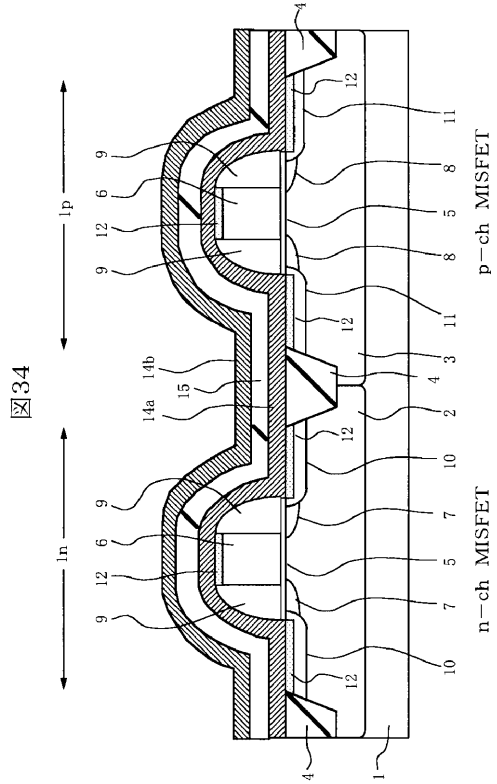
【図 32】



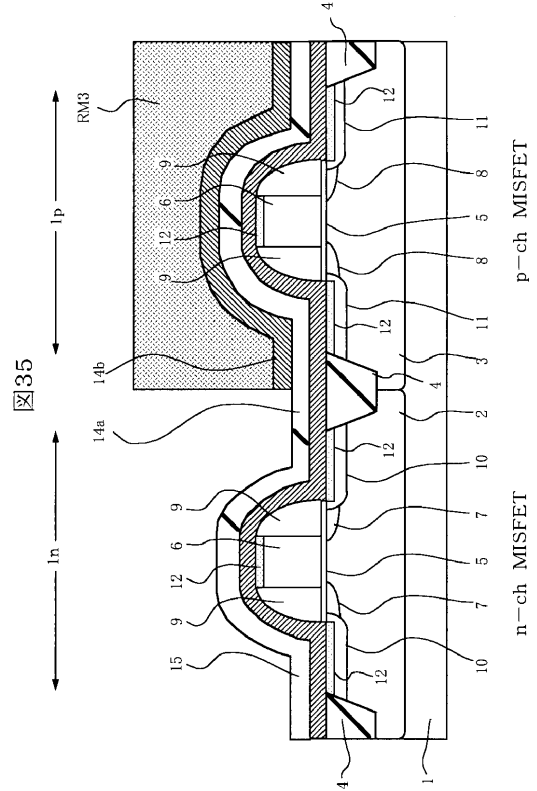
【図 33】



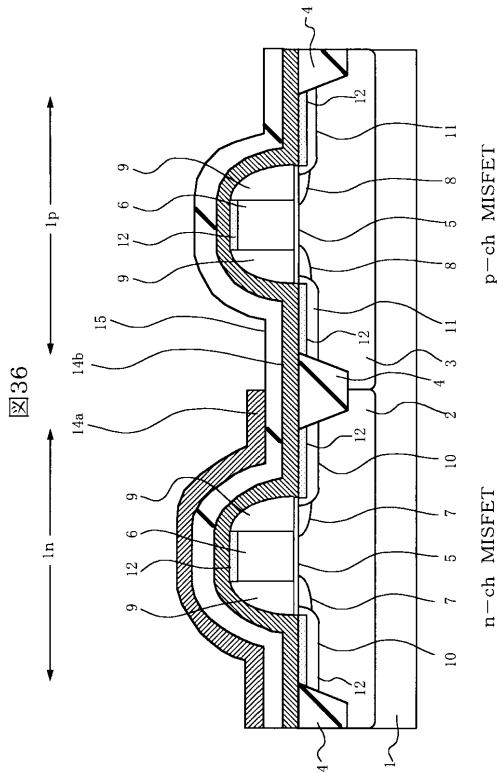
【図 34】



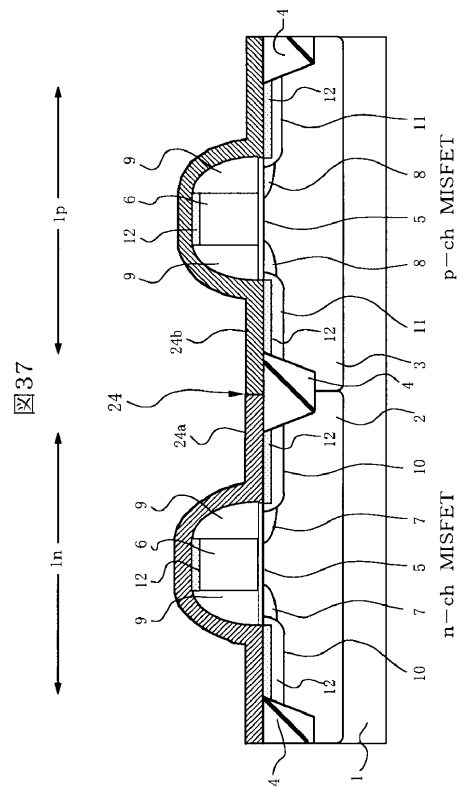
【図 35】



【図 36】

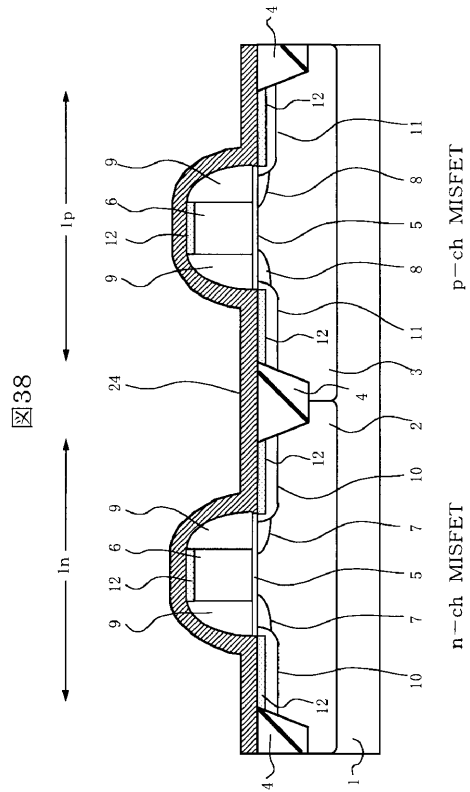


【図 37】

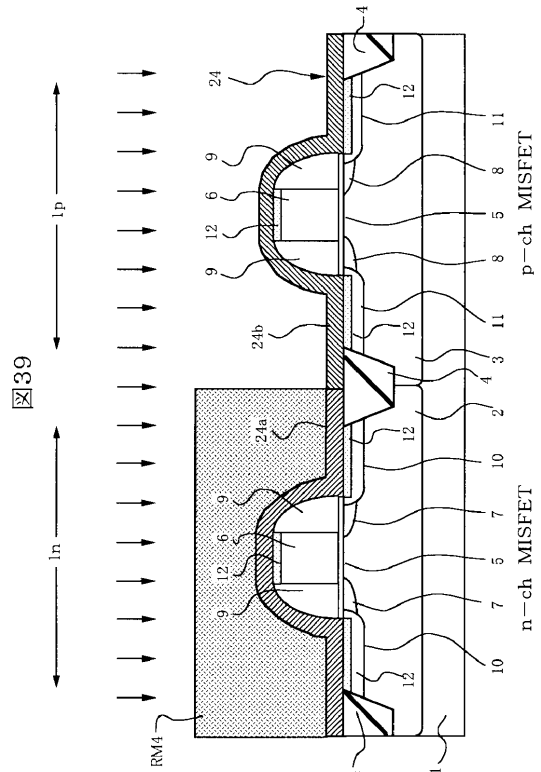




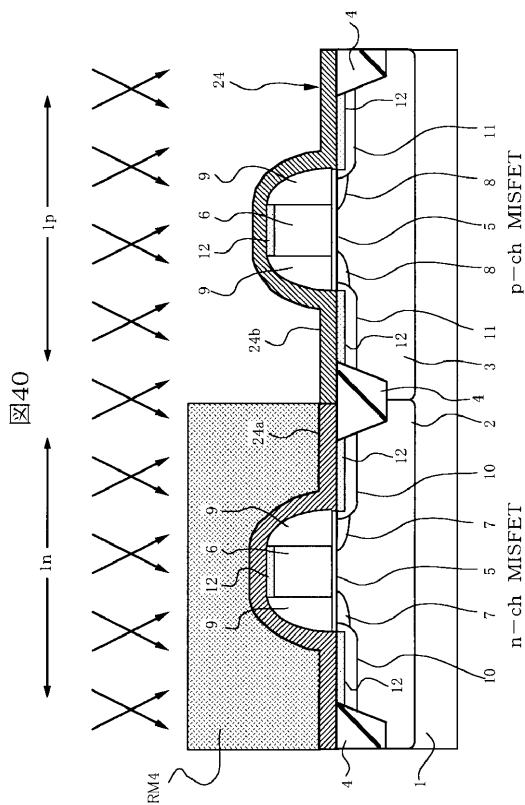
【図38】



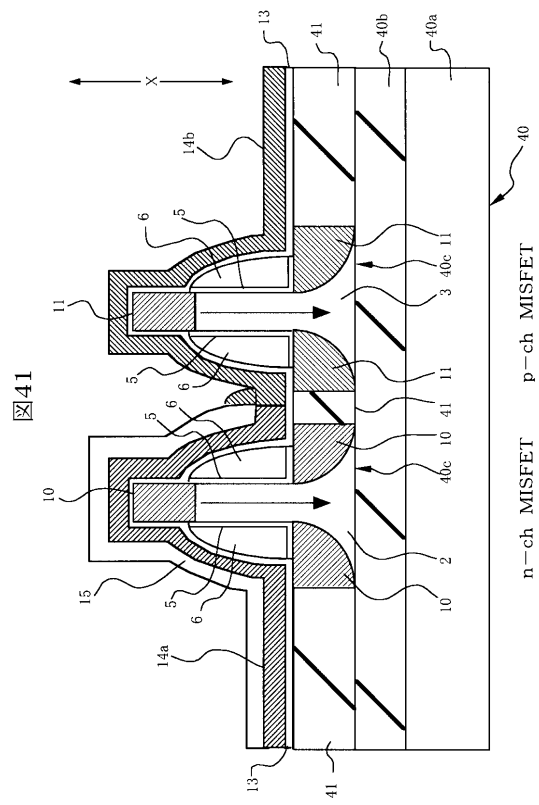
【図39】



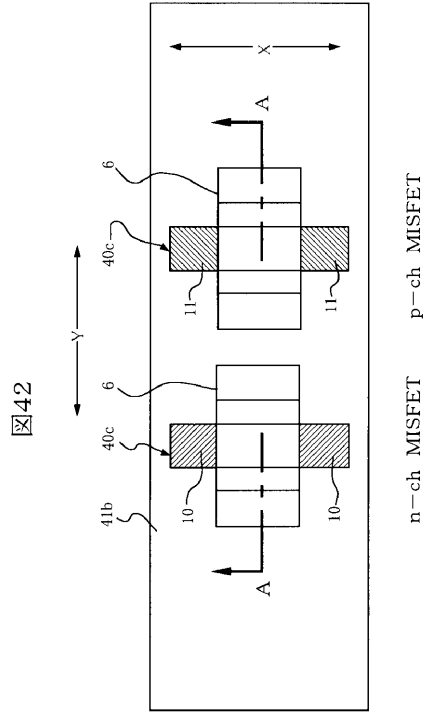
【図40】



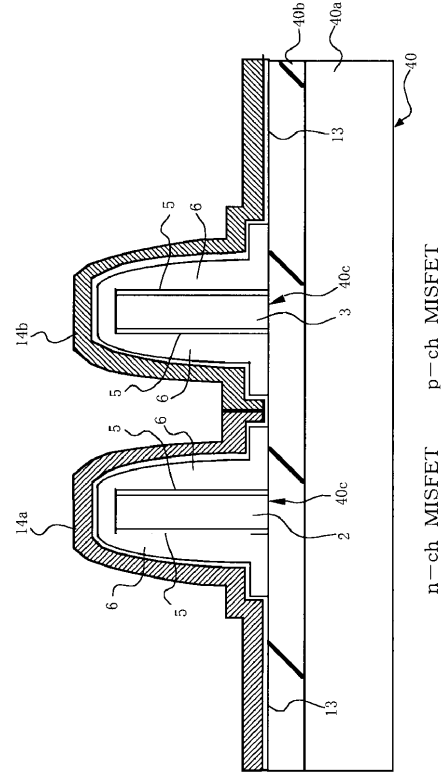
【図41】



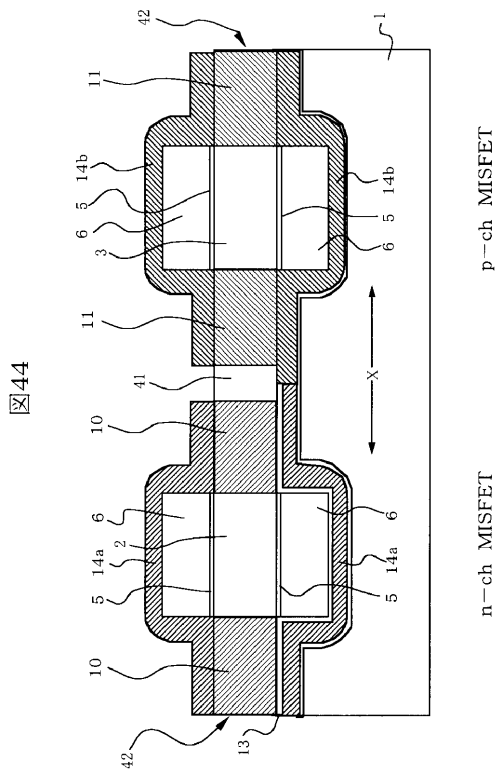
【図42】



【図43】



【図44】



---

フロントページの続き

(72)発明者 大木 長斗司

東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 酒井 哲

東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

(72)発明者 山本 直樹

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

審査官 宇多川 勉

(56)参考文献 特開2003-060076(JP,A)

特開2000-216377(JP,A)

特開平11-145464(JP,A)

特開平04-241453(JP,A)

A.Shimizu, K.Hachimine, N.Ohki, Local Mechanical-Stress Control(LMC):A New Technique for CMOS-Performance Enhancement, IEDM Tech.Dig.,2001, 433-437

(58)調査した分野(Int.Cl., DB名)

H01L 21/8238

H01L 27/092

H01L 29/78