

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年4月23日(23.04.2020)



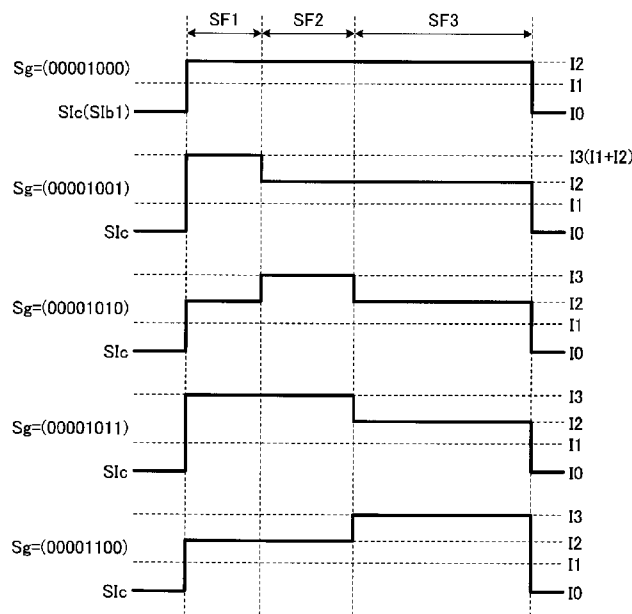
(10) 国際公開番号

WO 2020/079932 A1

- (51) 国際特許分類:
G09G 3/32 (2016.01) *G09G 3/20* (2006.01)
- (21) 国際出願番号: PCT/JP2019/031530
- (22) 国際出願日: 2019年8月8日(08.08.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-195379 2018年10月16日(16.10.2018) JP
- (71) 出願人:株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者: 尾崎 匡史 (OZAKI, Tadafumi); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 富沢 一成(TOMIZAWA, Kazunari); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 池田 雅延(IKEDA, Masanobu); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) **Abstract:** This display device comprises an inorganic light emitting element that is provided in each of a plurality of pixels, and a drive circuit that supplies a drive signal to a plurality of inorganic light emitting elements on the basis of a period control signal and an amplitude control signal, wherein: a one-frame period during which an image corresponding to one frame is displayed includes a plurality of time-divided sub-frames; first signal data is associated with the period control signal for every plurality of sub-frames; second signal data indicating any of a plurality of second signal values

[続葉有]



WO 2020/079932 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

having different signal values is associated with the amplitude control signal; and the inorganic light emitting element expresses gradation by being supplied with a drive signal corresponding to third signal data obtained by integrating the first signal data and the second signal data in each of the sub-frames.

(57) 要約: 表示装置は、複数の画素の各々に設けられる無機発光素子と、期間制御信号と振幅制御信号とに基づいて、複数の無機発光素子に駆動信号を供給する駆動回路と、を有し、1フレーム分の画像を表示する1フレーム期間は、時分割された複数のサブフレームを含み、期間制御信号には、複数のサブフレームごとに第1信号データが対応付けられており、振幅制御信号には、異なる信号値を有する複数の第2信号値のいずれかを示す第2信号データが対応付けられており、無機発光素子は、サブフレームごとに、第1信号データと、第2信号データとが統合された第3信号データに対応した駆動信号が供給されて階調を表現する。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関する。

背景技術

[0002] 近年、表示素子として無機発光ダイオード（マイクロLED（micro LED））を用いた無機ELディスプレイが注目されている（例えば、特許文献1参照）。無機ELディスプレイは、異なる色の光を出射する複数の発光素子がアレイ基板上に配列される。無機ELディスプレイは、自発光素子を用いているため光源が不要であり、また、カラーフィルタを介さずに光が出射されるため光の利用効率が高い。また、無機ELディスプレイは、表示素子として有機発光ダイオード（OLED：Organic Light Emitting Diode）を用いた有機ELディスプレイに比べて耐環境性に優れる。

先行技術文献

特許文献

[0003] 特許文献1：特表2017-529557号公報

発明の概要

発明が解決しようとする課題

[0004] 表無機発光ダイオードは、電流駆動により階調制御が行われる。電流値を制御して低階調を表現する場合は、電流値が不安定となるため、画素間で輝度のばらつきが大きくなる可能性がある。一方、一定の電流値で点灯時間を制御して階調を表現する場合、スイッチング素子のオン、オフ動作や、所望の電流値に立ち上がるまでの駆動時間を要するため、細かい階調表現が困難となる可能性がある。

[0005] 本発明は、良好に階調制御を行うことができる表示装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様の表示装置は、複数の画素の各々に設けられる無機発光素子と、期間制御信号と振幅制御信号とに基づいて、複数の前記無機発光素子に駆動信号を供給する駆動回路と、を有し、1フレーム分の画像を表示する1フレーム期間は、時分割された複数のサブフレームを含み、前記期間制御信号には、複数の前記サブフレームごとに第1信号データが対応付けられており、前記振幅制御信号には、異なる信号値を有する複数の第2信号値のいずれかを示す第2信号データが対応付けられており、前記無機発光素子は、前記サブフレームごとに、前記第1信号データと、前記第2信号データとが統合された第3信号データに対応した前記駆動信号が供給されて階調を表現する。

図面の簡単な説明

[0007] [図1]図1は、第1実施形態に係る表示装置を示す平面図である。
[図2]図2は、複数の画素を示す平面図である。
[図3]図3は、表示装置の画素回路の構成例を示す回路図である。
[図4]図4は、図4は、図1のⅠV-ⅠV'断面図である。
[図5]図5は、無機発光素子の構成例を示す断面図である。
[図6]図6は、無機発光素子の変形例を示す断面図である。
[図7]図7は、表示装置の構成を示すブロック図である。
[図8]図8は、サブフレームと映像信号との関係を説明するための説明図である。
[図9]図9は、映像信号と、期間及び電流値との関係を示す表である。
[図10]図10は、異なる期間制御信号ごとの第1信号データの波形を示す説明図である。
[図11]図11は、異なる振幅制御信号ごとの第2信号データとサブフレームとの関係を示すグラフである。
[図12]図12は、異なる映像信号ごとの第3信号データの波形を示す説明図である。

[図13]図13は、無機発光素子の電圧電流特性を示すグラフである。

[図14]図14は、第2実施形態に係る表示装置の、異なる映像信号ごとの第2信号データとサブフレームとの関係を示すグラフである。

[図15]図15は、第2実施形態に係る表示装置の、第3信号データの波形を示す説明図である。

[図16]図16は、第3実施形態に係る表示装置の構成を示すブロック図である。

[図17]図17は、補正信号と、期間及び電流値との関係を示す表である。

[図18]図18は、補正信号ごとの第4信号データの波形を示す説明図である。

[図19]図19は、第3実施形態に係る第3信号データの波形を示す説明図である。

[図20]図20は、第4実施形態に係るサブフレームと映像信号との関係を説明するための説明図である。

[図21]図21は、第4実施形態に係る画素回路の構成例を示す回路図である。

[図22]図22は、画素回路の変形例を示す回路図である。

発明を実施するための形態

[0008] 本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に

関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0009] (第1実施形態)

図1は、第1実施形態に係る表示装置の構成例を示す平面図である。図1に示すように、表示装置1は、アレイ基板2と、画素 P_{ix} と、ゲートドライバ12と、駆動IC(Integrated Circuit)210と、カソード配線60と、を含む。アレイ基板2は、各画素 P_{ix} を駆動するための駆動回路基板であり、バックプレーン又はアクティブマトリクス基板とも呼ばれる。

[0010] 図1に示すように、表示装置1は、表示領域AAと、周辺領域GAとを有する。表示領域AAは、複数の画素 P_{ix} が配置される領域であり、画像を表示する領域である。周辺領域GAは、複数の画素 P_{ix} と重ならない領域であり、表示領域AAの外側に配置される。

[0011] 複数の画素 P_{ix} は、表示領域AAにおいて、第1方向 D_x 及び第2方向 D_y に配列される。なお、第1方向 D_x 及び第2方向 D_y は、アレイ基板2の基板10の第1面10a(図4参照)に対して平行な方向である。第1方向 D_x は、第2方向 D_y と直交する。ただし、第1方向 D_x は、第2方向 D_y と直交しないで交差してもよい。第3方向 D_z は、第1方向 D_x 及び第2方向 D_y と直交する方向である。第3方向 D_z は、例えば、基板10の法線方向に対応する。以下、平面視とは、第3方向 D_z から見た場合の位置関係を示す。

[0012] ゲートドライバ12は、駆動IC210からの各種制御信号に基づいて複数のゲート線GCL(図3参照)を駆動する回路である。ゲートドライバ12は、複数のゲート線GCLを順次又は同時に選択し、選択されたゲート線GCLにゲート駆動信号を供給する。これにより、ゲートドライバ12は、ゲート線GCLに接続された複数の画素 P_{ix} を選択する。

[0013] 駆動IC210は、表示装置1の表示を制御する回路である。駆動IC210は、基板10の周辺領域GAにCOG(Chip On Glass)

として実装されてもよい。これに限定されず、駆動IC210は、基板10の周辺領域GAに接続されたフレキシブルプリント基板やリジット基板の上にCOF (Chip On Film) として実装されてもよい。

[0014] カソード配線60は、基板10の周辺領域GAに設けられる。カソード配線60は、表示領域AAの複数の画素Pix及び周辺領域GAのゲートドライバ12を囲んで設けられる。複数の無機発光素子100 (図4参照) のカソード (カソード端子90p (図4参照)) は、共通のカソード配線60に接続され、固定電位 (例えば、グランド電位) が供給される。より具体的には、無機発光素子100のカソード端子90p (第2端子) は、TFT基板側のカソード電極90e (第2電極) を介して、カソード配線60に接続される。

[0015] 図2は、複数の画素を示す平面図である。図2に示すように、1つの画素Pixは、複数の画素49を含む。例えば、画素Pixは、第1画素49Rと、第2画素49Gと、第3画素49Bとを有する。第1画素49Rは、第1色としての原色の赤色を表示する。第2画素49Gは、第2色としての原色の緑色を表示する。第3画素49Bは、第3色としての原色の青色を表示する。図2に示すように、1つの画素Pixにおいて、第1画素49Rと第3画素49Bは第1方向Dxで並ぶ。また、第2画素49Gと第3画素49Bは第2方向Dyで並ぶ。なお、第1色、第2色、第3色は、それぞれ赤色、緑色、青色に限られず、補色などの任意の色を選択することができる。以下において、第1画素49Rと、第2画素49Gと、第3画素49Bとをそれぞれ区別する必要がない場合、画素49という。なお、1つの画素Pixに含まれる画素49は3つに限らず、4以上の画素49が対応づけられていてもよい。例えば、第4色として白色が対応付けられた第4画素49Wが含まれてもよい。

[0016] 画素49は、それぞれ無機発光素子100を有する。表示装置1は、第1画素49R、第2画素49G及び第3画素49Bにおいて、無機発光素子100ごとに異なる光を出射することで画像を表示する。無機発光素子100

は、平面視で、 $3\mu\text{m}$ 以上、 $300\mu\text{m}$ 以下程度の大きさを有する無機発光ダイオード（LED: Light Emitting Diode）チップであり、マイクロLED（micro LED）又はミニLED（mini LED）と呼ばれる。各画素にマイクロLED（micro LED）を備える表示装置は、マイクロLED表示装置とも呼ばれる。なお、マイクロLEDのマイクロは、無機発光素子100の大きさを限定するものではない。

[0017] 図3は、表示装置の画素回路の構成例を示す回路図である。画素回路PICは、無機発光素子100を駆動する駆動回路である。図3に示すように、画素回路PICは、駆動用のトランジスタTr1と、電流切り替え用のトランジスタTr2と、無機発光素子100と、を有する。トランジスタTr1、Tr2、及び後述のトランジスタTr5（図4参照）は、それぞれ薄膜トランジスタ（Thin Film Transistor: 以下、TFT）である。

[0018] トランジスタTr1は、ゲートがトランジスタTr2のドレインに接続され、ソースが電源線LVCCに接続され、ドレインが無機発光素子100のアノードに接続されている。トランジスタTr2は、ゲートがゲート線GCLに接続され、ソースが信号線SGLに接続され、ドレインがトランジスタTr1のゲートに接続されている。

[0019] 容量CSは、一端がトランジスタTr1のゲートとトランジスタTr2のドレインとに接続され、他端が電源線LVCCに接続されている。容量CSは、トランジスタTr1の寄生容量とリーク電流とによるゲート電圧の変動を抑えるために、画素回路PICに付加されている。無機発光素子100のカソードはカソード配線60に接続され、基準電位VCOMが供給される。基準電位VCOMとして、接地電位が例示される。

[0020] 電源線LVCCは、定電圧源に接続されている。電源線LVCCは、トランジスタTr1のソースと、容量CSの一端とに直流の定電圧VCCを供給する。信号線SGLは、定電流源に接続されている。信号線SGLは、トラ

ンジスタ T_{r2} のソースに直流の定電流 I_{data} を供給する。ゲート線 G_{CL} は、ゲートドライバ 12 （図1参照）に接続されている。ゲート線 G_{CL} はトランジスタ T_{r2} のゲートにゲート駆動信号として電圧 V_{gc1} を供給する。

[0021] 表示装置 1 がゲート線 G_{CL} の電位をハイ（High）にすると、トランジスタ T_{r1} 、 T_{r2} はオンになる。これにより、信号線 S_{GL} から無機発光素子 100 に定電流 I_{data} が供給される。表示装置 1 がゲート線 G_{CL} の電位をロウ（Low）にすると、トランジスタ T_{r2} はオフになり、トランジスタ T_{r1} はオンになる。これにより、電源線 L_{VCC} から無機発光素子 100 に定電圧 V_{CC} が供給される。また、基準電位線 L_{VCOM} から無機発光素子 100 のカソードに逆バイアスとなる基準電位 V_{COM} が供給される。

[0022] 図4は、図1の $I-V-I'$ 断面図である。図4に示すように、表示装置 1 は、基板 10 と、アンダーコート層 20 と、複数のトランジスタと、を備える。基板 10 は、第1面 $10a$ と、第1面 $10a$ の反対側の第2面 $10b$ とを有する。基板 10 は、例えばガラス基板、石英基板、又は、アクリル樹脂、エポキシ樹脂、ポリイミド樹脂、若しくは、ポリエチレンテレフタレート（PET）樹脂製のフレキシブル基板である。

[0023] アンダーコート層 20 は、基板 10 の第1面 $10a$ 上に設けられる。複数のトランジスタは、アンダーコート層 20 上に設けられる。例えば、基板 10 の表示領域 AA には、複数のトランジスタとして、画素 49 に含まれるトランジスタ T_{r1} 、 T_{r2} がそれぞれ設けられている。基板 10 の周辺領域 GA には、複数のトランジスタとして、ゲートドライバ 12 に含まれるトランジスタ T_{r5} が設けられている。

[0024] トランジスタ T_{r1} 、 T_{r2} 、 T_{r5} は、例えば両面ゲート構造のTFETである。トランジスタ T_{r1} 、 T_{r2} 、 T_{r5} は、それぞれ、第1ゲート電極 21 と、第2ゲート電極 31 と、半導体層 25 と、ソース電極 $41s$ と、ドレイン電極 $41d$ と、を有する。第1ゲート電極 21 は、アンダーコート

層 20 上に設けられる。絶縁膜 24 は、アンダーコート層 20 上に設けられて第 1 ゲート電極 21 を覆う。半導体層 25 は、絶縁膜 24 上に設けられる。絶縁膜 29 は、半導体層 25 上に設けられる。第 2 ゲート電極 31 は、絶縁膜 29 上に設けられる。

[0025] 絶縁膜 24、29 は、無機絶縁膜であり、例えば、酸化シリコン (SiO_2) や窒化シリコン (SiN) などからなる。第 3 方向 Dz において、第 1 ゲート電極 21 と第 2 ゲート電極 31 は、絶縁膜 24、半導体層 25 及び絶縁膜 29 を介して、対向している。絶縁膜 24、29 において、第 1 ゲート電極 21 と第 2 ゲート電極 31 とに挟まれた部分がゲート絶縁膜として機能する。また、半導体層 25 において、第 1 ゲート電極 21 と第 2 ゲート電極 31 とに挟まれた部分が TFT のチャネル 27 となる。半導体層 25 において、ソース電極 41s と接続する部分が TFT のソースであり、ドレイン電極 41d と接続する部分が TFT のドレインである。

[0026] ゲート線 31a は、トランジスタ Tr1 の第 2 ゲート電極 31 に接続される。基板 10 とゲート線 31a との間に絶縁膜 29 が設けられ、ゲート線 31a と基板 10 との間に容量 CS が形成される。

[0027] 本実施形態において、トランジスタ Tr1、Tr2、Tr5 は両面ゲート構造に限定されるものではない。トランジスタ Tr1、Tr2、Tr5 は、ゲート電極が第 1 ゲート電極 21 のみで構成されるボトムゲート型であってもよい。また、トランジスタ Tr1、Tr2、Tr5 は、ゲート電極が第 2 ゲート電極 31 のみで構成されるトップゲート型であってもよい。また、アンダーコート層 20 は無くても良い。

[0028] 表示装置 1 は、基板 10 の第 1 面 10a 上に設けられて複数のトランジスタ Tr1、Tr2、Tr5 を覆う絶縁膜 35 を有する。ソース電極 41s は、絶縁膜 35 上に設けられ、絶縁膜 35 に設けられた貫通孔を介して複数のトランジスタ Tr1、Tr2、Tr5 の各ソースに接続される。ドレイン電極 41d は、絶縁膜 35 上に設けられ、絶縁膜 35 に設けられた貫通孔を介して複数のトランジスタ Tr1、Tr2、Tr5 の各ドレインに接続される。

。周辺領域G Aにおいてカソード配線6 0は、絶縁膜3 5上に設けられる。絶縁膜4 2は、ソース電極4 1 s、ドレイン電極4 1 d及びカソード配線6 0を覆う。絶縁膜3 5は無機絶縁膜、絶縁膜4 2は、有機絶縁膜である。

[0029] 表示装置1は、ソース接続配線4 3 sと、ドレイン接続配線4 3 dと、絶縁膜4 5と、アノード電極5 0 e（第1電極）と、絶縁膜7 0と、平坦化膜8 0と、カソード電極9 0 eとを有する。ソース接続配線4 3 sは、絶縁膜4 2上に設けられ、絶縁膜4 2に設けられた貫通孔を介してソース電極4 1 sに接続される。ドレイン接続配線4 3 dは、絶縁膜4 2上に設けられ、絶縁膜4 2に設けられた貫通孔を介してドレイン電極4 1 dに接続される。絶縁膜4 5は、絶縁膜4 2上に設けられてソース接続配線4 3 sとドレイン接続配線4 3 dとを覆う。アノード電極5 0 eは、絶縁膜4 5上に設けられ、絶縁膜4 5に設けられた貫通孔を介してトランジスタT r 1のドレイン接続配線4 3 dに接続される。無機発光素子1 0 0はアノード電極5 0 e（第1電極）の上に設けられる、アノード電極5 0 eは無機発光素子1 0 0のアノード端子5 0 p（第1端子）と接続されている。

[0030] 絶縁膜7 0は、絶縁膜4 5上に設けられてアノード電極5 0 eの側面を覆う。平坦化膜8 0は、絶縁膜7 0上に設けられて無機発光素子1 0 0の側面を覆う。カソード電極9 0 eは、平坦化膜8 0上に設けられる。絶縁膜7 0は、無機絶縁膜であり、例えば、シリコン窒化膜（S i N）からなる。平坦化膜8 0は、有機絶縁膜あるいは無機有機ハイブリッド絶縁膜（S i - O主鎖に、たとえば有機基（メチル基あるいはフェニル基）が結合した材料）である。無機発光素子1 0 0の上面（カソード端子9 0 p）は、平坦化膜8 0から露出している。カソード電極9 0 eは、無機発光素子1 0 0のカソード端子9 0 pに接続される。

[0031] ここで、無機発光素子1 0 0の構成について説明する。図5は、無機発光素子の構成例を示す断面図である。図5に示すように、無機発光素子1 0 0は、p型クラッド層1 0 1と、p型クラッド層1 0 1上に設けられた活性層1 0 2と、活性層1 0 2上に設けられたn型クラッド層1 0 3と、p型電極

層104と、n型電極層105と、を有する。p型電極層104は、アノード端子50pを含む。p型電極層104は、アノード電極50eとp型クラッド層101との間に位置し、アノード電極50eとp型クラッド層101とに接している。p型電極層104の上に、p型クラッド層101、活性層102、n型クラッド層103、n型電極層105の順に積層される。

[0032] n型クラッド層103、活性層102及びp型クラッド層101は、発光層であり、例えば、窒化ガリウム(GaN)、アルミニウムインジウムリン(AInP)等の化合物半導体が用いられる。n型電極層105は、ITO等の透光性の導電性材料である。n型電極層105は、無機発光素子100のカソード端子90pであり、カソード電極90eに接続される。また、p型電極層104は、無機発光素子100のアノード端子50pであり、Pt層と、メッキにより形成された厚膜Au層と、を有する。厚膜Au層は、アノード電極50eと接続される。

[0033] 無機発光素子100の側面は平坦化膜80で覆われている。平坦化膜80は、例えばSOG(Spin On Glass)膜である。平坦化膜80の上側部分に凹部H11が設けられている。凹部H11からn型クラッド層103の上部が突き出ている。n型電極層105は、凹部H11に設けられ、n型クラッド層103とカソード電極90eとに接している。これにより、無機発光素子100を挟んで、アノード電極50eとカソード電極90eとの間で電流が流れることが可能となっている。

[0034] 図6は、無機発光素子の変形例を示す断面図である。上述の実施形態では、無機発光素子100は、その下部(アノード端子50p)がアノード電極50eに接続し、その上部(カソード端子90p)がカソード電極90eに接続するタイプ(以下、フェイスアップタイプという)であることを説明した。しかし無機発光素子100は、フェイスアップタイプに限定されない。図6に示すように、変形例の無機発光素子100Aは、その下部がアノード電極50eとカソード電極90eAの両方に接続する、フェイスダウタイプであってもよい。

- [0035] 基板 111 は、サファイアで構成されている。n 型クラッド層 113 は、n 型の GaN で構成されている。活性層 114 は、InGa_N で構成されている。p 型クラッド層 115 は、p 型の GaN で構成されている。P 型電極 116 は、パラジウム (Pd) と金 (Au) とで構成されており、Pd 上に Au が積層された積層構造を有する。n 型電極 117 は、インジウム (In) で構成されている。
- [0036] 無機発光素子 100A では、p 型クラッド層 115 と n 型クラッド層 113 とが直接接合せずに、間に別の層 (活性層 114) が導入されている。これにより、電子や正孔といったキャリアを活性層 114 の中に集中させることができ、効率よく再結合 (発光) させることが可能となる。高効率化のために数原子層からなる井戸層と障壁層とを周期的に積層させた多重量子井戸構造 (MQW 構造) が、活性層 114 として採用されてもよい。
- [0037] 次に、表示装置 1 の階調制御について説明する。図 7 は、表示装置の構成を示すブロック図である。図 8 は、サブフレームと映像信号との関係を説明するための説明図である。図 9 は、映像信号と、期間及び電流値との関係を示す表である。
- [0038] 図 7 に示すように、表示装置 1 は、制御回路 200 と、信号出力回路 15 と、駆動回路 211 と、を有する。本実施形態の表示装置 1 は、制御回路 200 から出力される映像信号 S_g の階調数で多色表示を行う。映像信号 S_g は、例えば、赤、緑、青の各色 8 ビットの信号であり、各色 256 階調の表示を行う。映像信号 S_g は、8 ビット×3 の合計 24 ビットの信号であり、表示装置 1 は、1677 万色の表示を行う。以下の説明では、8 ビットの映像信号 S_g で階調制御を行う場合を説明する。
- [0039] 図 9 に示すように、映像信号 S_g の上位ビット (S_{g7-3}) は、映像信号 S_g の階調に応じて信号 (電流値) の振幅を制御する信号であり、以下の説明では振幅制御信号 S_{g7-3} と表す。振幅制御信号 S_{g7}、S_{g6}、S_{g5}、S_{g4}、S_{g3} は、それぞれ 1 ビットのデジタル信号であり、振幅制御信号 S_{g7-3} は、5 ビットの信号である。振幅制御信号 S_{g7-3} は、

階調に応じて異なる電流値を有する複数の第2信号値 I_{2-0} 、 I_{2-1} 、 I_{2-2} 、…、 I_{2-31} が対応付けられている。

[0040] 映像信号 S_g の下位ビット (S_{g2-0}) は、映像信号 S_g の階調に応じて信号を出力する期間を制御する信号であり、以下の説明では期間制御信号 S_{g2-0} と表す。期間制御信号 S_{g2} 、 S_{g1} 、 S_{g0} は、それぞれ1ビットのデジタル信号であり、期間制御信号 S_{g2-0} は、3ビットの信号である。期間制御信号 S_{g2-0} は、いずれも共通の第1信号値 I_1 が対応付けられている。

[0041] 図8は、横軸が時間 t であり、縦軸が走査方向 $Scan$ である。ゲートドライバ12 (図1参照) は、走査方向 $Scan$ にしたがって、順次ゲート線 GCL を選択する。また、表示装置1は、1フレーム期間 F で、1フレーム分の画像表示を行う。1フレーム期間 F は、時分割された複数の第1サブフレーム $SF1$ 、第2サブフレーム $SF2$ 及び第3サブフレーム $SF3$ を含む。複数の第1サブフレーム $SF1$ 、第2サブフレーム $SF2$ 及び第3サブフレーム $SF3$ は、互いに異なる長さの期間を有する。第2サブフレーム $SF2$ は、第1サブフレーム $SF1$ よりも長い期間を有する。第3サブフレーム $SF3$ は、第2サブフレーム $SF2$ よりも長い期間を有する。なお、以下の説明では、第1サブフレーム $SF1$ 、第2サブフレーム $SF2$ 及び第3サブフレーム $SF3$ を区別して説明する必要がある場合には、単にサブフレーム SF と表す場合がある。

[0042] 図8及び図9に示すように、期間制御信号 S_{g2} には、第3サブフレーム $SF3$ が対応付けられる。期間制御信号 S_{g1} には、第2サブフレーム $SF2$ が対応付けられる。期間制御信号 S_{g0} には、第1サブフレーム $SF1$ が対応付けられる。振幅制御信号 S_{g7-3} は、全てのサブフレーム期間 SF に対応付けられる。言い換えると、第1サブフレーム $SF1$ では、期間制御信号 S_{g0} 及び振幅制御信号 S_{g7-3} により階調制御がなされる。第2サブフレーム $SF2$ では、期間制御信号 S_{g1} 及び振幅制御信号 S_{g7-3} により階調制御がなされる。第3サブフレーム $SF3$ では、期間制御信号 S_g

2 及び振幅制御信号 $S_g 7-3$ により階調制御がなされる。

[0043] なお、映像信号 S_g の 8 ビットの信号のうち、上位ビットを振幅制御信号 $S_g 7-3$ とし、下位ビットを期間制御信号 $S_g 2-0$ としたが、これに限定されない。振幅制御信号 $S_g 7-3$ 及び期間制御信号 $S_g 2-0$ のビット数は、映像信号 S_g のビット数に応じて変更できる。振幅制御信号 $S_g 7-3$ 及び期間制御信号 $S_g 2-0$ の配置も適宜変更できる。また、1 フレーム期間 F に 2 つのサブフレーム S_F が含まれていてもよく、4 つ以上のサブフレーム S_F が含まれていてもよい。サブフレーム S_F は、期間制御信号 $S_g 2-0$ のビット数に対応する数以上であればよい。

[0044] 図 7 に示すように、制御回路 200 は、本実施形態に係る表示装置 1 の動作を制御する回路である。信号出力回路 15 は、制御回路 200 から供給された映像信号 S_g に基づいて、映像信号 S_g の階調に応じた第 3 信号データ S_{lc} を生成する。信号出力回路 15 は、第 3 信号データ S_{lc} を駆動回路 211 に出力する回路である。駆動回路 211 は、例えば定電流回路であり、第 3 信号データ S_{lc} に応じた定電流 I_{data} を、信号線 SG_L を介して無機発光素子 100 に供給する。

[0045] 制御回路 200 及び信号出力回路 15 は、駆動 IC 210（図 1 参照）に含まれていてもよい。又は、制御回路 200 及び信号出力回路 15 の少なくとも一方は、基板 10 に接続された配線基板に実装されていてもよい。又は、制御回路 200 及び信号出力回路 15 の少なくとも一方は、基板 10 に配線基板を介して接続された制御基板に実装されていてもよい。

[0046] 制御回路 200 は、映像信号出力回路 201 と、クロック信号出力回路 202 とを有する。また、信号出力回路 15 は、第 1 バッファ回路 151、第 2 バッファ回路 152、第 1 信号処理回路 153、第 2 信号処理回路 154、演算回路 155、バッファ制御回路 158 及びサブフレームカウンタ 159 を有する。

[0047] 映像信号出力回路 201 は、8 ビットの映像信号 S_g を、振幅制御信号 $S_g 7-3$ と、期間制御信号 $S_g 2-0$ とに分離する。映像信号出力回路 20

1 は、期間制御信号 S_{g2-0} を信号出力回路 15 の第 1 バッファ回路 151 に出力し、振幅制御信号 S_{g7-3} を第 2 バッファ回路 152 に出力する。

[0048] クロック信号出力回路 202 は、クロック信号 CLK をバッファ制御回路 158 及びサブフレームカウンタ 159 に出力する。バッファ制御回路 158 及びサブフレームカウンタ 159 は、クロック信号 CLK に基づいて、信号出力回路 15 の第 1 バッファ回路 151、第 2 バッファ回路 152、第 1 信号処理回路 153 及び第 2 信号処理回路 154 を、制御する。これにより、第 1 バッファ回路 151、第 2 バッファ回路 152、第 1 信号処理回路 153 及び第 2 信号処理回路 154 は、互いに同期して、又は非同期で動作する。

[0049] 第 1 バッファ回路 151 は、1 フレーム期間 F 分の期間制御信号 S_{g2-0} を保持する回路である。第 2 バッファ回路 152 は、1 フレーム期間 F 分の振幅制御信号 S_{g7-3} を保持する回路である。

[0050] サブフレームカウンタ 159 は、サブフレーム SF に関する制御信号 S_{gf} を、第 1 信号処理回路 153 及び第 2 信号処理回路 154 に供給する。第 1 信号処理回路 153 は、制御信号 S_{gf} に基づいて、各サブフレーム SF に対応付けられた期間制御信号 S_{g2-0} を第 1 バッファ回路 151 から取り出す。そして、第 1 信号処理回路 153 は、制御信号 S_{gf} と期間制御信号 S_{g2-0} とに基づいて、第 1 信号データ S_{1a} を生成する。期間制御信号 S_{g2-0} には、複数のサブフレーム SF ごとに第 1 信号データ S_{1a} が対応付けられる。期間制御信号 S_{g2-0} は、複数のサブフレーム SF で共通の第 1 信号値 I_1 が第 1 信号データ S_{1a} として対応付けられている。

[0051] 第 2 信号処理回路 154 は、制御信号 S_{gf} に基づいて、各サブフレーム SF に対応付けられた振幅制御信号 S_{g7-3} を第 2 バッファ回路 152 から取り出す。そして、第 2 信号処理回路 154 は、制御信号 S_{gf} と振幅制御信号 S_{g7-3} とに基づいて、第 2 信号データ S_{1b} を生成する。振幅制御信号 S_{g7-3} には、異なる信号値を有する複数の第 2 信号値 I_2 のい

れかを示す第2信号データS1bが対応付けられている。本実施形態では、1つの振幅制御信号Sg7-3に対応して、各サブフレームSFで同じ信号値を有する第2信号値I2が対応付けられる。ただし、第2信号値I2は、サブフレームSFごとに異なる信号値を有してもよい。また、第2信号処理回路154は、第1信号処理回路153から期間制御信号Sg2-0を受け取って、期間制御信号Sg2-0のパターンに応じて第2信号データS1bを生成してもよい。

[0052] 第1信号処理回路153は、第1信号データS1aを演算回路155に出力する。第2信号処理回路154は、第2信号データS1bを演算回路155に出力する。演算回路155は、サブフレームSFごとに、第1信号データS1aの第1信号値I1と、第2信号データS1bの第2信号値I2とを統合して、第3信号データS1cを生成する。演算回路155は、第3信号データS1cを駆動回路211に出力する。

[0053] 次に、第1信号処理回路153、第2信号処理回路154及び演算回路155の動作例について説明する。図10は、異なる期間制御信号ごとの第1信号データの波形を示す説明図である。図10は、振幅制御信号Sg7-3が0の場合、つまり、上位5ビットの振幅制御信号Sg7-3が、(Sg7、Sg6、Sg5、Sg4、Sg3) = (00000)である場合を示す。この場合、振幅制御信号Sg7-3に対応付けられた第2信号値I2-0は、0(信号値I0)となる。図10に示す第3信号データS1cは、第1信号処理回路153から出力される第1信号データS1aと等しい。なお、振幅制御信号Sg7-3が0の場合、第2信号データS1bが出力されず、演算回路155は、第1信号データS1aを第3信号データS1cとして出力されてもよい。

[0054] 図10は、3ビットの期間制御信号Sg2-0がそれぞれ、(Sg2、Sg1、Sg0) = (000)、(001)、(010)、(011)、(100)、(101)、(110)、(111)の場合の第3信号データS1c(第1信号データS1a)を示す。

[0055] 図10に示すように期間制御信号 S_{g2-0} が(000)の場合、第1信号処理回路153は、第1信号データ S_{1a} として、第1信号値11を出力せず、全てのサブフレーム S_F で信号値10を出力する。期間制御信号 S_{g2-0} が(001)の場合、第1信号処理回路153は、第1信号データ S_{1a} として、期間制御信号 S_{g0} に対応付けられた第1サブフレーム S_F1 で第1信号値11を出力し、第2サブフレーム S_F2 及び第3サブフレーム S_F3 で信号値10を出力する。期間制御信号 S_{g2-0} が(010)の場合、第1信号処理回路153は、第1信号データ S_{1a} として、期間制御信号 S_{g1} に対応付けられた第2サブフレーム S_F2 で第1信号値11を出力し、第1サブフレーム S_F1 及び第3サブフレーム S_F3 で信号値10を出力する。

[0056] 以下、同様に、期間制御信号 S_{g2-0} が(011)、(100)、(101)、(110)、(111)のそれぞれにおいて、第1信号処理回路153は、第1信号データ S_{1a} として、期間制御信号 S_{g2-0} の信号「1」に対応するサブフレーム S_F で第1信号値11を出力する。言い換えると、第1信号処理回路153は、期間制御信号 S_{g2-0} に基づいて、第1信号データ S_{1a} が出力されるサブフレーム S_F と、第1信号データ S_{1a} が出力されないサブフレーム S_F とを切り替える。これにより、第1信号処理回路153は、3ビットの期間制御信号 S_{g2-0} に応じて、第1信号値11が出力されるサブフレーム S_F が異なる第1信号データ S_{1a} （第3信号データ S_{1c} ）を出力する。異なる第1信号データ S_{1a} の数は、期間制御信号 S_{g2-0} のビット数に対応した8個となる。

[0057] 言い換えると、表示装置1は、画素49-1に対応づけられた階調値 G_{D1} （第1階調値）を有する映像信号 S_{gA} （例えば、(00000001)）と、画素49-2に対応づけられた階調値 G_{D1} より大きい階調値 G_{D2} （第2階調値）を有する映像信号 S_{gB} （例えば、(00000010)）が入力された場合、画素49-1の無機発光素子100の1フレーム期間 F における点灯期間（第1点灯期間、例えば、第1サブフレーム S_F1 ）より

画素49-2の無機発光素子100の1フレーム期間Fにおける点灯期間（第2点灯期間、例えば、第2サブフレームSF2）が長くなるように駆動される。なお、画素49-1及び画素49-2の点灯期間とは、第1信号値I1以上の信号値に対応する駆動信号が無機発光素子100に入力されている期間を示す。また、映像信号SgA及び映像信号SgBは、例えば、振幅制御信号Sg7-3は同一の値をとり、期間制御信号Sg2-0が異なる信号が対応づけられる。振幅制御信号Sg7-3が0の場合は、画素49-1及び画素49-2の無機発光素子100は、第1信号値I1に対応する駆動信号が入力された場合の輝度（第1輝度）で点灯される。

[0058] 図11は、異なる振幅制御信号ごとの第2信号データとサブフレームとの関係を示すグラフである。図11は、期間制御信号Sg2-0が0の場合、つまり、下位3ビットの期間制御信号Sg2-0が(000)であり、第1信号値I1が0（信号値I0）となる場合を示す。なお、期間制御信号Sg2-0が0の場合、第1信号データS1aが出力されず、演算回路155は、第2信号データS1bを第3信号データS1cとして出力してもよい。

[0059] 図11に示すように、第2信号処理回路154は、第2信号データS1b0-31として、振幅制御信号Sg7-3ごとに異なる第2信号値I2-0（I0）、I2-1、I2-2、…、I2-31を出力する。第2信号処理回路154は、上位5ビットの振幅制御信号Sg7-3に基づいて、32個の異なる第2信号値I2-0、I2-1、I2-2、…、I2-31を出力する。例えば、第2信号処理回路154は、映像信号Sg=(00001000)に対応して、第2信号値I2-1（I2）を有する第2信号データS1b1を出力する。第2信号処理回路154は、最も高階調の映像信号Sg=(11111000)に対応して、第2信号値I2-31を有する第2信号データS1b31を出力する。なお、第2信号処理回路154は、映像信号Sg=(00000000)に対応して、第2信号値I2-0（I0）を有する第2信号データS1b0を出力する。なお、第2信号値I2-0は、例えば、信号値I0に対応する。

[0060] 第2信号処理回路154は、例えば、第2信号データS1b1として、第1サブフレームSF1から第3サブフレームSF3に亘って、同じ第2信号値I2-1を出力する。言い換えると、第2信号値I2-1、I2-2、…、I2-31は、それぞれ、第1サブフレームSF1から第3サブフレームSF3に亘って同じ信号値を有する。また、隣接する振幅制御信号Sg7-3に対応する各第2信号値I2-1、I2-2、…、I2-3の差分を差分ΔI2とする。第1サブフレームSF1での差分ΔI2と、第2サブフレームSF2での差分ΔI2と、第3サブフレームSF3での差分ΔI2とは、等しい。

[0061] 言い換えると、表示装置1は、画素49-3に対応づけられた階調値GD3（第3階調値）を有する映像信号SgC（例えば、（00001000））と、画素49-4に対応づけられた階調値GD3より大きい階調値GD4（第4階調値）を有する映像信号SgD（例えば、（00010000））が入力された場合、画素49-3の無機発光素子100の1フレーム期間Fにおける輝度（第3輝度、例えば、第2信号値I2-1に対応する駆動信号で点灯された無機発光素子100の輝度）より画素49-4の無機発光素子100の1フレーム期間Fにおける輝度（第4輝度、例えば、第2信号値I2-2に対応する駆動信号で点灯された無機発光素子100の輝度）が大きくなるように駆動される。また、映像信号SgC及び映像信号SgDは、例えば、期間制御信号Sg2-0は同一の値をとり、振幅制御信号Sg7-3が異なる信号が対応づけられる。また、画素49-3及び画素49-4の1フレーム期間Fにおける輝度とは、1フレーム期間Fにおける最大輝度を示す。

[0062] 図12は、異なる映像信号ごとの第3信号データの波形を示す説明図である。図12は、上位5ビットの振幅制御信号Sg7-3が（00001）の場合に、異なる期間制御信号Sg2-0ごとに出力される第3信号データS1cを示す。つまり、第2信号処理回路154は、各サブフレームSFにおいて、第2信号データS1b1として第2信号値I2（I2-1）を出力す

る。振幅制御信号 S_g 7-3 に応じて、演算回路 155 は、図 12 に示す第 3 信号データ $S_l c$ とは異なる振幅の第 2 信号値 I_2 及び第 3 信号値 I_3 を出力することができる。

[0063] 映像信号 S_g が (00001000) の場合、第 1 信号データ $S_l a$ は各サブフレーム S_F で信号値 I_0 を有する (図 10 参照)。このため、図 12 に示すように、演算回路 155 は、サブフレーム S_F ごとに、第 1 信号データ $S_l a$ の信号値 I_0 と、第 2 信号データ $S_l b$ の第 2 信号値 I_2 とを統合する。そして、演算回路 155 は、第 3 信号データ $S_l c$ として、第 1 サブフレーム $S_F 1$ から第 3 サブフレーム $S_F 3$ に亘って第 2 信号値 I_2 を出力する。なお、第 2 信号値 I_2 は、第 1 信号値 I_1 より大きい値を示す。

[0064] 映像信号 S_g が (00001001) の場合、第 1 信号データ $S_l a$ は第 1 サブフレーム $S_F 1$ で第 1 信号値 I_1 を有し、第 2 サブフレーム $S_F 2$ 及び第 3 サブフレーム $S_F 3$ で信号値 I_0 を有する。図 12 に示すように、演算回路 155 は、第 1 サブフレーム $S_F 1$ で、第 1 信号データ $S_l a$ の第 1 信号値 I_1 と、第 2 信号データ $S_l b$ の第 2 信号値 I_2 とを統合して、第 3 信号値 I_3 を出力する。ここで、第 3 信号値 I_3 は、第 1 信号値 I_1 と第 2 信号値 I_2 とを加算した信号値 ($I_3 = I_1 + I_2$) である。また、演算回路 155 は、第 2 サブフレーム $S_F 2$ 及び第 3 サブフレーム $S_F 3$ で、第 1 信号データ $S_l a$ の信号値 I_0 と、第 2 信号データ $S_l b$ の第 2 信号値 I_2 とを統合して、第 2 信号値 I_2 を出力する。なお、各サブフレーム S_F で、信号値 (第 3 信号値 I_3 、第 2 信号値 I_2) は一定である。

[0065] ただし、演算回路 155 は、第 1 信号値 I_1 と第 2 信号値 I_2 とを加算して第 3 信号値 I_3 を算出する場合に限定されない。つまり、第 3 信号値 I_3 と第 2 信号値 I_2 との差 ($I_3 - I_2$) は、第 1 信号値 I_1 と信号値 I_0 の差 ($I_1 - I_0$) と異なってもよい。第 3 信号データ $S_l c$ は映像信号 S_g の階調に応じた信号であればよく、演算回路 155 は、第 1 信号値 I_1 と第 2 信号値 I_2 とに基づいて所定の演算処理を行って第 3 信号値 I_3 を算出してもよい。

[0066] 映像信号 S_g が $S_g = (00001010)$ の場合、第1信号データ S_{1a} は第2サブフレーム $SF2$ で第1信号値 I_1 を有し、第1サブフレーム $SF1$ 及び第3サブフレーム $SF3$ で信号値 I_0 を有する。図12に示すように、演算回路155は、第1サブフレーム $SF1$ 及び第3サブフレーム $SF3$ で、第1信号データ S_{1a} の信号値 I_0 と、第2信号データ S_{1b} の第2信号値 I_2 とを統合して、第2信号値 I_2 を出力する。また、演算回路155は、第2サブフレーム $SF2$ で、第1信号データ S_{1a} の第1信号値 I_1 と、第2信号データ S_{1b} の第2信号値 I_2 とを統合して、第3信号値 I_3 を出力する。

[0067] 映像信号 S_g が $S_g = (00001011)$ 、 (00001100) の場合も、同様に、演算回路155は、サブフレーム SF ごとに、第1信号データ S_{1a} の第1信号値 I_1 又は信号値 I_0 と、第2信号データ S_{1b} の第2信号値 I_2 とを統合して、第3信号データ S_{1c} を生成する。なお、図12では5階調の第3信号データ S_{1c} を示しているが、振幅制御信号 S_{g7-3} の32階調と、期間制御信号 S_{g2-0} の8階調の組み合わせで、演算回路155は、映像信号 S_g の256階調に対応する第3信号データ S_{1c} を出力できる。

[0068] 演算回路155は、第3信号データ S_{1c} を駆動回路211に出力する。駆動回路211は、第3信号データ S_{1c} に応じた定電流 I_{data} を信号線 SGL に出力する。無機発光素子100の階調は、第3信号データ S_{1c} の積分値、すなわち、各サブフレーム SF の時間と、各サブフレーム SF の信号値とを乗じた値に対応して決められる。これにより、無機発光素子100は、サブフレーム SF ごとに、第2信号値 I_2 に対応した駆動信号、又は第1信号値 I_1 と、第2信号値 I_2 とが統合された第3信号値 I_3 に対応した駆動信号が供給されて階調を表現する。

[0069] 言い換えると、表示装置1は、画素49-1に対応づけられた階調値 $GD1$ (第1階調値) を有する映像信号 S_{gA} (例えば、 (00000001)) と、画素49-5に対応づけられた階調値 $GD1$ より大きい階調値 $GD5$

(第5階調値)を有する映像信号S_{gE}(例えば、(00010010))が入力された場合、画素49-1の無機発光素子100の1フレーム期間Fにおける輝度(第1輝度、例えば、第1信号値I₁に対応する駆動信号で点灯された無機発光素子100の輝度)より画素49-5の無機発光素子100の1フレーム期間Fにおける輝度(第5輝度、例えば、第2信号値I₂₋₂+第1信号値I₁に対応する駆動信号で点灯された無機発光素子100の輝度)が大きくなるように駆動される。なお、画素49-1及び画素49-5の1フレーム期間Fにおける輝度とは、1フレーム期間Fにおける最大輝度を示す。なお、画素49-5の第1サブフレームSF1及び第3サブフレームSF3の輝度は、第2信号値I₂₋₂に対応する駆動信号で点灯された無機発光素子100の輝度(第3輝度)であり、画素49-5の第2サブフレームSF2の輝度は、第5輝度である。

[0070] また、画素49-1および画素49-5は、画素49-1の無機発光素子100の1フレーム期間Fにおける点灯期間(第1点灯期間、例えば、第1サブフレームSF1)より画素49-5の無機発光素子100の1フレーム期間Fにおける点灯期間(第5点灯期間、例えば、1フレーム期間F)が長くなるように駆動される。また、画素49-1及び画素49-5は、画素49-1及び画素49-5の無機発光素子100の1フレーム期間Fにおける最大輝度(例えば、第5輝度)での1フレーム期間における点灯期間を最大輝度点灯期間とすると、画素49-1の無機発光素子100の1フレーム期間Fにおける最大輝度点灯期間(第1最大輝度点灯期間、例えば、0)より画素49-5の無機発光素子100の1フレーム期間Fにおける最大輝度点灯期間(第5最大輝度点灯期間、例えば、第2サブフレームSF2)が長くなるように駆動される。

[0071] また、画素49-1の1フレーム期間Fにおける点灯量(第1点灯量=第1輝度×第1点灯期間)は、画素49-5の1フレーム期間Fにおける点灯量(第5点灯量=第3輝度×(第1サブフレームSF1+第3サブフレームSF3)+第5輝度×(第2サブフレームSF2))より小さい。なお、階

調値 G D 5 は、前述の階調値 G D 2、階調値 G D 3、及び階調値 G D 4 の少なくともいずれかより高い階調値を示す。

[0072] 図 1 3 は、無機発光素子の電圧電流特性を示すグラフである。図 1 3 に示すように、第 1 信号値 I 1 は、無機発光素子 1 0 0 の安定動作領域 P の閾値近傍の値である。無機発光素子 1 0 0 の不安定動作領域 Q は、第 1 信号値 I 1 よりも小さい電流値の領域である。第 2 信号値 I 2 は、第 1 信号値 I 1 よりも大きい電流値を有する。第 3 信号値 I 3 は、第 2 信号値 I 2 よりも大きい電流値を有する。第 2 信号値 I 2 及び第 3 信号値 I 3 は、安定動作領域 P に含まれる。

[0073] 本実施形態の表示装置 1 は、期間制御信号 S g 2 - 0 と、振幅制御信号 S g 7 - 3 とに基づいて階調制御がなされる。すなわち、表示装置 1 は、第 1 信号値 I 1 が出力されるサブフレーム S F と、第 1 信号値 I 1 が出力されないサブフレーム S F とを切り替える期間制御と、異なる複数の第 2 信号値 I 2 による振幅制御とを組み合わせて、階調制御が行われる。このため、表示装置 1 は、低階調においても無機発光素子 1 0 0 を安定動作領域 P で動作させることができ、無機発光素子 1 0 0 の輝度のばらつきを抑制できる。また、表示装置 1 は、細かい階調制御が可能である。

[0074] (第 2 実施形態)

図 1 4 は、第 2 実施形態に係る表示装置の、映像信号ごとの第 2 信号データとサブフレームとの関係を示すグラフである。図 1 5 は、第 2 実施形態に係る表示装置の、第 3 信号データの波形を示す説明図である。なお、以下の説明において、上述した実施形態で説明した構成要素については、同じ符号を付して、説明を省略する。

[0075] 図 1 4 に示すように、第 2 信号処理回路 1 5 4 は、第 2 信号データ S l b 0 - 3 1 として、それぞれサブフレーム S F ごとの異なる第 2 信号値 I 2 を出力する。振幅制御信号 S g 7 - 3 に対応付けられた複数の第 2 信号値 I 2 は、第 1 部分信号値 I 2 a、第 2 部分信号値 I 2 b、第 3 部分信号値 I 2 c を含む。第 1 部分信号値 I 2 a、第 2 部分信号値 I 2 b 及び第 3 部分信号値

12cは、それぞれ第1サブフレームSF1、第2サブフレームSF2及び第3サブフレームSF3に対応しており、それぞれ異なる大きさの信号値である。言い換えると、第2信号データS1bは、第1部分信号データS1ba、第2部分信号データS1bb、及び、第3部分信号データS1bcからなる。

[0076] 例えば、第2信号処理回路154は、第2信号データS1b1として、第1サブフレームSF1で第1部分信号値12a-1を出力し、第2サブフレームSF2で第2部分信号値12b-1を出力し、第3サブフレームSF3で第3部分信号値12c-1を出力する。第1サブフレームSF1の第1部分信号値12a-1は、第2サブフレームSF2の第2部分信号値12b-1よりも大きい。第2サブフレームSF2の第2部分信号値12b-1は、第3サブフレームSF3の第3部分信号値12c-1よりも大きい。

[0077] また、第2信号処理回路154は、第2信号データS1b31として、第1サブフレームSF1で第1部分信号値12a-31を出力し、第2サブフレームSF2で第2部分信号値12b-31を出力し、第3サブフレームSF3で第3部分信号値12c-31を出力する。高階調側の第1部分信号値12a-31と第2部分信号値12b-31との差は、低階調側の第1部分信号値12a-1と第2部分信号値12b-1との差よりも大きい。

[0078] 第1サブフレームSF1における第1差分 $\Delta 1a$ は、第2サブフレームSF2における第2差分 $\Delta 1b$ よりも大きい。第2サブフレームSF2における第2差分 $\Delta 1b$ は、第3サブフレームSF3における第3差分 $\Delta 1c$ よりも大きい。サブフレームSFの期間が短いほど第1差分 $\Delta 1a$ が大きく、サブフレームSFの期間が長いほど第3差分 $\Delta 1c$ が小さい。なお、第2信号データS1b2-0は、第1サブフレームSF1、第2サブフレームSF2、及び、第3サブフレームSF3のいずれにおいても、信号値10（第2信号値12-0）を示す。

[0079] 言い換えると、表示装置1は、画素49-6に対応づけられた階調値GD6（第6階調値）を有する映像信号SgF（例えば、（00001000）

）と、画素49-7に対応づけられた階調値GD6より大きい階調値GD7（第7階調値）を有する映像信号S_gG（例えば、（00010000））が入力された場合、画素49-6の無機発光素子100の第1サブフレームSF1における輝度（第6-1輝度、例えば、第1部分信号値I_{2a}-1に対応する駆動信号で点灯された無機発光素子100の輝度）より画素49-7の無機発光素子100の第1サブフレームSF1における輝度（第7-1輝度、例えば、第1部分信号値I_{2a}-2に対応する駆動信号で点灯された無機発光素子100の輝度）が大きくなるように駆動される。また、第2サブフレームSF2及び第3サブフレームSF3についても同様に、画素49-6の第2サブフレームSF2における輝度（第6-2輝度）より画素49-7の第2サブフレームSF2における輝度（第7-2輝度）が大きくなるように駆動され、画素49-6の第3サブフレームSF3における輝度（第6-3輝度）より画素49-7の第3サブフレームSF3における輝度（第7-3輝度）が大きくなるように駆動される。また、画素49-6および画素49-7の少なくともいずれか（例えば、第6-1輝度と第6-2輝度）は、2つの異なるサブフレームSF間で輝度が異なる。また、画素49-6の無機発光素子100の1フレーム期間Fにおける最大輝度（例えば、第6-1輝度）より画素49-4の無機発光素子100の1フレーム期間Fにおける最大輝度（例えば、第7-1輝度）が大きい。

[0080] 図15は、第1実施形態の表示装置1の第3信号データS_{1c}と、本実施形態の表示装置1Aの第3信号データS_{1c}とを比較して示す。図15は、映像信号S_gが（00001101）の場合を示す。第1信号データS_{1a}は、下位ビットの期間制御信号S_{g2}-0に応じて、第1サブフレームSF1及び第3サブフレームSF3で第1信号値I₁を有し、第2サブフレームSF2で信号値I₀を有する。

[0081] 図15に示すように、表示装置1において、演算回路155は、第1サブフレームSF1で、第1信号データS_{1a}の第1信号値I₁と、第2信号データS_{1b}の第2信号値I₂とを統合して、第3信号値I₃を出力する。演

算回路 155 は、第 2 サブフレーム SF 2 で、第 1 信号データ S1a の信号値 I0 と、第 2 信号データ S1b の第 2 信号値 I2 とを統合して、第 2 信号値 I2 を出力する。演算回路 155 は、第 3 サブフレーム SF 3 で、第 1 信号データ S1a の第 1 信号値 I1 と、第 2 信号データ S1b の第 2 信号値 I2 とを統合して、第 3 信号値 I3 を出力する。

[0082] 本実施形態の表示装置 1A において、演算回路 155 は、第 1 サブフレーム SF 1 で、第 1 信号データ S1a の第 1 信号値 I1 と、第 2 信号データ S1b の第 1 部分信号値 I2a とを統合して、第 3 信号値 I3a を出力する。演算回路 155 は、第 2 サブフレーム SF 2 で、第 1 信号データ S1a の信号値 I0 と、第 2 信号データ S1b の第 2 部分信号値 I2b とを統合して、第 2 信号値 I2 を出力する。演算回路 155 は、第 3 サブフレーム SF 3 で、第 1 信号データ S1a の第 1 信号値 I1 と、第 2 信号データ S1b の第 3 部分信号値 I2c とを統合して、第 3 信号値 I3b を出力する。第 3 信号値 I3a は、第 3 信号値 I3 よりも大きい。第 3 信号値 I3b は、第 3 信号値 I3 よりも小さい。

[0083] 図 15 に示すように、各サブフレーム SF の期間をそれぞれ、期間 t1、期間 t2、期間 t3 とする。各サブフレーム SF の期間は、 $t1 < t2 < t3$ の関係となる。表示装置 1A において、第 1 サブフレーム SF 1 と第 2 サブフレーム SF 2 との間の信号値変化は、 $I3a - I2$ である。第 2 サブフレーム SF 2 と第 3 サブフレーム SF 3 との間の信号値変化は、 $I3b - I2$ である。第 2 サブフレーム SF 2 と第 3 サブフレーム SF 3 との間の信号値変化 ($I3b - I2$) は、第 1 サブフレーム SF 1 と第 2 サブフレーム SF 2 との間の信号値変化 ($I3a - I2$) よりも小さい。

[0084] 図 15 上図の表示装置 1 では、第 1 サブフレーム SF 1 と第 2 サブフレーム SF 2 との間の信号値変化及び第 2 サブフレーム SF 2 と第 3 サブフレーム SF 3 との間の信号値変化は、いずれも $I3 - I2$ である。この場合、無機発光素子 100 の点灯周波数がより低いほど、輝度変動が視認される可能性がある。例えば、第 2 サブフレーム SF 2 と第 3 サブフレーム SF 3 との

間の輝度変動は、第1サブフレームSF1と第2サブフレームSF2との間の輝度変動よりも視認されやすい。表示装置1Aは、サブフレームSFの期間が長いほど信号値変化が小さい。言い換えると、無機発光素子100の点灯周波数がより低いほど信号値変化が小さい。これにより、表示装置1Aは、1フレーム期間Fにおいて電流変化が生じた場合であっても、輝度変動が視認されにくくなり、表示品質の低下を抑制できる。

[0085] 図15上図の表示装置1と、下図の表示装置1Aとで、第3信号データS1cは、下記の式(1)、(2)、(3)を満たす。これにより、表示装置1Aは、全体として信号値の積分値を変化させずに、第2サブフレームSF2と第3サブフレームSF3との間の信号値変化を小さくすることができる。

[0086] $I_3 \times t_1 + I_2 \times t_2 + I_3 \times t_3 = I_{3a} \times t_1 + I_2 \times t_2 + I_{3b} \times t_3 \quad \dots (1)$

$I_{3a} > I_3 > I_{3b} \quad \dots (2)$

$I_{3a} - I_3 > I_3 - I_{3b} \quad \dots (3)$

[0087] なお、図15では、期間制御信号Sg2-0が(101)の場合を示したが、他の期間制御信号Sg2-0であっても適用できる。図10に示すように、期間制御信号Sg2-0が(010)、(011)、(100)、(110)の場合に、第2サブフレームSF2と第3サブフレームSF3との間で信号変化が生じる。第2信号処理回路154は、第1信号処理回路153から期間制御信号Sg2-0を受け取って、上記の第2サブフレームSF2と第3サブフレームSF3との間で信号変化が生じる場合に、図14に示す第2信号データS1bを適用することができる。

[0088] 言い換えると、表示装置1は、画素49-1に対応づけられた階調値GD1(第1階調値)を有する映像信号SgA(例えば、(00000001))と、画素49-8に対応づけられた階調値GD1より大きい階調値GD8(第8階調値)を有する映像信号SgH(例えば、(00010010))が入力された場合、画素49-1の無機発光素子100の第1サブフレーム

S F 1 における輝度（第 1 輝度、例えば、第 1 信号値 I_1 に対応する駆動信号で点灯された無機発光素子 100 の輝度）より画素 49-8 の無機発光素子 100 の第 1 サブフレーム S F 1 における輝度（第 8-1 輝度、例えば、第 1 部分信号値 $I_{2a}-2$ に対応する駆動信号で点灯された無機発光素子 100 の輝度）が大きくなるように駆動される。また、第 2 サブフレーム S F 2 及び第 3 サブフレーム S F 3 も同様に、画素 49-1 の第 2 サブフレーム S F 2 における輝度（第 1 輝度）は、画素 49-8 の第 2 サブフレーム S F 2 における輝度（第 8-2 輝度、例えば、第 2 部分信号値 $I_{2b}-2$ + 第 1 信号値 I_1 に対応する駆動信号で点灯された無機発光素子 100 の輝度）より小さく、画素 49-1 の第 3 サブフレーム S F 3 における輝度（第 1 輝度）は、画素 49-8 の第 3 サブフレーム S F 3 における輝度（第 8-3 輝度、例えば、第 3 部分信号値 $I_{2c}-2$ に対応する駆動信号で点灯された無機発光素子 100 の輝度）より小さい。また、画素 49-1 の 1 フレーム期間 F における輝度（第 1 輝度）は、画素 49-8 の 1 フレーム期間 F における輝度（第 8-2 輝度）より小さい。なお、画素 49-1 及び画素 49-8 の 1 フレーム期間 F における輝度とは、1 フレーム期間 F における最大輝度を示す。

[0089] また、画素 49-1 および画素 49-8 は、画素 49-1 の無機発光素子 100 の 1 フレーム期間 F における点灯期間（第 1 点灯期間、例えば、第 1 サブフレーム S F 1）より画素 49-8 の無機発光素子 100 の 1 フレーム期間 F における点灯期間（第 8 点灯期間、例えば、1 フレーム期間 F）が長くなるように駆動される。また、画素 49-1 及び画素 49-8 は、画素 49-1 及び画素 49-8 の無機発光素子 100 の 1 フレーム期間 F における最大輝度（例えば、第 8-2 輝度）での 1 フレーム期間における点灯期間を最大輝度点灯期間とすると、画素 49-1 の無機発光素子 100 の 1 フレーム期間 F における最大輝度点灯期間（第 1 最大輝度点灯期間、例えば、0）より画素 49-8 の無機発光素子 100 の 1 フレーム期間 F における最大輝度点灯期間（第 8 最大輝度点灯期間、例えば、第 2 サブフレーム S F 2）が

長くなるように駆動される。さらに、画素49-1及び画素49-8は、画素49-1及び画素49-8の無機発光素子100の各サブフレームSF毎の最大輝度での点灯期間の合計を1フレーム期間Fにおける合計最大輝度点灯期間とすると、第1サブフレームSF1の最大輝度は第8-1輝度となり、第2サブフレームSF2の最大輝度は第8-2輝度となり、第3サブフレームSF3の最大輝度は第8-3輝度であるため、画素49-1の無機発光素子100の1フレーム期間Fにおける合計最大輝度点灯期間（第1合計最大輝度点灯期間、例えば、0）より画素49-8の無機発光素子100の1フレーム期間Fにおける合計最大輝度点灯期間（第8合計最大輝度点灯期間、例えば、1フレーム期間F）が長くなるように駆動される。

[0090] また、画素49-1の1フレーム期間Fにおける点灯量（第1点灯量＝第1輝度×第1点灯期間）は、画素49-8の1フレーム期間Fにおける点灯量（第8点灯量＝第8-1輝度×第1サブフレームSF1＋第8-2輝度×第2サブフレームSF2＋第8-3輝度×第3サブフレームSF3）より小さい。なお、階調値GD8は、前述の階調値GD2、階調値GD6、及び階調値GD7の少なくともいずれかより高い階調値を示す。

[0091] （第3実施形態）

図16は、第3実施形態に係る表示装置の構成を示すブロック図である。図17は、補正信号と、期間及び電流値との関係を示す表である。図18は、補正信号ごとの第4信号データの波形を示す説明図である。図19は、第3実施形態に係る第3信号データの波形を示す説明図である。

[0092] 図16に示すように、本実施形態の表示装置1Bにおいて、制御回路200は、補正信号出力回路203を有する。補正信号出力回路203は、補正信号Sgcを第1バッファ回路151に出力する。補正信号Sgcは、複数の無機発光素子100の点灯検査を行い、この点灯検査の結果に基づいて画素49ごとに設定される。

[0093] 図17に示すように、補正信号Sgcは、3ビットの補正信号Sgc2、Sgc1、Sgc0を含む。補正信号Sgcは、いずれも第4信号値14が

対応付けられている。補正信号 $S_{gc}2$ には、第3サブフレーム $SF3$ が対応付けられる。補正信号 $S_{gc}1$ には、第2サブフレーム $SF2$ が対応付けられる。補正信号 $S_{gc}0$ には、第1サブフレーム $SF1$ が対応付けられる。

[0094] 図18は、補正信号 S_{gc} が (001) 、 (011) 、 (111) の場合の第4信号データ S_{ld} を示す。ただし、補正信号 S_{gc} は3ビットのデータであり、期間制御信号 S_{g2-0} と同様に、補正信号出力回路203は8階調の補正信号 S_{gc} を出力することができる。図18に示す複数の補正信号 S_{gc} は、異なる画素 $49-1$ 、 $49-2$ 、 $49-3$ にそれぞれ対応付けられる。

[0095] 図18に示すように、補正信号 S_{gc} が (001) の場合、第1信号処理回路153は、第4信号データ S_{ld} として、第1サブフレーム $SF1$ で第4信号値 I_4 を出力し、第2サブフレーム $SF2$ 及び第3サブフレーム $SF3$ で信号値 I_0 を出力する。補正信号 S_{gc} が (011) の場合、第1信号処理回路153は、第4信号データ S_{ld} として、第1サブフレーム $SF1$ 及び第2サブフレーム $SF2$ で第4信号値 I_4 を出力し、第3サブフレーム $SF3$ で信号値 I_0 を出力する。補正信号 $S_{gc} = (111)$ の場合、第1信号処理回路153は、第4信号データ S_{ld} として、第1サブフレーム $SF1$ 、第2サブフレーム $SF2$ 及び第3サブフレーム $SF3$ で第4信号値 I_4 を出力する。

[0096] 第1信号処理回路153は、期間制御信号 S_{g2-0} に基づく第1信号データ S_{la} と、第4信号データ S_{ld} とを個別に演算回路155に出力してもよい。第1信号処理回路153は、第1信号データ S_{la} と、第4信号データ S_{ld} とをサブフレーム SF ごとに統合する信号処理を行い、統合されたデータを演算回路155に出力してもよい。

[0097] 図19上図は、補正信号 S_{gc} が (000) 、つまり、補正なしの場合の第3信号データ S_{lc} を示す。図19下図は、補正信号 S_{gc} が (001) 、つまり、補正ありの場合の第3信号データ S_{lc} を示す。

[0098] 図19下図に示すように、本実施形態の表示装置1Bにおいて、演算回路155は、第1サブフレームSF1で、第1信号データS1aの第1信号値I1と、第2信号データS1bの第2信号値I2と、第4信号データS1dの第4信号値I4とを統合して、第5信号値I5を出力する。演算回路155は、第2サブフレームSF2で、第1信号データS1aの信号値I0と、第2信号データS1bの第2信号値I2と、第4信号データS1dの信号値I0とを統合して、第2信号値I2を出力する。演算回路155は、第3サブフレームSF3で、第1信号データS1aの第1信号値I1と、第2信号データS1bの第2信号値I2と、第4信号データS1dの信号値I0とを統合して、第3信号値I3を出力する。

[0099] 第1サブフレームSF1の第5信号値I5は、補正信号Sgcが(000)の場合における、第1サブフレームSF1の第3信号値I3よりも大きい。また、第4信号値I4は、振幅制御信号Sg7-3に対応付けられた第2信号値I2の差分 $\Delta I2$ (図11参照)よりも小さい。

[0100] 演算回路155は、第3信号データS1cを補正信号Sgcに基づいて補正した第5信号データS1eを駆動回路211に出力する。これにより、駆動回路211は、第5信号データS1eに対応した信号(定電流Idata)を、複数の画素49ごとに出力する。これにより、無機発光素子100は、補正信号Sgcに基づいて、サブフレームSFごとに、第3信号値I3と、第4信号値I4とが統合された第5信号値I5に対応した駆動信号が供給される。これにより、無機発光素子100は、輝度の補正が可能である。

[0101] なお、補正信号Sgcが(011)の場合(図18参照)、演算回路155は、第1サブフレームSF1で、第5信号値I5を出力するとともに、第2サブフレームSF2で、第2信号値I2と、第4信号値I4とが統合された信号値を出力する。また、補正信号Sgcが(111)の場合(図18参照)、演算回路155は、第1サブフレームSF1及び第3サブフレームSF3で、第5信号値I5を出力するとともに、第2サブフレームSF2で、第2信号値I2と、第4信号値I4とが統合された信号値を出力する。なお

、補正信号 S_{gc} は、4ビット以上の信号を有していてもよい。また、第1信号処理回路153は、第4信号データ S_{ld} として、複数の異なる第4信号値 I_4 を出力してもよい。この場合、表示装置1Bは、無機発光素子100の点灯特性に応じて細かく補正することができる。

[0102] (第4実施形態)

図20は、第4実施形態に係るサブフレームと映像信号との関係を説明するための説明図である。図21は、第4実施形態に係る画素回路の構成例を示す回路図である。図22は、画素回路の変形例を示す回路図である。

[0103] 図20に示すように、本実施形態において、1フレーム期間Fの各サブフレームSFは、発光期間PBLと非発光期間PBMとを含む。各サブフレームSFの発光期間PBLにおいて、映像信号 S_g に基づいた階調制御がなされる。本実施形態においても、第1実施形態から第3実施形態で説明した階調制御が適用できる。また、発光期間PBLと非発光期間PBMとのデューティ比は、適宜変更することができる。

[0104] 図21に示すように、画素回路PICは、駆動用のトランジスタ T_{r1} と、電流切り替え用のトランジスタ T_{r2} と、に加えてスイッチング用のトランジスタ T_{r3} を有する。トランジスタ T_{r2} は、ゲートが第1ゲート線GCL1に接続される。トランジスタ T_{r3} は、ゲートが第2ゲート線GCL2に接続され、ソースがトランジスタ T_{r1} のドレインに接続され、ドレインが無機発光素子100のアノードに接続される。

[0105] 発光期間PBLにおいて、表示装置1が第1ゲート線GCL1及び第2ゲート線GCL2の電位をハイ(High)にすると、トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} はオンになる。これにより、信号線SGLから無機発光素子100に定電流 I_{data} が供給される。非発光期間PBMにおいて、表示装置1が第1ゲート線GCL1及び第2ゲート線GCL2の電位をロウ(Low)にすると、トランジスタ T_{r2} 、 T_{r3} はオフになる。これにより、基準電位線LVCOMから無機発光素子100のカソードに逆バイアスとなる基準電位VCOMが供給される。

[0106] 図22に示すように、変形例の画素回路PICにおいて、トランジスタTr3は、ソースがカソード配線60に接続され、ドレインが無機発光素子100のカソードに接続される。非発光期間PBMにおいて、表示装置1は、第1ゲート線GCL1の電位をロウ（Low）にし、第2ゲート線GCL2の電位をハイ（High）する。これにより、トランジスタTr1、Tr2はオフになり、トランジスタTr3はオンになる。これにより、基準電位線LVCOMから無機発光素子100のカソードに逆バイアスとなる基準電位VCOMが供給される。

[0107] 以上、本発明の好適な実施の形態を説明したが、本発明はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。本発明の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本発明の技術的範囲に属する。上述した各実施形態及び各変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも1つを行うことができる。

符号の説明

- [0108]
- 1 表示装置
 - 2 アレイ基板
 - 10 基板
 - 12 ゲートドライバ
 - 15 信号出力回路
 - 49 画素
 - 50e アノード電極
 - 60 カソード配線
 - 90e、90eA カソード電極
 - 100、100A 無機発光素子
 - 151 第1バッファ回路
 - 152 第2バッファ回路

1 5 3 第1信号処理回路
1 5 4 第2信号処理回路
1 5 5 演算回路
1 5 8 バッファ制御回路
1 5 9 サブフレームカウンタ
2 1 0 駆動IC
A A 表示領域
G A 周辺領域
L V C C 電源線
L V C O M 基準電位線
T r 1、T r 2、T r 3、T r 5 トランジスタ
S g 映像信号
S g 2-0、S g 2、S g 1、S g 0 期間制御信号
S g 7-3、S g 7、S g 6、S g 5、S g 4、S g 3 振幅制御信号
S g c 補正信号
S l a 第1信号データ
S l b 第2信号データ
S l c 第3信号データ
S l d 第4信号データ
S F 1 第1サブフレーム
S F 2 第2サブフレーム
S F 3 第3サブフレーム
I 1 第1信号値
I 2 第2信号値
I 3 第3信号値
I 4 第4信号値

請求の範囲

- [請求項1] 複数の画素の各々に設けられる無機発光素子と、
期間制御信号と振幅制御信号とに基づいて、複数の前記無機発光素子に駆動信号を供給する駆動回路と、を有し、
1 フレーム分の画像を表示する1 フレーム期間は、時分割された複数のサブフレームを含み、
前記期間制御信号には、複数の前記サブフレームごとに第1 信号データが対応付けられており、
前記振幅制御信号には、異なる信号値を有する複数の第2 信号値のいずれかを示す第2 信号データが対応付けられており、
前記無機発光素子は、前記サブフレームごとに、前記第1 信号データと、前記第2 信号データとが統合された第3 信号データに対応した前記駆動信号が供給されて階調を表現する表示装置。
- [請求項2] 複数の前記サブフレームは、互いに異なる長さの期間を有し、
前記期間制御信号に基づいて、前記第1 信号データが出力される前記サブフレームと、前記第1 信号データが出力されない前記サブフレームと、が切り替えられる
請求項1 に記載の表示装置。
- [請求項3] 前記期間制御信号は、複数の前記サブフレームで共通の第1 信号値が前記第1 信号データとして対応付けられる
請求項1 又は請求項2 に記載の表示装置。
- [請求項4] 複数の前記サブフレームは、前記期間制御信号のビット数に対応する数以上である
請求項1 から請求項3 のいずれか1 項に記載の表示装置。
- [請求項5] 前記振幅制御信号に対応付けられた複数の前記第2 信号データは、複数の前記サブフレームに亘って同じ大きさの信号値を有する、
請求項1 から請求項4 のいずれか1 項に記載の表示装置。

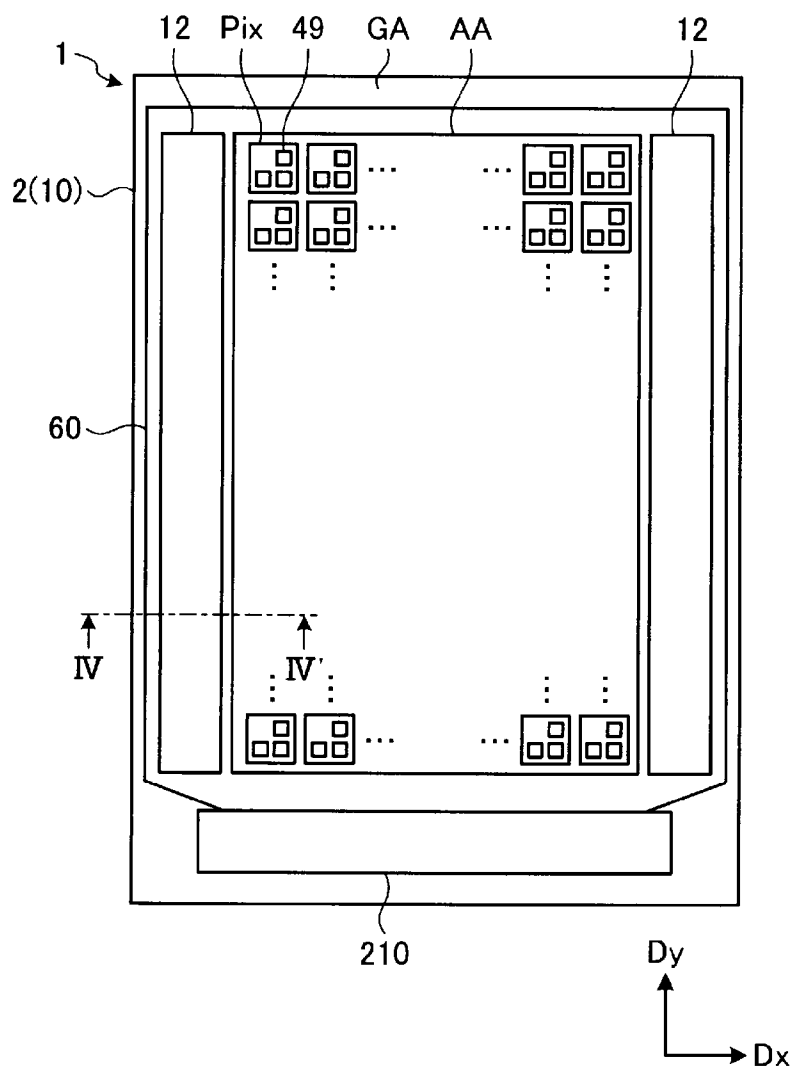
- [請求項6] 前記振幅制御信号に対応付けられた複数の前記第2信号データは、複数の前記サブフレームごとに異なる大きさの信号値を有する
請求項1から請求項4のいずれか1項に記載の表示装置。
- [請求項7] 前記1フレーム期間は、第1サブフレームと、前記第1サブフレームよりも長い期間を有する第2サブフレームとを含み、
前記第2信号データは、前記第1サブフレームで、複数の第1部分信号値のいずれかが対応付けられ、前記第2サブフレームで、複数の第2部分信号値のいずれかが対応付けられており、
複数の前記第1部分信号値の差分である第1差分は、複数の前記第2部分信号値の差分である第2差分よりも大きい
請求項6に記載の表示装置。
- [請求項8] 前記1フレーム期間は、前記第2サブフレームよりも長い期間を有する第3サブフレームを含み、
複数の前記第2信号データは、前記第3サブフレームで、複数の第3部分信号値のいずれかが対応付けられており、
前記第2差分は、複数の前記第3部分信号値の差分である第3差分よりも大きい
請求項7に記載の表示装置。
- [請求項9] 前記無機発光素子は、複数の前記画素ごとに対応付けられた補正信号に基づいて、前記第3信号データと、前記補正信号に対応付けられた第4信号データとが統合された第5信号データに対応した前記駆動信号が供給される
請求項1から請求項8のいずれか1項に記載の表示装置。
- [請求項10] 複数の前記サブフレームは、発光期間と、非発光期間とを含む
請求項1から請求項9のいずれか1項に記載の表示装置。
- [請求項11] 前記期間制御信号に基づいて、前記サブフレームごとに対応付けられた前記第1信号データを出力する第1信号処理回路と、
前記振幅制御信号に基づいて、前記第2信号値が対応付けられた前

記第 2 信号データを出力する第 2 信号処理回路と、

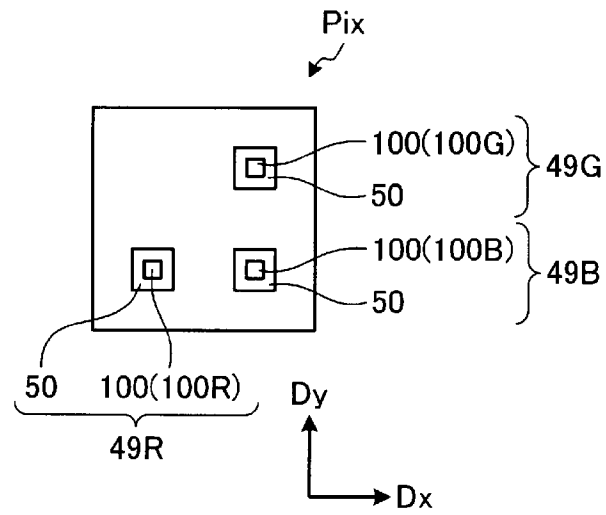
前記サブフレームごとに、前記第 1 信号データと前記第 2 信号データを統合する演算回路と、を有する

請求項 1 から請求項 10 のいずれか 1 項に記載の表示装置。

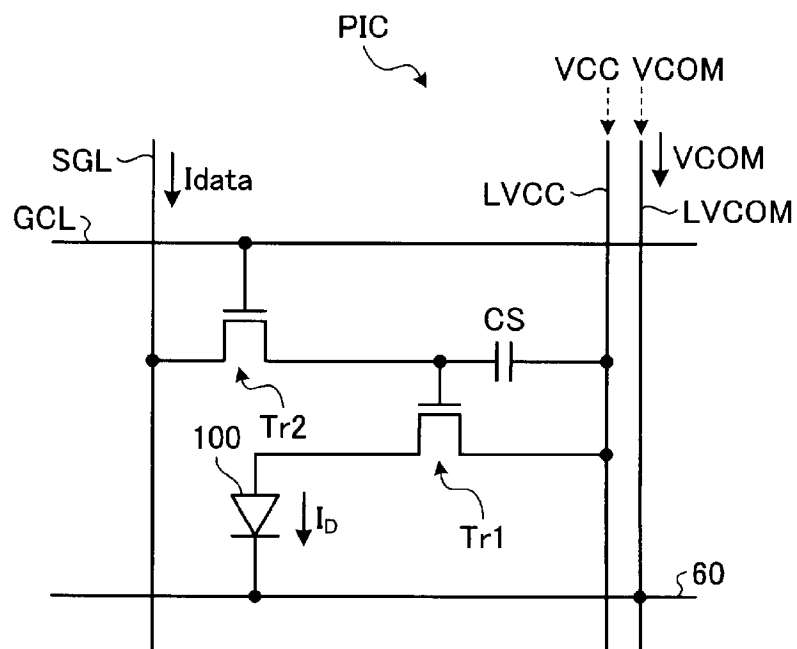
[図1]



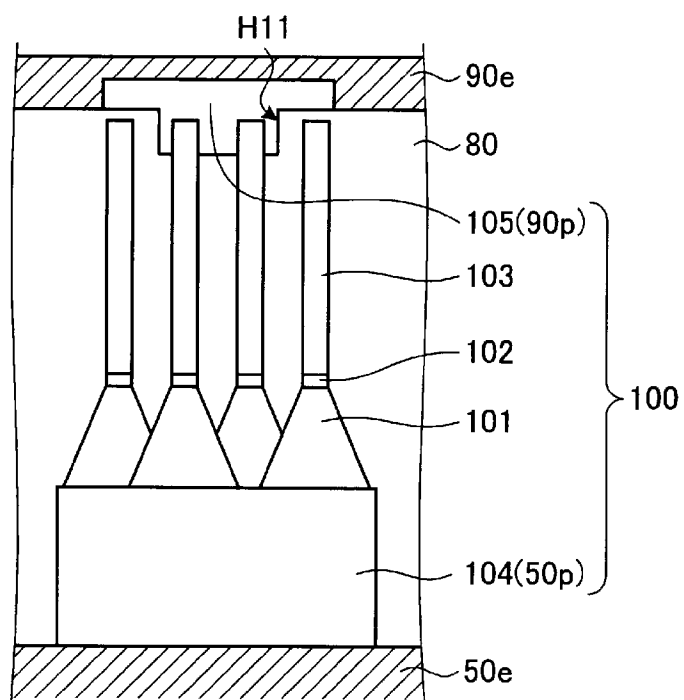
[図2]



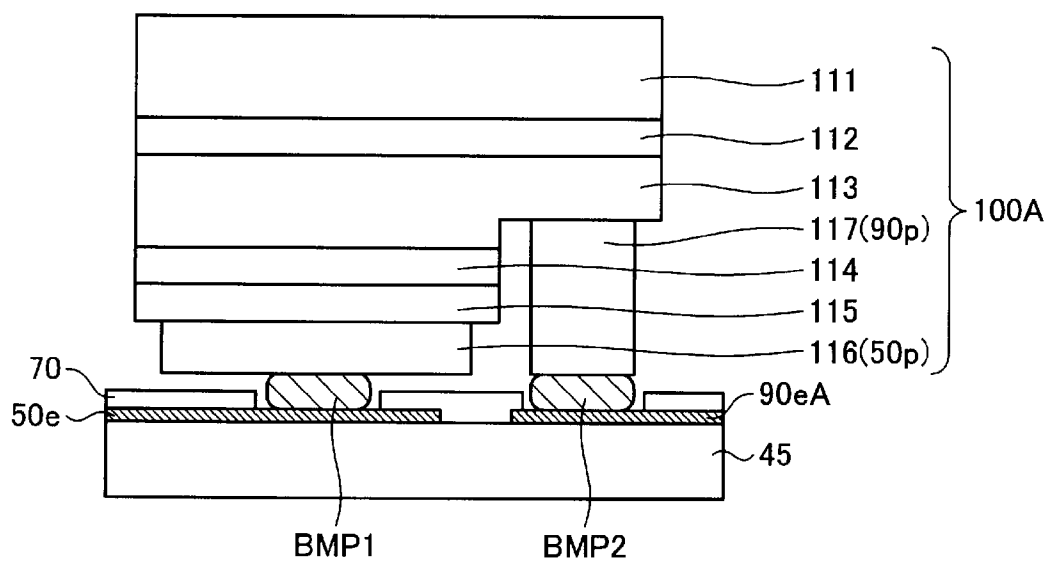
[図3]



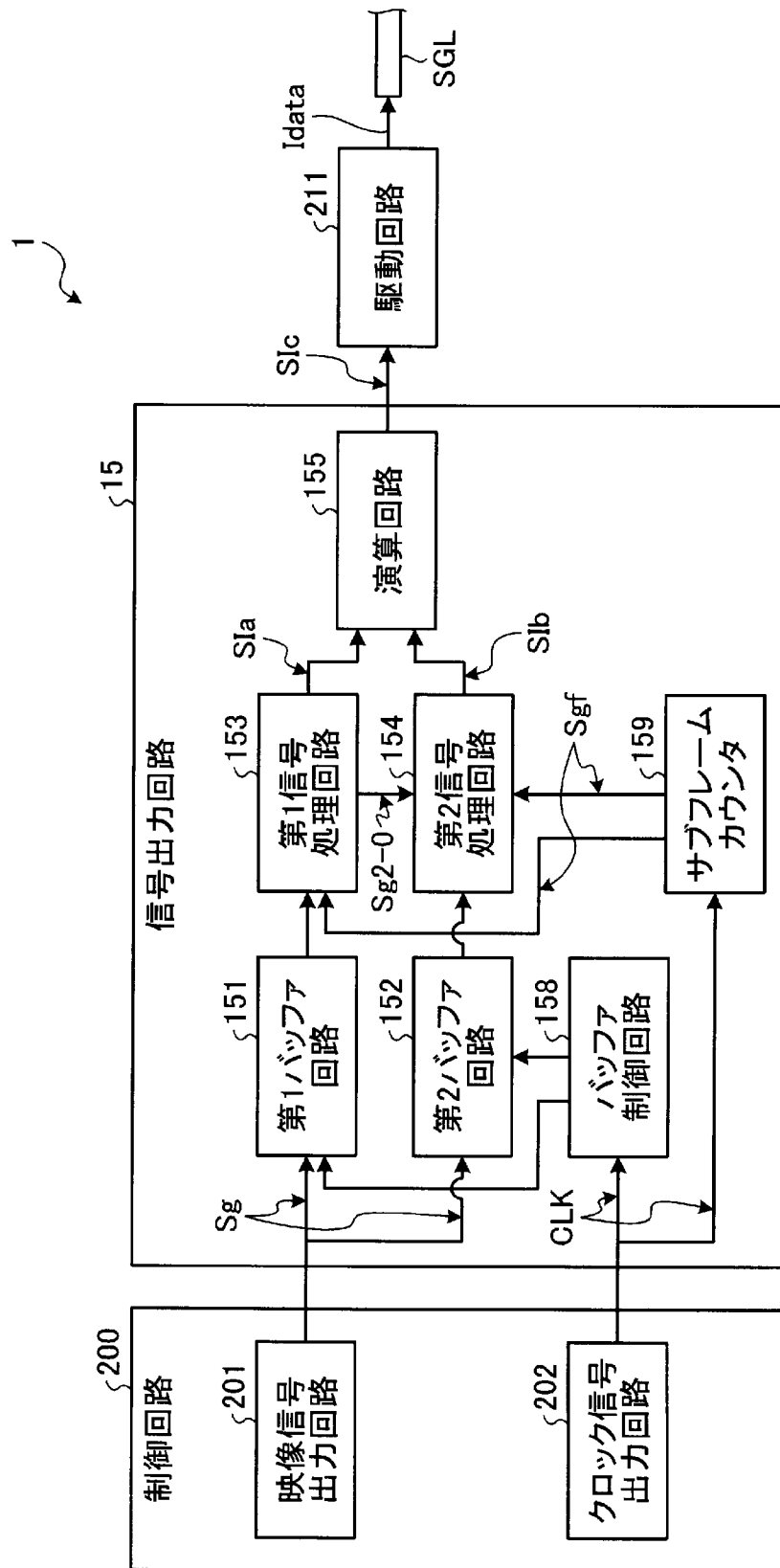
[図5]



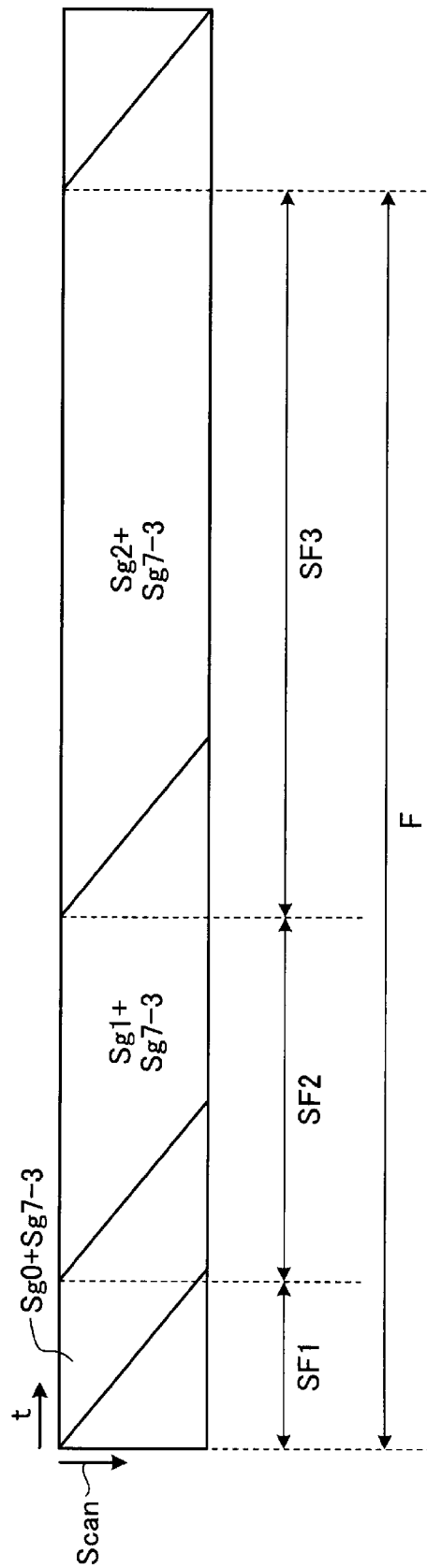
[図6]



[図7]



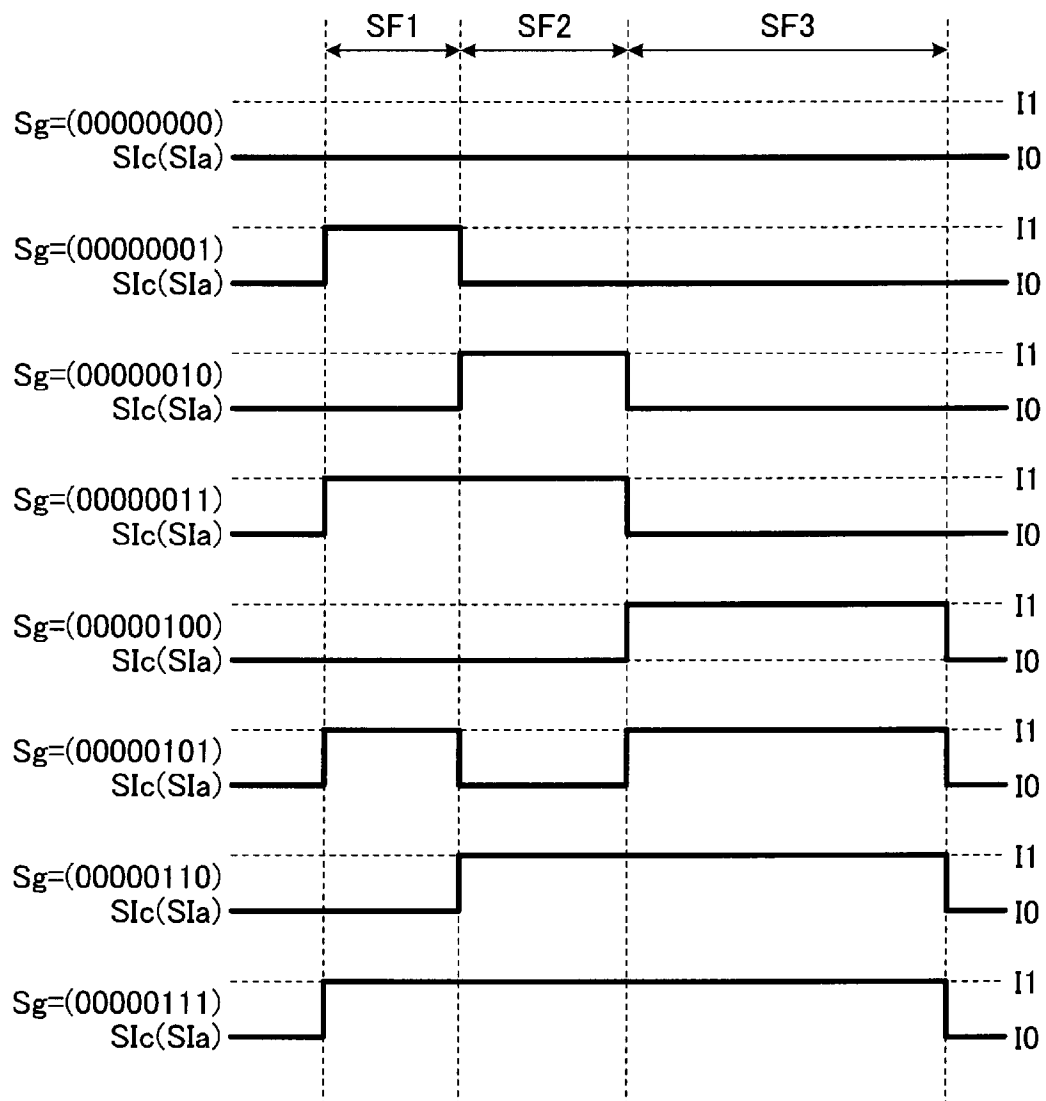
[図8]



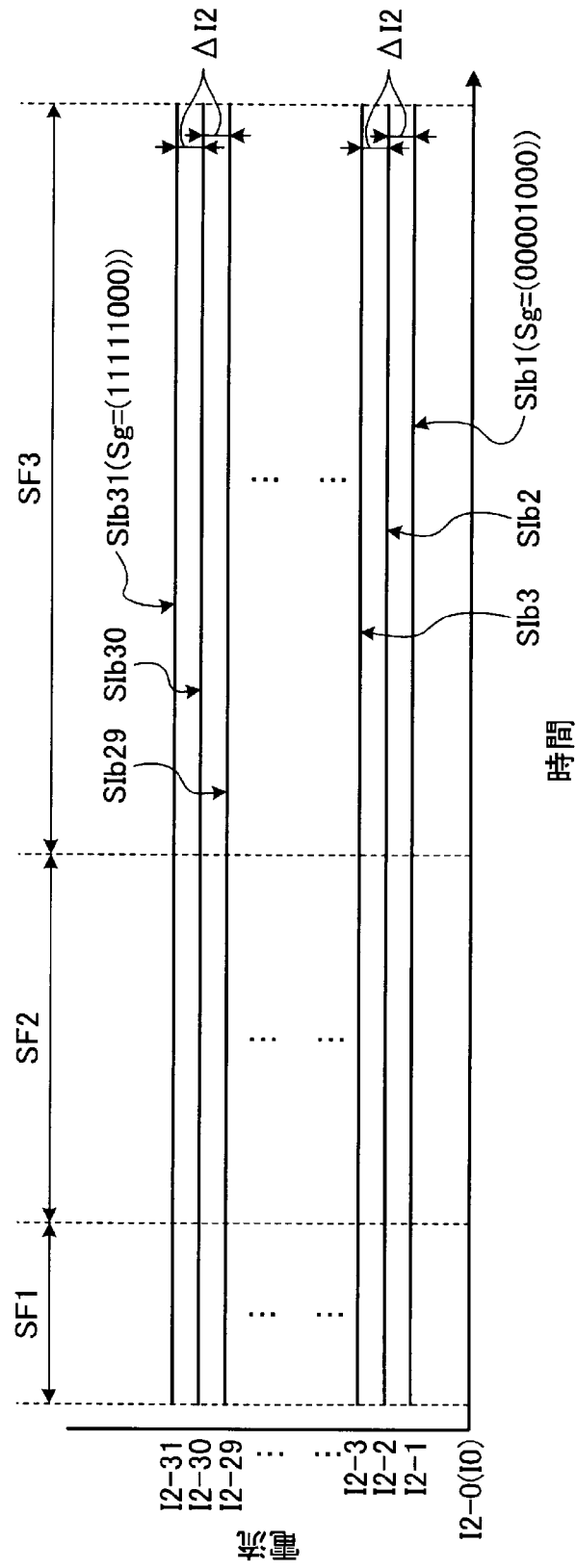
[図9]

映像信号	振幅制御信号					期間制御信号		
	Sg7	Sg6	Sg5	Sg4	Sg3	Sg2	Sg1	Sg0
期間	SF1-SF3					SF3	SF2	SF1
電流値	I2-0, I2-1, ..., I2-31					I1		

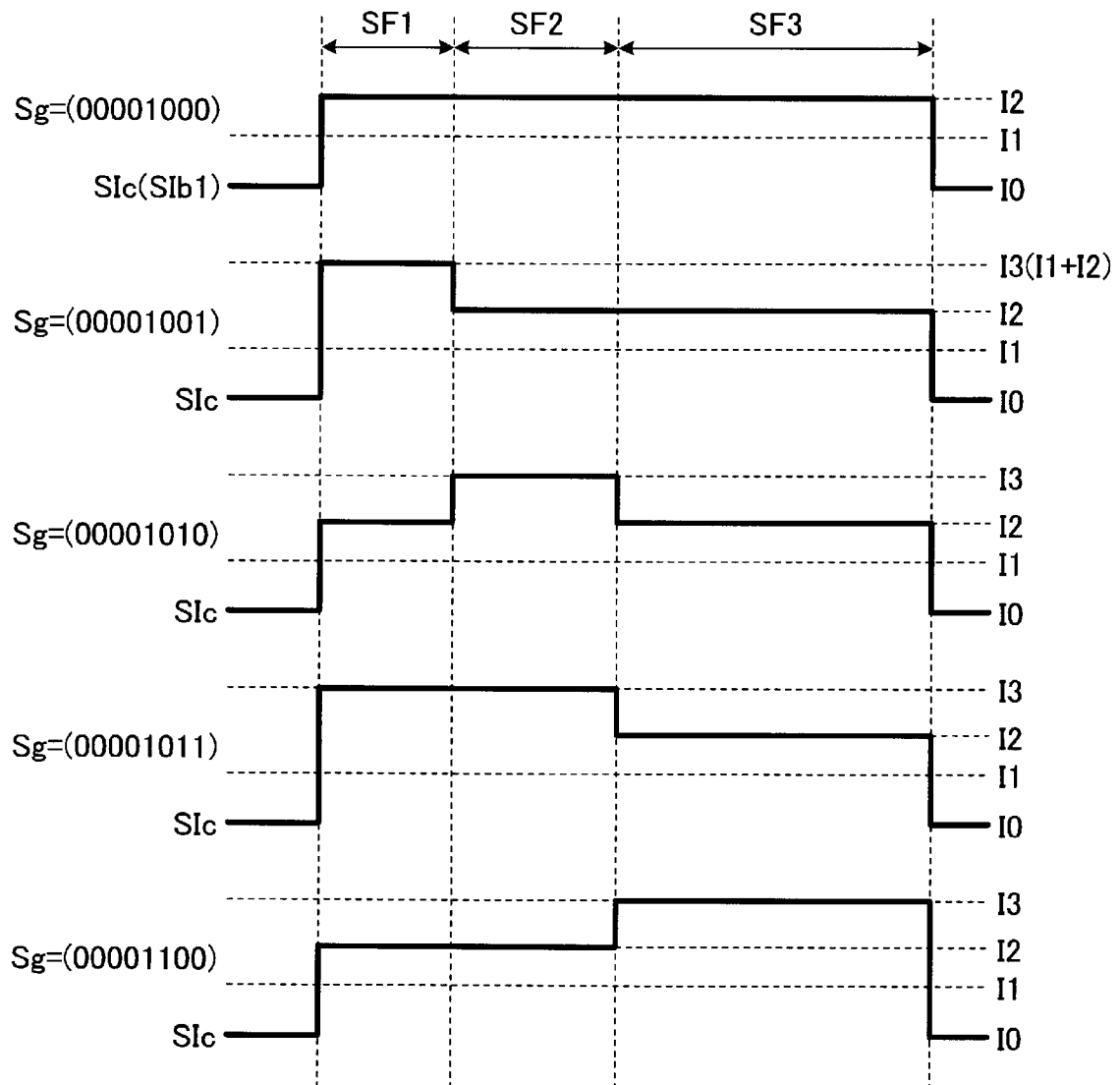
[図10]



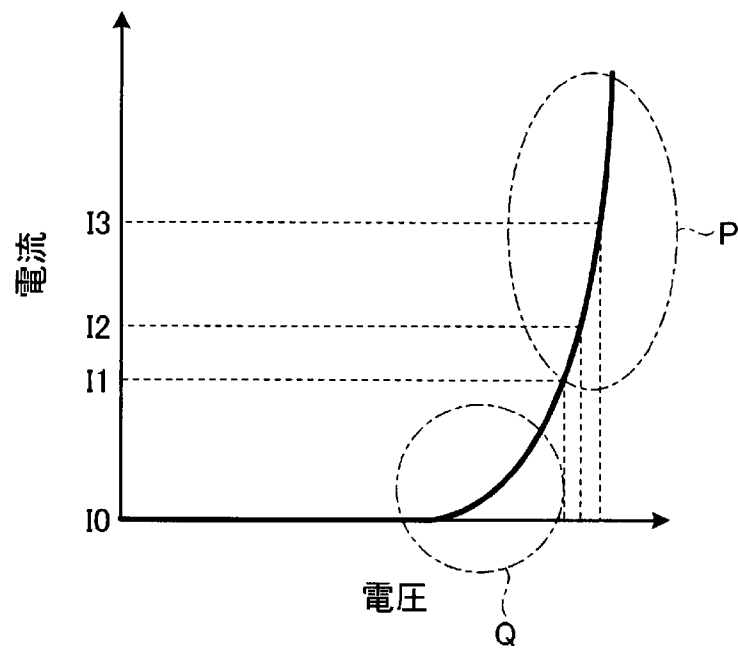
[図11]



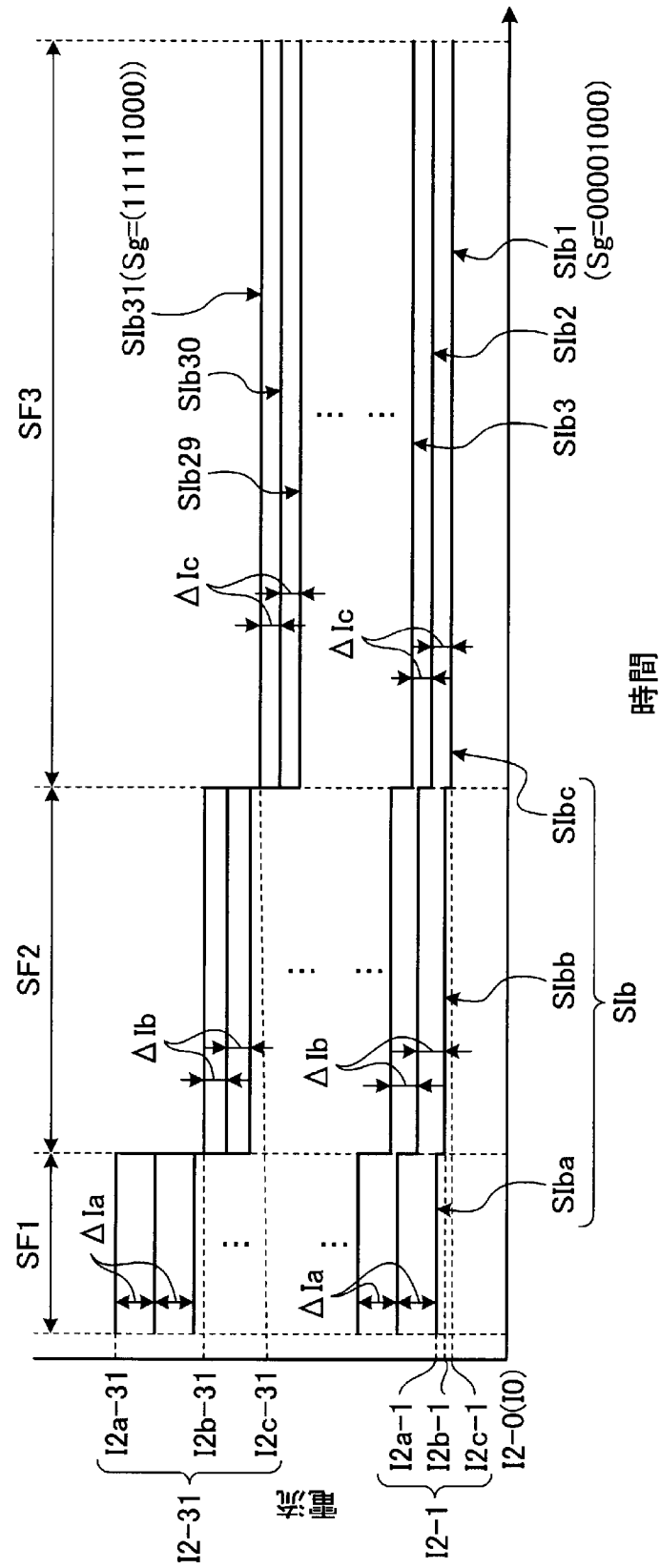
[図12]



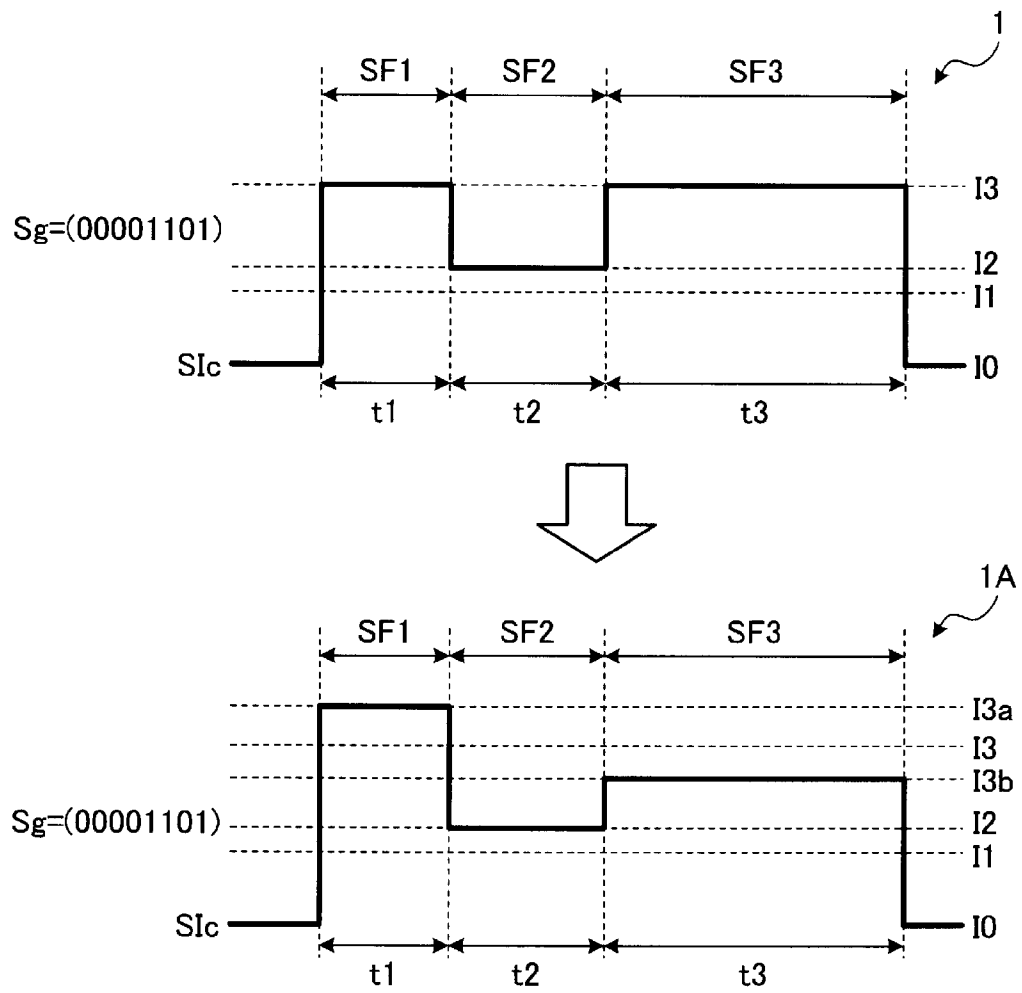
[図13]



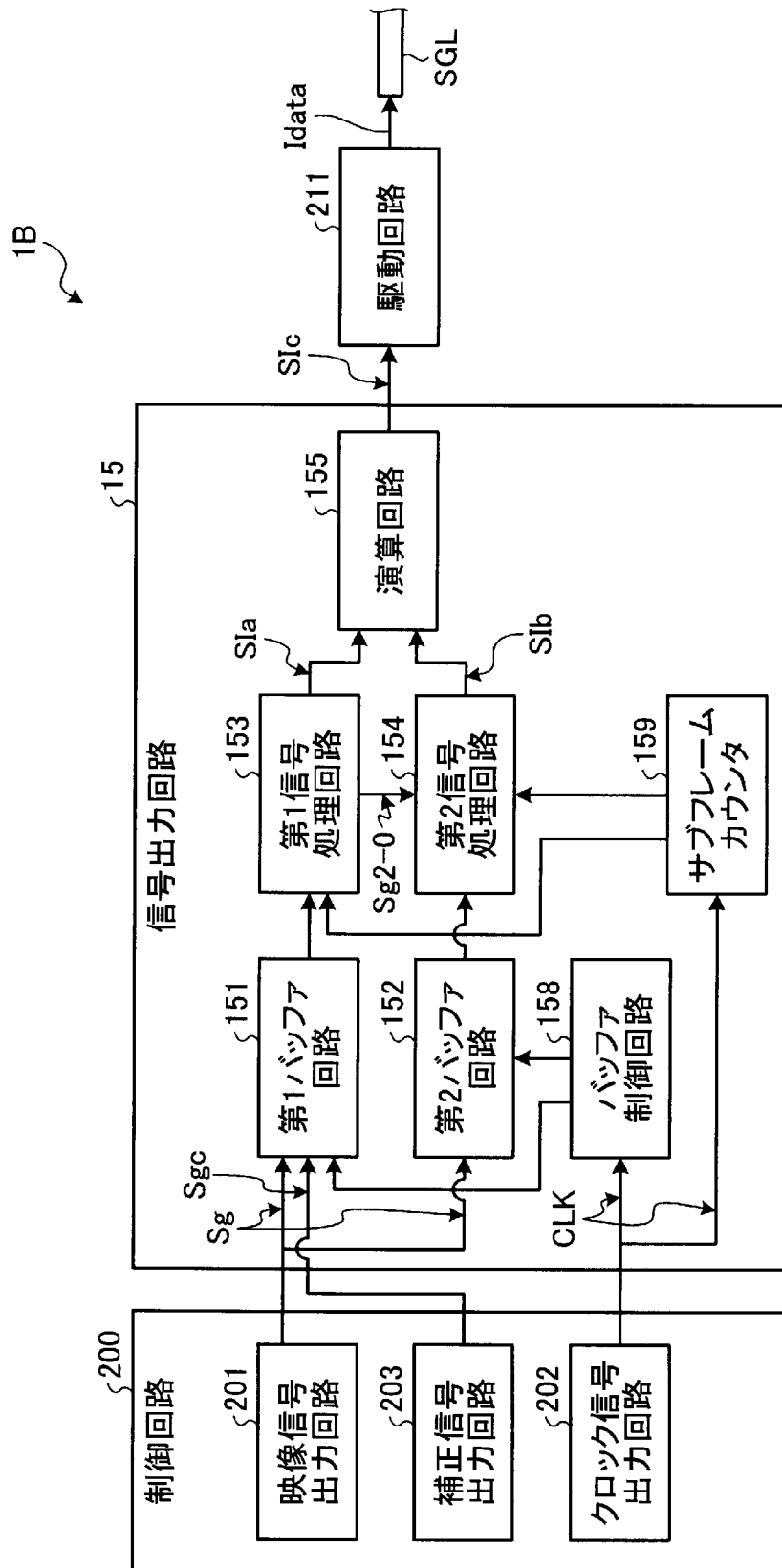
[図14]



[図15]



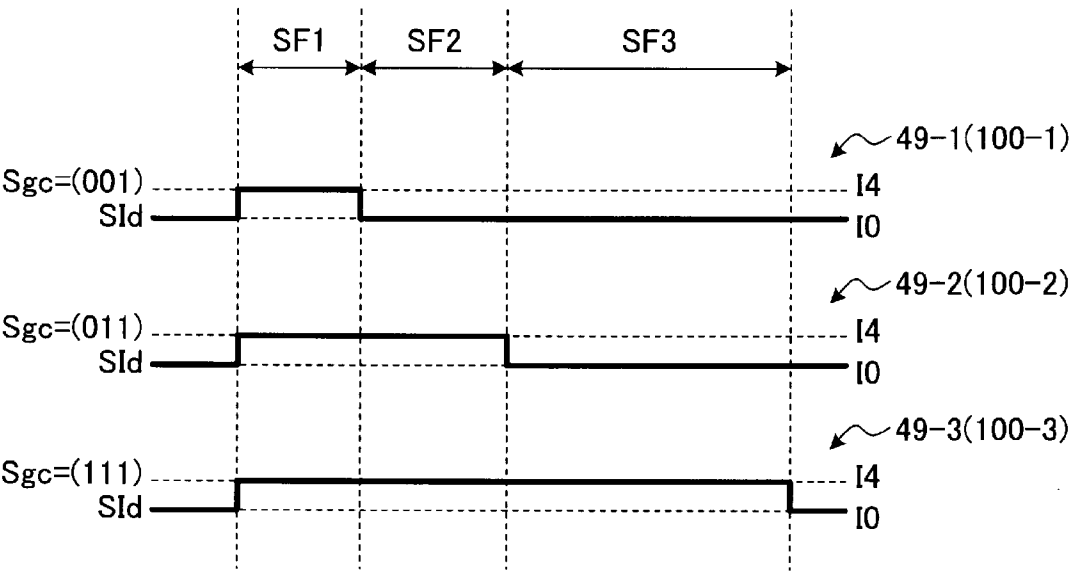
[図16]



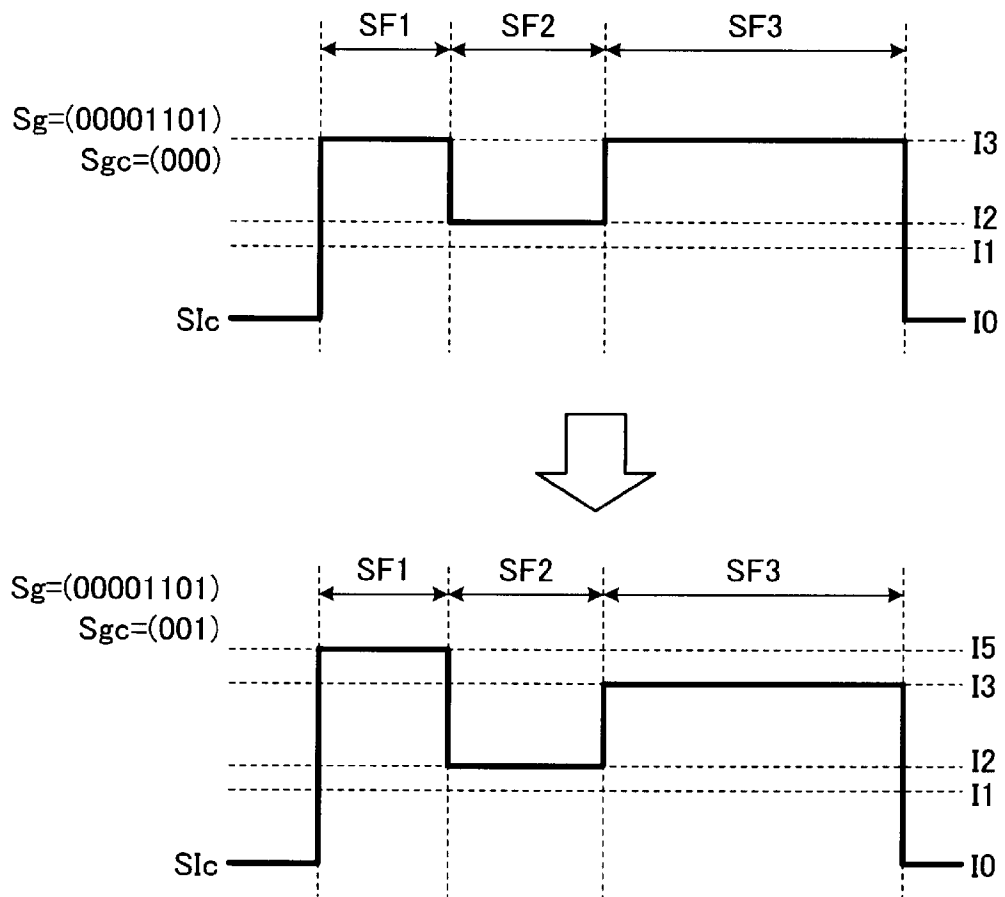
[図17]

	補正信号		
	Sgc2	Sgc1	Sgc0
期間	SF3	SF2	SF1
電流値	I4		

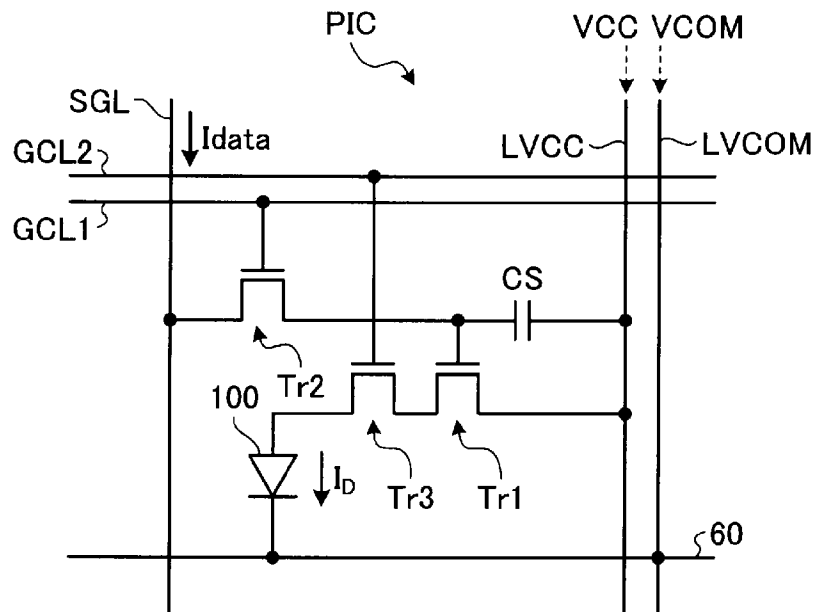
[図18]



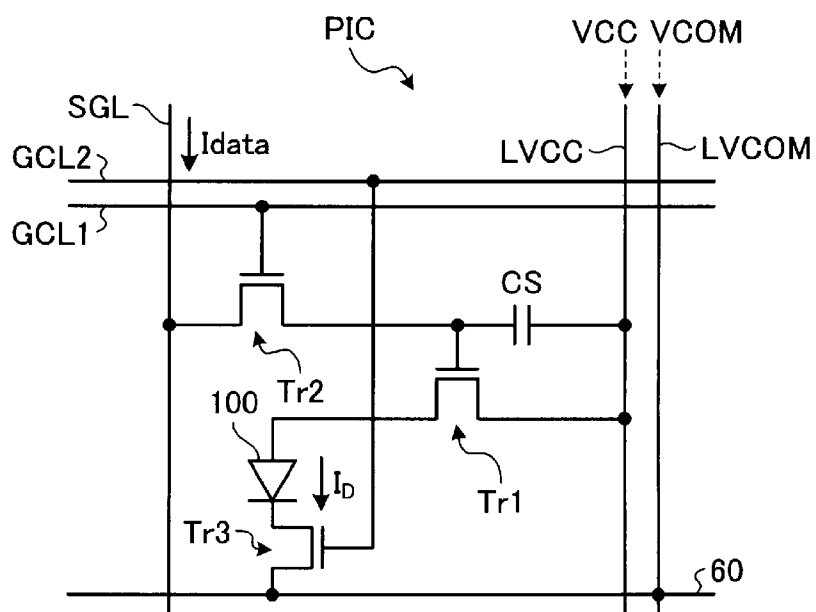
[図19]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/031530

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G09G3/32(2016.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G09G3/00-3/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2019
Registered utility model specifications of Japan 1996-2019
Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2018-519539 A (APPLE INC.) 19 July 2018, paragraphs [0015]-[0027], [0060], fig. 3, 28, 29 & US 2018/0182279 A1, paragraphs [0053]-[0065], [0098], fig. 3, 28, 29 & WO 2016/196390 A1 & EP 3304537 A1 & KR 10-2018-0002786 A & CN 107735832 A	1-6, 9-11 7-8
Y	JP 2004-233522 A (SEIKO EPSON CORP.) 19 August 2004, paragraphs [0018]-[0045], fig. 1, 3, 6 & US 2004/0145597 A1, paragraphs [0034]-[0063], fig. 1, 3, 6	1-6, 9-11
Y	JP 2001-27891 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 30 January 2001, paragraphs [0034]-[0077], fig. 4-13 & US 6590581 B1, column 6, line 45 to column 14, line 6, fig. 4-13	1-6, 9-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
10.09.2019

Date of mailing of the international search report
24.09.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2019/031530
--

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-138659 A (MOTOROLA INC.) 27 May 1997, entire text, all drawings & US 5748160 A & EP 762374 A1 & KR 10-1997-0013442 A	1-11

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09G3/32(2016.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09G3/00-3/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2018-519539 A（アップル インコーポレイテッド）2018.07.19, [0015]-[0027], [0060], Figs. 3, 28-29 & US 2018/0182279 A1 ([0053]-[0065], [0098], Figs. 3, 28-29) & WO 2016/196390 A1 & EP 3304537 A1 & KR 10-2018-0002786 A & CN 107735832 A	1-6, 9-11 7-8
Y	JP 2004-233522 A（セイコーエプソン株式会社）2004.08.19, [0018]-[0045], Figs. 1, 3, 6 & US 2004/0145597 A1 ([0034]-[0063], Figs. 1, 3, 6)	1-6, 9-11

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

- * 引用文献のカテゴリー
- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

10.09.2019

国際調査報告の発送日

24.09.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小野 健二

21

5061

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-27891 A (株式会社半導体エネルギー研究所) 2001.01.30, [0034]-[0077], Figs. 4-13 & US 6590581 B1 (Column 6, Line 45-Column 14, line 6, Figs. 4-13)	1-6, 9-11
A	JP 9-138659 A (モトローラ・インコーポレイテッド) 1997.05.27, 全文全図 & US 5748160 A & EP 762374 A1 & KR 10-1997-0013442 A	1-11