(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101627436 B
(45)授权公告日 2014.08.13

(21)申请号 200780050573.3
(22)申请日 2007.11.29
(30)优先权数据
11/565,170 2006.11.30 US
(85)PCT国际申请进入国家阶段日
2009.07.28
(86)PCT国际申请的申请数据
PCT/CA2007/002149 2007.11.29
(87)PCT国际申请的公布数据
WO2008/064480 EN 2008.06.05
(73)专利权人 莫塞德技术公司
地址 加拿大安大略省
(72)发明人 金镇祺
(74)专利代理机构 北京泛华伟业知识产权代理有限公司 11280
代理人 王勇 姜华
(51)Int.Cl.
G11C 7/12(2006.01)
G11C 16/24(2006.01)
(56)对比文件
US 2006227613 A1,2006.10.12, 全文.
US 2006245252 A1,2006.11.02, 全文.
审查员 尹剑峰

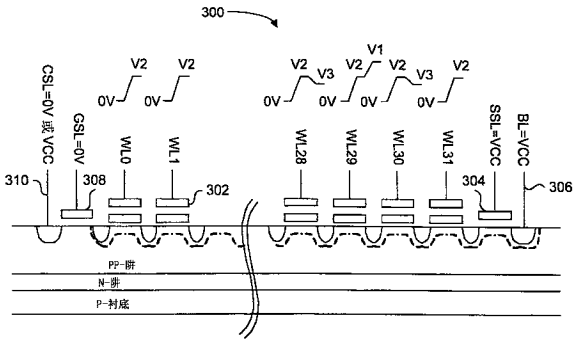
权利要求书3页 说明书14页 附图12页

(54)发明名称

用于最小化闪存存储器NAND串中编程干扰的方法

(57)摘要

本发明涉及一种用于最小化闪烁存储器中编程干扰的方法。为了降低不期望从擦除状态进行编程的与非闪烁存储器单元串中的编程干扰，使用局部提升的沟道禁止方案。在该局部提升的沟道禁止方案中，不期望编程的与非串中的所选择的存储器单元和与非串中的其他单元去耦。这使得去耦的单元的沟道被局部提升到在对应字线上升到编程电压时足以禁止F-N隧穿的电压电平。由于高提升效率，应用到与非串中的剩余存储器单元的栅极的传递电压可以相对于现有技术方案下降，从而在允许随机页面编程时最小化编程干扰。



CN 101627436 B

1. 一种用于最小化 NAND 串中编程干扰的方法，所述 NAND 串具有选择的存储器单元、所述选择的存储器单元和位线之间的上部存储器单元、所述选择的存储器单元和电源线之间的下部存储器单元、以及用于耦合存储器单元到所述位线的串选择晶体管，所述方法包括：

a）将对应于编程禁止电压的电压电平从所述位线耦合到所述 NAND 串；

b）在所述电压电平被耦合到所述 NAND 串的沟道之后，通过将连接到所述选择的存储器单元的选择的字线和连接到所述上部存储器单元的上部字线驱动至第一传递电压电平，来预充电所述选择的存储器单元和所述上部存储器单元的沟道至初级提升的电压电平；以及

c）在所述选择的存储器单元和所述上部存储器单元的沟道被预充电之后，通过将连接到所述选择的存储器单元的所述选择的字线驱动至编程电压电平，来局部提升所述选择的存储器单元沟道至次级提升的电压电平，所述次级提升的电压电平高于所述初级提升的电压电平。

2. 根据权利要求 1 所述的用于最小化编程干扰的方法，其中，对应于编程禁止电压的所述电压电平在第一时间周期内被耦合到所述位线。

3. 根据权利要求 2 所述的用于最小化编程干扰的方法，其中，在所述第一时间周期之后的第二时间周期内预充电所述选择的存储器单元和所述上部存储器单元的沟道。

4. 根据权利要求 3 所述的用于最小化编程干扰的方法，其中，在所述第二时间周期之后的第三时间周期内局部提升所述选择的存储器单元沟道。

5. 根据权利要求 4 所述的用于最小化编程干扰的方法，其中，将对应于编程禁止电压的电压电平从所述位线耦合到所述 NAND 串的步骤包括在所述第一时间周期内将所述串选择晶体管驱动至第一电压电平，随后在第二时间周期中将所述串选择晶体管驱动至去耦电压电平，所述去耦电压电平低于所述第一电压电平。

6. 根据权利要求 4 所述的用于最小化编程干扰的方法，其中，所述第一传递电压电平低于 10 伏特。

7. 根据权利要求 6 所述的用于最小化编程干扰的方法，其中，所述第一传递电压电平为 7 伏特。

8. 根据权利要求 4 所述的用于最小化编程干扰的方法，其中，所述局部提升的步骤包括电关闭与所述选择的存储器单元相邻的所述上部存储器单元。

9. 根据权利要求 8 所述的用于最小化编程干扰的方法，其中，所述驱动所述选择的字线的步骤包括：在与所述选择的存储器单元相邻的所述上部存储器单元被关闭之后，将所述选择的字线驱动至所述编程电压电平。

10. 根据权利要求 8 所述的用于最小化编程干扰的方法，其中，所述电关闭的步骤包括将与所述上部存储器单元连接的上部字线从所述第一传递电压电平降低到去耦电压电平，而所述选择的字线被驱动至所述编程电压电平。

11. 根据权利要求 8 所述的用于最小化编程干扰的方法，其中，所述电关闭的步骤包括将与所述上部存储器单元连接的上部字线从所述第一传递电压电平降低到去耦电压电平，并且在所述上部字线开始向所述去耦电压电平下降之后的一个预定延迟时间，将所述选择的字线驱动至所述编程电压电平。

12. 根据权利要求 8 所述的用于最小化编程干扰的方法，其中，所述电关闭的步骤包括将除了与所述选择的字线相邻的上部字线之外的上部字线从所述第一传递电压电平上升到第二传递电压电平，而所述选择的字线被驱动至所述编程电压电平，并且与所述选择的字线相邻的上部字线保持在所述第一传递电压电平。

13. 根据权利要求 8 所述的用于最小化编程干扰的方法，其中，所述预充电的步骤包括将连接到所述下部存储器单元的下部字线驱动至第二传递电压电平，所述第二传递电压电平小于所述第一传递电压电平。

14. 根据权利要求 13 所述的用于最小化编程干扰的方法，其中，所述局部提升的步骤包括将与所述选择的字线相邻的下部字线从所述第二传递电压电平降低到关闭电压电平，而所述选择的字线被驱动至所述编程电压电平。

15. 根据权利要求 8 所述的用于最小化编程干扰的方法，其中，所述预充电的步骤包括将连接到所述下部存储器单元的除了与所述选择的字线相邻的下部字线之外的下部字线驱动至第二传递电压电平，在第一时间周期、第二时间周期和第三时间周期期间与所述选择的字线相邻的下部字线保持在关闭电压电平。

16. 根据权利要求 13 所述的用于最小化编程干扰的方法，还包括以预定电压步幅反复增加所述编程电压电平，而保持所述第一传递电压电平和所述第二传递电压电平。

17. 一种用于最小化闪存存储器 NAND 串中编程干扰的方法，所述 NAND 串具有选择的存储器单元、所述选择的存储器单元和位线之间的上部存储器单元、所述选择的存储器单元和电源线之间的下部存储器单元、以及用于耦合存储器单元到所述位线的串选择晶体管，所述方法包括：

在第一时间周期内驱动所述串选择晶体管用于耦合所述位线的数据电压到所述 NAND 串；

在第二时间周期内使用传递电压电平来驱动所述上部存储器单元和所述选择的存储器单元；

在所述第二时间周期内以第二传递电压电平驱动除了和所述选择的存储器单元相邻的下部存储器单元之外的所述下部存储器单元，所述第二传递电压电平低于所述传递电压电平；

在第三时间周期内驱动所述选择的存储器单元到编程电压电平；和

在所述第三时间周期内电关闭与所述选择的存储器单元相邻的所述上部存储器单元。

18. 根据权利要求 17 所述的用于最小化编程干扰的方法，其中，与所述选择的存储器单元相邻的所述下部存储器单元在所述第二时间周期内被驱动至 0V。

19. 根据权利要求 17 所述的用于最小化编程干扰的方法，其中，所述电关闭的步骤包括在所述第三时间周期内将与所述选择的存储器单元相邻的上部存储器单元从所述传递电压电平驱动至去耦电压，而所述选择的存储器单元被驱动至所述编程电压电平。

20. 根据权利要求 19 所述的用于最小化编程干扰的方法，其中，在与所述选择的存储器单元相邻的所述上部存储器单元开始被驱动至所述去耦电压之后的一个延迟时间，所述选择的存储器单元被驱动至所述编程电压电平。

21. 根据权利要求 17 所述的用于最小化编程干扰的方法，其中，所述电关闭的步骤包括在所述第三时间周期内将除了与所述选择的存储器单元相邻的上部存储器单元之外的

所述上部存储器单元从所述传递电压电平驱动至第二传递电压电平，所述第二传递电压电平大于所述传递电压电平。

22. 一种用于最小化闪存存储器NAND串中编程干扰的方法，所述NAND串具有选择的存储器单元、所述选择的存储器单元和位线之间的上部存储器单元、所述选择的存储器单元和电源线之间的下部存储器单元、以及用于耦合存储器单元到所述位线的串选择晶体管，所述方法包括：

在第一时间周期内驱动所述串选择晶体管用于耦合所述位线的数据电压到所述NAND串；

在第二时间周期内使用传递电压电平来驱动所述上部存储器单元和所述选择的存储器单元；

在所述第二时间周期内以第二传递电压电平驱动所述下部存储器单元，所述第二传递电压电平低于所述传递电压电平；

在第三时间周期内驱动所述选择的存储器单元到编程电压电平；和

在所述第三时间周期内电关闭与所述选择的存储器单元相邻的所述上部存储器单元。

23. 根据权利要求22所述的用于最小化编程干扰的方法，还包括：在所述第三时间周期内以关闭电压电平驱动和所述选择的存储器单元相邻的下部存储器单元。

24. 根据权利要求23所述的用于最小化编程干扰的方法，还包括：以预定电压步幅反复增加所述编程电压电平，而保持所述传递电压电平和所述关闭电压电平。

用于最小化闪存存储器 NAND 串中编程干扰的方法

技术领域

[0001] 本发明总的涉及非易失性存储器，更具体地，本发明涉及非易失性闪存存储器编程方案。

背景技术

[0002] 多种类型的消费电子设备产品依赖于用于保持由微控制器执行代码的数据或者软件的一些形式的大容量存储设备。这样的消费电子设备是丰富的，并且包括诸如个人数字助理(PDA)、便携式音乐播放器、便携式多媒体播放器(PMP)和数字照相机的装置。在 PDA 中，需要大容量存储设备用于保存应用和数据，而便携式音乐播放器和数字照相机需要大量的大容量存储设备用于保持音乐文件数据和 / 或图像数据。用于这样的便携式电子设备的大容量存储设备的解决方案优选尺寸小、功耗最低并且具有高存储密度。因为诸如静态随机存取存储器(SRAM)和动态随机存取存储器(DRAM)的易失性存储器为了保持数据而需要不断地施加电力，所以将对存储器的选择限制到非易失性形式的存储器。如本领域内所公知的，便携式电子设备依赖于具有有限电源供应的电池。因此，优选电源移除之后仍保持数据的非易失性存储器。

[0003] 虽然许多消费产品使用商用闪存存储器，但消费者在诸如具有微处理功能的蜂窝电话和装置的产品中间接使用闪存存储器。更具体地，通常在消费电子设备中存在的专用集成电路(ASIC)具有集成的闪存存储器而能够使得固件升级。无需多言，由于闪存存储器在尺寸、存储密度和速度方面的最佳折衷，使其成为用于消费电子设备的优选非易失性大容量存储的解决方案，所以闪存存储器用途十分广泛。

[0004] 图 1 是现有技术典型的闪存存储器的总的框图。闪存存储器 10 包括用于控制多种功能的闪存电路的逻辑电路、用于保存地址和数据的寄存器、用于产生所需的编程和擦除电压的高电压电路和用于存取闪存存储器阵列的核心存储器电路。闪存存储器 10 的所示电路块的功能在本领域内应该是公知的。本领域内的普通技术人员将理解图 1 中所示的闪存存储器 10 表示许多可能配置中的一个可能的闪存存储器配置。

[0005] 读操作是对存储在存储器阵列的特定存储位置(称为地址)的数据的相对直接存取。在对存储器阵列的特定块的写操作之前，该特定块首先必须通过高电压的施加而被擦除。写操作，更精确地称为编程操作，需要谨慎地施加高电压到所选择的存储位置，之后是编程验证操作以确保数据已经被正确编程。此外，由于使用了高电压，所以闪存芯片必须被设计为相对容许对未选择的存储器单元的无意编程。

[0006] 图 2a、2b 和 2c 是存储器单元阵列 28 中使用的 NAND 存储器单元串的示意图。图 2a 是两个 NAND 存储器单元串的电路示意图。图 2b 是图 2a 所示的两个 NAND 存储器单元串的芯片布局。图 2c 是图 2b 所示的一个 NAND 存储器单元串沿着线 A-A’的横截面视图。每个 NAND 存储器单元串包括 32 个串联的浮栅存储器单元 50(每个连接到各自的字线 WL0 到 WL31)、连接到位线 54 和第一浮栅存储器单元 50 之间的串选择晶体管 52 和连接到公共电源线(CSL)58 和最后一个浮栅存储器单元 50 之间的接地选择晶体管 56。串选择晶体管 52

的栅极接收串选择信号 SSL，而接地选择晶体管 56 的栅极接收接地选择信号 GSL。NAND 存储器单元串共用公共字线、串选择 SSL 和接地选择 GSL 信号线。本领域内公知所示的 NAND 存储器串的结构和布置。

[0007] 如前所述，根据本领域内的公知技术，首先擦除存储器阵列的 NAND 存储器单元串。能够选择性地擦除 NAND 存储器单元串的每一个块，从而可以同时擦除一个或者多个块。当成功擦除后，所有擦除的浮栅存储器单元 50 将具有负阈值电压。事实上，所有擦除的存储器单元 50 被设置为缺省逻辑状态，诸如例如逻辑“1”。编程的存储器单元 50 其阈值电压将被改变为正阈值电压，因此表示相反的“0”逻辑状态。

[0008] 图 3 示出对于擦除的存储器单元和编程的存储器单元的阈值电压(Vt)分布图。由于处理和电压电源变化，擦除的和编程的阈值电压将分布在一个电压范围内。如图 3 所示，擦除的存储器单元将具有 -3V 到 -1V 的负阈值电压，而编程的存储器单元将具有 1V 到 3V 的正阈值电压。总的来说，通过施加高电压到单元的栅极同时保持其源极和漏极端子接地来编程该单元。高电场使得存储器单元沟道中的电子穿过栅极氧化物并且嵌入浮栅(公知为福勒 - 诺尔德海姆(F-N)隧道)中，从而增加了存储器单元的有效阈值电压。

[0009] 现在参见图 2a 到 2c 来简要讨论如何从 NAND 存储器单元串读出数据。为了从一个存储器单元 50 读出数据，SSL 和 GSL 二者被设置为例如 5V 的读出电压(Vread，典型地高于 Vcc)来开启串选择晶体管 52 和接地选择晶体管 56。除了要被存取的字线之外的所有字线被设置为例如 5V 的读出电压(Vread)，而要被存取的字线被设为 0V。因此，具有低于 5V 的阈值的所有存储器单元 50 被开启来耦合具有 0V 字线的所选择的存储器单元的源极和漏极到位线 54 和电源线 58。如果所选择的存储器单元处于擦除状态(具有负的阈值电压)，其将开启，从而耦合位线 54 到电源线 58。另一方面，如果所选择存储器单元处于编程状态(具有正的阈值电压)，其将不开启，从而将位线 54 与电源线 58 隔离。随后通过读取放大器来检测电流的存在或者不存在。

[0010] 如果擦除的和编程的阈值电压保持在他们各自的范围内，则前述读出方案将可靠地存取存储器单元数据。但是，所描述的情况是理想状态，并且在存储器单元被编程时擦除和编程的存储器单元的阈值电压可能移位。

[0011] 编程典型地通过页面完成，意味着连接到同一字线的块中的所有的存储器单元 50 被选择在同时通过写数据(逻辑“0”)被编程。剩余的存储器单元因此在编程期间未被选择。由于在编程之前存储器单元开始于擦除状态(逻辑“1”)，仅有将以逻辑“0”被编程的存储器单元经受必须的高电场以促进 F-N 隧穿。但是，由于存储器阵列的物理连接，沿着同一字线的所有的存储器单元接收同样的高电压编程电平。结果，有可能擦除的存储器单元将具有它们无意地被移位的阈值电压。这被称为编程干扰，其在闪存存储器领域内公知。

[0012] 因此，编程禁止方案被用于阻止无需从擦除状态改变的那些存储器单元被编程到逻辑“0”状态。目前存在可以使用的两种公知的编程禁止方案。第一种是基本禁止方案并且第二种是自提升禁止方案。表 1 概述了对于两种方案施加到图 2a 中的相关信号线的电压。假设连接到 WL27 的所有存储器单元 50 被擦除到逻辑“1”状态，并且 BL0=“0”和 BL1=“1”的数据被写到字线 WL27 存取的存储器单元 50。

[0013] 表 1

[0014]

	基本禁止	自提升禁止
BL0	0V（VSS）	0V（VSS）
BL1	VPI（例如 8V）	VCC（例如 2.5V）
WL27	VPGM（例如 18V）	VPGM（例如 18V）
WL0-WL26，WL28-WL31	VPASS(例如 10V)	VPASS（例如 10V）
SSL	VPASS(例如 10V)	VCC（例如 2.5V），随后 0V
GSL	0V（VSS）	0V（VSS）

[0015] 对于基本禁止方案，VPGM 被设置为足够高的编程电压来引起所选择单元上以 0V 漏极电压的 F-N 隧穿。VPASS 被设置的足够高以使所选择串中的未选择单元晶体管呈现传导性而不考虑其编程状态，并且传递 VPI 到不期望编程的存储器单元。同时，VPASS 应该不够高来启动未选择单元上的 F-N 隧穿。由于连接到 WL27 的存储器单元的沟道中的 VPGM 和 VPI 之间的电压差值现在很小，所以 VPI 是 BL1 上的禁止电压，其设置的足够高来禁止连接到 WL27 的选择的单元上的 F-N 隧穿。

[0016] 基本禁止方案存在一些问题。在编程操作期间由内部高电压发生器提供 VPI，并且需要大容量电荷泵来供应 VPI 到高电容位线。这导致功耗和芯片尺寸显著增加，而二者是很不期望的。连接到位线的页面缓冲器必须现在被配置用于高电压操作来提供 VPI 到位线。高电压晶体管大于一般的电压晶体管，其增加页面缓冲器尺寸并且相应地增加芯片尺寸。由于需要将高电容位线使用具有限制电流源的片上电压发生器充电到 VPI，则降低了编程速度。

[0017] 自提升禁止方案解决了基本禁止方案的问题。随着 SSL 晶体管 52 开启并且 GSL 晶体管 56 关闭，0V 或者接地电压被施加到位线 BL0，而诸如 VCC 的高电压被施加到位线 BL1。0V 位线（如 BL0 中）将相关联的 NAND 串的沟道接地。当编程电压 VPGM 被施加到所选择单元的栅极，栅极和沟道之间的大的电位差导致电子 F-N 隧穿到浮栅上，从而编程该单元。在编程禁止的单元中，BL1 开始预充电相关的沟道到 VCC 电压。当 WL27 的电压上升到 VPGM 并且剩余的字线达到 VPASS，通过控制栅、浮栅、沟道和本体的串行容量被耦合，并且沟道电位被自动提升。

[0018] 该提升发生在耦合的沟道电压上升到 $Vcc-V_{th}$（V_{th} 为 SSL 晶体管的阈值电压）时。在此时，SSL 晶体管 52 关闭并且沟道变成浮置节点。已经计算出浮沟道电压上升到大约栅极电压的 80%，其足够高到阻止 F-N 隧穿发生。

[0019] 但是，编程干扰仍旧发生。特别是，如果 VPASS 被设置得过高，由于 VPASS 和 0V 沟道之间的电压的相对高的差值，使得耦合到 BL0 的擦除的单元可以被无意地软编程到逻辑“0”状态。另一方面，如果 VPASS 被设置的过低，连接到 WL27 并且耦合到 BL1 的擦除的存储器单元不可以接收足够的沟道提升来禁止 F-N 隧穿。

[0020] 不幸的是，随着由于半导体制造技术的发展而不断地缩小，功率源 VCC 也降到一个较低的水平。这对于自提升禁止方案是不利的。这是由于 NAND 单元串沟道在由 VPGM 和

VPASS 自提升之前被开始预充电到 SSL 晶体管 52 的 $Vcc-V_{th}$，并且提升的电压主要受预充电电压 $Vcc-V_{th}$ 影响。此外，为了获得较高的封装密度，设计者增加每一 NAND 串中的存储器单元的数量。因此，相对于具有 16 个存储器单元 50 的 NAND 串，图 2a 到 2c 中示出的 32 个存储器单元的 NAND 串经受两倍于 16 个存储器单元的 NAND 串的许多的编程干扰周期。

[0021] 因此，在编程操作期间编程的和擦除的存储器单元的阈值可以被无意移位。图 4 示出对于编程干扰的擦除的存储器单元和编程的存储器单元的阈值电压(Vt)的分布图。实线对应最初表示在图 3 中的阈值分布，而虚线示出由于编程干扰而移位的阈值分布。该移位可以是由于单元被干扰的积累数量的次数，或者是单个编程干扰事件。由于移位的阈值可以影响读出操作，所以这很成问题。对于读出操作如前所述，所选择的存储器单元 50 的栅极被驱至 0V，而未选择的存储器单元在其栅极接收读出电压 Vread，而未存取的存储器单元其栅极被驱至读出电压 Vread。如图 4 中所示，0V 电平不能启动阈值电压移位到 0V 之上的那些单元。此外，其阈值被移位至 Vread 电压之上的未选择的单元将保持关闭，从而将存取的存储器单元与其对应位线隔离。

[0022] 用于最小化编程干扰的一个技术是用来降低 VPASS 的电压电平。这在闪存存储器上引入操作限制，从而，NAND 串的存储器单元必须在顺序模式中编程，从离位线最远的存储器单元开始。在此方案中，要编程存储器单元(选择的页面)和位线接触之间的 NAND 串中的所有存储器单元必须处于擦除状态。因此较低的 VPASS 电压可以被用于未选择的单元来确保位线电压可以被耦合到 NAND 串中的选择的存储器单元。不幸的是，由于选择的存储器单元和位线接触之间的编程的存储器单元(例如具有高于 VPASS 的 Vth)将阻止位线电压达到选择的存储器单元，所以不能执行随机的页面编程操作。该随机页面编程禁止导致特定应用中的多种限制和性能降低。

[0023] 因此，期望提供一种编程禁止方案来最小化 NAND 闪存存储器单元中的编程干扰。更具体地，期望提供一种编程禁止方案，其中 VPASS 电压电平可以被降低用于最小化不期望编程的未选择的存储器单元中的编程干扰，同时最大化不期望编程的所选择的存储器单元的提升的沟道电压。

发明内容

[0024] 本发明的目的是用来消除或者减轻先前闪存存储器编程干扰禁止方案的至少一个缺陷。更具体地，本发明的目的是提供一种 NAND 闪存存储器编程干扰禁止方案来最小化随机编程操作期间的未选择的存储器单元的传递干扰。

[0025] 在第一方面，本发明提供一种用于最小化 NAND 串中编程干扰的方法。所述 NAND 串包括选择的存储器单元、所述选择的存储器单元和位线之间的上部存储器单元、所述选择的存储器单元和电源线之间的下部存储器单元、以及用于耦合存储器单元到所述位线的串选择晶体管。所述方法包括：耦合电压电平到所述 NAND 串；预充电所述选择的存储器单元和所述上部存储器单元的沟道；并且局部提升所述选择的存储器单元沟道。所述电压电平对应于来自所述位线的编程禁止数据。在所述电压电平被耦合到所述 NAND 串的沟道之后，所述选择的存储器单元和所述上部存储器单元的所述沟道被预充电到初级提升的电压电平。在所述沟道被预充电之后，所述选择的存储器单元沟道被局部提升到次级提升的电压电平，所述次级提升的电压电平高于所述初级提升的电压电平。

[0026] 根据第一方面的实施例，对应于编程禁止数据的所述电压电平在第一时间周期内被耦合到所述位线，在所述第一时间周期之后的第二时间周期内预充电所述沟道，在所述第二时间周期之后的第三时间周期内局部提升所述选择的存储器单元沟道，并且局部提升的步骤包括将连接到所述选择的存储器单元的选择的字线驱至编程电压电平。在本实施例的一方面，所述耦合的步骤可以包括在所述第一时间周期内将所述串选择晶体管驱至第一电压电平，随后在第二时间周期中将所述串选择晶体管驱至去耦电压电平。所述去耦电压电平可以低于所述第一电压电平。在本实施例的另一方面，所述预充电的步骤可以包括将所述选择的字线和连接到所述上部存储器单元的上部字线驱至第一传递电压电平。所述第一传递电压可以具有用于有效地最小化所述上部存储器单元中的编程干扰并最大化所述初级提升的电压电平的值。所述第一传递电压可以低于 10 伏特，但是也可以使用 7 伏特的传递电压。

[0027] 在本实施例的又另一方面，其中，所述局部提升的步骤包括电关闭与所述选择的存储器单元相邻的所述上部存储器单元。所述电关闭的步骤可以包括将与所述选择的字线相邻的上部字线从所述第一传递电压电平降低到去耦电压电平，而所述选择的字线被驱至编程电压电平。可替代地，在与所述选择的存储器单元相邻的所述上部存储器单元被关闭之后，将所述选择的字线可以驱至编程电压电平。更具体地，在所述上部字线开始向所述去耦电压下降之后的一个延迟时间，所述选择的字线可以被驱至编程电压。可替代地，所述电关闭的步骤可以包括将除了与所述选择的字线相邻的上部字线之外的所述上部字线从所述第一传递电压电平上升到第二传递电压，而所述选择的字线被驱至所述编程电压电平，并且与所述选择的字线相邻的所述上部字线可以保持在所述第一传递电压电平。

[0028] 在本实施例的又另一方面，所述预充电的步骤可以包括将连接到所述下部存储器单元的下部字线驱至第二传递电压，其中所述第二传递电压小于所述第一传递电压。所述局部提升的步骤可以包括将与所述选择的字线相邻的下部字线从所述第二传递电压降低到关闭电压电平，而所述选择的字线被驱至所述编程电压电平。可替代地，所述预充电的步骤可以包括将连接到所述下部存储器单元的除了与所述选择的字线相邻的下部字线之外的下部字线驱至第二传递电压，在第一时间周期、第二时间周期和第三时间周期期间与所述选择的字线相邻的下部字线保持在关闭电压电平。在所有之前的实施例中，编程电压电平可以以预定电压步幅被反复增加，而保持所述第一传递电压电平和所述第二传递电压电平。

[0029] 在第二方面，本发明提供一种用于最小化闪存存储器 NAND 串中编程干扰的方法。所述 NAND 串可以具有选择的存储器单元、所述选择的存储器单元和位线之间的上部存储器单元、所述选择的存储器单元和电源线之间的下部存储器单元、以及用于耦合存储器单元到所述位线的串选择晶体管。所述方法包括 ：a）在第一时间周期内驱动所述串选择晶体管用于耦合所述位线的数据电压到所述 NAND 串 ；b）在第二时间周期内以传递电压电平来驱动所述上部存储器单元和所述选择的存储器单元 ；c）在第三时间周期内驱动所述选择的存储器单元到编程电压电平 ；和 d）在所述第三时间周期内电关闭与所述选择的存储器单元相邻的所述上部存储器单元。

[0030] 根据第二方面的实施例，所述驱动上部存储器单元的步骤包括在所述第二时间周期内以第二传递电压电平驱动除了和所述选择的存储器单元相邻的下部存储器单元之外

的所述下部存储器单元，其中所述第二传递电压电平低于所述传递电压。所述电关闭的步骤可以包括在所述第三时间周期内将与所述选择的存储器单元相邻的上部存储器单元从所述传递电压电平驱至去耦电压，而所述选择的存储器单元被驱至所述编程电压电平。在与所述选择的存储器单元相邻的所述上部存储器单元开始被驱至去耦电压之后的一个延迟时间，所述选择的存储器单元可以被驱至所述编程电压电平。可替代地，所述电关闭的步骤可以包括在所述第三时间周期内将除了与所述选择的存储器单元相邻的上部存储器单元之外的所述上部存储器单元从所述传递电压驱至第二传递电压，其中所述第二传递电压大于所述传递电压。编程电压电平可以以预定电压步幅被反复增加，而保持所述传递电压电平和所述关闭电压电平。

[0031] 根据另一实施例，所述下部存储器单元可以在所述第二时间周期期间被驱至 0V，并且所述驱动上部存储器单元的步骤可以包括在所述第二时间周期内以第二传递电压电平驱动所述下部存储器单元，所述第二传递电压电平低于所述传递电压。和所述选择的存储器单元相邻的下部存储器单元可以在所述第三时间周期内以关闭电压电平驱动。

[0032] 对本领域普通技术人员来说，通过结合附图阅读本发明具体实施例的下面描述，本发明的其他方面和特征将变得清楚。

附图说明

[0033] 参考附图，将仅通过示例方式来描述本发明的实施例，其中：

[0034] 图 1 是典型的闪存存储器的框图；

[0035] 图 2a 是两个 NAND 存储器单元串的电路图；

[0036] 图 2b 是图 2a 所示的两个 NAND 存储器单元串的平面布局；

[0037] 图 2c 是图 2b 所示的一个 NAND 存储器单元串沿着线 A-A’的横截面图；

[0038] 图 3 是擦除的存储器单元和编程的存储器单元的阈值电压（Vt）分布图；

[0039] 图 4 是擦除的存储器单元和编程的存储器单元在编程干扰之后的阈值电压（Vt）分布图；

[0040] 图 5 是根据本发明的实施例说明总的编程禁止方法的流程图；

[0041] 图 6 是根据本发明的实施例说明总的编程禁止方法的实施例的流程图；

[0042] 图 7a 是根据本发明的实施例的编程禁止方法期间示出应用栅极电压的 NAND 串的简化横截面视图；

[0043] 图 7b 是进一步说明应用到图 7a 的 NAND 串的电压时序的时序图；

[0044] 图 8 是说明根据本发明的实施例的编程禁止时序的时序图；

[0045] 图 9 是说明根据本发明的另一个实施例的编程禁止时序的时序图；

[0046] 图 10 为说明图 7b 被修改的以最小化沟道泄漏的编程禁止时序的时序图；

[0047] 图 11 是说明图 7b 被修改的以最大化局部次级提升的电压电平的编程禁止时序的时序图；

[0048] 图 12 是说明根据本发明的另一个实施例的编程禁止时序的时序图；

[0049] 图 13 是根据本发明的实施例的示出应用栅极电压的 NAND 串的简化横截面图；

[0050] 图 14 是进一步说明应用到图 13 的 NAND 串的电压时序的时序图；

[0051] 图 15 是根据本发明的实施例的示出应用栅极电压的 NAND 串的简化横截面图；

[0052] 图 16 是进一步说明应用到图 15 的 NAND 串的电压时序的时序图。

具体实施方式

[0053] 总的来说，本发明提供一种用于最小化闪存存储器中编程干扰的方法和系统。为了降低 NAND 闪存存储器单元串中的编程干扰，期望没有自所擦除的状态的编程，使用了局部提升的沟道禁止方案。在局部提升的沟道禁止方案中，不期望编程的 NAND 串中的选择的存储器单元和 NAND 串中的其他单元局部去耦。这允许所去耦的单元的沟道被局部提升到足以在对应字线上升到编程电压时禁止 F-N 隧穿的电压电平。由于高的提升效率，应用到 NAND 串中的剩余的存储器单元的栅极的传递电压可以相对于现有技术方案下降，使得最小化编程干扰，而允许随机页面编程。

[0054] 图 5 是说明根据本发明的实施例的总的编程禁止方法的流程图。应该理解当一个 NAND 串的选择的存储器单元被编程时，另一个 NAND 串的选择的存储器单元可以被禁止编程。在步骤 100 用编程禁止电压偏置位线，其对应逻辑“1”状态。随后在步骤 102，NAND 串的沟道被预充电到初级提升的电压电平。这可以通过驱动所有的字线到传递电压来实现。在步骤 104，当对应的字线被驱至编程电压时，选择的存储器单元的沟道被局部提升到次级提升的电压电平。这可以通过控制与选择的存储器单元直接相邻的存储器单元的字线电压使选择的存储器单元与其余的 NAND 串去耦或者隔离来实现。对于要禁止编程的 NAND 串，其对应于局部提升阶段，其中，选择的存储器单元的沟道被提升到足以禁止 F-N 隧穿的电平。时序在步骤 106 结束，其中所有的字线和诸如 SSL 的选择线被驱至 0V。

[0055] 图 6 是说明图 5 所示的编程禁止方法的实施例的流程图。在本实施例中，上部字线是指选择的存储器单元和位线之间的那些字线和存储器单元，而下部字线是指选择的存储器单元和电源线之间的那些字线和存储器单元。图 6 所示的编程禁止方法在步骤 200 开始，其中使用禁止电压或者编程电压偏置位线。在这里讨论的例子中，假设位线被驱至 VCC 的禁止电压。在步骤 202，选择的字线和上部字线被驱至第一传递电压。该第一传递电压足够高，可以开启对应于上部字线的每一个存储器单元，而无需考虑其编程的或者非编程的状态。与步骤 202 并行发生，在步骤 204，下部字线被驱至第二传递电压。根据本发明的实施例，第一传递电压和第二传递电压可以互相相同，或者第二传递电压可以小于第一传递电压。随后在步骤 206，选择的字线被驱至编程电压，之后步骤 208 的隔离操作用于将选择的存储器单元和 NAND 串的未选择存储器单元去耦。如下所述，存在不同的技术用于隔离选择的存储器单元。根据本发明的另一个实施例，可以关闭连接到下部字线的存储器单元，用于降低来自选择的存储器单元的电荷泄漏。

[0056] 图 7a 是 NAND 串 300 的简化横截面图，类似于图 2b 中所示。NAND 串 300 包括：其栅极被连接在字线 WL0 至 WL31 的存储器单元 302；用于将 NAND 串 300 耦合到位线 306 的串选择晶体管 304；用于将 NAND 串 300 耦合到电源线 310 的接地选择晶体管 308。NAND 串 300 形成在 PP- 阱，而该 PP- 阱本身形成在 P- 衬底的 N- 阱中。NAND 串存储器单元晶体管的源极 / 漏极区是 n+ 扩散区。

[0057] 图 7a 包括注解，用来示出根据本发明的实施例的应用到指定字线的相对电压电平。注意到在物理结构上 NAND 串保持与现有技术相同。在图 7a 所示的例子中，假设连接到 WL29 的存储器单元被选择用于编程，并且要被编程的数据为逻辑“1”状态。由于擦除状

态是逻辑“1”,所以禁止编程。图 7b 是进一步说明应用到图 7a 中的电压时序的时序图。

[0058] 时间周期 T1 是初始状态,其中所有存储器单元 302 的栅极、信号 SSL 和信号 GSL 被偏置为 0V,而用于编程存储器单元和用于禁止编程存储器单元的位线电压被施加。CSL 可以被偏置为 0V 或者 VCC,但是在本例中可以优选偏置为 VCC 来最小化泄漏。在本例中,位线 306 被偏置为 VCC。在时间周期 T2,信号 SSL 被偏置为 VCC,用于耦合位线电压到 NAND 串 300。在图 7a 所示的 NAND 串 300 中,串选择晶体管 304 由于其连接到位线 306 的漏极端子和其栅极都被偏置为 VCC,所以串选择晶体管 304 电关闭。更具体地,串选择晶体管 304 一旦其源极上升到大约 VCC 减去晶体管的阈值电压,则串选择晶体管 304 将关闭。时间周期 T1 和 T2 对应于图 5 中的步骤 100。在时间周期 T3 期间,对应于图 5 中的步骤 102,所有的字线(上部、下部和选择字线)被驱至传递电压 V2,其中 V2 被选择大于 VCC。这将有效地提升 NAND 串 300 的整个沟道到初级提升电压。在时间周期 T4 的开始,选择的字线 WL29 上升到编程电压 V1,而相邻的字线 WL28 和 WL30 下降到去耦电压 V3。这分别对应于图 5 中的步骤 104 和 106。V1 的电压电平被设置大于 V2,并且 V3 的电压电平被设置低于 V1 和 V2。

[0059] 将 WL28 和 WL30 的字线电压下降到 V3 的另一个优点是来补偿连接到 WL29 的控制栅极和耦合到 WL28 和 WL30 的浮栅之间的电容耦合。随着 WL29 被驱至 V1,电容耦合效应可以增加浮栅电压,从而增加与选择存储器单元直接相邻的存储器单元中的传递干扰的可能性。因此,字线电压下降到 V3 将降低浮栅电压。

[0060] 在图 7a 所示的实施例中,应该根据以下标准选择 V1、V2 和 V3 的电压电平。V1 应该是足够高的电压电平来促进耦合到偏置为 0V 的位线的存储器单元中的 F-N 隧穿。V2 的电压电平应该被选择满足以下三个标准。第一,V2 应该足够高到确保未选择的单元的沟道被设置为导通的。第二,对于 WL28 和 WL30 在时间周期 T4 期间当电压 V2 下降到电压 V3 时,连接到 WL28 和 WL30 的存储器单元关闭并且在时间周期 T4 期间保持关闭。这是所获得的局部去耦效应。第三,当选择的字线 WL29 从电压 V2 上升到编程电压 V1 时,选择的单元的沟道可以被提升到期望的电压,也就是次级提升的电压电平。V3 的电压电平应该足够高到传递 0V 位线电压通过未选择的单元到达所选择单元的漏极,而足够低到基本关闭与选择的单元(连接到 WL29)直接相邻的存储器单元(连接到 WL28 和 WL30)的沟道。

[0061] 本编程禁止方案的显著的优点在于 V2 的电压电平相对于现有技术的模拟 VPASS 的电压被降低,以最小化未选择的存储器单元中的编程干扰,而要足够高,以通过先前已经被编程为逻辑“0”状态的未选择的存储器单元在位线上传递 0V。

[0062] 既然电压 V1、V2 和 V3 的相对电平以及其应用时序已经根据本发明的一般实施例描述,以下是可以使用的示例值的描述。表 2 列出基于特定处理技术的图 7a 所示实施例的示例电压值。

[0063] 表 2

[0064]

参数	电压
VCC	2.5V
Vth_ssl（304 的阈值电压）	0.8V
γ（单元耦合率）	0.8
V1	18V
V2	7V
V3	5V
Vthc（最坏情况逻辑“0”编程的单元电压，阈值电压）	3V

[0065] 使用这些值，可以计算对于 NAND 串沟道 300 的初级提升电压电平和对于不期望编程的所选择的存储器单元的次级提升的电压电平。由于 VCC 的栅极电压和 VCC 的漏极电压(连接到位线 306)，串选择晶体管 304 在其源极端子达到 VCC-Vth 时被电关闭。因此，VCC-Vth_ssl 是用于沟道提升的初始沟道电压 Vich（即，起始电压）。

[0066] 根据以下公式(1)计算沟道的初级提升的电压电平(Vprimary)：

[0067] (1)Vprimary=Vich+γ*(Vunsel-Vthc-Vich)，

[0068] 其中，Vunsel 是应用到未选择的存储器单元的栅极电压，并且 Vich=VCC-Vth_ssl。

[0069] 根据以下公式(2)计算所选择的存储器单元的次级提升的电压电平 Vsecondary：

[0070] (2)Vsecondary=Vich+γ*(Vsel-Vthc-Vich)，

[0071] 其中，Vsel 是应用到所选择的存储器单元的栅极电压，并且 Vich=VCC-Vth_ssl。

[0072] 公式(2)中的 Vsecondary 可以由下面公式(3)替换表示：

[0073] (3)Vsecondary=Vprimary+γ*(Vsel-Vunsel)，如果 Vunsel>Vthc+Vich 并且 Vsel>Vunsel。

[0074] 图 7b 的时序图的描述跟随着表 2 的示例值的应用。将位线 306 设置为 2.5V(VCC)，在时间周期 T2 期间信号 SSL 上升到 2.5V（VCC）将导致 NAND 串 300 的沟道电压上升到大约 1.7V 的 Vich。当所有的字线在时间周期 T3 期间上升到 7V（V2)时，NAND 串 300 的沟道上升到初级提升的电压电平，即：

[0075] Vprimary=1.7V+0.8*(7V-3V-1.7V)=3.54V

[0076] 在时间周期 T4 期间，选择的字线上升到 18V（V1)，而两个相邻的未选择的字线 WL28 和 WL30 下降到 5V（V3)。由于除了连接到 WL28 和 WL30 的存储器单元的未选择单元在 T3 期间保持 3.54V 的提升的沟道电压，连接到 WL28 和 WL30 的存储器单元随着所选择的单元的栅极上升到 18V（V1）而电关闭。因此，所选择的单元的沟道和其余 NAND 串 300 去耦，并且所选择的单元的沟道提升被局部化。局部化的沟道提升比现有技术沟道提升方案更有效，从而提供更高的提升的沟道电压。结果次级提升的电压电平近似为：

[0077] Vsecondary=3.54V+0.8(V1-V2)=12.34V

[0078] 因此，该次级提升的电压电平足够高到禁止所选择的单元被编程。也就是，次级提升电压足够高使得所选择单元在 18V 的 V1 编程电压之下保持其擦除状态。在所描述的实

施例中，次级提升的电压电平对编程电压 V1 的比率至少大约是 70%。

[0079] 由于相邻的存储器单元可以被关闭来将所选择的存储器单元和其余的 NAND 串去耦，所以前述编程禁止时序应用于任意选择的具有相邻存储器单元的存储器单元。但是，NAND 串 300 包括连接到不具有第二相邻存储器单元的字线 WL0 和 WL31 的末端存储器单元。以下讨论每个末端存储器单元被禁止编程时的编程禁止时序。

[0080] 图 8 是说明当连接到字线 WL31 的存储器单元被驱至编程电压 V1 时的编程禁止时序的时序图。与连接到 WL31 的存储器单元直接相邻的是连接到 WL30 的存储器单元，并且串选择晶体管 304 连接到信号 SSL。在图 7b 的时序中，在时间周期 T2 期间位线 306 被偏置到 VCC 并且 SSL 上升到 VCC。随着耦合的沟道电压上升到 VCC-Vth_ssl，串选择晶体管 304 最终关闭。在时间周期 T 3 期间，所有的字线上升到 V2 以将 NAND 串 300 的沟道上升到初级提升的电压电平。字线 WL31 上升到 V1 并且在时间周期 T4 期间字线 WL30 下降到 V3 以关闭各自的存储器单元。由于串选择晶体管 304 已经被关闭，连接到 WL31 的存储器单元和 NAND 串 300 去耦，并且其沟道被局部提升到次级提升的沟道电压电平。

[0081] 图 9 是说明当连接到字线 WL0 的存储器单元被驱至编程电压 V1 时的编程禁止时序的时序图。与连接到 WL0 的存储器单元直接相邻的是连接到 WL1 的存储器单元，并且接地选择晶体管 308 连接到信号 GSL。在时间周期 T1 的初始状态下，GSL 被偏置为 0V，而位线 306 被偏置为 VCC。在时间周期 T2 期间 SSL 上升到 VCC，并且在时间周期 T3 期间所有的字线上升到 V2，以将 NAND 串 300 的沟道上升到初级提升的电压电平。字线 WL0 上升到 V1 并且在时间周期 T4 期间字线 WL1 下降到 V3 以关闭各自的存储器单元。由于接地选择晶体管 308 已经被关闭，连接到 WL1 的存储器单元和 NAND 串 300 去耦，并且其沟道被局部提升到次级提升的沟道电压电平。

[0082] 如图 7b 到图 9 中所示，不期望编程的 NAND 串中的所选择的存储器单元可以通过控制时序和应用到未选择存储器单元与选择的晶体管的电压，来与其余的 NAND 存储器单元去耦。

[0083] 在图 7b 到图 9 中的时间周期 T3 期间，NAND 串 300 的沟道可以通过 WL31 和串选择晶体管 304 之间的电容性耦合来泄漏电荷到位线。这可以有效降低初级提升的电压电平。因此，根据本发明的实施例，信号 SSL 可以从 VCC 降低到泄漏最小电压 V4。例如，对于图 7a 中示出的 NAND 串 300，V4 可以是 1V。通过将 SSL 下降到 V4，串选择晶体管 304 的沟道对于泄漏电荷到位线 306 变得更有阻抗性。V4 可以被选为足以传递位线上 0V 电平到要编程的所选择的存储器单元的电平。

[0084] 图 10 为说明图 7b 中的编程禁止时序被修改来最小化沟道泄漏的时序图。在时间周期 T1 的初始阶段，所有存储器单元 302 的栅极、信号 SSL 和信号 GSL 被偏置为 0V，而位线电压（VCC）被应用并且 CSL 被偏置为 VCC。在时间周期 T2，信号 SSL 被偏置为 VCC 用于耦合位线电压到 NAND 串 300。在图 7a 中示出的 NAND 串 300 中，因为串选择晶体管 304 的连接到位线 306 的漏极端子和其栅极都被偏置到 VCC，所以串选择晶体管 304 被关闭。更具体地，一旦串选择晶体管 304 的沟道上升到大约 VCC 减去晶体管的阈值电压，则串选择晶体管 304 将关闭。在时间周期 T3 期间，所有的字线被驱至传递电压 V2，用于将 NAND 串 300 的全部沟道提升到初级提升的电压。但是，为了最小化至位线 306 的初级提升的电压的泄漏，随着字线被驱至 V2，SSL 下降到电压 V4。在时间周期 T4 的开始，所选择的字线 WL29 被升到

编程电压 V1，而相邻字线 WL28 和 WL30 被下降到去耦电压 V3。可以在图 8 和图 9 中所示的具有等同效应的编程禁止时序中使用下降到泄漏最小化电压 V4 的 SSL 电压。

[0085] 根据本发明的另一个实施例，所选择的不期望编程的存储器单元的局部次级提升的电压电平可以进一步增加。在图 7a 到图 10 中示出的之前编程禁止时序实施例中，所有的字线在时间周期 T3 期间被驱至 V2 传递电压，之后，仅有选择的字线从 V2 被驱至编程电压 V1。当 V2 和 V1 之间的差值被最大化时，可以最大化局部次级提升的电压电平。因此，根据本发明的实施例，对于所选择的字线，V2 的电压电平相对于之前示出的编程禁止时序被降低。

[0086] 图 11 是说明图 7b 中的编程禁止时序被修改来最大化被禁止编程的所选择的晶体管的沟道中的局部次级提升电压电平的时序图。在所示时间周期 T3 期间，除了所选择的字线 WL29，所有的字线被驱至 V2 传递电压，WL29 被驱至较低的 V5 电压。紧接着在时间周期 T4 中，WL29 被驱至编程电压 V1。对于图 7a 所示的 NAND 串 300，例如，V5 可以被设置为 5V 的电压电平。注意，选择 V5 足以高使得在时间周期 T3 期间确保所选择的单元的沟道的导通。因此，由于 V5 和 V1 之间的差值大于 V2 和 V1 之间的差值，所以在所选择的存储器单元中可以获得更高的局部次级提升的电压电平。这称为高差值局部提升方案。

[0087] 随后的关系表达总结了在本发明之前所述实施例中使用的电压电平的相对限制条件。

[0088] (1)V3<V2<V1

[0089] (2)0V<V4<V3

[0090] (3)0V<V5<V2

[0091] 实际值依赖于存储器单元和晶体管几何构型以及使用的工艺。V1 是足以导致 F-N 隧穿的编程电压。V2 是传递电压，i）足够高用于使存储器单元传导；ii）足够高使得下降到 V3 将与其连接的存储器单元关闭；iii）足够高使得增加到 V1 将所选择的存储器沟道局部提升到期望的次级提升电压电平。V2 可以大于 VCC。V3 足够高到传递 0V 位线电压，并且应该至少和编程的存储器单元的最坏情况的阈值电压一样高。例如，在表 1 中，如果 Vthc 为 3 伏特，则 V3 应该至少为 3 伏特。

[0092] 在图 7b 到图 11 中已经示出根据本发明的实施例的不同的编程禁止时序。实施例已经被示出在编程操作期间用于降低泄漏或者用于增加次级提升的电压电平。这些实施例可以被组合在一起来获取每一个单个方案已经提供的所有的益处。如在图 12 的时序图中所示，SSL 信号可以在时间周期 T3 期间被降低到泄漏最小化电压 V4，而所选择的字线 WL29 在时间周期 T3 期间可被设置为降低的传递电压 V5。

[0093] 在之前描述的实施例中，SSL 信号可以被降低到泄漏最小化电压 V4，以最小化至位线 306 的电荷泄漏，从而在将所选择的存储器单元沟道局部提升到次级提升的电压电平之前最大化提升的沟道电压。在局部提升期间，一些电荷可以从所选择的存储器单元的沟道通过其两个直接相邻的存储器单元泄漏。这是由将相邻单元的字线从 V2 下降到 V3 造成的，其降低了他们各自存储器单元的沟道电压。因此，当仍旧关闭时，一些电荷将泄漏到连接到下部字线的其他存储器单元。

[0094] 根据本发明的降低电荷泄漏实施例，下部字线使用不同于上部字线的电压驱动，用于降低从所选择的存储器单元的局部提升的沟道产生的电荷泄漏。在图 13 中示出此方

案的一个实施例。

[0095] 图 13 示出图 7a 中所示的同样的 NAND 串 300，并且包括注解，用来示出应用到指定字线的相对电压电平。应用到所选择的字线 WL29 和上部字线 WL30 与 WL31 的电压可以与之前所示并描述的图 7a 的实施例相同。在本实施例中，下部字线 WL0-WL28 被驱至传递电压 V6，并且直接相邻的字线 WL28 随后下驱至低电压电平。例如，低电压可以是 0V、0.1V、0.2V。

[0096] 图 14 是根据当前所述实施例说明编程禁止时序的时序图。在时间周期 T1 和 T2 期间的时序与之前描述的图 7b 中相同。在时间周期 T3，上部字线 WL30-WL31 以及所选择的字线被驱至第一传递电压 V2。下部字线 WL0-WL28 被驱至第二传递电压 V6。在另一个实施例中，第二传递电压 V6 低于第一传递电压 V2，但是高于编程的存储器单元的阈值。因为电荷在遍及 NAND 存储器单元串的整个沟道中被分布或者共享，所以仍旧产生初级提升的电压。在时间周期 T4 的开始，所选择的字线 WL29 上升到编程电压 V1，而上部相邻字线 WL30 被降到去耦电压 V3。另一方面，下部相邻字线 WL28 被降到关闭电压 0V。现在开始讨论前述时序和电压电平的效应。

[0097] 如果连接到 WL28 的存储器晶体管已经使用正阈值被编程，则当 WL28 降至诸如 0V 的正阈值之下时存储器晶体管关闭。另一方面，如果存储器单元仍被擦除（负阈值），则甚至 0V 的关闭电压可以开启存储器单元。但是，由于第二传递电压 V6 应用到下部字线，下部存储器单元的沟道被提升到较低的初级提升的电压。因此，连接到 WL28 的存储器单元的源极端子（漏极端子连接到选择的存储器单元）为正，从而关闭存储器单元。通过关闭从所选择的晶体管的提升的沟道到下部存储器单元的泄漏路径，进一步提高局部提升效率。本领域内的普通技术人员可以理解关闭电压不限于 0V，并且可以使用任意低电压，其有效地最小化通过连接到 WL28 的存储器单元的电荷泄漏。

[0098] 根据可替代实施例，在时间周期 T4 的开始，串选择信号 SSL 可以被降到 V4，如以 SSL 轨迹中的虚线示出，并且在时间周期 T3 期间，WL28 可以被设置为保持在关闭电压，如以 WL28 轨迹中的虚线示出。保持相邻下部字线（诸如所述实施例中的 WL28）在关闭电压的优点包括电压消耗和耦合电容的下降。由于字线驱动器不需要对字线进行升压和降压，所以降低了电压消耗。当减小字线间距来提高存储器阵列封装密度时，相邻字线之间的电容性耦合将随着字线的升压和降压而变得更加显著。由于相邻下部字线在时间周期 T3 和 T4 之间不改变，所以降低了电容性耦合。第二传递电压 V6 可以是低电压，诸如用于闪存读出操作的读出电压电平，并且低于 V3。

[0099] 图 15 是本发明的另一个实施例，结合了之前实施例中的一些特征。图 15 示出图 13 中所示的同样的 NAND 串 300，并且包括标号以示出应用到指定字线的相对电压电平。更具体地，本例子使用了图 13 的电荷泄漏降低方案，图 11 的多种高差值局部提升方案和新的去耦方案。在新的去耦方案中，使用之前所建立的电压来控制 NAND 串 300 的第一和第二上部相邻存储器单元，用来将所选择的存储器单元和 NAND 串 300 去耦。

[0100] 图 16 是根据当前描述实施例说明编程禁止时序的时序图。图 16 示出 WL29 的相对时序变化，以及 WL29 的可替代传递电压，这些将在下面描述。时间周期 T1 和 T2 期间的时序和之前描述的图 13 中相同。在时间周期 T3，所有的上部字线（本例中的 WL30 和 WL31）和所选择的字线 WL29 被驱至去耦电压 V3。事实上，在时间周期 T3 中使用 V3 作为第一传递

电压。其间，下部字线被驱至第二传递电压 V6，包括相邻下部字线 WL28 保持在默认关闭电压电平(例如 0V)。因此，此时 NAND 串 300 的沟道实际上被局限在连接到 WL29-WL31 的存储器单元，其被提升到初级提升的电压。

[0101] 在时间周期 T4 的开始，选择的字线 WL29 上升到编程电压 V1，而上部相邻字线 WL31 保持在 V3。大约在同一时间，除了上部相邻字线 WL31 之外的所有上部字线被上驱至第一传递电压 V2。在此实施例中，当 WL29 上升到 V1 并且 WL31 上升到 V2 时，连接到 WL30 的存储器单元被电关闭，并且在时间周期 T4，WL28 下降到关闭电压。在可替代实施例中，在时间周期 T4 的开始，串选择信号 SSL 可以被降到 V4，如以 SSL 轨迹中的虚线示出。以下关系表达式概述了图 13 到图 16 的实施例中使用的电压电平的相对限制条件。

[0102] (1)V3<V2<V1

[0103] (2)0V<V4<V3

[0104] (3)0V<V6 ≤ V3

[0105] 因此，由于低电压电平应用到下部存储器单元的栅极，所以事实上不存在下部存储器单元所经受的传递干扰。

[0106] 在图 16 中，在时间周期 T3 期间，WL29 可以被初始设置为 V3 来增加 V3 和 V1 之间的电压差值，并且来提供类似于图 11 的实施例可获取的高差值局部提升。可替代地，通过在时间周期 T3 期间保持 WL29 在 0V 并且随后在时间周期 T4 期间直接驱动 WL29 到 V1 可以最大化局部提升。这通过虚线 400 示出。注意到连接到 WL29 的存储器单元是具有负阈值电压的擦除的单元。

[0107] 之前所示时序图意于示出对于指定电压应用到选择的和未选择的字线的一般时序关系。但是，将选择的字线从第一传递电压(或者 0V)驱动到编程电压(V1)和直接相邻字线的控制之间的相对时序可以如下进一步得到改善。例如，参见图 10，选择的字线 WL29 可以被驱至 V1，同时相邻字线 WL28 和 WL30 下降到 V3。换句话说，选择的存储器单元在应用 V1 编程电压时与其余的 NAND 存储器单元去耦。在 WL29 转变到 V1 的开始部分期间，在这些相邻存储器单元被电压 V3 完全关闭之前，由于 WL29 提升引起的一些电荷将通过相邻存储器单元泄漏。

[0108] 为了在时间周期 T4 期间最大化所选择的存储器单元的局部提升效率，在所选择的存储器单元与其他存储器单元去耦之后不久所选择的字线可以被驱至 V1。例如在图 16 的实施例中，WL29 可以保持在 V3，直到 WL28 达到 0V 之后，如轨迹 402 中所示出。更具体地如图 16 中所示，在 WL28 开始下降到 0V 之后的一个延迟时间 td 之后 WL29 可以被驱至 V1。延迟时间 td 可以是任意预设值。对于在时间周期 T3 期间 WL29 保持在 0V 的实施例，WL29 可以保持在 0V，直到延迟时间 td 之后 WL28 达到 0V 之后，如轨迹 404 中所示出。本领域内的普通技术人员会理解选择的字线和其他的字线之间的相对时序可按需求配置，来最小化电荷泄漏或者最大化局部沟道提升。

[0109] 在之前的实施例中，V2 是优化用于最小化未选择存储器单元中的编程干扰并且用于最大化初级提升的沟道电平的值。本领域内的普通技术人员会理解实际的 V2 值将依赖于存储器单元的不同的设计和制造参数，并且因此可以通过仿真或者建模来确定。

[0110] 本发明的所述实施例可以使用于标准分级编程方案。根据本发明的实施例，选择的存储器单元编程电压 V1 将是应用到选择的存储器单元的栅极的初始编程电压。从而，V1

的电压电平以预定的电压幅度反复增加，而应用到其他字线的传递电压和去耦电压保持在同样的电压电平。通过在递增编程步骤期间调整这些电压电平，相对于现有技术的编程方案，能够降低芯片尺寸和功率消耗。

[0111] 在所述实施例中，应用到相邻下部字线(即，WL28)的关闭电压可以是0V，或者基于对于存储器单元的所选择的设计和制造参数，以及由于应用V6传递电压导致的提升的沟道电压而选择的任意低电压。

[0112] 可以通过字线驱动器电路和诸如译码器的相关的字线逻辑电路来控制字线和控制线(SSL和GSL)电压和应用时序。本领域内的普通技术人员会理解公知的多电压电平字线驱动器电路可以很容易被修改来提供在所说明的编程禁止时序实施例中使用的电压电平。对于任意的所选择的字线，译码逻辑可以确保直接相邻的字线(或者控制线)以所公开的方式被控制用于将所选择的存储器单元和NAND串去耦。

[0113] 因此，上面提及的字线/控制线控制方案有效地用于从擦除状态对所选择的存储器单元进行编程，而禁止对保持在擦除状态的所选择的存储器单元的编程。由于相对于现有技术编程禁止方案使用了较低的传递电压，所以未选择的存储器单元的编程干扰被最小化。由于所选择的存储器单元可以和NAND串中的其他存储器单元去耦并隔离，因此，其沟道可以被有效地提升到用于禁止F-N隧穿的电平，并且可以执行随机页面编程。

[0114] 对于任意基于NAND串的闪存存储器，可以实施编程禁止方案的前述实施例。本领域内的普通技术人员会理解方案中所使用的具体电压电平对于特定的工艺和NAND单元设计是特有的。图7b到图16中所示的电压电平转变意于提供总的事件的时序，并不意于提供信号之间的具体的时序关系。本领域内的普通技术人员会意识到在不脱离本发明范围的情况下信号之间可以出现较小时序差。

[0115] 本发明的上述实施例仅意于示例。本领域普通技术人员在不脱离本发明范围的情况下对于特定实施例可以做出替代、修改和改变，并且本发明范围仅由所附权利要求书限定。

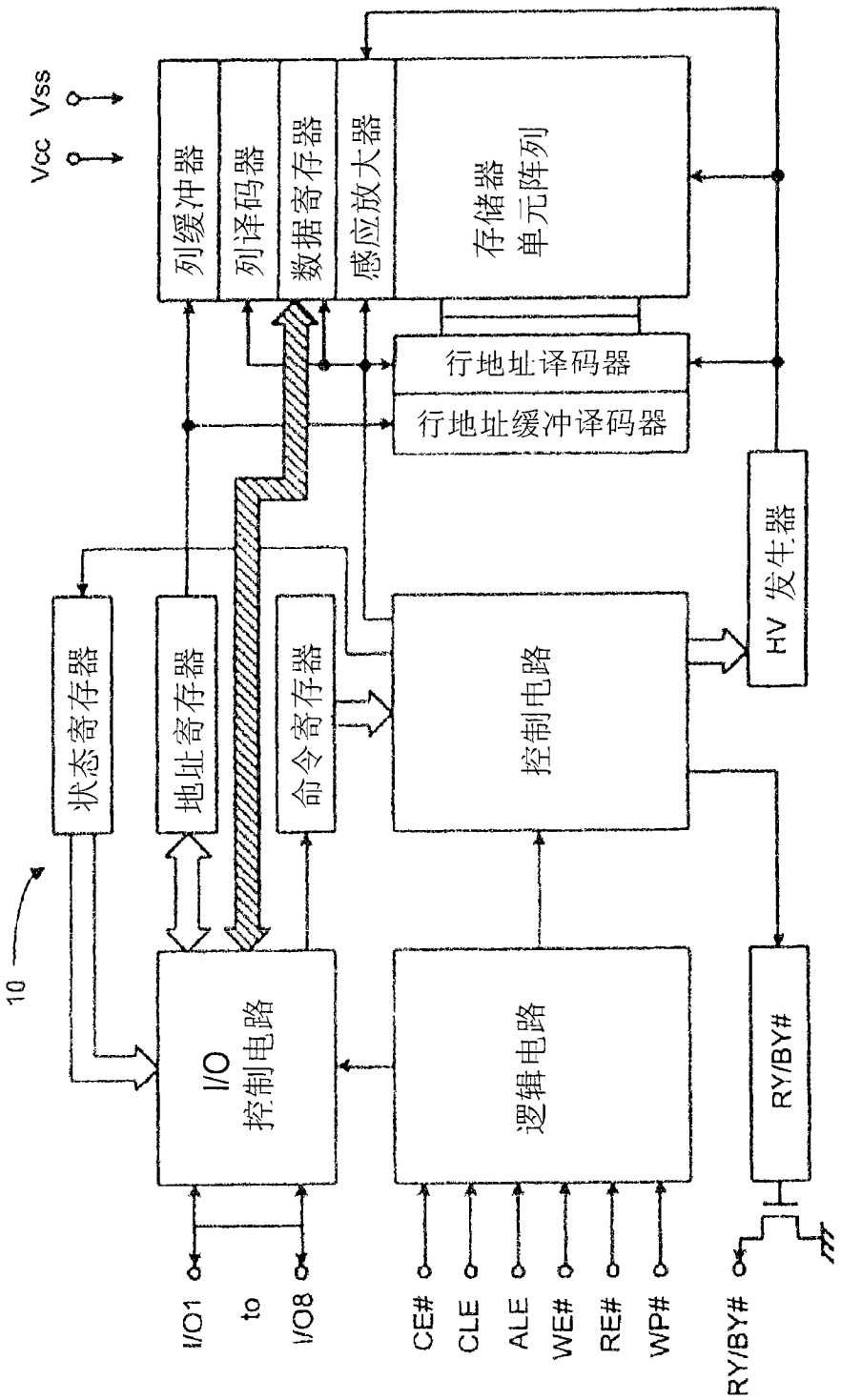

Vcc
Vss
列缓冲器
列译码器
数据寄存器
感应放大器
存储器
单元阵列
行地址译码器
行地址缓冲译码器
HV 发生器
状态寄存器
地址寄存器
命令寄存器
控制电路
10
I/O
控制电路
逻辑电路
RY/BY#
I/O1
to
I/O8
CE#
CLE
ALE
WE#
RE#
WP#
RY/BY#

图 1

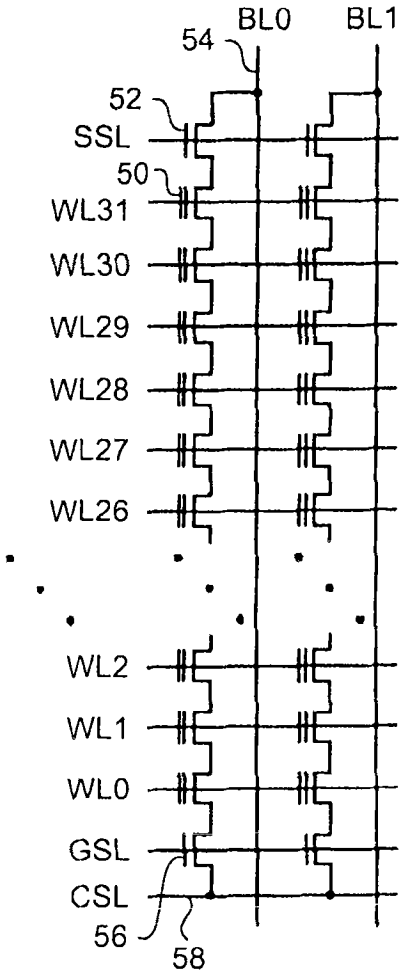

BL0
BL1
54
52
SSL
50
WL31
WL30
WL29
WL28
WL27
WL26
WL2
WL1
WL0
GSL
CSL
56
58

图 2a

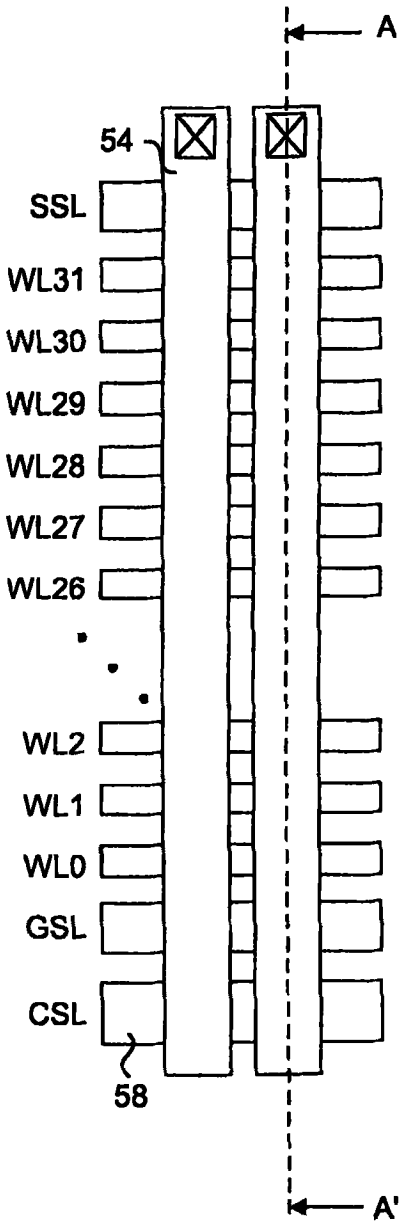

A
54
SSL
WL31
WL30
WL29
WL28
WL27
WL26
WL2
WL1
WL0
GSL
CSL
58
A'

图 2b

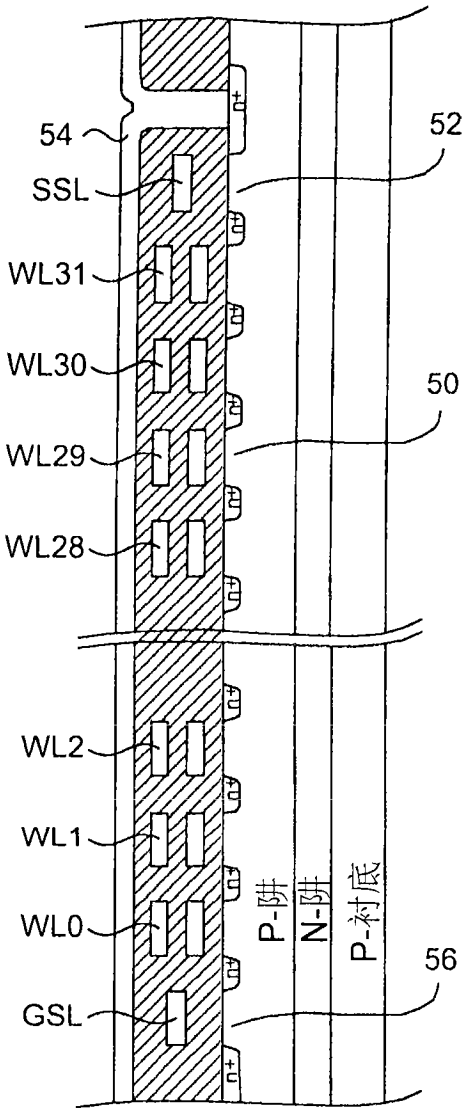

54
SSL
WL31
WL30
WL29
WL28
WL2
WL1
WL0
GSL
52
50
56
P-阱
N-阱
P-衬底

图 2c

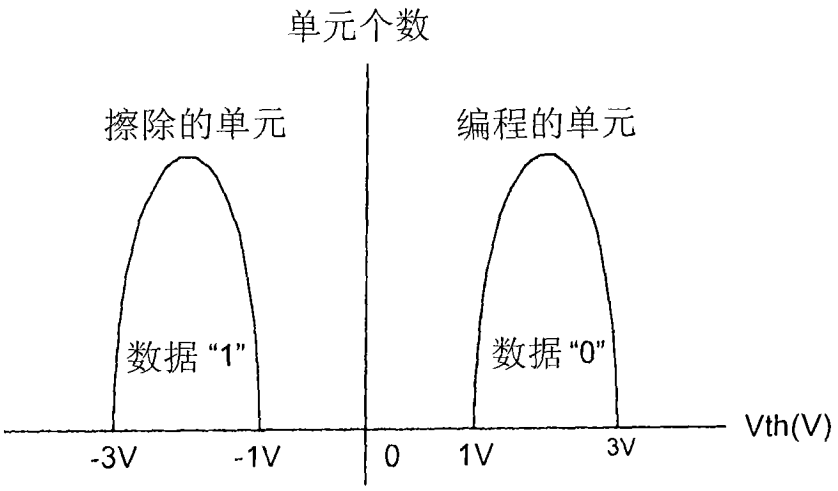

单元个数
擦除的单元
编程的单元
数据“1”
数据“0”
Vth(V)
-3V
-1V
0
1V
3V

图 3

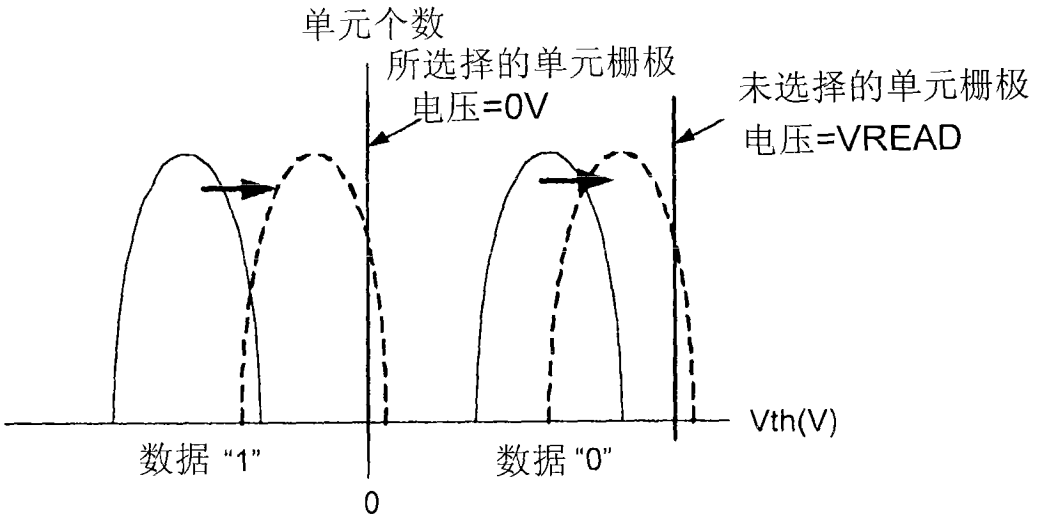

单元个数
所选择的单元栅极
电压=0V
未选择的单元栅极
电压=VREAD
Vth(V)
数据 "1"
数据 "0"
0

图 4

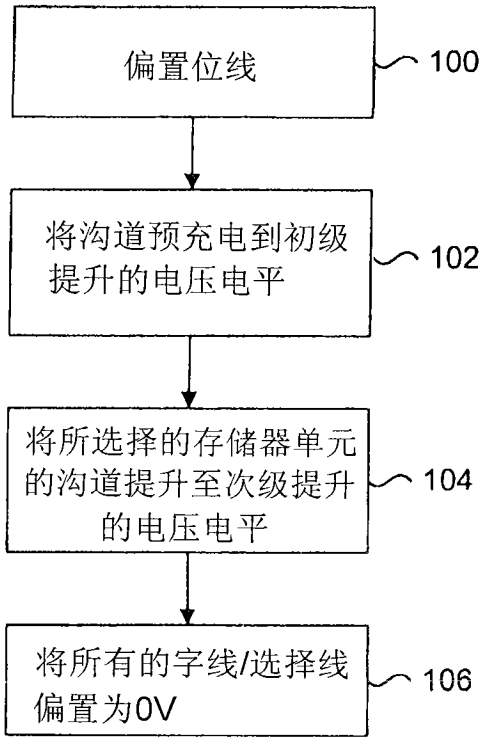

偏置位线
100
将沟道预充电到初级提升的电压电平
102
将所选择的存储器单元的沟道提升至次级提升的电压电平
104
将所有的字线/选择线偏置为0V
106

图 5

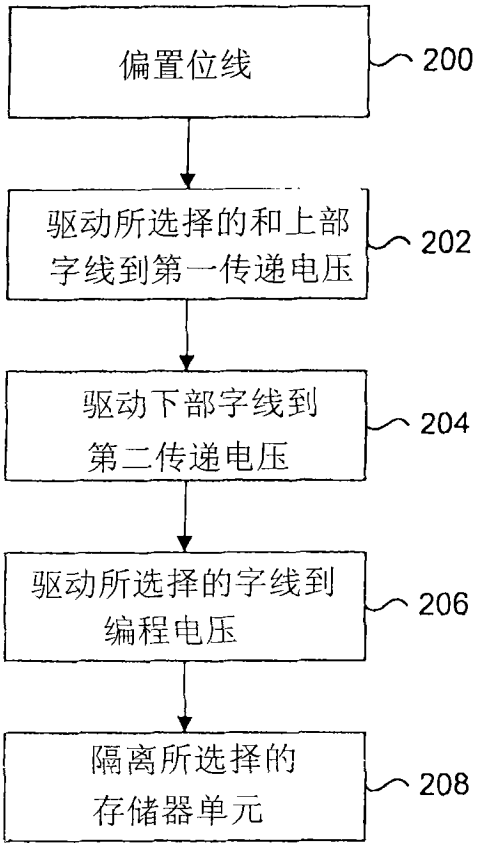

偏置位线
200
驱动所选择的和上部字线到第一传递电压
202
驱动下部字线到第二传递电压
204
驱动所选择的字线到编程电压
206
隔离所选择的存储器单元
208

图 6

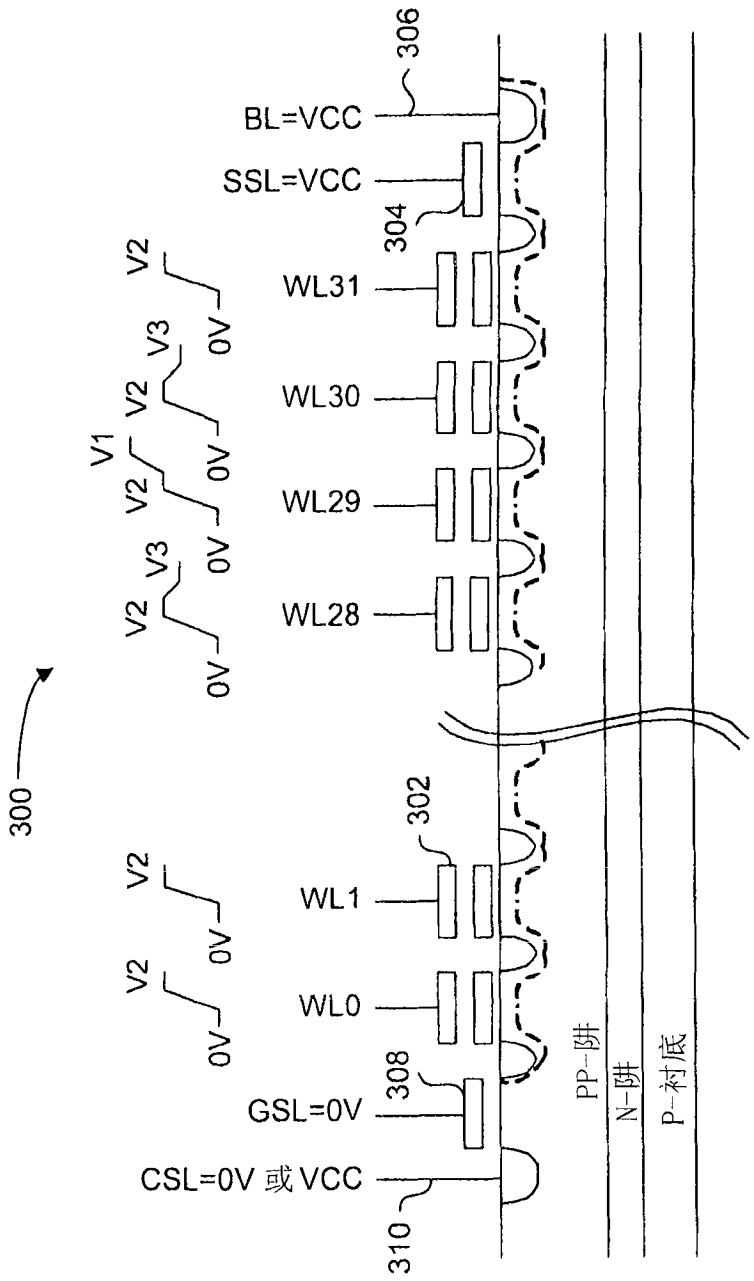

306
BL=VCC
SSL=VCC
304
WL31
WL30
WL29
WL28
V1
V2
V3
0V
300
302
WL1
WL0
308
GSL=0V
CSL=0V 或 VCC
310
PP-阱
N-阱
P-衬底

图 7a

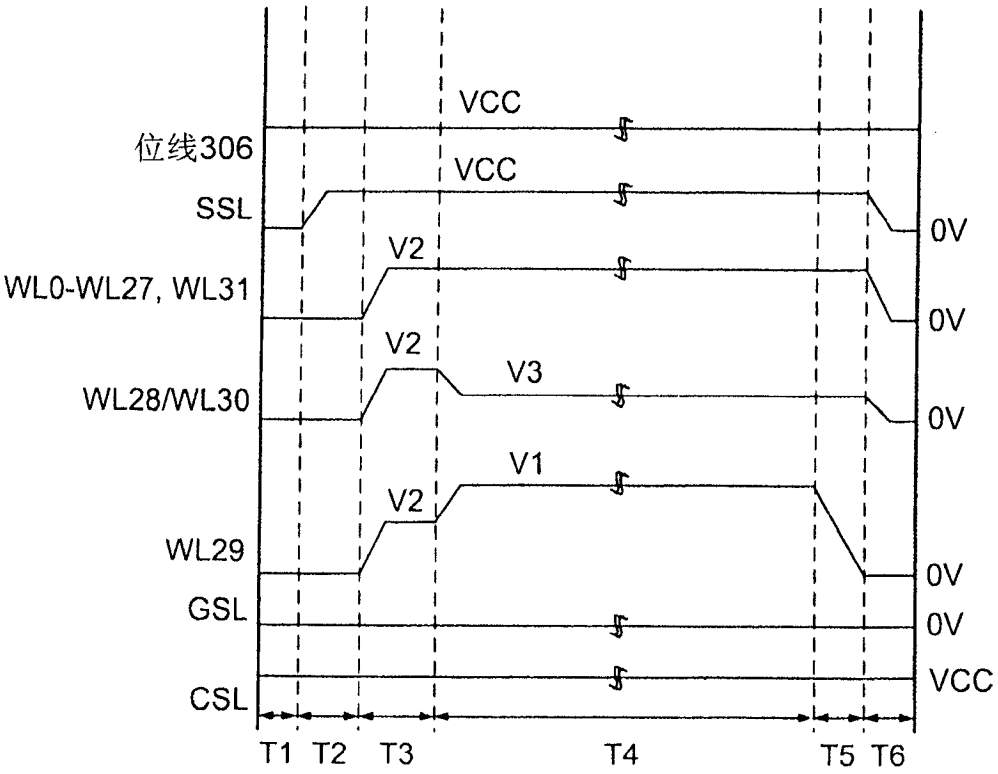

VCC
位线306
VCC
SSL
0V
V2
WL0-WL27, WL31
0V
V2
V3
WL28/WL30
0V
V1
V2
WL29
0V
GSL
0V
CSL
VCC
T1 T2 T3 T4 T5 T6

图 7b

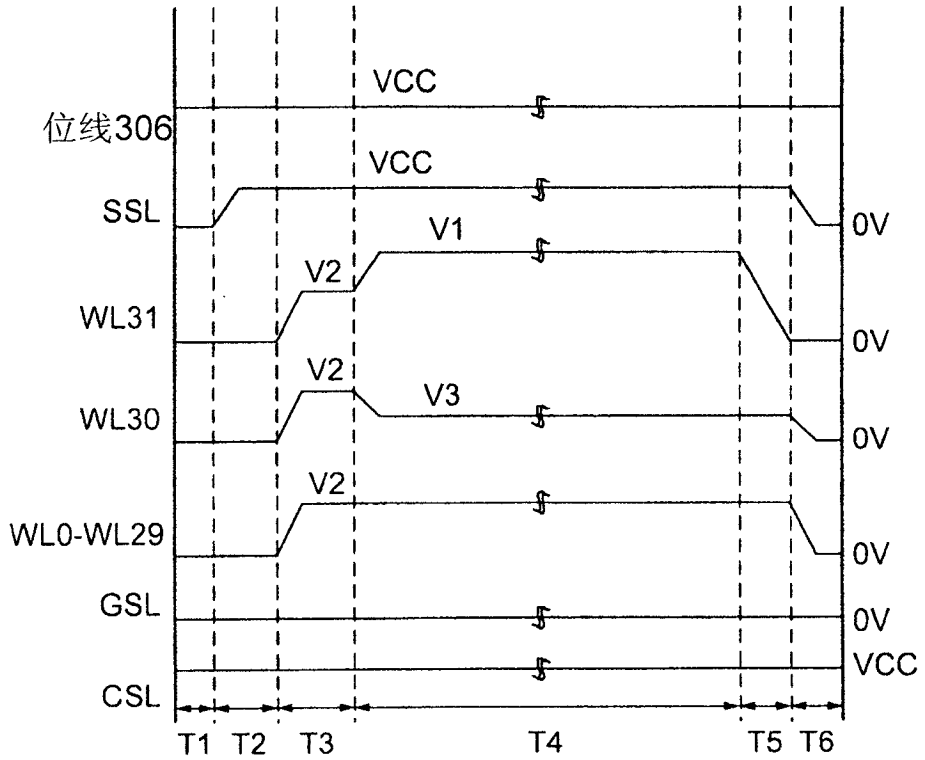

VCC
位线306
VCC
SSL
0V
V1
V2
WL31
0V
V2
V3
WL30
0V
V2
WL0-WL29
0V
GSL
0V
VCC
CSL
T1 T2 T3 T4 T5 T6

图 8

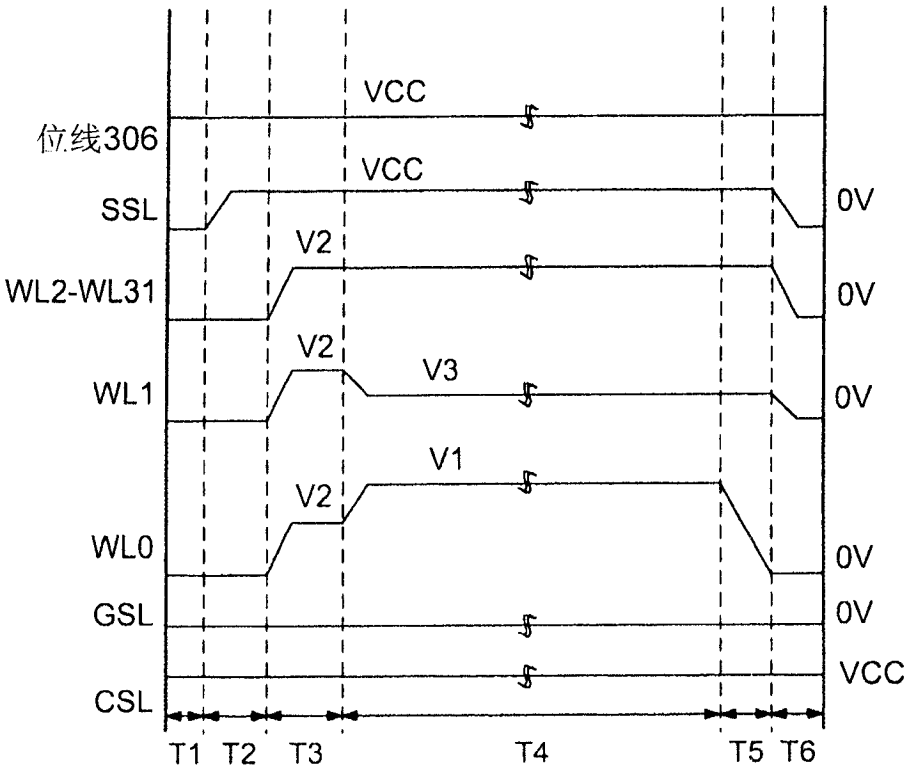

VCC
位线306
VCC
SSL
0V
V2
WL2-WL31
0V
V2
V3
WL1
0V
V1
V2
WL0
0V
GSL
0V
VCC
CSL
T1 T2 T3 T4 T5 T6

图 9

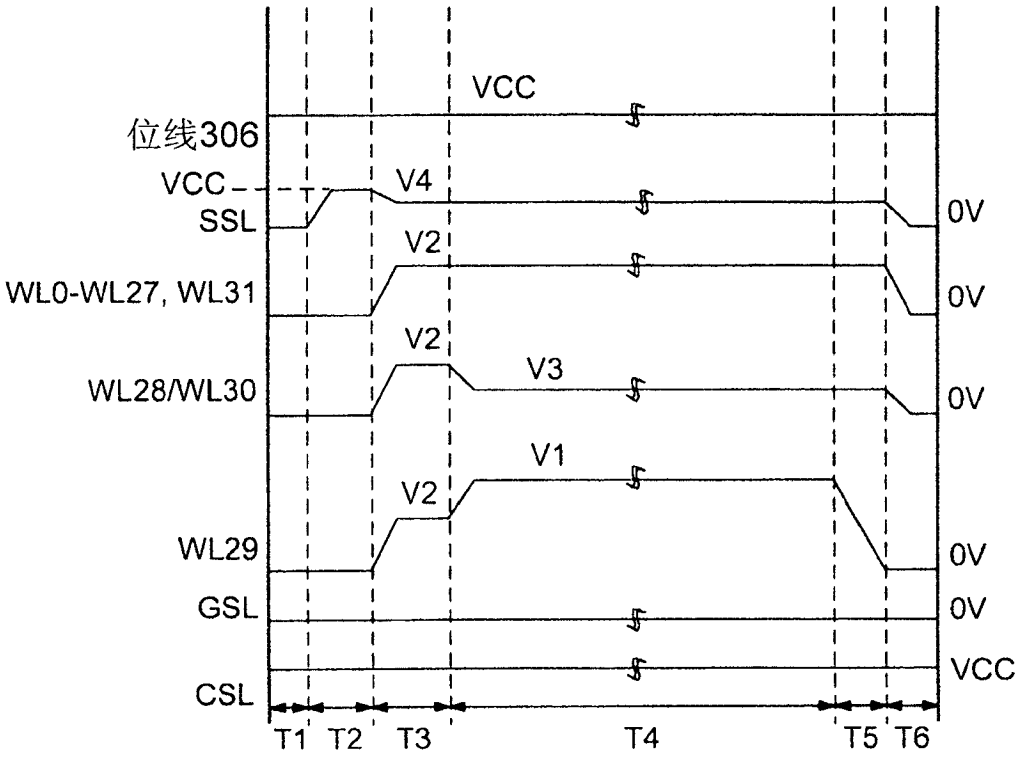

VCC
位线306
VCC
V4
SSL
0V
V2
WL0-WL27, WL31
0V
V2
V3
WL28/WL30
0V
V1
V2
WL29
0V
GSL
0V
VCC
CSL
T1 T2 T3 T4 T5 T6

图 10

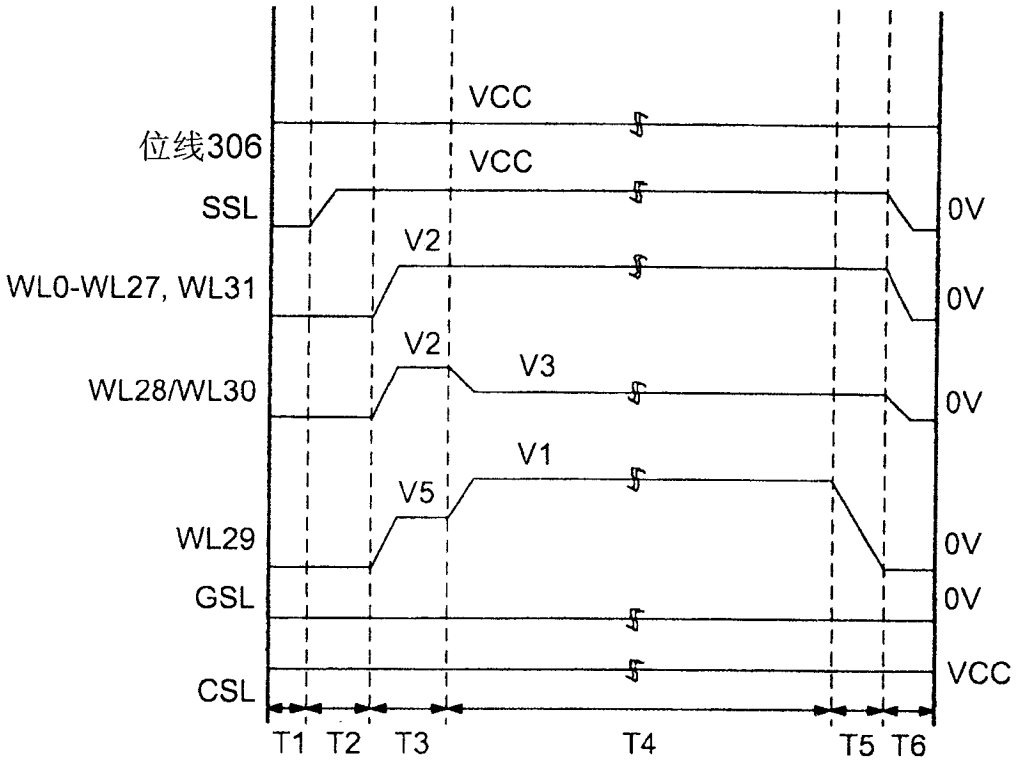

VCC
位线306
VCC
SSL
0V
V2
WL0-WL27, WL31
0V
V2
V3
WL28/WL30
0V
V1
V5
WL29
0V
GSL
0V
CSL
VCC
T1 T2 T3 T4 T5 T6

图 11

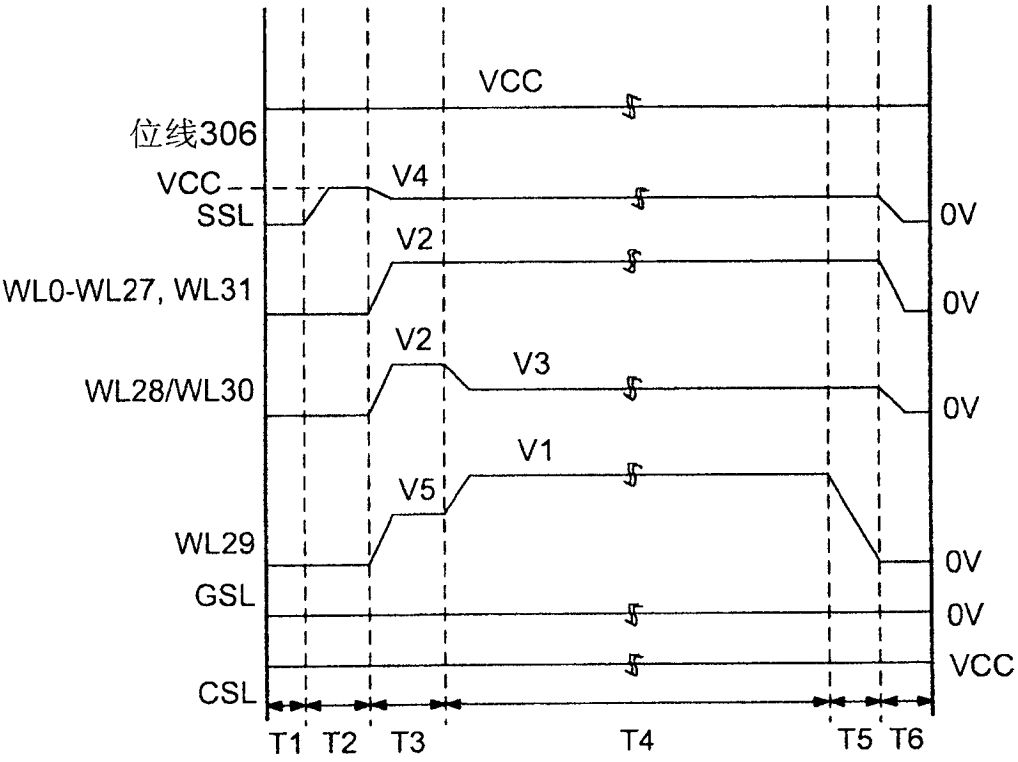

VCC
位线306
VCC
V4
SSL
0V
V2
WL0-WL27, WL31
0V
V2
V3
WL28/WL30
0V
V1
V5
WL29
0V
GSL
0V
CSL
VCC
T1 T2 T3 T4 T5 T6

图 12

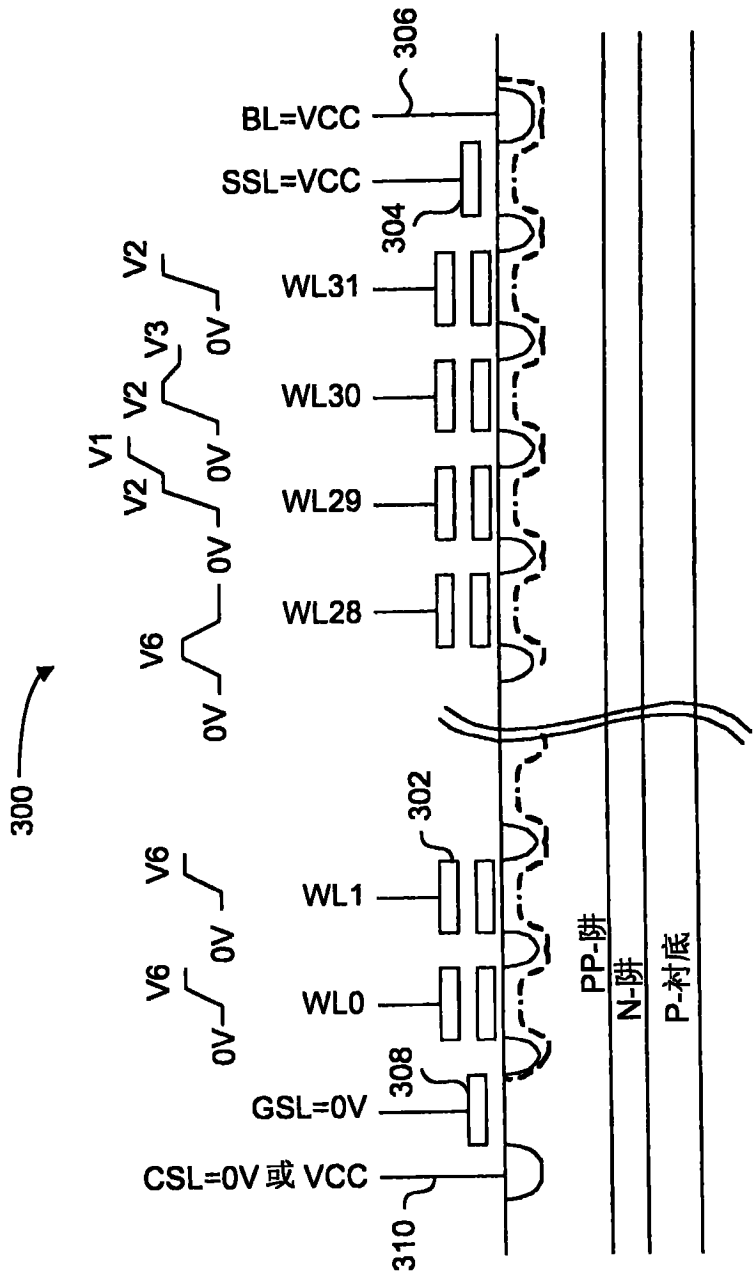

306
BL=VCC
SSL=VCC
304
V2
WL31
V3
0V
V2
WL30
V1
V2
0V
WL29
0V
V6
WL28
0V
300
302
V6
WL1
0V
V6
WL0
0V
308
GSL=0V
CSL=0V 或 VCC
310
PP-阱
N-阱
P-衬底

图 13

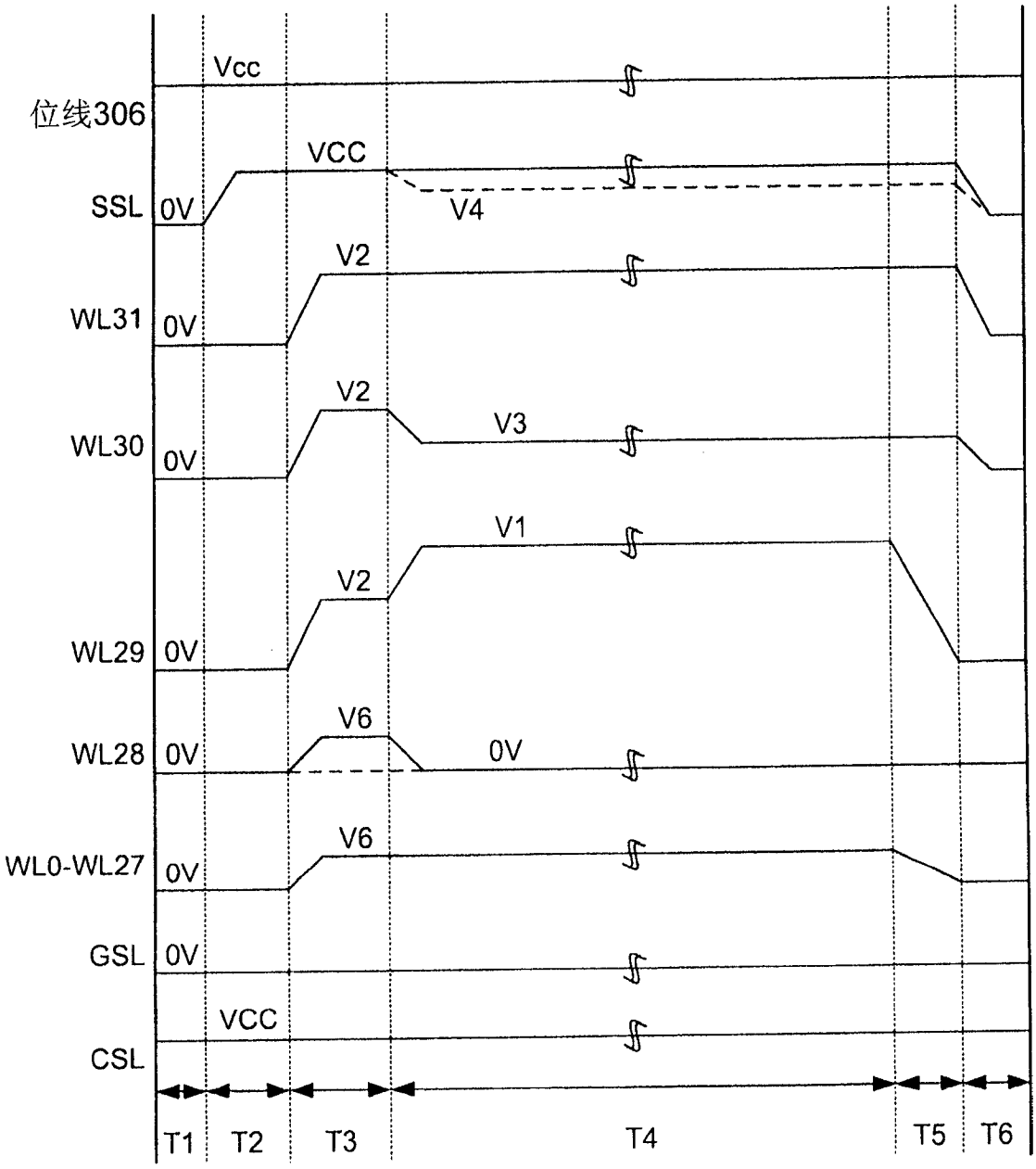

位线306
Vcc
SSL
0V
VCC
V4
WL31
0V
V2
WL30
0V
V2
V3
WL29
0V
V2
V1
WL28
0V
V6
0V
WL0-WL27
0V
V6
GSL
0V
CSL
VCC
T1
T2
T3
T4
T5
T6

图 14

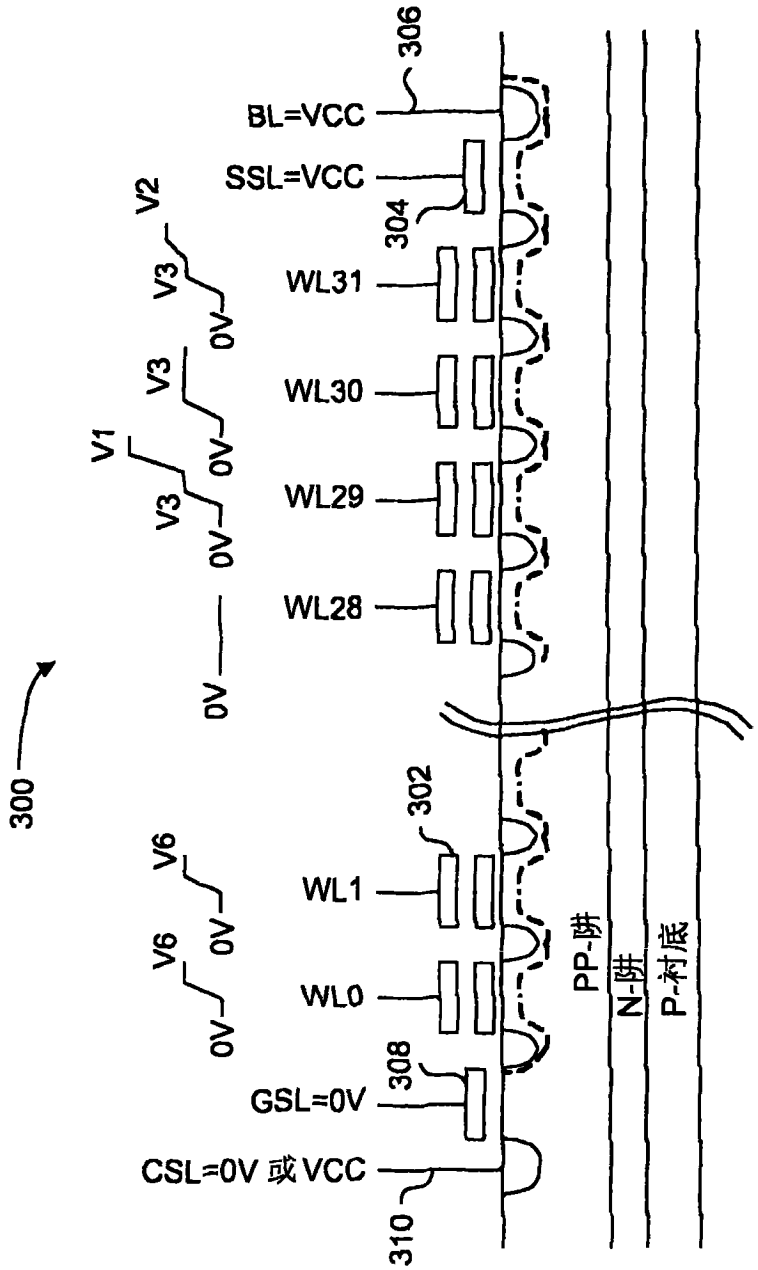

306
BL=VCC
SSL=VCC
304
V2
V3
WL31
0V
V3
WL30
V1
V3
0V
WL29
0V
0V
WL28
0V
300
302
V6
WL1
V6
0V
WL0
0V
308
GSL=0V
CSL=0V 或VCC
310
PP-井
N-井
P-衬底

图 15

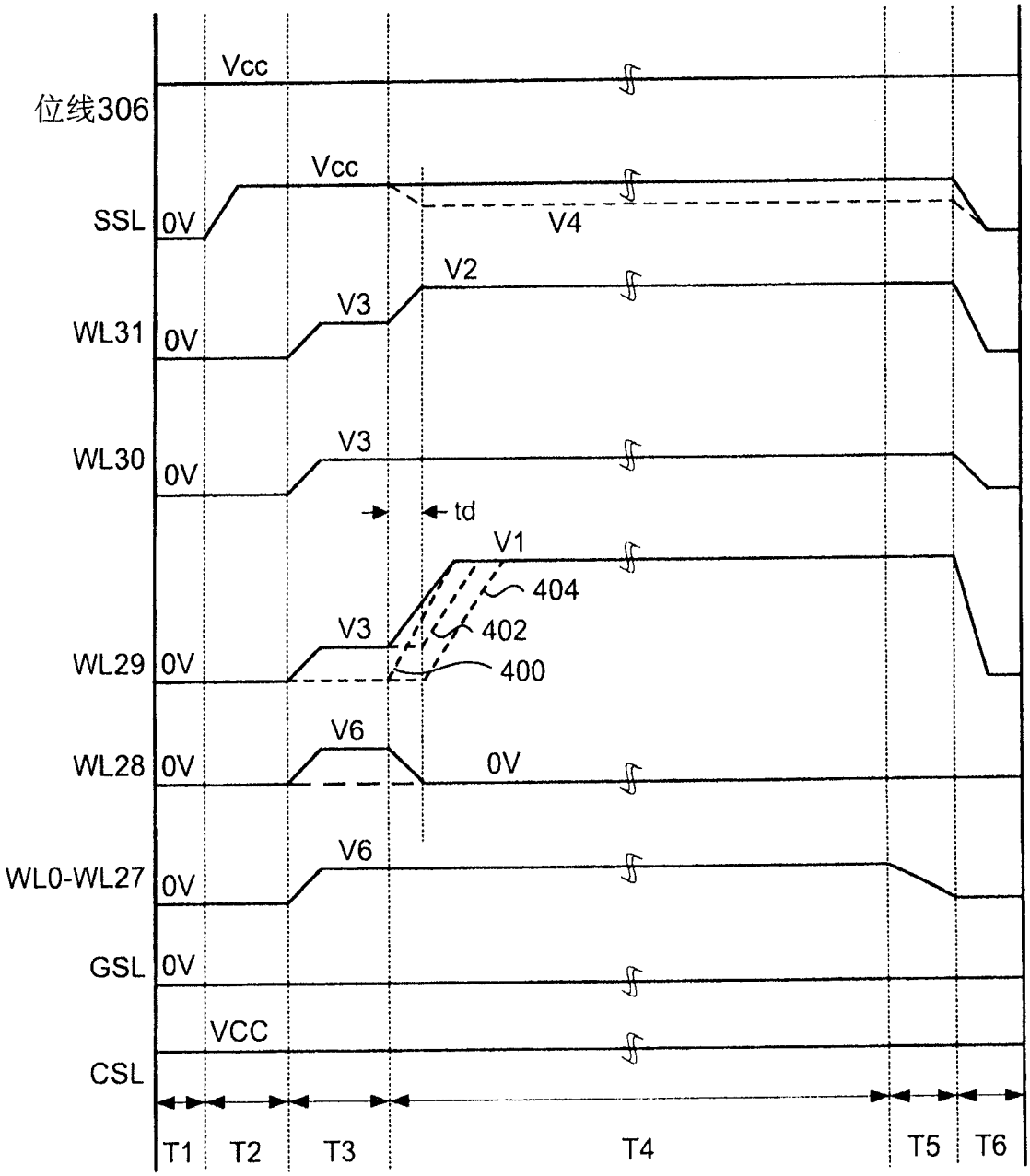

位线306
Vcc
SSL
0V
Vcc
V4
WL31
0V
V2
V3
WL30
0V
V3
td
V1
404
WL29
0V
V3
402
400
WL28
0V
V6
0V
WL0-WL27
0V
V6
GSL
0V
CSL
VCC
T1
T2
T3
T4
T5
T6

图 16