



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2007년11월02일
 (11) 등록번호 10-0772848
 (24) 등록일자 2007년10월29일

(51) Int. Cl.

H01L 27/092(2006.01)

(21) 출원번호 10-2000-0065162
 (22) 출원일자 2000년11월03일
 심사청구일자 2005년11월03일
 (65) 공개번호 10-2001-0060250
 공개일자 2001년07월06일

(30) 우선권주장
 09/433,702 1999년11월03일 미국(US)

(56) 선행기술조사문현

US05687355 A

(뒷면에 계속)

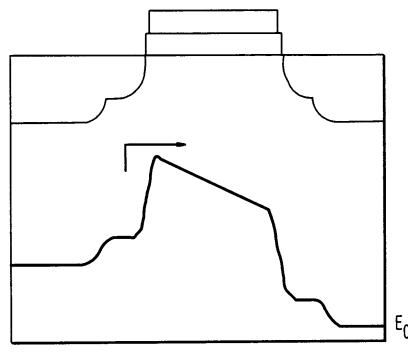
전체 청구항 수 : 총 14 항

심사관 : 정병홍

(54) MOS 디바이스의 전류를 시뮬레이션하기 위한 레이트 방정식 방법 및 장치

(57) 요 약

MOSFET 반도체 디바이스의 전기적 거동을 모델화하기 위한 개선된 방법이 개시되며, 이 방법에서의 레이트 방정식은, 소스 및 채널 도핑의 차이에 의한 경계를 가로지르는 전자 이동과 전류를 포함하는 전기적 거동을 정성적으로 예측한다. 전기적 거동의 정량적 값들은 디바이스의 도핑 레벨들이 알려지지 않을 때 왜곡된다. 그러나, 정성적인 결과는, 도핑 레벨들의 인식과는 무관하게 더 바람직한 전기적 거동을 나타내는 MOSFET 디바이스들을 설계하기 위해 사용될 수도 있다. 레이트 방정식은 또한 컴퓨터 시뮬레이션 프로그램으로 MOSFET 디바이스의 거동을 시뮬레이션하기 위해 사용될 수도 있다. 게이트 치수의 축소로 인해 과괴되는 이동도 및 확산 인자들이 본 레이트 방정식에서 삭제되기 때문에, 더 작은 디바이스들의 전기적 거동은 종래의 레이트 방정식들보다 더 간단히 계산된다.

대표도 - 도1

(56) 선 행 기술 조사 문현

US06275059 B1

US05404109 A

KR1020000017553 A

KR1020000048093 A

특허청구의 범위

청구항 1

소스 영역, 드레인 영역 및 채널 영역을 갖는 반도체 디바이스에 대한 전류-전압 특성을 결정하기 위한 방법에 있어서:

상기 디바이스에 인가되는 게이트-소스간 전압(V_{GS}), 상기 디바이스에 인가되는 드레인-소스간 전압(V_{DS}), 상기 디바이스의 상기 소스 영역에 대응하는 제 1 폐르미(Fermi) 레벨(F_1), 상기 디바이스의 상기 채널 영역에 대응하는 제 2 폐르미 레벨(F_2), 상기 채널 영역의 폭(W), 상기 디바이스의 동작 온도(T), 상기 디바이스의 양자화 에너지 레벨(E_{qv}), 상기 디바이스의 소스-채널 배리어의 높이(V_o), 및 밸리(valley)에서의 전자에 대한 z-방향의 질량(m_{zv})을 포함하는 복수의 배리어 모델 변수들 중 적어도 하나의 각각에 복수의 고정 값들 중 하나를 할당하는 단계;

나머지 배리어 모델 변수들 각각에 대해 복수의 다른 값들을 할당하는 단계; 및

상기 복수의 다른 값들 각각에 대해, 상기 소스-채널 배리어에 따라 모델화된 레이트 방정식(rate equation)으로부터 전류 값(I_{12})을 결정하는 단계를 포함하는, 반도체 디바이스에 대한 전류-전압 특성 결정 방법.

청구항 2

제 1 항에 있어서,

상기 레이트 방정식은,

$$I_{12} = 2qW/h^2(kT/2\pi)^{3/2} [1 - e^{(F_2 - F_1)/kT}] \sum e^{(F_1 - E_{qv} - V_o)/kT} \sqrt{m_{zv}}$$

를 포함하는, 반도체 디바이스에 대한 전류-전압 특성 결정 방법.

청구항 3

제 1 항에 있어서,

복수의 결정된 전류 값들(I_{12}) 및 복수의 전압 값들로부터의 전류-전압 특성을 결정하는 단계를 더 포함하는, 반도체 디바이스에 대한 전류-전압 특성 결정 방법.

청구항 4

제 3 항에 있어서,

상기 복수의 전압 값들은 상기 게이트-소스간 전압(V_{GS})에 대한 복수의 값들을 포함하는, 반도체 디바이스에 대한 전류-전압 특성 결정 방법.

청구항 5

제 4 항에 있어서,

상기 드레인-소스간 전압(V_{DS})의 값은 일정하게 유지되는, 반도체 디바이스에 대한 전류-전압 특성 결정 방법.

청구항 6

제 3 항에 있어서,

상기 복수의 전압 값들은 상기 드레인-소스간 전압(V_{DS})에 대한 복수의 값들을 포함하는, 반도체 디바이스에 대한 전류-전압 특성 결정 방법.

청구항 7

제 6 항에 있어서,

상기 게이트-소스간 전압(V_{GS})의 값은 일정하게 유지되는, 반도체 디바이스에 대한 전류-전압 특성 결정 방법.

청구항 8

제 3 항에 있어서,

복수의 모델 변수들 중 적어도 하나의 각각에 복수의 고정 값을 중 제 2 고정 값을 할당함으로써 제 2 전류-전압 특성을 유도하는 단계, 및

상기 나머지 모델 변수들 각각에 대해 복수의 다른 값을 할당하는 단계를 더 포함하는, 반도체 디바이스에 대한 전류-전압 특성 결정 방법.

청구항 9

제 1 항에 있어서,

상기 디바이스는 금속-산화물 반도체 전계-효과 트랜지스터인, 반도체 디바이스에 대한 전류-전압 특성 결정 방법.

청구항 10

소스 영역, 채널 영역 및 드레인 영역을 갖는 반도체 디바이스의 전류-전압 거동을 시뮬레이션하기 위해 컴퓨터에 의해 수행되는 방법을 구현하기 위한 처리 명령들로 인코딩되는 컴퓨터-관독가능 매체에 있어서:

상기 방법은,

상기 디바이스에 인가되는 게이트-소스간 전압(V_{GS}), 상기 디바이스에 인가되는 드레인-소스간 전압(V_{DS}), 상기 디바이스의 상기 소스 영역에 대응하는 제 1 폐르미 레벨(F_1), 상기 디바이스의 상기 채널 영역에 대응하는 제 2 폐르미 레벨(F_2), 상기 채널 영역의 폭(W), 상기 디바이스의 동작 온도(T), 상기 디바이스의 양자화 에너지 레벨(E_{qv}), 상기 디바이스의 소스-채널 배리어의 높이(V_o), 및 채널 밸리에서의 전자에 대한 z-방향의 질량(m_z)을 포함하는 복수의 모델 변수들 중 적어도 하나의 각각에 대한 복수의 고정 값을 중 하나를 포함하는 입력을 수신하는 단계;

나머지 모델 변수들 각각에 대해 복수의 다른 값을 할당하는 단계; 및

상기 복수의 다른 값을 각각에 대해, 상기 소스-채널 배리어에 따라 모델화된 레이트 방정식으로부터 전류 값(I_{12})을 결정하는 단계를 포함하는, 컴퓨터-관독가능 매체.

청구항 11

제 10 항에 있어서,

상기 레이트 방정식은,

$$I_{12} = \frac{2qW}{h^2} \left(\frac{kT}{2\pi} \right)^{3/2} [1 - e^{(F_2 - F_1)kT}] \sum e^{(F_1 - E_{qV} - V_o)kT} \sqrt{m_z}$$

를 포함하는, 컴퓨터-관독가능 매체.

청구항 12

소스 영역, 채널 영역 및 드레인 영역을 갖는 반도체 디바이스의 전류-전압 거동을 시뮬레이션하기 위한 장치에 있어서:

프로세서; 및

상기 프로세서에 접속되고, 상기 프로세서의 동작을 제어하기 위한 프로그램을 저장하는 메모리를 포함하고,

상기 프로세서는,

상기 디바이스에 인가되는 게이트-소스간 전압(V_{GS}), 상기 디바이스에 인가되는 드레인-소스간 전압(V_{DS}), 상기 디바이스의 상기 소스 영역에 대응하는 제 1 페르미 레벨(F_1), 상기 디바이스의 상기 채널 영역에 대응하는 제 2 페르미 레벨(F_2), 상기 채널 영역의 폭(W), 상기 디바이스의 동작 온도(T), 상기 디바이스의 양자화 에너지 레벨(E_{qv}), 상기 디바이스의 소스-채널 배리어의 높이(V_o), 및 채널 밸리에서의 전자에 대한 z -방향의 질량(m_z)을 포함하는 복수의 모델 변수들 중 적어도 하나의 각각에 대한 복수의 고정 값들 중 하나를 포함하는 입력을 수신하고,

나머지 모델 변수들 각각에 대해 복수의 다른 값들을 할당하고,

상기 복수의 다른 값을 각각에 대해, 상기 소스-채널 배리어에 따라 모델화된 레이트 방정식으로부터 전류 값 (I_{12})을 결정하도록 상기 프로그램에 의해 동작하는, 반도체 디바이스의 전류-전압 거동 시뮬레이션 장치.

청구항 13

제 12 항에 있어서,

상기 레이트 방정식은,

$$I_{12} = 2qW/h^2(kT/2\pi)^{3/2} [1 - e^{(F_2 - F_1)kT}] \sum e^{(F_1 - E_{qv} - V_o)kT} \sqrt{m_z}$$

를 포함하는, 반도체 디바이스의 전류-전압 거동 시뮬레이션 장치.

청구항 14

제 12 항에 있어서,

상기 프로세서는 또한,

출력 디바이스를 통해 사용자에게 상기 전류 값을 디스플레이하도록 상기 프로그램에 의해 동작하는, 반도체 디바이스의 전류-전압 거동 시뮬레이션 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<10> 발명의 기술분야

본 발명은 일반적으로 반도체 디바이스들에서 전기적 거동을 측정하기 위한 것으로서, 특히, 개선된 배리어 모델 레이트 방정식을 기초로 하여 MOSFET 디바이스들에서 전류를 시뮬레이션하기 위한 것이다.

<12> 발명의 배경

현재의 반도체 제조 동향은 크기가 항상 감소하는 반도체 칩을 제조하는 것이다. 이것은 또한 컴퓨터, 셀룰러 전화, 콤팩트 디스크 플레이어 등과 같은 전기 구성 요소들이 더 빠르게 동작하는 것뿐만 아니라 더 작고 더 콤팩트하게 되는 것을 가능하게 한다. 소비자들은 비슷한 가격이면 부피가 큰 모델들보다는 부피가 작은 구성 요소들을 선호하는 경향이 있기 때문에, 전기 구성 요소들의 소형화가 판매 및 마케팅에 유리한 것으로 생각된다.

이러한 전체적인 소형화를 이루기 위해서, 이 전기적 구성 요소들을 구성하는 더 작은 버전의 내부 소자들을 만드는 것이 필요하게 된다. 예를 들어, 더 작은 마이크로 프로세서를 및 다른 반도체 칩들을 만들기 위해서, 더 작고 더 밀집되게 패킹된 트랜지스터들을 만들도록 하는 것에 많은 관심이 모아졌다. 이와 같은 더 작은 트랜지스터들을 설계하기 위해서, 제조에 앞서 이론적인 디자인의 거동을 모델화하고 시뮬레이션할 수 있는 것이 바람직하다.

<15> 소스 영역, 게이트 영역, 드레인 영역 및 그 연관된 채널 영역을 갖는 MOSFET와 같은 반도체 디바이스가 과거에

성공적으로 모델화되어왔다. 그러나, 디바이스를 더 작게 만들에 따라, 상기 연관된 영역들의 치수를 감소시키는 것이 필요하다. 특히, 채널 길이의 축소에 따라, 드리프트, 확산, 또는 다른 양적인 것들과 같은 전통적인 수송 개념들(transport concepts)을 신뢰할 수 없는 것이 현실이 되었다. 따라서, 이러한 요인들에 의존하고 상기 디바이스들을 모델화하기 위해 사용된 수송 방정식들은 정확도가 제한된다. 따라서, 더 작은 MOSFET들의 설계와 시뮬레이션에서 그 유용성이 상실된다.

발명이 이루고자 하는 기술적 과제

<16> 따라서, 더 작은 디바이스들로 모델화하기 위해 신뢰할 수 없게 된 전자 이동도, 확산 및 속도와 같은 요인들을 감소시키면서, 정확하고 유용한 결과들을 제공하는 MOSFET들과 같은 반도체 디바이스들에서 전기적 거동을 시뮬레이션하기 위한 개선된 모델을 개발하는 것이 필요하다.

발명의 구성 및 작용

<17> 발명의 개요

<18> 본 발명은 이동도, 확산 또는 종래의 전자 속도를 사용하지 않는 짧은 채널 MOSFET에서의 전류 모델화의 실행 가능성을 설명한다. 이러한 모델은 채널을 가로지르는 전자들의 포화 속도의 불확실성이 디바이스에서의 전자들의 포화 속도에 필적하는 경우에 유용하다. 이 바람직하지 않은 특성은 현재 제조되는 실리콘계 금속-산화물 반도체 전계-효과 트랜지스터(MOSFET)들에 나타난다. 비교 가능한 수송 방정식들이 이전에는 적용되지 않았던 경우에, 본 발명의 레이트-방정식 모델은 짧은 채널 MOSFET들에 대해 특히 유용하다. 본 발명의 레이트 방정식(또는 배리어 모델)에 의해 발생되는 전류-전압(I-V) 특성들을 포함하는 결과들은 PADRE 또는 SPICE와 같은 전기 디바이스 컴퓨터 시뮬레이션 프로그램들로부터의 결과들과 같은 실험적 데이터와 잘 비교된다. 또한, 본 발명의 배리어 모델은, 이동도가 레이트 방정식에 포함되지 않더라도, 종종 이동도의 변동에 기인하는 전류-전압 곡선의 특성들을 복제한다.

<19> 본 발명의 제 1 측면에 따르면, 소스 영역, 드레인 영역 및 채널 영역을 갖는 반도체 디바이스에 대한 전류-전압 특성을 결정하기 위한 방법은, 디바이스에 인가되는 게이트-소스간 전압(V_{GS})과 디바이스에 인가되는 드레인-소스간 전압(V_{DS}), 디바이스의 소스 영역에 대응하는 제 1 페르미(Fermi) 레벨(F_1), 디바이스의 채널 영역에 대응하는 제 2 페르미 레벨(F_2), 채널 영역의 폭(W), 디바이스의 동작 온도(T), 디바이스의 양자화 에너지 레벨(E_{qV}), 디바이스의 소스-채널 배리어의 높이(Vo), 및 채널 밸리(channel valley)에서의 전자들에 대한 z 방향의 질량(m_{zv})을 포함하는 복수의 모델 변수들 중 적어도 하나의 각각에 대해 복수의 고정값들 중 하나를 할당하는 단계와, 나머지 배리어 모델 변수들 각각에 대해 복수의 다른 값들을 할당하는 단계와, 복수의 다른 값들 각각에 대해, 소스-채널 배리어에 따라 모델화된 레이트 방정식으로부터 전류 값(I_{12})을 결정하는 단계를 포함한다. 상기 변수들에 있어서, 문자(v)는 특정 밸리를 나타내고, z 는 채널의 폭을 따르는 방향을 나타낸다.

<20> 본 발명의 제 2 측면에 따르면, 처리 명령들로 인코딩되는 컴퓨터-판독가능 매체는, 소스 영역, 채널 영역 및 드레인 영역을 갖는 반도체 디바이스에서의 전류-전압 거동을 시뮬레이션하기 위해 컴퓨터에 의해 수행되는 방법을 구현하기 위해 발표되었으며, 상기 방법은, 디바이스에 인가되는 게이트-소스간 전압(V_{GS}), 디바이스에 인가되는 드레인-소스간 전압(V_{DS}), 디바이스의 소스 영역에 대응하는 제 1 페르미 레벨(F_1), 디바이스의 채널 영역에 대응하는 제 2 페르미 레벨(F_2), 채널 영역의 폭(W), 디바이스의 동작 온도(T), 디바이스의 양자화 에너지 레벨(E_{qV}), 디바이스의 소스-채널 배리어의 높이(Vo), 및 채널 밸리에서의 전자들에 대한 z 방향의 질량(m_{zv})을 포함하는 복수의 모델 변수들 중 적어도 하나의 각각에 대해 복수의 고정값들 중 하나를 포함하는 입력을 수신하는 단계와, 나머지 모델 변수들 각각에 대해 복수의 다른 값들을 할당하는 단계와, 복수의 다른 값들 각각에 대해, 소스-채널 배리어에 따라 모델화된 레이트 방정식으로부터 전류 값(I)을 결정하는 단계를 포함한다.

<21> 본 발명의 제 3 측면에 따르면, 소스 영역, 채널 영역 및 드레인 영역을 갖는 반도체 디바이스에서의 전류-전압 거동을 시뮬레이션하기 위한 장치는, 프로세서, 프로세서에 접속되어 프로세서의 동작을 제어하기 위해 프로그램을 저장하는 메모리, 및 디바이스에 인가되는 게이트-소스간 전압(V_{GS}), 디바이스에 인가되는 드레인-소스간 전압(V_{DS}), 디바이스의 소스 영역에 대응하는 제 1 페르미 레벨(F_1), 디바이스의 채널 영역에 대응하는 제 2 페르미 레벨(F_2), 채널 영역의 폭(W), 디바이스의 동작 온도(T), 디바이스의 양자화 에너지 레벨(E_{qV}), 디바이스의

소스-채널 배리어의 높이(V_o), 및 채널 밸리에서의 전자들에 대한 z 방향의 질량(m_{zv})을 포함하는 복수의 모델 변수들 중 적어도 하나의 각각에 대한 복수의 고정 값을 중 하나를 포함하는 입력을 수신하고, 나머지 모델 변수들 각각에 대해 복수의 다른 값을 할당하며, 복수의 다른 값들에 대해, 소스-채널 배리어에 따라 모델화되는 레이트 방정식으로부터 전류 값(I_2)을 결정하기 위한 프로그램에 의해 동작하는 프로세서를 구비한다.

<22> 본 발명의 측면과 실시예들은 첨부 도면들과 함께 취해질 때 다음의 상세한 설명은 명백하게 될 것이다.

<23> 본 명세서에는 짧은-채널 MOS 디바이스에서의 전류를 계산하는 새로운 방법이 개시되어 있다. 개시된 방법의 결과들은 n형 MOS 디바이스들로부터 취해진 실제 치수 및 종래의 시뮬레이션 프로그램들에 대해 비교하는 것이 바람직하다.

<24> 금속 산화물 반도체 전계 효과 트랜스미터들과 같이 소스, 채널 및 드레인을 갖는 MOS 디바이스들에 있어서, 더 작은 채널들을 갖는 디바이스들에서 전기적 거동을 모델화하는 것을 시도할 때 문제들이 발생한다. 이 문제는 채널 길이가 축소됨에 따라 전자들의 채널 속도(Δv)에서의 불확실성(uncertainty)을 증가시키는 것이 직접 유래한다.

<25> 전자가 소스, 채널, 또는 드레인에 있는지의 여부를 결정하기 위해, 웨이브 패킷(wave packet)의 위치에서의 최대 물리적 불확실성(Δx)은 채널 길이(L)이다. 종래의 분산 함수는 채널에서의 전자들의 위치(x)와 운동량(p) 양방에 의해 규정되기 때문에, Δx 는 사실상 게이트 길이보다 훨씬 작아야 한다. 전자의 속도는 p/m 으로서 계산되며, 여기서 m 은 전자의 유효 질량이다. 따라서, Δv 는 $\Delta p/m$ 과 같아야 한다. 하이젠버그(Heisenberg) 관계를 통합하면, 최소값 Δv 는 $h/m\Delta x$ 인 것이 발견되었다. 따라서, Δv 가 표준 2차원 그래프에서 게이트 길이에 대해 도시되면, Δv 의 불확실성은 게이트 길이(L)가 감소함에 따라 증가하는 것이 쉽게 설명된다. 따라서, Δv 의 더 작은 불확실성에 의존하는 종래의 모델들은 채널 길이가 감소함에 따라 그 유효성을 상실한다.

<26> 본 발명의 배리어 모델 레이트 방정식은 상기와 같은 문제점을 회피한다. 이 접근법에서, MOS 디바이스에서의 전자 수송의 레이트-제한 스텝은 도 1에 개략적으로 도시된 소스-채널 배리어를 뛰어넘는다고 가정하자. 이 배리어는 소스와 채널 사이의 도핑 차이로 인해 발생한다. 본 발명의 배리어 모델 레이트 방정식은 일반적으로 다음의 원리들에 따라 유도된다. 먼저, 소스에서의 상태로부터 채널에서의 상태로 전이하는 전자의 평균 레이트는 초기 상태가 점유되고 최종 상태가 빌 확률에 비례한다. 다음으로, 순방향 전류 속도 및 역방향 전류 속도 모두가 계산된 후에, 관련된 비례 상수들을 설명한다. 배리어를 가로지르는 전이들의 모든 가능한 쌍들을 합산함으로써 총 전류가 찾아진다. 이 공식은 소스-채널 배리어 높이에 지수 함수적으로 의존하는 전류를 발생시키고, 이어서, 정확하게 알려져야만 하는 파라미터가 된다. 이동도 및 확산은, 상기에 설명된 것과 같이, 작은 채널 MOS 디바이스들에서 바람직하지 않은 신뢰도 Δv 로 인해 모델에 통합되지 않는다. 그러나, 이러한 요인들로 인한 MOS 디바이스들의 특성들은 본 모델에서 여전히 나타난다.

<27> 예를 들어, 이하에 설명되는 배리어 모델 레이트 방정식으로부터의 결과들은 디바이스 시뮬레이터 PADRE로부터의 결과들, 및 0.1 내지 0.25 미크론의 게이트 길이를 갖는 200-미크론 폭 NMOS 디바이스들로부터의 데이터와 비교된다. 이 결과들은 배리어 모델에 따른 결과적인 전류-진압 특성의 주요한 특성들이 PADRE 시뮬레이터의 결과들과 정성적으로 일치하는 것을 나타낸다. 그러나, 도 4a 내지 도 4c에 도시되어 있는 것과 같이, 검사된 디바이스의 도편트 농도의 불확실성으로 인한 일부 양적인 모순이 존재한다. 본 명세서에 설명된 간소화된 모델은 전류에 대해 부정확한 크기를 생성하지만, MOS 디바이스들의 거동에 대한 물리적 통찰을 생성하는 유용한 분석적인 결과들을 산출한다. 예를 들어, 이와 같은 정성적인 특성들은 제조에 앞서 MOS 디바이스 설계를 시뮬레이션할 때 유용하다.

<28> 도 2는 PADRE 시뮬레이션을 통해 그리고 본 발명의 모델에 의해 발생된 I-V 특성의 2차원 그래프를 도시한다. 소스-채널 배리어 높이 대 PADRE로부터의 게이트 바이어스(V_{gs})는 점선으로 표시되어 있다. 이 짧은 배리어에서 전류를 계산하기 위해 사용되며, 도 2에는 실선으로 표시되어 있다. 도 2에서 절과 대시로 나타낸 PADRE로부터의 전류 값은 PADRE 시뮬레이션 및 본 발명의 모델에 의해 예시된 것과 같이 곡선들의 유사성을 나타내기 위해 일정한 인자(대략 5)에 의해 크기가 정해진다. 그래프는 V_{gs} 가 증가함에 따라 배리어 높이의 포화 거동은 전류가 포화하도록 하는 것을 나타낸다. 이러한 결과는 통상 경계면의 개략적인 스캐터링의 증가로 인해 이동도가 감소하는 것으로 인한 것이다. 따라서, 배리어 모델은 명백하게 이러한 요인을 고려하지 않고, 이동도로 인한 물리적 특성들을 설명한다.

<29> 도 3에 있어서, 동일한 3개의 양이 드레인 바이어스(V_{ds})의 함수로서 도시되어 있다. 다시, 본 모델과 종래 기

술의 시뮬레이터들 사이에는 정성적인 일치가 존재한다. 점선은 PADRE로부터의 배리어 높이의 값이고, 실선은 본 배리어 모델에서의 결과적인 전류이며, 점-대시선은 PADRE로부터의 계산된 전류이다. 배리어 모델에서, 출력 컨덕턴스는 드레인 바이어스가 배리어 높이를 변경하는 정도에 대응한다.

<30> I_d 대 V_{ds} 의 실제 크기와 배리어-역압 모델(barrier-dominated model)에 대한 계산들이, 200 미크론의 게이트 폭과 0.10, 0.15, 0.20 및 0.25 미크론의 게이트 길이를 갖는 디바이스들에 대해 도 4a 및 도 4b에 각각 도시된다. PADRE-계산 전류는 도 4c에 도시된다. 수행된 검사에 있어서, 디바이스에서의 도편트의 활성 농도에 대해 약간의 불확실성이 있었으며, 따라서, 배리어 높이는 정량적인 불확실성의 어떤 인자에 의해 추정되었다. 이 파라미터의 더욱 정확한 지식은 배리어 모델과 데이터 사이에서 정성적인 일치를 향상시킬 것이다.

<31> 요약하면, 짧은 채널 MOS 디바이스의 전류를 계산하는 새로운 방법이 개발되었다. 배리어 모델은 소스-채널 배리어 높이에 지수 함수적으로 의존하는 전류를 산출하고, 몇몇 단순화된 가정들에도 불구하고 정성적으로 정확한 거동을 생성한다. 결과로 생긴 분석적 표현은 회로 분석에 적합한 복잡도의 표현이다.

<32> 모델의 유도는 다음과 같다. 바이어스 하에서의 MOS 디바이스는 도 1에 개략적으로 도시된 대역 구조를 갖는다. 상기에 설명한 것과 같이, 소스와 채널 사이의 도핑 차이로 인해 형성되는 배리어가 존재한다. 전류는 연속적이기 때문에, 전류는 채널에서의 배리어 근처의 점에서 계산될 수 있다. 소스를 떠나고 채널에서 이동하는 전자들은 소스-드레인 바이어스가 현저할 때 포화 속도까지 빠르게 가속될 것이다. 결과적으로, 전자 수송은 채널에서 상당히 빠르다. 그러나, 전자는 소스-드레인 전계 영역에 도달하기 전에, 소스로부터 채널로 이동해야 한다. 소스 내의 전자들이 열적으로 분산되는 것으로 가정하면, 전자들 일부는 배리어를 횡단하기에 충분하지 않은 양의 에너지를 가질 것이다. 다른 전자들은 최소 에너지를 가질 것이며, 그 후 에너지가 증가됨에 따라 캐리어들의 수는 지수 함수적으로 감소될 것이다.

<33> 전자들은 이 점에서 대역 에지에 비교적 가깝기 때문에, 전자의 속도는 $h\underline{k}_x/m_x^*$ 로 할 수 있으며, 여기서 \underline{k} 는 전자와 연관된 웨이브 벡터이고 성분 \underline{k}_x , \underline{k}_y 및 \underline{k}_z 를 갖는다. (도 1에 방향 정의가 도시되어 있다.) \underline{k} 는 임의의 작은 값일 수 있기 때문에, 일부 전자들은 배리어를 횡단하는데 임의의 긴 시간이 걸릴 것이다. 에너지가 더 높은 다른 전자들은 더 빠르게 횡단할 것이지만, 아주 적은 수의 전자들은 포화 속도로 배리어를 횡단할 것이다.

<34> 다르게 기재가 되지 않는다면, 여기서 사용되는 바와 같이, 다음의 배리어 모델 변수들은 다음의 의미를 갖는다.

<35> I_{12} 는 소스 영역으로부터 채널 영역으로의 전류를 의미한다.

<36> q 는 공지된 전하 상수($\sim 1.602 \times 10^{-19}$ 쿨롱)를 의미한다.

<37> h 는 공지된 수정된 프랭크 상수($(\sim 6.62 \times 10^{-27} \text{ erg/sec.})/2\pi$)를 의미한다.

<38> k 는 공지된 볼츠만(Boltzmann) 상수($\sim 1.38 \times 10^{-16} \text{ erg}/\text{K}$)를 의미한다.

<39> T 는 절대 온도(켈빈 등급)를 의미한다.

<40> e 는 자연 대수의 베이스를 의미한다.

<41> F_1 은 소스 영역의 페르미 분산을 의미한다.

<42> F_2 는 채널 영역의 페르미 분산을 의미한다.

<43> E_{qv} 는 채널 영역에 대한 양자화 에너지를 의미한다.

<44> V_o 는 소스-채널 배리어 높이를 의미한다.

<45> m_{zv} 는 채널 밸리에서의 전자들에 대한 z-방향에서의 질량을 의미한다.

<46> 상기에 설명한 것과 같이, 디바이스에 흐르는 전류는 연속적이어야 하기 때문에, 전자들이 배리어를 횡단하는 레이트의 계산은 디바이스에 흐르는 전류를 계산하는 것과 같다. 전자들이 영역 1로부터 영역 2로 이동하는 레이트를 고려할 필요가 있으며, 상기 영역 1 및 영역 2는 각각 도 1에서 배리어의 왼쪽 및 오른쪽에 대한 영역이

다. 두 영역들의 전자들은 y-방향(즉, 배리어에 대해 수직 방향)에서 양자화되고, 전자들은 위상 일치로 인해 ψ 를 더 유지하는 것으로 가정된다. 이것으로부터, 영역 1로부터 영역 2로 이동하는 전자들의 총 레이트 R_{1-2} 는 다음과 같이 주어지며,

$$R_{1-2} = \left(W / 2\pi^2 \right) \sum_v \int d\underline{k}_x d\underline{k}_z \left(\hbar \underline{k}_x / m_{xv} \right) f_1(l - f_2)$$

<47>

<48> 여기서, W 는 디바이스의 폭이고, f 는 영역 n 에서 h 와 k 에 대응하는 에너지를 갖는 상태의 점유도이다. 밸리 영역(v)에서의 합산은 표면에서 전위 웨일의 상이한 서브-대역들과 상이한 밴드 최소치를 설명한다. 리버스 메카니즘 R_{2-1} 은 다음과 같다.

$$R_{2-1} = \left(W / 2\pi^2 \right) \sum_v \int d\underline{k}_x d\underline{k}_z \left(\hbar \underline{k}_x / m_{xv} \right) f_2(l - f_1)$$

<49>

<50> 영역 1의 전자들은 소스와 준-평형 상태(quasi-equilibrium)에 있다고 가정할 것이다. 영역 2의 전자들은 채널로 흐르며, 따라서 영역 1의 전자들과 다른 페르미 레벨을 갖게 된다. 배리어를 가로지르는 후방 및 전방의 전이 레이트에 따라서, 이 근사치는 정확도가 변하게 될 것이다. 그러나, 이 모델의 한계 내에서, 영역 1로부터 영역 2로 배리어를 가로지르는 모든 전자들은 채널로 계속해서 흐른다.

<51>

에너지와 흐름을 유지하는 전이에 대해서, 흐르는 총 전류는 다음과 같이 된다.

$$I_{12} = \left(qW / 2\pi^2 \right) \sum_v \int d\underline{k}_x d\underline{k}_z \left(\hbar \underline{k}_x / m_{xv} \right) (f_1 - f_2)$$

<52>

<53> 점유 인자들은 다음과 같이 확장될 수도 있다.

$$f_1 - f_2 = (1 - e^{(F2-F1)/kT}) / (1 + e^{(F2-F1)/kT} + e^{(F2-E)/kT} + e^{(E-F1)/kT})$$

<54>

<55> 영역 2의 페르미 레벨은 채널이 바이어스 하에 있을 때 영역 1보다 훨씬 낮다는 것을 유념해야 한다. 대안적으로, 배리어를 가로지르면 전자들이 들어오는 상태들은 본질적으로 점유되지 않는다고 말할 수 있다. 이 경우에 있어서, 상기 식의 분모는 $e^{(E-F1)/kT}$ 에 의해 조절된다. 총 전류는 대략 다음과 같다.

$$I_{12} \approx \left(2qW / (2\pi)^2 \right) \left(1 - e^{(F2-F1)/kT} \right) \sum_v \int d\underline{k}_x d\underline{k}_z \left(\hbar \underline{k}_x / m_{xv} \right) e^{(F1-E)/kT}$$

<56>

<57> 전자의 에너지는 다음과 같이 표현된다.

$$E = E_{qv} + V_o + (\hbar^2/2)(\underline{k}_x^2/m_{xv}) + (\underline{k}_z^2/m_{zv})$$

<58>

<59> 여기서, E_{qv} 는 v 밸리에 대한 양자화 에너지이다. 에너지에 대한 상기 식을 사용하면, 적분은 다음과 같이 된다.

$$I_{12} = \left(2qW\hbar / (2\pi)^2 \right) \left(1 - e^{(F2-F1)/kT} \right) \sum_v \left(e^{(F1-E_{qv}-V_o/kT)} / m_{xv} \right) \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} d\underline{k}_x d\underline{k}_z k_z \exp \left[\left(-\hbar_x^2 / 2kT \right) \left(\left(\underline{k}_x^2 / m_{xv} \right) + \left(\underline{k}_z^2 / m_{zv} \right) \right) \right]$$

<60>

<61> 이 값은 배리어를 통하여 채널로 전자를 운송하기 위해 필요한 운동량의 성분과 관련되기 때문에, 적분은 k_x 의 모든 값들에 걸쳐 수행되지만, k_x 에 대해서는 양의 값들에 대해서만 수행된다. 적분이 수행된 후에, 전류에 대한 최종 식은 다음과 같다.

$$I_{12} = 2qW/h^2(kT/2\pi)^{3/2} [1 - e^{(F_2 - F_1)/kT}] \sum e^{(F_1 - E_{qv} - V_o)/kT} \sqrt{m_{qv}}$$

<62>

<63> 먼저, 기호 q , h 및 k 는 각각 공지된 과학적인 상수를 나타낸다는 것에 유념해야 한다. 변수 e 는 수학적인 상수이다. 또한, W 및 T 는 종래의 방법들로 쉽게 계산되는 물리적 변수들을 나타낸다. 마지막으로, F_1 , F_2 , E_{qv} , V_o 및 m_{qv} 는 이 기술분야에 공지되어 있는 식들에 따라서 쉽게 계산할 수 있는 모든 이론적인 값들이다. 따라서, 이 배리어 모델 레이트 방정식은, 특히, 제안된 MOS 디바이스의 전류-전압 특성을 결정하기 위한 회로 분석에서 사용이 간단해 진다. 본 모델의 사용을 통해서, 이와 같은 디바이스의 정성적 특성은 디바이스를 먼저 제조하지 않고도 쉽게 결정될 수 있다. 따라서, 상기 방정식을 연속적으로 적용함으로써, 설계자는 복수의 상이한 변수들을 상기 방정식에 입력하여, 생각한 MOS 디바이스에 대한 바람직한 I-V 특성을 얻을 수도 있다. 이와 같은 유도는 컴퓨터 상에서 쉽게 수행될 수도 있을 것으로 생각된다.

<64> 도 5를 참조하면, 곧 이용할 수 있는 하드웨어 구성의 컴퓨터 시스템(90)이 도시되어 있다. 컴퓨터 시스템(90)은 프로그램 명령들과 사용자 입력들을 수신하도록 동작하며, 또한 본 발명에 따라 상기 명령들과 입력들에 대응하는 결과들을 출력하도록 동작한다. 컴퓨터 시스템(90)은 인텔사(INTEL CORP.)에 의해 제조된 PENTIUM III 와 같은 범용 마이크로 프로세서일 수도 있는 중앙 처리 장치(프로세서)(100)를 구비한다. 프로세서(100)는 RAM/ROM(102), 클럭(104), 데이터 저장 디바이스(106)(프로그램(107)을 저장함), 입력 디바이스(들)(108) 및 출력 디바이스(들)(110)에 동작 가능하게 접속된다.

<65> 랜덤-액세스 메모리(RAM, random-access memory)는, 특히, 컴퓨터 시스템(90)의 동작 중 프로세서(100)에 의해 이용되는 처리 명령들을 저장하기에 충분한 저장 용량(일반적으로 메가 바이트)을 갖는 적절한 수의 SIMM(Single In-line Memory Module)일 수도 있다. 읽기 전용 메모리(ROM, read-only memory)는, 특히, 컴퓨터 시스템(90)의 기동 루틴 동안 프로세서(100)에 의해 수행되는 명령들을 저장할 수 있는 임의의 영구적인 메모리 매체일 수도 있다. RAM/ROM(102)의 다른 기능들은 이 기술분야에 숙련된 사람들에게 명백할 것이다.

<66> 클럭(104)은 프로세서(100)의 내장 구성 요소일 수도 있으며, 프로세서(100)가 컴퓨터 시스템(90)의 하드웨어 구성 요소들 간의 통신을 동기화하고 실행하는 클럭 속도(일반적으로 MHz)를 규정한다. 클럭(104)의 다른 기능들은 이 기술분야에 숙련된 사람들에게 명백할 것이다.

<67> 입력 디바이스(들)(108)는 다른 컴퓨터 시스템이나 사용자 입력들 중 하나를 통해 컴퓨터 시스템(90)과 정보를 통신하기 위해 사용되는 하나 이상의 일반적으로 공지된 디바이스들일 수도 있다. 따라서, 입력 디바이스(들)(108)는 키보드, 마우스, 그래픽 판, 스캐너, 음성 인식 유닛, 직렬 또는 병렬 통신 포트, 네트워크 접속 및 데이터를 수신하기 위한 임의의 적당한 네트워크 또는 다른 통신 카드를 포함할 수도 있다. 입력 디바이스(들)(108)는 본 발명에 따라 사용자가 명령들 및 값들을 입력할 수 있도록 동작한다.

<68> 출력 디바이스(들)(110)는 컴퓨터 시스템(90)의 사용자와 입력된 명령들 및 값들의 결과들과 통신시키기 위해 컴퓨터 시스템(90)에 의해 사용되는 하나 이상의 일반적으로 공지된 디바이스들일 수도 있다. 따라서, 출력 디바이스(들)(110)는 디스플레이 모니터, 음성 합성기, 프린터, 병렬 또는 직렬 통신 포트, 네트워크 접속 및 데이터를 송신하기 위한 임의의 적당한 네트워크 또는 다른 통신 카드일 수도 있다. 출력 디바이스(들)(110)는 본 발명에 따라 사용자가 입력 명령들 및 값들의 결과들을 수신할 수 있도록 동작한다.

<69> 데이터 저장 디바이스(106)는 컴퓨터 데이터를 저장하기 위한 내부 또는 외부 대용량 메모리 중 하나일 수도 있으며, 그 저장 용량은 일반적으로 기가 바이트의 크기이다. 데이터 저장 디바이스(106)는, 특히, 마이크로소프트사의 WINDOWS NT와 같은 운영체제와 프로그램(107)과 같은 하나 이상의 응용 프로그램들을 저장한다. 따라서, 데이터 저장 디바이스(106)는 플로피 디스크 드라이브, 하드디스크 드라이브, CD-ROM 디스크 및 리더/라이터(reader/writer), DVD 디스크 및 리더/라이터, 아이오메가사(IOMEGA CORP.,)가 제조한 형태의 ZIP 디스크 및 ZIP 드라이브, 및/또는 읽기-전용 또는 읽기-쓰기 포맷의 처리 명령들로 인코딩될 수도 있는 임의의 다른 컴퓨터 관독 가능 매체 중 하나 이상일 수도 있다. 데이터 저장 디바이스(106)의 다른 기능들 및 이용 가능한 디바이스들은 이 기술분야에 숙련된 사람들에게 명백할 것이다.

<70> 프로그램(107)은 본 발명에 따라 컴퓨터 시스템(90)으로 하여금 데이터 및 정보의 입력들을 수신하고 MOS 디바이스의 전압-전류 특성을 결정할 수 있게 하는 복수의 처리 명령들을 포함한다. 프로그램(107)은 C++와 같이 컴퓨터 시스템(90)이 이해하기 쉬운 임의의 종래의 컴퓨터 언어로 작성될 수도 있다. 프로그램(107)은 바람직하게 컴퓨터 시스템(90)으로 하여금 배리어 모델 변수들의 입력들을 받아들이고 및/또는 배리어 모델 변수들에 대한 적당한 값들을 선택할 수 있도록 하는 처리 명령들을 포함한다. 프로그램(107)은 또한 바람직하게 컴퓨터 시스템(90)으로 하여금 각각의 다양한 입력에 대한 결과들 및 선택된 변수들을 결정할 수 있도록 하는 처리 명령들을 포함하며, 상기 결과들은 본 명세서에 설명된 배리어 모델 레이트 방정식에 기인하는 각각의 입력 값들에 대한 전류 값을 포함한다. 마지막으로, 프로그램(107)은 바람직하게 컴퓨터 시스템(90)으로 하여금 입력 변수들에 의해 표현되는 특성을 나타내는 MOS 디바이스의 I-V 특성을 발생할 수 있도록 하는 처리 명령들을 포함한다. 이와 같은 I-V 특성은 일반적으로, 도 4a 내지 도 4b에 예시된 것과 같이, 표준 2차원 그래프의 전류 값 대 전압 값의 곡선으로 도시된다. I-V 특성은 컴퓨터 시스템(90)에 사용하기 위해 고려된 임의의 출력 디바이스(들)(110)를 통해 표현될 수도 있다.

<71> 설명되고 도시된 본 발명의 실시예는 충분히 바람직한 결과들을 얻을 수 있지만, 상기 실시예는 단지 예시적인 목적을 위해 도시되고 설명되었으며 본 발명을 제한하는 것은 아니라는 것이 알아야 한다. 이 기술분야에 숙련된 사람들에게 발생되는 형태 및 세부 사항에 있어서의 다른 변형들은 본 발명의 정신 및 범위 내에 있으며 명확하게 기재되어 있지 않다. 따라서, 본 발명은 첨부된 청구항들에 의해서만 제한된다.

발명의 효과

<72> MOSFET 반도체 디바이스의 전기적 거동을 모델화하기 위한 본 발명의 개선된 방법에서의 레이트 방정식은, 소스 및 채널 도팽의 차이에 의한 경계를 가로지르는 전자 이동과 전류를 포함하는 전기적 거동을 정성적으로 예측함으로써, 도팽 레벨들의 인식과는 무관하게 더 바람직한 전기적 거동을 나타내는 MOSFET 디바이스들을 설계할 수 있고, 이 레이트 방정식은 또한 컴퓨터 시뮬레이션 프로그램으로 MOSFET 디바이스의 거동을 시뮬레이션할 수 있도록 한다.

도면의 간단한 설명

<1> 도 1은 전류가 흐르는 방향과 평행한 방향에서 도전 대역(E_c)의 예시적인 도시를 포함하는 반도체 디바이스의 소스-채널 배리어를 모델화하는 개략도.

<2> 도 2는 본 발명의 배리어 모델에 의해 예측된 결과로 생긴 전류와 종래 기술의 컴퓨터 시뮬레이션에 의해 예측된 전류가 게이트-소스 전압(V_{GS})의 함수로서 도시되고, 소스-드레인 전압(V_{DS})이 일정한 값으로 유지되는 예시적인 소스-채널 배리어 높이를 도시하는 도면.

<3> 도 3은 본 발명의 배리어 모델에 의해 시뮬레이션된 결과로 생긴 전류와 종래 기술의 컴퓨터 시뮬레이션 프로그램에 의해 시뮬레이션된 전류가 드레인-소스 전압(V_{DS})의 함수로서 각각 도시되고, 게이트-소스 전압(V_{GS})이 일정한 값으로 유지되는 예시적인 소스-채널 배리어 높이를 도시하는 도면.

<4> 도 4a 내지 도 4c는 본 발명의 배리어 모델에 의해 시뮬레이션되고, 실제 MOSFET 디바이스로부터 측정되며, 종래 기술의 컴퓨터 시뮬레이션 프로그램에 의해 시뮬레이션되는 것과 같은 전류-전압 특성군을 도시하는 도면.

<5> 도 5는 본 발명의 배리어 모델에 따라 시뮬레이션을 실행시키기 위해 프로그래밍된 컴퓨터 시스템의 개략 블록도.

<6> * 도면의 주요 부분에 대한 부호의 설명 *

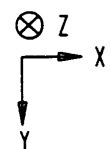
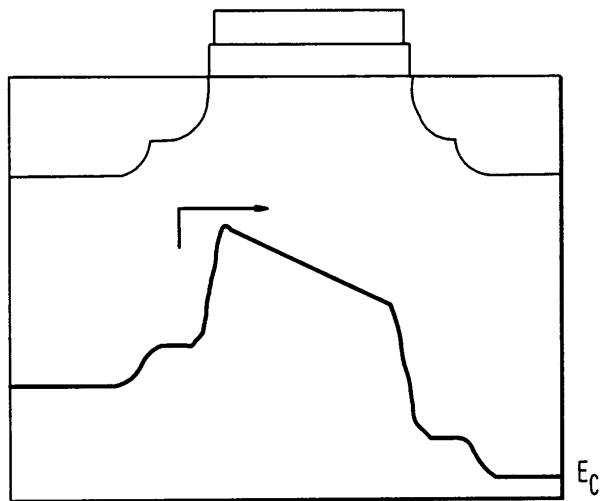
<7> 100 : CPU 102 : RAM/ROM

<8> 104 : 클럭 107 : 프로그램

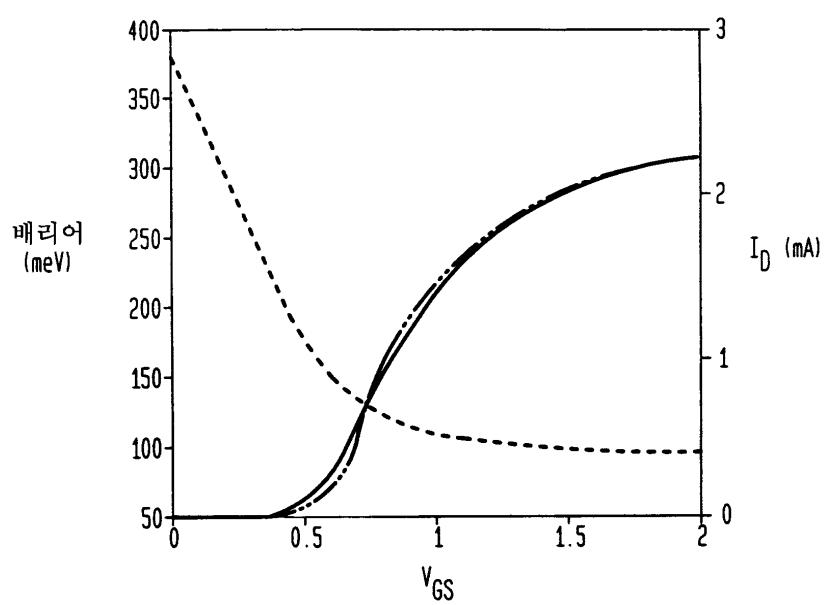
<9> 108 : 입력 디바이스 110 : 출력 디바이스

도면

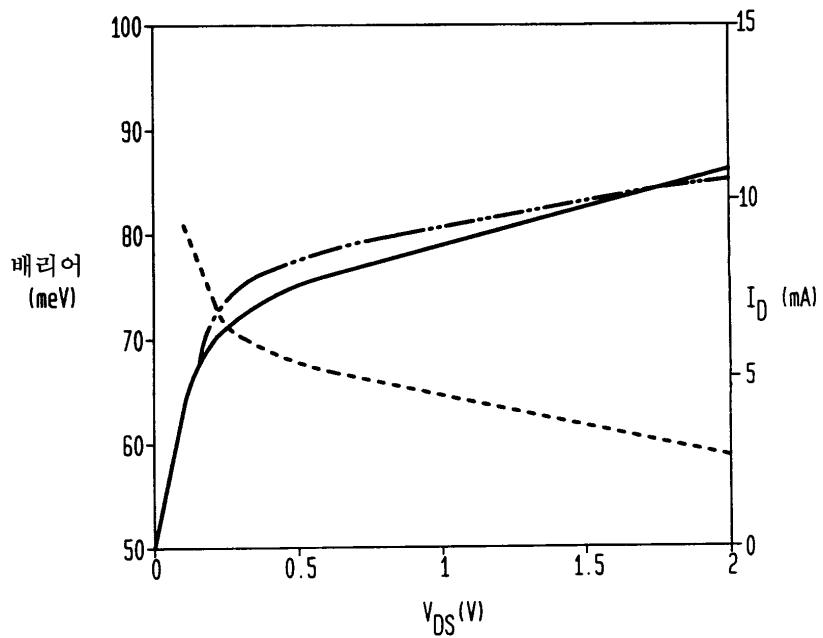
도면1



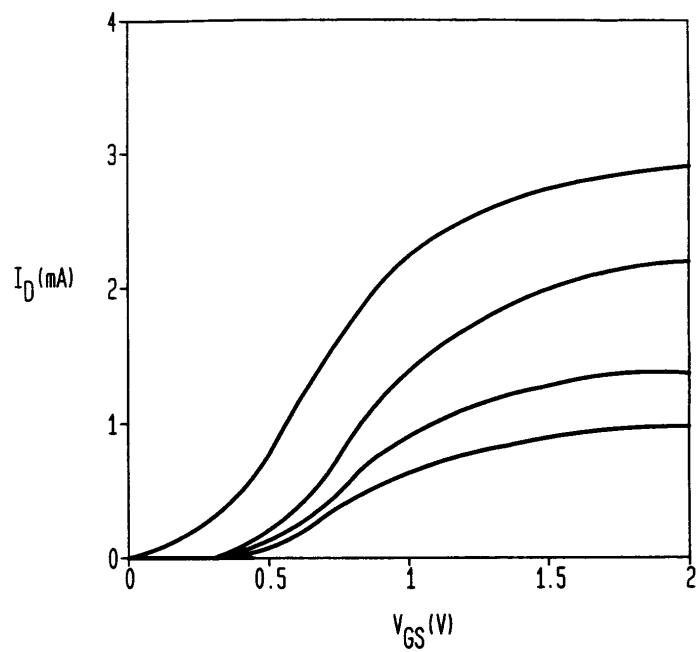
도면2



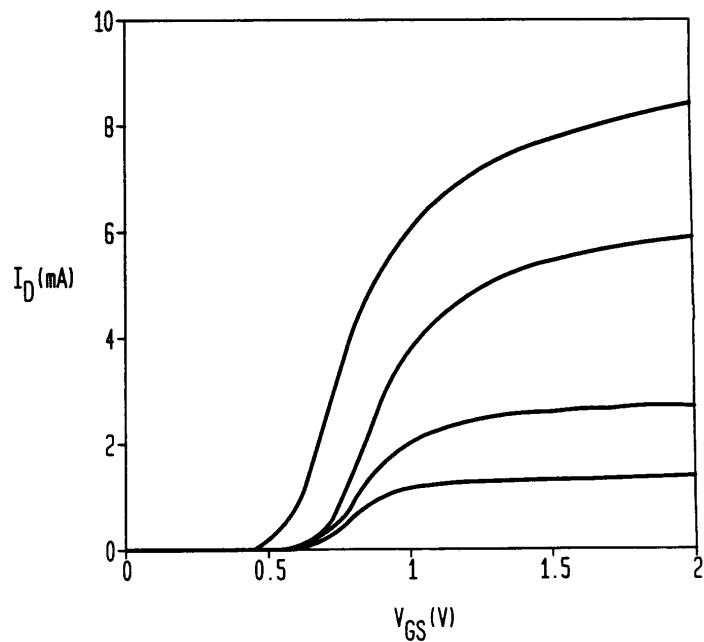
도면3



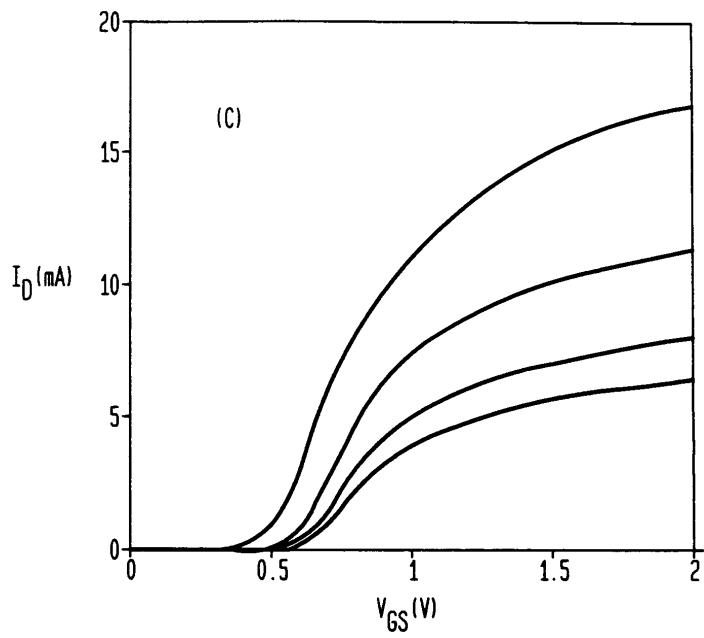
도면4a



도면4b



도면4c



도면5

