

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 7 月 26 日(26.07.2012)



(10) 国際公開番号

WO 2012/098655 A1

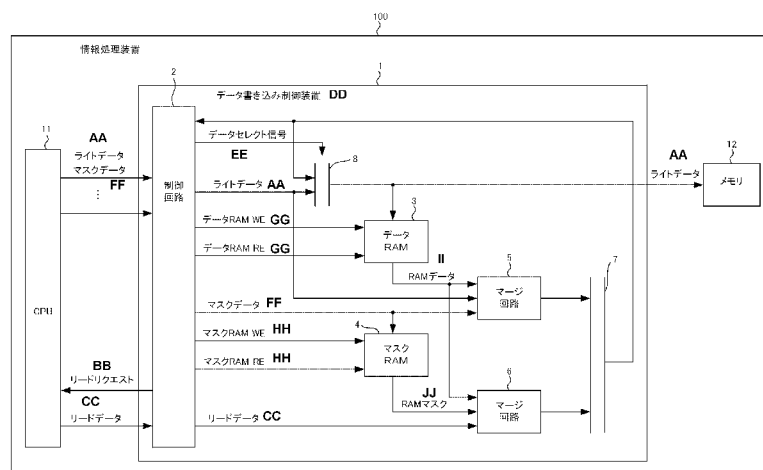
- (51) 国際特許分類:
G06F 12/04 (2006.01)
- (21) 国際出願番号: PCT/JP2011/050888
- (22) 国際出願日: 2011 年 1 月 19 日(19.01.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 佐藤賢太 (SATO, Kenta) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 松井孝夫 (MATSUI, Takao) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 北郷慶太 (KITAGO, Keita) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 植木俊和 (UEKI, Toshikazu) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 片山修平(KATAYAMA, Shuhei); 〒1040031 東京都中央区京橋 1-6-1 三井住友海上テプコビル Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY,

[続葉有]

(54) Title: DATA WRITING CONTROL DEVICE, DATA WRITING CONTROL METHOD, AND INFORMATION PROCESSING DEVICE

(54) 発明の名称: データ書き込み制御装置、データ書き込み制御方法及び情報処理装置

[図3]



100 Information processing device
2 Control circuit
3 Data RAM
4 Mask RAM
5, 6 Merge circuit
12 Memory
AA Write data
BB Read request

CC Read data
DD Data writing control device
EE Data select signal
FF Mask data
GG Data RAM
HH Mask RAM
JJ RAM mask

(57) Abstract: Write data is stored in data RAM (3), and mask data is stored in mask RAM (4) until a control circuit (2) receives read data corresponding to a read request in a case in which partial write cannot be continuously performed to the same address. The control circuit (2) can thereby process other requests during a memory read wait time. Data writing throughput can also be improved.

(57) 要約: パーシャルライトが同じアドレスに連続して行われない場合に、制御回路2がリードリクエストに対応するリードデータを受信するまで、ライトデータはデータRAM3に保持され、マスクデータはマスクRAM4に保持される。これにより、制御回路2がメモリリードの待ち時間の間に他のリクエストを処理することができる。また、データ書き込みのスループットを向上することができる。



TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

データ書き込み制御装置、データ書き込み制御方法及び情報処理装置

技術分野

[0001] 本発明は、データ書き込み制御装置、データ書き込み制御方法及び情報処理装置に関する。

背景技術

[0002] 一般に、メモリ制御回路がメモリにデータを書き込む方式として、全バイト（フルライン）のデータをライトするフルライト方式と、メモリよりデータを読み出して、CPUからの書き込みデータで当該読み出したデータの一部を書き換えるパーシャルライト方式が知られている。

[0003] メモリ制御回路の動作例を図1に示す。まず、メモリ制御回路がCPUからリクエストを受信すると（ステップS1）、メモリ制御回路は受信したリクエストがリードリクエストであるか否かを判別する（ステップS2）。受信したリクエストがリードリクエストである場合（ステップS2でYES）、メモリ制御回路は、メモリ内のリクエストされたアドレスに対してリード動作を行う（ステップS3）。一方、受信したリクエストがリードリクエストでない場合（ステップS2でNO）、メモリ制御回路は受信したリクエストがパーシャルライトのリクエストであるか否かを判別する（ステップS4）。受信したリクエストがパーシャルライトのリクエストである場合には（ステップS4でYES）、メモリ制御回路は、一旦、メモリ内のリクエストされたアドレスに対してリード動作を行い（ステップS3）、その読み出されたデータとCPUからの書き込みデータをマージし（ステップS5）、メモリ内のリクエストされたアドレスに対してライト動作を行う（ステップS6）。一方、受信したリクエストがパーシャルライトのリクエストでない、即ちフルライトのリクエストである場合には（ステップS4でNO）、メモリ制御回路は、メモリ内のリクエストされたアドレスに対してライト動作を

行う（ステップS 6）。

[0004] また、従来より、パーシャルライト専用アドレスレジスタ及びメモリデータレジスタを備えるメモリ制御回路が知られている（例えば、特許文献 1 参照）。

[0005] ここで、特許文献 1 のメモリ制御回路の動作を図 2 に示す。ここでは、メモリ制御回路のライト動作に限定して説明する。

[0006] まず、メモリ制御回路は、CPU からの情報に基づいてメモリライトモードがパーシャルライトであるか否かを判別する（ステップS 10）。メモリライトモードがパーシャルライトでない場合、つまりフルライトである場合（ステップS 10でNO）、ライトデータのアドレスがパーシャルライト専用アドレスレジスタに格納されている前回のパーシャルライトで使用されたアドレスと一致するか否かを判別する（ステップS 11）。

[0007] ライトデータのアドレスが前回のパーシャルライトで使用されたアドレスと一致する場合には（ステップS 11でYES）、メモリ制御回路は、ライトデータをメモリデータレジスタに保持し（ステップS 12）、メモリに対しライト動作を行う（ステップS 13）。ライトデータのアドレスが前回のパーシャルライトで使用されたアドレスと一致しない場合には（ステップS 11でNO）、ステップS 13の手順を実行する。

[0008] 一方、メモリライトモードがパーシャルライトである場合（ステップS 10でYES）、メモリ制御回路は、パーシャルライトのリクエストを受信し（ステップS 14）、パーシャルライトのリクエストに含まれるライトデータのアドレスがパーシャルライト専用アドレスレジスタに格納されている前回のパーシャルライトで使用されたアドレスと一致するか否かを判別する（ステップS 15）。ライトデータのアドレスが前回のパーシャルライトで使用されたアドレスと一致する場合には（ステップS 15でYES）、メモリ制御回路は、メモリデータレジスタに保持されているデータとライトデータとをマージする（ステップS 16）。メモリデータレジスタには、パーシャルライトを行うアドレスに対応するメモリ内のデータと同一のデータが既に

格納されているので、ステップS 16では、メモリリード動作が行われない。さらに、メモリ制御回路は、マージされたデータをメモリデータレジスタに保持し、メモリに対しライト動作を行う（ステップS 17）。

[0009] 一方、ライトデータのアドレスが前回のパーシャルライトで使用されたアドレスと一致しない場合には（ステップS 15でNO）、メモリ制御回路は、CPUに対してリードリクエストを出力する（ステップS 18）。メモリ制御回路は、リードデータを受信したか否かを判別する（ステップS 19）。メモリ制御回路がリードデータを受信していない場合には（ステップS 19でNO）、ステップS 19の判別が繰り返される。一方、メモリ制御回路がリードデータを受信した場合に（ステップS 19でYES）、メモリ制御回路はリードデータをメモリデータレジスタに保持し（ステップS 20）、ステップS 16の手順に進む。

[0010] このように、特許文献1のメモリ制御回路では、パーシャルライトアクセス時に、パーシャルライト専用アドレスレジスタ及びメモリデータレジスタにそれぞれアドレス及びデータを格納する。次のパーシャルライトアドレスがパーシャルライト専用アドレスレジスタの保持するアドレスと同一であるときに、メモリ制御回路は、メモリの代わりにメモリデータレジスタからデータを読み出して、そのデータとライトデータをマージする（ステップS 15及びS 16参照）。従って、パーシャルライトが同じアドレスに連続して行われる場合に、メモリリード動作を行う必要がなくなり、パーシャルライトアクセスの高速化が可能になる。

先行技術文献

特許文献

[0011] 特許文献1：特開平6－119238号公報

発明の概要

発明が解決しようとする課題

[0012] しかしながら、上記特許文献1のメモリ制御回路では、パーシャルライト

が同じアドレスに連続して行われない場合には、従来と同様に、メモリリード動作を行う必要がある。特に、ライトやリードのリクエストを発行するCPUなどのリクエスターが複数搭載されている装置では、パーシャルライトのリクエストが増加し、パーシャルライトが同じアドレスに連続して行われない場合が増加する。この場合、メモリ制御回路では、アクセスタイムの長いメモリリード動作により高速動作ができなくなり、データ書き込みのスループットが低下するという問題がある。

- [0013] 上記課題に鑑み、明細書に開示されたデータ書き込み制御装置、データ書き込み制御方法及び情報処理装置は、データ書き込みのスループットを向上させることを目的とする。

課題を解決するための手段

- [0014] 上記目的を達成するため、明細書に開示されたデータ書き込み制御装置は、要求装置からの要求がデータの部分書き込みの要求であり、且つ前記部分書き込みが同じアドレスに連続して行われるか否かを判定する判定手段と、前記要求装置からの要求がデータの部分書き込みの要求であり、且つ前記部分書き込みが前回の部分書き込みと異なるアドレスに行われる場合に、データの読み出し要求を前記要求装置に送信する送信手段と、前記データの読み出し要求に対応する読み出しデータを受信するまで、前記部分書き込みの要求に含まれる書き込みデータ及び当該書き込みデータの書き換え場所を示すデータを保持する保持手段とを備える。
- [0015] 明細書に開示されたデータ書き込み制御方法は、要求装置からの要求がデータの部分書き込みの要求であり、且つ前記部分書き込みが同じアドレスに連続して行われるか否かを判定し、前記要求装置からの要求がデータの部分書き込みの要求であり、且つ前記部分書き込みが前回の部分書き込みと異なるアドレスに行われる場合に、データの読み出し要求を前記要求装置に送信し、前記データの読み出し要求に対応する読み出しデータを受信するまで、前記部分書き込みの要求に含まれる書き込みデータ及び当該書き込みデータの書き換え場所を示すデータを保持する。

発明の効果

[0016] 明細書に開示されたデータ書き込み制御装置、データ書き込み制御方法及び情報処理装置は、データ書き込みのスループットを向上することができる。

図面の簡単な説明

[0017] [図1]メモリ制御回路の動作を示すフローチャートである。

[図2]メモリ制御回路のライト動作を示すフローチャートである。

[図3]本実施の形態に係る情報処理装置の概略構成の一例を示すブロック図である。

[図4]制御回路2の概略構成を示すブロック図である。

[図5]データ書き込み制御装置1で実行される処理を示すフローチャートである。

[図6] (A)は従来のパーシャルライト動作を示す模式図である。(B)は本実施の形態のパーシャルライト動作を示す模式図である。

発明を実施するための形態

[0018] 以下、図面を参照しながら本発明の実施の形態を説明する。

[0019] 図3は、本実施の形態に係る情報処理装置の概略構成の一例を示すブロック図である。

[0020] 図3において、情報処理装置100は、CPU11、データ書き込み制御装置1、及びメモリ12を備えている。情報処理装置は、例えば、サーバ又はパーソナルコンピュータなどである。データ書き込み制御装置1は、制御回路2、データ用のRAM(Random Access Memory)3(以下、データRAMという)、マスクデータ用のRAM4(以下、マスクRAMという)、マージ回路5及び6、並びにセクタ7及び8を備えている。制御回路2は、判定手段及び送信手段として機能する。データRAM3及びマスクRAM4は保持手段として機能する。マージ回路5及び6は統合手段として機能する。

[0021] 制御回路2は、CPU11からライトリクエストを受信する。ライトリク

エストは、フルラインのデータをメモリに書き込むフルライトのリクエストと、CPUからの書き込みデータ（ライトデータ）で保持していたデータの一部を書き換えて、書き換えられたデータをメモリに書き込むパーシャルライトのリクエストとがある。また、制御回路2は、パーシャルライトのリクエストをCPU11から受信したときに、リードリクエストをCPU11に送信し、リードリクエストに対応するリードデータをCPU11から受信する。制御装置2の構成の詳細は後述する。図1では、データ書き込み制御装置1にリクエストを発信するリクエスタ（要求装置）は、CPU11であるが、複数のCPUであってもよい。また、リクエスタは、CPUに限定されず、例えばI/O（input/output）装置でもよい。

[0022] データRAM3は、セクタ8で選択されたライトデータ又はマージデータを保持する。尚、マージデータとは、後述するマージ回路5又は6で複数のデータがマージ（統合）されて、生成されたデータである。マスクRAM4は、マスクデータを保持する。マスクデータとは、パーシャルライトのリクエストでCPU11から受信するデータであり、部分的に書き換えるデータの場所を示すデータである。

[0023] マージ回路5は、マスクデータに基づいて、ライトデータ及びデータRAM3に保持されたデータをマージする。マージ回路6は、マスクデータに基づいて、データRAM3に保持されたデータ及びリードデータをマージする。セクタ7は、マージ回路5及び6のいずれか一方のマージデータを選択し、制御回路2及びセクタ8に出力する。セクタ7は、パーシャルライトが同じアドレスに連続して行われる場合には、マージ回路5のマージデータを選択し、パーシャルライトが同じアドレスに連続して行われない場合には、マージ回路6のマージデータを選択する。セクタ8は、ライトデータ及びマージデータのいずれか一方を選択し、選択したデータをデータRAM3及びメモリ12に出力する。

[0024] 次に、データ書き込み制御装置1の動作について説明する。

[0025] 制御回路2がCPU11からフルライトのリクエストを受信すると、制御

回路2はライトデータを選択するデータセレクト信号をセクタ8に出力する。セクタ8は、そのデータセレクト信号に基づいて、ライトデータを選択し、データRAM3及びメモリ12に出力する。データRAM3内に同一アドレスのデータがある場合には、その同一アドレスのデータはライトデータにより更新される。

[0026] 制御回路2はCPU11から前回のパーシャルライトと同じアドレスに連続して行われるパーシャルライトのリクエストを受信した場合には、データRAM3内からそのアドレスに対応するデータが読み出され、マージ回路5が読み出されたデータ及びライトデータをマージする。マージ回路5から出力されるマージデータは、セクタ7及び8を介してデータRAM3及びメモリ12に出力される。データRAM3に保持されていたデータは、マージ回路5から出力されるマージデータにより更新される。

[0027] 制御回路2は、CPU11から前回のパーシャルライトと異なるアドレスに行われるパーシャルライトのリクエストを受信した場合には、リードリクエストをCPU11に出力する。また、制御回路2は、今回のパーシャルライトのリクエストで受信したライトデータ及びマスクデータをそれぞれデータRAM3及びマスクRAM4に保持する。これにより、データ書き込み制御装置1は、CPU11からリードリクエストに対応するリードデータを受信するまで、他の動作を行うことができる。即ち、制御回路2、データRAM3、マスクRAM4、マージ回路5及び6、並びにセクタ7及び8は、制御回路2がCPU11からリードリクエストに対応するリードデータを受信するまで、他のリクエストの処理を実行することができる。

[0028] 制御回路2がCPU11からリードリクエストに対応するリードデータを受信すると、制御回路2では、リードデータの処理が優先される。即ち、データRAM3に保持されたライトデータ、マスクRAM4に保持されたマスクデータ及びリードデータがマージ回路6に出力され、マスクデータに基づいてライトデータ及びリードデータがマージされる。マージ回路6から出力されるマージデータは、セクタ7及び8を介してデータRAM3及びメモ

リ 1 2 に出力される。データ RAM 3 に保持されていたデータは、マージ回路 6 から出力されるマージデータにより更新される。

[0029] 図 4 は、制御回路 2 の概略構成を示すブロック図である。

[0030] 図 4 において、制御回路 2 は、リクエスト調停部 2 1、及びリクエスト判定／アドレス比較部 2 2 を備えている。リクエスト調停部 2 1 は、調停手段として機能する。リクエスト調停部 2 1 は、CPU 1 1 からのライトリクエスト、パーシャルライトにおけるリードリクエストに対応するリードデータ、及びパーシャルライトにおけるマージデータの処理順番に関する調停を行う。処理の優先順位は、マージデータ、リードデータ、ライトリクエストの順番である。これにより、CPU 1 1 からのライトリクエストよりも、リードデータを使うマージ処理を優先的に実行することができる。

[0031] リクエスト判定／アドレス比較部 2 2 は、リクエスト調停部 2 1 で選択されたデータ又はリクエスト毎に、データ RAM 3 に保持されているデータに対応するアドレスを保持している。このアドレスは、例えば、フリップフロップ (FF) 回路 2 3 に保持される。リクエスト判定／アドレス比較部 2 2 は、この保持されているアドレスとリクエスト調停部 2 1 で選択されたデータ又はリクエスト調停部 2 1 で選択されたリクエストに含まれるデータのアドレスとを比較し、所定の信号やデータを出力する。

[0032] 例えば、マージデータがリクエスト調停部 2 1 に入力された場合は、リクエスト調停部 2 1 は、マージデータの入力をリクエスト判定／アドレス比較部 2 2 に通知し、リクエスト判定／アドレス比較部 2 2 は、データセクタ信号をセクタ 8 に出力すると共にマージデータを書き込むためのデータ RAM WE (Write Enable) 信号をデータ RAM 3 に出力する。これにより、マージデータは、セクタ 8 を介してデータ RAM 3 に書き込まれる。

[0033] リードデータがリクエスト調停部 2 1 に入力された場合は、リクエスト調停部 2 1 は、リードデータの入力をリクエスト判定／アドレス比較部 2 2 に通知する。リクエスト判定／アドレス比較部 2 2 は、リードデータにマージされるデータを読み出すためのデータ RAM RE (Read Enable) 信号をデ

ータRAM 3に出力する。さらに、リクエスト判定／アドレス比較部22は、マスクデータを読み出すためのマスクRAM RE信号をマスクRAM 4に出力し、リードデータをマージ回路6に出力する。これにより、データRAM 3に保持されているデータ、マスクRAM 4に保持されているマスクデータ、及びリードデータがマージ回路6に出力される。そして、データRAM 3に保持されているデータの書き換え部分がマスクデータにより特定され、データRAM 3に保持されているデータとリードデータがマージされる。

[0034] フルライトのリクエストがリクエスト調停部21に入力された場合は、リクエスト調停部21は、フルライトのリクエストの入力をリクエスト判定／アドレス比較部22に通知する。リクエスト判定／アドレス比較部22は、フルライトのリクエストに含まれるライトデータのアドレスとフリップフロップ回路23に保持された前回のフルライトのリクエストに含まれるライトデータのアドレスとを比較する。フルライトのリクエストに含まれるライトデータのアドレスとフリップフロップ回路23に保持された前回のフルライトのリクエストに含まれるライトデータのアドレスとが一致する場合は、リクエスト判定／アドレス比較部22は、データセレクト信号及びライトデータをセクタ8に、データRAM WE (Write Enable) 信号をデータRAM 3にそれぞれ出力する。これにより、ライトデータはセクタ8を介してデータRAM 3に上書きされると共にメモリ12に出力される。一方、フルライトのリクエストに含まれるライトデータのアドレスとフリップフロップ回路23に保持された前回のフルライトのリクエストに含まれるライトデータのアドレスとが一致しない場合は、リクエスト判定／アドレス比較部22は、データセレクト信号及びライトデータをセクタ8に出力する。これにより、ライトデータはメモリ12に出力される。

[0035] パーシャルライトのリクエストがリクエスト調停部21に入力された場合は、リクエスト調停部21は、パーシャルライトのリクエストの入力をリクエスト判定／アドレス比較部22に通知する。リクエスト判定／アドレス比較部22は、パーシャルライトのリクエストに含まれるライトデータのアド

レスとフリップフロップ回路 23 に保持された前回のパーシャルライトのリクエストに含まれるライトデータのアドレスとを比較する。パーシャルライトのリクエストに含まれるライトデータのアドレスとフリップフロップ回路 23 に保持された前回のパーシャルライトのリクエストに含まれるライトデータのアドレスとが一致する場合は、リクエスト判定／アドレス比較部 22 は、ライトデータ及びマスクデータをマージ回路 5 に、データ RAM RE 信号をデータ RAM 3 にそれぞれ出力する。これにより、データ RAM 3 に保持されているデータの書き換え部分がマスクデータにより特定され、データ RAM 3 に保持されているデータとライトデータがマージされる。この場合、パーシャルライトにおいてメモリリード動作を行う必要がないので、メモリライトのスループットを向上することができる。

[0036] 一方、パーシャルライトのリクエストに含まれるライトデータのアドレスとフリップフロップ回路 23 に保持された前回のパーシャルライトのリクエストに含まれるライトデータのアドレスとが一致しない場合は、リクエスト判定／アドレス比較部 22 は、リードリクエストを CPU 11 に、データセレクト信号及びライトデータをセクタ 8 に、データ RAM WE 信号をデータ RAM 3 に、マスクデータ及びマスク RAM WE 信号をマスク RAM 4 にそれぞれ出力する。これにより、制御回路 2 がリードリクエストに対応するリードデータを受信するまで、ライトデータはデータ RAM 3 に保持され、マスクデータはマスク RAM 4 に保持される。この場合、制御回路 2 がリードデータの待ち時間の間に他のリクエストを処理することができ、データ書き込みのスループットを向上することができる。

[0037] 図 5 は、データ書き込み制御装置 1 で実行される処理を示すフローチャートである。

[0038] まず、制御回路 2 がマージデータを受信したか否かを判別する（ステップ S 21）。制御回路 2 がマージデータを受信した場合には（ステップ S 21 で YES）、制御回路 2 は、マージデータを選択するためのデータセクタ信号をセクタ 8 に出力すると共にデータ RAM WE（Write Enable）信

号をデータRAM 3に出力し、マージデータをデータRAM 3及びメモリ 12に書き込む（ステップS 22）。

- [0039] 一方、制御回路2がマージデータを受信していない場合には（ステップS 21でNO）、制御回路2がリードデータを受信したか否かを判別する（ステップS 23）。制御回路2がリードデータを受信した場合には（ステップS 23でYES）、制御回路2がリードデータにマージされるライトデータを読み出すためのデータRAM RE（Read Enable）信号をデータRAM 3に出力し、マスクデータを読み出すためのマスクRAM RE信号をマスクRAM 4に出力し、リードデータをマージ回路6に出力する。これにより、データRAM 3に保持されているライトデータ、マスクRAM 4に保持されているマスクデータ、及びリードデータがマージ回路6に出力される。そして、データRAM 3に保持されているデータの書き換え部分がマスクデータにより特定され、データRAM 3に保持されているデータとリードデータがマージされる（ステップS 24）。その後、手順はステップS 21に戻る。
- [0040] 制御回路2がリードデータを受信していない場合には（ステップS 23でNO）、制御回路2は、リクエストの処理を行う（ステップS 25）。具体的には、リクエスト調停部21が、処理するリクエストを選択する。次に、制御回路2は、処理するリクエストがパーシャルライトのリクエストであるか否かを判別する（ステップS 26）。処理するリクエストがパーシャルライトのリクエストである場合には（ステップS 26でYES）、制御回路2のリクエスト判定／アドレス比較部22がパーシャルライトのリクエストを受信する（ステップS 27）。その後、制御回路2のリクエスト判定／アドレス比較部22がパーシャルライトのリクエストに含まれるライトデータのアドレスをフリップフロップ回路23に保持された前回のパーシャルライトのリクエストに含まれるライトデータのアドレスと比較する（ステップS 28）。
- [0041] パーシャルライトのリクエストに含まれるライトデータのアドレスがフリップフロップ回路23に保持された前回のパーシャルライトのリクエストに

含まれるライトデータのアドレスと一致する場合には（ステップS 2 8でYES）、リクエスト判定／アドレス比較部2 2が、ライトデータ及びマスクデータをマージ回路5に、データRAM RE信号をデータRAM 3にそれぞれ出力する。マージ回路5は、データRAM 3に保持されているデータの書き換え部分をマスクデータにより特定し、データRAM 3に保持されているデータとライトデータをマージする（ステップS 2 9）。その後、手順はステップS 2 1に戻る。

[0042] 一方、パーシャルライトのリクエストに含まれるライトデータのアドレスがフリップフロップ回路2 3に保持された前回のパーシャルライトのリクエストに含まれるライトデータのアドレスと一致しない場合には（ステップS 2 8でNO）、リクエスト判定／アドレス比較部2 2は、データセレクト信号及びライトデータをセクタ8に、データRAM WE信号をデータRAM 3に、マスクデータ及びマスクRAM WE信号をマスクRAM 4にそれぞれ出力する。その結果、データRAM 3がライトデータを保持し、マスクRAM 4がマスクデータを保持する（ステップS 3 0）。リクエスト判定／アドレス比較部2 2は、リードリクエストをCPU 1 1に出力する（ステップS 3 1）。その後、手順はステップS 2 1に戻る。

[0043] 上記ステップS 2 6で、処理するリクエストがパーシャルライトのリクエストでない場合、つまり、処理するリクエストがフルライトのリクエストである場合には（ステップS 2 6でNO）、リクエスト判定／アドレス比較部2 2は、フルライトのリクエストに含まれるライトデータのアドレスをフリップフロップ回路2 3に保持された前回のフルライトのリクエストに含まれるライトデータのアドレスと比較する（ステップS 3 2）。

[0044] フルライトのリクエストに含まれるライトデータのアドレスがフリップフロップ回路2 3に保持された前回のフルライトのリクエストに含まれるライトデータのアドレスと一致する場合は（ステップS 3 2でYES）、リクエスト判定／アドレス比較部2 2は、データセレクト信号及びライトデータをセクタ8に、データRAM WE（Write Enable）信号をデータRAM 3

にそれぞれ出力する。これにより、データRAM3はライトデータを上書きする（ステップS33）。メモリ12はライトデータを書き込む（ステップS34）。一方、フルライトのリクエストに含まれるライトデータのアドレスがフリップフロップ回路23に保持された前回のフルライトのリクエストに含まれるライトデータのアドレスと一致しない場合は（ステップS32でNO）、リクエスト判定／アドレス比較部22は、データセレクト信号及びライトデータをセクタ8に出力する。これにより、メモリ12はライトデータを書き込む（ステップS34）。

[0045] 以上説明したように、本実施の形態によれば、パーシャルライトが同じアドレスに連続して行われない場合に（ステップS28でNO、ステップS30）、制御回路2がリードリクエストに対応するリードデータを受信するまで、ライトデータはデータRAM3に保持され、マスクデータはマスクRAM4に保持される。よって、図6（A）の従来のパーシャルライトでは、メモリリードの待ち時間にリクエストを処理できなかったが、図6（B）の本実施の形態のパーシャルライトでは、制御回路2がメモリリードの待ち時間の間に他のリクエストを処理することができる。従って、データ書き込みのスループットを向上することができる。

符号の説明

- [0046] 1 データ書き込み制御装置
2 制御回路
3 データRAM
4 マスクRAM
5, 6 マージ回路、
7, 8 セクタ
11 CPU
21 リクエスト調停部
22 リクエスト判定／アドレス比較部
23 フリップフロップ回路

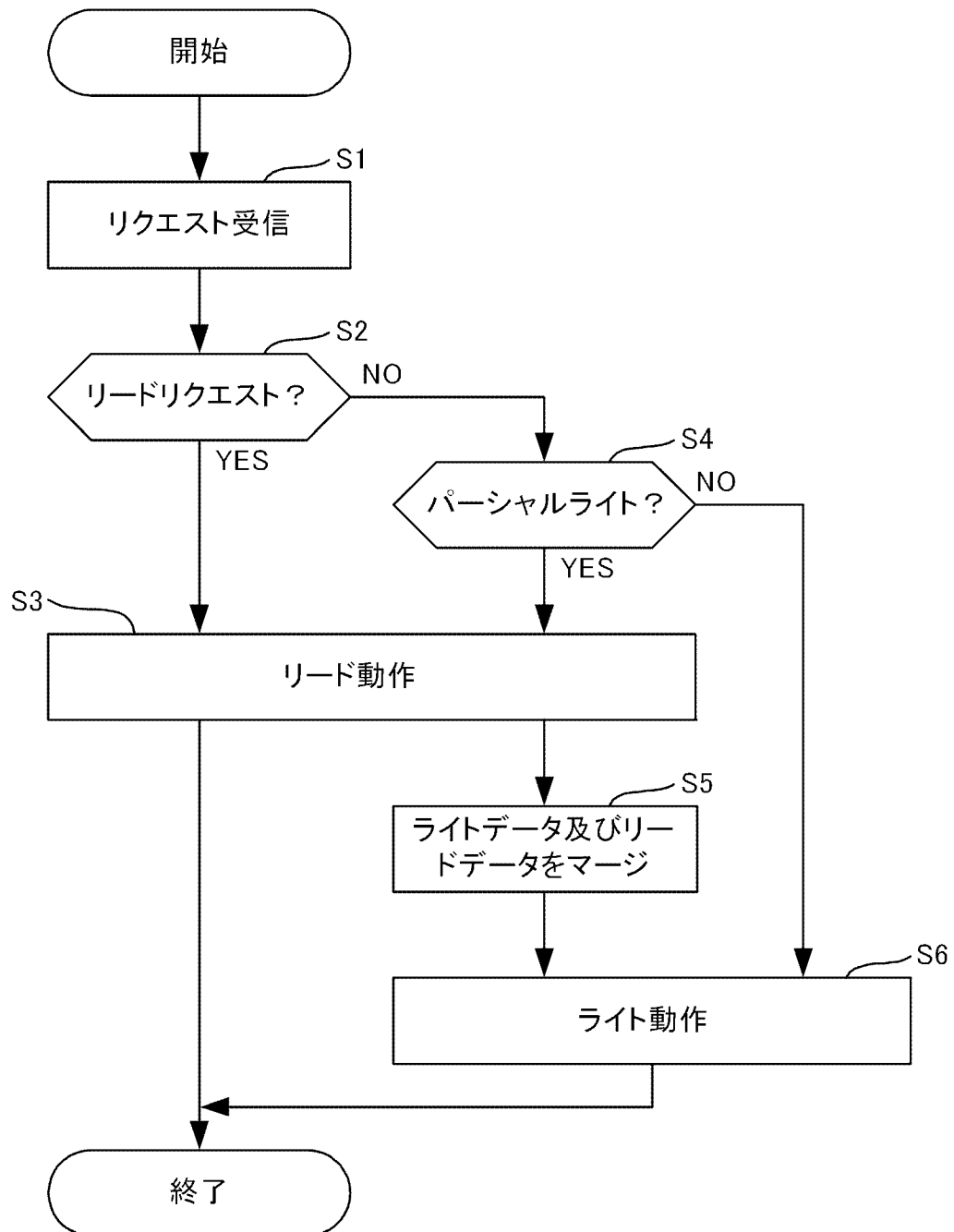
請求の範囲

- [請求項1] 要求装置からの要求がデータの部分書き込みの要求であり、且つ前記部分書き込みが同じアドレスに連続して行われるか否かを判定する判定手段と、
- 前記要求装置からの要求がデータの部分書き込みの要求であり、且つ前記部分書き込みが前回の部分書き込みと異なるアドレスに行われる場合に、データの読み出し要求を前記要求装置に送信する送信手段と、
- 前記データの読み出し要求に対応する読み出しデータを受信するまで、前記部分書き込みの要求に含まれる書き込みデータ及び当該書き込みデータの書き換え場所を示すデータを保持する保持手段と
- を備えるデータ書き込み制御装置。
- [請求項2] 前記読み出しデータを前記書き込みデータに統合した統合データ、前記読み出しデータ、及び前記要求装置からの書き込み要求の順番に従って、前記統合データ、前記読み出しデータ及び前記書き込み要求の処理順番を調停する調停手段を備える請求項1のデータ書き込み制御装置。
- [請求項3] 前記要求装置からの要求がデータの部分書き込みの要求であり、且つ前記部分書き込みが同じアドレスに連続して行われる場合に、前記書き込みデータの書き換え場所を示すデータに基づいて、前記部分書き込みの要求に含まれる書き込みデータを、前記保持手段に保持されている前回の部分書き込みに対応する書き込みデータに統合する統合手段を備える請求項1又は2に記載のデータ書き込み制御装置。
- [請求項4] 要求装置からの要求がデータの部分書き込みの要求であり、且つ前記部分書き込みが同じアドレスに連続して行われるか否かを判定し、
- 前記要求装置からの要求がデータの部分書き込みの要求であり、且つ前記部分書き込みが前回の部分書き込みと異なるアドレスに行われる場合に、データの読み出し要求を前記要求装置に送信し、

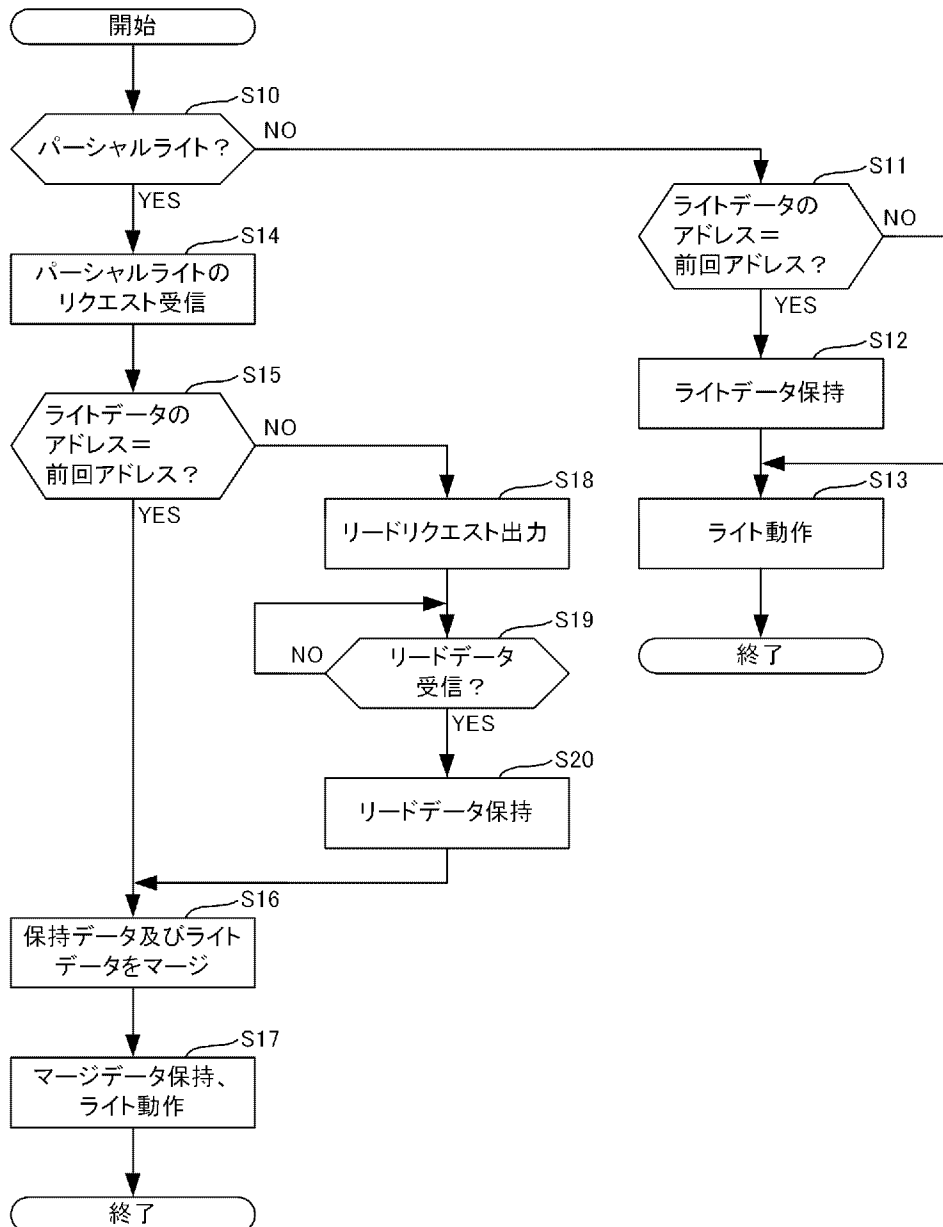
前記データの読み出し要求に対応する読み出しデータを受信するまで、前記部分書き込みの要求に含まれる書き込みデータ及び当該書き込みデータの書き換え場所を示すデータを保持するデータ書き込み制御方法。

[請求項5] 請求項 1 乃至 3 のいずれか 1 項に記載のデータ書き込み制御装置と、
、
前記データ書き込み制御装置に要求を発信する要求装置と
を備える情報処理装置。

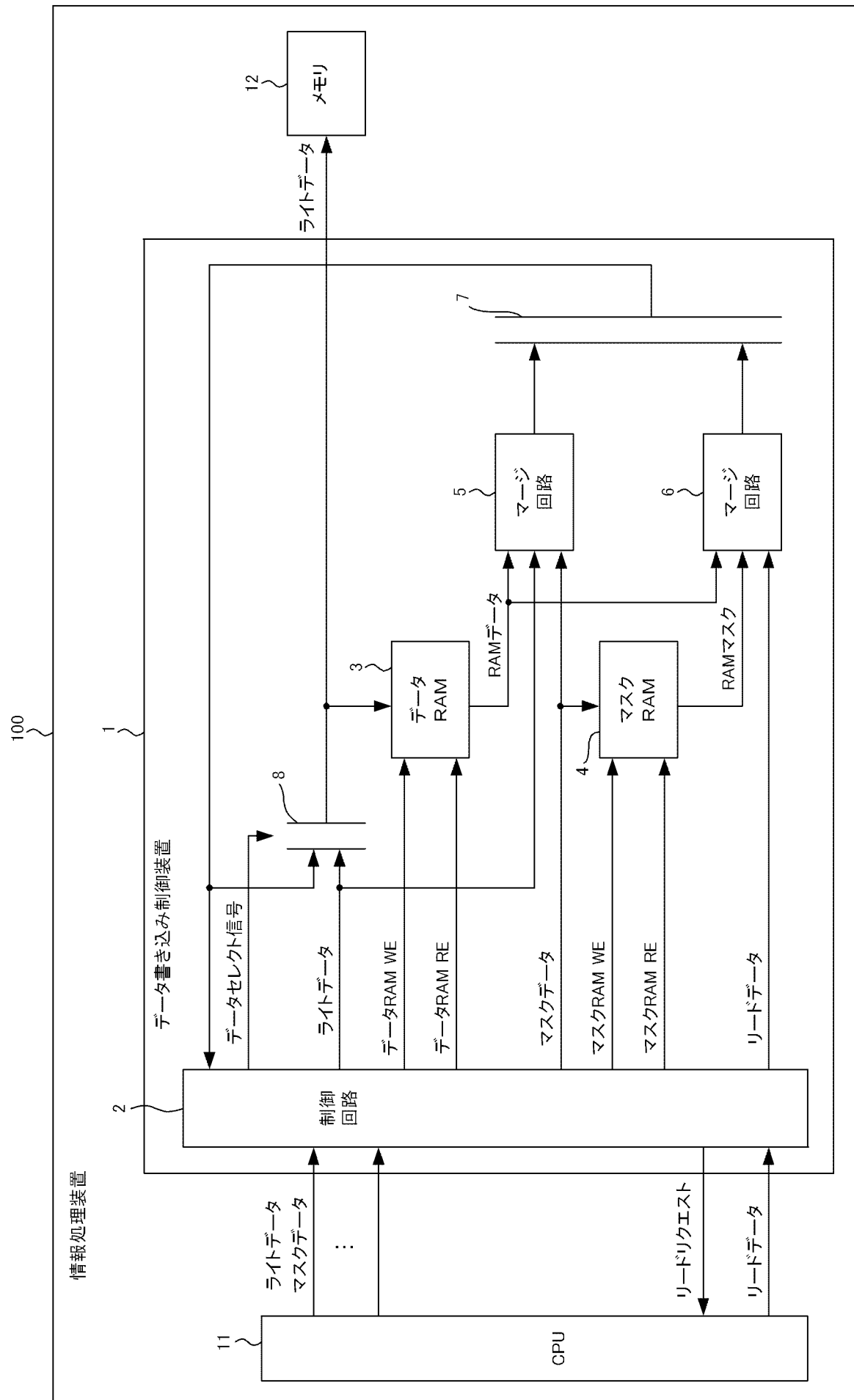
[図1]



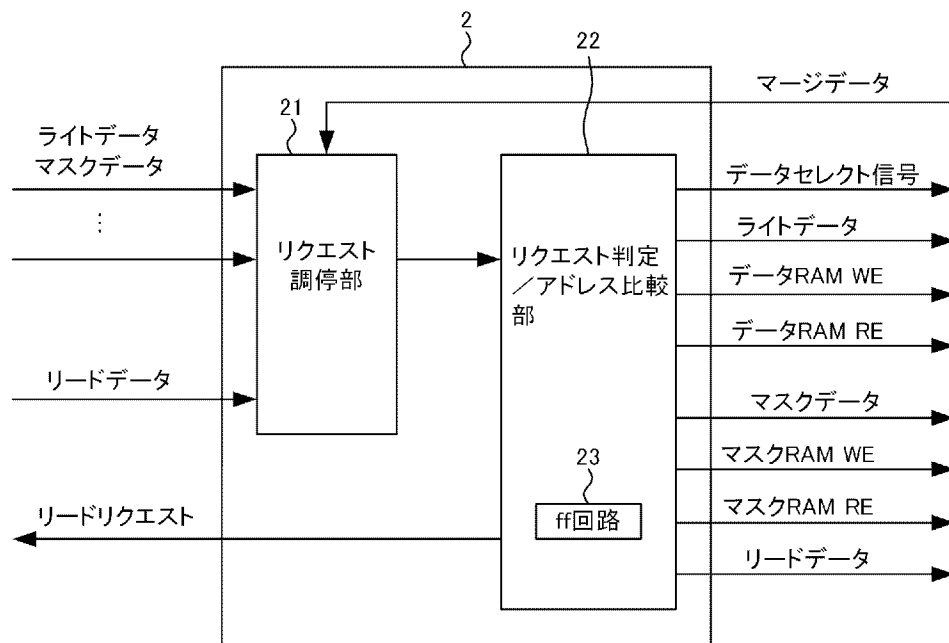
[図2]



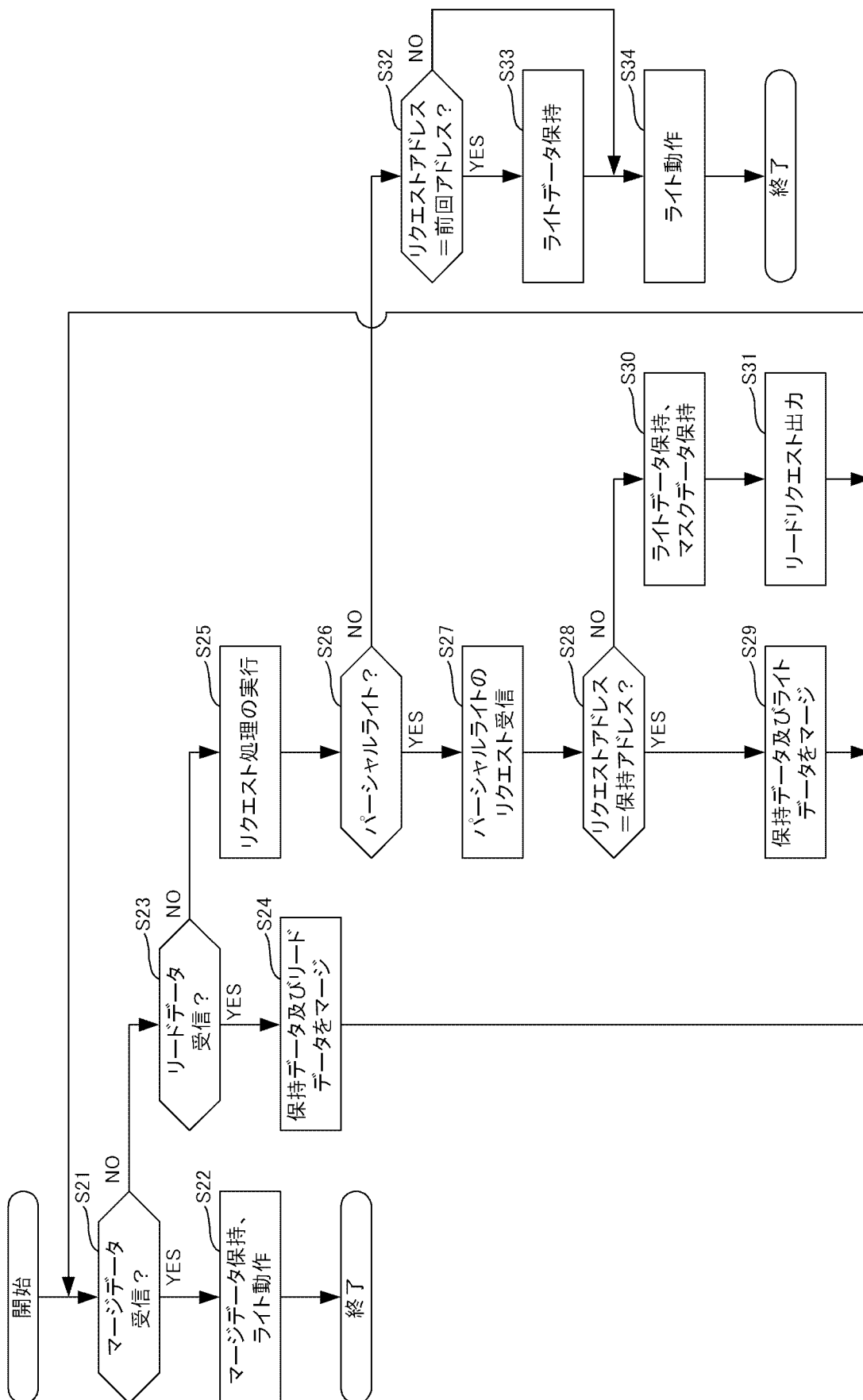
[図3]



[図4]

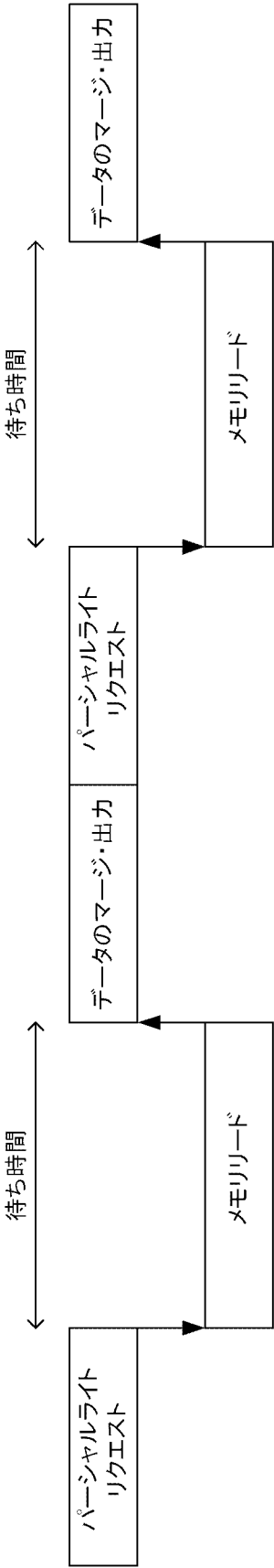


[図5]

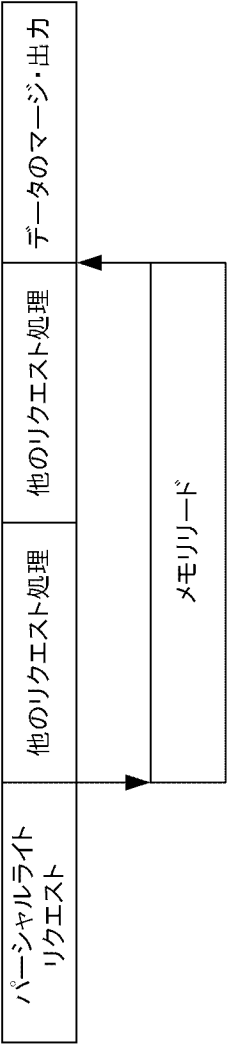


[図6]

(A)



(B)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/050888

A. CLASSIFICATION OF SUBJECT MATTER

G06F12/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/00-12/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	US 2004/0064646 A1 (Steven M.EMERSON et al.), 01 April 2004 (01.04.2004), paragraphs [0035] to [0044]; fig. 3 to 4 (Family: none)	1, 4-5 3 2
Y	JP 6-119238 A (Hitachi, Ltd.), 28 April 1994 (28.04.1994), paragraphs [0006] to [0010]; fig. 1 to 2 (Family: none)	3
A	JP 5-81122 A (PFU Ltd.), 02 April 1993 (02.04.1993), paragraphs [0028] to [0036]; fig. 4 to 6 (Family: none)	1-5

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 February, 2011 (08.02.11)Date of mailing of the international search report
22 February, 2011 (22.02.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/050888

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-130195 A (NEC Kofu Ltd.), 19 May 1995 (19.05.1995), entire text; all drawings (Family: none)	1-5
A	JP 5-181742 A (Fujitsu Ltd.), 23 July 1993 (23.07.1993), entire text; all drawings (Family: none)	1-5

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F12/04 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F12/00-12/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	US 2004/0064646 A1 (Steven M. EMERSON 他) 2004. 04. 01, 段落【0035】 - 【0044】, 第 3-4 図 (ファミリーなし)	1, 4-5 3 2
Y	JP 6-119238 A (株式会社日立製作所) 1994. 04. 28, 段落【0006】 - 【0010】, 第 1-2 図 (ファミリーなし)	3

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 2 . 2 0 1 1

国際調査報告の発送日

2 2 . 0 2 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

野田 佳邦

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 9

5 M

3 4 5 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5-81122 A (株式会社ピーエフユー) 1993. 04. 02, 段落【0028】 - 【0036】, 第 4-6 図 (ファミリーなし)	1-5
A	JP 7-130195 A (甲府日本電気株式会社) 1995. 05. 19, 全文, 全図 (ファミリーなし)	1-5
A	JP 5-181742 A (富士通株式会社) 1993. 07. 23, 全文, 全図 (ファミリーなし)	1-5