

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 3 月 17 日(17.03.2011)

PCT



(10) 国際公開番号
WO 2011/030848 A1

- (51) 国際特許分類:
G06F 15/80 (2006.01) G06N 3/063 (2006.01)
- (21) 国際出願番号: PCT/JP2010/065608
- (22) 国際出願日: 2010 年 9 月 10 日(10.09.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-210093 2009 年 9 月 11 日(11.09.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人九州工業大学(KYUSHU INSTITUTE OF TECHNOLOGY) [JP/JP]; 〒8048550 福岡県北九州市戸畑区仙水町 1-1 Fukuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 森江 隆 (MORIE Takashi) [JP/JP]; 〒8080196 福岡県北九州市若松区ひびきの 2-4 九州工業大学大学院生命体工学研究科内 Fukuoka (JP). 田中 秀樹 (TANAKA Hideki) [JP/JP]; 〒8080196 福岡県北九州市若松区ひびきの 2-4 九州工業大学大学院生命体工学研究科内 Fukuoka (JP). 大久保 悟 (OKUBO Satoru) [JP/JP]; 〒8080196 福岡県北九州市若松区ひびきの 2-4 九州工業大学大学院生命体工学研究科内 Fukuoka (JP). 松坂 建治

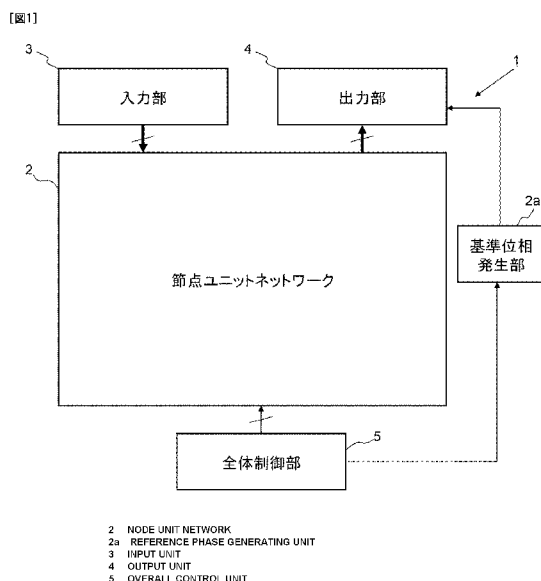
(MATSUZAKA Kenji) [JP/JP]; 〒8080196 福岡県北九州市若松区ひびきの 2-4 九州工業大学大学院生命体工学研究科内 Fukuoka (JP).

- (74) 代理人: 石田 和人 (ISHIDA Kazuto); 〒8080135 福岡県北九州市若松区ひびきの 2 番 1 号 北九州学術研究都市産学連携センター T-302 Fukuoka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF,

[続葉有]

(54) Title: INFORMATION PROCESSING APPARATUS AND PROGRAM

(54) 発明の名称: 情報処理装置及びプログラム



(57) Abstract: Provided is an information processing apparatus which performs cellular-structure network calculations, the information processing apparatus being capable of asynchronous operation and configurable with a simple circuit. The information processing apparatus has a network structure composed of node units, wherein each of the node units is provided with: a state value holding means which holds a phase state value; a state advancing means which increases the phase state value with time at a constant phase speed; a trigger generating means which, when the phase state value has reached a predetermined maximum value, outputs a trigger and resets the phase state value to the initial value thereof; and a state updating means which, when the node unit adjacent to the above node unit has outputted a trigger, updates the phase state value by changing, in accordance with the relative position of the adjacent node unit with respect to the above node unit, a current value of the phase state value to another value obtained by adding a predetermined multiple of the current value to the current value.

(57) 要約: 非同期型動作が可能であり簡単な回路で構成可能なセルラー構造ネットワーク演算を行う情報処理装置を提供する。 節点ユニットのネットワーク構造を有し、各節点ユニットは、位相状態値を保持する状態値保持手段と、位相状態値を一定の位相速度で経時的に増加させる状態進行手段と、位相状態値が所定の最大値になるとトリガを出力し、初期値にリセットするトリガ発生手段と、隣接位置に応じて位相状態値を、当該位相状態値に当該位相状態値を所定倍した値を加えた値に変化させることにより位相状態値を更新する状態更新手段とを備えた。

段と、位相状態値を一定の位相速度で経時的に増加させる状態進行手段と、位相状態値が所定の最大値になるとトリガを出力し、初期値にリセットするトリガ発生手段と、隣接位置に応じて位相状態値を、当該位相状態値に当該位相状態値を所定倍した値を加えた値に変化させることにより位相状態値を更新する状態更新手段とを備えた。

WO 2011/030848 A1

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, 添付公開書類:
SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

規則 4.17 に規定する申立て:

— 発明者である旨の申立て (規則 4.17(iv))

明 細 書

発明の名称： 情報処理装置及びプログラム

技術分野

[0001] 本発明は、スパイク・パルスのタイミングにより計算を行う画像・信号処理技術に関する。

背景技術

[0002] ロボットビジョンや自動車、監視カメラなどのアプリケーションにおいて知的画像認識機能（物体認識・歩行者認識・不審者認識など）が必要とされており、そのために、デジタル方式による各種メディアプロセッサが提案されている。しかし、脳の情報処理機能に学んだような高度に知能的な画像処理や情報処理では、単純な積和演算ではなく、時間的にダイナミックに変化する（非線形）計算を必要とすることが多く、既存のデジタル方式では効率良く実行ができない。特に非線形演算はデジタル方式では通常SRAMベースのルックアップ・テーブルを用いるため、面積効率が非常に低下する。

[0003] そこで、デジタル方式ではなく、時間軸にアナログ的に情報を展開して計算を行うPWM信号を用いたA-D融合方式が提案されている（非特許文献2、非特許文献3）。この方式は小規模な回路で積和演算および任意の非線形演算を実現できるため、非線形ダイナミクス演算を実行する並列処理システムに適するが、同期動作による離散時間演算を行うため、演算効率は高くない。

[0004] ところで、従来から、セルラー構造ネットワークを用いて信号処理を行う技術は、網膜視覚系情報処理等の分野において研究開発が行われている。このセルラー構造ネットワークにおいて前記のPWM信号を用いた技術により、抵抗ネットワークによるガボール型フィルタを構成した例が知られている（非特許文献1、2、3、特許文献1）。

[0005] ここで、ガボール・フィルタ（Gabor Filter）とは、そのインパルス応答が、 $\sin/\cos$ 関数とガウス関数の積で表される線形フィルタと定義されている

。また、ガボール型フィルタ（Gabor-Type Filter）とは、ガボール・フィルタのインパルス応答又はそれに近似するインパルス応答を有するフィルタをいう。

[0006] 図6 1に2次元の抵抗ネットワークによるガボール型フィルタの回路モデルの一例を示す（特許文献1の図40）。

[0007] 図6 1は、1節点分（1つの節点とそれに隣接する節点）の回路を表している。各節点はそれぞれ正方格子上の格子点に配置されている。また、各節点は、実部節点と虚部節点の組み合わせからなる。 $V_{m,n}^r$ ($m, n \in \text{整数}$)は実部節点、 $V_{m,n}^i$ ($m, n \in \text{整数}$)は虚部節点の電圧（節点電圧）を表す。 G_0 は各節点と基準（接地）電位との間のコンダクタンス、 G_{1x} は、水平方向に隣接する実部節点同士又は隣接する虚部節点同士の間のコンダクタンス、 G_{1y} は、垂直方向に隣接する実部節点同士又は隣接する虚部節点同士の間のコンダクタンス、 G_{2x} は、水平方向に隣接する実部節点と虚部節点との間のコンダクタンス、 G_{2y} は、垂直方向に隣接する実部節点と虚部節点との間のコンダクタンスを表す。

[0008] 初期時刻において、各実部節点の節点電圧 $V_{m,n}^r$ には、初期値（例えば、処理画像の画素値に対応する電圧）が与えられ、時間の経過とともに、隣接節点に電流が拡散していく。そして、ある時刻における各節点電圧を同時検出することによって、処理信号を得ることができる。

[0009] このガボール型フィルタの時刻 t における各節点の節点電圧を $V_{m,n}^r(t)$ 、 $V_{m,n}^i(t)$ とすると、キルヒホッフの電流則より、時刻 $t + dt$ における各節点の節点電圧 $V_{m,n}^r(t + dt)$ 、 $V_{m,n}^i(t + dt)$ は次式によって表される。

[0010]

[数1]

$$V_{m,n}^r(t+dt) = V_{m,n}^r(t) + \delta V_{m,n}^r(t) \quad (1a)$$

$$V_{m,n}^i(t+dt) = V_{m,n}^i(t) + \delta V_{m,n}^i(t) \quad (1b)$$

$$\begin{aligned} \delta V_{m,n}^r(t) = & G_0(V_0(t) - V_{m,n}^r(t)) \\ & + G_{1x}(V_{m-1,n}^r(t) - V_{m,n}^r(t)) + G_{1x}(V_{m+1,n}^r(t) - V_{m,n}^r(t)) \\ & + G_{1y}(V_{m,n-1}^r(t) - V_{m,n}^r(t)) + G_{1y}(V_{m,n+1}^r(t) - V_{m,n}^r(t)) \\ & - G_{2x}(V_{m-1,n}^i(t) - V_{m,n}^r(t)) + G_{2x}(V_{m+1,n}^i(t) - V_{m,n}^r(t)) \\ & + G_{2y}(V_{m,n-1}^i(t) - V_{m,n}^r(t)) - G_{2y}(V_{m,n+1}^i(t) - V_{m,n}^r(t)) \end{aligned} \quad (1c)$$

$$\begin{aligned} \delta V_{m,n}^i(t) = & G_0(V_0(t) - V_{m,n}^i(t)) \\ & + G_{1x}(V_{m-1,n}^i(t) - V_{m,n}^i(t)) + G_{1x}(V_{m+1,n}^i(t) - V_{m,n}^i(t)) \\ & + G_{1y}(V_{m,n-1}^i(t) - V_{m,n}^i(t)) + G_{1y}(V_{m,n+1}^i(t) - V_{m,n}^i(t)) \\ & + G_{2x}(V_{m-1,n}^r(t) - V_{m,n}^i(t)) - G_{2x}(V_{m+1,n}^r(t) - V_{m,n}^i(t)) \\ & - G_{2y}(V_{m,n-1}^r(t) - V_{m,n}^i(t)) + G_{2y}(V_{m,n+1}^r(t) - V_{m,n}^i(t)) \end{aligned} \quad (1d)$$

[0011] 図61のモデルでは、抵抗ネットワークの過渡状態をみるため、RCの時間定数で動作する通常の連続時間型アナログ回路で制御することは難しい。そこで、本発明者らは、抵抗ネットワークの各節点の電流式により、離散時間で動作する画素並列型モデルを提案し、パルス変調（PWM）方式の回路を考案し、それを集積化した（非特許文献2，3参照）。

先行技術文献

特許文献

[0012] 特許文献1：特開2004-272806号公報

非特許文献

[0013] 非特許文献1：森江隆，梅澤淳，岩田穆，“抵抗ネットワークの過渡状態を利用するガボール型フィルタ回路”，電子情報通信学会 信学技報，NC2003-82，pp. 13-18，2003年11月。

非特許文献2：T. Morie, J. Umezawa, and A. Iwata, "A Pixel-Parallel Image Processor for Gabor Filtering Based on Merged Analog-Digital Architecture," in Symposium on VLSI Circuits, pp.212-213, 2004.

非特許文献3：森江隆，梅澤淳，岩田穆，“AD融合回路方式による画素並列型ガボール・フィルタLSI”，電子情報通信学会 信学技報，SDM2004-126/ICD2004-68，2004年8月19日。

非特許文献4：銅谷賢治他編，“脳の情報表現”，第1版，朝倉書店，2002年3月20日，pp. 87-97.

非特許文献5：川嶋佑輔他，“領域ベース結合MRFモデルによる大域的画像領域分割とCMOS回路実現”，信学技報，日本，電子情報通信学会，2008年3月，pp. 49-54.

非特許文献6：K. Matsuzaka and T. Morie, "A Simplified Region-Based Coupled MRF Model for Coarse Image Region Segmentation Toward its VLSI Implementation", Proc. of Int. Symp. on Nonlinear Theory and its Applications (NOLTA2009), pp. 202-205, Sapporo, Japan, Oct. 18-21(19), 2009.

発明の概要

発明が解決しようとする課題

[0014] しかしながら、既開発のPWM方式では、同期型動作であるため、処理の高速化が難しいという問題があった。また、図61に示したように、差分回路を必要とするため、回路が複雑となるという問題があった。

[0015] そこで、本発明の目的は、これらの問題を解消する、積分発火型スパイクング・ニューロンモデルもしくはスパイク駆動型位相振動子モデルを用いた非同期スパイク駆動方式の回路モデルに基づく情報処理装置及び情報処理方法を提供することを目的とする。

課題を解決するための手段

[0016] 本発明の説明の構成の説明に当たって、まず、最初にガボール型フィルタのモデル化について〔1〕で簡単に説明した後に、〔2〕で本発明の構成および作用効果について説明する。

[0017] 〔1〕モデル化

まず、式(1a)～(1d)における各節点の状態値を、節点電圧に代えて、時間的に一定速度で進行する位相を用いて位相差により表現する。時刻 t における節点 (m, n) の位相を $(\theta_{m,n}^r(t), \theta_{m,n}^i(t))$ と記す。ここで、 $\theta_{m,n}^r(t)$ は実部、 $\theta_{m,n}^i(t)$ は虚部である。それぞれの節点の位相の

実部及び虚部は、位相速度 ω で定常的に変化する。すなわち、状態値の更新がないときは、各節点の位相は次のように表される。

[0018] [数2]

$$\theta_{m,n}^r(t) = \theta_{m,n}^r(0) + \omega t \quad (2a)$$

$$\theta_{m,n}^i(t) = \theta_{m,n}^i(0) + \omega t \quad (2b)$$

[0019] 各節点の時刻 t における状態値は、時刻 t における各節点の位相 $\theta_{m,n}^r(t)$, $\theta_{m,n}^i(t)$ と所定の基準位相 $\theta_b(t)$ (例えば、 $\theta_b(t) = \omega t$) との位相差 $\theta_{m,n}^r(t) - \theta_b(t)$, $\theta_{m,n}^i(t) - \theta_b(t)$ をとることによって求めることができる。

[0020] そこで、まず式 (1 a) ~ (1 d) の節点電圧 $V_{m,n}^r(t)$, $V_{m,n}^i(t)$ を、位相差 $\theta_{m,n}^r(t) - \theta_b(t)$, $\theta_{m,n}^i(t) - \theta_b(t)$ に置き換えて整理すると、節点 (m, n) の状態値の更新を含む位相の更新式が次のように得られる。

[0021] [数3]

$$\theta_{m,n}^r(t+dt) = \theta_{m,n}^r(t) + \delta\theta_{m,n}^r(t) + \omega dt \quad (3a)$$

$$\theta_{m,n}^i(t+dt) = \theta_{m,n}^i(t) + \delta\theta_{m,n}^i(t) + \omega dt \quad (3b)$$

$$\begin{aligned} \delta\theta_{m,n}^r(t) = & G_0(\theta_0(t) - \theta_{m,n}^r(t)) \\ & + G_{1x}(\theta_{m-1,n}^r(t) - \theta_{m,n}^r(t)) + G_{1x}(\theta_{m+1,n}^r(t) - \theta_{m,n}^r(t)) \\ & + G_{1y}(\theta_{m,n-1}^r(t) - \theta_{m,n}^r(t)) + G_{1y}(\theta_{m,n+1}^r(t) - \theta_{m,n}^r(t)) \\ & - G_{2x}(\theta_{m-1,n}^i(t) - \theta_{m,n}^r(t)) + G_{2x}(\theta_{m+1,n}^i(t) - \theta_{m,n}^r(t)) \\ & + G_{2y}(\theta_{m,n-1}^i(t) - \theta_{m,n}^r(t)) - G_{2y}(\theta_{m,n+1}^i(t) - \theta_{m,n}^r(t)) \end{aligned} \quad (3c)$$

$$\begin{aligned} \delta\theta_{m,n}^i(t) = & G_0(\theta_0(t) - \theta_{m,n}^i(t)) \\ & + G_{1x}(\theta_{m-1,n}^i(t) - \theta_{m,n}^i(t)) + G_{1x}(\theta_{m+1,n}^i(t) - \theta_{m,n}^i(t)) \\ & + G_{1y}(\theta_{m,n-1}^i(t) - \theta_{m,n}^i(t)) + G_{1y}(\theta_{m,n+1}^i(t) - \theta_{m,n}^i(t)) \\ & + G_{2x}(\theta_{m-1,n}^r(t) - \theta_{m,n}^i(t)) - G_{2x}(\theta_{m+1,n}^r(t) - \theta_{m,n}^i(t)) \\ & - G_{2y}(\theta_{m,n-1}^r(t) - \theta_{m,n}^i(t)) + G_{2y}(\theta_{m,n+1}^r(t) - \theta_{m,n}^i(t)) \end{aligned} \quad (3d)$$

$$\theta_0(t) = \theta_0 + \omega t \quad (3e)$$

[0022] 以下では、表記を簡単にするため、各節点の位相の実部及び虚部を切り離して別々の節点とみなし、各節点に固有のインデックス i (虚数部を表す i とは異なる。) を付す。そして、上記位相 $\theta_{m,n}^r$, $\theta_{m,n}^i$ を、それらの節点に付されたインデックス i, j によって θ_i , θ_j と表記する。また、ある節点 i に対

して、それに隣接する節点の集合を N_i と記す。節点 i の位相 θ_i の更新において、隣接節点 k の位相 θ_k の寄与度を表す更新係数を $G_{i,k}$ と記し、自己更新係数を G_0 と記す。そうすると、式(2a)、(2b)及び式(3a)～(3d)は次式のように簡単に表される。

[0023] [数4]

$$\theta_i(t) = \theta_i(0) + \omega t \quad (4)$$

[0024] [数5]

$$\theta_i(t + dt) = \theta_i(t) + \delta\theta_i(t) + \omega dt \quad (5a)$$

$$\delta\theta_i(t) = -G_0(\theta_i(t) - \theta_0(t)) + \sum_{k \in N_i} G_{ik}(\theta_i(t) - \theta_k(t)) \quad (5b)$$

[0025] ところで、式(4)の表現では、 $\theta_i(t)$ が時間とともに無限大に向かって増加するため、実用上甚だ不都合である。一方、上述したように、状態値は位相差 $\theta_i(t) - \theta_0(t)$ さえ計算できれば求めることができるため、 $\theta_i(t)$ の変化は当該位相差が保存される変化でありさえすればよいことがわかる。そこで、各 θ_i は最大値 θ_{max} に達すると強制的に最小値 θ_{min} にリセットされる式で表現する(ここで、 $\theta_{max} > \theta_{min}$)。つまり、 $\theta_i(t)$ を、状態値の更新がないときは位相を周期 $T = (\theta_{max} - \theta_{min}) / \omega$ で周期的に変化する鋸歯波関数によって表すこととし、式(4)、(3e)及び基準位相 θ_0 の表現を、それぞれ次式のように書き直す。

[0026] [数6]

$$\theta_i(t) = \left[\theta_i(0) + \omega t - \theta_{min} \pmod{\theta_{max} - \theta_{min}} \right] + \theta_{min} \quad (6a)$$

$$\theta_0(t) = \left[\theta_0 + \omega t - \theta_{min} \pmod{\theta_{max} - \theta_{min}} \right] + \theta_{min} \quad (6b)$$

$$\theta_b(t) = \left[\omega t - \theta_{min} \pmod{\theta_{max} - \theta_{min}} \right] + \theta_{min} \quad (6c)$$

[0027] また、状態値の更新を含む位相の更新式(5a)は、それぞれ次式のように書き直される。

[0028] [数7]

$$\theta_i(t + dt) = \left[\theta_i(t) + \delta\theta_i(t) + \omega dt - \theta_{min} \pmod{\theta_{max} - \theta_{min}} \right] + \theta_{min} \quad (7)$$

[0029] また、式(5b)は状態値が連続時間で更新される式であるが、式(5b

）は時間 t のシフトに対して不変なので、状態値の更新を離散時間において行うように変更することも可能である。一方、基準位相 θ_0 を式（6 c）のような周期 T の鋸歯波関数とした場合、mod 演算による位相のリセットにより位相変化が不連続となる時刻が生じる。この時刻において状態値の更新を行うと、誤った更新がされる場合がある。そこで、この時刻を避けて、状態値の更新は鋸歯波関数の周期 T の途中のタイミングで離散的に実行することとし、式（5 b）を次式のような式に書き直す。

[0030] [数8]

$$\delta\theta_i(t) = \sum_{p=0}^{\infty} \left[-G_0(\theta_i(t) - \theta_0(t)) + \sum_{k \in N_i} G_{ik}(\theta_i(t) - \theta_k(t)) \right] \delta(t - (t_s + t_p)) dt \quad (0 < t_s < T) \quad (8)$$

[0031] ここで、 t_s は、mod 演算により位相がリセットされる時刻を避けるためのシフト時間である。 t_p は、基準位相 $\theta_0(t)$ が $\theta_{\min}$ にリセットされる時刻で、 $t_p = pT$ (p は整数) である。 $\delta(t)$ はディラックのデルタ関数である。

[0032] 式（8）では、更新項 $G_0(\theta_i(t) - \theta_0(t))$ 及び更新項 $G_{ik}(\theta_i(t) - \theta_k(t))$ のすべてが同期的に同時に計算される。そこで、次に、これらの各更新項の演算をより簡単に非同期的に並列実行することを考える。

[0033] 時刻 t_p 及び時刻 t_{p+1} の間で節点 i, k の状態値がともに更新されない時間区間を $(t_p^{(ik)}, t_{p+1}^{(ik)})$ とする。式（6 a）より、互いに隣接する2つの節点 i, k の状態値がともに更新されない間は、隣接する節点 i, k 間の位相差 $\theta_i(t) - \theta_k(t)$ は一定の値に保たれる。従って、位相差 $\theta_i(t) - \theta_k(t)$ は時間区間 $(t_p^{(ik)}, t_{p+1}^{(ik)})$ の間では常に一定となるので、この時間区間 $(t_p^{(ik)}, t_{p+1}^{(ik)})$ 内のどの時刻で $\theta_i(t) - \theta_k(t)$ を計算しても同じ値が得られる。しかしながら、実際に状態値の更新を非同期で行う場合には、時刻 t_p 及び時刻 t_{p+1} の間のどの時刻で節点 i, k の状態値が更新されるかは節点の組ごとに異なるので、すべての隣接接点の組が更新されない時間区間は存在しないか又は存在したとしても

その位置を特定することができない。従って、一般には $\theta_i(t) - \theta_k(t)$ は時間区間 (t_p, t_{p+1}) の中で一定値には保存されないと考えたほうがよい。しかし、 G_0 及び G_{ik} が小さい場合、状態値の途中更新による誤差は $O(G_{ik} \cdot G_0)$, $O(G_{ik} \cdot G_{ij})$ のオーダーであるので無視することができる。位相差 $\theta_i(t) - \theta_k(t)$ は時間区間 (t_p, t_{p+1}) の間でほぼ一定であると近似してもよい。位相差 $\theta_i(t) - \theta_0(t)$ の項についても同様である。

[0034] そこで、式(8)の右辺の更新項 $G_{ik}(\theta_i(t) - \theta_k(t))$ が実行される時刻を、時刻 $t_s + t_p$ から、時間区間 $(t_p^{(ik)}, t_{p+1}^{(ik)})$ の間で $\theta_k(t)$ が0となる時刻 $t_{pk} (\in (t_p^{(ik)}, t_{p+1}^{(ik)}))$ へシフトする。また、更新項 $G_0(\theta_i(t) - \theta_0(t))$ が実行される時刻についても、同様に、時間区間 $(t_p^{(i)}, t_{p+1}^{(i)})$ の間で任意にシフトすることができる。そこで、この更新時刻も、時刻 $t_s + t_p$ から、 $\theta_0(t)$ が0となる時刻 $(t_{p0} = (|\theta_{min}| - \theta_0) / \omega + p \cdot T)$ へシフトすることにする。そうすると、式(8)を近似的に次式のように書き直すことができる。

[0035] [数9]

$$\begin{aligned} \delta\theta_i(t) &\simeq \sum_{p=0}^{\infty} \left[-G_0(\theta_i(t) - \theta_0(t))\delta(t - t_{p0}) + \sum_{k \in N_i} G_{ik}(\theta_i(t) - \theta_k(t))\delta(t - t_{pk}) \right] dt \\ &= \sum_{p=0}^{\infty} \left[-G_0\theta_i(t)\delta(t - t_{p0}) + \sum_{k \in N_i} G_{ik}\theta_i(t)\delta(t - t_{pk}) \right] dt \end{aligned} \quad (9)$$

[0036] 式(7), (9)より、位相を用いて表現したガボール型フィルタの状態値の更新を含む位相の更新式は次のように表される。

[0037] [数10]

$$\begin{aligned} \theta_i(t + dt) &= \left[\theta_i(t) + \sum_{p=0}^{\infty} \left\{ -G_0\theta_i(t)\delta(t - t_{p0}) + \sum_{k \in N_i} G_{ik}\theta_i(t)\delta(t - t_{pk}) \right\} dt + \omega dt \right. \\ &\quad \left. -\theta_{min} \pmod{\theta_{max} - \theta_{min}} \right] + \theta_{min} \end{aligned} \quad (10)$$

[0038] 式(10)の位相 $\theta_i(t)$ は、mod 演算により位相がリセットされる時刻以外で微分可能であり、微分形式で表すと次式のように表される。

[0039] [数11]

$$\frac{d\theta_i(t)}{dt} = \sum_{p=0}^{\infty} \left[-G_0\theta_i(t)\delta(t-t_{p0}) + \sum_{k \in N_i} G_{ik}\theta_i(t)\delta(t-t_{pk}) \right] + \omega \quad (11)$$

[0040] 従って、位相 $\theta_i(t)$ は、次のように表すことができる。

[0041] [数12]

$$\theta_i(t) = \left[\theta_i(0) + \sum_{p=0}^{\infty} \left\{ -G_0\theta_i(t_{p0}) + \sum_{k \in N_i} G_{ik}\theta_i(t_{pk}) \right\} + \omega t - \theta_{min} \pmod{\theta_{max} - \theta_{min}} \right] + \theta_{min} \quad (12)$$

[0042] 式(10)～(12)は、節点の配置が図61のような平面四方格子状の場合に限らず、例えば、図62のように平面六方格子状の節点配置に対しても同様に適用することができる。さらに、2次元の節点配置に限らず、1次元や3次元の節点配置にも同様に適用することができる。

[0043] また、式(5b)の更新項 $G_{ik}(\theta_i(t) - \theta_k(t))$ 、 $G_0(\theta_i(t) - \theta_0(t))$ は、更新係数に位相状態値差を乗じた形であるが、さらに一般化したフィルタでは、各更新項は更新係数に位相状態値差の関数を乗じた形 $G_{ik} \cdot f(\theta_i(t) - \theta_k(t))$ 、 $G_0 \cdot f(\theta_i(t) - \theta_0(t))$ で表される。ここで、 f は、線形関数であっても非線形関数であってもよい。その場合には、式(10)～(12)の更新項 $G_{ik}\theta_i(t)\delta(t-t_{pk})$ 、 $G_0\theta_i(t)\delta(t-t_{p0})$ は、それぞれ、 $G_{ik} \cdot f(\theta_i(t))\delta(t-t_{pk})$ 、 $G_0 \cdot f(\theta_i(t))\delta(t-t_{p0})$ と置き換えられる。

[0044] 更新式(10)を回路により実現するために、各節点に積分発火型ニューロンを用いる。すべてのニューロンの内部状態を表す変数 θ_i は同じ位相速度 ω で増加するものとする。各ニューロン i は、変数 θ_i が位相0に対応する閾値 V_m に達すると発火して、隣接するニューロンにスパイクを伝達する。また、変数 θ_i が最大位相 θ_{max} に対応する閾値 V_{high} に達すると、最小位相 θ_{min} に対応する電圧 V_{low} にリセットされる。また、時刻 t_{pk} において隣接するニューロン k からスパイクが伝達されると、変数 θ_i を $(1 + G_{ik})\theta_i(t_{pk})$ に逐次更新する。尚、 θ_0 を含む項の更新は、全ニューロンに一定の周期 T でスパイクを入力することによって実現すればよい。

[0045] 尚、節点の配置が図 6 1 のような平面四方格子状の場合において、式 (1 0) について、を隣接方位及び実部・虚部を明示すると、次式のようになる。

[0046] [数13]

$$\theta_{m,n}^r(t+dt) = [\theta_{m,n}^r(t) + \delta\theta_{m,n}^r(t) + \omega dt - \theta_{min} \pmod{\theta_{max} - \theta_{min}}] + \theta_{min} \quad (13a)$$

$$\theta_{m,n}^i(t+dt) = [\theta_{m,n}^i(t) + \delta\theta_{m,n}^i(t) + \omega dt - \theta_{min} \pmod{\theta_{max} - \theta_{min}}] + \theta_{min} \quad (13b)$$

$$\begin{aligned} \theta_{m,n}^r(t) = & \sum_{p=0}^{\infty} \left[-G_0 \theta_{m,n}^r(t) \delta(t - t_{p0}) \right. \\ & - G_{1x} \theta_{m,n}^r(t) \delta(t - t_{p(m-1,n)}^r) - G_{1x} \theta_{m,n}^r(t) \delta(t - t_{p(m+1,n)}^r) \\ & - G_{1y} \theta_{m,n}^r(t) \delta(t - t_{p(m,n-1)}^r) - G_{1y} \theta_{m,n}^r(t) \delta(t - t_{p(m,n+1)}^r) \\ & + G_{2x} \theta_{m,n}^r(t) \delta(t - t_{p(m-1,n)}^i) - G_{2x} \theta_{m,n}^r(t) \delta(t - t_{p(m+1,n)}^i) \\ & \left. - G_{2y} \theta_{m,n}^r(t) \delta(t - t_{p(m,n-1)}^i) + G_{2y} \theta_{m,n}^r(t) \delta(t - t_{p(m,n+1)}^i) \right] dt \end{aligned} \quad (13c)$$

$$\begin{aligned} \theta_{m,n}^i(t) = & \sum_{p=0}^{\infty} \left[-G_0 \theta_{m,n}^i(t) \delta(t - t_{p0}) \right. \\ & - G_{1x} \theta_{m,n}^i(t) \delta(t - t_{p(m-1,n)}^i) - G_{1x} \theta_{m,n}^i(t) \delta(t - t_{p(m+1,n)}^i) \\ & - G_{1y} \theta_{m,n}^i(t) \delta(t - t_{p(m,n-1)}^i) - G_{1y} \theta_{m,n}^i(t) \delta(t - t_{p(m,n+1)}^i) \\ & - G_{2x} \theta_{m,n}^i(t) \delta(t - t_{p(m-1,n)}^r) + G_{2x} \theta_{m,n}^i(t) \delta(t - t_{p(m+1,n)}^r) \\ & \left. + G_{2y} \theta_{m,n}^i(t) \delta(t - t_{p(m,n-1)}^r) - G_{2y} \theta_{m,n}^i(t) \delta(t - t_{p(m,n+1)}^r) \right] dt \end{aligned} \quad (13d)$$

[0047] [2] 本発明の構成

本発明に係る情報処理装置の第 1 の構成は、複数の節点ユニットが格子状に相互結合した節点ユニットネットワークを有する情報処理装置であって、
前記各節点ユニットは、

当該節点ユニットの固有の位相を表す位相状態値を保持する位相状態値保持手段と、

前記位相状態値保持手段が保持する前記位相状態値を所定の位相速度 ω で経時的に変化させる位相進行手段と、

前記位相状態値保持手段が保持する前記位相状態値が所定の閾値である最大位相状態値に達したときに、前記位相状態値を所定の初期値である最小位相状態値にリセットする位相復位手段と、

前記位相状態値保持手段が保持する前記位相状態値が、位相が零値であることを表す所定の零位相状態値を過ぎたときに、更新トリガを出力するト

リガ発生手段と、

隣接する前記節点ユニットである隣接節点ユニットの前記トリガ発生手段が前記更新トリガを出力したとき、当該隣接節点ユニットの隣接方位に応じて、その時点で前記位相状態値保持手段が保持する前記位相状態値を、当該位相状態値に前記隣接方位により予め設定された更新係数を乗じた値だけ変化させ、又は当該位相状態値を前記隣接方位により予め設定された所定の関数 f で変換した値だけ変化させることにより、前記位相状態値の更新を行う位相更新手段と、

を備え、

当該節点ユニットの位相状態値と、隣接接点ユニットの位相状態値との差に比例する値、又は前記差を前記関数 f で変換した値だけ、当該節点ユニットの位相状態値を更新する計算を行うことを特徴とすることを特徴とする。

[0048] この構成により、各節点ユニットの位相状態値は、位相進行手段によって、所定の位相速度で経時的に増加し、位相状態値が最大位相状態値に達したときに、位相復位手段により最小位相状態値にリセットされる。従って、位相状態値は、式（6 a）又は式（7）に示したように変化する。一方、位相状態値が零位相状態値を過ぎたときにトリガ発生手段はトリガを出力する。すなわち、トリガ発生手段によりトリガが出力された時点が、位相が0となった時点である。位相更新手段は、隣接する節点ユニットのトリガ発生手段がトリガを出力したとき（すなわち、隣接する節点ユニットの位相が0となったとき）、該節点ユニットの隣接位置に応じて、自己の位相状態値を所定量だけ変化させることにより位相状態値を更新する。これにより、式（10）に示した更新式（但し、 G_0 の更新項を除く。）の演算が実行される。

[0049] 尚、本発明は、「背景技術」において説明したようにガボール型フィルタ演算から発展させたものであるが、本発明の適用範囲はガボール型フィルタ演算に限られるものではなく、節点ユニットの接続の仕方、更新係数や関数 f の設定の仕方を用途に合わせて適宜設定することによって、様々なセルラ一構造ネットワーク演算に適用することが可能である（例えば、実施例6、

7 参照)。

[0050] ここで、「複数の節点ユニットが格子状に相互結合した節点ユニットネットワーク」とは、結晶構造のように並進対称性を有する格子や円心対称な格子などの格子点上に節点ユニットが配置され、各節点ユニットが隣接する節点ユニットと相互に結合されたネットワーク構造をいう。格子状の構造であればよく、例えば、四方格子状、六方格子状、三方格子状、円心対称格子等の様々な格子ネットワーク構造が含まれる。さらに、節点ユニットの配置は2次元配置に限られず、1次元配置や3次元配置も含まれる。尚、ここでいう配置は、空間的な配置ではなく、抽象的な配置である。すなわち、空間的に並進対称な格子状な配置と同位相（同じトポロジー）の配置をいう。また、「隣接する節点」（又は「隣接する節点ユニット」）も、空間的に隣接していることをいうのではなく、更新時において、他の節点（節点ユニット）を介することなく、位相が互いに直接相互作用をする節点（節点ユニット）のことをいう。例えば、図62の場合、節点Oに対して節点Aは空間的に隣接するが、節点Bは空間的には隣接していない。しかしながら、位相の更新時には節点Oと節点Bとは互いの位相が式(10)により相互作用を及ぼすため、節点Oと節点Bとは「隣接する節点」である。また、節点Oと節点Cとは位相の更新時に互いの位相が相互作用を及ぼさないので、「隣接する節点」とはいわない。

[0051] また、本明細書において「位相（位相値）」、「状態値」、「位相状態値」は、それぞれ異なる意味で用いられる。「位相（位相値）」とは、各節点（節点ユニット）が有する位相（位相値）そのものをいう。「状態値」とは、各節点（節点ユニット）の位相から基準位相を差し引いた差をいう。ここで、「基準位相」とは、各節点（節点ユニット）の位相と同じ角速度で進行する位相であって、節点間の位相の相互作用による更新を受けないものをいい、式(6c)で表される。「位相状態値」とは、各節点の位相を表現する値をいい、位相値そのものの場合以外にも例えば電圧値、電荷値等の場合もある。位相（位相値）と位相状態値とは一対一対応する。

[0052] (例)

基準位相 $\theta_b(t)$ が式 (6 c) で表されたとする。また、ある節点 i の位相 $\theta_i(t)$ は式 (6 a) で表されたとする。このとき、この節点 i の「状態値」は、 $\Delta \theta_i(t) = \theta_i(t) - \theta_b(t)$ である。また、節点 i において、位相 $\theta_i(t)$ の値は、節点 i に備えられたコンデンサに充電される電荷量 $Q_i(t)$ によって表現されるものとする。このとき、電荷量 $Q_i(t)$ は節点 i の「位相状態値」である。

(例終わり)

[0053] 尚、本構成では、位相状態値を与える量は、特に特定はしておらず、例えば、回路的に構成する場合には、電圧、電荷、電流などの物理量を用いることができる。また、ソフトウェア的に構成する場合には、位相状態値を表す変数として与えられる。

[0054] 「一定の位相速度 ω で経時的に変化させる」とは、位相速度 ω で経時的に増加させる又は経時的に減少させることをいう。「隣接方位により予め設定された更新係数」とは、例えば式 (10) に示した G_{ik} のことをいう。また、「所定の関数 f 」は、線形関数でも非線形関数でもよい。

[0055] また、回路的に構成する場合には、「位相状態値保持手段」としては、位相状態値を電荷として保持するキャパシタや、位相状態値を抵抗値として保持する抵抗変化型メモリ素子等を使用することができる。電荷を蓄えるキャパシタとしては、近年実用化が進んでいる強誘電体材料を高誘電体材料として用いることで、LSIチップ上の専有面積を小さくすることができ、素子の微細化、回路の高集積化が可能になる。ここで、「高誘電体材料」として用いるという意味は、強誘電体材料において電圧-分極特性が線形な領域を用いることにより、ヒステリシスがなく、誘電率が通常のシリコン酸化膜の10倍から100倍以上高い材料として用いることができるということである。また、2000年代後半頃よりメモリスタと称される抵抗変化型メモリ素子が開発されている。これは、素子に流した電流の積分量に応じて抵抗が変化する素子なので、その変化が線形である領域を用いれば、この素子も、電荷を

蓄えるキャパシタの代わりに、微細化可能な記憶素子として利用することができる。抵抗変化にしきい値があり、一定の電流量以下では抵抗が変化しないタイプの素子を用いれば、そのしきい値以下の電流を流すことで、素子の両端に発生する電圧を公知の方法で読み出すことにより、保持している抵抗値（すなわち電流の積分値）を読み出すことができる。これにより、本発明の「位相状態値保持手段」の記憶部分として用いることができる。

[0056] 本発明に係る情報処理装置の第2の構成は、前記第1の構成において、前記最大位相状態値から前記最小位相状態値を差し引いた差を前記位相速度 ω の平均値で除して得られる時間を基本周期 T としたとき、基本周期 T で自己更新トリガを出力する自己更新トリガ発生手段を備え、

前記各節点ユニットは、

前記自己更新トリガ発生手段が前記自己更新トリガを出力したとき、その時点で前記位相状態値保持手段が保持する前記位相状態値を、当該位相状態値に予め設定された自己更新係数を乗じた値だけ変化させ、又は当該位相状態値を前記隣接方位により予め設定された所定の関数 f で変換した値だけ変化させることにより、前記位相状態値の更新を行う自己位相更新手段を備えたことを特徴とする。

[0057] この構成により、式(10)に示した更新式の自己更新項(G_0 の更新項)の演算を実行することもできる。

[0058] 本発明に係る情報処理装置の第3の構成は、前記第1又は2の構成において、前記トリガ発生手段は、前記位相状態値保持手段が保持する前記位相状態値が前記位相復位手段によりリセットされた時点から所定の遅延時間 T_d だけ遅延した時点で前記更新トリガを出力することを特徴とする。

[0059] この構成によれば、位相状態値が最小位相状態値にリセットされた時点から所定の遅延時間 T_d だけ遅延した時刻における位相を位相0とみなす。すなわち、位相状態値は、位相が負を表す最小位相状態値にリセットされた後、所定の位相速度で増加して時刻 T_d に位相0となり、時刻 T_d 経過後に位相が正となって最大値に達するものとみなす。そして、トリガ発生手段は、位相

復位手段が位相状態値が最小位相状態値にリセットした時点から遅延時間 T_d だけ遅延して、トリガを出力する。そして、位相更新手段は、隣接する節点ユニットのトリガ発生手段のトリガ出力により、自己の位相状態値の更新を行う。本構成では、式 (10) の更新演算を厳密に実行することとはならないが、各更新係数 G_{ik} が小さい場合には、近似的に式 (10) と同等の更新演算を実行することができる。

[0060] 本発明に係る情報処理装置の第4の構成は、前記第1又は2の構成において、前記位相状態値保持手段は、当該節点ユニットの固有の位相を表す位相状態値を電荷量として保持する位相状態値保持用キャパシタであり、

前記位相進行手段は、前記位相状態値保持用キャパシタに対して所定の充電電流を給電する電流源であり、

前記位相更新手段は、前記隣接節点ユニットの前記トリガパルス生成器が前記更新トリガを出力したとき、当該隣接節点ユニットの隣接方位に応じて、その時点での前記位相状態値保持用キャパシタの端子間電圧 V_r と前記零値電圧 V_{middle} との差電圧 $V_r - V_{middle}$ に、前記隣接方位により予め設定された更新係数を乗じた値に比例する量の電荷、又は当該差電圧 $V_r - V_{middle}$ を所定の関数 f で変換した値に比例する量の電荷を、前記位相状態値保持用キャパシタに充電又は放電する状態値更新回路であることを特徴とする。

[0061] 本発明に係る情報処理装置の第5の構成は、前記第1又は2の構成において、前記位相状態値保持手段は、当該節点ユニットの固有の位相を表す位相状態値を電荷量として保持する位相状態値保持用キャパシタであり、

前記位相進行手段は、前記位相状態値保持用キャパシタに対して所定の充電電流を給電する電流源であり、

前記位相復位手段は、

前記最大位相状態値に対応する最大値電圧 V_{high} と、前記位相状態値保持用キャパシタの端子間電圧 V_r とが入力され、両者の大小関係を示す電圧信号を出力する第1のコンパレータと、

前記第1のコンパレータの出力電圧が、前記端子間電圧 V_r が前記最大値電

圧 V_{high} より大きいことを示す状態に反転した場合に、前記位相状態値保持用キャパシタの端子電位を、前記最小位相状態値に対応する最小値電圧 V_{low} にリセットするリセット回路と、を備え、

前記トリガ発生手段は、

前記零位相状態値に対応する零値電圧 V_{middle} と、前記位相状態値保持用キャパシタの端子間電圧 V_r とが入力され、両者の大小関係を示す電圧信号を出力する第2のコンパレータと、

前記第2のコンパレータの出力電圧が、前記端子間電圧 V_r が前記零値電圧 V_{middle} より大きいことを示す状態となったときに、前記更新トリガとしてパルスを出力するトリガパルス生成器と、を備え、

前記位相更新手段は、前記隣接節点ユニットの前記トリガパルス生成器が前記更新トリガを出力したとき、当該隣接節点ユニットの隣接方位に応じて、その時点での前記端子間電圧 V_r と前記零値電圧 V_{middle} との差電圧 $V_r - V_{middle}$ に、前記隣接方位により予め設定された更新係数を乗じた値に比例する量の電荷、又は当該差電圧 $V_r - V_{middle}$ を所定の関数 f で変換した値に比例する量の電荷を、前記位相状態値保持用キャパシタに充電又は放電する状態値更新回路であることを特徴とする。

[0062] この構成による作用については、実施例1に詳述する。

[0063] ここで、状態値更新回路の構成については、上記機能を奏効するような回路であれば、その詳細な構成は特に限定はしないが、例えば、状態値更新回路を、前記各隣接節点ユニットのそれぞれに対応して設けられた更新パルス生成器、正值更新回路及び負値更新回路を備えた構成とし、(a) 前記更新パルス生成器は、対応する前記隣接節点ユニットの前記トリガパルス生成器からパルスが出力されたとき、当該隣接節点ユニットの隣接方位に対して予め決められている更新係数の正負に応じて、当該更新係数が正の場合は当該更新係数に比例する時間幅の正值パルスを、当該更新係数が負の場合は当該更新係数に比例する時間幅の負値パルス出力する回路であり、(b) 前記各正值更新回路は、対応する前記隣接節点ユニットの前記更新パルス発生器

から前記正值パルスが出力されたとき、前記端子間電圧 V_r が前記零値電圧 V_{middle} よりも大きい場合には、当該正值パルスのパルス幅の時間だけ、前記位相状態値保持用キャパシタに対して前記端子間電圧 V_r と前記零値電圧 V_{middle} との差に比例する電流を給電し、前記端子間電圧 V_r が前記零値電圧 V_{middle} よりも小さい場合には、当該正值パルスのパルス幅の時間だけ、前記位相状態値保持用キャパシタから前記零値電圧 V_{middle} と前記端子間電圧 V_r との差に比例する電流を放電する回路であり、（c）前記各負値更新回路は、対応する前記隣接節点ユニットの前記更新パルス発生器から前記負値パルスが出力されたとき、前記端子間電圧 V_r が前記零値電圧 V_{middle} よりも大きい場合には、当該正值パルスのパルス幅の時間だけ、前記位相状態値保持用キャパシタから前記端子間電圧 V_r と前記零値電圧 V_{middle} との差に比例する電流を放電し、前記端子間電圧 V_r が前記零値電圧 V_{middle} よりも小さい場合には、当該正值パルスのパルス幅の時間だけ、前記位相状態値保持用キャパシタに対し前記零値電圧 V_{middle} と前記端子間電圧 V_r との差に比例する電流を給電する回路であるような構成とすることができる。

[0064] 本発明に係る情報処理装置の第6の構成は、前記第1又は2の構成において、前記位相状態値保持手段は、当該節点ユニットの固有の位相を表す位相状態値を電荷量として保持する位相状態値保持用キャパシタであり、

前記位相進行手段は、前記位相状態値保持用キャパシタに対して一定所定の充電電流を給電する電流源であり、

前記トリガ発生手段は、

一方の入力端子に前記位相状態値保持用キャパシタの端子間電圧 V_r が入力され、他方の入力端子に、前記最大位相状態値に対応する最大値電圧 V_{high} 又は前記零位相状態値に対応する零値電圧 V_{middle} の何れかである対照電圧入力電圧が入力され、両者の大小関係を示す電圧信号を出力するコンパレータと、

前記コンパレータの出力電圧が、前記端子間電圧 V_r が前記対照電圧入力電圧より大きいことを示す状態となったときに、パルスを出力するトリガパルス生成器と、

前記トリガパルス生成器がパルスを出力すると、当該パルスを遅延させた遅延パルスを生成するパルス遅延器と、

前記パルス遅延器から遅延パルスが出力される毎に、前記コンパレータの前記他方の入力端子に入力される前記対照電圧入力電圧を、前記最大値電圧 V_{high} と前記零値電圧 V_{middle} に交互に切り替える対照電圧入力電圧切替回路と、

前記対照電圧入力電圧が前記零値電圧 V_{middle} の状態で前記トリガパルス生成器がパルスを出力したとき、当該パルスを前記更新トリガとして出力する出力スイッチ回路と、を備え、

前記位相復位手段は、前記対照電圧入力電圧が前記最大値電圧 V_{high} のときに、前記トリガパルス生成器がパルスを出力すると、前記電流源を遮断するとともに、前記位相状態値保持用キャパシタにの端子電位を、前記最小位相状態値に対応する最小値電圧 V_{low} を印加するにリセットするリセット回路を備え、

前記位相更新手段は、前記隣接節点ユニットの前記トリガパルス生成器が前記更新トリガを出力したとき、当該隣接節点ユニットの隣接方位に応じて、その時点での前記端子間電圧 V_r と前記零値電圧 V_{middle} との差電圧 $V_r - V_{middle}$ 又は当該差電圧 $V_r - V_{middle}$ を所定の関数 f で変換した値に、前記隣接方位により予め設定された更新係数を乗じた値に比例する量の電荷、又は当該差電圧 $V_r - V_{middle}$ を所定の関数 f で変換した値に比例する量の電荷を、前記位相状態値保持用キャパシタに給電し又は前記位相状態値保持用キャパシタから充電又は放電する状態値更新回路であることを特徴とする。

[0065] この構成による作用については、実施例 2 に詳述する。

[0066] 本発明に係る情報処理装置の第 7 の構成は、前記第 1 又は 2 の構成において、前記位相状態値保持手段は、当該節点ユニットの固有の位相を表す位相状態値を電荷量として保持する位相状態値保持用キャパシタであり、

前記位相進行手段は、前記位相状態値保持用キャパシタに対して所定の充電電流を給電する電流源であり、

前記トリガ発生手段は、

前記位相状態値電圧 V_r 、前記零位相状態値に対応する零値電圧 V_{middle} 、又は前記最大位相状態値に対応する最大値電圧 V_{high} の何れかに入力電圧を切り替える入力電圧切替回路、一端が前記入力電圧切替回路に接続されたゼロオフセット用キャパシタ、入力側端子が前記ゼロオフセット用キャパシタの他端に接続されたインバータ、及び前記インバータの入出力端子間に接続されたゼロオフセット設定用スイッチ回路を具備するチョッパ型コンパレータと、

前記チョッパ型コンパレータの前記インバータから出力されるパルスのエッジにおいてスパイク・パルスを出力するトリガパルス生成器と、

前記トリガパルス生成器が前記スパイク・パルスを出力すると、当該スパイク・パルスの出力時点から一定の時間遅延して遅延パルスを出力するパルス遅延器と、

前記トリガパルス生成器が前記スパイク・パルスを2回出力する毎に、当該スパイク・パルスを前記更新トリガとして出力する出力スイッチ回路と、

前記入力電圧切替回路、前記ゼロオフセット設定用スイッチ回路、及び前記出力スイッチ回路の切り替えを制御する切替制御回路と、を備え、

前記位相復位手段は、前記トリガパルス生成器が前記スパイク・パルスを2回出力する毎に、前記電流源の給電を遮断するとともに前記位相状態値保持用キャパシタを放電し端子間電圧 V_r を前記最小位相状態値に対応する最小値電圧 V_{low} にリセットするリセット回路を備え、

前記位相更新手段は、前記隣接節点ユニットの前記トリガパルス生成器から前記更新トリガを出力されたとき、当該隣接節点ユニットの隣接方位に応じて、その時点での前記端子間電圧 V_r と前記零値電圧 V_{middle} との差電圧 $V_r - V_{middle}$ に、前記隣接方位により予め設定された更新係数を乗じた値に比例する量の電荷、又は当該差電圧 $V_r - V_{middle}$ を所定の関数 f で変換した値に比例する量の電荷を、前記位相状態値保持用キャパシタに充電又は放電する状態値更新回路であることを特徴とする。

[0067] この構成による作用については、実施例3に詳述する。

[0068] 本発明に係る情報処理装置の第 8 の構成は、前記第 3 の構成において、前記位相状態値保持手段は、当該節点ユニットの固有の位相を表す位相状態値を電荷量として保持する位相状態値保持用キャパシタであり、

前記位相進行手段は、前記位相状態値保持用キャパシタに対して所定の充電電流を給電する電流源であり、

前記位相復位手段は、

前記最大位相状態値に対応する最大値電圧 V_{high} と、前記位相状態値保持用キャパシタの端子間電圧 V_r とが入力され、両者の大小関係を示す電圧信号を出力するコンパレータと、

前記コンパレータの出力電圧が、前記端子間電圧 V_r が前記最大値電圧 V_{high} より大きいことを示す状態に反転した場合に、前記位相状態値保持用キャパシタの端子電圧を、前記最小位相状態値に対応する最小値電圧 V_{low} にリセットするリセット回路と、を備え、

前記トリガ発生手段は、前記コンパレータの出力電圧が、前記端子間電圧 V_r が前記最大値電圧 V_{high} より大きいことを示す状態に反転した場合に、その反転時点から所定の時間だけ遅延して遅延パルスを出力する遅延パルス生成器を備え、

前記位相更新手段は、前記各隣接節点ユニットのそれぞれに対応して設けられた更新パルス生成器、正值更新回路及び負値更新回路を備え、

前記位相更新手段は、前記隣接節点ユニットの前記遅延パルス生成器が前記遅延パルスを出力したとき、当該隣接節点ユニットの隣接方位に応じて、その時点での前記端子間電圧 V_r と前記零値電圧 V_{middle} との差電圧 $V_r - V_{middle}$ に、前記隣接方位により予め設定された更新係数を乗じた値に比例する量の電荷、又は当該差電圧 $V_r - V_{middle}$ を所定の関数 f で変換した値に比例する量の電荷を、前記位相状態値保持用キャパシタに充電又は放電する状態値更新回路であることを特徴とする。

[0069] この構成による作用については、実施例 4 に詳述する。

[0070] また、本発明に係る再構成プログラムは、プログラマブル論理デバイス用

の再構成プログラムであって、プログラマブル論理デバイスにおいて当該再構成プログラムに基づき論理回路の再構成を行うことにより、請求項 1 乃至 3 の何れかに記載の情報処理装置が再構成されることを特徴とする。

発明の効果

[0071] 以上のように、本発明に係る情報処理装置及びプログラムによれば、周期的に変化する位相を各節点の状態量を表す変数として各節点ユニットに保持させ、隣接節点の位相状態値が 0 となったときに位相更新手段により中心節点の状態値の更新を行う構成とすることで、差分回路が不要となり回路を単純化することができる。

[0072] また、各節点ユニットを非同期的に動作させることができるため、従来よりも処理の高速化を図ることが可能となる。

図面の簡単な説明

[0073] [図1]本発明の実施例 1 に係る情報処理装置の全体構成を表す図である。

[図2]節点ユニットネットワーク 2 の構成を示す図である。

[図3]図 2 のピクセル・アレイ 13 の内部構成を表す図である。

[図4]各節点ユニット 6 の全体構成を表す図である。

[図5]実部節点ユニット 7（及び虚部節点ユニット 8）の内部構成を表すブロック図である。

[図6]実部節点ユニット 7 及び虚部節点ユニット 8 のスパイク・ニューロン回路 20 の構成例（a）及びその動作（b）を示す図である。

[図7]実部節点ユニット 7 及び虚部節点ユニット 8 のスパイク・ニューロン回路 20 の他の構成例を示す図である。

[図8]図 7 のスパイク・ニューロン回路 20 の各スイッチ及び各ノードに入力される信号のタイミング図である。

[図9]実部節点ユニット 7 及び虚部節点ユニット 8 のセクタ付きパルス生成器 23、24、25、26 の構成（a）及び動作（b）を表す図である。

[図10]実部節点ユニット 7 及び虚部節点ユニット 8 の状態値更新回路 27 の全体構成を表す図である。

[図11]図10の正パルス更新回路35の(a)構成を表す回路図(b)電圧電流特性図、及び(c)、(d)動作を表す図である。

[図12]図10の負パルス更新回路36の(a)構成を表す回路図、(b)電圧電流特性図、及び(c)、(d)動作を表す図である。

[図13]図10の正パルス更新回路35の他の構成例を表す回路図である。

[図14]図13の回路の各部の動作を表すタイミング・チャートである。

[図15]図10の負パルス更新回路36の他の構成例を表す回路図である。

[図16]図15の回路の各部の動作を表すタイミング・チャートである。

[図17]正パルス更新回路35と負パルス更新回路36を合体した回路の構成例である。

[図18]出力部4における状態値パルス生成回路40の回路構成の一例(a)及びその動作(b)、(c)を表す図である。

[図19]本実施例の情報処理装置により、ガボール型フィルタ演算を実行し、インパルス応答を求めた結果を表す図である。

[図20]本実施例の情報処理装置によりガボール型フィルタ演算を実行した際の各節点ユニットのパルス位置の変化の一例である。

[図21]図20のガボール型フィルタ演算結果例と理論値との比較を表す図である。

[図22]本発明の実施例2に係る情報処理装置における実部節点ユニット7及び虚部節点ユニット8のスパイク・ニューロン回路20の構成(a)及び動作(b)を示す図である。

[図23]本発明の実施例3に係る情報処理装置における実部節点ユニット7及び虚部節点ユニット8のスパイク・ニューロン回路20の構成を示す図である。

[図24]図23のスパイク・ニューロン回路20の各部の動作を表すタイミング・チャートである。

[図25]実施例4に係る情報処理装置の実部節点ユニット7(及び虚部節点ユニット8)の内部構成を表すブロック図である。

[図26]図25のスパイク・ニューロン回路20の構成(a)及び動作(b)を表す図である。

[図27]図25の遅延パルス生成器21の構成(a)及び動作(b)を表す図である。

[図28]実施例4に於けるセクタ付きパルス生成器23, 24, 25, 26の動作を表すタイミング・チャートである。

[図29]実施例5に係る情報処理装置の各節点ユニット6の全体構成を表す図である。

[図30]実部節点ユニット7(及び虚部節点ユニット8)の内部構成を表すブロック図である。

[図31]本実施例に係る情報処理装置の各実部節点ユニット7及び虚部節点ユニット8における位相の進行・更新処理を表すフローチャートである。

[図32]各節点ユニット6における位相状態値の更新処理の流れを表すフローチャートである。

[図33]各節点ユニット6における位相状態値の更新処理の流れを表すフローチャートである。

[図34]1次元の領域ベース結合MRFのニューラル・ネットワーク・モデルを示す図である。

[図35]関数A, B, C, Dのグラフである。

[図36]実施例6における節点ユニットネットワーク2の構成を示す図である。

[図37]時間関数A(t), B(t), S(t), C(t)を示す図である。

[図38]図36の各各節点ユニット6の機能構成を表すブロック図である。

[図39]図38の節点ユニット6の回路ブロック図である。

[図40]強度過程節点ユニット7'の内部構成を表すブロック図である。

[図41]ラベル過程節点ユニット8'の内部構成を表すブロック図である。

[図42]ラベル過程節点ユニット8'におけるスパイク・ニューロン回路201の構成例(a)及びその動作(b)を示す図である。

[図43] A関数演算回路71a, 71bの構成例を示す回路図である。

[図44] 図43のA関数演算回路71a, 71bの動作例を示すタイムチャートである。

[図45] B関数演算回路72a, 72bの構成例を示す回路図である。

[図46] 図45のB関数演算回路72a, 72bの動作例を示すタイムチャートである。

[図47] C関数演算回路75及びS関数演算回路76の構成例を示す回路図である。

[図48] 図47のC関数演算回路75及びS関数演算回路76の動作例を示すタイムチャートである。

[図49] 図41のA・S関数演算回路77の回路構成を示す図である。

[図50] 図40のB・C関数演算回路73 (B・C関数演算回路73a, 73b, 73c, 73d) の回路構成を示す図である。

[図51] 図40のパルス更新回路74 (パルス更新回路74a, 74b, 74c, 74d) 及び図41のパルス更新回路78 (パルス更新回路78a, 78b, 78c, 78d) の構成例を示す回路図である。

[図52] 本実施例の情報処理装置1の演算動作を表すタイムチャートである。

[図53] ニューロン活動の放射状伝搬に基づく動き検出プロセスの説明図である。

[図54] 本実施例のセルラー・ニューラル・ネットワークの全体構成を表す図である。

[図55] 図53, 図54のセルラー・ニューラル・ネットワークを用いた動き検出の原理を説明する図である。

[図56] 本発明の実施例6に係る情報処理装置の全体構成を表す図である。

[図57] 上象限に対応するCA3ネット (CA3 (u)) 内の各ニューロン・セルとそれに対応するCA1ネット (CA1 (ua), CA1 (ub), CA1 (ul), CA1 (ur)) 内の各ニューロン・セルとの結線状態を表す図である。

[図58] 図57のCA3ネット（CA3（u））内の1つのニューロン・セル（m, n）に結線されるCA1ネット内のニューロン・セルを示した図である。

[図59] 図56の4個のCA3ネット内の各節点ユニットCA3（ξ）（m, n）の回路構成を示す図である。

[図60] 実施例6に係る情報処理装置の各節点ユニットCA1（ξ η）（m, n）の動作を示すタイムチャートである。

[図61] 2次元の抵抗ネットワークによるガボール型フィルタ（Gabor Type Filter）の回路モデルの一例である。

[図62] 2次元の抵抗ネットワークによるガボール型フィルタ（Gabor Type Filter）の回路モデルの他の一例である。

発明を実施するための形態

[0074] 以下、本発明を実施するための形態について、図面を参照しながら説明する。

実施例 1

[0075] 本実施例では、式（13a）～（13d）で説明した平面四方格子状のガボール型フィルタ演算をアナログ回路によって高速に演算することが可能となるように構成する例について説明する。

[0076] 〔1〕全体構成

図1は、本発明の実施例1に係る情報処理装置の全体構成を表す図である。情報処理装置1は、節点ユニットネットワーク2、基準位相発生部2a、入力部3、出力部4、及び全体制御部5を備えている。

[0077] 節点ユニットネットワーク2は、複数の節点ユニット（後述）が並進対称な格子状に相互結合したネットワーク構造を有している。基準位相発生部2aは、基準位相信号の生成を行う。入力部3は、節点ユニットネットワーク2の各節点ユニットに、位相状態値の初期値を設定する。出力部4は、節点ユニットネットワーク2の各節点ユニットの位相状態値を出力する。全体制御部5は、節点ユニットネットワーク2の各節点ユニットに、更新係数やパルス遅延量などのパラメータを設定するとともに、それら節点ユニットの動

作制御を行う。

- [0078] 図2は、節点ユニットネットワーク2の構成を示す図である。図3は、図2のピクセル・アレイ13の内部構成を表す図である。図4は、各節点ユニット6の全体構成を表す図である。各節点ユニット6は、図4に示したように、実部節点ユニット7と虚部節点ユニット8とを備えている。ここで、節点ユニット6は、2次元ガボール型フィルタの状態値を保持する各節点に対応する。また、実部節点ユニット7は、節点の状態値の実部を保持・更新する部分、虚部節点ユニット8は状態値の虚部を保持・更新する部分である。
- [0079] 節点ユニットネットワーク2は、N行M列に配列された $M \times N$ 個の節点ユニット6を備えている。各節点ユニット6は、図2のように、平面四方格子点状に配列されている。これをピクセル・アレイ13と呼ぶ。各節点ユニット6は、図3に示すように、上下左右に隣接する4つの節点ユニット6と互いに結合されている。以下、n行m列目の節点ユニット6を、「節点ユニット $U_{m,n}$ 」と呼ぶことにする。
- [0080] また、節点ユニットネットワーク2は、図2のように、列セクタ14と2つのドライバ15、16を備えている。
- [0081] ドライバ15は、ピクセル・アレイ13のすべての列の各節点ユニット6に対して、自己更新係数 G_0 に対応する電圧を印加するためのドライバである。
- [0082] ピクセル・アレイ13の各列の節点ユニット6には、共通の列選択信号線9（図4参照）が接続されている。列選択信号線9は全部でM本ある。列セクタ14は、各列の列選択信号線9の何れかに対して、選択列を指定するための列選択信号を入力する（Hレベルにする）ことによって、ピクセル・アレイ13の列の選択を行う。
- [0083] ピクセル・アレイ13の各行の実部節点ユニット7には、図4に示したように、共通の初期値入力線10が接続されている。初期値入力線10は全部でN本である。各初期値入力線10には、入力部3から、位相状態値の初期値を設定するための初期化信号が入力される。ガボール型フィルタの演算を

実行するのに先立ち、全体制御部 5 が、列セクタ 14 により列を選択した後、入力部 3 が各初期値入力線 10 から各行の実部節点ユニット 7 の位相状態値の初期値（初期化信号）を入力することにより、各実部節点ユニット 7 に位相状態値の初期値を設定することができる。

[0084] ピクセル・アレイ 13 の各行の実部節点ユニット 7 と虚部節点ユニット 8 には、図 4 に示したように、それぞれ、共通の実部外部出力線 11 及び虚部外部出力線 12 が接続されている。実部外部出力線 11 及び虚部外部出力線 12 も、それぞれ、全部で N 本ずつある。

[0085] 各実部外部出力線 11 及び各虚部外部出力線 12 は、ドライバ 16 を介して、出力部 4 に接続されている。ドライバ 16 は、列セクタ 14 により選択された列にある各行の実部節点ユニット 7 及び虚部節点ユニット 8 が発火したときに出力するスパイク・パルス（spike pulse） spk_f を、外部回路である出力部 4 に出力するための出力バッファである。ガボール型フィルタの演算がすべて終了した後に、全体制御部 5 が、列セクタ 14 により列を選択した後、出力部 4 が各行の実部外部出力線 11 及び虚部外部出力線 12 から各行の実部節点ユニット 7 及び虚部節点ユニット 8 の位相状態値を読み出して出力することができる。

[0086] 尚、本実施例では、もっとも一般に用いられる例として、節点ユニット 6 が平面四方格子状に結合した例を説明するが、本発明では、節点ユニットネットワーク 2 の構成としてこれ以外にも、目的に応じて、三方格子状、六方格子状等の様々なネットワーク構造を採ることができる。

[0087] 図 3 に示すように、各節点ユニット 6 には、隣接する各節点ユニット 6 から、表 1 のようなパルス（更新トリガ又は自己更新トリガ）が入力される。表 1 において、「隣接節点方位」欄は、注目する節点ユニット $U_{m,n}$ に対しパルス（更新トリガ）を出力する隣接節点ユニット $U_{m',n'}$ の方位（節点ユニット $U_{m,n}$ から見た方位）である。例えば、「上」は隣接節点ユニット $U_{m-1,n}$ を指す。「隣接節点種類」欄は、パルスを出力する隣接節点ユニット $U_{m',n'}$ の種類（「実部節点ユニット 7」又は「虚部節点ユニット 8」）を表す。例えば、

節点ユニット $U_{m,n}$ に対し左側の隣接節点ユニット $U_{m-1,n}$ の実部節点ユニット 7 が更新項 $-G_{1x} \theta_{m,n}^r(t) \delta(t_{p(m-1,n)}^r \in [t, t + \Delta t])$ が出力される場合において、当該更新係数 G_{1x} が正の場合（すなわち、 $-G_{1x}$ が負の場合）、節点ユニット $U_{m,n}$ に対しパルス $R_left_m_gx1$ が入力される。

[0088] 尚、表 1 の最下段の $g0_p$, $g0_m$ は、すべての節点ユニット $U_{m,n}$ に対し共通に入力されるパルス（自己更新トリガ）であり、式（13c）,（13d）の自己更新係数 $-G_0$ が負の場合 $g0_m$ が、自己更新係数 $-G_0$ が正の場合 $g0_p$ が入力される。

[0089] また、各節点ユニット 6 からは、隣接する各節点ユニット 6 に対し、表 2 のようなパルス（更新トリガ又は自己更新トリガ）が出力される。表 2 において、「隣接節点方位」欄は、注目する節点ユニット $U_{m,n}$ からパルス（更新トリガ）を出力する隣接節点ユニット $U_{m',n'}$ の方位（節点ユニット $U_{m,n}$ から見た方位）である。「隣接節点種類」欄は、パルスを出力する隣接節点ユニット $U_{m',n'}$ の種類（「実部節点ユニット 7」又は「虚部節点ユニット 8」）を表す。

[0090] ここで、上記各入力パルスの記号法について説明すると、先頭の「R」又は「I」は、実部節点ユニット 7 の出力（R）か虚部節点ユニット 8 の出力（I）かを表す。先頭から 2 番目の「left」,「right」,「top」,「bottom」はトリガパルスが入力される隣接方向を表し、それぞれ「left」が左隣接,「right」が右隣接,「top」が上隣接,「bottom」が下隣接の隣接節点ユニット 6 から入力されるトリガパルスであることを表す。先頭から 3 番目の「p」,「m」はトリガパルスの正負（すなわち更新係数 G_{ik} の符号）を表し、「p」が正,「m」が負であることを表す。末尾の「gx1」,「gx2」,「gy1」,「gy2」は、トリガパルスに乘算されている更新係数の種類を表し、それぞれ、「gx1」が G_{1x} ,「gx2」が G_{2x} ,「gy1」が G_{1y} ,「gy2」が G_{2y} が乗算されていることを表す。例えば、「R_left_p_gx1」は、左隣接の実部節点ユニット 7 から出力される正のトリガパルスに更新係数 G_{1x} を乗算した入力パルスであることを表す。

[0091] また、上記各出力パルスの記号法について説明すると、先頭の「R」又は「I」は、実部節点ユニット7の出力（R）か虚部節点ユニット8の出力（I）かを表す。先頭から2番目の「OUT」はトリガパルスが出力パルスであることを表す。先頭から3番目の「P」, 「M」はトリガパルスの正負（すなわち更新係数 G_{ik} の符号）を表し、「P」が正, 「M」が負であることを表す。末尾の「gx1」, 「gx2」, 「gy1」, 「gy2」は、トリガパルスに乗算されている更新係数の種類を表し、それぞれ、「gx1」が G_{1x} , 「gx2」が G_{2x} , 「gy1」が G_{1y} , 「gy2」が G_{2y} が乗算されていることを表す。例えば、「I_OUT_M_gy2」は、虚部節点ユニット8から出力される負のトリガパルスに更新係数 G_{2y} を乗算した出力パルスであることを表す。

[0092]

[表1]

表 1: 各節点ユニットの入力パルス

隣接節点方位	隣接節点種類	入力パルス	説明
上	実数	R_top_p_gy	G_{1y} 項の更新係数の符号が正の場合
		R_top_m_gy1	G_{1y} 項の更新係数の符号が負の場合
		R_top_p_gy2	G_{2y} 項の更新係数の符号が正の場合
		R_top_m_gy2	G_{2y} 項の更新係数の符号が負の場合
	虚数	I_top_p_gy1	G_{1y} 項の更新係数の符号が正の場合
		I_top_m_gy1	G_{1y} 項の更新係数の符号が負の場合
		I_top_p_gy2	G_{2y} 項の更新係数の符号が正の場合
		I_top_m_gy2	G_{2y} 項の更新係数の符号が負の場合
下	実数	R_bottom_p_gy1	G_{1y} 項の更新係数の符号が正の場合
		R_bottom_m_gy1	G_{1y} 項の更新係数の符号が負の場合
		R_bottom_p_gy2	G_{2y} 項の更新係数の符号が正の場合
		R_bottom_m_gy2	G_{2y} 項の更新係数の符号が負の場合
	虚数	I_bottom_p_gy1	G_{1y} 項の更新係数の符号が正の場合
		I_bottom_m_gy1	G_{1y} 項の更新係数の符号が負の場合
		I_bottom_p_gy2	G_{2y} 項の更新係数の符号が正の場合
		I_bottom_m_gy2	G_{2y} 項の更新係数の符号が負の場合
左	実数	R_left_p_gx1	G_{1x} 項の更新係数の符号が正の場合
		R_left_m_gx1	G_{1x} 項の更新係数の符号が負の場合
		R_left_p_gx2	G_{2x} 項の更新係数の符号が正の場合
		R_left_m_gx2	G_{2x} 項の更新係数の符号が負の場合
	虚数	I_left_p_gx1	G_{1x} 項の更新係数の符号が正の場合
		I_left_m_gx1	G_{1x} 項の更新係数の符号が負の場合
		I_left_p_gx2	G_{2x} 項の更新係数の符号が正の場合
		I_left_m_gx2	G_{2x} 項の更新係数の符号が負の場合
右	実数	R_right_p_gx1	G_{1x} 項の更新係数の符号が正の場合
		R_right_m_gx1	G_{1x} 項の更新係数の符号が負の場合
		R_right_p_gx2	G_{2x} 項の更新係数の符号が正の場合
		R_right_m_gx2	G_{2x} 項の更新係数の符号が負の場合
	虚数	I_right_p_gx1	G_{1x} 項の更新係数の符号が正の場合
		I_right_m_gx1	G_{1x} 項の更新係数の符号が負の場合
		I_right_p_gx2	G_{2x} 項の更新係数の符号が正の場合
		I_right_m_gx2	G_{2x} 項の更新係数の符号が負の場合
自己		g0_p	G_0 項の更新係数の符号が正の場合
		g0_m	G_0 項の更新係数の符号が負の場合

[0093]

[表2]

表 2: 各節点ユニットの出力パルス

隣接節点方位	隣接節点種類	出力パルス	説明
上	実数	R_OUT_P_gy1	G_{1y} 項の更新係数の符号が正の場合
		R_OUT_M_gy1	G_{1y} 項の更新係数の符号が負の場合
		R_OUT_P_gy2	G_{2y} 項の更新係数の符号が正の場合
		R_OUT_M_gy2	G_{2y} 項の更新係数の符号が負の場合
	虚数	I_OUT_P_gy1	G_{1y} 項の更新係数の符号が正の場合
		I_OUT_M_gy1	G_{1y} 項の更新係数の符号が負の場合
		I_OUT_P_gy2	G_{2y} 項の更新係数の符号が正の場合
		I_OUT_M_gy2	G_{2y} 項の更新係数の符号が負の場合
下	実数	R_OUT_P_gy1	G_{1y} 項の更新係数の符号が正の場合
		R_OUT_M_gy1	G_{1y} 項の更新係数の符号が負の場合
		R_OUT_P_gy2	G_{2y} 項の更新係数の符号が正の場合
		R_OUT_M_gy2	G_{2y} 項の更新係数の符号が負の場合
	虚数	I_OUT_P_gy1	G_{1y} 項の更新係数の符号が正の場合
		I_OUT_M_gy1	G_{1y} 項の更新係数の符号が負の場合
		I_OUT_P_gy2	G_{2y} 項の更新係数の符号が正の場合
		I_OUT_M_gy2	G_{2y} 項の更新係数の符号が負の場合
左	実数	R_OUT_P_gx1	G_{1x} 項の更新係数の符号が正の場合
		R_OUT_M_gx1	G_{1x} 項の更新係数の符号が負の場合
		R_OUT_P_gx2	G_{2x} 項の更新係数の符号が正の場合
		R_OUT_M_gx2	G_{2x} 項の更新係数の符号が負の場合
	虚数	I_OUT_P_gx1	G_{1x} 項の更新係数の符号が正の場合
		I_OUT_M_gx1	G_{1x} 項の更新係数の符号が負の場合
		I_OUT_P_gx2	G_{2x} 項の更新係数の符号が正の場合
		I_OUT_M_gx2	G_{2x} 項の更新係数の符号が負の場合
右	実数	R_OUT_P_gx1	G_{1x} 項の更新係数の符号が正の場合
		R_OUT_M_gx1	G_{1x} 項の更新係数の符号が負の場合
		R_OUT_P_gx2	G_{2x} 項の更新係数の符号が正の場合
		R_OUT_M_gx2	G_{2x} 項の更新係数の符号が負の場合
	虚数	I_OUT_P_gx1	G_{1x} 項の更新係数の符号が正の場合
		I_OUT_M_gx1	G_{1x} 項の更新係数の符号が負の場合
		I_OUT_P_gx2	G_{2x} 項の更新係数の符号が正の場合
		I_OUT_M_gx2	G_{2x} 項の更新係数の符号が負の場合

[0094] 図5は、図4の実部節点ユニット7の内部構成を表すブロック図である。

尚、虚部節点ユニット8の内部構成についてもこれと同様であるため、ここでは、代表として実部節点ユニット7についてのみ説明する。

[0095] 実部節点ユニット7（虚部節点ユニット8）は、スパイク・ニューロン回

路 20、遅延パルス生成器 21、更新許可スイッチ 22、セクタ付きパルス生成器 23, 24, 25, 26、状態値更新回路 27、及び列選択スイッチ 28, 29 を備えている。

[0096] スパイク・ニューロン回路 20 は、実部節点ユニット 7（虚部節点ユニット 8）に固有の位相状態値を保持する位相状態値保持手段として機能するとともに、位相状態値保持手段が保持する位相状態値を一定の位相速度 ω で経時的に変化させる位相進行手段、位相状態値保持手段が保持する位相状態値が最大位相状態値に達したときに、位相状態値を最小位相状態値にリセットする位相復位手段、及び位相状態値が零位相状態値を過ぎたときに発火して更新トリガを出力するトリガ発生手段として機能する。このスパイク・ニューロン回路 20 は、発火したときにスパイク・パルス spk_f を出力し、このスパイク・パルス spk_f は更新許可スイッチ 22 を介してセクタ付きパルス生成器 23, 24, 25, 26 に入力される。

[0097] 更新許可スイッチ 22 は、AND 回路で構成され、一方の入力がスパイク・ニューロン回路 20 の出力に接続され、他方の入力には、全体制御部 5 から出力される更新許可信号 update_ena が入力される。更新許可スイッチ 22 は、更新許可信号 update_ena が H レベルのときには、スパイク・ニューロン回路 20 が出力するスパイク・パルス spk_f をセクタ付きパルス生成器 23, 24, 25, 26 に伝達し、更新許可信号 update_ena が L レベルのときは伝達しない。これにより、状態値の更新を実行するかしないかを切り替えることができる。

[0098] セクタ付きパルス生成器 23, 24, 25, 26 は、スパイク・パルス spk_f が入力されると、それぞれ、各更新係数 G_{1x} の大きさに比例したパルス幅を持つトリガパルス（更新トリガ） $R_OUT_P_gx1$, $R_OUT_M_gx1$, G_{2x} の大きさに比例したパルス幅を持つトリガパルス（更新トリガ） $R_OUT_P_gx2$, $R_OUT_M_gx2$, G_{1y} の大きさに比例したパルス幅を持つトリガパルス（更新トリガ） $R_OUT_P_gy1$, $R_OUT_M_gy1$, G_{2y} の大きさに比例したパルス幅を持つトリガパルス（更新トリガ） $R_OUT_P_gy2$, $R_OUT_M_gy2$ を出力する。

[0099] 状態値更新回路 27 は、隣接節点ユニット 6 から各トリガパルスが入力されると、それらのトリガパルスの符号及びパルス幅に応じて、スパイク・ニューロン回路 20 内の位相状態値保持手段が保持する位相状態値を増加又は減少させることにより、状態値の更新を行う。

[0100] 従って、本実施例では、セクタ付きパルス生成器 23, 24, 25, 26 及び状態値更新回路 27 が協働することによって、隣接する隣接節点ユニットのトリガ発生手段がトリガ（更新トリガ）を出力したとき、当該隣接節点ユニットの隣接方位に応じて、その時点で保持する位相状態値を、当該位相状態値に隣接方位により予め設定された更新係数を乗じた値だけ変化させることにより、状態値の更新を行う位相更新手段として機能することになる。

[0101] 次に、図 5 の実部節点ユニット 7（虚部節点ユニット 8）の各部の詳細な構成とその動作について述べる。

[0102]〔2〕実部節点ユニット 7 及び虚部節点ユニット 8 の各部の詳細構成と動作
（1）スパイク・ニューロン回路 20

図 6 は、実部節点ユニット 7 及び虚部節点ユニット 8 のスパイク・ニューロン回路 20 の構成例（a）及びその動作（b）を示す図である。図 6 に示したスパイク・ニューロン回路 20 は、位相状態値保持用キャパシタ C_0 、2 つの電流源 I_1 , I_2 、2 つのコンパレータ CMP_1 , CMP_2 、2 つのトリガパルス生成器 PG_1 , PG_2 、及び 3 つのスイッチ回路 S_1 , S_2 , S_3 を備えている。

[0103] 位相状態値保持用キャパシタ C_0 は一端が接地され、他端が出力ノード n_1 に接続されている。電流源 I_1 は、出力ノード n_1 を介して位相状態値保持用キャパシタ C_0 に接続されており、他端子がスイッチ回路 S_1 を介して電源に接続されている。スイッチ回路 S_2 は、一端が出力ノード n_1 に接続され、他端には、位相の最小値（最小位相値） θ_{min} に相当する電圧である最小値電圧 V_{low} が入力されている。

[0104] コンパレータ CMP_1 は、プラス側入力端子が出力ノード n_1 に接続され

、マイナス側入力端子に最大値電圧 V_{high} が入力されている。最大値電圧 V_{high} は、位相の最大値（最大位相値） θ_{max} に相当する電圧であり、全体制御部 5 で生成され入力される。また、コンパレータ CMP 1 の出力は、トリガパルス生成器 PG 1 を介してスイッチ回路 S 1、S 2 の制御端子に接続されている。トリガパルス生成器 PG 1 が生成するパルス幅は、キャパシタの電荷を放電して V_{low} に設定するのに要する時間を決定する。コンパレータ CMP 1 の出力が H レベルのときは、スイッチ回路 S 1 が開路（切断）状態、スイッチ回路 S 2 が閉路（接続）状態となり、L レベルのときはその逆となる。

[0105] コンパレータ CMP 2 は、プラス側入力端子が出力ノード n 1 に接続され、マイナス側入力端子に零値電圧 V_{middle} が入力されている。零値電圧 V_{middle} は、位相が零値であることを表す電圧であり、全体制御部 5 で生成され入力される。また、コンパレータ CMP 2 の出力は、トリガパルス生成器 PG 2 に接続されている。

[0106] トリガパルス生成器 PG 2 は、コンパレータ CMP 2 が出力するパルス波形の立ち上がりにおいて、短時間幅のスパイク・パルス spk_f を出力する回路である。トリガパルス生成器 PG 2 の出力側は、スパイク・ニューロン回路 20 の出力端子に接続されている。

[0107] 電流源 I 2 は、一端が出力ノード n 1 を介して位相状態値保持用キャパシタ C_0 に接続されており、他端がスイッチ回路 S 3 を介して電源に接続されている。スイッチ回路 S 3 の制御端子には、初期値入力線 10 が接続されている。スイッチ回路 S 3 は、入力部 3 から入力される初期化信号が H レベルのときに閉路状態、L レベルのときに開路状態となる。

[0108] この回路では、出力ノード n 1 の電圧（位相状態値電圧） V_r 又は位相状態値保持用キャパシタ C_0 に充電された電荷量 $Q_r = C_0 \cdot V_r$ が、この実部節点ユニット 7 又は虚部節点ユニット 8 の「位相状態値」となる。

[0109] 状態値更新回路 27 が状態値の更新を行っていない（すなわち、出力ノード n 1 に状態値更新回路 27 からの電流の入出力がない）状態では、出力ノード n 1 の位相状態値電圧 V_r 、コンパレータ CMP 1 の出力電圧 spk_r 、及

びスパイク・ニューロン回路20の出力電圧 spk_f は、図6(b)に示したような時間変化をする。すなわち、まず、コンパレータCMP1の出力電圧 spk_r がHレベルとなると、スイッチ回路S2が閉路するとともにスイッチ回路S1が開路して、位相状態値保持用キャパシタ C_0 が放電され、 $V_r = V_{\text{low}}$ （すなわち、位相値 $\theta = \theta_{\text{min}} < 0$ ）にリセットされる。次に、前記トリガパルス幅の時間後にコンパレータCMP1の出力電圧 spk_r はLレベルとなり、スイッチ回路S2が開路しスイッチ回路S1が閉路される。そうすると、電流源 I_1 により、位相状態値保持用キャパシタ C_0 に一定の充電電流 I_s が供給され、出力ノードn1の位相状態値電圧 V_r は一定の勾配で上昇し始める。すなわち、位相 θ が $\theta_{\text{min}} + \omega t$ で変化する。このとき、 $V_r < V_{\text{middle}}$ なので、コンパレータCMP2の出力電圧はLレベルである。

[0110] 位相状態値電圧 V_r が零値電圧 V_{middle} を過ぎた直後（すなわち、位相 θ が0を過ぎたとき）、コンパレータCMP2の出力電圧がLレベルからHレベルに反転する。トリガパルス生成器PG2は、このコンパレータCMP2の出力電圧の立ち上がりにおいて、短時間のスパイク・パルス spk_f を出力する。すなわち、スパイク・ニューロン回路20が「発火（fire）」する。

[0111] 位相状態値電圧 V_r がさらに上昇して最大値電圧 V_{high} に達したとき（すなわち、位相 θ が最大値 θ_{max} に達したとき）、コンパレータCMP1の出力がHレベルとなる。これに伴って、スイッチ回路S1が開路して、スイッチ回路S2が閉路され、位相状態値保持用キャパシタ C_0 に充電された電荷は瞬時に放電されて、 $V_r = V_{\text{low}}$ となる。この放電に伴って、コンパレータCMP1、CMP2の出力が再びLレベルとなり、再びスイッチ回路S2が開路しスイッチ回路S1が閉路されて、電流源 I_1 により、位相状態値保持用キャパシタ C_0 に一定の電流 I_1 が供給される。従って、状態値更新回路27が状態値の更新を行っていない状態では、位相 θ は、式(6a)に示したように常に $\theta_{\text{min}} + \omega t$ で鋸歯波状に変化し、スパイク・ニューロン回路20は、常に一定の時間間隔（更新周期） $T = (\theta_{\text{max}} - \theta_{\text{min}}) / \omega$ で発火して、一定の更新周期 T のスパイク・パルス spk_f を出力することになる。（ここでは、コンパレータ

CMP 1 のトリガパルス生成器 P G 1 を介した出力パルスの時間幅は十分短いものとしている。)

[0112] 図 7 は、実部節点ユニット 7 及び虚部節点ユニット 8 のスパイク・ニューロン回路 20 の他の構成例を示す図である。図 7 に示したスパイク・ニューロン回路 20 は、位相状態値保持用キャパシタ C₀、2 つの電流源 I₁、I₂、2 つのコンパレータ CMP 1、CMP 2、2 つのトリガパルス生成器 P G 1、P G 2、スイッチ回路 S 1、S 2、S 3、バッファ回路 B U F 1、B U F 2、B U F 3、及びインバータ I N V 3、I N V 4 を備えている。また、コンパレータ CMP 1 は、キャパシタ C₃、インバータ I N V 1、及びスイッチ回路 S 4、S 5、S 6 を備え、コンパレータ CMP 2 は、キャパシタ C₄、インバータ I N V 2、及びスイッチ回路 S 7、S 8、S 9 を備えている。尚、図 7 において、図 6 に対応する構成部分については、図 6 と同符号を付している。また、図 6 の場合と同様に、図 7 の回路のノード n 1 は状態更新回路 27 の出力端子に接続されており、ノード n 10 (トリガパルス生成器 P G 2 の出力ノード) は列選択スイッチ 29 及び更新許可スイッチ 22 の一方の入力端子に接続されている (図 5 参照)。

[0113] 図 7 の回路では、コンパレータ CMP 1、CMP 2 が、サンプルホールド機能を有するチョッパ型比較器として設計されている。

[0114] 図 8 は、図 7 のスパイク・ニューロン回路 20 の各スイッチ及び各ノードに入力される信号のタイミング図である。図 8 は、状態更新回路 27 から出力ノード n 1 に電流の入出力がない (状態値の更新が行われていない) 定常状態に於ける動作を表している。以下、図 7 のスパイク・ニューロン回路 20 の動作を図 8 に従って説明する。

[0115] (フェーズ 1)

まず、フェーズ 1 において、コンパレータ CMP 1 の出力電圧 spk_r が H レベルであるとする。このとき、スイッチ回路 S 2、S 5、S 6、S 8、S 9 は閉路 (接続) 状態、スイッチ回路 S 1、S 4、S 7 は開路 (切断) 状態となる。スイッチ回路 S 1 が開路することにより、電流源 I₁ からノード n 1

への電流の供給は停止される。スイッチ回路S 2が閉路することにより、ノードn 1の位相状態値電圧 V_r は最小値電圧 V_{low} となる。スイッチ回路S 4が開路しスイッチ回路S 5が閉路することにより、キャパシタ C_3 の入力側ノードn 3の電圧 V_3 は最大値電圧 V_{high} となる。スイッチ回路S 7が開路しスイッチ回路S 8が閉路することにより、キャパシタ C_4 の入力側ノードn 7の電圧 V_7 は零値電圧 $V_{middle} = (V_{high} + V_{low}) / 2$ となる。スイッチ回路S 6が閉路することにより、インバータINV 1の入力ノードn 4と出力ノードn 5とが接続されて同電位となり、ノードn 4, n 5の電圧 V_4, V_5 は、それぞれ、インバータINV 1の閾値電圧 V_{th1} となる。同様に、スイッチ回路S 9が閉路することにより、インバータINV 2の入力ノードn 8と出力ノードn 9とが接続されて同電位となり、ノードn 8, n 9の電圧 V_8, V_9 は、それぞれ、インバータINV 2の閾値電圧 V_{th2} となる。このとき、トリガパルス生成器PG 2の出力はLレベルである。

[0116] フェーズ1において、キャパシタ C_3 には電圧 $V_{high} - V_{th1}$ が印加されるため、電荷 $Q_{31} = C_3 (V_{high} - V_{th1})$ が充電される。また、キャパシタ C_4 には電圧 $V_{middle} - V_{th2}$ が印加されるため、キャパシタ C_4 の充電電荷は $Q_{41} = C_3 (V_{middle} - V_{th2})$ となる。

[0117] (フェーズ2)

時刻 t_1 において、コンパレータCMP 1の出力電圧 spk_r がLレベルに立ち下がりフェーズ2に移行する。フェーズ2では、スイッチ回路S 2, S 5, S 6, S 8, S 9は開路状態、スイッチ回路S 1, S 4, S 7は閉路状態となる。スイッチ回路S 4が閉路しスイッチ回路S 5が開路することにより、キャパシタ C_3 の入力側ノードn 3には、ノードn 1の位相状態値電圧 V_r が印加される。同様に、スイッチ回路S 7が閉路しスイッチ回路S 8が開路することにより、キャパシタ C_4 の入力側ノードn 7にも、ノードn 1の位相状態値電圧 V_r が印加される。

[0118] 一方、スイッチ回路S 6, S 9が開路することによって、インバータINV 1, INV 2の入力側ノードn 4, n 8はフローティング状態となる。従

って、キャパシタ C_3 , C_4 の充電電荷 Q_{31} , Q_{41} は放電されることがないため、ノード n_4 , n_8 の電圧 V_4 , V_8 はノード n_3 , n_7 の電圧 V_3 , V_7 に追従して変化する。時刻 t_1 では、 $V_r = V_{low}$ なので、スイッチ回路 S_4 , S_7 の閉路とともに、電圧 V_3 , V_7 は、それぞれ $V_{high} - V_{th1}$, $V_{middle} - V_{th2}$ だけ降下する。従って、それに追従して、電圧 V_4 , V_8 は、時刻 t_1 で、それぞれ $V_{low} - (V_{high} - V_{th1})$, $V_{low} - (V_{middle} - V_{th2})$ となる。それに伴い、インバータ INV_1 , INV_2 の出力 V_5 , V_9 は H レベル (V_{high}) となる。

[0119] また、時刻 t_1 にコンパレータ CMP_1 の出力電圧 spk_r が L レベルになると、スイッチ回路 S_1 が閉路して、電流源 I_1 によりノード n_1 への電流供給が開始される。従って、フェーズ 2 では、ノード n_1 の位相状態値電圧 V_r は最小値電圧 V_{low} から最大値電圧 V_{high} に向かって一定勾配で上昇する。そして、それに追従してノード n_4 , n_8 の電圧 V_4 , V_8 も、それぞれ $V_{low} - V_{middle}$, V_{low} から同じ勾配で上昇する。

[0120] (フェーズ 3)

時刻 t_2 において、ノード n_8 の電圧 V_8 がインバータ INV_2 の閾値電圧 V_{th2} に達すると、インバータ INV_2 の出力電圧 V_9 が L レベル (V_{low}) に反転し、フェーズ 3 に移行する。フェーズ 3 では、インバータ INV_2 の出力電圧 V_9 の立ち下がりに伴って、トリガパルス生成器 PG_2 から一定の時間幅 ($t_3 - t_2$) のスパイク・パルスが出力電圧 spk_f に出力される。このとき、各スイッチ回路の切り替わりはなく、引き続き電圧 V_r , V_3 , V_4 , V_7 , V_8 は一定勾配で上昇を続ける。

[0121] (フェーズ 4)

フェーズ 4 では、トリガパルス生成器 PG_2 の出力は再び L レベルに戻り、引き続き電圧 V_r , V_3 , V_4 , V_7 , V_8 は一定勾配で上昇を続ける。

[0122] (フェーズ 1)

時刻 t_4 において、ノード n_4 の電圧 V_4 がインバータ INV_1 の閾値電圧 V_{th1} に達すると、インバータ INV_1 の出力電圧 V_5 が L レベル (V_{low}) に

反転し、フェーズ5に移行する。フェーズ5では、インバータINV1の出力電圧 V_5 の立ち下がりに伴って、トリガパルス生成器PG1から一定の時間幅($t_5 - t_4$)のスパイク・パルスが出力電圧spk_rに出力される。

[0123] 出力電圧spk_rはHレベル(V_{high})となると、スイッチ回路S2, S5, S6, S8, S9は閉路(接続)状態、スイッチ回路S1, S4, S7は開路(切断)状態となる。スイッチ回路S4が開路しスイッチ回路S5が閉路することにより、ノードn3の電圧 V_3 は最大値電圧 V_{high} となる。スイッチ回路S7が開路しスイッチ回路S8が閉路することにより、ノードn7の電圧 V_7 は零値電圧 V_{middle} となる。

[0124] また、スイッチ回路S6, S9が開路することにより、ノードn4, n5, n8, n9の電圧 V_4, V_5, V_8, V_9 はすぐにそれぞれのインバータの閾値電圧に引き戻される。以下は、上述したとおりの同様の動作が繰り返される。

[0125] (2) セレクタ付きパルス生成器23, 24, 25, 26

図9は、実部節点ユニット7及び虚部節点ユニット8のセレクタ付きパルス生成器23, 24, 25, 26の構成(a)及び動作(b)を表す図である。セレクタ付きパルス生成器23, 24, 25, 26は、p型の電界効果トランジスタ(MOSFET)M1, M2、n型の電界効果トランジスタM3、インバータ回路30, 31、NOR回路32、及びデマルチプレクサ33を備えている。

[0126] トランジスタM1, M2及びトランジスタM3は、電源と接地面との間にこの順序で直列に接続されている。セレクタ付きパルス生成器23, 24, 25, 26のトランジスタM2のゲートには、それぞれ、更新係数 $G_{1x}, G_{2x}, G_{1y}, G_{2y}$ の大きさを決定するための更新係数電圧 V_g が入力される。尚、更新係数電圧 V_g は全体制御部5において生成され、全ての節点ユニット6に共通に入力される。

[0127] トランジスタM1, M3のゲートには、更新許可スイッチ22を介してスパイク・ニューロン回路20が発火したときに出力するスパイク・パルスspk

$_f$ が入力される。インバータ回路30, 31は直列接続されており、インバータ回路30の入力側はトランジスタM2, M3の共通接続ノード（以下「中間ノードn2」という。）に接続され、インバータ回路31の出力側は、NOR回路32の一方の入力端子に接続される。NOR回路32の他方の入力端子には、スパイク・ニューロン回路20が発火したときに出力するスパイク・パルス spk_f が直接入力される。NOR回路32の出力端子は、デマルチプレクサ33の入力端子に接続されている。デマルチプレクサ33の選択制御入力端子には、更新係数 G_{1x} , G_{1y} , G_{2x} , G_{2y} の符号（正負）を決定する更新係数符号信号 sign が入力される。更新係数符号信号 sign は全体制御部5において生成され、全ての節点ユニット6に共通に入力される。デマルチプレクサ33の2つの出力端子は、セクタ付きパルス生成器23, 24, 25, 26の出力端子OUT_P, OUT_Mとなっている。デマルチプレクサ33は、更新係数符号信号 sign が「正」を表すとき（ここでは、Hレベルとする。）は出力端子OUT_Pを出力先に選択し、更新係数符号信号 sign が「負」を表すとき（ここでは、Lレベルとする。）は出力端子OUT_Mを出力先に選択する。

[0128] スパイク・ニューロン回路20からのスパイク・パルス spk_f の入力がない（ spk_f が常時Lレベルの）初期状態では、トランジスタM1, M3のゲートはLレベルであり、トランジスタM1がオン、トランジスタM3がオフである。従って、トランジスタM1, M2を介して、電源から中間ノードn2に電荷が流入し、中間ノードn2と接地面間の寄生容量が充電され、中間ノードn2の電圧はほぼ電源電圧 V_0 となる。このとき、インバータ回路31の出力側のノード（以下「中間ノードn3」という。）の電圧 V_c はHレベルであり、NOR回路32の出力側のノード（以下「中間ノードn4」という。）の電圧OUT_PMはLレベルである。従って、出力端子OUT_P, OUT_Mの電圧もLレベルである。

[0129] スパイク・ニューロン回路20が発火して、スパイク・パルス spk_f がHレベルに立ち上がると、トランジスタM1がオフ、トランジスタM3がオンと

なり、中間ノード n_2 と接地面間の寄生容量が瞬時に放電されて中間ノード n_2 の電圧は 0 となる。中間ノード n_2 の電圧が 0 となるのに伴い、中間ノード n_3 の電圧 V_c も L レベルとなる。しかし、スパイク・パルス spk_f が H レベルであるため、NOR 回路 32 の出力電圧である中間ノード n_4 の電圧 OUT_PM は L レベルのままである。

[0130] 次に、スパイク・パルス spk_f がすぐに L レベルに立ち下がると、NOR 回路 32 の出力電圧である中間ノード n_4 の電圧 OUT_PM は H レベルとなる。それと共に、再びトランジスタ M_1 がオン、トランジスタ M_3 がオフとなるので、トランジスタ M_1 , M_2 を介して、電源から中間ノード n_2 に電荷が流入し、中間ノード n_2 の電圧は電源電圧 V_0 となるまで上昇する。ここで、中間ノード n_2 の電圧が 0 から V_0 まで上昇する時間は、トランジスタ M_2 のゲート電圧により制御され、更新係数電圧 V_g に依存する。この過程で中間ノード n_2 の電圧がインバータ回路 30 の閾値電圧を過ぎた瞬間に、インバータ回路 30 及びインバータ回路 31 の出力電圧が切り替わり、中間ノード n_3 の電圧 V_c は H となり、NOR 回路 32 の出力電圧である中間ノード n_4 の電圧 OUT_PM は再び L レベルとなる。中間ノード n_4 の電圧 OUT_PM が H レベルに立ち上がってから再び L レベルに立ち下がるまでの時間をパルス幅 t_g とすると、パルス幅 t_g は更新係数電圧 V_g の大きさに依存する。従って、中間ノード n_4 の出力パルスの時間軸上の位置は位相 θ が 0 を過ぎる時刻を表し、出力パルスのパルス幅 t_g は更新係数 G_{1x} , G_{1y} , G_{2x} , G_{2y} の大きさを表すことになる。

[0131] 最後に、デマルチプレクサ 33 は、更新係数符号信号 $sign$ に従って、中間ノード n_4 に出力される出力パルスの出力方向を切り替える。更新係数 G_{1x} , G_{1y} , G_{2x} , G_{2y} の符号が正のときは、出力端子 OUT_Pi にパルス幅 t_g の出力パルスが出力され、更新係数 G_{1x} , G_{1y} , G_{2x} , G_{2y} が負のときは、出力端子 OUT_Mi にパルス幅 t_g の出力パルスが出力される。

[0132] 尚、出力端子 OUT_Pi は、状態値更新回路 27 の入力端子 $R_top_p_gy1$, $R_bottom_p_gy1$, $R_right_p_gx1$, $R_left_p_gx1$, $I_top_p_gy2$, $I_bottom_p_gy2$,

l_right_p_gx2, l_left_p_gx2の何れかに接続される。また、出力端子OUT_Mは、状態値更新回路27の入力端子R_top_m_gy1, R_bottom_m_gy1, R_right_m_gx1, R_left_m_gx1, l_top_m_gy2, l_bottom_m_gy2, l_right_m_gx2, l_left_m_gx2の何れかに接続される。

[0133] また、後述する状態値更新回路27において、正パルス更新回路35と負パルス更新回路36を合体した図17の回路を使用する場合には、中間ノードn4の電圧OUT_PMと更新係数符号信号signを、隣接する節点ユニット6の状態値更新回路27へ出力すればよいことになる。従って、その場合には、図9のデマルチプレクサ33は省略することができる。

[0134] (3) 状態値更新回路27

図10は、実部節点ユニット7及び虚部節点ユニット8の状態値更新回路27の全体構成を表す図である。状態値更新回路27は、更新係数の符号が正の場合の各入力パルスg0_p, R_left_p_gx1, R_left_p_gx2, l_left_p_gx1, l_left_p_gx2, R_right_p_gx1, R_right_p_gx2, l_right_p_gx1, l_right_p_gx2, R_top_p_gy1, R_top_p_gy2, l_top_p_gy1, l_top_p_gy2, R_bottom_p_gy1, R_bottom_p_gy2, l_bottom_p_gy1, l_bottom_p_gy2のそれぞれに対応して、17個の正パルス更新回路35を備え、また、更新係数の符号が負の場合の各入力パルスg0_m, R_top_m_gy1, R_top_m_gy2, l_top_m_gy1, l_top_m_gy2, R_bottom_m_gy1, R_bottom_m_gy2, l_bottom_m_gy1, l_bottom_m_gy2, R_left_m_gx1, R_left_m_gx2, l_left_m_gx1, l_left_m_gx2, R_right_m_gx1, R_right_m_gx2, l_right_m_gx1, l_right_m_gx2のそれぞれに対応して、17個の負パルス更新回路36を備えている。各正パルス更新回路35及び各負パルス更新回路36の入力側端子は、それぞれ、対応する入力パルスを出力する節点ユニット6, 7のセクタ付きパルス生成器23, 24, 25, 26の何れかの出力端子OUT_Pに接続される。また、各正パルス更新回路35及び各負パルス更新回路36の入力側端子は、スパイク・ニューロン回路20の出力ノードn1に共通に接続されている。

[0135] 図11は、図10の正パルス更新回路35の(a)構成を表す回路図(b

）電圧電流特性図、及び（c）、（d）動作を表す図である。正パルス更新回路35の入力端子OUT_Pからは、隣接する節点ユニット6のセクタ付きパルス生成器23、24、25、26が出力する出力パルスOUT_Pが入力される。但し、入力端子G0_pに対応する正パルス更新回路の入力端子OUT_Pからは、全体制御部5内に設けられたセクタ付きパルス生成器が出力する出力パルスOUT_Pが入力される。全体制御部5内に設けられたセクタ付きパルス生成器も図9と同様の構成であり、このセクタ付きパルス生成器からが、更新係数 G_0 に対応する出力パルスが出力される。

[0136] 正パルス更新回路35は、p型の電界効果トランジスタM4、n型の電界効果トランジスタM5、及びスイッチ回路S4、S5を備えている。スイッチ回路S4、トランジスタM4、トランジスタM5、スイッチ回路S5は、電源と接地面との間にこの順序で直列に接続されている。正パルス更新回路35の入力OUT_PのレベルがHレベルのときに、スイッチ回路S4、S5が閉路され、Lレベルのときに、スイッチ回路S4、S5が開路される。また、トランジスタM4、M5はダイオード接続されている。すなわち、トランジスタM4、M5のゲートは、トランジスタM4、M5のドレインの共通接続ノードである出力ノードn1に接続されている。

[0137] この回路の電圧－電流特性は、図11（b）に示したようになる。位相状態値電圧 V_r は0から電源電圧 V_0 の間で変動する。これに対して、トランジスタM4のドレイン電流は、図11（b）の I_{M4} で示した曲線のように変化し、トランジスタM5のドレイン電流は、図11（b）の I_{M5} で示した曲線のように変化する。尚、図11（b）において、電流の向きについては、出力ノードn1に流入する方向を正、出力ノードn1から流出する方向を負としている。

[0138] トランジスタM4のドレイン電流 I_{M4} は、出力ノードn1の位相状態値電圧 V_r が0のときに最大となり、位相状態値電圧 V_r が上昇するにつれて減少し、位相状態値電圧 V_r が電源電圧 V_0 では0となる。一方、トランジスタM5のドレイン電流 I_{M5} は、出力ノードn1の位相状態値電圧 V_r が0のときに

0となり、位相状態値電圧 V_r が上昇するにつれて増加し、位相状態値電圧 V_r が電源電圧 V_0 では最大となる。トランジスタM5のドレイン電流 I_{M5} の電圧－電流特性は、上記ドレイン電流 I_{M4} の電圧－電流特性の左右を反転し、正負を反転した形となっている。従って、正パルス更新回路35全体として出力ノードn1に流出入する電流 I_{total} は、ドレイン電流 I_{M4} 、 I_{M5} の電圧－電流特性を足し合わせたものであり、図11(b)に示したようになる。電流 I_{total} は、トランジスタM4、M5のサイズを調整してドレイン電流 I_{M4} 、 I_{M5} の電圧－電流特性を調節することにより、図11(b)に示したように線形化される。図11(b)では、出力ノードn1に流出入する電流 I_{total} は、位相状態値電圧 V_r が0のときに流入方向に最大 I_{p0} となり、位相状態値電圧 V_r が上昇するにつれて直線的に減少し、位相状態値電圧 V_r が零値電圧 V_{middle} になったときに0となる。さらに位相状態値電圧 V_r が上昇すると、今度は、電流 I_{total} は流出方向に直線的に増加し、位相状態値電圧 V_r が電源電圧 V_0 のときに流出方向に最大 $-I_{p0}$ となる。出力ノードn1の位相状態値電圧 V_r と流出入する電流 I_{total} との関係を近似的に次式のように表す。

[0139] [数14]

$$I_{total} = \frac{V_{middle} - V_r}{V_{middle}} I_{p0} \quad (14)$$

[0140] 尚、本実施例においては、図11(a)の回路においてトランジスタM4、M5のサイズを調整して、図11(b)に示したように電圧－電流特性を線形化しているが、実現したいフィルタ計算モデルによっては、この電圧－電流特性を非線形とすることもできる。この場合、図11(a)の回路でも各トランジスタのサイズを変えて所望の関数 $I_{total} = f(V_r - V_{middle})$ で表される非線形特性を実現すればよい。また、別の電圧電流特性をもつ回路を用いて、前述の関数 $I_{total} = f(V_r - V_{middle})$ を実現するようにすることももちろん可能である。

[0141] 次に、図11(a)の回路の動作について説明する。まず、セクタ付きパルス生成器23、24、25、26からパルスが入力されていない状態で

は、スイッチ回路S 4, S 5は開路した状態であり、トランジスタM 4, M 5には電流は流れない。従って、出力ノードn 1の位相状態値電圧 V_r は、スパイク・ニューロン回路2 0によって、図6 (b)に示したような鋸歯波状の変化を続ける。

[0142] セレクタ付きパルス生成器2 3, 2 4, 2 5, 2 6からパルス幅 t_g のパルスOUT_Pが入力された場合、正パルス更新回路3 5は次のように動作する。

[0143] (I) パルスOUT_Pの入力時に位相状態値電圧 V_r が零値電圧 V_{middle} より小さい場合

パルスOUT_MがHレベルに立ち上がると、スイッチ回路S 4, S 5が閉路される。この場合、図1 1 (b)に示したように、 $V_r < V_{middle}$ では、全体として出力ノードn 1に電流が流入する。従って、パルスOUT_PがHレベルの間、スパイク・ニューロン回路2 0の位相状態値保持用キャパシタ C_0 に電荷が流入し、位相状態値電圧 V_r は引き上げられる。すなわち、図1 1 (c)に示したように、パルスOUT_Pの入力時に位相状態値電圧 V_r は位相が進む方向に更新される。

このとき、図1 1 (b)より、流入する電流 I_{total} の大きさは、位相状態値電圧 V_r と零値電圧 V_{middle} との差電圧の絶対値 $|V_r - V_{middle}|$ に比例する。ここで、位相状態値電圧 V_r は、実部節点ユニット7又は虚部節点ユニット8の位相 θ_i に対応し、零値電圧 V_{middle} は位相0に対応する。従って、絶対値 $|V_r - V_{middle}|$ は位相 θ_i に対応する位相状態量である。また、位相状態値保持用キャパシタ C_0 に電荷が流入する時間は、パルスOUT_Pのパルス幅 t_g であるが、これは、更新係数 G_{ik} の大きさに比例する。

[0144] 時刻 t_{pk} において、パルス幅 t_g のパルスOUT_Pが、隣接節点ユニット U_k のセレクタ付きパルス生成器2 3, 2 4, 2 5, 2 6から隣接節点ユニット U_i の正パルス更新回路3 5に入力された場合、パルス幅 t_g のパルスOUT_Pによる位相状態値保持用キャパシタ C_0 の更新電荷量 δQ はパルス幅 t_g が十分に狭い場合、次式(1 5)のように近似することができる。

[0145]

[数15]

$$\delta Q \simeq \frac{V_{middle} - V_r(t_{pk})}{V_{middle}} I_{p0} t_g \propto |G_{ik}| \theta_i(t_{pk}) \quad (15)$$

[0146] 式(15)より、更新電荷量 δQ は $|G_{ik}| \theta_i(t_{pk})$ に比例する。従って、パルスOUT_Pに対し、 $V_r < V_{middle}$ の場合には、正パルス更新回路35により式(13a)～(13d)に示したような位相の更新演算が実行されることがわかる。

[0147] (I I) パルスOUT_Pの入力時に位相状態値電圧 V_r が零値電圧 V_{middle} より大きい場合

この場合、図11(b)に示したように、全体として出力ノードn1から電流が流入する。従って、パルスOUT_PがHレベルの間、スパイク・ニューロン回路20の位相状態値保持用キャパシタ C_0 から電荷が流出し、位相状態値電圧 V_r は引き下げられる。すなわち、図11(d)に示したように、パルスOUT_Pの入力時に位相状態値電圧 V_r は位相が遅れる方向に更新される。

[0148] この場合も、同様に、パルス幅 t_g が十分に狭く、 $I_{p0} t_g / C_0 V_{middle} \ll 1$ の場合、更新電荷量 δQ は式(15)のように近似することができる。

[0149] 故に、パルスOUT_Pに対し、 $V_r > V_{middle}$ の場合にも、正パルス更新回路35により式(13a)～(13d)に示したような位相の更新演算が実行されることがわかる。

[0150] 図12は、図10の負パルス更新回路36の(a)構成を表す回路図、(b)電圧電流特性図、及び(c)、(d)動作を表す図である。負パルス更新回路36の入力端子OUT_Mからは、隣接する節点ユニット6のセクタ付きパルス生成器23、24、25、26が出力する出力パルスOUT_Mが入力される。但し、入力端子g0_mlに対応する負パルス更新回路の入力端子OUT_Mからは、全体制御部5内に設けられたセクタ付きパルス生成器が出力する出力パルスOUT_Mが入力される。

[0151] 負パルス更新回路36は、p型の電界効果トランジスタM6、M8、n型の電界効果トランジスタM7、M9、及びスイッチ回路S6、S7、S8、

S 9, S 10を備えている。トランジスタM 6, トランジスタM 7の直列接続回路とトランジスタM 8, トランジスタM 9の直列接続回路との並列回路が、スイッチ回路S 6, S 7の間に接続されている。スイッチ回路S 6の他端は電源に接続され、スイッチ回路S 7の他端は接地面に接続されている。トランジスタM 8はダイオード接続されている。また、トランジスタM 6, M 8のゲートは、トランジスタM 8, M 9のドレインの共通接続ノード（以下「中間ノードn 5」という。）に接続されている。中間ノードn 5は、スイッチ回路S 9を介して、電源に接続されている。また、トランジスタM 7のゲートは、スイッチ回路S 10を介して接地面に接続されるとともに、スイッチ回路S 8を介して中間ノードn 5に接続されている。また、トランジスタM 9のゲートは、トランジスタM 6, M 7のドレインの共通接続ノード（以下「出力ノードn 1」という。）に接続されている。この出力ノードn 1は、負パルス更新回路3 6の出力となり、図6のスパイク・ニューロン回路2 0の出力ノードn 1と共通となるように接続されている（図1 0参照）。スイッチ回路S 6, S 7, S 8は、負パルス更新回路3 6の入力OUT_MのレベルがHレベルのときに閉路され、Lレベルのときに開路される。一方、スイッチ回路S 9, S 10は、負パルス更新回路3 6の入力OUT_MのレベルがHレベルのときに開路され、Lレベルのときに閉路される。

[0152] この回路の電圧－電流特性は、図1 2（b）に示したようになる。図1 2（b）は、図1 2（a）に示した負パルス更新回路3 6の出力ノードn 1の位相状態値電圧 V_r に対するトランジスタM 6, M 7のドレイン電流の大信号特性を表したものである。位相状態値電圧 V_r は0から電源電圧 V_o の間で変動する。これに対して、トランジスタM 6のドレイン電流は、図1 2（b）の I_{M6} で示した曲線のように変化し、トランジスタM 7のドレイン電流は、図1 2（b）の I_{M7} で示した曲線のように変化する。尚、図1 2（b）において、電流の向きについては、出力ノードn 1に流入する方向を正、出力ノードn 1から流出する方向を負としている。

[0153] トランジスタM 6のドレイン電流 I_{M6} は、出力ノードn 1の位相状態値電

圧 V_r が0のときは0であり、位相状態値電圧 V_r が増加するにつれて下に凸の曲線に沿って増加する。そして、位相状態値電圧 V_r が $V_0/2$ を越えた付近で、ドレイン電流 I_{M6} は、今度は上に凸の放物曲線状に変化し、最大値に達する。そしてさらに位相状態値電圧 V_r が増加するに従って、ドレイン電流 I_{M6} は減少し、位相状態値電圧 V_r が電源電圧 V_0 となったときに0となる。トランジスタM7のドレイン電流 I_{M7} の電圧－電流特性は、上記ドレイン電流 I_{M6} の電圧－電流特性の左右を反転し、正負を反転した形となる。従って、負パルス更新回路36全体として出力ノードn1に流出入する電流 I_{total} は、ドレイン電流 I_{M4} 、 I_{M5} の電圧－電流特性を足し合わせたものであり、図12(b)に示したようになる。出力ノードn1に流出入する電流 I_{total} の特性曲線は、位相状態値電圧 V_r が零値電圧 V_{middle} のときに0となり、 $V_r < V_{middle}$ において極小値、 $V_r > V_{middle}$ において極大値をもつ曲線となる。また、 $V_r = V_{middle}$ の近傍の $V_{middle} - \Delta V_L < V_r < V_{middle} + \Delta V_L$ の領域においては、電流 I_{total} は電圧 V_r に対してほぼ線形となる。そこで、 $V_{middle} - \Delta V_L < V_r < V_{middle} + \Delta V_L$ の領域における位相状態値電圧 V_r と電流 I_{total} との関係を近似的に次式のように表す。

[0154] [数16]

$$I_{total} = \frac{V_r - V_{middle}}{\Delta V_L} I_{m0} \quad (16)$$

[0155] 尚、図12(a)の回路では、位相状態値の更新は、出力ノードn1の位相状態値電圧 V_r が $V_{middle} - \Delta V_L < V_r < V_{middle} + \Delta V_L$ の領域内にあるときにのみ実行されるものとする。 $V_r < V_{middle} - \Delta V_L$ 及び $V_r > V_{middle} + \Delta V_L$ の領域では、図12(b)の電圧 V_r －電流 I_{total} 特性が非線形となり、正常な更新演算が行われないからである。

[0156] 尚、本実施例においては、図12(a)の回路において各トランジスタのサイズを調整して、図12(b)に示したように電圧－電流特性を線形化しているが、実現したいフィルタ計算モデルによっては、この電圧－電流特性を非線形とすることもできる。この場合、図12(a)の回路でも各トラン

ジスタのサイズを変えて所望の関数 $I_{\text{total}} = f(V_r - V_{\text{middle}})$ で表される非線形特性を実現すればよい。また、別の電圧電流特性をもつ回路を用いて、前述の関数 $I_{\text{total}} = f(V_r - V_{\text{middle}})$ を実現するようにすることももちろん可能である。

[0157] 次に、図 12 (a) の回路の動作について説明する。まず、セクタ付きパルス生成器 23, 24, 25, 26 からパルス OUT_M が入力されていない状態では、スイッチ回路 S6, S7 は開路した状態であり、トランジスタ M6, M7 には電流は流れない。従って、出力ノード n1 の位相状態値電圧 V_r は、スパイク・ニューロン回路 20 によって、図 6 (b) に示したような鋸歯波状の変化を続ける。また、このとき、スイッチ回路 S9 が閉路した状態、スイッチ回路 S8 が開路した状態にあるため、中間ノード n5 は電源に接続され、中間ノード n5 と接地面との間の浮遊容量が充電され、中間ノード n5 の電圧は電源電圧 V_0 にある。

[0158] セクタ付きパルス生成器 23, 24, 25, 26 からパルス幅 t_g のパルス OUT_M が入力された場合、負パルス更新回路は次のように動作する。

[0159] (I) パルス OUT_M の入力時に位相状態値電圧 V_r が零値電圧 V_{middle} より小さい場合

パルス OUT_M が H レベルに立ち上がると、スイッチ回路 S8, S9 が開路し、スイッチ回路 S5, S6, S7 が閉路される。この場合、図 12 (b) に示したように、 $V_r < V_{\text{middle}}$ では、全体として出力ノード n1 から電流が流出する。従って、パルス OUT_M が H レベルの間、スパイク・ニューロン回路 20 の位相状態値保持用キャパシタ C_0 から電荷が流出し、位相状態値電圧 V_r は引き下げられる。すなわち、図 12 (c) に示したように、パルス OUT_M の入力時に位相状態値電圧 V_r は位相が遅れる方向に更新される。

[0160] このとき、図 12 (b) より、流出する電流 I_{total} の大きさは、位相状態値電圧 V_r と零値電圧 V_{middle} との差電圧の絶対値 $|V_r - V_{\text{middle}}|$ に比例する。ここで、位相状態値電圧 V_r は、実部節点ユニット 7 又は虚部節点ユニット 8 の位相 θ_i に対応し、零値電圧 V_{middle} は位相 0 に対応する。従って、絶対値 $|V_r$

$-V_{middle}$ は位相 θ_i に対応する位相状態量である。また、位相状態値保持用キャパシタ C_0 に電荷が流入する時間は、パルスOUT_Mのパルス幅 t_g であるが、これは、更新係数 G_{ik} の大きさに比例する。

[0161] 時刻 t_{pk} において、パルス幅 t_g のパルスOUT_Mが、隣接節点ユニット U_k のセクタ付きパルス生成器 23, 24, 25, 26 から隣接節点ユニット U_i の負パルス更新回路 36 に入力された場合、パルス幅 t_g のパルスOUT_Mによる位相状態値保持用キャパシタ C_0 の更新電荷量 δQ はパルス幅 t_g が十分に狭く、 $I_{m0} t_g / C_0 \Delta V_L \ll 1$ の場合、次式 (17) のように近似することができる。

[0162] [数17]

$$\delta Q \simeq \frac{V_r(t_{pk}) - V_{middle}}{\Delta V_L} I_{m0} t_g \propto -|G_{ik}| \theta_i(t_{pk}) \quad (17)$$

[0163] 式 (17) より、更新電荷量 δQ は $-|G_{ik}| \theta_i(t_{pk})$ に比例する。従って、パルスOUT_Mに対し、 $V_r < V_{middle}$ の場合には、負パルス更新回路 36 により式 (13a) ~ (13d) に示したような位相の更新演算が実行されることがわかる。

[0164] (I I) パルスOUT_Mの入力時に位相状態値電圧 V_r が零値電圧 V_{middle} より大きい場合

この場合、図 12 (b) に示したように、全体として出力ノード n_1 へ電流が流入する。従って、パルスOUT_MがHレベルの間、スパイク・ニューロン回路 20 の位相状態値保持用キャパシタ C_0 へ電荷が流入し、位相状態値電圧 V_r は引き上げられる。すなわち、図 12 (d) に示したように、パルスOUT_Mの入力時に位相状態値電圧 V_r は位相が進む方向に更新される。

[0165] この場合も、同様に、パルス幅 t_g が十分に狭く、 $I_{m0} t_g / C_0 \Delta V_L \ll 1$ の場合、更新電荷量 δQ は式 (17) のように近似することができる。

[0166] 故に、パルスOUT_Mに対し、 $V_r > V_{middle}$ の場合にも、負パルス更新回路 36 により式 (13a) ~ (13d) に示したような位相の更新演算が実行されることがわかる。

[0167] (3. 1) 正パルス更新回路 35 の他の構成例

次に、図 11 の正パルス更新回路 35 を改良した回路構成例を示す。図 13 は、図 10 の正パルス更新回路 35 の他の構成例を表す回路図 (a) 及び電圧電流特性図 (b) である。

[0168] 図 13 (a) の正パルス更新回路 35 は、p 型の電界効果トランジスタ M4、n 型の電界効果トランジスタ M5、オフセット補償用キャパシタ C_{off} 、及びスイッチ回路 S1, S2, S3, S4 を備えている。各スイッチ回路 S1, S2, S3, S4 の制御入力端子には、隣接する節点ユニット 6 のセレクト付きパルス生成器 23, 24, 25, 26 が出力する出力パルス OUT_P が入力される。スイッチ回路 S1, S2 は、制御入力が高レベルで閉路し低レベルで開路する。また、スイッチ回路 S3, S4 は、制御入力が高レベルで閉路し低レベルで開路する。

[0169] トランジスタ M4, トランジスタ M5 は、電源と接地面との間にこの順序で直列に接続されている。また、トランジスタ M4, M5 のゲートは、ノード n3 に共通に接続されている。トランジスタ M4, M5 のドレインが共通に接続されたノード n4 は、スイッチ回路 S2 を介してノード n3 に接続されている。また、オフセット補償用キャパシタ C_{off} の一端はノード n3 に接続され、他端はノード n2 に接続されている。このノード n2 には、スイッチ回路 S1 を介して零値電圧 V_{middle} が入力される。

[0170] さらに、ノード n2 はスイッチ回路 S3 を介して、図 6 又は図 7 のスパイク・ニューロン回路 20 のノード n1 に接続されており、また、ノード n4 はスイッチ回路 S4 を介して当該ノード n1 に接続されている。このノード n1 の電圧は位相状態値電圧 V_r となっている。また、この回路においては、ノード n4 からスイッチ回路 S4 を介して当該ノード n1 に電流 i_{v_r} が出力される。

[0171] 図 13 (a) の回路において、パルス OUT_P が高レベルのときの $V_r - i_{v_r}$ 特性は、図 13 (b) のようになり、トランジスタ M4, M5 がカットオフ状態でない領域で出力電流 i_{v_r} は位相状態値電圧 V_r に対し線形 (負勾配) で

ある。

- [0172] 図 1 4 は、図 1 3 の回路の各部の動作を表すタイミング・チャートである。図 1 4 (a) は、パルスOUT_Pの入力時に位相状態値電圧 V_r が零値電圧 V_{middle} より小さい場合を示し、図 1 4 (b) は、パルスOUT_Pの入力時に位相状態値電圧 V_r が零値電圧 V_{middle} より大きい場合を示している。
- [0173] パルスOUT_PがLレベルの状態では、スイッチ回路S 1, S 2が閉路し、スイッチ回路S 3, S 4が開路する。従って、ノードn 2及びノードn 4は、ノードn 1から切り離される。スイッチ回路S 1が閉路することで、ノードn 2の電圧 V_2 は零値電圧 V_{middle} に設定される。一方、ノードn 4はノードn 3と接続され、トランジスタM 4, M 5はダイオード接続となる。そのため、ノードn 3, n 4の電位 V_3, V_4 は、トランジスタM 4, M 5で構成されるインバータの閾値電圧 $V_{inv} = V_{middle} + V_{off}$ となる。故に、オフセット補償用キャパシタ C_{off} には、オフセット電圧 $V_{off} = V_{inv} - V_{middle}$ が加わり、電荷 $Q_{off} = C_{off} V_{off}$ が充電される。
- [0174] パルスOUT_PがHレベルの状態となると、スイッチ回路S 1, S 2が開路し、スイッチ回路S 3, S 4が閉路する。これにより、ノードn 3はノードn 4から切り離されてフローティング状態となる。一方、ノードn 2, n 4には位相状態値電圧 V_r が印加される。このとき、オフセット補償用キャパシタ C_{off} の充電電荷 Q_{off} は保存されるため、ノードn 3の電圧 V_3 は、 $V_r + V_{off}$ となり、トランジスタM 4, M 5のゲート電圧のオフセット補償がされる。トランジスタM 4, M 5のゲートに電圧 $V_3 = V_r + V_{off}$ が加わることにより、図 1 3 (b) の特性に従ってノードn 4からノードn 1へ電流 i_{vr} が出力される。
- [0175] パルスOUT_Pの入力時に位相状態値電圧 V_r が零値電圧 V_{middle} より小さい場合 (図 1 4 (a))、ノードn 4からノードn 1へ電流 i_{vr} が供給され、パルスOUT_Pの入力時に位相状態値電圧 V_r が零値電圧 V_{middle} より大きい場合 (図 1 4 (b))、ノードn 1からノードn 4へ電流 i_{vr} が引き抜かれる。これにより、図 1 1 の正パルス更新回路 3 5 と同様に、更新電荷量 δQ が図 6 又は

図7のスパイク・ニューロン回路20の位相状態値保持用キャパシタ C_o に供給されて、位相の更新演算が実行される。

[0176] (3. 2) 負パルス更新回路36の他の構成例

次に、図12の負パルス更新回路36を改良した回路構成例を示す。図15は、図10の負パルス更新回路36の他の構成例を表す回路図(a)及び電圧電流特性図(b)である。

[0177] 図15(a)の負パルス更新回路36は、p型の電界効果トランジスタM4、n型の電界効果トランジスタM5、M6、M7、オフセット補償用キャパシタ C_{off} 、及びスイッチ回路S1、S2、S3、S4を備えている。各スイッチ回路S1、S2、S3、S4の制御入力端子には、隣接する節点ユニット6のセレクト付きパルス生成器23、24、25、26が出力する出力パルスOUT_Mが入力される。スイッチ回路S1、S2は、制御入力が高レベルで閉路し低レベルで開路する。また、スイッチ回路S3、S4は、制御入力が高レベルで閉路し低レベルで開路する。

[0178] トランジスタM4、トランジスタM5は、電源と接地面との間にこの順序で直列に接続されている。また、トランジスタM4、M5のゲートは、ノードn3に共通に接続されている。トランジスタM4、M5のドレインが共通に接続されたノードn4は、スイッチ回路S2を介してノードn3と接続されている。

[0179] トランジスタM6、トランジスタM7は、電源と接地面との間にこの順序で直列に接続されている。トランジスタM6のゲートには、最小値電圧 V_{low} と最大値電圧 V_{high} との和電圧 $V_b = V_{low} + V_{high}$ が印加されている。トランジスタM6の基板バイアス端子は、トランジスタM6、M7のドレインが共通に接続されたノードn2に接続されている。トランジスタM7のゲートは、ノードn5に接続されている。このノードn5は、スイッチ回路S1を介して零値電圧 V_{middle} が入力される。また、ノードn5は、スイッチ回路S3を介して図6又は図7のスパイク・ニューロン回路20のノードn1に接続されており、このノードn1の電圧は位相状態値電圧 V_r となっている。

- [0180] また、オフセット補償用キャパシタ C_{off} の一端はノード n_3 に接続され、他端はノード n_2 に接続されている。
- [0181] この回路においては、ノード n_4 からスイッチ回路 S_4 を介してノード n_1 に電流 i_{v_r} が出力される。
- [0182] 図 15 (a) の回路において、パルス OUT_M が H レベルのときの $V_r - i_{v_r}$ 特性は、図 15 (b) のようになり、トランジスタ M_4 , M_5 がカットオフ状態でない動作領域で出力電流 i_{v_r} は位相状態値電圧 V_r に対し線形（正勾配）である。
- [0183] また、トランジスタ M_6 , M_7 は、電圧反転回路を構成しており、ノード n_2 の電圧 V_2 は、 $V_2 = V_b - V_r$ で表される（図 15 (b) 参照）。
- [0184] 図 16 は、図 15 の回路の各部の動作を表すタイミング・チャートである。図 16 (a) は、パルス OUT_M の入力時に位相状態値電圧 V_r が零値電圧 V_{middle} より小さい場合を示し、図 16 (b) は、パルス OUT_M の入力時に位相状態値電圧 V_r が零値電圧 V_{middle} より大きい場合を示している。
- [0185] パルス OUT_P が L レベルの状態では、スイッチ回路 S_1 , S_2 が閉路し、スイッチ回路 S_3 , S_4 が開路する。従って、ノード n_4 及びノード n_5 は、ノード n_1 から切り離される。スイッチ回路 S_1 が閉路することで、ノード n_5 の電圧 V_2 は零値電圧 V_{middle} に設定される。従って、ノード n_2 の電圧 V_2 は、図 5 (b) より零値電圧 V_{middle} に設定される。一方、ノード n_4 はノード n_3 と接続され、トランジスタ M_4 , M_5 はダイオード接続となる。そのため、ノード n_3 , n_4 の電位 V_3 , V_4 は、トランジスタ M_4 , M_5 で構成されるインバータの閾値電圧 $V_{inv} = V_{middle} + V_{off}$ となる。故に、オフセット補償用キャパシタ C_{off} には、オフセット電圧 $V_{off} = V_{inv} - V_{middle}$ が加わり、電荷 $Q_{off} = C_{off} V_{off}$ が充電される。
- [0186] パルス OUT_P が H レベルの状態となると、スイッチ回路 S_1 , S_2 が開路し、スイッチ回路 S_3 , S_4 が閉路する。これにより、ノード n_3 はノード n_4 から切り離されてフローティング状態となる。一方、ノード n_5 , n_4 には位相状態値電圧 V_r が印加される。

ノード n_5 に電圧 V_r が印加されると、図 15 (b) より、ノード n_2 の電圧 V_2 は $V_2 = V_b - V_r$ となる。ノード n_3 はフローティング状態なのでオフセット補償用キャパシタ C_{off} の充電電荷 Q_{off} は保存されるため、ノード n_3 の電圧 V_3 は、 $V_2 + V_{off} = V_b - V_r + V_{off}$ となり、トランジスタ M_4 , M_5 のゲート電圧のオフセット補償がされる。トランジスタ M_4 , M_5 のゲートに電圧 $V_3 = V_b - V_r + V_{off}$ が加わることにより、図 13 (b) の特性に従ってノード n_4 からノード n_1 へ電流 i_{vr} が出力される。

[0187] パルス OUT_P の入力時に位相状態値電圧 V_r が零値電圧 V_{middle} より小さい場合 (図 16 (a))、ノード n_1 からノード n_4 へ電流 i_{vr} が引き抜かれ、パルス OUT_P の入力時に位相状態値電圧 V_r が零値電圧 V_{middle} より大きい場合 (図 16 (b))、ノード n_4 からノード n_1 へ電流 i_{vr} が供給される。これにより、図 12 の負パルス更新回路 36 と同様に、更新電荷量 δQ が図 6 又は図 7 のスパイク・ニューロン回路 20 の位相状態値保持用キャパシタ C_o に供給されて、位相の更新演算が実行される。

[0188] (3. 3) 正パルス更新回路 35 と負パルス更新回路 36 を合体した構成例
図 13 (a) の正パルス更新回路 35 と図 15 (a) の負パルス更新回路 36 は、回路構成に共通部分が多いため、部品の共有化が可能である。図 17 は、正パルス更新回路 35 と負パルス更新回路 36 を合体した回路の構成例である。図 17 の回路において、図 13 (a)、図 15 (a) と共通する構成部分については同符号を付している。また、正パルス更新回路 35 と負パルス更新回路 36 を合体したことにより、新たに、セクタ SEL 及びスイッチ回路 S_5 , S_6 が追加されている。

[0189] セクタ SEL は、スイッチ回路 S_1 , S_3 の共通接続ノード n_6 を、トランジスタ M_7 のゲートノード n_5 又はオフセット補償用キャパシタ C_{off} の入力ノード n_2 のいずれかに選択的に接続する。セクタ SEL の制御信号として、更新係数符号信号 $sign$ (図 9 参照) が入力される。更新係数符号信号 $sign$ が H レベル (「正」) のときセクタ SEL はノード n_6 をノード n_2 に接続し、L レベル (「負」) のときセクタ SEL はノード n_6 をノード n

5に接続する。

[0190] スイッチ回路S 5は、トランジスタM 6のゲートに接続されており、当該ゲートに和電圧 $V_b = V_{low} + V_{high}$ を印加するか否かを切り替える。スイッチ回路S 5の制御端子には更新係数符号信号signが入力される。スイッチ回路S 5は、更新係数符号信号sign（図9参照）がHレベル（「正」）のとき開路し、Lレベル（「負」）のとき閉路する。

[0191] スイッチ回路S 6は、トランジスタM 6のドレインとトランジスタM 7のドレインとが共通に接続されたノードn 2 1と、オフセット補償用キャパシタ C_{off} の一端に接続するノードn 2との間に接続されている。スイッチ回路S 6の制御端子には、更新係数符号信号sign（図9参照）が入力される。スイッチ回路S 6は、更新係数符号信号signがHレベル（「正」）のとき開路し、Lレベル（「負」）のとき閉路する。

[0192] 更新係数符号信号signがHレベル（「正」）のときには、図17の回路は図13の回路と等価になる。また、更新係数符号信号signがLレベル（「負」）のときには、図17の回路は図15の回路と等価になる。従って、図17の回路は正パルス更新回路35と負パルス更新回路36を合体した回路となっていることが分かる。図10に示したように、状態値更新回路27は、隣接する節点ユニット6から入力される各入力パルスと入力パルス $g0_p$, $g0_m$ に対応して、正パルス更新回路35と負パルス更新回路36の組を17組備えている。従って、それぞれの正パルス更新回路35と負パルス更新回路36の組を図17の回路により置き換えればよい。

[0193] このように、正パルス更新回路35と負パルス更新回路36を合体した回路構成を採るとにより、正パルス更新回路35と負パルス更新回路36のオフセット補償用キャパシタ C_{off} を共有することができ、状態値更新回路27の回路規模を削減することができる。

[0194] （4）基準位相発生部2 a

基準位相発生部2 a（図1参照）の構成も、基本的に図6（a）に示したスパイク・ニューロン回路20と同様であるので、説明は省略する。

[0195] 〔３〕全体動作

(１) 初期化

ガボール型フィルタ演算を開始する前に、全体制御部５は初期化処理を行う。初期化処理では、まず、全体制御部５が、更新許可信号update_ena（図５参照）をＬ状態として、セクタ付きパルス生成器２３，２４，２５，２６のパルス出力を停止することによって、状態値更新回路２７によるスパイク・ニューロン回路２０の位相状態値電圧 V_r の更新を停止する。この状態で、入力部３が、各スパイク・ニューロン回路２０の位相状態値保持用キャパシタ C_o に初期電荷を与える。

[0196] 位相状態値保持用キャパシタ C_o に初期電荷を与える場合、全体制御部５は、まず、列選択信号線９に列選択信号を与えて（すなわち、列選択信号を順次Ｈレベルとして）各列を順次選択する。列選択信号がＨレベルとなると、列選択スイッチ２８（図５参照）が接続される。そして、入力部３は、選択した列の各実部節点ユニット７内のスパイク・ニューロン回路２０に対して、初期値入力線１０から初期化パルスを与える。各スパイク・ニューロン回路２０の位相状態値保持用キャパシタ C_o には、初期化パルスのパルス幅に比例して電荷が充電され、これにより初期化がされる。

[0197] 初期化処理が終了すると、入力部３は、すべての列選択信号をＬレベルとし、全体制御部５は、更新許可信号update_ena（図５参照）をＨ状態とする。

[0198] (２) ガボール型フィルタ演算

ガボール型フィルタ演算を開始する場合、全体制御部５は、更新許可信号update_ena（図５参照）をＨ状態とする。これにより、各節点ユニット $U_{i,j}$ の実部節点ユニット７及び虚部節点ユニット８において、位相 $\theta_{i,j}^r$ ， $\theta_{i,j}^i$ に対応する位相状態量の更新処理が非同期的に並列に実行される。各節点ユニットに於ける位相状態量の更新処理の回路動作については、〔２〕（３）で既に説明した通りである。

[0199] (３) ガボール型フィルタ演算の終了

一定の時間、ガボール型フィルタ演算を実行した後、ガボール型フィルタ演算を終了する。ガボール型フィルタ演算を打ち切る場合、全体制御部 5 は、更新許可信号 $update_ena$ （図 5 参照）を L 状態とする。これにより、セレクト付きパルス生成器 23, 24, 25, 26 のパルス出力が停止され、状態値更新回路 27 によるスパイク・ニューロン回路 20 の位相状態値電圧 V_r の更新が行われなくなる。ガボール型フィルタ演算の結果は、各スパイク・ニューロン回路 20 の位相状態値電圧 V_r の位相 $\theta_{i,j}^r, \theta_{i,j}^i$ として保持されているので、出力部 4 がこの位相 $\theta_{i,j}^r, \theta_{i,j}^i$ をパルスとして取り出すことによって演算結果を得ることができる。

[0200] 位相 $\theta_{i,j}^r, \theta_{i,j}^i$ の取り出しは、具体的には、例えば、次のようにして行う。まず、スパイク・ニューロン回路 20 の位相状態値電圧 V_r の更新が行われない状態では、各節点ユニット 6 の実部節点ユニット 7 及び虚部節点ユニット 8 のスパイク・ニューロン回路 20 は、図 6（b）に示したように一定の周期 T でスパイク・パルス spk_f を出力し続ける状態にある。各実部節点ユニット 7 及び虚部節点ユニット 8 の保持する状態値は、このスパイク・パルス spk_f の位相 $\theta_{i,j}^r, \theta_{i,j}^i$ の差として保持されている。一方、基準位相発生部 2a は、位相状態値の更新がされないため、基準位相 $\theta_b(t) = \omega t$ のスパイク・パルス spk_f を出力し続けている。ここで、 $\omega = (\theta_{\max} - \theta_{\min}) / T \propto (V_{\text{high}} - V_{\text{low}}) / T$ である。

[0201] 出力部 4 は、まず、列選択信号線 9 に列選択信号を与えて（すなわち、列選択信号を順次 H レベルとして）各列を順次選択する。選択された列の実部節点ユニット 7 及び虚部節点ユニット 8 では、列選択信号が H レベルとなると、列選択スイッチ 29 が接続して、スパイク・ニューロン回路 20 が出力するスパイク・パルス spk_f が、それぞれ、実部外部出力線 11 及び虚部外部出力線 12 へ出力される。いま、節点ユニット $U_{m,n}$ の実部節点ユニット 7 が出力するスパイク・パルスを $spk_f_{m,n}^r$ 、虚部節点ユニット 8 が出力するスパイク・パルスを $spk_f_{m,n}^i$ と記す。また、基準位相発生部 2a が出力するスパイク・パルスを基準パルス spk_f_b と記す。

- [0202] これらの信号をもとに、例えば、図 18 (a) のような回路を使用すれば、各節点の状態値に比例する時間幅のパルスを用意に生成することができる。図 18 (a) において、状態値パルス生成回路 40 は、パルス遅延回路 41、E X O R 論理回路 42、O R 論理回路 43、トリガー・フリップフロップ 44、45、及びデマルチプレクサ 45 を備えている。パルス遅延回路 41 は入力されたパルスを時間 $T/2$ だけ遅延させる回路である。パルス遅延回路 41 と O R 論理回路 43 により通倍器が構成されている。パルス遅延回路 41 には、周期 T の基準パルス spk_f_b が入力される。パルス遅延回路 41 からは、半周期 $T/2$ だけ遅延した遅延パルス $D (spk_f_b)$ が出力される。O R 論理回路 43 には、基準パルス spk_f_b と遅延パルス $D (spk_f_b)$ が入力され、O R 論理回路 43 からは周期 $T/2$ の通倍パルスが出力される。そして、この通倍パルスがトリガー・フリップフロップ 44 に入力され、トリガー・フリップフロップ 44 からは図 18 (b)、(c) に示したような符号切替信号 $sign$ が出力される。符号切替信号 $sign$ は、基準パルス spk_f_b により立ち上がり、遅延パルス $D (spk_f_b)$ により立ち下がるパルスである。
- [0203] 一方、E X O R 論理回路 42 には、実部節点ユニット 7 又は虚部節点ユニット 8 から出力されるスパイク・パルス $spk_f_{m,n}^{r/i}$ と基準パルス spk_f_b とが入力され、これらのパルスの E X O R 論理をとった合成パルスが出力される。この合成パルスはトリガー・フリップフロップ 45 に入力され、トリガー・フリップフロップ 45 からは図 18 (b)、(c) に示したような状態値の絶対値に比例する幅の状態値パルス $out_{m,n}^{r/i}$ が出力される。この状態値パルス $out_{m,n}^{r/i}$ はデマルチプレクサ 45 に入力される。デマルチプレクサ 45 は、符号切替信号 $sign$ により出力方向を切り替える。図 18 (b)、(c) に示したように、符号切替信号 $sign$ が H レベル（正）のときは、正值状態値パルス $out_p_{m,n}^{r/i}$ が出力され、符号切替信号 $sign$ が L レベル（負）のときは、負値状態値パルス $out_m_{m,n}^{r/i}$ が出力される。このようにして、各節点の状態値の大きさに比例する幅のパルスを生成することができる。
- [0204] 尚、図 18 (a) の回路は、各節点の状態値を取り出す回路の一例であり

、各節点の状態値の取り出し方はこれに限るものではない。

[0205] 出力部 4 は、こうして生成された正值状態値パルス $out_{p_{m,n}r/i}$ 、負値状態値パルス $out_{m,n}r/i$ のパルス幅を量子化することによってデジタル化し、状態値をデジタル値として出力する。パルス幅を量子化回路に関しては、公知の回路が使用される。

[0206] [4] 回路シミュレーション結果

図 19 は、本実施例の情報処理装置により、ガボール型フィルタ演算を実行し、インパルス応答を求めた結果を表す図である。尚、図 19 の結果は、回路の数値シミュレーションによって得た結果である。図 19 (a) は、上述した回路を使用して演算処理を行ったシミュレーション結果そのものである。

[0207] 原理的にガボール型フィルタのインパルス応答（実部と虚部の二乗和）は、インパルス入力点に対して等方的に広がるが、図 19 (a) の計算結果は等方的ではない。これは、各節点のスパイク・ニューロン回路 20 の発火の順番が更新量に及ぼす影響によるものと考えられる。このため、実数部と虚数部の出力で、正負のバランスが崩れてしまうという問題が生じる。ガボール型フィルタの結果は、実数部・虚数部の出力の二乗和（エネルギー）を用いることが多いため、正負のバランスの崩れは結果に大きな影響を及ぼすと考えられる。

[0208] この問題は、時間領域で非同期的に更新演算を行う演算処理では、必然的に生じる因果関係によるものである。

[0209] そこで、出力部 4 に、最終的に出力される状態値に対して、実数部と虚数部の正負の最大振幅が揃うように、負方向の値を一定の倍率で引き延ばす補正処理機能を持たせる。

[0210] 接点ユニットネットワーク 2 から最終的に出力される状態値を $\{ (x_{i,j}, y_{i,j}) \mid i = 1, \dots, M, j = 1, \dots, N \}$ とする。ここで、 $x_{i,j} = \theta_{i,j}^r - \theta_b$ は節点 $U_{i,j}$ の状態値の実数部、 $y_{i,j} = \theta_{i,j}^i - \theta_b$ は節点 $U_{i,j}$ の状態値の虚数部である。出力部 4 は、これら状態値の実数部 $\{ x_{i,j} \}$ 及び虚数部 $\{ y_{i,j} \}$ の最

大値 $x_{\max}$, $y_{\max}$ (> 0) 及び最小値 $x_{\min}$, $y_{\min}$ (< 0) を求める。そして、 $R_x = x_{\max} / |x_{\min}|$, $R_y = y_{\max} / |y_{\min}|$ を計算し、実数部 $\{x_{i,j}\}$ のうち $x_{i,j} < 0$ のものを R_x 倍、虚数部 $\{y_{i,j}\}$ のうち $y_{i,j} < 0$ のものを R_y 倍する補正処理を行い、この補正がされた状態値を出力する。

[0211] 図 19 (b) に、インパルス応答について上記補正処理を加えた結果を示す。この補正処理によって、インパルス入力点に対してほぼ等方的に広がる結果が得られることがわかる。

[0212] 図 20 は、本実施例の情報処理装置によりガボール型フィルタ演算を実行した際の各節点ユニットのパルス位置の変化の一例である。図 20 において、横軸は時間、縦軸は各実部節点ユニット 7 及び各虚部節点ユニット 8 が出力する電圧 OUT_PM のパルス位相値を表す。なお、図 20 のガボール型フィルタ演算に際しては、図 3 のような正方格子型のフィルタを用い、初期値として中央の節点ユニット (#5, #5) の実部にインパルス (図 20 の “input”) を入力し、その応答を経時的に測定した。図 20 は、節点ユニット (#1, 0) ~ (#9, 0) の出力電圧 OUT_PM を示したものである。スパイク・ニューロン回路 20 の更新周期 T は $1.1 \mu s$ とし、ガボール関数の周期は 4 pixel とした。

[0213] 図 20 の上段のタイムチャートは各節点ユニット (# n , 0) ($n = 1 \sim 9$) の実部節点ユニット 7 が出力する電圧 OUT_PM であり、下段のタイムチャートは各節点ユニット (# n , 0) ($n = 1 \sim 9$) の虚部節点ユニット 8 が出力する電圧 OUT_PM である。また、右端の折線グラフは、30 回更新が行われた時点に於ける各実部節点ユニット 7 及び各虚部節点ユニット 8 が出力する電圧パルス OUT_PM の位相差を表している。ガボール型フィルタ演算の結果は、各実部節点ユニット 7 及び各虚部節点ユニット 8 の出力電圧 OUT_PM のパルスの位相差として得られる。

[0214] 図 21 は、図 20 のガボール型フィルタ演算結果例 (30 回更新) と理論値との比較を表す図である。図 21 において、実線 (A) は図 20 の位相差として得られたガボール型フィルタ演算の結果を示す。点線 (B) は、理想

的なガボール関数の値を表す。また、図 2 1 (a) は実部、図 2 1 (b) は虚部の値である。

[0215] 図 2 1 より、本実施例の情報処理装置により、ガボール型フィルタ特性が得られていることが確認できる。尚、図 2 1 の両端のピクセル (1, 2 及び 8, 9) において理論値とのずれが見られるが、これは格子の大きさが有限であることによる影響と考えられ、このずれの補正は可能である。

[0216] 以上のように、本実施例の情報処理装置では、各節点ユニット $U_{i,j}$ の実部節点ユニット 7 及び虚部節点ユニット 8 において、位相状態量 $\theta_{i,j}^r$, $\theta_{i,j}^i$ の更新処理が非同期的に並列に実行される。従って、ガボール型フィルタ演算を高速に演算することが可能となる。また、従来のように、隣接節点ユニットの状態値と自己の状態値との減算回路などを必要としないため、回路構成が単純となり、実装面積も縮小される。

実施例 2

[0217] 実施例 2 では、スパイク・ニューロン回路 2 0 を 1 個のコンパレータを使用して構成する例について説明する。

[0218] 図 2 2 は、本発明の実施例 2 に係る情報処理装置における実部節点ユニット 7 及び虚部節点ユニット 8 のスパイク・ニューロン回路 2 0 の構成 (a) 及び動作 (b) を示す図である。なお、本実施例の情報処理装置は、スパイク・ニューロン回路 2 0 以外の構成は実施例 1 と同様である。

[0219] 本実施例のスパイク・ニューロン回路 2 0 は、位相状態値保持用キャパシタ C_0 、2 つの電流源 I_1 , I_2 、コンパレータ CMP_3 、トリガパルス生成器 PG 、9 つのスイッチ回路 S_1 , S_2 , S_3 , S_{10} , S_{11} , S_{12} , S_{13} , S_{14} , S_{15} 、パルス遅延器 D 、トリガー・フリップフロップ TFF 、及びインバータ INV_1 を備えている。

[0220] 位相状態値保持用キャパシタ C_0 は一端が接地され、他端が出力ノード n_1 に接続されている。電流源 I_1 は、カソード側端子が出力ノード n_1 を介して位相状態値保持用キャパシタ C_0 に接続されており、アノード側端子がスイッチ回路 S_1 を介して電源に接続されている。スイッチ回路 S_2 は、一端が

出力ノード n_1 に接続され、他端には、位相の最小値（最小位相値） $\theta_{\min}$ に相当する電圧である最小値電圧 V_{low} が入力されている。スイッチ回路 S_1 、 S_2 には n 型 MOSFET が用いられている。尚、スイッチ回路 S_1 の制御端子は、インバータ INV_1 の出力側に接続されている。スイッチ回路 S_2 の制御端子は、中間ノード n_8 に接続されている。

[0221] 電流源 I_2 は、カソード側端子が出力ノード n_1 を介して位相状態値保持用キャパシタ C_0 に接続されており、アノード側端子がスイッチ回路 S_3 を介して電源に接続されている。スイッチ回路 S_3 には n 型 MOSFET が用いられている。スイッチ回路 S_3 の制御には、初期値入力線 10 が接続されている。スイッチ回路 S_3 は、入力部 3 から入力される初期化信号が H レベルのときに閉路状態、 L レベルのときに開路状態となる。

[0222] コンパレータ CMP_1 は、プラス側入力端子が出力ノード n_1 に接続され、マイナス側入力端子に中間ノード n_6 に接続されている。中間ノード n_6 には、対照電圧 V_{ref} が印加される。また、コンパレータ CMP_3 の出力は、トリガパルス生成器 PG に接続されている。

[0223] 中間ノード n_6 は、スイッチ回路 S_{10} を介して、位相が零値であることを表す零値電圧 V_{middle} が印加され、また、スイッチ回路 S_{11} を介して、位相の最大値（最大位相値） $\theta_{\max}$ に相当する最大値電圧 V_{high} が印加される。従って、中間ノード n_6 に印加される対照電圧 V_{ref} は、位相の最大値（最大位相値） $\theta_{\max}$ に相当する最大値電圧 V_{high} 、又は位相が零値であることを表す零値電圧 V_{middle} の何れかとなる。尚、スイッチ回路 S_{10} には、 n 型 MOSFET が用いられている。スイッチ回路 S_{11} には、 p 型 MOSFET が用いられている。

[0224] トリガパルス生成器 PG は、コンパレータ CMP_3 が出力するパルス波形の立ち上がりにおいて、短時間幅のスパイク・パルス spk を出力する回路である。トリガパルス生成器 PG の出力側は、中間ノード n_7 に接続されている。

[0225] スイッチ回路 S_{13} は、一端が中間ノード n_7 に接続され、他端がスパイ

ク・ニューロン回路20の出力端子に接続されている。また、スイッチ回路S13は、一端がスパイク・ニューロン回路20の出力端子に接続され、他端が接地されている。スイッチ回路S12, S13にはn型MOSFETが用いられている。

[0226] スwitch回路S14は、一端が中間ノードn7に接続され、他端が中間ノードn8に接続されている。スイッチ回路S15は、一端が中間ノードn8に接続され、他端が接地されている。スイッチ回路S14, S15にはn型MOSFETが用いられている。また、インバータINV1は、入力側が中間ノードn8に接続され、出力側がスイッチ回路S1の制御端子に接続されている。

[0227] パルス遅延器Dは、入力側が中間ノードn7に、出力側がトリガー・フリップフロップTFFの入力側に接続されている。パルス遅延器Dは、トリガパルス生成器PGから中間ノードn7にスパイク・パルスspkが入力されると、それを遅延した遅延パルスDelay-spkを出力する。

[0228] トリガー・フリップフロップTFFは、1つの入力端子と2つの出力端子Q, $\neg Q$ を備えており、入力端子からパルスが入力されると、そのパルスの立ち上がりエッジにおいて、出力端子Q, $\neg Q$ のレベルを反転させる。尚、出力端子 $\neg Q$ には、出力端子Qの出力電圧の反転電圧が出力される。トリガー・フリップフロップTFFの出力端子Qは、スイッチ回路S10, S12, S15の制御端子に接続されている。また、トリガー・フリップフロップTFFの出力端子 $\neg Q$ は、スイッチ回路S11, S13, S14の制御端子に接続されている。

[0229] この回路では、出力ノードn1の位相状態値電圧 V_r 又は位相状態値保持用キャパシタ C_0 に充電された電荷量 $Q_r = C_0 V_r$ が、この実部節点ユニット7又は虚部節点ユニット8の「位相状態値」となる。

[0230] 以上のように構成された本実施例の情報処理装置のスパイク・ニューロン回路20について、以下その動作を説明する。

[0231] 位相状態値保持用キャパシタ C_0 に初期値を設定する動作については、実施

例 1 と同様である。すなわち、全体制御部 5（図 1 参照）が列選択信号線 9 に列選択信号を与えて（すなわち、列選択信号を順次 H レベルとして）各列を順次選択し、入力部 3 が、選択した列の各実部節点ユニット 7 内のスパイク・ニューロン回路 20 に対して、初期の状態値の大きさに比例するパルス幅の初期化パルスを初期値入力線 10 から入力する（図 22 参照）。これにより、初期化パルスのパルス幅の時間だけスイッチ回路 S 3 が接続状態となり、電流源 I 2 から位相状態値保持用キャパシタ C_0 に電流が供給され、位相状態値保持用キャパシタ C_0 に初期の状態値に比例する量の電荷が充電される。

[0232] 次に、状態値更新回路 27 が状態値の更新を行っていない（すなわち、出力ノード n 1 に状態値更新回路 27 からの電流の入出力がない）状態（定常状態）の動作について説明する。

[0233] まず、時刻 0 において、出力ノード n 1 の位相状態値電圧 V_r が V_{low} 、スイッチ回路 S 1 が閉路（接続）状態、スイッチ回路 S 2 が開路（切断）状態とする。このとき、電流源 I 1 から位相状態値保持用キャパシタ C_0 に一定の充電電流 I_s が供給される。これにより、出力ノード n 1 の位相状態値電圧 V_r は、一定の時間勾配で上昇する（図 22（b）参照）。

[0234] このとき、コンパレータ CMP 3 の出力は L レベルでトリガパルス生成器 PG からはパルスが出力されていない。また、トリガー・フリップフロップ TFF の出力端子 Q の出力電圧は H レベル、出力端子 $\neg Q$ の出力電圧は L レベルである。従って、スイッチ回路 S 10, S 12, S 15 は閉路状態、スイッチ回路 S 11, S 13, S 14 は開路状態である。従って、中間ノード n 6 の対照電圧 V_{ref} は零値電圧 V_{middle} である。また、中間ノード n 8 はスイッチ回路 S 15 が閉路状態となることで接地されるので、スイッチ回路 S 2 は開路状態、スイッチ回路 S 1 は閉路状態が維持される。

[0235] 位相状態値電圧 V_r が上昇し、時刻 $T/2$ で零値電圧 V_{middle} を超えると、コンパレータ CMP 3 の出力は H レベルに反転する。このコンパレータ CMP 3 の立ち上がりエッジにおいて、トリガパルス生成器 PG は短時間幅のスパ

イク・パルスspkを出力する。このとき、スイッチ回路（出力スイッチ回路）S 1 2は閉路状態にあるので、スパイク・パルスspkはスパイク・ニューロン回路20の出力端子には伝達され、スパイク・ニューロン回路20からスパイク・パルスspk_fが出力される。すなわち、スパイク・ニューロン回路20が発火する。

[0236] スパイク・パルスspkが出力されると、パルス遅延器Dは、スパイク・パルスspkを時間 $T/4$ だけ遅延させ、時刻 $3T/4$ に遅延パルスDelay-spkを出力する（図22（b）参照）。

[0237] 遅延パルスDelay-spkが出力されると、トリガー・フリップフロップTFFの出力端子Qの出力電圧はLレベル、出力端子 $\bar{Q}$ の出力電圧はHレベルに反転される。これにより、スイッチ回路S 1 0, S 1 3, S 1 5は開路状態、スイッチ回路S 1 1, S 1 2, S 1 4は閉路状態となる。従って、中間ノードn 6の対照電圧 V_{ref} は最大値電圧 V_{high} となり、これにより、コンパレータCMP 3の出力電圧は再びLレベルとなる。また、中間ノードn 7はスパイク・ニューロン回路20の出力端子に接続される。また、中間ノードn 8は接地面から切り離され、中間ノードn 7に接続される。

[0238] さらに位相状態値電圧 V_r が上昇し、時刻Tで最大値電圧 V_{high} を超えると、コンパレータCMP 3の出力はHレベルに反転する。このコンパレータCMP 3の立ち上がりエッジにおいて、トリガパルス生成器PGは短時間幅のスパイク・パルスspkを出力する。このとき、スイッチ回路（出力スイッチ回路）S 1 2は開路状態にあるので、スパイク・パルスspkはスパイク・ニューロン回路20の出力端子には伝達されない。

[0239] また、このとき、スイッチ回路S 1 4は閉路状態、スイッチ回路S 1 5は開路状態にあるので、スパイク・パルスspkは中間ノードn 8に伝達され、このスパイク・パルスspkがHレベルとなる時間幅だけ、スイッチ回路S 1が開路され、スイッチ回路S 2が閉路される。これにより、位相状態値保持用キャパシタ C_0 に蓄電された電荷が放電され、出力ノードn 1の位相状態値電圧 V_r は最小値電圧 V_{low} にリセットされる。これにより、コンパレータCMP 3

の出力電圧は再びLレベルとなる。

[0240] さらに、スパイク・パルスspkが出力されると、パルス遅延器Dは、スパイク・パルスspkを時間 $T/4$ だけ遅延させ、時刻 $5T/4$ に遅延パルスDelay-spkを出力する（図22（b）参照）。

[0241] 遅延パルスDelay-spkが出力されると、トリガー・フリップフロップTFFの出力端子Qの出力電圧はHレベル、出力端子 $\bar{Q}$ の出力電圧はLレベルに反転される。これにより、スイッチ回路S10, S13, S15は閉路状態、スイッチ回路S11, S12, S14は開路状態となる。従って、中間ノードn6の対照電圧 V_{ref} は零値電圧 V_{middle} となる。また、中間ノードn7はスパイク・ニューロン回路20の出力端子から切り離される。また、中間ノードn8は接地面に接続され、中間ノードn7から切り離される。

[0242] 以降は、同様の動作が繰り返される。

[0243] 以上のように、本実施例のスパイク・ニューロン回路20では、1個のコンパレータCMP3を用いて、実施例1のスパイク・ニューロン回路20と同等の機能の回路を実現することができる。

実施例 3

[0244] 実施例3では、チョッパ型コンパレータを使用してスパイク・ニューロン回路20を構成する例について説明する。

[0245] 図23は、本発明の実施例3に係る情報処理装置における実部節点ユニット7及び虚部節点ユニット8のスパイク・ニューロン回路20の構成を示す図である。なお、本実施例の情報処理装置は、スパイク・ニューロン回路20以外の構成は実施例1と同様である。

[0246] 本実施例のスパイク・ニューロン回路20は、位相状態値保持用キャパシタ C_1 、ゼロオフセット用キャパシタ C_2 、2つの電流源 I_1 , I_2 、5つのインバータ INV_1 , INV_2 , INV_3 , INV_4 , INV_5 、トリガパルス生成器PG、パルス遅延器D、2つのトリガー・フリップフロップTFF1, TFF2、バッファbuff、及び15個のスイッチ回路S1, S2, S3, S10, S11, S12, S13, S14, S15, S20,

S 2 1, S 2 2, S 2 3, S 2 4, S 2 5を備えている。

[0247] 位相状態値保持用キャパシタ C_1 は一端が接地され、他端が出力ノード n_1 に接続されている。電流源 I_1 は、一端が出力ノード n_1 を介して位相状態値保持用キャパシタ C_1 に接続されており、他端がスイッチ回路 S_1 を介して電源に接続されている。スイッチ回路 S_2 は、一端がバッファ $b u f f$ を介して出力ノード n_1 に接続され、他端には、位相の最小値（最小位相値） θ_{min} に相当する電圧である最小値電圧 V_{low} が入力されている。スイッチ回路 S_2 には n 型 MOS F E T が用いられている。尚、スイッチ回路 S_1 の制御端子は、インバータ $I N V_1$ の出力側に接続されている。スイッチ回路 S_2 の制御端子は、中間ノード n_8 に接続されている。尚、バッファ $b u f f$ は、スイッチ回路 S_2 のオンオフで、位相状態値保持用キャパシタ C_1 の電荷が漏れてしまうことを防止するために挿入されたものである。

[0248] 電流源 I_2 は、一端が出力ノード n_1 を介して位相状態値保持用キャパシタ C_1 に接続されており、他端がスイッチ回路 S_3 を介して電源に接続されている。スイッチ回路 S_3 の制御には、初期値入力線 10 が接続されている。スイッチ回路 S_3 は、入力部 3 から入力される初期化信号が H レベルのときに閉路状態、 L レベルのときに開路状態となる。

[0249] また、出力ノード n_1 は、スイッチ回路 20 を介して中間ノード n_9 に接続されている。また、中間ノード n_9 には、スイッチ回路 S_{10} を介して零値電圧 V_{middle} が印加され、また、スイッチ回路 S_{11} を介して最大値電圧 V_{high} が印加される。さらに、中間ノード n_9 は、ゼロオフセット用キャパシタ C_2 の一方の端子に接続されている。

[0250] ゼロオフセット用キャパシタ C_2 の他方の端子は、中間ノード n_{10} を介して、比較用インバータ $I N V_2$ の入力端子に接続され、当該インバータ $I N V_2$ の出力信号は、出力用インバータ $I N V_3$, $I N V_4$ を介してトリガパルス生成器 $P G$ の入力端子に入力される。トリガパルス生成器 $P G$ に入力されるデジタル出力信号を D_{out} と記す。

[0251] トリガパルス生成器 $P G$ は、デジタル出力信号を D_{out} の立ち下がリエッジ

において、短時間幅のパルスを出力する。

[0252] また、インバータ $INV2$ にはゼロオフセット設定用のスイッチ回路 $S21$ が接続されている。

[0253] これらスイッチ回路 $S10$, $S11$, $S20$, $S21$ 、インバータ $INV2$, $INV3$, $INV4$ 、及びゼロオフセット用キャパシタ $C2$ により、チョッパ型コンパレータが構成されている。

[0254] トリガパルス生成器 PG の出力端子は、中間ノード $n7$ に接続されており、この中間ノード $n7$ は、スイッチ回路（出力スイッチ回路） $S12$ を介して、スパイク・ニューロン回路 20 の出力端子 T_{out} に接続されている。出力端子 T_{out} は、また、スイッチ回路 $S13$ を介して接地面に接続されている。

[0255] また、中間ノード $n7$ は、トリガー・フリップフロップ $TRFF1$ の入力端子に接続されている。トリガー・フリップフロップ $TRFF1$ は、1つの入力端子と2つの出力端子 Q , $\neg Q$ を備えており、トリガー・フリップフロップ $TRFF1$ は、入力端子からパルスが入力されると、そのパルスの立ち上がりエッジにおいて、出力端子 $Q1$, $\neg Q1$ のレベルを反転させる。出力端子 $Q1$ には、出力端子 $\neg Q1$ の出力の反転値が出力される。トリガー・フリップフロップ $TRFF1$ の出力端子 $\neg Q1$ は、スイッチ回路 $S22$, $S25$ の制御端子に接続されている。トリガー・フリップフロップ $TRFF1$ の出力端子 $Q1$ は、スイッチ回路 $S23$, $S24$ の制御端子に接続されている。

[0256] また、中間ノード $n7$ は、スイッチ回路 $S14$ を介してスイッチ回路 $S2$ の制御端子に接続されており、スイッチ回路 $S14$ 及びインバータ $INV1$ を介してスイッチ回路 $S1$ の制御端子に接続されている。

[0257] また、中間ノード $n7$ は、パルス遅延器 D の入力端子に接続されている。パルス遅延器 D の出力端子は、トリガー・フリップフロップ $TRFF2$ の入力端子に接続されている。また、中間ノード $n7$ は、インバータ $INV5$ を介してスイッチ回路 $S20$ の制御端子に接続されている。

[0258] さらに、中間ノード $n7$ は、スイッチ回路 $S22$ を介してスイッチ回路 S

10の制御端子に接続されており、スイッチ回路S23を介してスイッチ回路S11の制御端子に接続されている。また、中間ノードn7は、スイッチ回路S23及びスイッチ回路S25を介して接地面に接続されており、スイッチ回路S22及びスイッチ回路S24を介して接地面に接続されている。

[0259] トリガー・フリップフロップTFF2は、1つの入力端子と2つの出力端子Q、 $\neg Q$ を備えており、トリガー・フリップフロップTFF2は、入力端子からパルスが入力されると、そのパルスの立ち上がりエッジにおいて、出力端子Q2、 $\neg Q2$ のレベルを反転させる。出力端子Q2には、出力端子 $\neg Q2$ の出力の反転値が出力される。トリガー・フリップフロップTFF2の出力端子 $\neg Q2$ は、スイッチ回路S12、S15の制御端子に接続されている。トリガー・フリップフロップTFF1の出力端子Q2は、スイッチ回路S14、S13の制御端子に接続されている。

[0260] 以上のように構成された本実施例のスパイク・ニューロン回路20について、その構成を説明する。図24は、図23のスパイク・ニューロン回路20の各部の動作を表すタイミング・チャートである。

[0261] (1) まず、時刻0において、スイッチ回路S20、S11が開路され、スイッチ回路S10、S21が閉路される。すると、スイッチ回路S10の閉路により、ゼロオフセット用キャパシタC2の端子n9の電位V9は零値電圧V_{middle}となり、スイッチ回路S21の閉路によりゼロオフセット用キャパシタC2の端子n10の電位V10は、インバータINV2の閾値電圧V_{th}となる。従って、ゼロオフセット用キャパシタC2には、V_{middle} - V_{th}に相当する電荷が充電され、これにより、チョッパ型コンパレータのゼロオフセット動作が行われる。

[0262] このとき、スイッチ回路S1は開路され、スイッチ回路S2が閉路されている。従って、位相状態値保持用キャパシタC1が放電され、出力ノードn1の位相状態値電圧Vrは最小値電圧V_{low}にリセットされる。

[0263] (2) 次いで、スイッチ回路S10、S21が開路され、スイッチ回路S20が閉路される。また、スイッチ回路S1が閉路され、スイッチ回路S2

が開路される。また、スイッチ回路S 1 2, S 1 5は閉路状態、スイッチ回路S 1 3, S 1 4は開路状態にある。

[0264] これにより、中間ノードn 9が出力ノードn 1と接続される。スイッチ回路S 2 1が開路されているので、ゼロオフセット用キャパシタC₂の端子間電圧V_{C2}は $V_{middle} - V_{th}$ に維持される。従って、中間ノードn 10の電圧V₁₀は、 $(V_{low} - V_{middle}) + V_{th}$ に引き下げられる。初期状態では $V_r < V_{middle}$ なので、中間ノードn 10の電圧V₁₀は、インバータINV 2の閾値電圧V_{th}よりも低い電圧となる。従って、インバータINV 4のデジタル出力信号D_{out}はHレベルとなる。

[0265] (3) 続いて、電流源I 1から位相状態値保持用キャパシタC₁に充電電流I_sが給電され、出力ノードn 1の位相状態値電圧V_rが一定の勾配で上昇する。

[0266] (4) 隣接ユニットからのスパイク入力がない場合、時刻T/2で出力ノードn 1の位相状態値電圧V_rが零値電圧V_{middle}に達すると、中間ノードn 10の電圧V₁₀は閾値電圧V_{th}に達し、インバータINV 4のデジタル出力信号D_{out}はLレベルに反転する。デジタル出力信号D_{out}の立ち下がりエッジで、トリガパルス生成器PGが中間ノードn 7にスパイク・パルスspkを出力する。このとき、スイッチ回路S 1 4は開路されているので、スパイク・パルスspkは中間ノードn 8には伝達されない。スイッチ回路(出力スイッチ回路)S 1 2は閉路されているので、スパイク・パルスspkは出力端子T_{out}にスパイク・パルスspk_fとして出力される。

[0267] また、このスパイク・パルスspkの立ち上がりエッジにおいて、トリガー・フリップフロップTFF 1の出力値は反転する。これにより、出力端子Q 1の電圧はHレベル、出力端子-Q 1の電圧はLレベルとなり、スイッチ回路S 2 3, S 2 4は閉路状態、スイッチ回路S 2 2, S 2 5は開路状態となる。また、このスパイク・パルスspkはパルス遅延器Dに入力される。

[0268] (5) パルス遅延器Dは、時刻T/2でスパイク・パルスspkが入力された後、適当な時間後、例えば時間T/4だけ遅延して、時刻3T/4に、短時

間の遅延パルスDelay-spkを出力する。遅延パルスDelay-spkの立ち上がりエッジにおいて、パルス時間だけスイッチ回路S 2 1が閉路、スイッチ回路S 2 0が開路される。このとき、スイッチ回路S 2 2, S 2 5は開路状態、スイッチ回路S 2 3, S 2 4は閉路状態にあるため、遅延パルスDelay-spkはスイッチ回路S 1 1の制御端子に伝達され、パルス時間だけスイッチ回路S 1 1が閉路される。スイッチ回路S 1 1の閉路により、中間ノードn 9にはパルス時間だけ最大値電圧 V_{high} が印加される。また、スイッチ回路S 2 1の閉路により、中間ノードn 1 0にはパルス時間だけ閾値電圧 V_{th} となる。従って、ゼロオフセット用キャパシタ C_2 の端子間電圧 V_{c2} は $V_{th} - V_{high}$ となり、これにより、チョッパ型コンパレータのゼロオフセット動作が行われる。

[0269] また、この遅延パルスDelay-spkにより、トリガー・フリップフロップTFF 2の出力値は反転する。これにより、出力端子Q 2の電圧はHレベル、出力端子 $\bar{Q}$ 2の電圧はLレベルとなり、スイッチ回路S 1 3, S 1 4は閉路状態、スイッチ回路S 1 2, S 1 5は開路状態となる。これにより、出力端子 T_{out} は中間ノードn 7から切り離されて接地され、中間ノードn 8は接地面から切り離されて中間ノードn 7に接続される。

[0270] (6) 遅延パルスDelay-spkが立ち下がると、スイッチ回路S 2 0が閉路状態、スイッチ回路S 2 1, S 1 1が開路状態となる。これにより、中間ノードn 9は最大値電圧 V_{high} から切り離され、中間ノードn 9は出力ノードn 1に接続され、中間ノードn 9の電圧 V_9 は位相状態値保持用キャパシタ C_1 の位相状態値電圧 V_r となる。また、スイッチ回路S 2 1の開路により、ゼロオフセット用キャパシタ C_2 の充電電荷は保存されるので、中間ノードn 9の電圧 V_9 が位相状態値電圧 V_r となるのに伴い、中間ノードn 1 0の電圧 V_{10} は $(V_r - V_{high}) + V_{th}$ となる。

[0271] (7) 続いて、電流源I 1から位相状態値保持用キャパシタ C_1 に充電電流 I_s が給電されることで、出力ノードn 1の位相状態値電圧 V_r が一定勾配で上昇する。

[0272] (8) 時刻Tにおいて、中間ノードn 1 0の電圧 V_{10} は閾値電圧 V_{th} に達す

る。これにより、インバータ $INV2$ の出力は L レベルに反転し、インバータ $INV4$ のデジタル出力信号 D_{out} も L レベルに反転する。デジタル出力信号 D_{out} の立ち下がリエッジで、トリガパルス生成器 PG が中間ノード $n7$ にスパイク・パルス spk を出力する。このとき、スイッチ回路（出力スイッチ回路） $S12$ は開路されているので、スパイク・パルス spk は出力端子 T_{out} には伝達されない。また、スイッチ回路 $S14$ は閉路されているので、スパイク・パルス spk は中間ノード $n8$ には伝達される。従って、スパイク・パルス spk のパルス幅の期間中、スイッチ開路 $S1$ が開路され、スイッチ開路 $S2$ は閉路される。これにより、電流源 $I1$ の通電は遮断され、出力ノード $n1$ に最小値電圧 V_{low} が印加されるため、位相状態値保持用キャパシタ C_1 が放電されて位相状態値電圧 V_r は最小値電圧 V_{low} にリセットされる。このとき、スイッチ開路 $S20$ は閉路状態にあるため、中間ノード $n9$ の電圧 V_g も位相状態値電圧 V_r に連動して最小値電圧 V_{low} となる。中間ノード $n9$ の電圧 V_g が閾値電圧 V_{th} 以下となることに伴い、インバータ $INV2$ の出力が再び H レベルに戻り、それに伴って、インバータ $INV4$ のデジタル出力信号 D_{out} も再び H レベルに戻る。従って、デジタル出力信号 D_{out} は、上記スイッチング動作が行われる短い時間だけ、 L レベルとなる。

[0273] また、このときスイッチ開路 $S21$ は開路状態にあるため、中間ノード $n9$ の電圧 V_g が最小値電圧 V_{low} となるのに連動して、電圧 V_g は $(V_r - V_{low}) + V_{th}$ に引き下げられる。

[0274] また、このスパイク・パルス spk の立ち上がりエッジにおいて、トリガー・フリップフロップ $TFF1$ の出力値は反転する。これにより、出力端子 $Q1$ の電圧は L レベル、出力端子 $\neg Q1$ の電圧は H レベルとなり、スイッチ回路 $S23$, $S24$ は開路状態、スイッチ回路 $S22$, $S25$ は閉路状態となる。また、このスパイク・パルス spk はパルス遅延器 D に入力される。

[0275] (9) スパイク・パルス spk が立ち下がると、スイッチ開路 $S1$ が閉路され、スイッチ開路 $S2$ は開路される。従って、出力ノード $n1$ は接地面から切り離されて、電流源 $I1$ に再び通電がされ、位相状態値保持用キャパシタ C_1

への充電が開始される。

- [0276] (10) 続いて、電流源 I_1 から位相状態値保持用キャパシタ C_1 に充電電流 I_s が給電され、出力ノード n_1 の位相状態値電圧 V_r が一定の勾配で上昇する。
- [0277] (11) パルス遅延器 D は、時刻 T でスパイク・パルス spk が入力された後、時間 $T/4$ だけ遅延して、時刻 $5T/4$ に、短時間の遅延パルス Delay-spk を出力する。遅延パルス Delay-spk の立ち上がりエッジにおいて、パルス時間だけスイッチ回路 S_{21} が閉路、スイッチ回路 S_{20} が開路される。このとき、スイッチ回路 S_{22} , S_{25} は閉路状態、スイッチ回路 S_{23} , S_{24} は開路状態にあるため、遅延パルス Delay-spk はスイッチ回路 S_{10} の制御端子に伝達され、パルス時間だけスイッチ回路 S_{10} が閉路される。スイッチ回路 S_{10} の閉路により、中間ノード n_9 にはパルス時間だけ零値電圧 V_{middle} が印加される。また、スイッチ回路 S_{21} の閉路により、中間ノード n_{10} にはパルス時間だけ閾値電圧 V_{th} となる。従って、ゼロオフセット用キャパシタ C_2 の端子間電圧 V_{C2} は $V_{\text{th}} - V_{\text{middle}}$ となり、これにより、チョッパ型コンパレータのゼロオフセット動作が行われる。
- [0278] また、この遅延パルス Delay-spk により、トリガー・フリップフロップ FF_2 の出力値は反転する。これにより、出力端子 Q_2 の電圧は L レベル、出力端子 $\neg Q_2$ の電圧は H レベルとなり、スイッチ回路 S_{13} , S_{14} は開路状態、スイッチ回路 S_{12} , S_{15} は閉路状態となる。これにより、出力端子 T_{out} は中間ノード n_7 に接続され、中間ノード n_8 は中間ノード n_7 から切り離されて接地される。
- [0279] (12) 遅延パルス Delay-spk が立ち下がると、スイッチ回路 S_{20} が閉路状態、スイッチ回路 S_{21} , S_{10} が開路状態となる。これにより、中間ノード n_9 は零値電圧 V_{middle} から切り離され、中間ノード n_9 は出力ノード n_1 に接続され、中間ノード n_9 の電圧 V_s は位相状態値保持用キャパシタ C_1 の位相状態値電圧 V_r となる。また、スイッチ回路 S_{21} の開路により、ゼロオフセット用キャパシタ C_2 の充電電荷は保存されるので、中間ノード n_9 の電

圧 V_g が位相状態値電圧 V_r となるのに伴い、中間ノード $n10$ の電圧 V_{10} は $(V_r - V_{middle}) + V_{th}$ まで引き上げられる。

[0280] (13)以降は、上記(3)～(12)と同様の動作を繰り返すことになる。

[0281] 以上の動作によって、スパイク・ニューロン回路20は、状態値更新回路27による状態値の更新がなければ、位相状態値保持用キャパシタ C_1 の位相状態値電圧 V_r が周期 T の鋸歯波関数となり、位相状態値電圧 V_r が零値電圧 V_{middle} を過ぎた時刻に発火して、出力端子 T_{out} からスパイク・パルス spk_f を出力する。状態値更新回路27による状態値の更新があれば、位相状態値電圧 V_r の鋸歯波関数の位相が、状態値の更新時点で進行又は遅延されるだけで、上記と同様の動作が行われる。

[0282] 従って、本実施例のスパイク・ニューロン回路20では、チョッパ型コンパレータを用いて、実施例1のスパイク・ニューロン回路20と同等の機能の回路を実現することができる。

実施例 4

[0283] 実施例1～3においては、スパイク・ニューロン回路20が、位相状態値保持用キャパシタ C_0 （又は C_1 ）の位相状態値電圧 V_r が零値電圧 V_{middle} となったときに発火してスパイク・パルス spk_f を出力する回路構成の例について説明した。本実施例では、これとは異なり、スパイク・ニューロン回路20が、位相状態値保持用キャパシタ C_0 の位相状態値電圧 V_r が最小値電圧 V_{low} にリセットされた時刻から T_d だけ遅延した時刻に発火してスパイク・パルス spk_f を出力する回路構成の例について説明する。 T_d としては周期の半分 $T/2$ が適当である。

[0284] [1] 全体構成

本実施例に係る情報処理装置の全体構成は図1と同様であり、また、節点ユニットネットワーク2の内部構成は図2と同様であり、ピクセル・アレイ13の内部構成は図3と同様であるとする。また、ピクセル・アレイ13内の各節点ユニット6の全体構成についても図4と同様であるとする。

[0285] 図25は、実施例4に係る情報処理装置の実部節点ユニット7の内部構成を表すブロック図である。尚、虚部節点ユニット8の内部構成についても同様であるため、ここでは、代表として実部節点ユニット7についてのみ説明する。

[0286] 実部節点ユニット7（虚部節点ユニット8）は、スパイク・ニューロン回路20、遅延パルス生成器21、更新許可スイッチ22、セクタ付きパルス生成器23、24、25、26、状態値更新回路27、及び列選択スイッチ28、29を備えている。尚、図5と対応する構成部分については、同符号を付してある。

[0287] 本実施例のスパイク・ニューロン回路20は、実部節点ユニット7（虚部節点ユニット8）に固有の位相状態値を保持する位相状態値保持手段として機能するとともに、位相状態値保持手段が保持する位相状態値を一定の位相速度 ω で経時的に変化させる位相進行手段、及び位相状態値保持手段が保持する位相状態値が最大位相状態値に達したときに、位相状態値を最小位相状態値にリセットする位相復位手段として機能する。スパイク・ニューロン回路20は、スパイク・パルスspkを出力し、このスパイク・パルスspkは遅延パルス生成器21に入力される。

[0288] パルス生成器21は、スパイク・ニューロン回路20がスパイク・パルスspkを出力すると、その時点から所定の遅延時間 T_d だけ遅延してトリガ（更新トリガ）を出力するトリガ発生手段として機能する。遅延パルス生成器21は、遅延パルスD_spkを出力する。

[0289] 更新許可スイッチ22は、AND回路で構成され、一方の入力が遅延パルス生成器21の出力に接続され、他方の入力には、全体制御部5から出力される更新許可信号update_enaが入力される。

[0290] セクタ付きパルス生成器23、24、25、26は、遅延パルスD_spkによるトリガが入力されると、それぞれ、各更新係数 G_{1x} の大きさに比例したトリガパルス（更新トリガ）R_OUT_P_gx1, R_OUT_M_gx1, G_{2x} の大きさに比例したトリガパルス（更新トリガ）R_OUT_P_gx2, R_OUT_M_gx2, G_{1y} の大き

さに比例したトリガパルス（更新トリガ） $R_OUT_P_gy1$, $R_OUT_M_gy1$, G_{2y} の大きさに比例したトリガパルス（更新トリガ） $R_OUT_P_gy2$, $R_OUT_M_gy2$ を出力する。

[0291] 状態値更新回路27は、隣接節点ユニット6から各トリガパルス（更新トリガ）が入力されると、それらのトリガパルスの符号及びパルス幅に応じて、スパイク・ニューロン回路20内の位相状態値保持手段が保持する位相状態値を増加又は減少させることにより、位相状態値の更新を行う。

[0292] 従って、本実施例では、状態値更新回路27と隣接節点ユニット6のセレクト付きパルス生成器23, 24, 25, 26とが協働することによって、隣接節点ユニット6の遅延パルス生成器21がトリガを出力したとき、該節点ユニットの隣接位置に応じて、位相状態値保持手段が保持する位相状態値を、当該位相状態値に当該位相状態値を所定倍した値を加えた値だけ変化させる位相更新手段として機能することになる。

[0293] [2] 実部節点ユニット7及び虚部節点ユニット8の各部構成と動作

(1) スパイク・ニューロン回路20

図26は、図25のスパイク・ニューロン回路20の構成(a)及び動作(b)を表す図である。スパイク・ニューロン回路20は、位相状態値保持用キャパシタ C_0 、電流源 I_1 , I_2 、コンパレータCMP1、パルス生成回路PG、及びスイッチ回路S1, S2, S3を備えている。

[0294] 位相状態値保持用キャパシタ C_0 は一端が接地され、他端が出力ノードn1に接続されている。この出力ノードn1には、状態値更新回路27の出力端子が接続されている。電流源 I_1 は、一端が出力ノードn1を介して位相状態値保持用キャパシタ C_0 に接続されており、他端がスイッチ回路S1を介して電源に接続されている。スイッチ回路S2は、一端が出力ノードn1に接続され、他端には、位相の最小値（最小位相値） θ_{min} に相当する電圧である最小値電圧 V_{low} が入力されている。初期値電圧 V_{low} は、位相状態値の初期値 θ_{min} に相当する電圧であり、全体制御部5で生成され入力される。尚、スイッチ回路S2にはn型MOSFETが用いられている。

- [0295] コンパレータCMP 1は、プラス側入力端子が出力ノードn 1に接続され、マイナス側入力端子に最大値電圧 V_{high} が入力されている最大値電圧 V_{high} は、位相状態値の最大値 θ_{max} に相当する電圧であり、全体制御部5で生成され入力される。また、コンパレータCMP 1の出力は、パルス生成回路PGを介してスパイク・ニューロン回路20の出力端子 T_{out} に接続されている。また、コンパレータCMP 1の出力は、スイッチ回路S 1、S 2の制御端子に接続されている。スイッチ回路S 1は、コンパレータCMP 1の出力電圧がLレベルのときに閉路され、Hレベルのときに開路される。また、スイッチ回路S 2は、コンパレータCMP 1の出力電圧がHレベルのときに閉路され、Lレベルのときに開路される。
- [0296] 電流源I 2は、一端が出力ノードn 1を介して位相状態値保持用キャパシタ C_0 に接続されており、他端がスイッチ回路S 3を介して電源に接続されている。スイッチ回路S 3の制御端子には、初期値入力線10が接続されている。スイッチ回路S 3は、入力部3から入力される初期化信号がHレベルのときに閉路状態、Lレベルのときに開路状態となる。
- [0297] この回路では、出力ノードn 1の位相状態値電圧 V_r 又は位相状態値保持用キャパシタ C_0 に充電された電荷量 $Q_r = C_0 V_r$ がこの節点ユニットの「位相状態値」を表しているものとみなされる。
- [0298] このスパイク・ニューロン回路20は、次のように動作する。状態値更新回路27が状態値の更新を行っていない（すなわち、出力ノードn 1に状態値更新回路27からの電流の入出力がない）状態では、出力ノードn 1の位相状態値電圧 V_r 及びスパイク・ニューロン回路20の出力電圧spkは、図26（b）に示したような時間変化をする。すなわち、まず、コンパレータCMP 1の出力電圧spkがHレベルとなると、スイッチ回路S 2が短時間閉路されるとともにスイッチ回路S 1が開路して、 $V_r = V_{low}$ （すなわち、位相状態値 $\theta = \theta_{min} < 0$ ）にリセットされる。
- 次に、 $V_r < V_{high}$ なので、即座にコンパレータCMP 1の出力電圧spkはLレベルとなり、スイッチ回路S 2が開路しスイッチ回路S 1が閉路される。

そうすると、電流源 I_1 により、位相状態値保持用キャパシタ C_0 に一定の充電電流 I_0 が供給され、出力ノード n_1 の位相状態値電圧 V_r は一定の勾配で上昇する。すなわち、位相状態値 θ が $\theta_{\min} + \omega t$ で変化する。このとき、 $V_r < V_{\text{middle}}$ なので、コンパレータ CMP 2 の出力電圧は L レベルである。

[0299] 位相状態値電圧 V_r が最大値電圧 V_{high} に達したとき（すなわち、位相状態値 θ が最大値 $\theta_{\max}$ に達したとき）、コンパレータ CMP 1 の出力が H レベルに反転する。これに伴って、スイッチ回路 S_1 が開路して、スイッチ回路 S_2 が閉路し、位相状態値保持用キャパシタ C_0 に充電された電荷は即座に放電されて、位相状態値電圧 V_r は初期値電圧ノード V_{low} となる。それに伴って、コンパレータ CMP 1 の出力が再び L レベルに反転し、再びスイッチ回路 S_2 が開路し、スイッチ回路 S_1 が閉路して、再び電流源 I_1 により、位相状態値保持用キャパシタ C_0 に一定の電流が供給され始める。

[0300] コンパレータ CMP 1 の出力が H レベルとなる短時間に、スパイク・ニューロン回路 20 の出力端子にスパイク・パルス spk が出力される。すなわち、スパイク・ニューロン回路 20 が「発火」する。従って、状態値の更新が行われないときには、位相状態値 θ は常に $\theta_{\min} + \omega t$ で鋸歯波状に変化し、スパイク・ニューロン回路 20 からは、常に一定の時間間隔 T でスパイク・パルス spk が出力されることになる。

[0301] 尚、ガボール型フィルタ演算を開始するにあたって、スパイク・ニューロン回路 20 の位相状態値を初期値に設定する場合には、初期値入力線 10 から、初期の位相状態値に比例する幅のパルスを入力する。これにより、電流源 I_2 から位相状態値保持用キャパシタ C_0 に、初期の位相状態値に比例する量の電荷が供給され、初期値が設定されることになる。

[0302] (2) 遅延パルス生成器 21

図 27 は、図 25 の遅延パルス生成器 21 の構成 (a) 及び動作 (b) を表す図である。遅延パルス生成器 21 は、p 型の電界効果トランジスタ $M7$ 、 $M8$ 、n 型の電界効果トランジスタ $M9$ 、インバータ回路 $INV5$ 、 $INV6$ 、及び NOR 回路 51 を備えている。

- [0303] トランジスタM7, M8及びトランジスタM9は、電源と接地面との間にこの順序で直列に接続されている。トランジスタM7のゲートには、パルスの遅延量を決定するための遅延電圧 V_{delay} が入力される。遅延電圧 V_{delay} は全体制御部5において生成され、全ての節点ユニット6に共通に入力される。トランジスタM8, M9のゲートには、前述のスパイク・ニューロン回路20が出力するスパイク・パルスspkが入力される。インバータ回路INV5, INV6は直列接続されており、インバータ回路INV5の入力側はトランジスタM8, M9の共通接続ノード（以下「中間ノードn11」という。）に接続され、インバータ回路INV6の出力側は、NOR回路51の一方の入力端子に接続される。NOR回路51の他方の入力端子には、スパイク・ニューロン回路20が出力するスパイク・パルスspkが直接入力される。NOR回路51の出力端子は、遅延パルス生成器21の出力端子 T_{out} となっている。
- [0304] スパイク・ニューロン回路20からスパイク・パルスspkが入力されていない初期状態では、トランジスタM8, M9のゲートはLレベルであり、トランジスタM8がオン、トランジスタM9がオフである。従って、トランジスタM7, M8を介して、電源から中間ノードn11に電荷が流入し、中間ノードn11と接地面間の寄生容量が充電され、中間ノードn11の電圧 V_a はほぼ電源電圧 V_0 となる。このとき、インバータ回路INV6の出力側のノード（以下「中間ノードn12」という。）の電圧 V_b はHレベルであり、NOR回路51の出力電圧（遅延パルス） D_{spk} はLレベルである。
- [0305] スパイク・ニューロン回路20からスパイク・パルスspkが入力されると、スパイク・パルスspkがHレベルの短期間だけ、トランジスタM8がオフ、トランジスタM9がオンとなり、中間ノードn11と接地面間の寄生容量が放電されて中間ノードn11の電圧 V_a は0となる。中間ノードn11の電圧 V_a が0となるのに伴い、中間ノードn12の電圧 V_b はLレベルとなる。しかし、スパイク・パルスspkがHレベルであるため、NOR回路51の出力電圧（遅延パルス） D_{spk} はLレベルのままである。

[0306] スパイク・パルスspkが立下ると、NOR回路51の出力電圧（遅延パルス）D_spkはHレベルとなる。それと共に、再びトランジスタM8がオン、トランジスタM9がオフとなるので、トランジスタM7、M8を介して、電源から中間ノードn11に電荷が流入し、図27（b）に示すように、中間ノードn11の電圧 V_n はほぼ一定の勾配で電源電圧 V_0 となるまで上昇する。この過程で中間ノードn11の電圧 V_n がインバータ回路INV5の閾値電圧を過ぎた瞬間に、インバータ回路INV6の出力はHレベルとなり、NOR回路51の出力電圧（遅延パルス）D_spkは再びLレベルとなる。スパイク・パルスspkの立ち上がり時刻から、NOR回路51の出力電圧（遅延パルス）D_spkの立ち下がり時刻までを T_d とすると、NOR回路51の出力電圧（遅延パルス）D_spkの立ち下がりエッジにより、スパイク・パルスspkの立ち上がり時刻から時間 T_d だけ遅延したトリガを得ることができる。尚、遅延時間 T_d は、遅延電圧 V_{delay} を調整することによって調整することができる。

[0307] 尚、遅延パルスD_spkの立ち下がりエッジの時間軸上の位置は、ほぼ位相状態値 θ が0となる時刻を表す。

[0308] （3）セクタ付きパルス生成器23，24，25，26

セクタ付きパルス生成器23，24，25，26の構成は、実施例1の図9に示したものと同様であり、回路構成についての説明は省略する。ここでは、回路動作についてのみ説明する。

[0309] 図28は、本実施例4に於けるセクタ付きパルス生成器23，24，25，26の動作を表すタイミング・チャートである。

[0310] 遅延パルス生成器21から遅延パルスD_spkが入力されていない（D_spkがLレベルの）初期状態では、トランジスタM1，M3のゲートはLレベルであり、トランジスタM1がオン、トランジスタM3がオフである。また、トランジスタM2のゲートには、更新係数電圧 V_g が印加されており、このトランジスタM2は線形領域で動作する。従って、トランジスタM1，M2を介して、電源から中間ノードn2に電荷が流入し、中間ノードn2と接地面間の寄生容量が充電され、中間ノードn2の電圧はほぼ電源電圧 V_0 となる。こ

のとき、インバータ回路31の出力側のノード（以下「中間ノードn3」という。）の電圧 V_c はHレベルであり、NOR回路32の出力側のノード（以下「中間ノードn4」という。）の電圧OUT_PMはLレベルである。

[0311] 遅延パルスD_spkがHレベルに立ち上がると、トランジスタM1がオフ、トランジスタM3がオンとなり、中間ノードn2と接地面間の寄生容量が放電されて中間ノードn2の電圧は0となる。中間ノードn2の電圧が0となるのに伴い、中間ノードn3の電圧 V_c もLレベルとなる。しかし、遅延パルスD_spkがHレベルであるため、NOR回路32の出力電圧である中間ノードn4の電圧OUT_PMはLレベルのままである。

[0312] 次に、遅延パルスD_spkがLレベルに立ち下がると、NOR回路32の出力電圧である中間ノードn4の電圧OUT_PMはHレベルとなる。それと共に、再びトランジスタM1がオン、トランジスタM3がオフとなるので、トランジスタM1、M2を介して、電源から中間ノードn2に、更新係数電圧 V_g に比例する電流が流入し、中間ノードn2の電圧はほぼ一定の勾配で電源電圧 V_o になるまで上昇する。この過程で中間ノードn2の電圧がインバータ回路30の閾値電圧を過ぎた瞬間に、インバータ回路30及びインバータ回路31の出力電圧が反転し、中間ノードn3の電圧 V_c はHレベルとなり、NOR回路32の出力電圧である中間ノードn4の電圧OUT_PMは再びLレベルとなる。中間ノードn4の電圧OUT_PMがHレベルに立ち上がってから再びLレベルに立ち下がるまでの時間をパルス幅 t_g とすると、パルス幅 t_g は更新係数電圧 V_g の大きさに比例する。従って、出力パルスの時間軸上の位置はほぼ位相状態値 θ が0となる時刻を表し、出力パルスのパルス幅 t_g は更新係数 G_{1x} , G_{1y} , G_{2x} , G_{2y} の大きさを表すことになる。

[0313] 最後に、デマルチプレクサ33は、更新係数符号信号signに従って、中間ノードn4に出力されるパルスの出力方向を切り替える。更新係数 G_{1x} , G_{1y} , G_{2x} , G_{2y} が正のときは、出力端子OUT_Pにパルス幅 t_g の出力パルスが出力され、更新係数 G_{1x} , G_{1y} , G_{2x} , G_{2y} が負のときは、出力端子OUT_Mにパルス幅 t_g の出力パルスが出力される。

[0314] 尚、出力端子OUT_Pは、状態値更新回路27の入力端子R_top_p_gy1, R_bottom_p_gy1, R_right_p_gx1, R_left_p_gx1, l_top_p_gy2, l_bottom_p_gy2, l_right_p_gx2, l_left_p_gx2の何れかに接続される。また、出力端子OUT_Mは、状態値更新回路27の入力端子R_top_m_gy1, R_bottom_m_gy1, R_right_m_gx1, R_left_m_gx1, l_top_m_gy2, l_bottom_m_gy2, l_right_m_gx2, l_left_m_gx2の何れかに接続される。

[0315] (4) 状態値更新回路27

状態値更新回路27の構成及び動作は、実施例1と同様であり、既に説明したため、ここでは説明は省略する。

[0316] [3] 全体動作

(1) 初期化

ガボール型フィルタ演算を開始する前に、全体制御部5は初期化処理を行う。初期化処理では、まず、更新許可信号update_enaをL状態として、セレクタ付きパルス生成器23, 24, 25, 26のパルス出力を停止することによって、状態値更新回路27によるスパイク・ニューロン回路20の位相状態値電圧 V_r の更新を停止する。この状態で、各スパイク・ニューロン回路20の位相状態値保持用キャパシタ C_0 に初期電荷を与える。尚、位相状態値保持用キャパシタ C_0 に初期電荷を与える方法については、[2](1)で既に説明した通りである。

[0317] (2) ガボール型フィルタ演算

ガボール型フィルタ演算を開始する場合には、全体制御部5は更新許可信号update_enaをH状態とする。これにより、各節点ユニット $U_{i,j}$ の実部節点ユニット7及び虚部節点ユニット8において、位相状態量 $\theta_{i,j}^r$, $\theta_{i,j}^i$ の更新処理が非同期的に並列に実行される。各節点ユニットに於ける位相状態量 $\theta_{i,j}^r$, $\theta_{i,j}^i$ の更新処理の回路動作については、実施例1で既に説明した通りである。

[0318] (3) ガボール型フィルタ演算の終了

ガボール型フィルタ演算を打ち切る場合には、全体制御部5は更新許可信

号update_enaをL状態とする。これにより、セクタ付きパルス生成器23, 24, 25, 26のパルス出力が停止され、状態値更新回路27によるスパイク・ニューロン回路20の位相状態値電圧 V_r の更新が行われなくなる。ガボール型フィルタ演算の結果は、各スパイク・ニューロン回路20の位相状態値電圧 V_r の位相として保持されているので、出力部4がこの位相をパルスとして取り出すことによって演算結果を得ることができる。尚、位相パルス変換回路については図1では図示していないが、例えば、図18のような回路を使用することができる。

[0319] 以上のように、本実施例の情報処理装置では、各節点ユニット $U_{i,j}$ の実部節点ユニット7及び虚部節点ユニット8において、位相状態量 $\theta_{i,j}^r$, $\theta_{i,j}^i$ の更新処理が非同期的に並列に実行される。従って、ガボール型フィルタ演算を高速に演算することが可能となる。また、従来のように、隣接節点ユニットの状態値と自己の状態値との減算回路などを必要としないため、回路構成が単純となり、実装面積も縮小される。

実施例 5

[0320] 本実施例では、本発明の情報処理装置の各節点ユニットをデジタル回路で構成する例について説明する。尚、本実施例5の情報処理装置の全体構成については、実施例1の図1～図3と同様であるものとする。

[0321] 図29は、実施例5に係る情報処理装置の各節点ユニット6の全体構成を表す図である。尚、図29において、実施例1に対応する各部構成については同符号を付している。

[0322] 各節点ユニット6には、左側に隣接する節点ユニット6の実部節点ユニット7及び虚部節点ユニット8から、それぞれ更新トリガ R_{left} , I_{left} 、右側に隣接する節点ユニット6の実部節点ユニット7及び虚部節点ユニット8から、それぞれ更新トリガ R_{right} , I_{right} 、上側に隣接する節点ユニット6の実部節点ユニット7及び虚部節点ユニット8から、それぞれ更新トリガ R_{top} , I_{top} 、下側に隣接する節点ユニット6の実部節点ユニット7及び虚部節点ユニット8から、それぞれ更新トリガ R_{bottom} , I_{bottom} が入力される。

。

[0323] また、各節点ユニット6の実部節点ユニット7及び虚部節点ユニット8からは、それぞれ、左側に隣接する節点ユニット6に対し更新トリガ R_OUT_left , I_OUT_left 、右側に隣接する節点ユニット6に対し更新トリガ R_OUT_right , I_OUT_right 、上側に隣接する節点ユニット6に対し更新トリガ R_OUT_top , I_OUT_top 、下側に隣接する節点ユニット6に対し更新トリガ R_OUT_bottom , I_OUT_bottom が出力される。

[0324] また、全体制御部5から各節点ユニット6に対しては、自己更新トリガ $g0$ が入力される。

[0325] 図30は、実部節点ユニット7（及び虚部節点ユニット8）の内部構成を表すブロック図である。実部節点ユニット7（及び虚部節点ユニット8）は、位相状態値保持手段61、位相進行手段62、位相復位手段63、トリガ発生手段64、及び位相更新手段65を備えている。

[0326] 位相状態値保持手段61は、そのモジュールに固有の位相状態値 θ_i （ i は実部節点ユニット7又は虚部節点ユニット8を特定するインデックス）を保持する。

位相進行手段62は、位相状態値保持手段61が保持する位相状態値 θ_i を一定の位相速度 ω で経時的に増加させる。

[0327] 位相復位手段63は、位相状態値保持手段61が保持する位相状態値 θ_i が所定の最大値 θ_{max} に達すると、位相状態値 θ_i を最小位相状態値 θ_{min} にリセットする。

[0328] トリガ発生手段64は、位相状態値保持手段61が保持する位相状態値 θ_i が位相が零値であることを表す所定の零位相状態値 θ_{middle} を過ぎたときに、更新トリガ $trigger_OUT$ を出力する。この更新トリガ $trigger_OUT$ は、上下左右に隣接する各節点ユニット6の実部節点ユニット7及び虚部節点ユニット8に対して、それぞれ、更新トリガ R_OUT_top , I_OUT_top 、更新トリガ R_OUT_bottom , I_OUT_bottom 、更新トリガ R_OUT_left , I_OUT_left 、更新トリガ R_OUT_right , I_OUT_right として出力される。

[0329] 位相更新手段65は、隣接する節点ユニット6のトリガ発生手段64が更新トリガtrigger_OUTを出力したとき、該節点ユニット6の隣接位置kに応じて、位相状態値保持手段61が保持する位相状態値 $\theta_i(t_k)$ を、当該位相状態値 $\theta_i(t_k)$ に当該位相状態値を所定倍した値 $G_{ik}\theta_i(t_k)$ を加えた値 $(1+G_{ik})\theta_i(t_k)$ に更新する。図30において、上側に隣接する実部節点ユニット7及び虚部節点ユニット8のトリガ発生手段64から入力される更新トリガを、それぞれ、更新トリガR_top, I_top、下側に隣接する実部節点ユニット7及び虚部節点ユニット8のトリガ発生手段64から入力される更新トリガを、それぞれ、更新トリガR_bottom, I_bottom、左側に隣接する実部節点ユニット7及び虚部節点ユニット8のトリガ発生手段64から入力される更新トリガを、それぞれ、更新トリガR_left, I_left、右側に隣接する実部節点ユニット7及び虚部節点ユニット8のトリガ発生手段64から入力される更新トリガを、それぞれ、更新トリガR_right, I_rightと表記している。

[0330] また、位相更新手段65は、全体制御部5から自己更新トリガg0が入力されると、その時点における自己の位相状態値 $\theta_i(t_0)$ を、当該位相状態値 $\theta_i(t_0)$ に当該位相状態値 $\theta_i(t_0)$ を G_0 倍した値を加えた値 $(\theta_i(t_0) + G_0\theta_i(t_0))$ に更新する。

[0331] 以上のように構成された本実施例の情報処理装置について、以下その動作を説明する。尚、本実施例の情報処理装置はデジタル信号で演算処理を行うため、位相の更新式(10)は時間について離散化する必要がある。式(10)を時間について離散化して差分方程式に書き直すと、次式のようになる。

[0332]

[数18]

$$\theta_{m,n}^r(t + \Delta t) = [\theta_{m,n}^r(t) + \delta\theta_{m,n}^r(t) + \omega\Delta t - \theta_{min} \pmod{\theta_{max} - \theta_{min}}] + \theta_{min} \quad (18a)$$

$$\theta_{m,n}^i(t + \Delta t) = [\theta_{m,n}^i(t) + \delta\theta_{m,n}^i(t) + \omega\Delta t - \theta_{min} \pmod{\theta_{max} - \theta_{min}}] + \theta_{min} \quad (18b)$$

$$\begin{aligned} \theta_{m,n}^r(t) = & \sum_{p=0}^{\infty} \left[-G_0\theta_{m,n}^r(t)\delta(t_{p0} \in [t, t + \Delta t]) \right. \\ & -G_{1x}\theta_{m,n}^r(t)\delta\left(t_{p(m-1,n)}^r \in [t, t + \Delta t]\right) - G_{1x}\theta_{m,n}^r(t)\delta\left(t_{p(m+1,n)}^r \in [t, t + \Delta t]\right) \\ & -G_{1y}\theta_{m,n}^r(t)\delta\left(t_{p(m,n-1)}^r \in [t, t + \Delta t]\right) - G_{1y}\theta_{m,n}^r(t)\delta\left(t_{p(m,n+1)}^r \in [t, t + \Delta t]\right) \\ & +G_{2x}\theta_{m,n}^r(t)\delta\left(t_{p(m-1,n)}^i \in [t, t + \Delta t]\right) - G_{2x}\theta_{m,n}^r(t)\delta\left(t_{p(m+1,n)}^i \in [t, t + \Delta t]\right) \\ & \left. -G_{2y}\theta_{m,n}^r(t)\delta\left(t_{p(m,n-1)}^i \in [t, t + \Delta t]\right) + G_{2y}\theta_{m,n}^r(t)\delta\left(t_{p(m,n+1)}^i \in [t, t + \Delta t]\right) \right] \end{aligned} \quad (18c)$$

$$\begin{aligned} \theta_{m,n}^i(t) = & \sum_{p=0}^{\infty} \left[-G_0\theta_{m,n}^i(t)\delta(t_{p0} \in [t, t + \Delta t]) \right. \\ & -G_{1x}\theta_{m,n}^i(t)\delta\left(t_{p(m-1,n)}^i \in [t, t + \Delta t]\right) - G_{1x}\theta_{m,n}^i(t)\delta\left(t_{p(m+1,n)}^i \in [t, t + \Delta t]\right) \\ & -G_{1y}\theta_{m,n}^i(t)\delta\left(t_{p(m,n-1)}^i \in [t, t + \Delta t]\right) - G_{1y}\theta_{m,n}^i(t)\delta\left(t_{p(m,n+1)}^i \in [t, t + \Delta t]\right) \\ & -G_{2x}\theta_{m,n}^i(t)\delta\left(t_{p(m-1,n)}^r \in [t, t + \Delta t]\right) + G_{2x}\theta_{m,n}^i(t)\delta\left(t_{p(m+1,n)}^r \in [t, t + \Delta t]\right) \\ & \left. +G_{2y}\theta_{m,n}^i(t)\delta\left(t_{p(m,n-1)}^r \in [t, t + \Delta t]\right) - G_{2y}\theta_{m,n}^i(t)\delta\left(t_{p(m,n+1)}^r \in [t, t + \Delta t]\right) \right] \end{aligned} \quad (18d)$$

[0333] ここで、 $t_{p(m', n')^r}$ 、 $t_{p(m', n')^i}$ は、時間区間（ t_p 、 t_{p+1} ）の間で位相 $\theta_{m', n'}^r(t)$ 、 $\theta_{m', n'}^i(t)$ が0となる時刻である。また、 $\delta(t \in [t_1, t_2])$ は、クロネッカ記号を表し、 t が区間 $[t_1, t_2]$ に含まれるときには1、それ以外の際には0となることを表す。また、 Δt は任意に設定できるので、 $\Delta t = 1$ としてよい。

[0334] 図31は、本実施例に係る情報処理装置の各実部節点ユニット7及び虚部節点ユニット8における位相の進行・更新処理を表すフローチャートである。

[0335] まず、ステップS1において、全体制御部5は、内部変数として有する時刻 t を0にリセットする。尚、時刻 t については、すべての節点ユニット6について共通とし、全体制御部5において管理され、クロック信号として各節点ユニット6に入力されるものとする。

[0336] 次に、ステップS2において、入力部3は、外部から入力される初期値（例えば、画像データ）を各節点ユニット6の実部節点ユニット7の位相状態値保持手段61に、位相状態値 θ として設定する。この初期値の設定の仕方は、実施例1と同様であり、全体制御部5が、列セクタ14により列を選

択した後、入力部 3 が各初期値入力線 10 から各行の実部節点ユニット 7 の位相状態値の初期値（初期化信号）を入力することにより、各実部節点ユニット 7 に位相状態値の初期値を設定することができる。また、全ての節点ユニット 6 の虚部節点ユニット 8 の位相状態値保持手段 61 の位相状態値 θ は $\theta_{\min}$ (< 0) にリセットされる。

[0337] 次に、以下のステップ S 3 ～ S 8 が反復実行される。

[0338] まず、ステップ S 3 において、全体制御部 5 は、時刻 t を 1 だけインクリメントする。

[0339] 次に、ステップ S 4 において、全体制御部 5 は、 $t+t_s \bmod T_0$ (t_s は θ_0 を決めるシフト量、 T_0 は周期 ($= (\theta_{\max} - \theta_{\min}) / \omega$)) が 0 か否かを判定し、 $t+t_s \bmod T_0 = 0$ の場合には、ステップ S 5 において全体制御部 5 は自己更新トリガ g_0 を出力し ($g_0 = \text{True}$ とする)、それ以外の場合はステップ S 6 において自己更新トリガ g_0 を出力しない ($g_0 = \text{False}$ とする)。

[0340] ステップ S 7 において、各実部節点ユニット 7 及び各虚部節点ユニット 8 の位相更新手段 65 は、位相状態値の更新処理を実行する。この更新処理の詳細については、後述する（図 32、図 33 参照）。尚、この処理は、すべての節点ユニット 6 において並列に同時実行される。

[0341] ステップ S 8 において、全体制御部 5 は、時刻 t が所定の計算終了時刻 t_{nd} に達したか否かを判定する。計算終了時刻 t_{nd} に達していない場合には、ステップ S 3 に戻り、計算終了時刻 t_{nd} に達した場合には、反復処理を終了してステップ S 9 に移行する。

[0342] ステップ S 9 において、出力部 4 は、全ての節点ユニット 6 の実部節点ユニット 7 及び虚部節点ユニット 8 に保持された位相状態値 θ を出力し、処理を終了する。これにより、出力された各位相状態値 θ として、ガボール型フィルタにより処理されたデータが得られる。尚、この出力の仕方は、全体制御部 5 が、列セクタ 14 により列を選択した後、出力部 4 が実部外部出力線 11 及び虚部外部出力線 12 各行の実部節点ユニット 7 及び虚部節点ユニット 8 の位相状態値を読み出すことにより行われる。

[0343] 次に、上記ステップS 7における位相状態値の更新処理の詳細について説明する。尚、ここでは、実部節点ユニット7と虚部節点ユニット8の両方をまとめて説明する。

[0344] 図32、図33は、各節点ユニット6における位相状態値の更新処理の流れを表すフローチャートである。ここでは、節点ユニット $U_{i,j}$ ($i \in \{1, \dots, M\}$, $j \in \{1, \dots, N\}$)の実部節点ユニット7及び虚部節点ユニット8について記述する。節点ユニット $U_{i,j}$ の実部節点ユニット7及び虚部節点ユニット8の位相状態値保持手段61は、それぞれ、内部変数として位相状態値 $\theta_{i,j}^r$, $\theta_{i,j}^{r(0)}$ 及び位相状態値 $\theta_{i,j}^i$, $\theta_{i,j}^{i(0)}$ を有しているものとする。

[0345] (1) 前時刻の位相状態値のバックアップ

まず、ステップS 11において、実部節点ユニット7及び虚部節点ユニット8は、前時刻の位相状態値 $\theta_{i,j}^r$, $\theta_{i,j}^i$ を、それぞれ内部変数 $\theta_{i,j}^{r(0)}$, $\theta_{i,j}^{i(0)}$ に複写して保存する。これらは、後のステップS 31, S 34において自己節点が発火するか否かの判定に使用される。

[0346] (2) 位相状態値の進行

次に、ステップS 12において、実部節点ユニット7及び虚部節点ユニット8の位相進行手段62は、自己の位相状態値保持手段61に保持された位相状態値 $\theta_{i,j}^r$, $\theta_{i,j}^i$ を ω だけ進行させる。すなわち、 $\theta_{i,j}^r \leftarrow \theta_{i,j}^r + \omega$, $\theta_{i,j}^i \leftarrow \theta_{i,j}^i + \omega$ の演算を実行する。これは、式(18a), (18b)の位相進行項(右辺第3項)の演算に相当する。

[0347] (3) 更新演算及び発火処理

次に、以下の(3-1)～(3-11)の処理が並列に実行される。

[0348] (3-1) 自己更新演算

ステップS 13において、実部節点ユニット7及び虚部節点ユニット8の位相更新手段65は、全体制御部5から入力される自己更新トリガ g_0 が真値(True)であるか否かを判定する。自己更新トリガ g_0 が真値(True)の場合には、ステップS 14において、位相状態値 $\theta_{i,j}^r$, $\theta_{i,j}^i$ に、それぞれ、 $-G_0$, $\theta_{i,j}^r$, $-G_0$, $\theta_{i,j}^i$ を加えて更新をし、次のステップS 15に移行する。これは

、式（１８ｃ）、（１８ｄ）の累算括弧内の自己更新項（右辺括弧内第１項）の演算に相当する。また、自己更新トリガ g_0 が偽値（False）の場合には、自己更新は行わず、次のステップＳ３７、Ｓ３９に移行する。

[0349] （３－２）左隣接節点の実部の発火による更新演算

ステップＳ１５において、実部節点ユニット７及び虚部節点ユニット８の位相更新手段６５は、左側の隣接節点ユニット $U_{i-1,j}$ から入力される更新トリガ R_left が真値（True）であるか否かを判定する。更新トリガ R_left が真値（True）の場合には、ステップＳ１６において、位相状態値 $\theta_{i,j}^r$ 、 $\theta_{i,j}^i$ に、それぞれ、 $-G_{1x}\theta_{i,j}^r$ 、 $-G_{2x}\theta_{i,j}^i$ を加えて更新をし、次のステップＳ１７に移行する。これは、式（１８ｃ）の累算括弧内の右辺第２項の更新項及び式（１８ｄ）の累算括弧内の右辺第６項の更新項の演算に相当する。また、更新トリガ R_left が偽値（False）の場合には、自己更新は行わず、次のステップＳ３７、Ｓ３９に移行する。

[0350] （３－３）右隣接節点の実部の発火による更新演算

ステップＳ１７において、実部節点ユニット７及び虚部節点ユニット８の位相更新手段６５は、右側の隣接節点ユニット $U_{i+1,j}$ から入力される更新トリガ R_right が真値（True）であるか否かを判定する。更新トリガ R_right が真値（True）の場合には、ステップＳ１８において、位相状態値 $\theta_{i,j}^r$ 、 $\theta_{i,j}^i$ に、それぞれ、 $-G_{1x}\theta_{i,j}^r$ 、 $+G_{2x}\theta_{i,j}^i$ を加えて更新をし、次のステップＳ１９に移行する。これは、式（１８ｃ）の累算括弧内の右辺第３項の更新項及び式（１８ｄ）の累算括弧内の右辺第７項の更新項の演算に相当する。また、更新トリガ R_right が偽値（False）の場合には、自己更新は行わず、次のステップＳ３７、Ｓ３９に移行する。

[0351] （３－４）上隣接節点の実部の発火による更新演算

ステップＳ１９において、実部節点ユニット７及び虚部節点ユニット８の位相更新手段６５は、上側の隣接節点ユニット $U_{i,j-1}$ から入力される更新トリガ R_top が真値（True）であるか否かを判定する。更新トリガ R_top が真値（True）の場合には、ステップＳ２０において、位相状態値 $\theta_{i,j}^r$ 、 $\theta_{i,j}^i$ に、それ

ぞれ、 $-G_{1y}\theta_{i,j}^r$, $+G_{2y}\theta_{i,j}^i$ を加えて更新をし、次のステップS 2 1に移行する。これは、式(18c)の累算括弧内の右辺第4項の更新項及び式(18d)の累算括弧内の右辺第8項の更新項の演算に相当する。また、更新トリガR_topが偽値(False)の場合には、自己更新は行わず、次のステップS 3 7, S 3 9に移行する。

[0352] (3-5) 下隣接節点の実部の発火による更新演算

ステップS 2 1において、実部節点ユニット7及び虚部節点ユニット8の位相更新手段65は、下側の隣接節点ユニット $U_{i,j+1}$ から入力される更新トリガR_bottomが真値(True)であるか否かを判定する。更新トリガR_bottomが真値(True)の場合には、ステップS 2 2において、位相状態値 $\theta_{i,j}^r$, $\theta_{i,j}^i$ に、それぞれ、 $-G_{1y}\theta_{i,j}^r$, $-G_{2y}\theta_{i,j}^i$ を加えて更新をし、次のステップS 2 3に移行する。これは、式(18c)の累算括弧内の右辺第5項の更新項及び式(18d)の累算括弧内の右辺第9項の更新項の演算に相当する。また、更新トリガR_bottomが偽値(False)の場合には、自己更新は行わず、次のステップS 3 7, S 3 9に移行する。

[0353] (3-6) 左隣接節点の虚部の発火による更新演算

ステップS 2 3において、実部節点ユニット7及び虚部節点ユニット8の位相更新手段65は、左側の隣接節点ユニット $U_{i-1,j}$ から入力される更新トリガl_leftが真値(True)であるか否かを判定する。更新トリガl_leftが真値(True)の場合には、ステップS 2 4において、位相状態値 $\theta_{i,j}^r$, $\theta_{i,j}^i$ に、それぞれ、 $+G_{2x}\theta_{i,j}^r$, $-G_{1x}\theta_{i,j}^i$ を加えて更新をし、次のステップS 2 5に移行する。これは、式(18c)の累算括弧内の右辺第6項の更新項及び式(18d)の累算括弧内の右辺第2項の更新項の演算に相当する。また、更新トリガl_leftが偽値(False)の場合には、自己更新は行わず、次のステップS 3 7, S 3 9に移行する。

[0354] (3-7) 右隣接節点の虚部の発火による更新演算

ステップS 2 5において、実部節点ユニット7及び虚部節点ユニット8の位相更新手段65は、右側の隣接節点ユニット $U_{i+1,j}$ から入力される更新ト

リガ l_right が真値 (True) であるか否かを判定する。更新トリガ l_right が真値 (True) の場合には、ステップ S 2 6 において、位相状態値 $\theta_{i,j}^r$, $\theta_{i,j}^i$ に、それぞれ、 $-G_{2x}\theta_{i,j}^r$, $-G_{1x}\theta_{i,j}^i$ を加えて更新をし、次のステップ S 2 7 に移行する。これは、式 (18 c) の累算括弧内の右辺第 7 項の更新項及び式 (18 d) の累算括弧内の右辺第 3 項の更新項の演算に相当する。また、更新トリガ l_right が偽値 (False) の場合には、自己更新は行わず、次のステップ S 3 7, S 3 9 に移行する。

[0355] (3-8) 上隣接節点の虚部の発火による更新演算

ステップ S 2 7 において、実部節点ユニット 7 及び虚部節点ユニット 8 の位相更新手段 6 5 は、上側の隣接節点ユニット $U_{i,j-1}$ から入力される更新トリガ l_top が真値 (True) であるか否かを判定する。更新トリガ l_top が真値 (True) の場合には、ステップ S 2 8 において、位相状態値 $\theta_{i,j}^r$, $\theta_{i,j}^i$ に、それぞれ、 $-G_{2y}\theta_{i,j}^r$, $-G_{1y}\theta_{i,j}^i$ を加えて更新をし、次のステップ S 2 9 に移行する。これは、式 (18 c) の累算括弧内の右辺第 8 項の更新項及び式 (18 d) の累算括弧内の右辺第 4 項の更新項の演算に相当する。また、更新トリガ l_top が偽値 (False) の場合には、自己更新は行わず、次のステップ S 3 7, S 3 9 に移行する。

[0356] (3-9) 下隣接節点の虚部の発火による更新演算

ステップ S 2 9 において、実部節点ユニット 7 及び虚部節点ユニット 8 の位相更新手段 6 5 は、下側の隣接節点ユニット $U_{i,j+1}$ から入力される更新トリガ l_bottom が真値 (True) であるか否かを判定する。更新トリガ l_bottom が真値 (True) の場合には、ステップ S 3 0 において、位相状態値 $\theta_{i,j}^r$, $\theta_{i,j}^i$ に、それぞれ、 $+G_{2y}\theta_{i,j}^r$, $-G_{1y}\theta_{i,j}^i$ を加えて更新をし、次のステップ S 3 1 に移行する。これは、式 (18 c) の累算括弧内の右辺第 9 項の更新項及び式 (18 d) の累算括弧内の右辺第 5 項の更新項の演算に相当する。また、更新トリガ l_bottom が偽値 (False) の場合には、自己更新は行わず、次のステップ S 3 7, S 3 9 に移行する。

[0357] (3-10) 実部の自己発火の判定と更新パルスの出力

ステップS 3 1において、実部節点ユニット7のトリガ発生手段6 4は、自己の位相状態値 $\theta_{i,j}^r$ が零位相状態値 θ_{middle} を過ぎたか否かを判定する。すなわち、前時刻の位相状態値 $\theta_{i,j}^{r(0)}$ が零位相状態値 θ_{middle} より小さく、現時刻の位相状態値 $\theta_{i,j}^r$ が零位相状態値 θ_{middle} 以上であるか否かを判定する。零位相状態値 θ_{middle} を過ぎた場合には、ステップS 3 2において、トリガ発生手段6 4は、左右上下に隣接する隣接節点ユニット $U_{i-1,j}$, $U_{i+1,j}$, $U_{i,j-1}$, $U_{i,j+1}$ に対して、更新トリガ R_OUT_left , R_OUT_right , R_OUT_top , R_OUT_bottom を出力し（これらの値をTrueとし）、次のステップS 3 4に移行する。一方、位相状態値 $\theta_{i,j}^r$ が零位相状態値 θ_{middle} を過ぎっていない場合には、ステップS 3 3において、更新トリガ R_OUT_left , R_OUT_right , R_OUT_top , R_OUT_bottom の値をFalseとし、次のステップS 3 7, S 3 9に移行する。

[0358] (3-11) 虚部の自己発火の判定と更新パルスの出力

ステップS 3 4において、虚部節点ユニット8のトリガ発生手段6 4は、自己の位相状態値 $\theta_{i,j}^i$ が零位相状態値 θ_{middle} を過ぎたか否かを判定する。すなわち、前時刻の位相状態値 $\theta_{i,j}^{i(0)}$ が零位相状態値 θ_{middle} より小さく、現時刻の位相状態値 $\theta_{i,j}^i$ が零位相状態値 θ_{middle} 以上であるか否かを判定する。零位相状態値 θ_{middle} を過ぎた場合には、ステップS 3 5において、トリガ発生手段6 4は、左右上下に隣接する隣接節点ユニット $U_{i-1,j}$, $U_{i+1,j}$, $U_{i,j-1}$, $U_{i,j+1}$ に対して、更新トリガ I_OUT_left , I_OUT_right , I_OUT_top , I_OUT_bottom を出力し（これらの値をTrueとし）、次のステップS 3 7に移行する。一方、位相状態値 $\theta_{i,j}^i$ が零位相状態値 θ_{middle} を過ぎっていない場合には、ステップS 3 6において、更新トリガ I_OUT_left , I_OUT_right , I_OUT_top , I_OUT_bottom の値をFalseとし、次のステップS 3 7, S 3 9に移行する。

[0359] (4) 状態値のリセット処理

次に、以下の(4-1), (4-2)の処理が並列に実行される。

[0360] (4-1) 実部位相状態値のリセット

ステップS 3 7において、実部節点ユニット7の位相復位手段6 3は、自己の位相状態値 $\theta_{i,j}^r$ が最大値 θ_{max} を越えたか否かを検査し、 $\theta_{i,j}^r > \theta_{max}$ の場

合には、ステップS 3 8において、 $\theta_{i,j}^r$ をリセットして（尚、この場合、発火更新に伴う位相ずれ量も保存するため、 $\theta_{i,j}^r = \theta_{\min}$ ではなく $\theta_{i,j}^r = \theta_{i,j}^r - (\theta_{\max} - \theta_{\min})$ としてある）、次のステップS 3 9に移行し、そうでない場合にはそのまま位相状態値の更新処理を終了する。

[0361] （４－２）虚部位相状態値のリセット

ステップS 3 9において、虚部節点ユニット8の位相復位手段6 3は、自己の位相状態値 $\theta_{i,j}^i$ が最大値 $\theta_{\max}$ を越えたか否かを検査し、 $\theta_{i,j}^i > \theta_{\max}$ の場合には、ステップS 4 0において、 $\theta_{i,j}^i$ をリセットして（尚、この場合、発火更新に伴う位相ずれ量も保存するため、 $\theta_{i,j}^i = \theta_{\min}$ ではなく $\theta_{i,j}^i = \theta_{i,j}^i - (\theta_{\max} - \theta_{\min})$ としてある）、位相状態値の更新処理を終了し、そうでない場合にはそのまま位相状態値の更新処理を終了する。

[0362] 以上のような動作により、本実施例5の情報処理装置は、式（１ 8 a）～（１ 8 d）に示したようなガボール型フィルタ演算を実行することができる。

[0363] 尚、本実施例5の情報処理装置は、デジタル回路で構成されるため、回路そのものとして構成することもできるが、プログラマブル論理デバイス（PLD）の再構成プログラムとして提供し、このプログラムに基づきPLDを再構成することにより構成することも可能である。

実施例 6

[0364] 実施例6では、本発明に係る情報処理装置を、ガボール型フィルタ以外のセルラー構造ネットワーク演算に適用した例について説明する。ここでは、一例として、大局的画像領域分割（coarse image region segmentation）を行うための領域ベース結合マルコフ確率場モデル（region-based coupled Markov Random Field model：以下「領域ベース結合MRFモデル」という。）を実現するフィルタに適用した例を示す。

[0365] 〔１〕領域ベース結合MRFモデル

最初に、領域ベース結合MRFモデルについて簡単に説明する。従来、大局的画像領域分割を行う画像処理モデルとして、結合MRFモデルが提案されて

いる（非特許文献 4 参照）。結合 MRF モデルでは、画素に対応する素子間の相互作用を適応的に変化させることにより、画像の平滑化とエッジ強調とを同時に行うことができる。素子間の相互作用は隠れ変数（hidden variable）によって決定される。

[0366] 領域ベース結合 MRF モデルでは、隠れ変数はラベル過程（label process）として表される。各ラベルは画素に 1 対 1 対応しており、ラベルそのもので領域を取り出すことができる。しかしながら、領域ベースモデルは、収束の過程で局所平衡状態に陥りやすいという欠点がある。そこで、この問題を克服するため、隠れ変数に位相を導入したモデルが提案されている（非特許文献 4， 93 頁）。

[0367] 図 34 は、1 次元の領域ベース結合 MRF のニューラル・ネットワーク・モデルを示す図である。領域ベース結合 MRF モデルは、図 34 に示すように、強度過程（intensity process）とラベル過程（label process）とが相互に結合した構造を採用している。そして、相互作用は、隣接ピクセルとの状態値の差を用いて表現される。

[0368] 領域ベース結合 MRF モデルにおけるエネルギー関数（コスト関数） $E(f, \phi | d)$ は、次式のように定義される（非特許文献 4， 5 参照）。

[0369] [数19]

$$E(f, \phi | d) = \frac{1}{2} \sum_i (f_i - d_i)^2 + \frac{\lambda}{4} \sum_{i,j} [1 + \cos(\Delta\phi_{j,i})] (\Delta f_{j,i})^2 - \frac{J}{2} \sum_{i,j} \cos(\Delta\phi_{j,i}) \quad (19a)$$

$$\Delta\phi_{j,i} = \phi_j - \phi_i \quad (19b)$$

$$\Delta f_{j,i} = f_j - f_i \quad (19c)$$

[0370] ここで、 d_i （ $i = 1, \dots, N$ ： N は画素数）は i 段目の節点（画素）の入力値である。強度値 f_i は d_i に対応する推定値であり、「強度過程」と呼ばれる。位相変数 ϕ_i は i 段目の節点（画素）に対応する隠れ変数としての位相（スパイク・ニューロン回路 20 における「位相」との用語の混乱を避けるため、以下では「ラベル位相」とよぶ。）であり、「ラベル過程」と呼ばれる。領域ベース結合 MRF モデルでは、 ϕ_i は強度過程 f_i の領域を表す。このラベル位相変数 ϕ_i は、対応する強度値 f_i 及び隣接節点のラベル位相変数

ϕ_j と互いに制御し合う。 λ , J は、それぞれ式 (19a) の右辺第 2 項、第 3 項の影響を調整するためのパラメータ (定数) である。なお、式 (19a) の i に関する和は画像内のすべての画素に対してとられ、 j に関する和は注目画素 i に隣接するすべての画素に対してとられる。

[0371] 式 (19a) の第 1 項は、データフィッティング項を表し、 f_i を d_i に近づけるように作用する項である。第 2 項は強度過程の滑らかさを表す項である。この第 2 項は、隣接する節点は同じ強度値をとる傾向 (滑らかさ) があるという経験的仮定に基づいて導入されている。滑らかさは、ラベル位相差 $\Delta\phi_{j,i}$ により制御される。 $\Delta\phi_{j,i}$ が 0 近傍のとき、注目画素と隣接画素は同一の領域にあることを表し、第 2 項 (滑らかさの拘束条件) は有効となる。従って、同一の領域内では強度変化は滑らかとなる方向に制御される。一方、 $\Delta\phi_{j,i}$ が π 近傍のとき、注目画素と隣接画素は異なる領域にあることを表し、第 2 項 (滑らかさの拘束条件) は無効となる。従って、異なる領域では強度変化は不連続となる方向に制御される。第 3 項は、ラベル位相変数 ϕ_j が $\cos(\Delta\phi_{j,i}) = -1$ となるのを抑制する項である。この第 3 項は、画像内には領域がそれほど多くは存在しないという経験的仮定に基づいて導入されている。ラベル過程における領域数は、第 3 項によって増大が抑制される。

[0372] 式 (19a) のエネルギー関数 $E(f, \phi | d)$ が最小となるような $\{f_i, \phi_j\}$ の組み合わせが求めるべき推定値である。そこで、この推定値 $\{f_i, \phi_j\}$ を、最急降下法を用いて逐次的に求める。この場合、 (f_i, ϕ_j) の更新式は次のようになる。

[0373] [数20]

$$f_i(t+1) = f_i(t) + \epsilon_f \left[\sum_j \frac{\lambda}{2} [1 + \cos(\Delta\phi_{j,i})] \Delta f_{j,i} - (f_i - d_i) \right] \quad (20a)$$

$$\begin{aligned} \phi_i(t+1) &= \phi_i(t) + \sum_j \frac{\epsilon_\phi}{2} \left[J - \frac{\lambda}{2} (\Delta f_{j,i})^2 \right] \sin(\Delta\phi_{j,i}) \\ &= \phi_i(t) + \sum_j \frac{\epsilon_\phi \lambda}{4} \left[\left(\sqrt{\frac{2J}{\lambda}} \right)^2 - (\Delta f_{j,i})^2 \right] \sin(\Delta\phi_{j,i}) \end{aligned} \quad (20b)$$

ここで、 ε_f 、 ε_ϕ は更新定数であり、適当な微小値に設定される。

[0374] このモデルの大局的領域分割としての性能を向上させるため、および回路化に適したものとするために、非特許文献6に従って近似を行うと、 (f_i, ϕ_j) の更新式(20a)、(20b)は、次式(21a)、(21b)のように表される。

[0375] [数21]

$$f_i(t+1) = f_i(t) + \sum_j \frac{h_f}{4} B(\Delta f_{j,i}) C(\Delta \phi_{j,i}) \quad (21a)$$

$$\phi_i(t+1) = \phi_i(t) + \sum_j \frac{h_\phi}{4} \pi A(\Delta f_{j,i}) S(\Delta \phi_{j,i}) \quad (21b)$$

[0376] ここで、 h_f 、 h_ϕ は更新量を調整するための定数である。関数 $A(\Delta f_{j,i})$ は次式(22a)で表され、関数 $B(\Delta f_{j,i})$ は次式(22b)により表される。図35(a)、(b)に関数 $A(\Delta f_{j,i})$ 、 $B(\Delta f_{j,i})$ を示す。

[0377] [数22]

$$A(\Delta f_{j,i}) = \begin{cases} -1 & (\text{if } Q < \Delta f_{j,i} \leq 1) \\ 1 & (\text{if } -Q \leq \Delta f_{j,i} \leq Q) \\ -1 & (\text{if } -1 \leq \Delta f_{j,i} < -Q) \end{cases} \quad (22a)$$

$$B(\Delta f_{j,i}) = \begin{cases} 1 & (\text{if } 0 < \Delta f_{j,i} \leq 1) \\ 0 & (\text{if } \Delta f_{j,i} = 0) \\ -1 & (\text{if } -1 \leq \Delta f_{j,i} < 0) \end{cases} \quad (22b)$$

ここで、 Q は、平滑化とエッジ強調とを切り替える閾値を決める制御パラメータであり、 $\sqrt{(2J/\lambda)}$ の代わりに導入したものである。

[0378] また、関数 $S(\Delta \phi_{j,i})$ は式(23a)で表され、関数 $C(\Delta \phi_{j,i})$ は式(23b)で表される。図35(c)、(d)に関数 $S(\Delta \phi_{j,i})$ 、 $C(\Delta \phi_{j,i})$ を示す。

[0379]

[数23]

$$S(\Delta\phi_{j,i}) = \begin{cases} 1 & (\text{if } \alpha \leq \Delta\phi_{j,i} \leq \pi - \alpha) \\ -1 & (\text{if } -\pi + \alpha \leq \Delta\phi_{j,i} \leq -\alpha) \\ 0 & (\text{otherwise}) \end{cases} \quad (23a)$$

$$C(\Delta\phi_{j,i}) = \begin{cases} 1 & (\text{if } -\pi + \beta \leq \Delta\phi_{j,i} \leq \pi - \beta) \\ 0 & (\text{otherwise}) \end{cases} \quad (23b)$$

ここで、 α 、 β は更新量が0となる幅を表すパラメータであり、区間 α 、 β は収束点及び発散点の周りに設定される。これにより、更新が収束点を飛び越えて動作が不安定になることが防止される。

[0380] 以上に説明したような領域ベース結合MRFモデルに基づきセルラー構造ネットワーク演算を行うための装置を、本発明に係る情報処理装置により実現する。そこで、次に、上記式(21a)、(21b)を、さらに本発明に係る情報処理装置に基づく回路実装に適した形となるように変形する。

[0381] [2] スパイク駆動方式セルラー構造ネットワーク回路による演算式

実施例1の場合と同様に、本発明の情報処理装置が採用するスパイク駆動方式セルラー構造ネットワーク回路への実装するために、まず、節点 i の状態値(f_i , ϕ_i)を位相(θ , ξ)の位相差を用いて、次式のように表現する。

[0382] [数24]

$$f_i(t) = \theta_i(t) - \theta_0(t) \quad (24a)$$

$$\phi_i(t) = \xi_i(t) - \xi_0(t) \quad (24b)$$

[0383] ここで、 $\theta_0(t)$ 、 $\xi_0(t)$ は周期 T の基準位相であり、式(6b)と同様に次式で表される。

[0384] [数25]

$$\theta_0(t) = \xi_0(t) = [\omega t - \theta_{\min}(\text{mod } \theta_{\max} - \theta_{\min})] + \theta_{\min} \quad (25a)$$

$$T = \frac{\theta_{\max} - \theta_{\min}}{\omega} \quad (25b)$$

[0385] また、 $\theta_i(t)$ 、 $\xi_i(t)$ は、節点 i における強度過程、ラベル過程の位相である。 mod 演算による位相のリセットがされない区間(連続区間)

において、各節点の位相 (θ_i, ξ_i) の更新が行われない限り位相差 $\theta_i(t) - \theta_o(t)$, $\xi_i(t) - \xi_o(t)$ は一定値を保つので、当該連続区間内においては $\theta_i(t) - \theta_o(t)$, $\xi_i(t) - \xi_o(t)$ は時間シフトに対して不変である。そこで、状態の更新を基準位相の周期 T ごとに行うこととし、更新時間を離散化する。 $\theta_o(t+T) = \theta_o(t)$, $\xi_o(t+T) = \xi_o(t)$ であることを考慮して、式 (21a), (21b) を次式のように書き直す。

[0386] [数26]

$$\theta_i(t+T) = \theta_i(t) + \sum_j \frac{h_f}{4} B(\theta_j(t) - \theta_i(t)) C(\xi_j(t) - \xi_i(t)) \quad (26a)$$

$$\xi_i(t+T) = \xi_i(t) + \sum_j \frac{h_\phi}{4} \pi A(\theta_j(t) - \theta_i(t)) S(\xi_j(t) - \xi_i(t)) \quad (26b)$$

[0387] さらに、連続区間内において更新時刻はシフト可能であるので、前述のガボール・フィルタの場合と同様 (式 (9) 参照)、更新時刻を非同期化し、 $\xi_i(t) = 0$ となる時刻 $t_{i\xi}$ において位相 (θ_i, ξ_i) の更新を行うこととする。これにより、式 (26a), (26b) は次のように書き直される。

[0388] [数27]

$$\begin{aligned} \theta_i(t+T) &\simeq \theta_i(t) + \sum_j \frac{h_f}{4} B(\theta_j(t_{i\xi}) - \theta_i(t_{i\xi})) C(\xi_j(t_{i\xi})) \\ &\simeq \theta_i(t) + \sum_j \frac{h_f}{4} B(\theta_j(t) - \theta_i(t)) C(\xi_j(t_{i\xi})) \end{aligned} \quad (27a)$$

$$\begin{aligned} \xi_i(t+T) &\simeq \xi_i(t) + \sum_j \frac{h_\phi}{4} \pi A(\theta_j(t_{i\xi}) - \theta_i(t_{i\xi})) S(\xi_j(t_{i\xi})) \\ &\simeq \xi_i(t) + \sum_j \frac{h_\phi}{4} \pi A(\theta_j(t) - \theta_i(t)) S(\xi_j(t_{i\xi})) \end{aligned} \quad (27b)$$

[0389] さらに、関数 $A(\theta_j(t) - \theta_i(t))$, $B(\theta_j(t) - \theta_i(t))$ の確定時刻は関数 $C(t_{i\xi})$, $S(t_{i\xi})$ の確定時刻とは独立に決めることができるので、 $\theta_i(t) = 0$ となる時刻 $t_{i\theta}$ において関数 $A(\theta_j(t) - \theta_i(t))$, $B(\theta_j(t) - \theta_i(t))$ の値の確定を行うこととする。これにより、式 (27a), (27b) は次のように書き直される。

[0390] [数28]

$$\theta_i(t+T) \simeq \theta_i(t) + \sum_j \frac{h_f}{4} B(\theta_j(t_{i\theta})) C(\xi_j(t_{i\xi})) \quad (28a)$$

$$\xi_i(t+T) \simeq \xi_i(t) + \sum_j \frac{h_\phi}{4} \pi A(\theta_j(t_{i\theta})) S(\xi_j(t_{i\xi})) \quad (28b)$$

[0391] 以下、この更新式（28a）、（28b）を用いて情報処理装置を具体的に構成する。

[0392] [3] 情報処理装置の構成

[3-1] 全体構成

本発明の実施例6に係る情報処理装置の全体構成は、図1と同様である。図36は、実施例6における節点ユニットネットワーク2の構成を示す図である。図36において、節点ユニット6、ピクセル・アレイ13、列セクタ14、及びドライバ16については、図2と同様であり、同符号を付して説明は省略する。本実施例の場合、図2の場合と異なり係数 G_0 を入力する必要がないため、ドライバ15が省略された点で図2と相違している。尚、ピクセル・アレイ13の内部構成については、図3と同様の構成である。各節点ユニット6は、図3に示すように、上下左右に隣接する4つの節点ユニット6と互いに結合されている。以下、 m 行 n 列目の節点ユニット6を、「節点ユニット $U_{m,n}$ 」と呼ぶことにする。

[0393] [3-2] 各節点ユニットの機能構成

具体的な各節点ユニット6の回路構成の説明に入る前に、理解を容易にするために、まず、図36の各節点ユニット6の機能構成について説明する。尚、以下では、2次元の座標を明示する必要がある場合には、節点を特定するインデックス i, j の代わりにインデックス (m, n) 、 $(m \pm 1, n \pm 1)$ を適宜使用する。

[0394] 式（26b）の関数 $A(\theta_j - \theta_i)$ は、図35（a）に示したように偶関数である。従って、 $A(\theta_j - \theta_i) = A(\theta_i - \theta_j)$ であるので、 $A(\theta_j - \theta_i)$ は、左右に隣接する節点对の何れかで1回、上下に隣接する節点对の何れ

かで1回計算すれば、その計算値をそれら節点对で共有することができる。
同様に、式(26a)の関数 $B(\theta_j - \theta_i)$ は、図35(b)に示したように奇関数である。従って、 $B(\theta_j - \theta_i) = -B(\theta_i - \theta_j)$ であるので、 $B(\theta_j - \theta_i)$ は、左右に隣接する節点对の何れかで1回、上下に隣接する節点对の何れかで1回計算すれば、その計算値をそれら節点对で共有することができる。

[0395] また、式(25a)より、 $\theta_j(t) = 0$ となる時刻 $t_{j\theta}$ を用いて、連続区間内における $\theta_j(t)$ は次式のように表される。

[0396] [数29]

$$\theta_j(t) = \omega(t - t_{j\theta}) \quad (29)$$

[0397] 従って、関数 A が偶関数であること(図35(a)参照)を考慮すると、式(28b)の関数値 $A(\theta_j(t_{i\theta}))$ は、次式(30)のように表すことができる。

[0398] [数30]

$$A(\theta_j(t_{i\theta})) = A(\omega(t_{i\theta} - t_{j\theta})) = A(\omega(t_{j\theta} - t_{i\theta})) = \left[A(\omega(t - t_{i\theta})) \right]_{t=t_{j\theta}} \quad (30)$$

[0399] 従って、時刻 $t_{i\theta}$ を基準時刻として、次式(31)のような時間関数 $A(t)$ を発生させ、 $t = t_{j\theta}$ の時点でのその関数値をとることにより $A(\theta_j(t_{i\theta}))$ を得ることができる。

[0400] [数31]

$$A(\omega(t - t_{i\theta})) = \begin{cases} 1 & (\text{if } -Q \leq \omega(t - t_{i\theta}) \leq Q) \\ 0 & (\text{otherwise}) \end{cases} \quad (31)$$

[0401] この操作を、図を用いて説明すると次の通りである。図37(a)は、時間関数 $A(t)$ を示す図である。図37では、簡単のため時間 t を位相速度 ω で規格化して(すなわち $\omega = 1$ として)示してある。例えば、時刻 $t = t_{i\theta}$ を基準時刻として、時刻 $t = t_{i\theta} - T/2$ のトリガによって時間関数 $A(t - (t_{i\theta} - T/2))$ の進行を開始する。そして、 $t = t_{j\theta}$ のトリガにより、その時点に於ける関数 A の値 $A(t_{j\theta} - t_{i\theta} + T/2)$ をホールドすれば、この

値が関数値 $A(\theta_j(t_{i\theta}))$ となる。

[0402] 同様に、式 (28a) の関数 $B(\theta_j(t_{i\theta}))$ も、関数 B が奇関数であること (図35 (b) 参照) を考慮して次式 (32a) により表されるので、時刻 $t_{i\theta}$ を基準として、次式 (32b) のような時間関数 $B(t)$ を発生させ、 $t = t_{j\theta}$ の時点でのその関数値をとることにより $B(\theta_j(t_{i\theta}))$ を得ることができる。式 (32b) の時間関数 $B(t)$ を図37 (b) に示す。

[0403] [数32]

$$B(\theta_j(t_{i\theta})) = - \left[B(\omega(t - t_{i\theta})) \right]_{t=t_{j\theta}} \quad (32a)$$

$$-B(\omega(t - t_{i\theta})) = \begin{cases} 1 & (\text{if } t < t_{i\theta}) \\ 0 & (\text{if } t = t_{i\theta}) \\ -1 & (\text{if } t > t_{i\theta}) \end{cases} \quad (32b)$$

[0404] 同様に、式 (28b) の関数 $S(\xi_j(t_{i\xi}))$ は、関数 S が奇関数であること (図35 (c) 参照) を考慮して次式 (33a) により表されるので、 $\xi_j(t) = 0$ となる時刻 $t_{i\xi}$ を基準として、次式 (33b) のような時間関数 $S(t)$ を発生させ、 $t = t_{j\xi}$ の時点でのその関数値をとることにより $S(\xi_j(t_{i\xi}))$ を得ることができる。

[0405] [数33]

$$S(\xi_j(t_{i\xi})) = - \left[S(\omega(t - t_{i\xi})) \right]_{t=t_{j\xi}} \quad (33a)$$

$$-S(\omega(t - t_{i\xi})) = \begin{cases} 1 & (\text{if } -\pi + \alpha \leq \omega(t - t_{i\xi}) \leq -\alpha) \\ -1 & (\text{if } \alpha \leq \omega(t - t_{i\xi}) \leq \pi - \alpha) \\ 0 & (\text{otherwise}) \end{cases} \quad (33b)$$

[0406] 式 (33b) の時間関数 $S(t)$ を図37 (c) に示す。尚、式 (33b) は定義域を $[-T/2 \leq \omega(t - t_{i\xi}) \leq T/2]$ としているが、図37 (c) は定義域を $[0 \leq t - t_{i\xi} \leq 2T]$ にシフトしている。また、 $S(t)$ の正值部分 $S_+(t)$ と負値部分 $S_-(t)$ とに分けて、 $S(t) = S_+(t) - S_-(t)$ とし、図37 (c) では $S_+(t)$ 、 $S_-(t)$ を示している。

[0407] 同様に、式 (28a) の関数 $C(\xi_j(t_{i\theta}))$ は、関数 C が偶関数である

こと（図 3 5（d）参照）を考慮して次式（3 4 a）により表されるので、時刻 $t_{i\xi}$ を基準として、次式（3 4 b）のような時間関数 $C(t)$ を発生させ、 $t = t_{j\xi}$ の時点でのその関数値をとることにより $C(\xi_j(t_{i\xi}))$ を得ることができる。これを、図 3 7（d）に示す。

[0408] [数34]

$$C(\xi_j(t_{i\xi})) = \left[C(\omega(t - t_{i\xi})) \right]_{t=t_{j\xi}} \quad (34a)$$

$$C(\omega(t - t_{i\xi})) = \begin{cases} 1 & (\text{if } -\pi + \beta \leq \omega(t - t_{i\xi}) \leq \pi - \beta) \\ 0 & (\text{otherwise}) \end{cases} \quad (34b)$$

[0409] 以上のことを踏まえて、式（2 8 a）、（2 8 b）で表される更新演算を実現するための各節点ユニット 6 を構成した場合の機能構成図を、図 3 8 に示す。ここで、図 3 8 に示した節点ユニット 6 に対応する節点の座標は (m, n) であるものとする。

[0410] 図 3 8 において、節点ユニット 6 は、強度過程節点ユニット 7' とラベル過程節点ユニット 8' とを備えており、これらは、それぞれ図 4 の実部節点ユニット 7、虚部節点ユニット 8 に対応している。また、強度過程節点ユニット 7' 及びラベル過程節点ユニット 8' は、それぞれ、スパイク・ニューロン回路 2 0 i、2 0 l 及び状態値更新回路 2 7 i、2 7 l を備えており、これらは図 4 のスパイク・ニューロン回路 2 0 及び状態値更新回路 2 7 に対応している。

[0411] 強度過程節点ユニット 7' は、他に、A 関数演算回路 7 1 a、7 1 b、B 関数演算回路 7 2 a、7 2 b、及び B・C 関数演算回路 7 3 a、7 3 b、7 3 c、7 3 d を備えており、状態値更新回路 2 7 i は、各 B・C 関数演算回路 7 3 a、7 3 b、7 3 c、7 3 d に対応してパルス更新回路 7 4 a、7 4 b、7 4 c、7 4 d を備えている。

[0412] ラベル過程節点ユニット 8' は、他に、C 関数演算回路 7 5、S 関数演算回路 7 6、及び A・S 関数演算回路 7 7 a、7 7 b、7 7 c、7 7 d を備えており、状態値更新回路 2 7 l は、各 A・S 関数演算回路 7 7 a、7 7 b、7 7 c、7 7 d に対応してパルス更新回路 7 8 a、7 8 b、7 8 c、7 8 d

を備えている。

[0413] スパイク・ニューロン回路20iは、節点(m,n)の強度過程の位相 $\theta_{m,n}(t)$ を保持するとともに、一定の位相速度 ω で式(25a)に従って進行させる。そして、 $\theta_{m,n}(t)=0$ となる時刻 $t_{m,n\theta}$ にスパイク・パルスを出力する。従って、 $\theta_{m,n}(t)$ の更新がなければ、スパイク・ニューロン回路20iは一定の周期Tでスパイク・パルスを出力することになる。スパイク・パルスの時間位置 $t_{m,n\theta}$ は、節点(m,n)の強度過程の状態値(基準位相 θ_0 との位相差)を表す。そして、このスパイク・パルス($t_{m,n\theta}$)は、隣接する各節点の節点ユニット6に対しても出力される。

[0414] スパイク・ニューロン回路20lは、節点(m,n)のラベル過程の位相 $\xi_{m,n}(t)$ を保持するとともに、一定の位相速度 ω で式(25a)に従って進行させる。そして、 $\xi_{m,n}(t)=0$ となる時刻 $t_{m,n\xi}$ にスパイク・パルスを出力する。従って、 $\xi_{m,n}(t)$ の更新がなければ、スパイク・ニューロン回路20lは一定の周期Tでスパイク・パルスを出力することになる。スパイク・パルスの時間位置 $t_{m,n\xi}$ は、節点(m,n)のラベル過程の状態値(基準位相 ξ_0 との位相差)を表す。そして、このスパイク・パルス($t_{m,n\xi}$)は、隣接する各節点の節点ユニット6に対しても出力される。

[0415] A関数演算回路71a, 71bは、それぞれ、式(28b)の項 $A(\theta_j(t_{j\theta}))$ を計算する。A関数演算回路71aには、自己節点(m,n)のスパイク・パルス($t_{m,n\theta}$)と右隣接節点(m+1,n)のスパイク・パルス($t_{m+1,n\theta}$)が入力され、式(30)により $A(\theta_{m+1,n}(t_{m,n\theta}))$ が演算されて内部のレジスタに保持されるとともに、A・S関数演算回路77b及び右隣接節点(m+1,n)に対し出力される。A関数演算回路71bには、自己節点(m,n)のスパイク・パルス($t_{m,n\theta}$)と下隣接節点(m,n+1)のスパイク・パルス($t_{m,n+1\theta}$)が入力され、式(30)により $A(\theta_{m,n+1}(t_{m,n\theta}))$ が演算されて内部のレジスタに保持されるとともに、A・S関数演算回路77d及び下隣接節点(m,n+1)に対し出力される。

[0416] B関数演算回路72a, 72bは、それぞれ、式(28a)の項 $B(\theta_j(t_{j\theta}))$ を計算する。

$t_{i\theta}$) を計算する。B関数演算回路72aには、自己節点(m,n)のスパイク・パルス($t_{m,n\theta}$)と右隣接節点(m+1,n)のスパイク・パルス($t_{m+1,n\theta}$)が入力され、式(32a)により $B(\theta_{m+1,n}(t_{m,n\theta}))$ が演算されて内部のレジスタに保持されるとともに、B・C関数演算回路73b及び右隣接節点(m+1,n)に対し出力される。B関数演算回路72bには、自己節点(m,n)のスパイク・パルス($t_{m,n\theta}$)と下隣接節点(m,n+1)のスパイク・パルス($t_{m,n+1\theta}$)が入力され、式(32a)により $B(\theta_{m,n+1}(t_{m,n\theta}))$ が演算されて内部のレジスタに保持されるとともに、B・C関数演算回路73d及び下隣接節点(m,n+1)に対し出力される。

[0417] C関数演算回路75は、式(28a)の関数Cを出力する。C関数演算回路75には、自己節点(m,n)のスパイク・パルス($t_{m,n\xi}$)より半周期前にシフトしたパルス、すなわち、 $\xi_{m,n}(t)$ のリセット時に発生するリセットパルス($t_{m,n\xi} - T/2$)が入力される。リセットパルス($t_{m,n\xi} - T/2$)が入力されると、C関数演算回路75は式(34b)により定義された関数 $C(\omega(t - t_{m,n\xi}))$ をB・C関数演算回路73a, 73b, 73c, 73dに対して出力する。

[0418] S関数演算回路76は、式(28b)の関数Sを出力する。S関数演算回路76には、自己節点(m,n)のスパイク・パルス($t_{m,n\xi}$)及びリセットパルス($t_{m,n\xi} - T/2$)が入力される。リセットパルス($t_{m,n\xi} - T/2$)が入力されると、S関数演算回路76は式(33b)により定義された関数 $S(\omega(t - t_{m,n\xi}))$ をA・S関数演算回路77a, 77b, 77c, 77dに対して出力する。

[0419] B・C関数演算回路73a, 73b, 73c, 73dは、それぞれ、積 $B(\theta_{m,n-1}(t_{m,n\theta}))C(\omega(t - t_{m,n\xi}))$, $B(\theta_{m+1,n}(t_{m,n\theta}))C(\omega(t - t_{m,n\xi}))$, $B(\theta_{m-1,n}(t_{m,n\theta}))C(\omega(t - t_{m,n\xi}))$, $B(\theta_{m,n+1}(t_{m,n\theta}))C(\omega(t - t_{m,n\xi}))$ を演算し、パルス更新回路74a, 74b, 74c, 74dへ出力する。各B・C関数演算回路73a, 73b, 73c, 73dには、C関数演算回路75から共通に関数 $C(\omega(t - t_{m,n\xi}))$ が

入力される。また、B・C関数演算回路73aには、上隣接節点(m, n-1)の節点ユニット6から関数値 $B(\theta_{m, n-1}(t_{m, n\theta}))$ が入力され、これと関数 $C(\omega(t - t_{m, n\xi}))$ の積をパルス更新回路74aへ出力する。B・C関数演算回路73bには、自己節点(m, n)のB関数演算回路72aから関数値 $B(\theta_{m+1, n}(t_{m, n\theta}))$ が入力され、これと関数 $C(\omega(t - t_{m, n\xi}))$ の積をパルス更新回路74bへ出力する。B・C関数演算回路73cには、左隣接節点(m-1, n)の節点ユニット6から関数値 $B(\theta_{m-1, n}(t_{m, n\theta}))$ が入力され、これと関数 $C(\omega(t - t_{m, n\xi}))$ の積をパルス更新回路74cへ出力する。B・C関数演算回路73dには、自己節点(m, n)のB関数演算回路72bから関数値 $B(\theta_{m, n+1}(t_{m, n\theta}))$ が入力され、これと関数 $C(\omega(t - t_{m, n\xi}))$ の積をパルス更新回路74dへ出力する。

[0420] パルス更新回路74aには、B・C関数演算回路73aから積 $B(\theta_{m, n-1}(t_{m, n\theta})) C(\omega(t - t_{m, n\xi}))$ が入力されるとともに、上隣接節点(m, n-1)の節点ユニット6からスパイク・パルス($t_{m, n-1\xi}$)が入力される。これにより、時刻 $t_{m, n-1\xi}$ における関数値 $B(\theta_{m, n-1}(t_{m, n\theta})) C(\omega(t_{m, n-1\xi} - t_{m, n\xi}))$ を算出し、この関数値によりスパイク・ニューロン回路20iの位相 $\theta_{m, n}(t)$ を更新する。すなわち、式(28a)の和の演算を行う。

[0421] パルス更新回路74bには、B・C関数演算回路73bから積 $B(\theta_{m+1, n}(t_{m, n\theta})) C(\omega(t - t_{m, n\xi}))$ が入力されるとともに、右隣接節点(m+1, n)の節点ユニット6からスパイク・パルス($t_{m+1, n\xi}$)が入力される。これにより、時刻 $t_{m+1, n\xi}$ における関数値 $B(\theta_{m+1, n}(t_{m, n\theta})) C(\omega(t_{m+1, n\xi} - t_{m, n\xi}))$ を算出し、この関数値によりスパイク・ニューロン回路20iの位相 $\theta_{m, n}(t)$ を更新する。すなわち、式(28a)の和の演算を行う。

[0422] パルス更新回路74cには、B・C関数演算回路73cから積 $B(\theta_{m-1, n}(t_{m, n\theta})) C(\omega(t - t_{m, n\xi}))$ が入力されるとともに、左隣接節点(m-1, n)の節点ユニット6からスパイク・パルス($t_{m-1, n\xi}$)が入力される。これにより、時刻 $t_{m-1, n\xi}$ における関数値 $B(\theta_{m-1, n}(t_{m, n\theta})) C(\omega(t_{m-1, n\xi} - t_{m, n\xi}))$ を算出し、この関数値によりスパイク・ニューロン回路20iの位相 $\theta_{m, n}(t)$ を更新する。すなわち、式(28a)の和の演算を行う。

$\theta_{m,n}(t)$ を更新する。すなわち、式 (28a) の和の演算を行う。

- [0423] パルス更新回路 74d には、 $B \cdot C$ 関数演算回路 73d から積 $B(\theta_{m,n+1}(t_{m,n\theta})) C(\omega(t - t_{m,n\xi}))$ が入力されるとともに、下隣接節点 $(m, n+1)$ の節点ユニット 6 からスパイク・パルス $(t_{m,n+1\xi})$ が入力される。これにより、時刻 $t_{m,n+1\xi}$ における関数値 $B(\theta_{m,n+1}(t_{m,n\theta})) C(\omega(t_{m,n+1\xi} - t_{m,n\xi}))$ を算出し、この関数値によりスパイク・ニューロン回路 20i の位相 $\theta_{m,n}(t)$ を更新する。すなわち、式 (28a) の和の演算を行う。

- [0424] $A \cdot S$ 関数演算回路 77a, 77b, 77c, 77d は、それぞれ、積 $A(\theta_{m,n-1}(t_{m,n\theta})) S(\omega(t - t_{m,n\xi}))$, $A(\theta_{m+1,n}(t_{m,n\theta})) S(\omega(t - t_{m,n\xi}))$, $A(\theta_{m-1,n}(t_{m,n\theta})) S(\omega(t - t_{m,n\xi}))$, $A(\theta_{m,n+1}(t_{m,n\theta})) S(\omega(t - t_{m,n\xi}))$ を演算し、パルス更新回路 78a, 78b, 78c, 78d へ出力する。各 $A \cdot S$ 関数演算回路 77a, 77b, 77c, 77d には、 S 関数演算回路 76 から共通に関数 $S(\omega(t - t_{m,n\xi}))$ が入力される。また、 $A \cdot S$ 関数演算回路 77a には、上隣接節点 $(m, n-1)$ の節点ユニット 6 から関数値 $A(\theta_{m,n-1}(t_{m,n\theta}))$ が入力され、これと関数 $S(\omega(t - t_{m,n\xi}))$ の積をパルス更新回路 78a へ出力する。 $A \cdot S$ 関数演算回路 77b には、自己節点 (m, n) の A 関数演算回路 71a から関数値 $A(\theta_{m+1,n}(t_{m,n\theta}))$ が入力され、これと関数 $S(\omega(t - t_{m,n\xi}))$ の積をパルス更新回路 78b へ出力する。 $A \cdot S$ 関数演算回路 77c には、左隣接節点 $(m-1, n)$ の節点ユニット 6 から関数値 $A(\theta_{m-1,n}(t_{m,n\theta}))$ が入力され、これと関数 $S(\omega(t - t_{m,n\xi}))$ の積をパルス更新回路 78c へ出力する。 $A \cdot S$ 関数演算回路 77d には、自己節点 (m, n) の A 関数演算回路 71b から関数値 $A(\theta_{m,n+1}(t_{m,n\theta}))$ が入力され、これと関数 $S(\omega(t - t_{m,n\xi}))$ の積をパルス更新回路 78d へ出力する。

- [0425] パルス更新回路 78a には、 $A \cdot S$ 関数演算回路 77a から積 $A(\theta_{m,n-1}(t_{m,n\theta})) S(\omega(t - t_{m,n\xi}))$ が入力されるとともに、上隣接節点 $(m, n-1)$ の節点ユニット 6 からスパイク・パルス $(t_{m,n-1\xi})$ が入力される。これにより、時刻 $t_{m,n-1\xi}$ における関数値 $A(\theta_{m,n-1}(t_{m,n\theta})) S(\omega(t_{m,n-1\xi} - t_{m,n\xi}))$ を算出し、この関数値により $\theta_{m,n}(t)$ を更新する。すなわち、式 (28a) の和の演算を行う。

ξ_m) を算出し、この関数値によりスパイク・ニューロン回路 201 の位相 $\xi_{m,n}(t)$ を更新する。すなわち、式 (28b) の和の演算を行う。

[0426] パルス更新回路 78b には、A・S 関数演算回路 77b から積 $A(\theta_{m+1,n}(t_{m,n\theta})) S(\omega(t - t_{m,n\xi}))$ が入力されるとともに、右隣接節点 $(m+1, n)$ の節点ユニット 6 からスパイク・パルス $(t_{m+1,n\xi})$ が入力される。これにより、時刻 $t_{m+1,n\xi}$ における関数値 $A(\theta_{m+1,n}(t_{m,n\theta})) S(\omega(t_{m+1,n\xi} - t_{m,n\xi}))$ を算出し、この関数値によりスパイク・ニューロン回路 201 の位相 $\xi_{m,n}(t)$ を更新する。すなわち、式 (28b) の和の演算を行う。

[0427] パルス更新回路 78c には、A・S 関数演算回路 77c から積 $A(\theta_{m-1,n}(t_{m,n\theta})) S(\omega(t - t_{m,n\xi}))$ が入力されるとともに、左隣接節点 $(m-1, n)$ の節点ユニット 6 からスパイク・パルス $(t_{m-1,n\xi})$ が入力される。これにより、時刻 $t_{m-1,n\xi}$ における関数値 $A(\theta_{m-1,n}(t_{m,n\theta})) S(\omega(t_{m-1,n\xi} - t_{m,n\xi}))$ を算出し、この関数値によりスパイク・ニューロン回路 201 の位相 $\xi_{m,n}(t)$ を更新する。すなわち、式 (28b) の和の演算を行う。

[0428] パルス更新回路 78d には、A・S 関数演算回路 77d から積 $A(\theta_{m,n+1}(t_{m,n\theta})) S(\omega(t - t_{m,n\xi}))$ が入力されるとともに、下隣接節点 $(m, n+1)$ の節点ユニット 6 からスパイク・パルス $(t_{m,n+1\xi})$ が入力される。これにより、時刻 $t_{m,n+1\xi}$ における関数値 $A(\theta_{m,n+1}(t_{m,n\theta})) S(\omega(t_{m,n+1\xi} - t_{m,n\xi}))$ を算出し、この関数値によりスパイク・ニューロン回路 201 の位相 $\xi_{m,n}(t)$ を更新する。すなわち、式 (28b) の和の演算を行う。

[0429] 以上のようにして、節点ユニット 6 における式 (28a), (28b) の更新演算が実行される。次に、図 38 を具体的に回路により構成した例について説明する。

[0430] [3-3] 各節点ユニット 6 の回路構成

図 39 は、図 38 の節点ユニット 6 の回路ブロック図である。図 39 において、列選択信号線 9、及び初期値入力線 10 については、図 4 と同様であり、説明は省略する。また、強度過程節点ユニット 7' 及びラベル過程節点ユニット 8' は、それぞれ図 38 の同符号の構成部分に対応している。本実

施例に於ける節点ユニット6は、強度過程節点ユニット7'が図4の実部節点ユニット7に対応し、ラベル過程節点ユニット8'が図4の虚部節点ユニット8に対応しており、これらに対応して、図4の実部外部出力線11に対応する実部外部出力線11'、及び図4の虚部外部出力線12に対応するラベル過程外部出力線12'を備えている。

[0431] 本実施例においては、各節点ユニット $U_{m,n}$ には、隣接する各節点ユニット $U_{m',n'}$ ($m'=m-1, m+1$; $n'=n-1, n+1$) から、表3のようなパルスが入力される。表3において、「隣接節点方位」欄は、注目する節点ユニット $U_{m,n}$ に対し信号を出力する隣接節点ユニット $U_{m',n'}$ の方位（節点ユニット $U_{m,n}$ から見た方位）である。例えば、「上」は隣接節点ユニット $U_{m-1,n}$ を指す。「隣接節点種類」欄は、信号を出力する隣接節点ユニット $U_{m',n'}$ の種類（「強度過程節点ユニット7'」又は「ラベル過程節点ユニット8'」）を表す。

[0432] また、各節点ユニット $U_{m,n}$ からは、隣接する各節点ユニット $U_{m',n'}$ ($m'=m-1, m+1$; $n'=n-1, n+1$) に対し、表4のようなパルスが出力される。

[0433] さらに、各節点ユニット $U_{m,n}$ では、その内部の強度過程節点ユニット7'とラベル過程節点ユニット8'との間で、表5のようなパルスの入出力が行われる。

[0434] ここで、表3～表5の各パルスの記号法について説明すると、「A」、「B」は、それぞれ、式(22a)、(22b)の関数 $A(\Delta f_{n,m})$ 、 $B(\Delta f_{n,m})$ の演算結果に対応するパルスであることを意味する。「C」は、式(23b)の関数 $C(\Delta \phi_{n,m})$ の演算結果に対応するパルスであることを意味する。「Spike」はスパイク・パルスであることを意味し、「Comp」はスパイク・パルスに変換されていないコンパレータ出力（発火終了信号）であることを意味する。「left」、「right」、「top」、「bottom」はトリガパルスが入力される隣接方向を表す。「int」、「label」は、それぞれ、強度過程節点ユニット7'の出力 f 、ラベル過程節点ユニット8'の出力 ϕ であることを表す。

[0435]

[表3]

表 3: 各節点ユニットの入力パルス

隣接節点方位	隣接節点種類	入力パルス	説明
上	強度過程	A_{top} B_{top}	$A(\Delta f(m, n-1))$:関数値 $A(\theta_{m,n-1}(t_{m,n\theta}))$ $B(\Delta f(m, n-1))$:関数値 $B(\theta_{m,n-1}(t_{m,n\theta}))$
	ラベル過程	$Spike_label_top$	$\phi(m, n-1)$:スパイクパルス $(t_{m,n-1,\xi})$
下	強度過程	$Spike_int_bottom$ $Comp_int_bottom$	$f(m, n+1)$:スパイクパルス $(t_{m,n+1,\theta})$ $f(m, n+1)$:コンパレータ $(\theta_{m,n+1}(t) \geq 0)$ 出力
	ラベル過程	$Spike_label_bottom$	$\phi(m, n+1)$:スパイクパルス $(t_{m,n+1,\xi})$
左	強度過程	A_{left} B_{left}	$A(\Delta f(m-1, n))$:関数値 $A(\theta_{m-1,n}(t_{m,n\theta}))$ $B(\Delta f(m-1, n))$:関数値 $B(\theta_{m-1,n}(t_{m,n\theta}))$
	ラベル過程	$Spike_label_left$	$\phi(m-1, n)$:スパイクパルス $(t_{m-1,n,\xi})$
右	強度過程	$Spike_int_right$ $Comp_int_right$	$f(m+1, n)$:スパイクパルス $(t_{m+1,n,\theta})$ $f(m+1, n)$:コンパレータ $(\xi_{m+1,n}(t) \geq 0)$ 出力
	ラベル過程	$Spike_label_right$	$\phi(m+1, n)$:スパイクパルス $(t_{m+1,n,\xi})$

[0436] [表4]

表 4: 各節点ユニットの出力パルス

隣接節点方位	隣接節点種類	出力パルス	説明
上	強度過程	$Spike_int$ $Comp_int$	$f(m, n)$:スパイクパルス $(t_{m,n\theta})$ $f(m, n)$:コンパレータ $(\theta_{m,n}(t) > 0)$ 出力
	ラベル過程	$Spike_label$	$\phi(m, n)$:スパイクパルス $(t_{m,n,\xi})$
下	強度過程	A_{bottom} B_{bottom}	$A(\Delta f(m, n+1))$:関数値 $A(\theta_{m,n+1}(t_{m,n\theta}))$ $B(\Delta f(m, n+1))$:関数値 $B(\theta_{m,n+1}(t_{m,n\theta}))$
	ラベル過程	$Spike_label$	$\phi(m, n)$:スパイクパルス $(t_{m,n,\xi})$
左	強度過程	$Spike_int$ $Comp_int$	$f(m, n)$:スパイクパルス $(t_{m,n,\xi})$ $f(m, n)$:コンパレータ $(\theta_{m,n}(t) > 0)$ 出力
	ラベル過程	$Spike_label$	$\phi(m, n)$:スパイクパルス $(t_{m,n,\xi})$
右	強度過程	A_{right} B_{right}	$A(\Delta f(m+1, n))$:関数値 $A(\theta_{m+1,n}(t_{m,n\theta}))$ $B(\Delta f(m+1, n))$:関数値 $B(\theta_{m+1,n}(t_{m,n\theta}))$
	ラベル過程	$Spike_label$	$\phi(m, n)$:スパイクパルス $(t_{m,n,\xi})$

[0437] [表5]

表 5: 各節点ユニットの内部パルス

出力ユニット種類	内部パルス	説明
強度過程	A_{bottom} A_{right}	$A(\Delta f(m, n+1))$:関数値 $A(\theta_{m,n+1}(t_{m,n\theta}))$ $A(\Delta f(m+1, n))$:関数値 $A(\theta_{m+1,n}(t_{m,n\theta}))$
	C	$C(\phi(m, n))$:時間関数 $C(\omega(t - t_{i\xi}))$

[0438] [3-4] 強度過程節点ユニット7' の回路構成

図40は、強度過程節点ユニット7' の内部構成を表すブロック図である。図40において、列選択信号線9、初期値入力線10、強度過程外部出力

線 1 1' は、図 3 6 の同符号のものにそれぞれ対応している。また、図 4 0 の回路の構成部分において、図 3 8 の構成部分と対応するものについては、同符号が付されている。

[0439] この強度過程節点ユニット 7' は、スパイク・ニューロン回路 2 0 i、状態値更新回路 2 7 i、2 つの A 関数演算回路 7 1 a, 7 1 b、2 つの B 関数演算回路 7 2 a, 7 2 b、4 つの B・C 関数演算回路 7 3 a, 7 3 b, 7 3 c, 7 3 d、及び列選択スイッチ 2 8, 2 9 を備えている。また、状態値更新回路 2 7 i は、B・C 関数演算回路 7 3 a, 7 3 b, 7 3 c, 7 3 d のそれぞれに 1 対 1 対応して、パルス更新回路 7 4 a, 7 4 b, 7 4 c, 7 4 d を備えている。

[0440] ここで、列選択スイッチ 2 8, 2 9 は、図 5 の同符号のものに対応している。また、スパイク・ニューロン回路 2 0 i、状態値更新回路 2 7 i は、それぞれ、図 5 のスパイク・ニューロン回路 2 0、状態値更新回路 2 7 に相当するものである。

[0441] 実施例 1 の場合と同様、スパイク・ニューロン回路 2 0 i は、強度過程節点ユニット 7' に固有の位相状態値を保持する位相状態値保持手段として機能するとともに、位相状態値保持手段が保持する位相状態値を一定の位相速度 ω で経時的に変化させる位相進行手段、位相状態値保持手段が保持する位相状態値が最大位相状態値に達したときに、位相状態値を最小位相状態値にリセットする位相復位手段、及び位相状態値が零位相状態値を過ぎたときに発火して更新トリガを出力するトリガ発生手段として機能する。

[0442] 後述するように、スパイク・ニューロン回路 2 0 i は、内部に位相状態値保持用キャパシタ C_0 を備え、節点 (m, n) の強度過程に於ける位相 $\theta_{m,n}(t)$ を電荷量 $Q_0(t) = C_0 V_f(t)$ として保持する。従って位相 $\theta_{m,n}(t)$ の値は、位相状態値保持用キャパシタ C_0 の端子間電圧 $V_f(t)$ として取り出される。定常状態においては、位相 $\theta_{m,n}(t)$ は一定の位相速度 ω で式 (2 5 a) に従って常時進行するように構成されている。

[0443] スパイク・ニューロン回路 2 0 i には、列選択スイッチ 2 8 を介して初期

値入力線 10 から強度の初期値が入力される。列選択スイッチ 28 は、列選択信号 column_selector が H レベルのときに閉路し、強度値 $f(m, n)$ の初期値 $d(m, n)$ (画素値) が PWM 信号としてスパイク・ニューロン回路 20 i へ入力される。また、スパイク・ニューロン回路 20 i の位相状態値保持用キャパシタ C_0 には、各パルス更新回路 74 a, 74 b, 74 c, 74 d が出力する状態値更新電流が入力される。

[0444] スパイク・ニューロン回路 20 i は、位相 $\theta_{m,n}(t)$ が 0 を過ぎたときに発火する。スパイク・ニューロン回路 20 i は、発火したときにスパイク・パルス spike_int を出力し、このスパイク・パルス spike_int は左側及び上側に隣接する節点ユニット $U_{m-1,n}$, $U_{m,n-1}$ へ出力される (図 38, 図 39, 表 4 参照) とともに、各 A 関数演算回路 71 a, 71 b 及び各 B 関数演算回路 72 a, 72 b へ入力される。また、このスパイク・パルス spike_int は、セルラ構造ネットワーク演算が終了したときに、列選択スイッチ 29 を介して強度過程外部出力線 11' へ出力される。列選択スイッチ 29 は、列選択信号 column_selector が H レベルのときに閉路し、スパイク・パルス spike_int が強度過程外部出力線 11' へ出力される。

[0445] また、スパイク・ニューロン回路 20 i は、位相 $\theta_{m,n}(t)$ が 0 以上のときに H レベルとなり、0 未満のときに L レベルとなる発火終了信号 comp_int を出力する。この発火終了信号 comp_int は、上側及び左側に隣接する節点ユニット $U_{m,n-1}$, $U_{m-1,n}$ へ出力されるとともに (図 38, 図 39, 表 4 参照)、各 A 関数演算回路 71 a, 71 b 及び各 B 関数演算回路 72 a, 72 b へ入力される。

[0446] A 関数演算回路 71 a, 71 b は、式 (30), (31) に示した時間関数 $A(t)$ の関数値 $A(\theta_{m+1,n}(t_{m,n\theta}))$, $A(\theta_{m,n+1}(t_{m,n\theta}))$ を演算するとともにその演算値を保持する回路である。A 関数演算回路 71 a, 71 b には、ともにスパイク・ニューロン回路 20 が出力するスパイク・パルス spike_int 及び発火終了信号 comp_int が入力される。また、A 関数演算回路 71 a には、右隣接の節点ユニット $U_{m+1,n}$ が出力するスパイク・パルス spike_int_r

ight ($t_{m+1, n\theta}$) 及び発火終了信号comp_int_rightが入力され、A関数演算回路71bには、下隣接の節点ユニット $U_{m, n+1}$ が出力するスパイク・パルスspike_int_bottom ($t_{m, n+1\theta}$) 及び発火終了信号comp_int_bottomが入力される。A関数演算回路71aは、自己節点ユニット $U_{m, n}$ の発火終了信号comp_intをトリガとして式(31)の時間関数 $A(t)$ を発生させ(この場合、図37(a)の波形の時刻 $t = t_{i\theta}$ からスタートする)、スパイク・パルスspike_int_rightによって関数値 $A(\theta_{m+1, n}(t_{m, n\theta}))$ を表す電圧 A_{right} をホールドするとともに、これを右隣接の節点ユニット $U_{m+1, n}$ に対して出力する。A関数演算回路71bは、自己節点ユニット $U_{m, n}$ の発火終了信号comp_intをトリガとして式(31)の時間関数 $A(t)$ を発生させ、スパイク・パルスspike_int_bottomによって関数値 $A(\theta_{m, n+1}(t_{m, n\theta}))$ を表す電圧 A_{bottom} をホールドするとともに、これを下隣接の節点ユニット $U_{m, n+1}$ に対して出力する。

[0447] B関数演算回路72a, 72bは、式(32a), (32b)に示した時間関数 $B(t)$ の関数値 $B(\theta_{m+1, n}(t_{m, n\theta}))$, $B(\theta_{m, n+1}(t_{m, n\theta}))$ を演算するとともにその演算値を保持する回路である。B関数演算回路72a, 72bには、ともにスパイク・ニューロン回路20が出力するスパイク・パルスspike_int及び発火終了信号comp_intが入力される。また、B関数演算回路72aには、右隣接の節点ユニット $U_{m+1, n}$ が出力するスパイク・パルスspike_int_right ($t_{m+1, n\theta}$) 及び発火終了信号comp_int_rightが入力され、B関数演算回路72bには、下隣接の節点ユニット $U_{m, n+1}$ が出力するスパイク・パルスspike_int_bottom ($t_{m, n+1\theta}$) 及び発火終了信号comp_int_bottomが入力される。B関数演算回路72aは、自己節点ユニット $U_{m, n}$ の発火終了信号comp_intをトリガとして式(32b)の時間関数 $B(t)$ を発生させ(図37(b)参照)、スパイク・パルスspike_int_rightによって関数値 $B(\theta_{m+1, n}(t_{m, n\theta}))$ を表す電圧 B_{right} をホールドするとともに、これを右隣接の節点ユニット $U_{m+1, n}$ に対して出力する。B関数演算回路72bは、自己節点ユニット $U_{m, n}$ の発火終了信号comp_intをトリガとして式(32b)の時間関数 $B(t)$ を発生させ、スパイク・パルスspike_int_bottomによって関数値 $B(\theta_{m, n+1}(t_{m, n\theta}))$ を表す

電圧 B_bottom をホールドするとともに、これを下隣接の節点ユニット $U_{m,n+1}$ に対して出力する。

[0448] $B \cdot C$ 関数演算回路73a, 73b, 73c, 73dは、式(34b)に示した時間関数 $C(t)$ と関数値 B との積を演算する回路である。各 $B \cdot C$ 関数演算回路73a, 73b, 73c, 73dには、ともに自己節点ユニット $U_{m,n}$ に属するラベル過程節点ユニット8'が出力する時間関数 $C(t - t_{m,n\xi})$ が入力される。また、 $B \cdot C$ 関数演算回路73a, 73cには、それぞれ、上側及び左側に隣接する節点ユニット $U_{m,n-1}$, $U_{m-1,n}$ から入力される関数値 $B_top(B(\theta_{m,n-1}(t_{m,n\theta})))$, $B_left(B(\theta_{m-1,n}(t_{m,n\theta})))$ が入力され、 $B \cdot C$ 関数演算回路73a, 73cには、それぞれ、 B 関数演算回路72a, 72bが出力する関数値 $B_right(B(\theta_{m+1,n}(t_{m,n\theta})))$, $B_bottom(B(\theta_{m,n+1}(t_{m,n\theta})))$ が入力される。時間関数 $C(t - t_{m,n\xi})$ は、式(34b)で表される関数(ここでは、 $\omega = 1$)であり、ラベル過程の位相 $\xi_{m,n}(t)$ が0となる時刻 $t_{i\xi}$ を基準として、時間とともに図37(d)のように変化する。

[0449] $B \cdot C$ 関数演算回路73aは、時間変化する積関数 $C(t - t_{m,n\xi}) \cdot B(\theta_{m,n-1}(t_{m,n\theta}))$ の演算値をパルス更新回路74aに出力する。パルス更新回路74aには、前記積関数 $C(t - t_{m,n\xi}) \cdot B(\theta_{m,n-1}(t_{m,n\theta}))$ と、上隣接の節点ユニット $U_{m,n-1}$ のラベル過程節点ユニット8'が位相 $\xi_{m,n-1}(t)$ が0を過ぎる時刻 $t_{m,n-1\xi}$ に出力するスパイク・パルス $spike_label_top$ とが入力される。パルス更新回路74aは、スパイク・パルス $spike_label_top$ がHレベルの期間に $C(t_{m,n-1\xi} - t_{m,n\xi}) \cdot B(\theta_{m,n-1}(t_{m,n\theta}))$ の関数値に比例してスパイク・ニューロン回路20iの位相状態値保持用キャパシタ C_0 に電流を供給し、位相 $\theta_{m,n}(t)$ の更新を行う。

[0450] $B \cdot C$ 関数演算回路73bは、時間変化する積関数 $C(t - t_{m,n\xi}) \cdot B(\theta_{m+1,n}(t_{m,n\theta}))$ の演算値をパルス更新回路74bに出力する。パルス更新回路74bには、前記積関数 $C(t - t_{m,n\xi}) \cdot B(\theta_{m+1,n}(t_{m,n\theta}))$ と、右隣接の節点ユニット $U_{m+1,n}$ のラベル過程節点ユニット8'が位相 $\xi_{m+1,n}(t)$ が0を過ぎる時刻 $t_{m+1,n\xi}$ に出力するスパイク・パルス $spike_label_right$ とが入力される。パルス更新回

路 7 4 b は、スパイク・パルス spike_label_right が H レベルの期間に $C(t_{m+1,n\xi} - t_{m,n\xi}) \cdot B(\theta_{m+1,n}(t_{m,n\theta}))$ の関数値に比例してスパイク・ニューロン回路 20 i の位相状態値保持用キャパシタ C_0 に電流を供給し、位相 $\theta_{m,n}(t)$ の更新を行う。

[0451] B・C関数演算回路 7 3 c は、時間変化する積関数 $C(t - t_{m,n\xi}) \cdot B(\theta_{m-1,n}(t_{m,n\theta}))$ の演算値をパルス更新回路 7 4 c に出力する。パルス更新回路 7 4 c には、前記積関数 $C(t - t_{m,n\xi}) \cdot B(\theta_{m-1,n}(t_{m,n\theta}))$ と、左隣接の節点ユニット $U_{m-1,n}$ のラベル過程節点ユニット 8' が位相 $\xi_{m-1,n}(t)$ が 0 を過ぎる時刻 $t_{m-1,n\xi}$ に出力するスパイク・パルス spike_label_left とが入力される。パルス更新回路 7 4 c は、スパイク・パルス spike_label_left が H レベルの期間に $C(t_{m-1,n\xi} - t_{m,n\xi}) \cdot B(\theta_{m-1,n}(t_{m,n\theta}))$ の関数値に比例してスパイク・ニューロン回路 20 i の位相状態値保持用キャパシタ C_0 に電流を供給し、位相 $\theta_{m,n}(t)$ の更新を行う。

[0452] B・C関数演算回路 7 3 d は、時間変化する積関数 $C(t - t_{m,n\xi}) \cdot B(\theta_{m,n+1}(t_{m,n\theta}))$ の演算値をパルス更新回路 7 4 c に出力する。パルス更新回路 7 4 d には、前記積関数 $C(t - t_{m,n\xi}) \cdot B(\theta_{m,n+1}(t_{m,n\theta}))$ と、下隣接の節点ユニット $U_{m,n+1}$ のラベル過程節点ユニット 8' が位相 $\xi_{m,n+1}(t)$ が 0 を過ぎる時刻 $t_{m,n+1\xi}$ に出力するスパイク・パルス spike_label_bottom とが入力される。パルス更新回路 7 4 d は、スパイク・パルス spike_label_bottom が H レベルの期間に $C(t_{m,n+1\xi} - t_{m,n\xi}) \cdot B(\theta_{m,n+1}(t_{m,n\theta}))$ の関数値に比例してスパイク・ニューロン回路 20 i の位相状態値保持用キャパシタ C_0 に電流を供給し、位相 $\theta_{m,n}(t)$ の更新を行う。

[0453] [3-5] ラベル過程節点ユニット 8' の回路構成

図 4 1 は、ラベル過程節点ユニット 8' の内部構成を表すブロック図である。図 4 1 において、列選択信号線 9、初期値入力線 10、ラベル過程外部出力線 12' は、図 3 6 の同符号のものにそれぞれ対応している。また、図 4 1 の回路の構成部分において、図 3 8 の構成部分と対応するものについては、同符号が付されている。

- [0454] このラベル過程節点ユニット8'は、スパイク・ニューロン回路201、状態値更新回路271、C関数演算回路75、S関数演算回路76、4つのA・S関数演算回路77a, 77b, 77c, 77d、及び列選択スイッチ28, 29を備えている。また、状態値更新回路271は、A・S関数演算回路77a, 77b, 77c, 77dのそれぞれに1対1対応して、パルス更新回路78a, 78b, 78c, 78dを備えている。
- [0455] ここで、列選択スイッチ28, 29は、図5の同符号のものに対応している。また、スパイク・ニューロン回路201、状態値更新回路271は、それぞれ、図5のスパイク・ニューロン回路20、状態値更新回路27に相当するものである。
- [0456] 実施例1の場合と同様、スパイク・ニューロン回路201は、強度過程節点ユニット7'に固有の位相状態値を保持する位相状態値保持手段として機能するとともに、位相状態値保持手段が保持する位相状態値を一定の位相速度 ω で経時的に変化させる位相進行手段、位相状態値保持手段が保持する位相状態値が最大位相状態値に達したときに、位相状態値を最小位相状態値にリセットする位相復位手段、及び位相状態値が零位相状態値を過ぎたときに発火して更新トリガを出力するトリガ発生手段として機能する。
- [0457] 後述するように、スパイク・ニューロン回路201は、内部に位相状態値保持用キャパシタ C_0 を備え、節点(m, n)のラベル過程に於ける位相 $\xi_{m,n}(t)$ を電荷量 $Q_0(t) = C_0 V_p(t)$ として保持する。従って位相 $\xi_{m,n}(t)$ の値は、位相状態値保持用キャパシタ C_0 の端子間電圧 $V_p(t)$ として取り出される。定常状態においては、位相 $\xi_{m,n}(t)$ は一定の位相速度 ω で式(25a)に従って常時進行するように構成されている。
- [0458] スパイク・ニューロン回路201には、列選択スイッチ28を介して初期値入力線10からラベル位相の初期値が入力される。列選択スイッチ28は、列選択信号column_selectorがHレベルのときに閉路し、ラベル値 $\phi(m, n)$ の初期値 $\pi d(m, n)$ がPWM信号としてスパイク・ニューロン回路201へ入力される。また、スパイク・ニューロン回路201の位相状態値保持用キャパシ

タ C_0 には、各パルス更新回路 78 a, 78 b, 78 c, 78 d が出力する状態値更新電流が入力される。

[0459] スパイク・ニューロン回路 201 は、位相 $\xi_{m,n}(t)$ が 0 を過ぎたときに発火する。スパイク・ニューロン回路 201 は、発火したときにスパイク・パルス spike_label を出力し、このスパイク・パルス spike_label は上下左右に隣接する節点ユニット $U_{m,n-1}$, $U_{m,n+1}$, $U_{m-1,n}$, $U_{m+1,n}$ へ出力される（図 38, 図 39, 表 4 参照）とともに、S 関数演算回路 76 へ入力される。また、このスパイク・パルス spike_label は、セルラー構造ネットワーク演算が終了したときに、列選択スイッチ 29 を介してラベル過程外部出力線 12' へ出力される。列選択スイッチ 29 は、列選択信号 column_selector が H レベルのときに閉路し、スパイク・パルス spike_label がラベル過程外部出力線 12' へ出力される。

[0460] また、スパイク・ニューロン回路 201 は、位相 $\xi_{m,n}(t)$ が 0 以上のときに H レベルとなり、0 未満のときに L レベルとなる発火終了信号 comp_label を出力するとともに、位相 $\xi_{m,n}(t)$ がリセットされたときにスパイク・パルス spike_label_rst を出力する。発火終了信号 comp_label は、S 関数演算回路 76 へ出力される。スパイク・パルス spike_label_rst は、C 関数演算回路 75 及び S 関数演算回路 76 へ出力される。

[0461] C 関数演算回路 75 は、式 (34 b) に示した時間関数 $C(t)$ を強度過程節点ユニット 7' の各 B・C 関数演算回路 73 a, 73 b, 73 c, 73 d へ出力する。C 関数演算回路 75 は、位相 $\xi_{m,n}(t)$ がリセットされる時刻 $t_{m,n\xi} - T/2$ に出力される前記スパイク・パルス spike_label_rst をトリガとして式 (34 b) の時間関数 $C(t - t_{m,n\xi})$ を発生させる（図 37 (d) 参照）。

[0462] S 関数演算回路 76 は、式 (33 b) に示した時間関数 $S(t)$ を各 A・S 関数演算回路 77 a, 77 b, 77 c, 77 d へ出力する。S 関数演算回路 76 は、位相 $\xi_{m,n}(t)$ がリセットされる時刻 $t_{m,n\xi} - T/2$ に出力される前記スパイク・パルス spike_label_rst をトリガとして式 (33 b) の時間関

数 $S(t - t_{m,n\xi})$ を発生させる（図 37（c）参照）。ここで、時間関数 $S(t - t_{m,n\xi})$ は正值と負値とをとるので、 S 関数演算回路 76 は、図 37（c）のように正值関数 S_p と負値関数 S_n の 2 つを出力する。

[0463] $A \cdot S$ 関数演算回路 77 a, 77 b, 77 c, 77 d は、式（33 b）に示した時間関数 $S(t)$ と関数値 A との積を演算する回路である。各 $A \cdot S$ 関数演算回路 77 a, 77 b, 77 c, 77 d には、ともに S 関数演算回路 76 が出力する時間関数 $S(t - t_{m,n\xi})$ が入力される。また、 $A \cdot S$ 関数演算回路 77 a, 77 c には、それぞれ、上側及び左側に隣接する節点ユニット $U_{m,n-1}$, $U_{m-1,n}$ から入力される関数値 $A_{top}(A(\theta_{m,n-1}(t_{m,n\theta})))$, $A_{left}(A(\theta_{m-1,n}(t_{m,n\theta})))$ が入力され、 $A \cdot S$ 関数演算回路 77 a, 77 c には、それぞれ、自己節点ユニット $U_{m,n}$ に属する強度過程節点ユニット 7' の A 関数演算回路 71 a, 71 b が出力する関数値 $A_{right}(A(\theta_{m+1,n}(t_{m,n\theta})))$, $A_{bottom}(A(\theta_{m,n+1}(t_{m,n\theta})))$ が入力される。時間関数 $S_+(t - t_{m,n\xi})$, $S_-(t - t_{m,n\xi})$ は、式（33 b）で表される関数（ここでは、 $\omega = 1$ ）の正值部分、負値部分であり、ラベル過程の位相 $\xi_{m,n}(t)$ が 0 となる時刻 $t_{i\xi}$ を基準として、時間とともに図 37（c）のように変化する。

[0464] $A \cdot S$ 関数演算回路 77 a は、時間変化する積関数 $A(\theta_{m,n-1}(t_{m,n\theta})) \cdot S(t - t_{m,n\xi})$ の演算値をパルス更新回路 78 a に出力する。パルス更新回路 78 a には、前記積関数 $A(\theta_{m,n-1}(t_{m,n\theta})) \cdot S(t - t_{m,n\xi})$ と、上隣接の節点ユニット $U_{m,n-1}$ のラベル過程節点ユニット 8' が位相 $\xi_{m,n-1}(t)$ が 0 を過ぎる時刻 $t_{m,n-1\xi}$ に出力するスパイク・パルス spike_label_top とが入力される。パルス更新回路 78 a は、スパイク・パルス spike_label_top が H レベルの期間に $A(\theta_{m,n-1}(t_{m,n\theta})) \cdot S(t_{m,n-1\xi} - t_{m,n\xi})$ の関数値に比例してスパイク・ニューロン回路 201 の位相状態値保持用キャパシタ C_0 に電流を供給し、位相 $\xi_{m,n}(t)$ の更新を行う。

[0465] $A \cdot S$ 関数演算回路 77 b は、時間変化する積関数 $A(\theta_{m+1,n}(t_{m,n\theta})) \cdot S(t - t_{m,n\xi})$ の演算値をパルス更新回路 78 b に出力する。パルス更新回路 78 b には、前記積関数 $A(\theta_{m+1,n}(t_{m,n\theta})) \cdot S(t - t_{m,n\xi})$ と、右隣接の節点ユニット $U_{m+1,n}$ のラベル過程節点ユニット 8' が位相 $\xi_{m+1,n}(t)$ が 0 を過ぎる時刻 $t_{m+1,n\xi}$ に出

力するスパイク・パルスspike_label_rightとが入力される。パルス更新回路78bは、スパイク・パルスspike_label_rightがHレベルの期間に $A(\theta_{m+1,n}(t_{m,n\theta})) \cdot S(t_{m+1,n\xi} - t_{m,n\xi})$ の関数値に比例してスパイク・ニューロン回路201の位相状態値保持用キャパシタ C_0 に電流を供給し、位相 $\xi_{m,n}(t)$ の更新を行う。

[0466] A・S関数演算回路77cは、時間変化する積関数 $A(\theta_{m-1,n}(t_{m,n\theta})) \cdot S(t - t_{m,n\xi})$ の演算値をパルス更新回路78cに出力する。パルス更新回路78cには、前記積関数 $A(\theta_{m-1,n}(t_{m,n\theta})) \cdot S(t - t_{m,n\xi})$ と、左隣接の節点ユニット $U_{m-1,n}$ のラベル過程節点ユニット8'が位相 $\xi_{m-1,n}(t)$ が0を過ぎる時刻 $t_{m-1,n\xi}$ に出力するスパイク・パルスspike_label_leftとが入力される。パルス更新回路78cは、スパイク・パルスspike_label_leftがHレベルの期間に $A(\theta_{m-1,n}(t_{m,n\theta})) \cdot S(t_{m-1,n\xi} - t_{m,n\xi})$ の関数値に比例してスパイク・ニューロン回路201の位相状態値保持用キャパシタ C_0 に電流を供給し、位相 $\xi_{m,n}(t)$ の更新を行う。

[0467] A・S関数演算回路77dは、時間変化する積関数 $A(\theta_{m,n+1}(t_{m,n\theta})) \cdot S(t - t_{m,n\xi})$ の演算値をパルス更新回路78dに出力する。パルス更新回路78dには、前記積関数 $A(\theta_{m,n+1}(t_{m,n\theta})) \cdot S(t - t_{m,n\xi})$ と、下隣接の節点ユニット $U_{m,n+1}$ のラベル過程節点ユニット8'が位相 $\xi_{m,n+1}(t)$ が0を過ぎる時刻 $t_{m,n+1\xi}$ に出力するスパイク・パルスspike_label_bottomとが入力される。パルス更新回路78dは、スパイク・パルスspike_label_bottomがHレベルの期間に $A(\theta_{m,n+1}(t_{m,n\theta})) \cdot S(t_{m,n+1\xi} - t_{m,n\xi})$ の関数値に比例してスパイク・ニューロン回路201の位相状態値保持用キャパシタ C_0 に電流を供給し、位相 $\xi_{m,n}(t)$ の更新を行う。

[0468] [3-6] スパイク・ニューロン回路の回路構成

図42は、ラベル過程節点ユニット8'におけるスパイク・ニューロン回路201の構成例(a)及びその動作(b)を示す図である。尚、強度過程節点ユニット7'におけるスパイク・ニューロン回路201も同様の構成である。図42に示したスパイク・ニューロン回路201は、位相状態値保持

用キャパシタ C_0 、2つの電流源 I_1 、 I_2 、2つのコンパレータ CMP_1 、 CMP_2 、2つのトリガパルス生成器 PG_1 、 PG_2 、及び3つのスイッチ回路 S_1 、 S_2 、 S_3 を備えている。

[0469] スパイク・ニューロン回路201の構成及び動作は、基本的に図6に示したスパイク・ニューロン回路20の構成と同様であるため、詳細な説明は省略する。尚、発火終了信号 $comp_label$ は、コンパレータ CMP_2 の出力であり、図42(b)に示したように、位相 $\xi_{m,n}(t)$ が0となる時刻にHレベルに立ち上がり、位相 $\xi_{m,n}(t)$ がリセットされる時刻にLレベルに立ち下がる波形となる。

[0470] [3-7] A関数演算回路71a、71bの回路構成

図43は、A関数演算回路71a、71bの構成例を示す回路図であり、図44は、図43のA関数演算回路71a、71bの動作例を示すタイムチャートである。図35(a)より、関数Aは正值(+1)又は負値(-1)の値をとる。図43の回路では、関数Aの値が正值の状態を出力AがHレベルの状態とし、関数Aの値が負値の状態を出力AがLレベルの状態とする。

[0471] 図43において、 PG_1 、 PG_2 はパルス生成器、 $RS-FF$ はRSフリップ・フロップ、 M_1 は $RS-FF$ のリセット・スイッチであるnMOSFETである。スパイク・パルス $spike_int$ 、発火終了信号 $comp_int$ は、自己節点ユニット U_i のスパイク・ニューロン回路20iが出力するスパイク・パルス $spike_int$ 、発火終了信号 $comp_int$ である(図40参照)。また、スパイク・パルス $spike_int_j$ 及び発火終了信号 $comp_int_j$ は、隣接節点ユニット U_j (右隣接節点ユニット $U_{m+1,n}$ 、下隣接節点ユニット $U_{m,n+1}$) のスパイク・ニューロン回路20iが出力するスパイク・パルス ($spike_int_right$ 、 $spike_int_bottom$) 及び発火終了信号 ($comp_int_right$ 、 $comp_int_bottom$) である(図40参照)。以下、 $spike_int$ 、 $comp_int$ の値を F_i 、 G_i 、 $spike_int_j$ 、 $comp_int_j$ の値を F_j 、 G_j と記す。

[0472] 図44(a)に示したように、スパイク・パルス $spike_int$ 、 $spike_int_j$ は、節点ユニット U_i 、 U_j の強度過程の位相状態値電圧 V_{fi} 、 V_{fj} は零値電

圧 V_{middle} を過ぎた時点（すなわち、位相 θ_i , θ_j が0を過ぎた時点）で発生する短時間のパルスである。また、発火終了信号 $comp_int$, $comp_int_j$ は、スパイク・パルス $spike_int$, $spike_int_j$ が発生した時点でHレベルに立ち上がり、位相状態値電圧 V_{fi} , V_{fj} が最小値電圧 V_{low} にリセットされた時点でLレベルに立ち下がる。また、パルス生成器PG1, PG2は、それぞれ、スパイク・パルス $spike_int$, $spike_int_j$ をトリガとして、パルス幅 Q' （ $=T/2-Q$ ）（図37参照）のパルス Q_i , Q_j を出力する。

[0473] 図43において、RS-FFのセット入力S及びリセット入力Rは、次のように表される。

[0474] [数35]

$$S = (F_i \wedge G_j \wedge Q_j) \vee (F_j \wedge G_i \wedge Q_i) \quad (35a)$$

$$R = (F_i \wedge G_j \wedge \overline{Q_j}) \vee (F_j \wedge G_i \wedge \overline{Q_i}) \quad (35b)$$

ここで「 $\wedge$ 」はAND演算子、「 $\vee$ 」はOR演算子である。

[0475] また、パルス Q_i , Q_j は、スパイク・パルス $spike_int$, $spike_int_j$ の発生時刻 $t_{i\theta}$, $t_{j\theta}$ にHレベルに立ち上がり、時刻 $t_{i\theta}$, $t_{j\theta}$ から時間 Q' だけ経過した時点でLレベルに立ち下がる。すなわち、図44(b)に示したように、パルス Q_i , Q_j は時間関数 $A(t)$ の $t > 0$ の部分となる。

[0476] 従って、セット入力Sには節点ユニット U_i , U_j のうち遅く発火した方の発火時点 $\max(t_{i\theta}, t_{j\theta})$ において、もう一方のパルス Q_k ($k=\operatorname{argmin}(t_{i\theta}, t_{j\theta})$)がHレベルのとき（すなわち、 $\max(t_{i\theta}, t_{j\theta}) - \min(t_{i\theta}, t_{j\theta}) < Q'$ のとき）にパルスが出力され、RS-FFの出力がHレベルにセットされる。また、セット入力Rには節点ユニット U_i , U_j のうち遅く発火した方の発火時点 $\max(t_{i\theta}, t_{j\theta})$ において、もう一方のパルス Q_k ($k=\operatorname{argmin}(t_{i\theta}, t_{j\theta})$)がLレベルのとき（すなわち、 $\max(t_{i\theta}, t_{j\theta}) - \min(t_{i\theta}, t_{j\theta}) > Q'$ のとき）にパルスが出力され、RS-FFの出力がLレベルにリセットされる。これにより、 $A(\theta_j(t_{i\theta}))$ ($=A(\theta_i(t_{j\theta}))$)の値が設定され、その値はRS-FFに保持される。

[0477] [3-8] B関数演算回路72a, 72bの回路構成

図 4 5 は、B 関数演算回路 7 2 a, 7 2 b の構成例を示す回路図であり、
図 4 6 は、図 4 5 の B 関数演算回路 7 2 a, 7 2 b の動作例を示すタイムチャートである。図 3 5 (b) より、関数 B は正值 (+1) 又は負値 (-1) の値をとる。図 4 5 の回路では、関数 B の値が正值の状態を出力 B が H レベルの状態とし、関数 B の値が負値の状態を出力 B が L レベルの状態とする。

[0478] 図 4 5 において、RS-FF は RS フリップ・フロップ、M1 は RS-FF のリセット・スイッチである nMOSFET である。

[0479] スパイク・パルス spike_int, spike_int_j 及び発火終了信号 comp_int, comp_int_j は、図 4 3, 図 4 4 の同符号のものと同様である。また、図 4 3, 図 4 4 と同様に、spike_int, comp_int の値を F_i , G_i 、spike_int_j, comp_int_j の値を F_j , G_j と記す。

[0480] 図 4 5 において、RS-FF のセット入力 S 及びリセット入力 R は、次式のように表される。

[0481] [数 36]

$$S = (F_i \wedge \overline{G_j}) \vee (F_j \wedge G_i) \quad (36a)$$

$$R = (F_i \wedge G_j) \vee (F_j \wedge \overline{G_i}) \quad (36b)$$

[0482] 従って、節点ユニット U_i の発火時刻が節点ユニット U_j の発火時刻よりも遅い場合、セット入力 S には、節点ユニット U_i , U_j の発火時刻 $t_{i\theta}$, $t_{j\theta}$ にスパイク・パルスが出力される。従って、最初のスパイク・パルスの時刻 $t_{j\theta}$ に RS-FF の出力が H レベルにセットされる。逆に、節点ユニット U_i の発火時刻が節点ユニット U_j の発火時刻よりも早い場合、セット入力 R には、節点ユニット U_i , U_j の発火時刻 $t_{i\theta}$, $t_{j\theta}$ にスパイク・パルスが出力される。従って、最初のスパイク・パルスの時刻 $t_{i\theta}$ に RS-FF の出力が L レベルにリセットされる。すなわち、発火時刻 $t_{i\theta}$, $t_{j\theta}$ と RS-FF の出力の関係は図 4 6 (b), (c) に示したようになるので、RS-FF には $B(\theta_j(t_{i\theta}))$ ($=B(\theta_i(t_{j\theta}))$) の値が設定され、その値は RS-FF に保持される。

[0483] [3-9] C 関数演算回路 7 5 及び S 関数演算回路 7 6 の回路構成

図 4 7 は、C 関数演算回路 7 5 及び S 関数演算回路 7 6 の構成例を示す回

路図であり、図 4 8 は、図 4 7 の C 関数演算回路 7 5 及び S 関数演算回路 7 6 の動作例を示すタイムチャートである。

- [0484] 図 4 7 において、スパイク・パルス spike_label_rst は、自己節点ユニット U_i のスパイク・ニューロン回路 2 0 1 の位相状態値電圧 $V_p(t)$ (位相 $\xi_i(t)$) がリセットされた時刻に出力されるスパイク・パルスである。スパイク・パルス spike_label は、位相状態値電圧 $V_p(t)$ が零値電圧 V_{middle} を過ぎたときに出力されるスパイク・パルスである。また、パルス comp_label は、位相状態値電圧 $V_p(t)$ が零値電圧 V_{middle} より小さいときに L レベル、大きいときに H レベルとなる。
- [0485] パルス生成器 PG 1 は、入力されるスパイク・パルスが立ち上がったときに、時間幅 β のパルスを出力する。パルス生成器 PG 2, PG 3 は、入力されるスパイク・パルスが立ち上がったときに、時間幅 α のパルスを出力する。
- [0486] この回路により、C 関数演算回路 7 5 は、図 4 8 のように、位相状態値電圧 $V_p(t)$ (位相 $\xi_i(t)$) がリセットされた時刻を起点として時間 β だけ H レベルとなり、その後 L レベルに立ち下がる。従って、C 関数演算回路 7 5 からは、図 3 7 (d) の時間関数 $C(t - t_{i\xi})$ の反転値 (負論理値) が出力される。
- [0487] また、S 関数演算回路 7 6 は、図 4 8 のように、出力 S_p は、位相状態値電圧 $V_p(t)$ が零値電圧 V_{middle} を過ぎた時刻を起点として時間 α だけ遅延し H レベルとなり、その後 L レベルに立ち下がる。また、出力 S_n は、位相状態値電圧 $V_p(t)$ がリセットされた時刻を起点として時間 α だけ遅延し H レベルとなり、その後 L レベルに立ち下がる。これにより、S 関数演算回路 7 6 からは、図 3 7 (c) に示したような時間関数 $S(t - t_{i\xi})$ が出力される。
- [0488] [3-10] A・S 関数演算回路の回路構成

図 4 9 は、図 4 1 の A・S 関数演算回路 7 7 (A・S 関数演算回路 7 7 a, 7 7 b, 7 7 c, 7 7 d) の回路構成を示す図である。入力信号は、A, S_p , S_n の 3 つである。入力信号 A は、関数値 $A(\theta_j(t_{i\theta}))$ が正値 (+1) のと

きにHレベル、関数値 $A(\theta_j(t_{i\theta}))$ が負値（-1）のときにLレベルとなる。また、時間関数 $S(t-t_{i\xi})$ が正値（+1）のときには入力信号 S_p がHレベルとなり、時間関数 $S(t-t_{i\xi})$ が負値（-1）のときには入力信号 S_n がHレベルとなる。このA・S関数演算回路77は、入力信号A, S_p , S_n に対し、次式のような出力信号 $update_p$, $update_n$ を生成し、パルス更新回路78a, 78b, 78c, 78dに出力する。尚、 $update_p$ は負論理（Lアクティブ）の信号である。

[0489] [数37]

$$update_p = \overline{(A \wedge S_p) \vee (\bar{A} \wedge S_n)} \quad (37a)$$

$$update_n = (\bar{A} \wedge S_p) \vee (A \wedge S_n) \quad (37b)$$

[0490] 出力信号 $update_p$ は $A(\theta_j(t_{i\theta})) \cdot S(t_{j\xi}-t_{i\xi})$ が正値（+1）をとる場合にアサートされる（Lレベルとなる）。また、出力信号 $update_n$ は $A(\theta_j(t_{i\theta})) \cdot S(t_{j\xi}-t_{i\xi})$ が負値（-1）をとる場合にアサートされる（Hレベルとなる）。

[0491] [3-11] B・C関数演算回路の回路構成

図50は、図40のB・C関数演算回路73（B・C関数演算回路73a, 73b, 73c, 73d）の回路構成を示す図である。入力信号は、B, Cの2つである。

入力信号Bは、関数値 $B(\theta_j(t_{i\theta}))$ が正値（+1）のときにHレベル、関数値 $B(\theta_j(t_{i\theta}))$ が負値（-1）のときにLレベルとなる。また、入力信号Cは負論理信号であり、時間関数 $C(t-t_{i\xi})$ が正値（+1）のときにはLレベル、時間関数 $C(t-t_{i\xi})$ が0値のときにはHレベルとなる。このB・C関数演算回路73は、入力信号B, Cに対し、次式のような出力信号 $update_p$, $update_n$ を生成し、パルス更新回路74a, 74b, 74c, 74dに出力する。尚、 $update_p$ は負論理（Lアクティブ）の信号である。

[0492] [数38]

$$update_p = \overline{B \wedge C} \quad (38a)$$

$$update_n = B \wedge \bar{C} \quad (38b)$$

[0493] 出力信号update_pは $B(\theta_j(t_{i\theta})) \cdot C(t_{j\xi} - t_{i\xi})$ が正値(+1)をとる場合にアサートされる(Lレベルとなる)。また、出力信号update_nは $B(\theta_j(t_{i\theta})) \cdot C(t_{j\xi} - t_{i\xi})$ が負値(-1)をとる場合にアサートされる(Hレベルとなる)。

[0494] [3-12] パルス更新回路の回路構成

図51は、図40のパルス更新回路74(パルス更新回路74a, 74b, 74c, 74d)及び図41のパルス更新回路78(パルス更新回路78a, 78b, 78c, 78d)の構成例を示す回路図である。

[0495] パルス更新回路74, 78の入力信号は、spike_label_j, update_p, update_n, hf_p(又はhp_p), hf_n(又はhp_n)の5つである。入力信号spike_label_jは、図40, 図41のspike_label_top, spike_label_bottom, spike_label_left, spike_label_rightの何れかを表す。また、入力信号update_p, update_nは、図49又は図50のupdate_p, update_nに対応する。入力信号hf_p, hf_n(又はhp_p, hp_n)は、更新式(28a)(又は更新式(28b))の更新係数 $h_f/4$ (又は $h_\phi\pi/4$)の大きさに比例する電圧信号である。

[0496] パルス更新回路74, 78は、3つのpMOSFET M1, M2, M3、3つのnMOSFET M4, M5, M6、及びインバータINV1を備えており、pMOSFET M1, M2, M3及びnMOSFET M4, M5, M6は、電源と接地面との間にこの順で直列接続されている。そして、pMOSFET M3のドレインとnMOSFET M4のドレインとの共通接続ノードn1が出力ノードであり、ノードn1はスパイク・ニューロン回路20i, 20lの位相状態値保持用キャパシタC₀に接続されている。

[0497] nMOSFET M6のゲートには、入力信号spike_label_jが入力され、pMOSFET M1のゲートにはインバータINV1を介して入力信号spike_label_jの反転値が入力される。従って、M6, M1は入力信号spike_label_jがHレベルのときにオン状態となるスイッチである。

[0498] pMOSFET M2のゲートには、負論理入力信号update_pが入力される

。従って、 $M2$ は、 $B(\theta_j(t_{i\theta})) \cdot C(t_{j\xi} - t_{i\xi})$ 又は $A(\theta_j(t_{i\theta})) \cdot S(t_{j\xi} - t_{i\xi})$ が
 正值（+1）をとるときにオン状態となるスイッチである。

[0499] $nMOSFET$ $M5$ のゲートには、正論理入力信号 $update_n$ が入力される。
 。従って、 $M5$ は、 $B(\theta_j(t_{i\theta})) \cdot C(t_{j\xi} - t_{i\xi})$ 又は $A(\theta_j(t_{i\theta})) \cdot S(t_{j\xi} - t_{i\xi})$ が
 負値（-1）をとるときにオン状態となるスイッチである。

[0500] $pMOSFET$ $M3$ は線形領域で動作し、そのゲートには係数信号 hf_p （
 又は hp_p ）が入力される。また、 $nMOSFET$ $M4$ は線形領域で動作し、
 そのゲートには係数信号 hf_n （又は hp_n ）が入力される。従って、 $B(\theta_j(t_{i\theta})) \cdot C(t_{j\xi} - t_{i\xi})$ （又は $A(\theta_j(t_{i\theta})) \cdot S(t_{j\xi} - t_{i\xi})$ ）が正值のときには出力ノード
 $n1$ に $h_f/4$ （又は $h_\phi \pi/4$ ）に比例した電流が流入し、 $B(\theta_j(t_{i\theta})) \cdot C(t_{j\xi} - t_{i\xi})$ （又は $A(\theta_j(t_{i\theta})) \cdot S(t_{j\xi} - t_{i\xi})$ ）が負値のときには出力ノード
 $n1$ から $h_f/4$ （又は $h_\phi \pi/4$ ）に比例した電流が流出する。これにより、
 更新式（28a）、（28b）の更新が行われる。

〔4〕全体の動作

図52に、本実施例の情報処理装置1の演算動作を表すタイムチャートを示す。

実施例 7

[0501] 実施例7では、本発明に係る情報処理装置を、動画像内の物体の動き検出
 を行うための動き検出装置に適用した例について説明する。動き検出アルゴ
 リズムとしては、国際公開公報WO2006/104033号パンフレット
 に記載された、脳の海馬C3領野のニューロン活動モデルを用いたリアルタイム
 動き検出アルゴリズムを使用する。

[0502] 〔1〕動き検出アルゴリズムの概要

最初に、本実施例の情報処理装置において実現する演算のアルゴリズムに
 ついて説明する（詳細については、WO2006/104033を参照）。
 脳のC3領野では、信号入力部位からニューロン活動が波紋状に伝搬する。
 波紋の半径は時間に依存して拡大するとともに、その強度は減衰していく。
 これを、ニューロン活動の放射状伝搬という。

[0503] 図53は、ニューロン活動の放射状伝搬に基づく動き検出プロセスの説明図である。図54は、本実施例のセルラー構造ネットワークの全体構成を表す図である。

[0504] 図53(a)はカメラで撮影された原画像から輪郭抽出がされたエッジ画像の情報が入力される実画像マップであり、ACネットという。ACネットは図53(a)のように、中心を通る動径と同心の長方形とによりマス目に画分されている。1つのマス目は1個のニューロン・セルに対応する。各マス目は、長方形の対角線により「上象限」、「下象限」、「左象限」、「右象限」の4つの象限に区分される。以下、上象限、下象限、左象限、及び右象限に属するACネットの部分を、それぞれ、AC(u)、AC(d)、AC(l)、AC(r)と記す(図54参照)。

[0505] ACネットの各象限のマス目は、図53(b)のような長方形に配列されたマス目と一対一対応する。この長方形格子状に結合した図53(b)のマス目(ニューロン)の配列をCA3ネットという。CA3ネットの1つのマス目は1個のニューロン・セルに対応する。上下左右の4つの象限に対応して4つのCA3ネットが存在する。

[0506] さらに、図54に示すように、CA3ネットの各マス目に1対1に対応する長方形格子状に結合したマス目(ニューロン)の配列であるCA1ネットを用意する。1つのCA3ネットに対し、(接近方向、遠退方向、左方向、右方向)又は(上方向、下方向、接近方向、遠退方向)の動き方向を検出するための4つのCA1ネットが存在する。従って、CA1ネットは全部で16個存在する。CA1ネットの1つのマス目も1個のニューロン・セルに対応する。CA1ネットの各ニューロン・セルは、それぞれ、固有の状態値変数を保持しており、この状態値変数をPと記す。状態値変数Pは時間変化し、 $P = P(t)$ と表される。

[0507] 各象限のACネットのニューロンの座標を(m, n)と記す。各象限の座標軸m, nは図53(a)に示したように設定する。各象限のACネットに対応するCA3ネットの各ニューロン(m, n)は当該ACネットの各ニューロン(m, n

）に対応する（図53（b）参照）。同様に、各CA1ネットの各ニューロン (m, n) は、それに対応するCA3ネットの各ニューロン (m, n) に対応する。

[0508] ここで、4つの動き検出方向（{接近方向，遠退方向，左方向，右方向}又は{上方向，下方向，接近方向，遠退方向}）のうちの何れかの動き検出方向に並列するニューロン・セルの列を考える。例えば、図53（b）は、上象限のACネット（AC（u））に対応するCA3ネット（CA3（u））である。CA3（u）はN行M列の格子状に配列されたニューロン・セルの集合体である。図53（b）のCA3（u）において、例えば、図53（b）に示したように、動き検出方向を接近方向とする場合を考える。この場合、動き検出方向には、N個のニューロン・セルの配列が並行してM列存在する。各ニューロン配列において、動き検出方向に対して昇順となるように各ニューロン・セルに番号（1，…， $i-1$ ， i ， $i+1$ ，…，N）を付す。ここで、CA3（u）の接近方向に対しては、図54に示したCA1ネット（CA1（u_a））が対応している。そこで、CA1（u_a）にも、CA3（u）に対応して、並行するM列のニューロン配列があるので、同様に各列の各ニューロン・セルに番号（1，…， $i-1$ ， i ， $i+1$ ，…，N）を付す。また、CA3（u）に対応する上象限のACネット（AC（u））についても、CA3（u）に対応して、並行するM列のニューロン配列があるので、同様に各列の各ニューロン・セルに番号（1，…， $i-1$ ， i ， $i+1$ ，…，N）を付す。以下、各ネットの番号 i のニューロン・セルを「ニューロン（ i ）」と記す。

[0509] それぞれの動き検出方向に対して、図53（c）に示すように、ACネットのニューロン（ i ）はCA3ネットのニューロン（ i ）に結合している。また、CA3ネットのニューロン（ i ）は、CA1ネットのニューロン（ i ）及びニューロン（ $i+1$ ）に結合している。エッジ信号が入力されると、ACネットの各ニューロン（ i ）は、結合されたCA3ネットのニューロン（ i ）に対して検出信号を出力する。また、CA3ネットの各ニューロン（

i) は、前記検出信号が入力されると、結合されたCA1ネットのニューロン(i+1)に対して開始信号を出力するとともに、結合されたCA1ネットのニューロン(i)に対して停止信号を出力する。

[0510] 次に、上述したセルラー構造ネットワークを用いた動き検出の原理について説明する。図55は、図53、図54のセルラー構造ネットワークを用いた動き検出の原理を説明する図である。

[0511] ここでは、上下左右の何れかの象限において、ある動き検出方向を考える。図55(a)に示すように、ある時刻 t_1 において、ACネットのニューロン(i-1)にエッジ像が入力され始めたとする。すると、ACネットのニューロン(i-1)は、CA3ネットのニューロン(i-1)に対し検出信号のスパイク・パルスを出力する(図53(c)参照)。CA3ネットのニューロン(i-1)は、検出信号のスパイク・パルスが入力されると、結合されたCA1ネットのニューロン(i-1)に対し停止信号のスパイク・パルスを出力し、同時に、結合されたCA1ネットのニューロン(i)に対し開始信号のスパイク・パルスを出力する(図53(c)参照)。CA1ネットのニューロン(i-1)は、停止信号のスパイク・パルスが入力されると、自己の保持する状態値変数 $P_{i-1}(t_1)$ の値をホールドし、その値を動き検出信号として出力する。また、CA1ネットのニューロン(i)は、開始信号のスパイク・パルスが入力されると、自己の保持する状態値変数 $P_i(t_1)$ の値を初期値 P_0 にリセットするとともに、一定の減衰率 α で経時的な時間変化を開始させる。すなわち、開始信号のスパイク・パルスの入力時刻を t_1 とすると、CA1ネットのニューロン(i)の状態値変数 $P_i = P_i(t)$ は時刻 t_1 以降に次式のように時間変化する。

[0512] [数39]

$$P_i(t) = P_0 - \alpha(t - t_1) \quad (39)$$

[0513] 次に、時間とともにエッジ像が移動して、図55(b)に示すように、時刻 t_2 においてエッジ像はACネットのニューロン(i)に移動したとする。すると、ACネットのニューロン(i)は、CA3ネットのニューロン(i

）に対し検出信号のスパイク・パルスを出力する。CA3ネットのニューロン（ i ）は、検出信号のスパイク・パルスが入力されると、結合されたCA1ネットのニューロン（ i ）に対し停止信号のスパイク・パルスを出力し、同時に、結合されたCA1ネットのニューロン（ $i+1$ ）に対し開始信号のスパイク・パルスを出力する。CA1ネットのニューロン（ i ）は、停止信号のスパイク・パルスが入力されると、自己の保持する状態値変数 $P_i(t_2)$ の値をホールドし、その値を動き検出信号として出力する。また、CA1ネットのニューロン（ i ）は、開始信号のスパイク・パルスが入力されると、自己の保持する状態値変数 $P_{i+1}(t_2)$ の値を初期値 P_0 にリセットするとともに、一定の減衰率 α で経時的な時間変化を開始させる。

[0514] ここで、CA1ネットのニューロン（ i ）が出力する動き検出信号 $P_i(t_2)$ により、エッジ像がACネットのニューロン（ $i-1$ ）を通過するのに要した時間 Δt_{i-1} を次式によって算出することができる。

[0515] [数40]

$$\Delta t_{i-1} = t_2 - t_1 = \frac{P_0 - P_i(t_2)}{\alpha} \quad (40)$$

[0516] したがって、この動き検出信号によって、エッジ像の位置とその動き方向に対する速度の両方を検出することができる。CA1ネットは、各象限のCA3ネットに対し、それぞれ4つの動き検出方向ごとに1つずつ存在するので、すべての動き検出方向について、エッジ像の位置とその動き方向に対する速度をリアルタイムに検出することができる。

[0517] [2] 情報処理装置の構成

図56は、本発明の実施例6に係る情報処理装置の全体構成を表す図である。本実施例の情報処理装置1は、節点ユニットネットワーク2、基準位相発生部2a、入力部3、出力部4、及び全体制御部5を備えている。これらは、実施例1の図1の同符号のものに対応する。

[0518] 入力部3は、カメラ81、フレーム・メモリ82、エッジ画像生成部83、及びACネット84を備えている。カメラ81は、動画像を撮像するビデ

カメラである。フレーム・メモリ 82 は、カメラ 81 により撮像された動画像のフレーム画像を一時的に蓄積する。エッジ画像生成部 83 は、フレーム・メモリ 82 に蓄積されたフレーム画像を 1 フレームずつ読み込んでフレーム画像内のエッジ像を抽出し、エッジ画像を出力する。エッジ像の抽出方法は現在公知の種々の方法を使用することができる。

[0519] AC ネット 84 は、図 53 (a) に示した AC ネットを回路的に実現したものである。AC ネット 84 は、上象限、下象限、左象限、及び右象限の 4 つの象限に対応して、それぞれ $M \times N$ 個の格子状に配列された節点ユニット（ニューロン・セル）を具備している（図 53 (b) 参照）。AC ネット 84 には、前記エッジ画像が入力される。入力されたエッジ画像を図 53 (a) に示したマス目に画分し、各マス目にエッジ像が存在するか否かを検出する。エッジ像が検出されたマス目に対応する節点ユニット（ニューロン・セル）から検出信号が出力される。

[0520] 節点ユニットネットワーク 2 は、AC ネット 84 内の上象限、下象限、左象限、及び右象限に対応して、4 つの CA3 ネット CA3 (u), CA3 (d), CA3 (l), CA3 (r) を具備している。そして、各 CA3 ネット CA3 (u), CA3 (d), CA3 (l), CA3 (r) は、それぞれ図 53 (b) と同様に、 $M \times N$ 個の格子状に配列された節点ユニット（ニューロン・セル）を具備している。そして各 CA3 ネット内の各節点ユニットは、AC ネット 84 内の対応する節点ユニットと結線されている。AC ネット 84 内の各節点ユニットは、それぞれ結線された CA3 ネット内の各節点ユニットに対し、検出信号を出力する。

[0521] 節点ユニットネットワーク 2 は、CA3 (u) に対して、4 つの動き検出方向（接近方向、遠退方向、左方向、右方向）に対応する CA1 ネット（CA1 (ua), CA1 (ub), CA1 (ul), CA1 (ur)）を備えている。また、CA3 (d) に対して、4 つの動き検出方向（接近方向、遠退方向、左方向、右方向）に対応する CA1 ネット（CA1 (da), CA1 (db), CA1 (dl), CA1 (dr)）を備えている。また、CA

3 (l) に対して、4つの動き検出方向（接近方向、遠退方向、上方向、下方向）に対応するCA1ネット（CA1 (la), CA1 (lb), CA1 (lu), CA1 (ld)）を備えている。また、CA3 (r) に対して、4つの動き検出方向（接近方向、遠退方向、上方向、下方向）に対応するCA1ネット（CA1 (ra), CA1 (rb), CA1 (ru), CA1 (rd)）を備えている。それぞれのCA1ネットは、それぞれ図53 (b) と同様に、M×N個の格子状に配列された節点ユニット（ニューロン・セル）を具備している。そして、各CA1ネット内の各節点ユニットは、対応するCA3ネット内の節点ユニットと結線されている。

[0522] ここで、各CA1ネット内の各節点ユニットとCA3ネット内の節点ユニットとは、図57、図58に示すように結線されている。図57は、上象限に対応するCA3ネット（CA3 (u)）内の各節点ユニットとそれに対応するCA1ネット（CA1 (ua), CA1 (ub), CA1 (ul), CA1 (ur)）内の各節点ユニットとの結線状態を表す図であり、図58は、図57のCA3ネット（CA3 (u)）内の1つの節点ユニット(m, n)に結線されるCA1ネット内の節点ユニットを示した図である。尚、図57、図58は、上象限の場合について示しているが、他の象限についても同様であり、ここでは上象限の場合を代表として説明する。

[0523] 以下では、CA3ネット（CA3 (ξ) (ξ = u, d, l, r)）内の座標(m, n)の節点ユニットをCA3 (ξ) (m, n) と記す。また、CA1ネット（CA3 (ξ η) (ξ = u, d, l, r; η = a, b, l, r 又は η = a, b, u, d)）内の座標(m, n)の節点ユニットをCA1 (ξ η) (m, n) と記す。

[0524] 図58に示すように、節点ユニットCA3 (u) (m, n) は、動き検出方向が接近方向の場合に対応して、節点ユニットCA1 (ua) (m, n), CA1 (ua) (m, n+1) と結線されている。また、動き検出方向が遠退方向の場合に対応して、節点ユニットCA1 (ub) (m, n), CA1 (ub) (m, n-1) と結線されている。また、動き検出方向が左方向の場合に対応して、節点

ユニットCA1 (u l) (m, n), CA1 (u l) (m-1, n) と結線されている。また、動き検出方向が右方向の場合に対応して、節点ユニットCA1 (u r) (m, n), CA1 (u r) (m+1, n) と結線されている。

- [0525] 図59は、図56の4個のCA3ネット内の各節点ユニットCA3 (ξ) (m, n) の回路構成を示す図である。各節点ユニットCA3 (ξ) (m, n) は、位相状態値保持用キャパシタC₀、電流原I₁、コンパレータCMP1, CMP2、トリガパルス生成器PG1, PG2、AND回路、RSフリップ・フロップRS-FF、及びスイッチ回路S1, S2, S3, S4を備えている。節点ユニットCA3 (ξ) (m, n) は、固有の状態値 $P_{\xi; m, n}(t)$ を、位相 $\theta_{\xi; m, n}(t)$ として保有する。具体的には、位相 $\theta_{\xi; m, n}(t)$ は、位相状態値保持用キャパシタC₀に充電される電荷として保持され、図59のノードn1の電圧 V_r として取り出される。尚、位相状態値保持用キャパシタC₀、電流原I₁、コンパレータCMP1、トリガパルス生成器PG2、及びスイッチ回路S1, S2からなる位相 $\theta_{\xi; m, n}(t)$ を進行させる回路は、図6のものと同様の構成であり、この動作は実施例1で説明した通りである。

- [0526] RSフリップ・フロップRS-FFの出力ノードn2がLレベルの状態では、スイッチ回路S3が閉路し、スイッチ回路S4は開路する。従って、この状態では位相 $\theta_{\xi; m, n}(t)$ は、最大位相 ($V_r = V_{\text{high}}$) に達すると最小位相0 ($V_r = V_{\text{low}}$) にリセットされる。一方、RSフリップ・フロップRS-FFの出力ノードn2がHレベルの状態では、スイッチ回路S4が閉路し、スイッチ回路S3は開路する。従って、この状態では位相 $\theta_{\xi; m, n}(t)$ は、最大位相 ($V_r = V_{\text{high}}$) に達すると中間位相 ($V_r = V_{\text{middle}}$) にリセットされる。

- [0527] 節点ユニットCA3 (ξ) (m, n) に対応するACネット84内の節点ユニットAC (ξ) (m, n) からは、検出信号AC $_{\xi; m, n}$ が入力される。検出信号AC $_{\xi; m, n}$ は、節点ユニットAC (ξ) (m, n) でエッジ像が検出されたときにHレベル、検出されないときにLレベルとなる信号である。トリガパルス生成器PG1は、検出信号AC $_{\xi; m, n}$ の立ち上がりと立ち下がりでスパイク・パル

スを出力する。トリガパルス生成器PG1からスパイク・パルスが出力されると、RSフリップ・フロップRS-FFの出力ノードn2がHレベルに設定され、位相 $\theta_{\xi;m,n}(t)$ は、リセット時に中間位相($V_r = V_{middle}$)にリセットされる状態となる。一度、位相 $\theta_{\xi;m,n}(t)$ のリセットが発生すると、RSフリップ・フロップRS-FFの出力ノードn2がLレベルに設定されるため、次回からは位相 $\theta_{\xi;m,n}(t)$ は、リセット時に最小位相0($V_r = V_{low}$)にリセットされる状態となる。

[0528] 尚、位相 $\theta_{\xi;\eta;m,n}(t)$ のリセット時にトリガパルス生成器PG2で発生するスパイク・パルス $spike_CA3_{\xi;m,n}$ は、AND回路を介して、開始信号及び停止信号 $spike_attn_CA3_{\xi;m,n}$ として、結線されたCA1ネット内の各節点ユニットへ出力される。AND回路は、コンパレータCMP2の出力がHレベルの場合、すなわち、 $V_r < V_{middle}$ の場合で、且つ、更新許可信号 $update_ena$ がHレベルの場合にのみスパイク・パルス $spike_attn_CA3_{\xi;m,n}$ を出力するように制御するために設けられているものである。

[0529] ここで、更新許可信号 $update_ena$ は、更新可能な時間帯を定めるウィンドウの役目をする信号であり、基準位相が中間位相となる時刻を中心として $T/2$ 程度の幅でHレベルとなる周期的なパルスとされる。更新許可信号 $update_ena$ は、基準位相発生部2aにおいて生成される。

[0530] 図56の16個のCA1ネット内の各節点ユニットCA1($\xi;\eta$)(m,n)は、図5及び図6と同様の構成を備えている。各節点ユニットCA1($\xi;\eta$)(m,n)は、固有の状態値 $P_{\xi;\eta;m,n}(t)$ を、位相 $\theta_{\xi;\eta;m,n}(t)$ として保有する。具体的には、位相 $\theta_{\xi;\eta;m,n}(t)$ は、位相状態値保持用キャパシタ C_0 に充電される電荷として保持される。実施例1の場合と同様、位相 $\theta_{\xi;\eta;m,n}(t)$ は時間とともに一定の位相速度 ω で単調増加し、最大位相 θ_{max} に達したときにスパイク・パルスを出力し、最小位相 θ_{min} にリセットされる。

[0531] なお、実施例1の場合と同様、図56の全体制御部5は、節点ユニットネットワーク2の各節点ユニットCA1($\xi;\eta$)(m,n)に、更新係数やパルス遅延量などのパラメータを設定するとともに、それら節点ユニットの動作制

御を行う。また、基準位相発生部 2 a は、基本的に図 6 (a) に示したスパイク・ニューロン回路 20 と同様の構成を有し、位相状態値の更新がされない基準位相 $\theta_b(t) = \omega t$ のスパイク・パルス spk_f を出力し続ける。

[0532] [3] 情報処理装置の動作

図 60 は、実施例 6 に係る情報処理装置の各節点ユニット $CA1(\xi, \eta)$ (m, n) の動作を示すタイムチャートである。

[0533] エッジ画像は、一定の周期 T_f で AC ネット 84 に入力される。そこで、各節点ユニット $CA1(\xi, \eta)$ (m, n) の位相 $\theta_{\xi, \eta; m, n}(t)$ の周期 $T = (\theta_{\max} - \theta_{\min}) / \omega$ も $T = T_f$ とする。

[0534] 図 60 は、ある象限の CA3 ネットのある動き検出方向の節点ユニットの列の 1 つに注目し、その節点ユニット列の $i-1$ 番目と i 番目の節点ユニットと、それに対応する AC ネット 84 内の節点ユニット、及び CA1 ネット内の節点ユニットに注目し、これらの節点ユニットの動作を示している。

[0535] AC_{i-1} , AC_i は、それぞれ、AC ネット 84 内の $i-1$ 番目, i 番目の節点ユニットが出力する検出信号の値を示す。 $CA3_{i-1}$, $CA3_i$ は、それぞれ、CA3 ネット内の $i-1$ 番目, i 番目の節点ユニットの位相 $\theta_{\xi; i-1}(t)$, $\theta_{\xi; i}(t)$ の値を示す。 $CA1_i$ は、CA1 ネット内の i 番目の節点ユニットの位相 $\theta_{\xi, \eta; i}(t)$ の値を示す。 Spike-CA3_{i-1} , Spike-CA3_i は、それぞれ、CA3 ネット内の $i-1$ 番目, i 番目の節点ユニットが出力するスパイク・パルスを示す。 Update_ena は、各 CA3 ネット内の各節点ユニット及び各 CA1 ネット内の各節点ユニットに対して入力される更新許可信号 (図 5 参照) の値を示す。更新許可信号 Update_ena が H レベルのときに、各節点ユニットは、結合された節点ユニット (図 57, 図 58 参照) に対してスパイク・パルスを出力し、更新許可信号 Update_ena が L レベルのときには、スパイク・パルスは出力されない。

Output_Trig は、一定の周期 T で出力部 4 に対して入力されるスパイク・パルスであり、「出力トリガ」という。この出力トリガ Output_Trig は、基準位相発生部 2 a により生成され、AC ネット 84 にエッジ画像が入力されるタイ

ミングに対して半周期 $T/2$ だけ遅延して出力される。出力部 4 は、出力トリガ Output_Trig が入力されると、その時点での CA1 ネット内の各節点ユニットの位相 $\theta_{\xi\eta;i}(t)$ の値を取得して出力する。また、各

[0536] 時刻 T において、AC ネット 84 内の $i-1$ 番目の節点ユニット AC (ξ) ($i-1$) においてエッジ像が検出される。すると、節点ユニット AC (ξ) ($i-1$) は、CA3 ネットの節点ユニット CA3 (ξ) ($i-1$) に出力する検出信号 $AC_{\xi;i-1}$ を H レベルとする。

[0537] 節点ユニット CA3 (ξ) ($i-1$) においては、検出信号 $AC_{\xi;i-1}$ を H レベルとなると、RS フリップ・フロップ RS-FF の出力ノード $n2$ が H レベルに設定され、位相 $\theta_{\xi\eta;i-1}(t)$ が最大位相 ($V_r = V_{high}$) に達すると中間位相 ($V_r = V_{middle}$) にリセットされる。そして、RS フリップ・フロップ RS-FF の出力ノード $n2$ は再び L レベルに設定される。この操作によって、節点ユニット CA3 (ξ) ($i-1$) の位相 $\theta_{\xi;i-1}(t)$ は中間位相分だけ進み、位相 $\theta_{\xi;i-1}(t)$ のリセット時刻が更新許可信号 update_ena のウィンドウ内に位置するようになる。

[0538] 時刻 T から $3T$ までの間、AC ネット 84 内の $i-1$ 番目の節点ユニット AC (ξ) ($i-1$) においてエッジ像が検出され続けるため、検出信号 $AC_{\xi;i-1}$ は H レベルに維持される。この間、位相 $\theta_{\xi;i-1}(t)$ が最大位相 ($V_r = V_{high}$) に達する毎に、節点ユニット CA3 (ξ) ($i-1$) は、CA1 ネットの節点ユニット CA1 ($\xi\eta$) (i) に対して開始信号 spike_attn_CA3 $_{\xi;i-1}$ を出力する。節点ユニット CA1 ($\xi\eta$) (i) は開始信号 spike_attn_CA3 $_{\xi;i-1}$ が入力されると、自己の位相 $\theta_{\xi\eta;i}(t)$ を $\Delta\theta$ だけ更新される。従って、開始信号 spike_attn_CA3 $_{\xi;i-1}$ が入力される回数に比例して、節点ユニット CA1 ($\xi\eta$) (i) の位相 $\theta_{\xi\eta;i}(t)$ の更新量が大きくなる。

[0539] 時刻 $3T$ において、エッジ像が AC ネット 84 内の $i-1$ 番目の節点ユニット AC (ξ) ($i-1$) から i 番目の節点ユニット AC (ξ) (i) へ移動する。すると、節点ユニット AC (ξ) ($i-1$) は、CA3 ネットの節点ユニット CA3 (ξ) ($i-1$) に出力する検出信号 $AC_{\xi;i-1}$ を L レベル

とし、節点ユニットCA3 (ξ) (i) は、CA3 ネットの節点ユニットCA3 (ξ) (i) に出力する検出信号AC $_{\xi;i}$ をHレベルとする。

[0540] 節点ユニットCA3 (ξ) ($i-1$) では、検出信号AC $_{\xi;i-1}$ がLレベルに立ち下がると、RSフリップ・フロップRS-FFの出力ノードn2がHレベルに設定され、位相 $\theta_{\xi\eta;i-1}(t)$ が次に最大位相($V_r = V_{high}$)に達する時刻 $(3 + 1/2)T$ に中間位相($V_r = V_{middle}$)にリセットされる。そして、RSフリップ・フロップRS-FFの出力ノードn2は再びLレベルに設定される。この操作によって、節点ユニットCA3 (ξ) ($i-1$) の位相 $\theta_{\xi;i-1}(t)$ は中間位相分だけ進み、位相 $\theta_{\xi;i-1}(t)$ のリセット時刻が更新許可信号update_enaのウィンドウの外側に位置するようになる。

[0541] 一方、節点ユニットCA3 (ξ) (i) では、検出信号AC $_{\xi;i}$ がHレベルに立ち上がると、RSフリップ・フロップRS-FFの出力ノードn2がHレベルに設定され、同時に位相 $\theta_{\xi;i}(t)$ が最大位相($V_r = V_{high}$)に達するため位相 $\theta_{\xi;i}(t)$ が中間位相($V_r = V_{middle}$)にリセットされる。そして、RSフリップ・フロップRS-FFの出力ノードn2は再びLレベルに設定される。この操作によって、節点ユニットCA3 (ξ) (i) の位相 $\theta_{\xi;i}(t)$ は中間位相だけ進み、位相 $\theta_{\xi;i}(t)$ のリセット時刻が更新許可信号update_enaのウィンドウ内に位置するようになる。そして、時刻 $(3 + 1/2)T$ に位相 $\theta_{\xi;i}(t)$ は再び最大位相($V_r = V_{high}$)に達する。このとき、節点ユニットCA3 (ξ) (i) は、CA1 ネットの節点ユニットCA1 ($\xi\eta$) (i) に対して出力トリガoutput_Trig $_{\xi;i}$ を出力する。節点ユニットCA1 ($\xi\eta$) (i) は、出力トリガoutput_Trig $_{\xi;i}$ が入力されると、その時点において保持する自己の位相 $\theta_{\xi\eta;i}(t)$ を出力部4に出力するとともに、自己の位相 $\theta_{\xi\eta;i}(t)$ を最小位相0にリセットする。これにより、AC ネット84内の*i*-1番目の節点ユニットAC (ξ) ($i-1$) においてエッジ像が検出された時間が、位相 $\theta_{\xi\eta;i}(t)$ の基準位相との位相差として出力部4に出力され、動きの方向とその大きさが検出されることになる。

符号の説明

- [0542] 1 情報処理装置
- 2 節点ユニットネットワーク
- 2 a 基準位相発生部
- 3 入力部
- 4 出力部
- 5 全体制御部
- 6 節点ユニット
- 7 実部節点ユニット
- 7' 強度過程節点ユニット
- 8 虚部節点ユニット
- 8' ラベル過程節点ユニット
- 9 列選択信号線
- 10 初期値入力線
- 11 実部外部出力線
- 11' 強度過程外部出力線
- 12 虚部外部出力線
- 12' ラベル過程外部出力線
- 13 ピクセル・アレイ
- 14 列セレクト
- 15, 16 ドライバ
- 20, 20 i, 20 l スパイク・ニューロン回路
- 21 遅延パルス生成器
- 22 更新許可スイッチ
- 23, 24, 25, 26 セレクト付きパルス生成器
- 27, 27 i, 27 l 状態値更新回路
- 28, 29 列選択スイッチ
- 30, 31 インバータ回路
- 32 NOR回路

- 3 3 デマルチプレクサ
- 3 5 正パルス更新回路
- 3 6 負パルス更新回路
- 4 0 状態値パルス生成回路
- 4 1 パルス遅延回路
- 4 2 E X O R 論理回路
- 4 3 O R 論理回路
- 4 4, 4 5 トリガー・フリップフロップ
- 4 5 デマルチプレクサ
- 5 1 N O R 回路
- 6 1 位相状態値保持手段
- 6 2 位相進行手段
- 6 3 位相復位手段
- 6 4 トリガ発生手段
- 6 5 位相更新手段
- 7 1 a, 7 1 b A 関数演算回路
- 7 2 a, 7 2 b B 関数演算回路
- 7 3, 7 3 a, 7 3 b, 7 3 c, 7 3 d B・C 関数演算回路
- 7 4, 7 4 a, 7 4 b, 7 4 c, 7 4 d パルス更新回路
- 7 5 C 関数演算回路
- 7 6 S 関数演算回路
- 7 7, 7 7 a, 7 7 b, 7 7 c, 7 7 d A・S 関数演算回路
- 7 8, 7 8 a, 7 8 b, 7 8 c, 7 8 d パルス更新回路
- 8 1 カメラ
- 8 2 フレーム・メモリ
- 8 3 エッジ画像生成部
- 8 4 A C ネット
- C₀, C₁ 位相状態値保持用キャパシタ

C_2 ゼロオフセット用キャパシタ

I_1 , I_2 電流源

CMP_1 , CMP_2 , CMP_3 コンパレータ

PG トリガパルス生成器

S_1 , S_2 , S_3 , S_4 , S_5 , S_{10} , S_{11} , S_{12} , S_{13} , S_{14} ,
 S_{15} , S_{20} , S_{21} , S_{22} , S_{23} , S_{24} , S_{25} スイッチ回路

M_1 , M_2 , M_3 , M_4 , M_5 , M_6 , M_7 , M_8 , M_9 電界効果トランジスタ

D パルス遅延器

TFF , TFF_1 , TFF_2 トリガー・フリップフロップ

INV_1 , INV_2 , INV_3 , INV_4 , INV_5 , INV_6 インバータ

n_1 出力ノード

n_2 , n_3 , n_4 , n_5 , n_6 , n_7 , n_8 , n_9 , n_{10} , n_{11} 中間ノード

V_{ref} 対照電圧

V_{middle} 零値電圧

V_{high} 最大値電圧

V_{low} 最小値電圧

D_{out} デジタル出力信号

$Delay-sp_k$ 遅延パルス

V_{c2} 端子間電圧

V_{th} 閾値電圧

V_r 位相状態値電圧

sp_k スパイク・パルス

請求の範囲

[請求項1]

複数の節点ユニットが相互結合した節点ユニットネットワークを有する情報処理装置であって、

前記各節点ユニットは、

当該節点ユニットの固有の位相を表す位相状態値を保持する位相状態値保持手段と、

前記位相状態値保持手段が保持する前記位相状態値を所定の位相速度 ω で経時的に変化させる位相進行手段と、

前記位相状態値保持手段が保持する前記位相状態値が所定の閾値である最大位相状態値に達したときに、前記位相状態値を所定の初期値である最小位相状態値にリセットする位相復位手段と、

前記位相状態値保持手段が保持する前記位相状態値が、位相が零値であることを表す所定の零位相状態値を過ぎたときに、更新トリガを出力するトリガ発生手段と、

隣接する前記節点ユニットである隣接節点ユニットの前記トリガ発生手段が前記更新トリガを出力したとき、当該隣接節点ユニットの隣接方位に応じて、その時点で前記位相状態値保持手段が保持する前記位相状態値を、当該位相状態値に前記隣接方位により予め設定された更新係数を乗じた値だけ変化させ、又は当該位相状態値を前記隣接方位により予め設定された所定の関数 f で変換した値だけ変化させることにより、前記位相状態値の更新を行う位相更新手段と、
を備え、

当該節点ユニットの位相状態値と、隣接接点ユニットの位相状態値との差に比例する値、又は前記差を前記関数 f で変換した値だけ、当該節点ユニットの位相状態値を更新する計算を行うことを特徴とする情報処理装置。

[請求項2]

前記最大位相状態値から前記最小位相状態値を差し引いた差を前記位相速度 ω の平均値で除して得られる時間を基本周期 T としたとき、

基本周期 T で自己更新トリガを出力する自己更新トリガ発生手段を備え、

前記各節点ユニットは、

前記自己更新トリガ発生手段が前記自己更新トリガを出力したとき、その時点で前記位相状態値保持手段が保持する前記位相状態値を、当該位相状態値に予め設定された自己更新係数を乗じた値だけ変化させ、又は当該位相状態値を前記隣接方位により予め設定された所定の関数 f で変換した値だけ変化させることにより、前記位相状態値の更新を行う自己位相更新手段を備えた請求項 1 記載の情報処理装置。

[請求項3] 前記トリガ発生手段は、前記位相状態値保持手段が保持する前記位相状態値が前記位相復位手段によりリセットされた時点から所定の遅延時間 T_d だけ遅延した時点で前記更新トリガを出力することを特徴とする請求項 1 又は 2 記載の情報処理装置。

[請求項4] 前記位相状態値保持手段は、当該節点ユニットの固有の位相を表す位相状態値を電荷量として保持する位相状態値保持用キャパシタであり、

前記位相進行手段は、前記位相状態値保持用キャパシタに対して所定の充電電流を給電する電流源であり、

前記位相更新手段は、前記隣接節点ユニットの前記トリガパルス生成器が前記更新トリガを出力したとき、当該隣接節点ユニットの隣接方位に応じて、その時点での前記位相状態値保持用キャパシタの端子間電圧 V_r と前記零値電圧 V_{middle} との差電圧 $V_r - V_{middle}$ に、前記隣接方位により予め設定された更新係数を乗じた値に比例する量の電荷、又は当該差電圧 $V_r - V_{middle}$ を所定の関数 f で変換した値に比例する量の電荷を、前記位相状態値保持用キャパシタに充電又は放電する状態値更新回路であることを特徴とする請求項 1 又は 2 記載の情報処理装置。

[請求項5] 前記位相状態値保持手段は、当該節点ユニットの固有の位相を表す

位相状態値を電荷量として保持する位相状態値保持用キャパシタであり、

前記位相進行手段は、前記位相状態値保持用キャパシタに対して所定の充電電流を給電する電流源であり、

前記位相復位手段は、

前記最大位相状態値に対応する最大値電圧 V_{high} と、前記位相状態値保持用キャパシタの端子間電圧 V_r とが入力され、両者の大小関係を示す電圧信号を出力する第1のコンパレータと、

前記第1のコンパレータの出力電圧が、前記端子間電圧 V_r が前記最大値電圧 V_{high} より大きいことを示す状態に反転した場合に、前記位相状態値保持用キャパシタの端子電位を、前記最小位相状態値に対応する最小値電圧 V_{low} にリセットするリセット回路と、を備え、

前記トリガ発生手段は、

前記零位相状態値に対応する零値電圧 V_{middle} と、前記位相状態値保持用キャパシタの端子間電圧 V_r とが入力され、両者の大小関係を示す電圧信号を出力する第2のコンパレータと、

前記第2のコンパレータの出力電圧が、前記端子間電圧 V_r が前記零値電圧 V_{middle} より大きいことを示す状態となったときに、前記更新トリガとしてパルスを出力するトリガパルス生成器と、を備え、

前記位相更新手段は、前記隣接節点ユニットの前記トリガパルス生成器が前記更新トリガを出力したとき、当該隣接節点ユニットの隣接方位に応じて、その時点での前記端子間電圧 V_r と前記零値電圧 V_{middle} との差電圧 $V_r - V_{\text{middle}}$ に、前記隣接方位により予め設定された更新係数を乗じた値に比例する量の電荷、又は当該差電圧 $V_r - V_{\text{middle}}$ を所定の関数 f で変換した値に比例する量の電荷を、前記位相状態値保持用キャパシタに充電又は放電する状態値更新回路であることを特徴とする請求項1又は2記載の情報処理装置。

[請求項6]

前記位相状態値保持手段は、当該節点ユニットの固有の位相を表す

位相状態値を電荷量として保持する位相状態値保持用キャパシタであり、

前記位相進行手段は、前記位相状態値保持用キャパシタに対して所定の充電電流を給電する電流源であり、

前記トリガ発生手段は、

一方の入力端子に前記位相状態値保持用キャパシタの端子間電圧 V_r が入力され、他方の入力端子に、前記最大位相状態値に対応する最大値電圧 V_{high} 又は前記零位相状態値に対応する零値電圧 V_{middle} の何れかである入力電圧が入力され、両者の大小関係を示す電圧信号を出力するコンパレータと、

前記コンパレータの出力電圧が、前記端子間電圧 V_r が前記入力電圧より大きいことを示す状態となったときに、パルスを出力するトリガパルス生成器と、

前記トリガパルス生成器がパルスを出力すると、当該パルスを遅延させた遅延パルスを生成するパルス遅延器と、

前記パルス遅延器から遅延パルスが出力される毎に、前記コンパレータの前記他方の入力端子に入力される前記入力電圧を、前記最大値電圧 V_{high} と前記零値電圧 V_{middle} に交互に切り替える入力電圧切替回路と、

前記入力電圧が前記零値電圧 V_{middle} の状態で前記トリガパルス生成器がパルスを出力したとき、当該パルスを前記更新トリガとして出力する出力スイッチ回路と、を備え、

前記位相復位手段は、前記入力電圧が前記最大値電圧 V_{high} のときに、前記トリガパルス生成器がパルスを出力すると、前記位相状態値保持用キャパシタの端子電位を、前記最小位相状態値に対応する最小値電圧 V_{low} にリセットするリセット回路を備え、

前記位相更新手段は、前記隣接節点ユニットの前記トリガパルス生成器が前記更新トリガを出力したとき、当該隣接節点ユニットの隣接

方位に応じて、その時点での前記端子間電圧 V_r と前記零値電圧 V_{middle} との差電圧 $V_r - V_{middle}$ に、前記隣接方位により予め設定された更新係数を乗じた値に比例する量の電荷、又は当該差電圧 $V_r - V_{middle}$ を所定の関数 f で変換した値に比例する量の電荷を、前記位相状態値保持用キャパシタに充電又は放電する状態値更新回路であることを特徴とする請求項1又は2記載の情報処理装置。

[請求項7]

前記位相状態値保持手段は、当該節点ユニットの固有の位相を表す位相状態値を電荷量として保持する位相状態値保持用キャパシタであり、

前記位相進行手段は、前記位相状態値保持用キャパシタに対して所定の充電電流を給電する電流源であり、

前記トリガ発生手段は、

前記位相状態値電圧 V_r 、前記零位相状態値に対応する零値電圧 V_{middle} 、又は前記最大位相状態値に対応する最大値電圧 V_{high} の何れかに入力電圧を切り替える入力電圧切替回路、一端が前記入力電圧切替回路に接続されたゼロオフセット用キャパシタ、入力側端子が前記ゼロオフセット用キャパシタの他端に接続されたインバータ、及び前記インバータの入出力端子間に接続されたゼロオフセット設定用スイッチ回路を具備するチョッパ型コンパレータと、

前記チョッパ型コンパレータの前記インバータから出力されるパルスのエッジにおいてスパイク・パルスを出力するトリガパルス生成器と、

前記トリガパルス生成器が前記スパイク・パルスを出力すると、当該スパイク・パルスの出力時点から一定の時間遅延して遅延パルスを出力するパルス遅延器と、

前記トリガパルス生成器が前記スパイク・パルスを2回出力する毎に、当該スパイク・パルスを前記更新トリガとして出力する出力スイッチ回路と、

前記入力電圧切替回路、前記ゼロオフセット設定用スイッチ回路、及び前記出力スイッチ回路の切り替えを制御する切替制御回路と、を備え、

前記位相復位手段は、前記トリガパルス生成器が前記スパイク・パルスを2回出力する毎に、前記電流源の給電を遮断するとともに前記位相状態値保持用キャパシタを放電し端子間電圧 V_r を前記最小位相状態値に対応する最小値電圧 V_{low} にリセットするリセット回路を備え、

前記位相更新手段は、前記隣接節点ユニットの前記トリガパルス生成器から前記更新トリガを出力されたとき、当該隣接節点ユニットの隣接方位に応じて、その時点での前記端子間電圧 V_r と前記零値電圧 V_{middle} との差電圧 $V_r - V_{middle}$ に、前記隣接方位により予め設定された更新係数を乗じた値に比例する量の電荷、又は当該差電圧 $V_r - V_{middle}$ を所定の関数 f で変換した値に比例する量の電荷を、前記位相状態値保持用キャパシタに充電又は放電する状態値更新回路であることを特徴とする請求項1又は2記載の情報処理装置。

[請求項8]

前記位相状態値保持手段は、当該節点ユニットの固有の位相を表す位相状態値を電荷量として保持する位相状態値保持用キャパシタであり、

前記位相進行手段は、前記位相状態値保持用キャパシタに対して所定の充電電流を給電する電流源であり、

前記位相復位手段は、

前記最大位相状態値に対応する最大値電圧 V_{high} と、前記位相状態値保持用キャパシタの端子間電圧 V_r とが入力され、両者の大小関係を示す電圧信号を出力するコンパレータと、

前記コンパレータの出力電圧が、前記端子間電圧 V_r が前記最大値電圧 V_{high} より大きいことを示す状態に反転した場合に、前記位相状態値保持用キャパシタの端子電圧を、前記最小位相状態値に対応する

最小値電圧 V_{low} にリセットするリセット回路と、を備え、

前記トリガ発生手段は、前記コンパレータの出力電圧が、前記端子間電圧 V_r が前記最大値電圧 V_{high} より大きいことを示す状態に反転した場合に、その反転時点から所定の時間だけ遅延して遅延パルスを出力する遅延パルス生成器を備え、

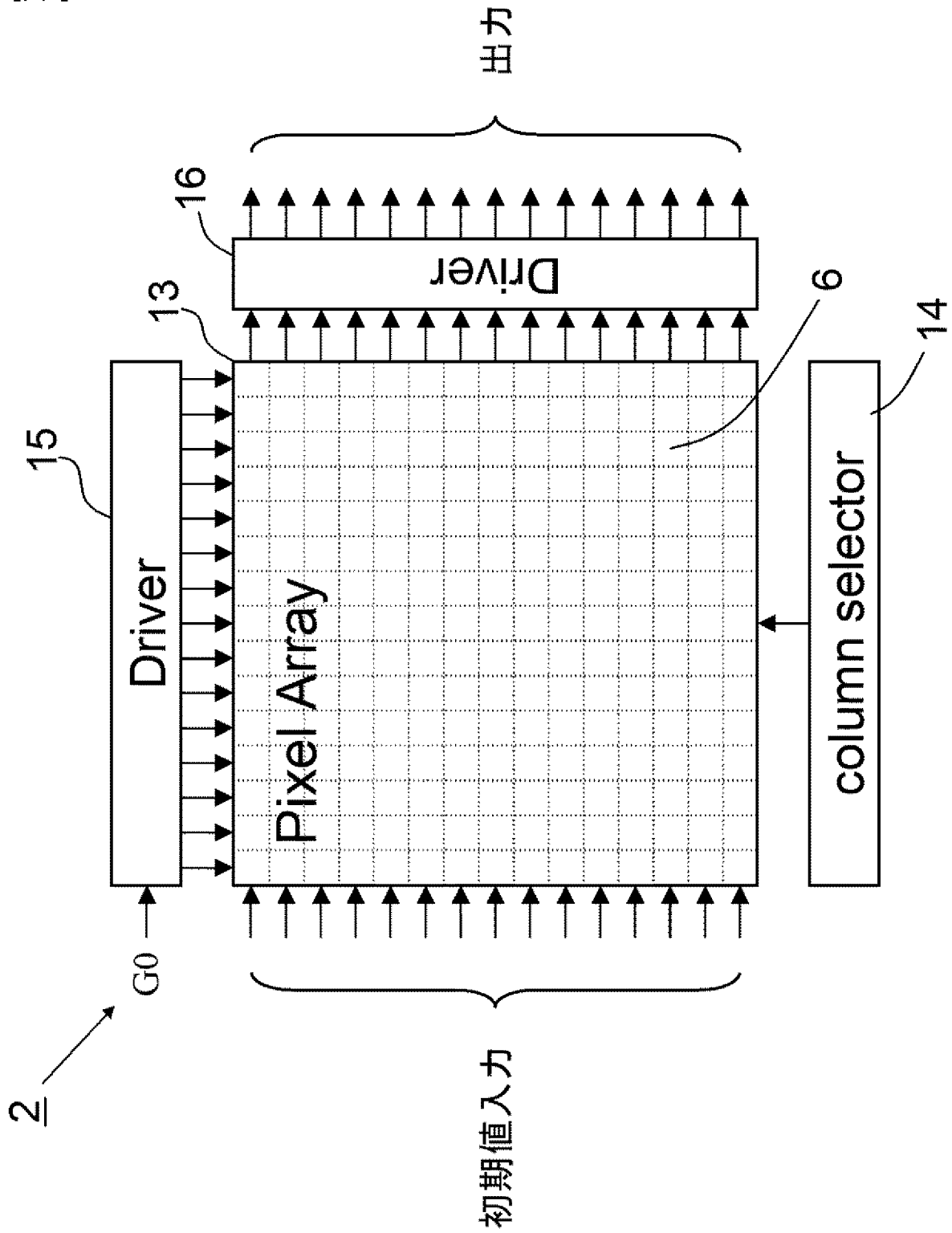
前記位相更新手段は、前記隣接節点ユニットの前記遅延パルス生成器が前記遅延パルスを出力したとき、当該隣接節点ユニットの隣接方位に応じて、その時点での前記端子間電圧 V_r と前記零値電圧 V_{middle} との差電圧 $V_r - V_{middle}$ に、前記隣接方位により予め設定された更新係数を乗じた値に比例する量の電荷、又は当該差電圧 $V_r - V_{middle}$ を所定の関数 f で変換した値に比例する量の電荷を、前記位相状態値保持用キャパシタに充電又は放電する状態値更新回路であることを特徴とする請求項3記載の情報処理装置。

[請求項9]

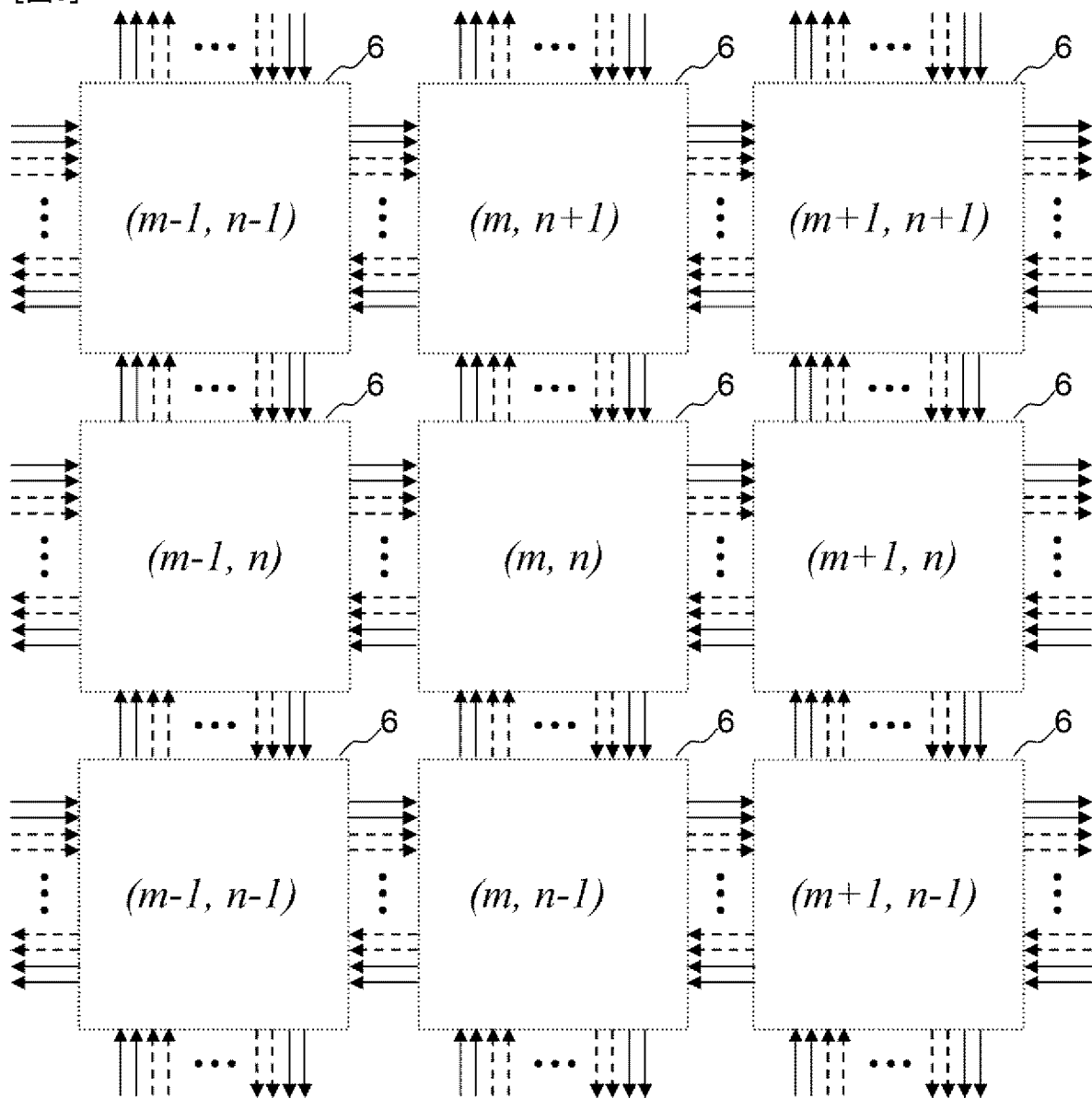
プログラマブル論理デバイス用の再構成プログラムであって、プログラマブル論理デバイスにおいて当該再構成プログラムに基づき論理回路の再構成を行うことにより、請求項1乃至3の何れかに記載の情報処理装置が再構成されることを特徴とする再構成プログラム。

The diagram illustrates the internal structure of a network node (1). It features a central block (2) labeled "節点ユニットネットワーク" (Node Unit Network). To the left of block 2 are two input/output blocks: block 3 (入力部, Input Unit) and block 4 (出力部, Output Unit). Bidirectional arrows connect block 3 to block 2, and block 2 to block 4. Above block 2 is a block labeled "基準位相発生部" (Reference Phase Generation Unit, 2a). A line connects block 2a to block 4, and another line connects block 2a to block 5. To the right of block 2 is a block labeled "全体制御部" (Overall Control Unit, 5). A bidirectional arrow connects block 2 to block 5.

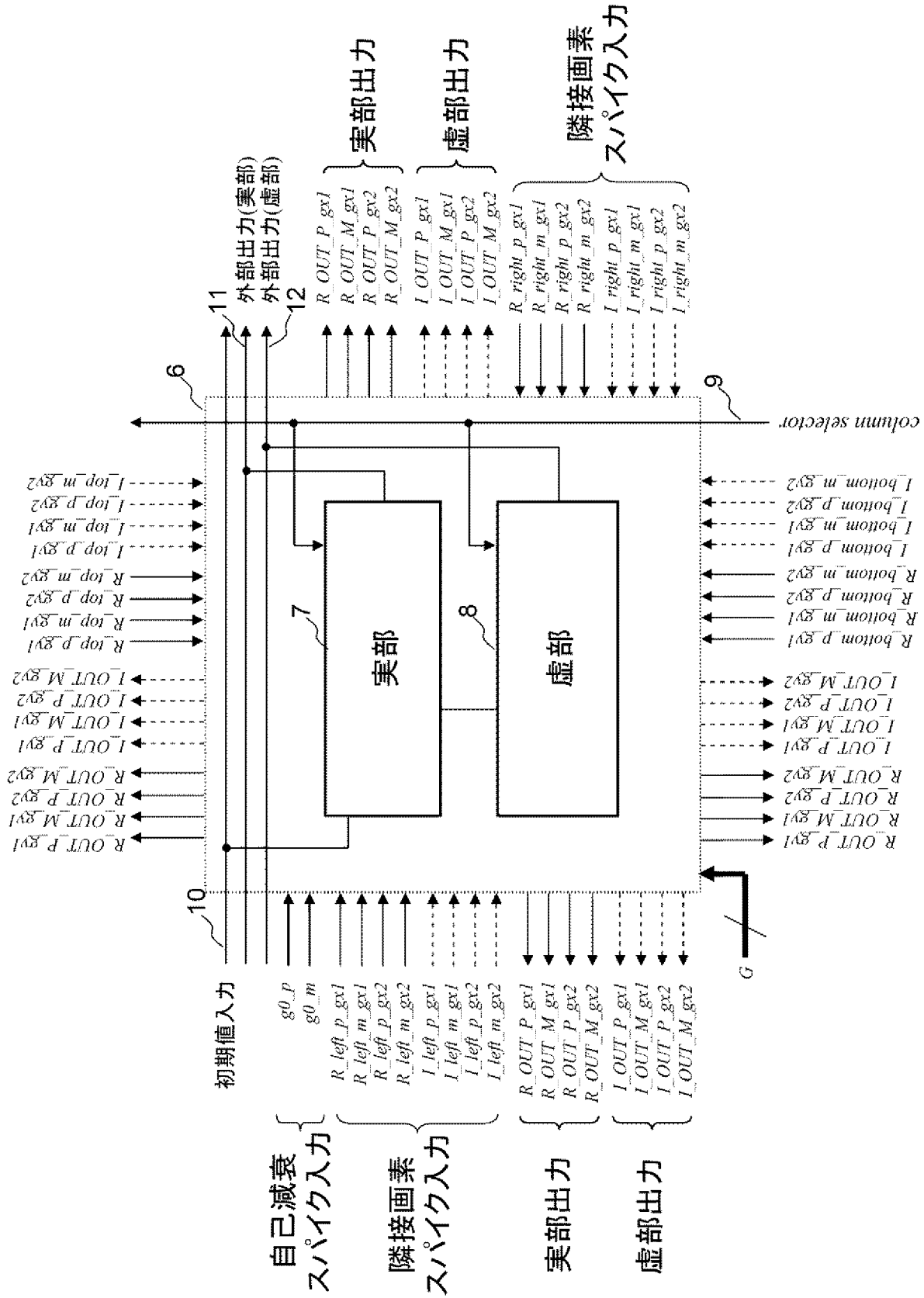
[図2]



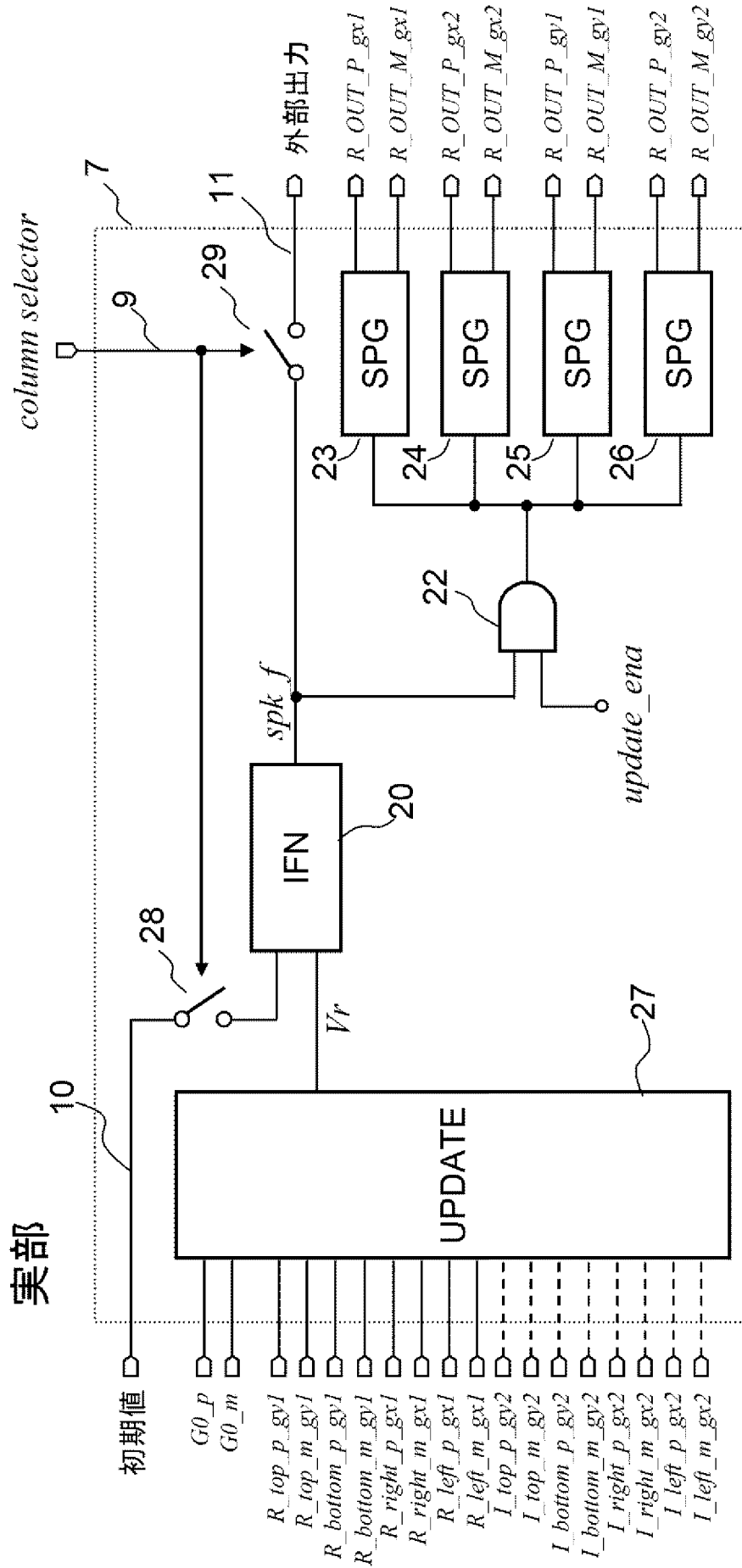
[図3]



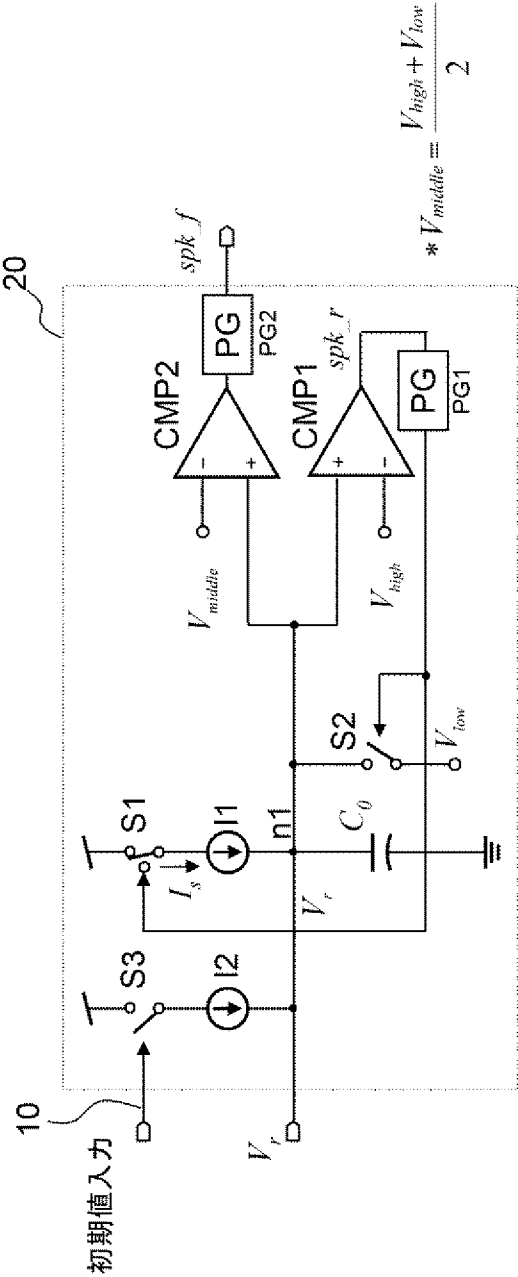
[図4]



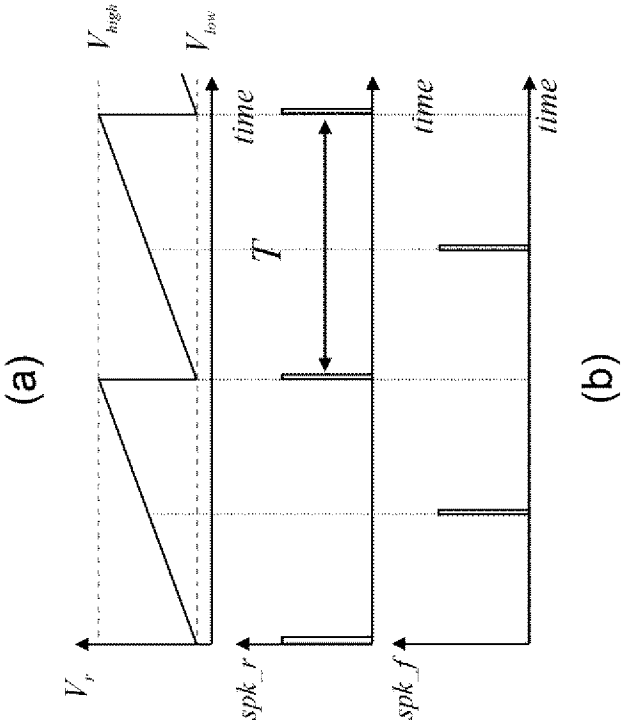
[図5]



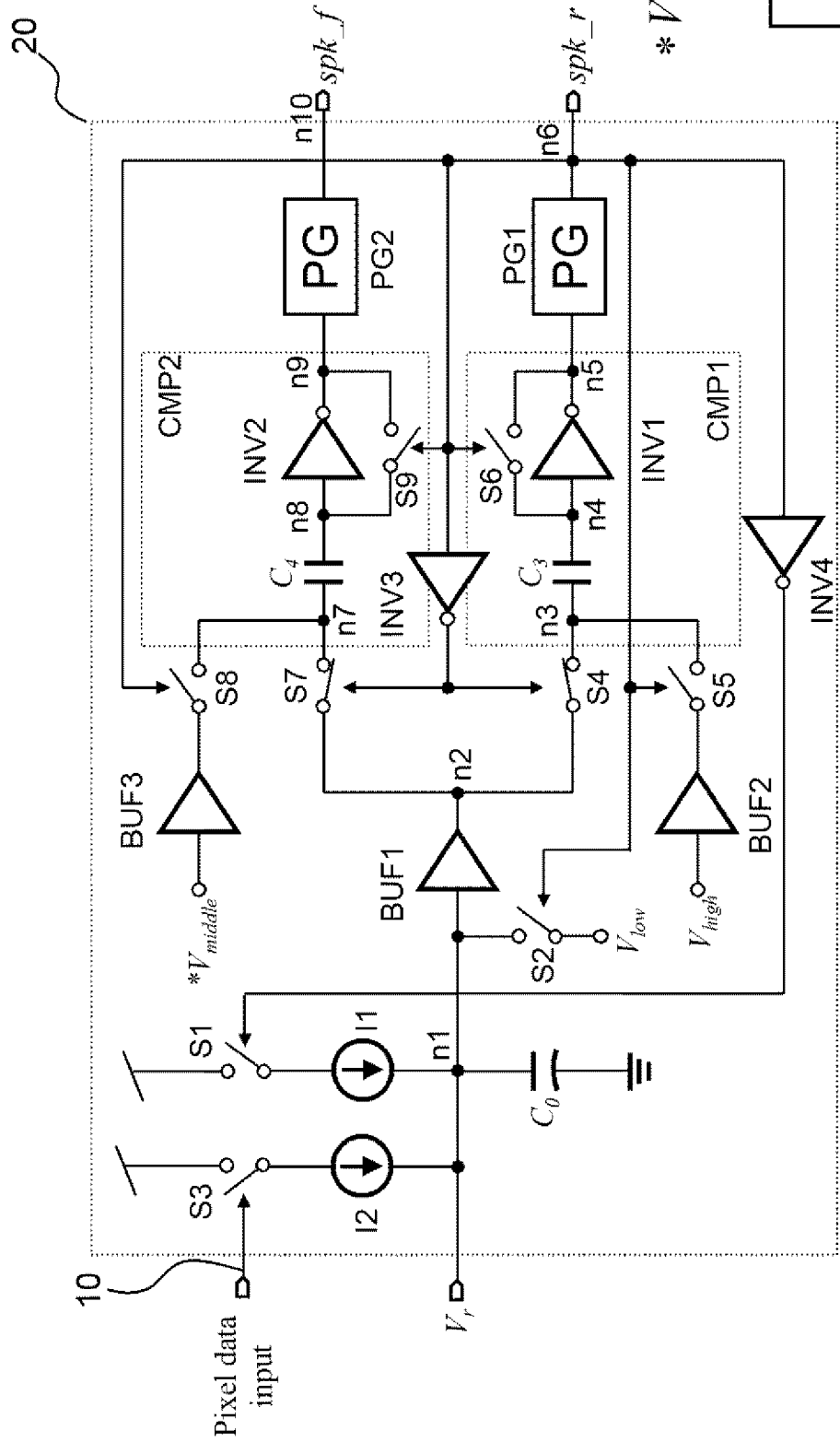
[図6]



PG パルス生成器



[図7]

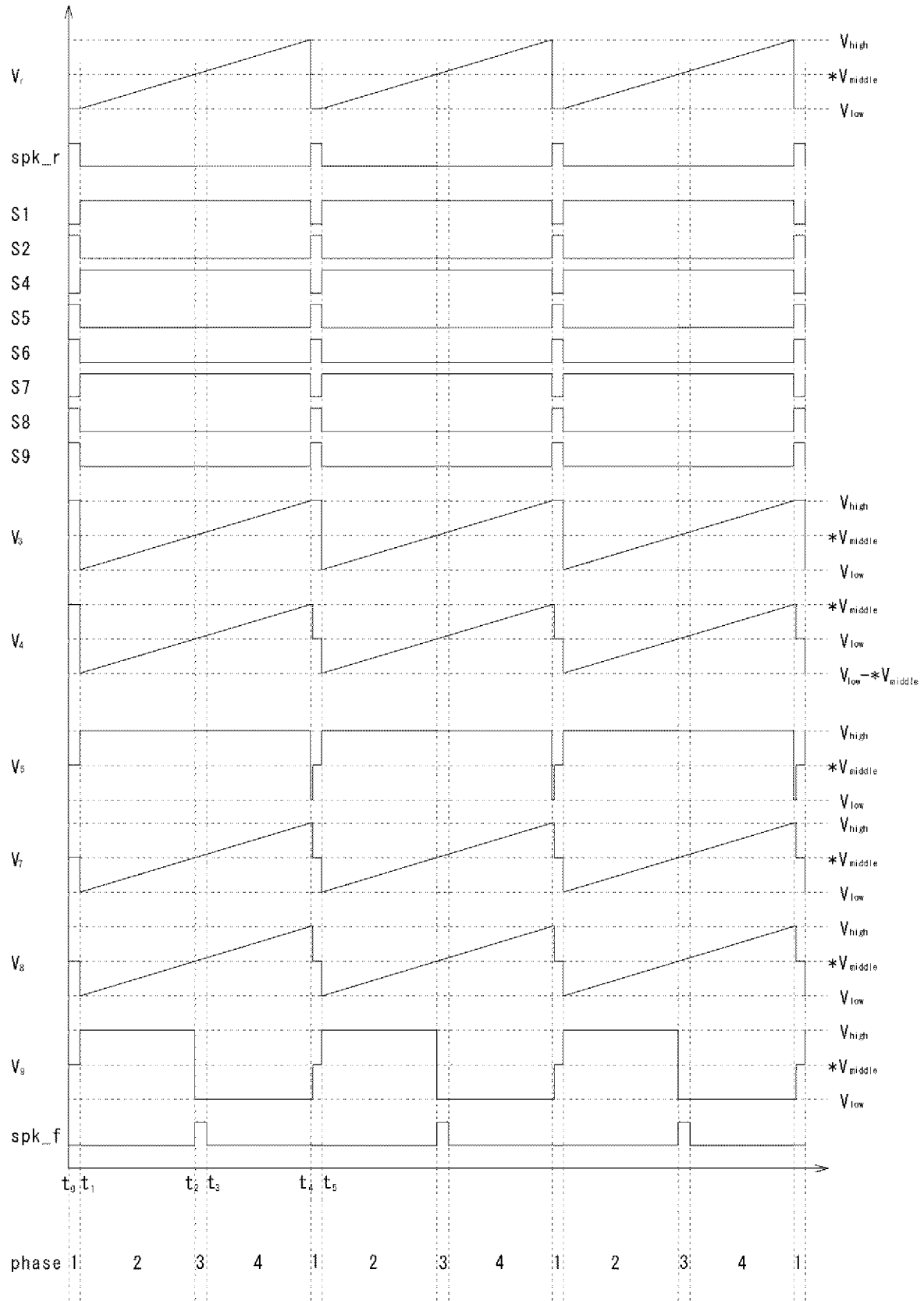


$$* V_{middle} = \frac{V_{high} + V_{low}}{2}$$

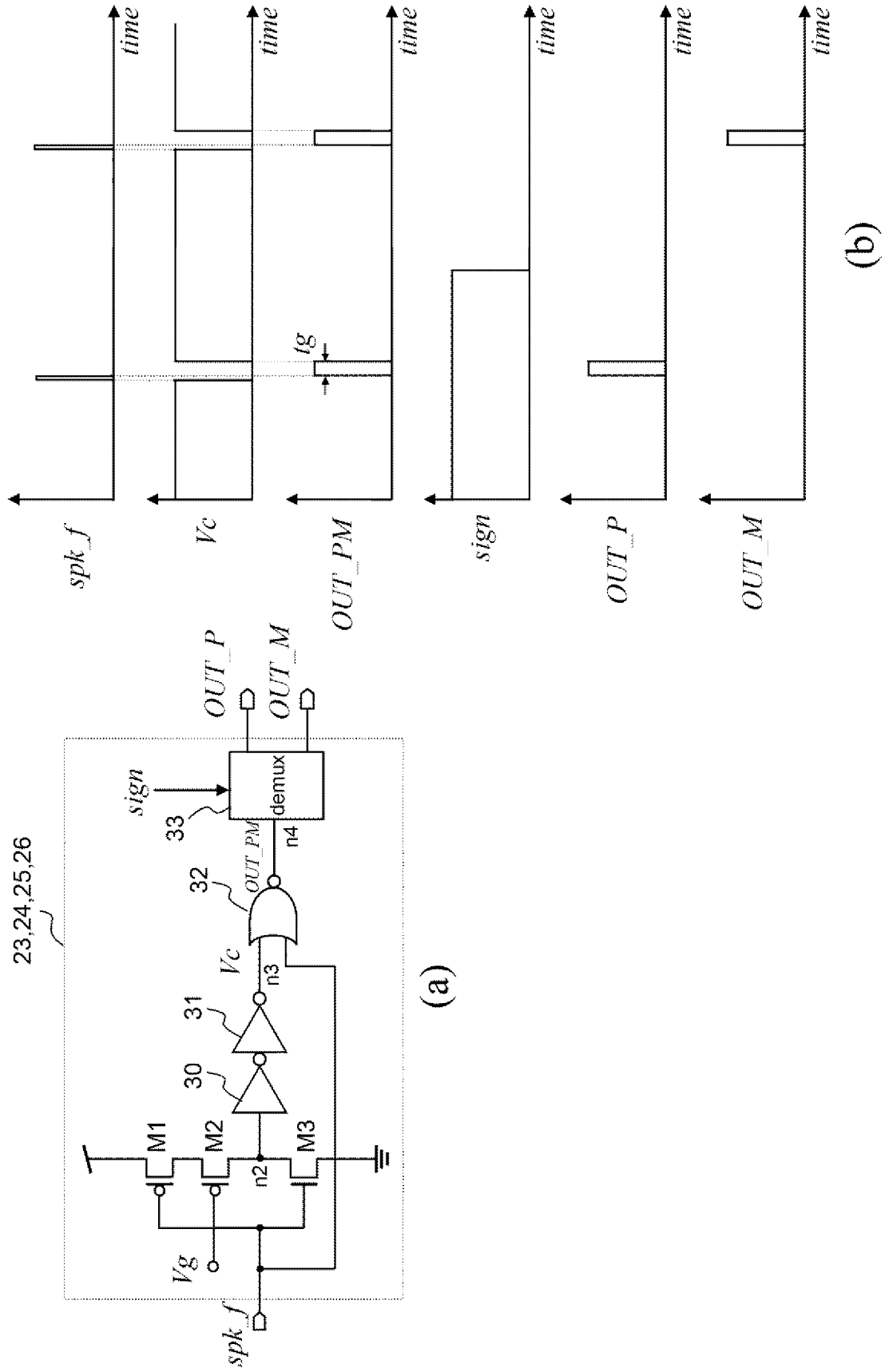
パルス生成器

PG

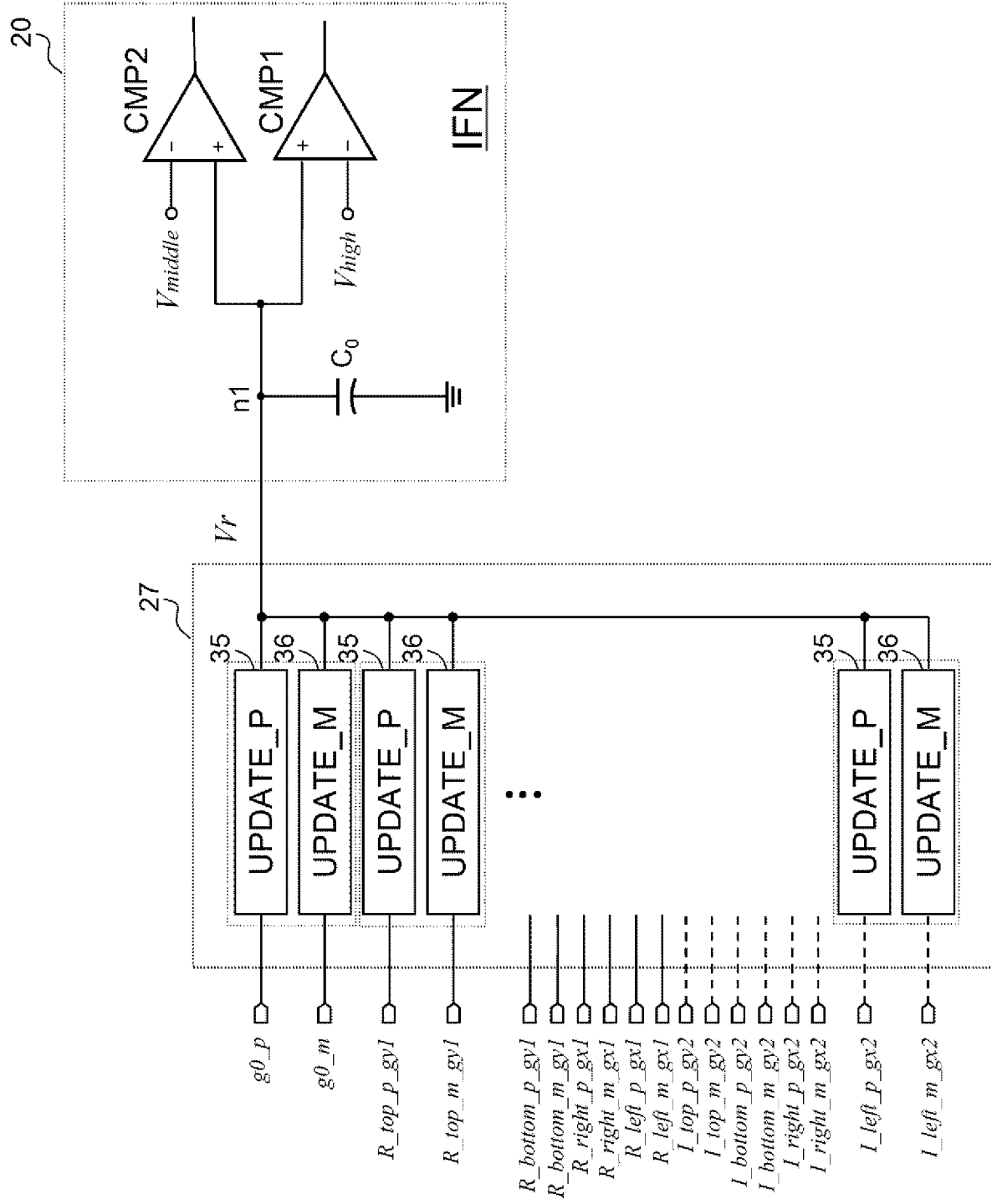
[図8]



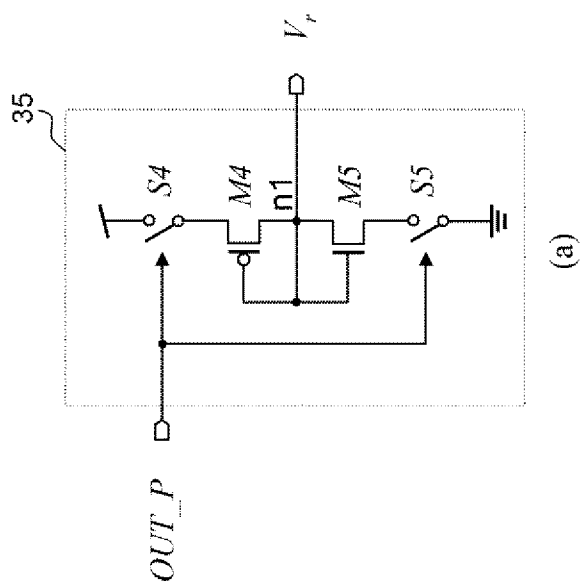
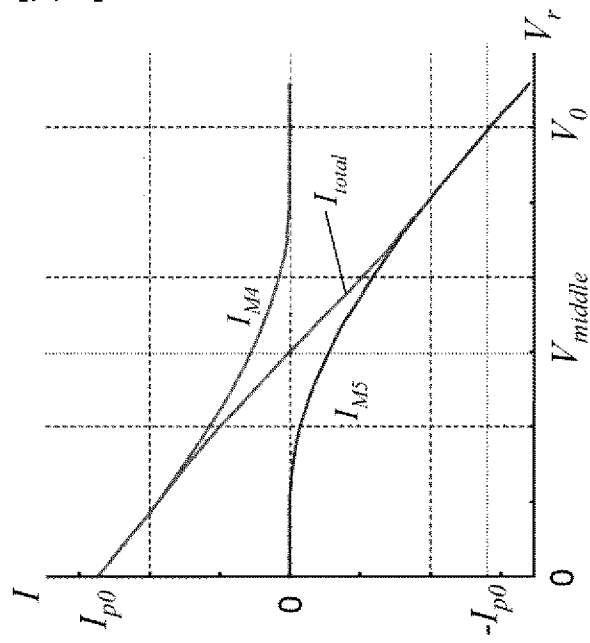
[図9]



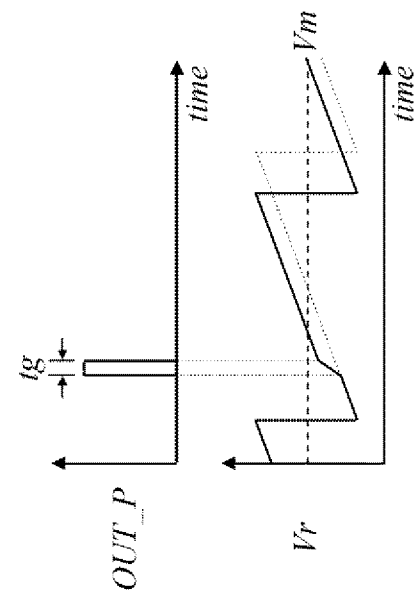
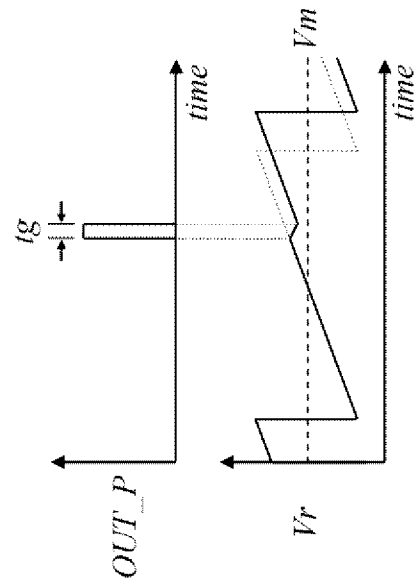
[図10]



[図11]



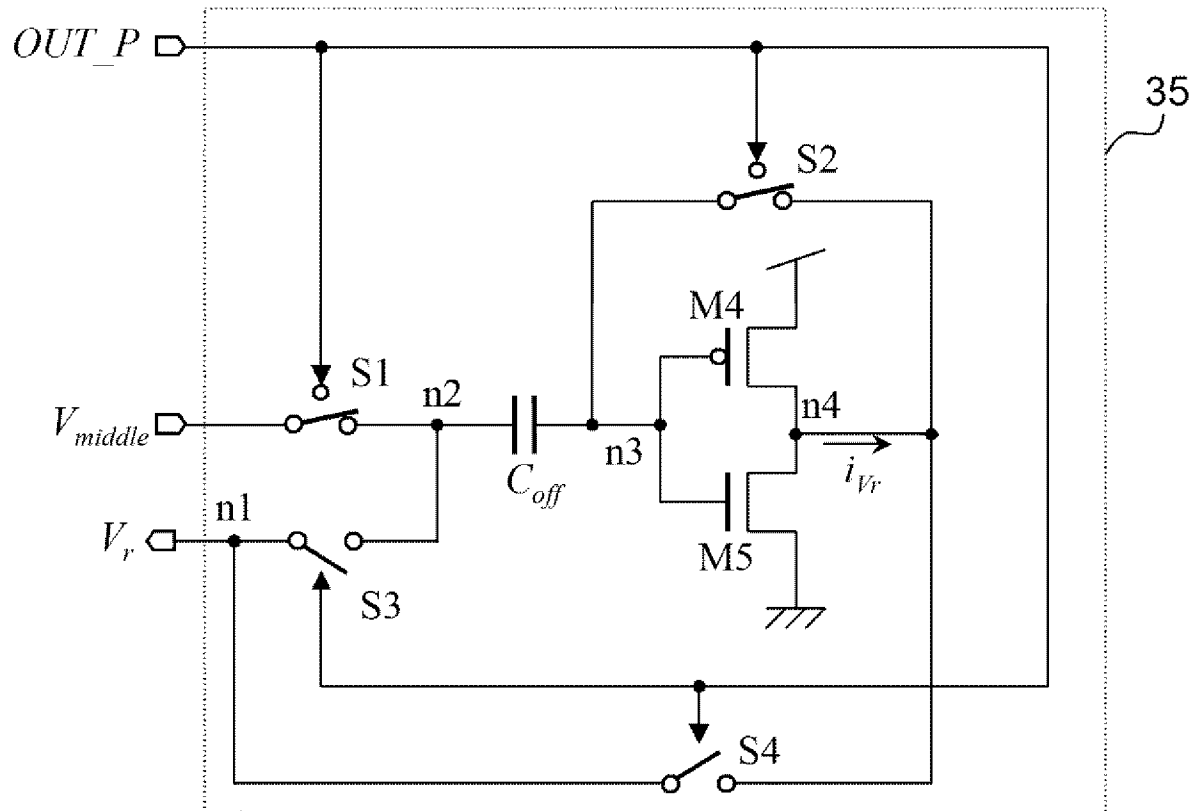
(b)



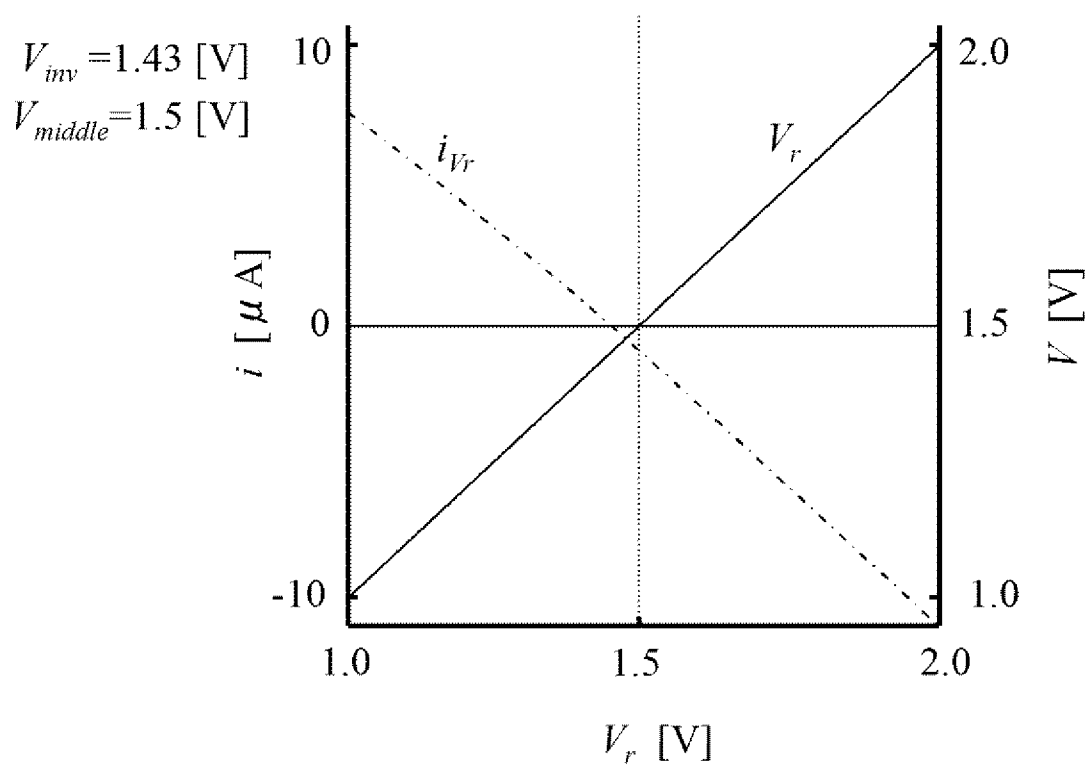
(d)

(c)

[図13]

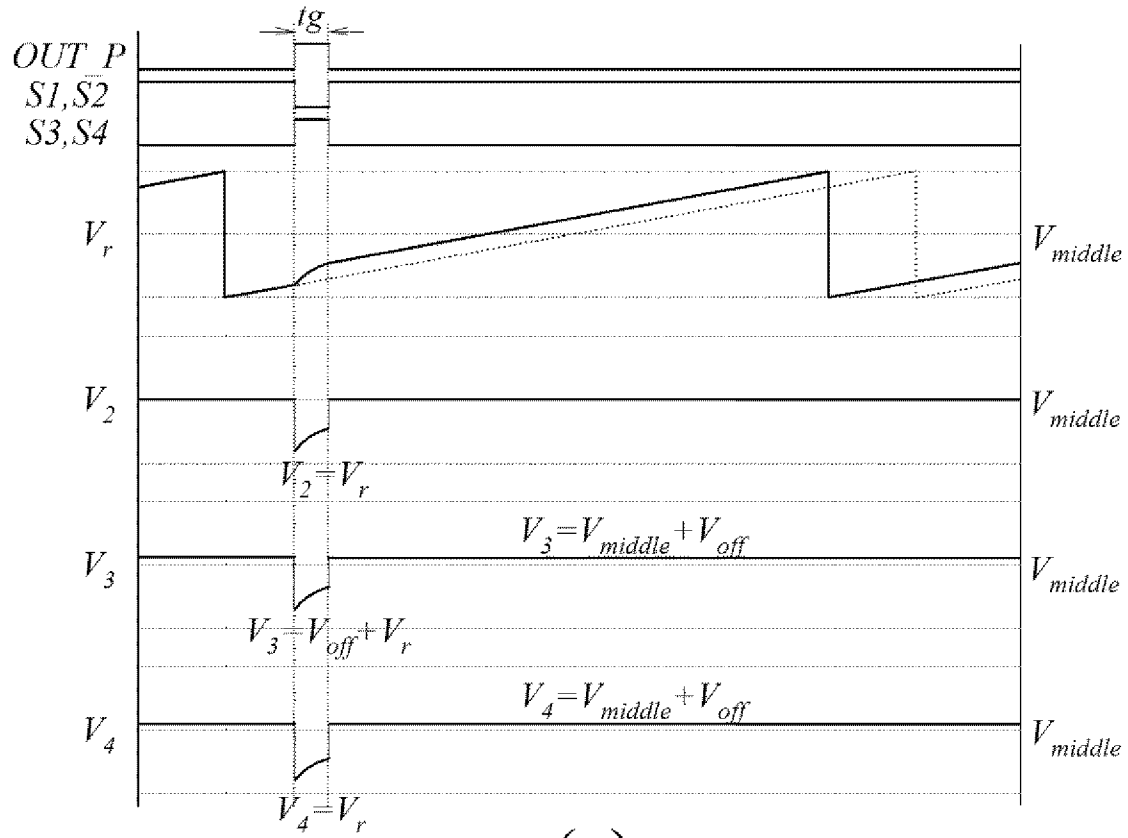


(a)

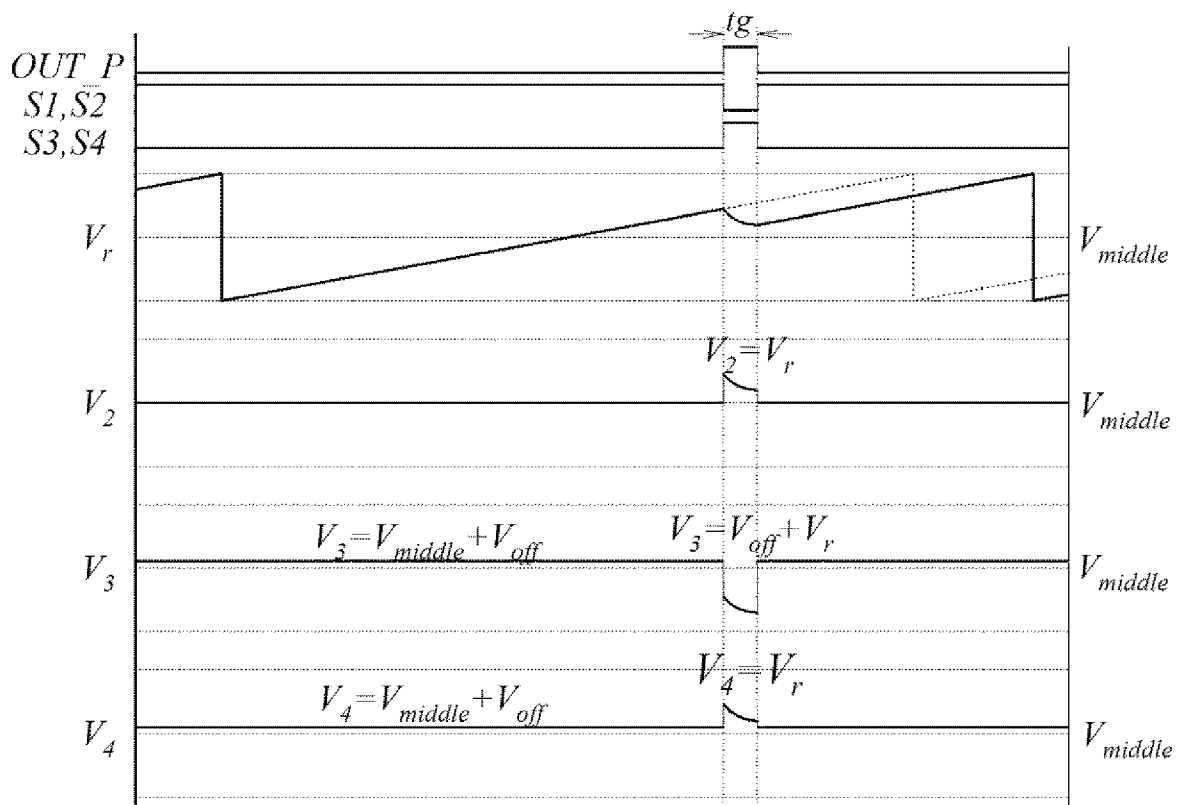


(b)

[図14]



(a)



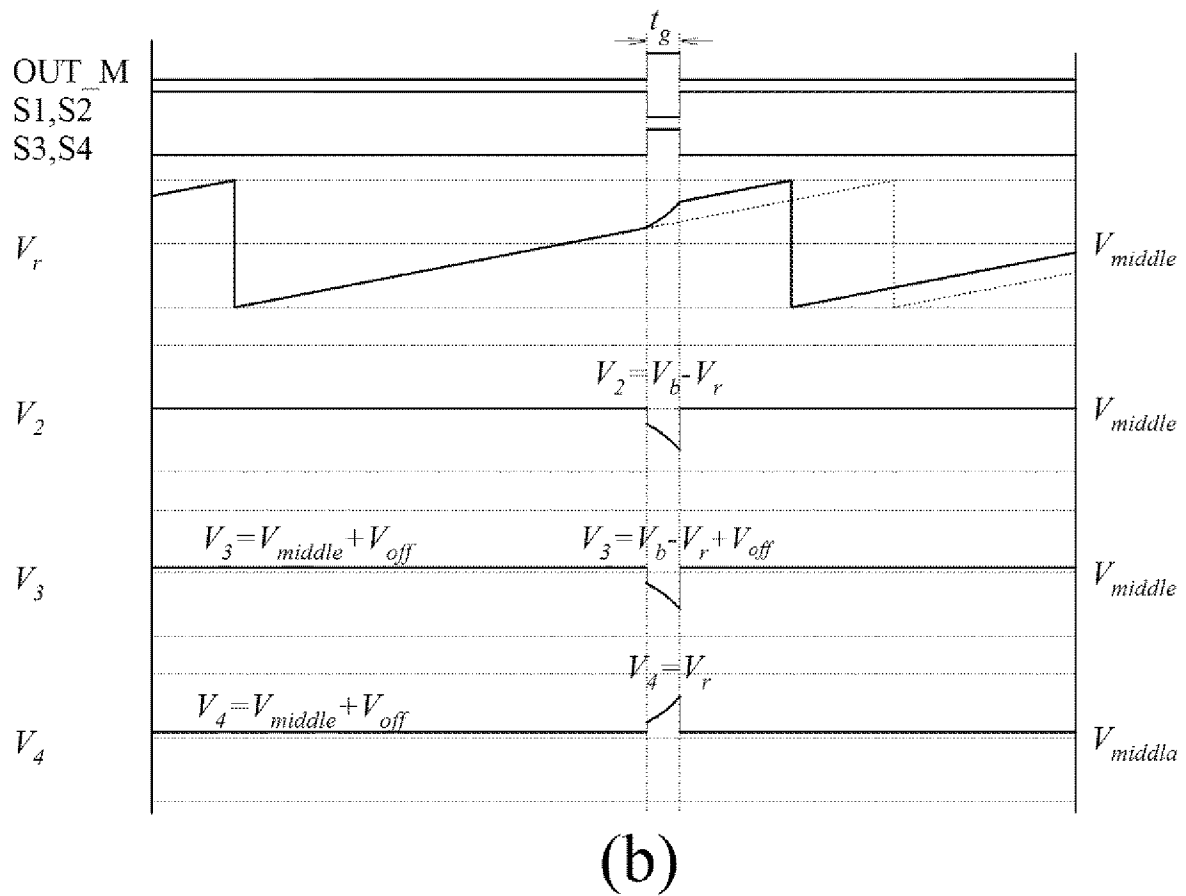
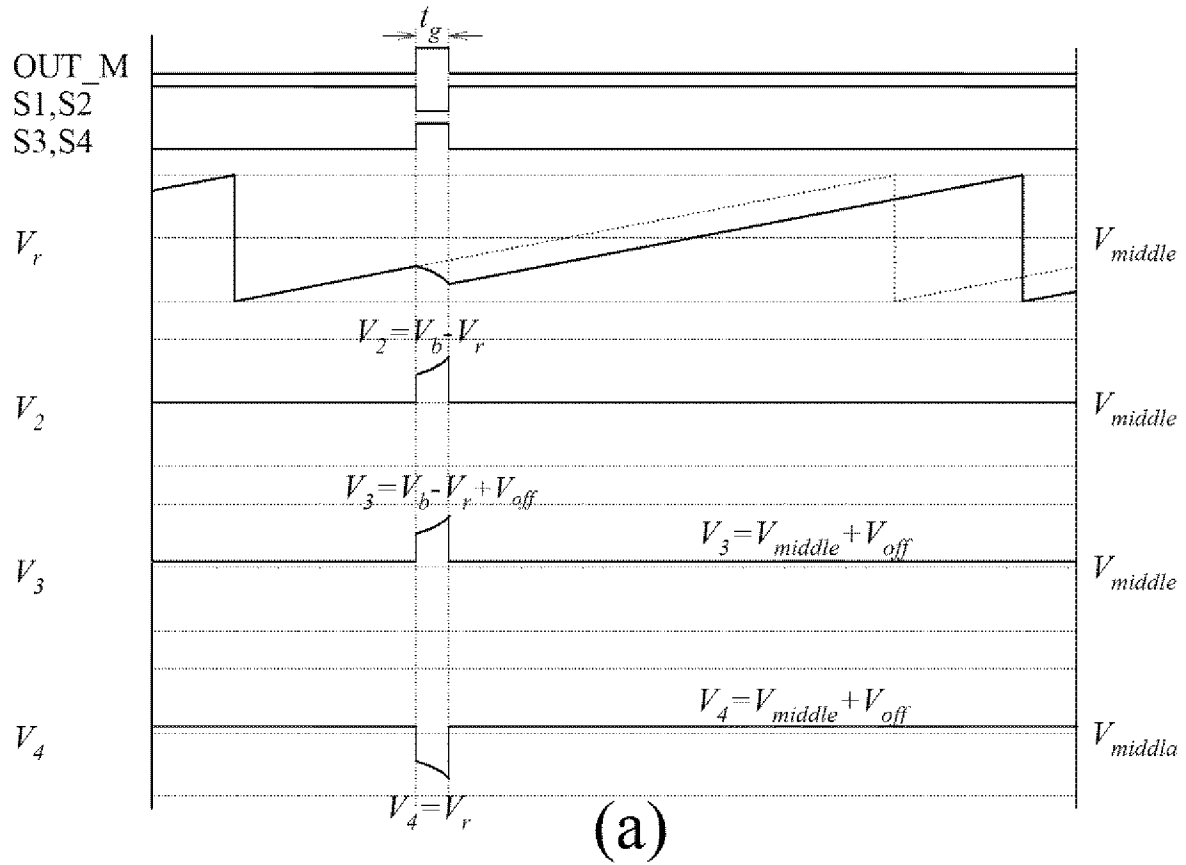
(b)

The circuit diagram, labeled 36, shows a current source circuit. It includes an output node OUT_M , a bias voltage $*V_b$, a middle voltage V_{middle} , and a reference voltage V_r . The circuit contains four NMOS transistors: M_6 and M_7 are connected in parallel between OUT_M and ground, with their gates tied together and their sources connected to ground. A capacitor C_{off} is connected between node n_3 and node n_4 . Transistors M_8 and M_9 are connected between $*V_b$ and ground, with their gates tied together and their sources connected to ground. Transistors M_1 and M_2 are connected between OUT_M and $*V_b$, with their gates tied together and their sources connected to $*V_b$. Four switches, S_1 , S_2 , S_3 , and S_4 , are used to control the circuit. S_1 is connected between V_{middle} and node n_5 . S_2 is connected between OUT_M and node n_3 . S_3 is connected between V_r and node n_1 . S_4 is connected between OUT_M and node n_1 . The current i_{Vr} is shown flowing out of node n_4 .

$V_{inv}=1.43$ [V]
 $V_{middle}=1.5$ [V]
 $*V_b = V_{low}+V_{high}$

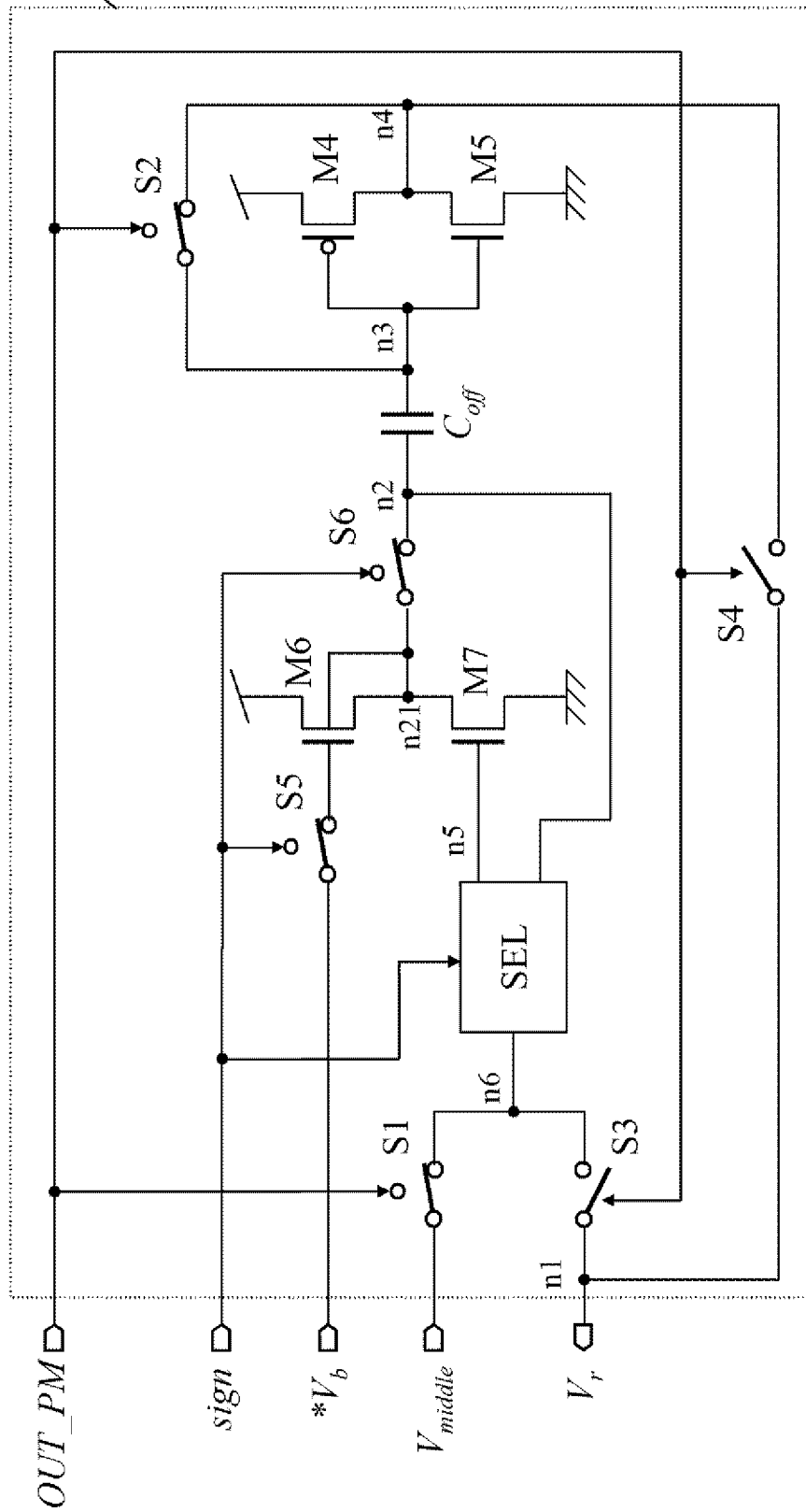
(b)

[図16]

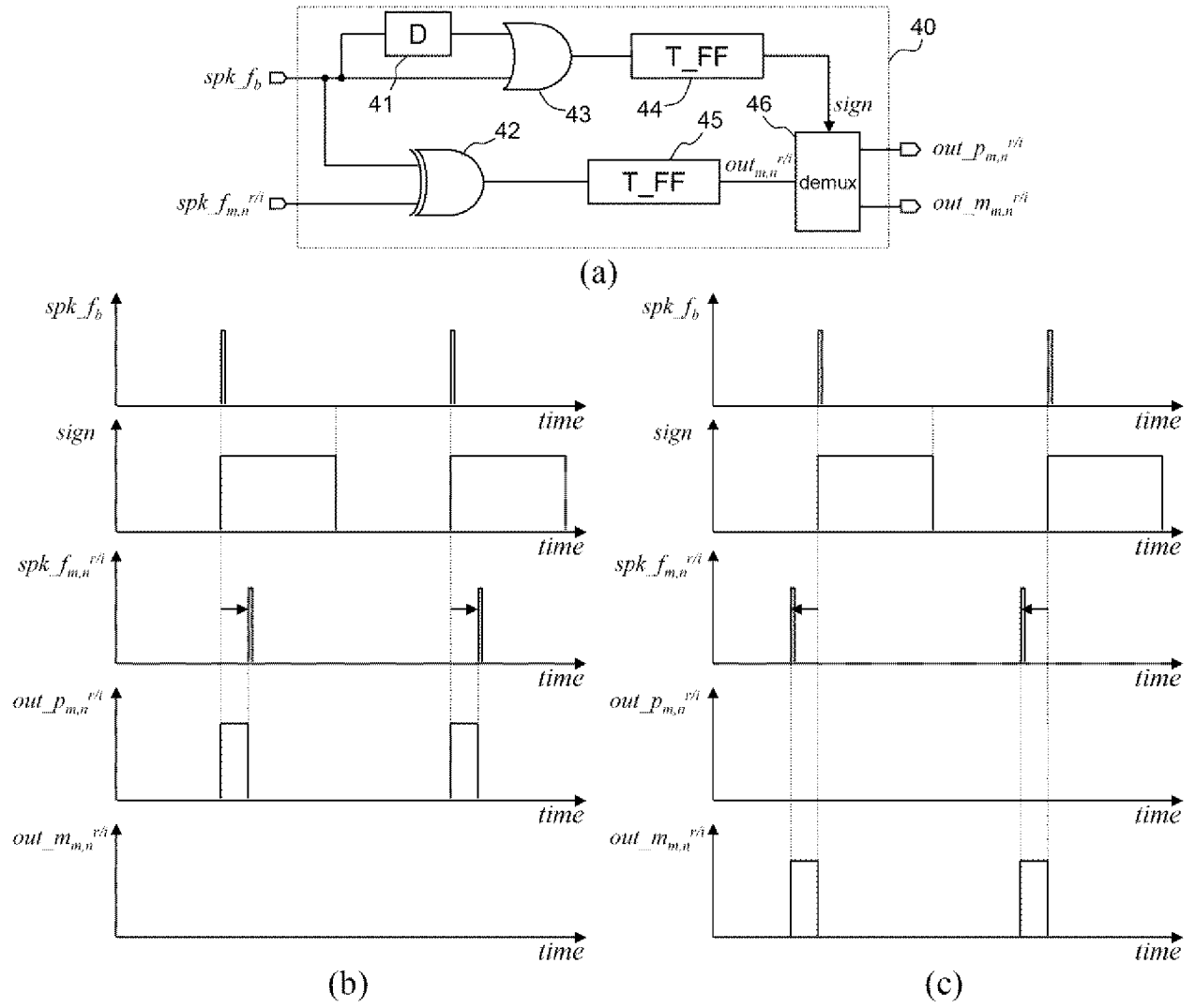


[図17]

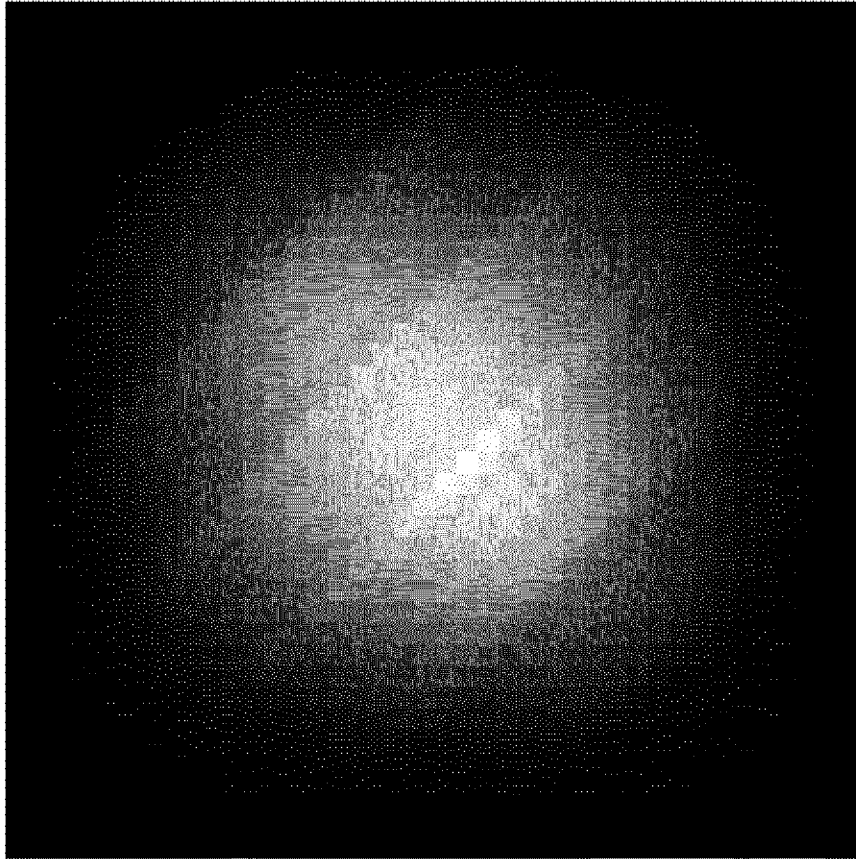
35, 36



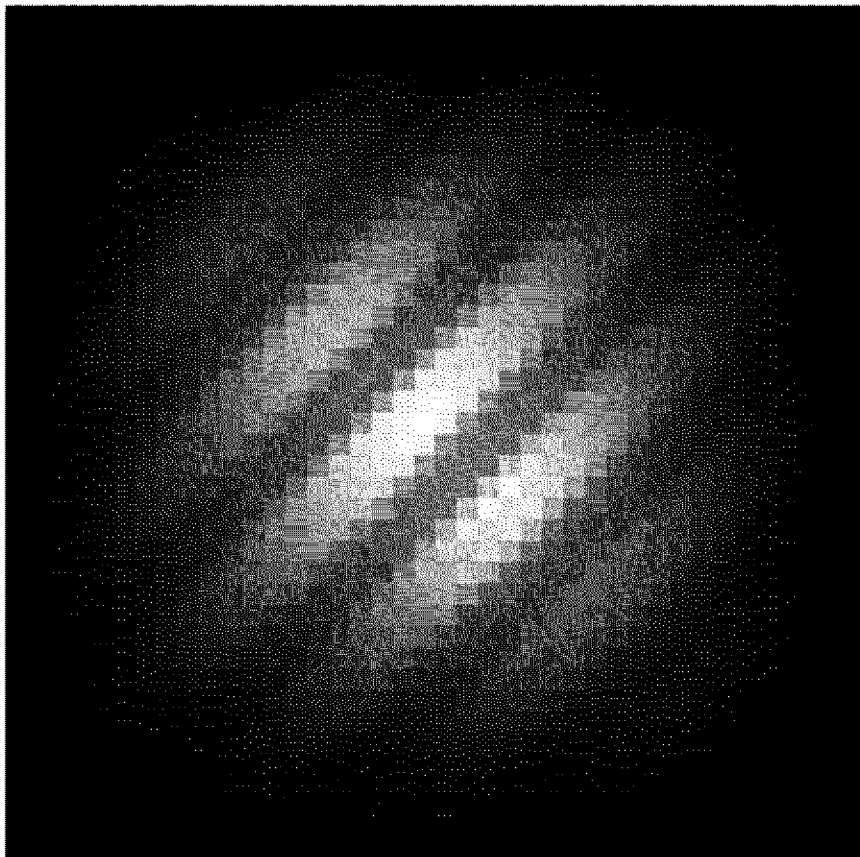
[図18]



[図19]

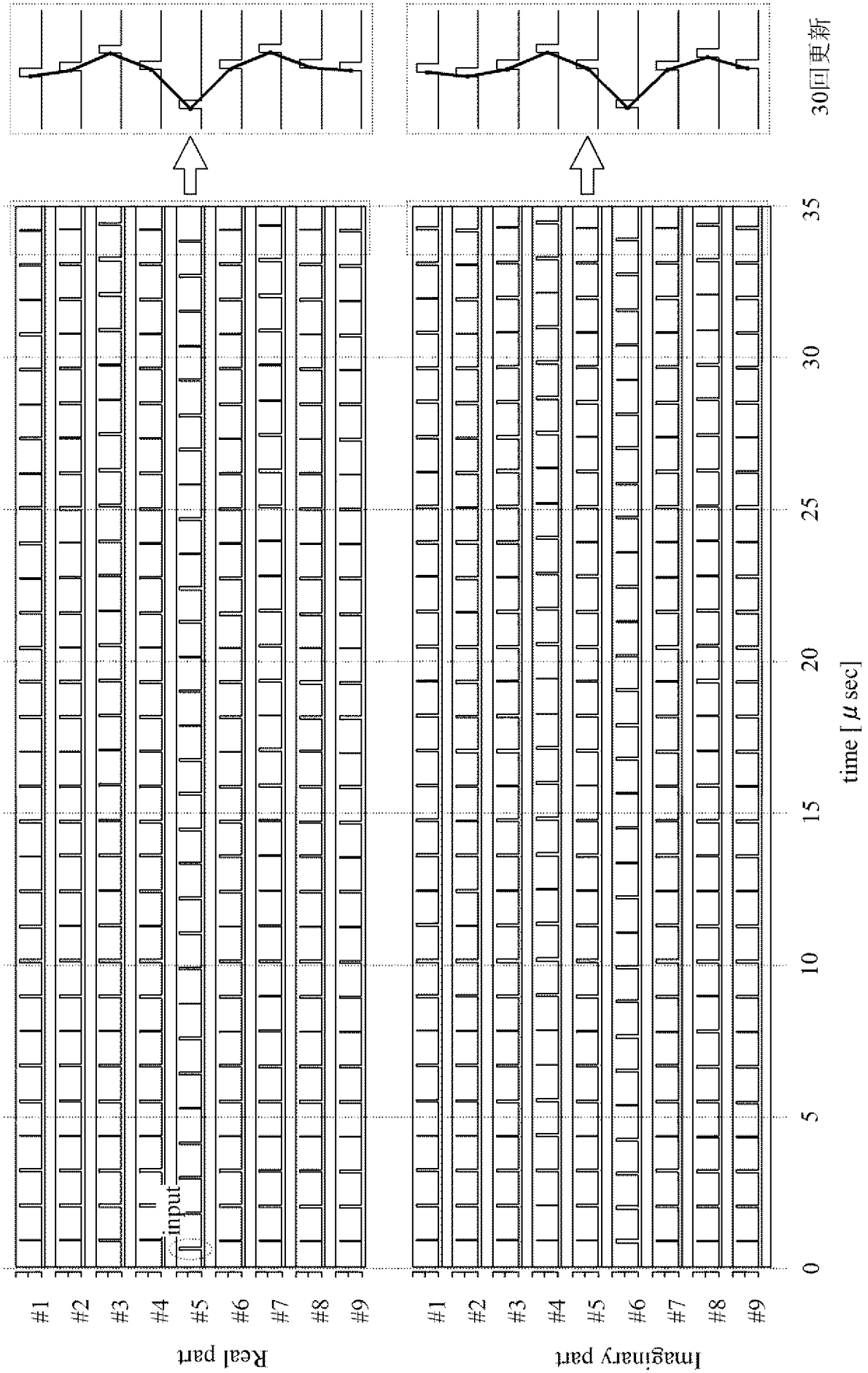


(b) 補正処理あり

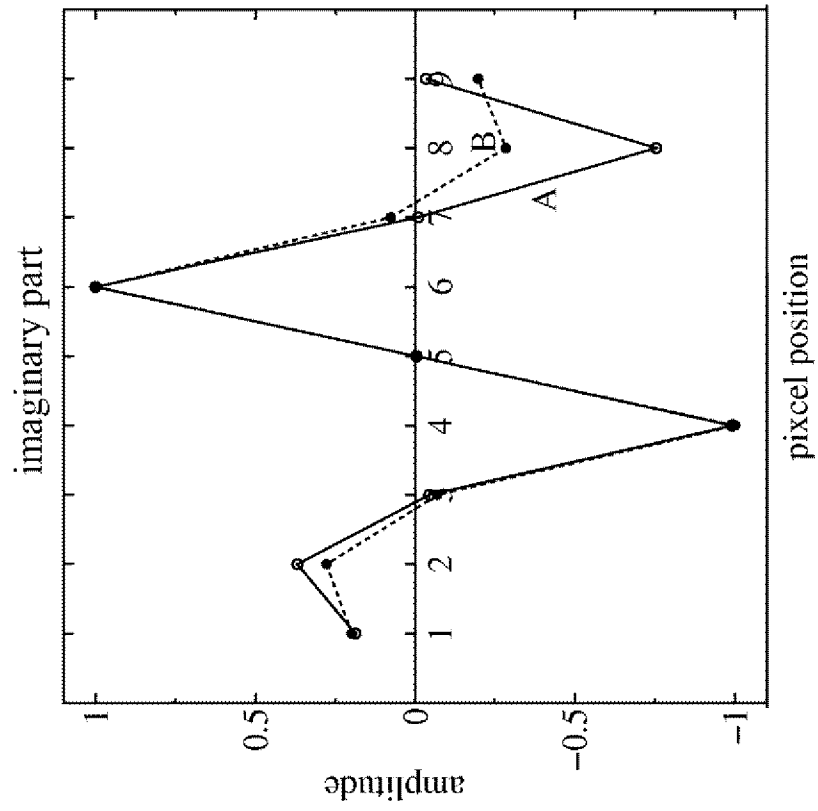


(a) 補正処理なし

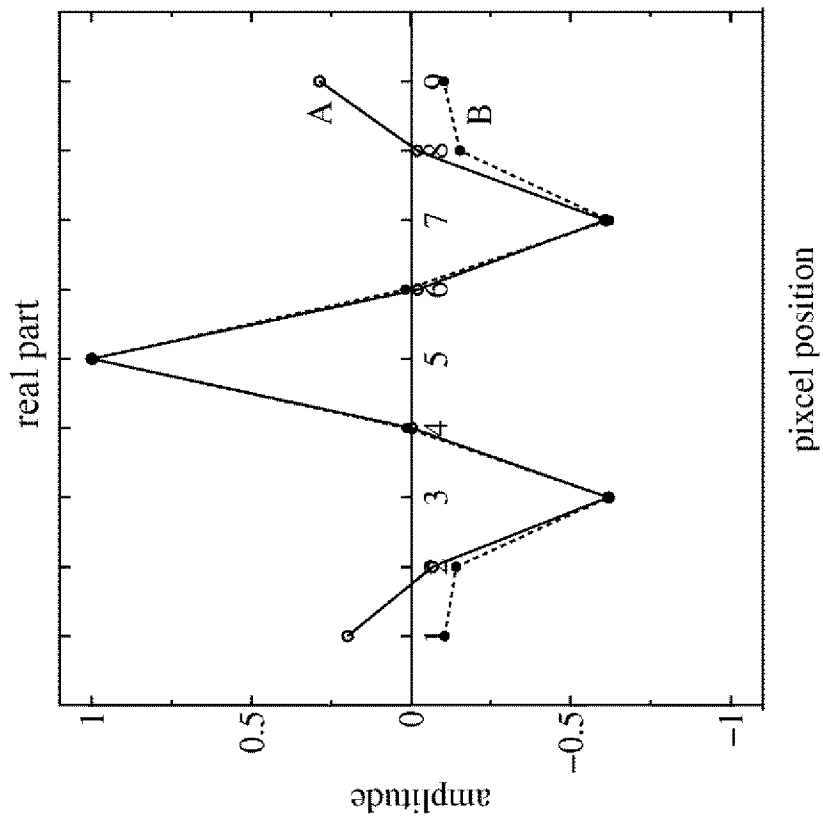
[図20]



[図21]

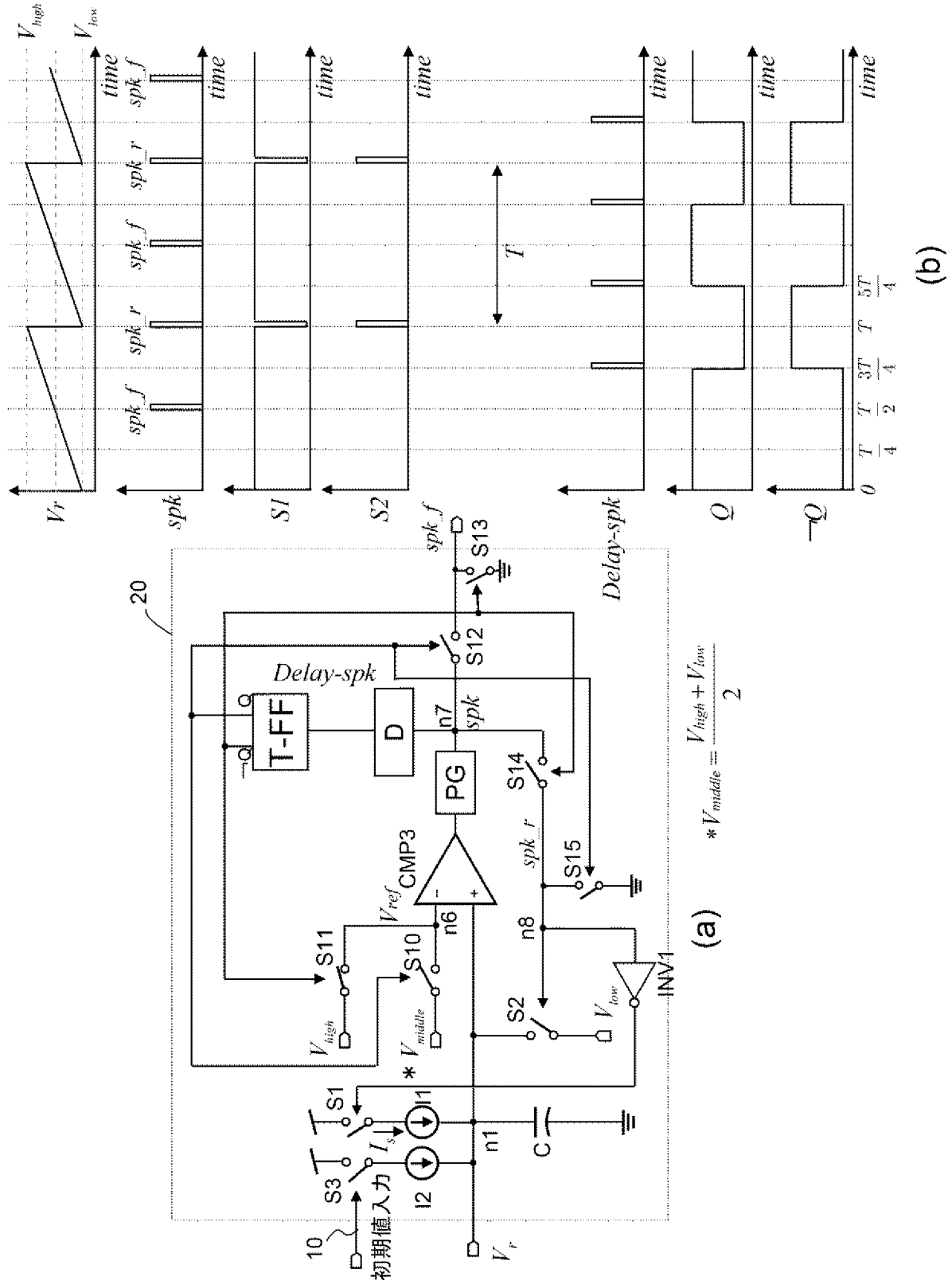


(b)

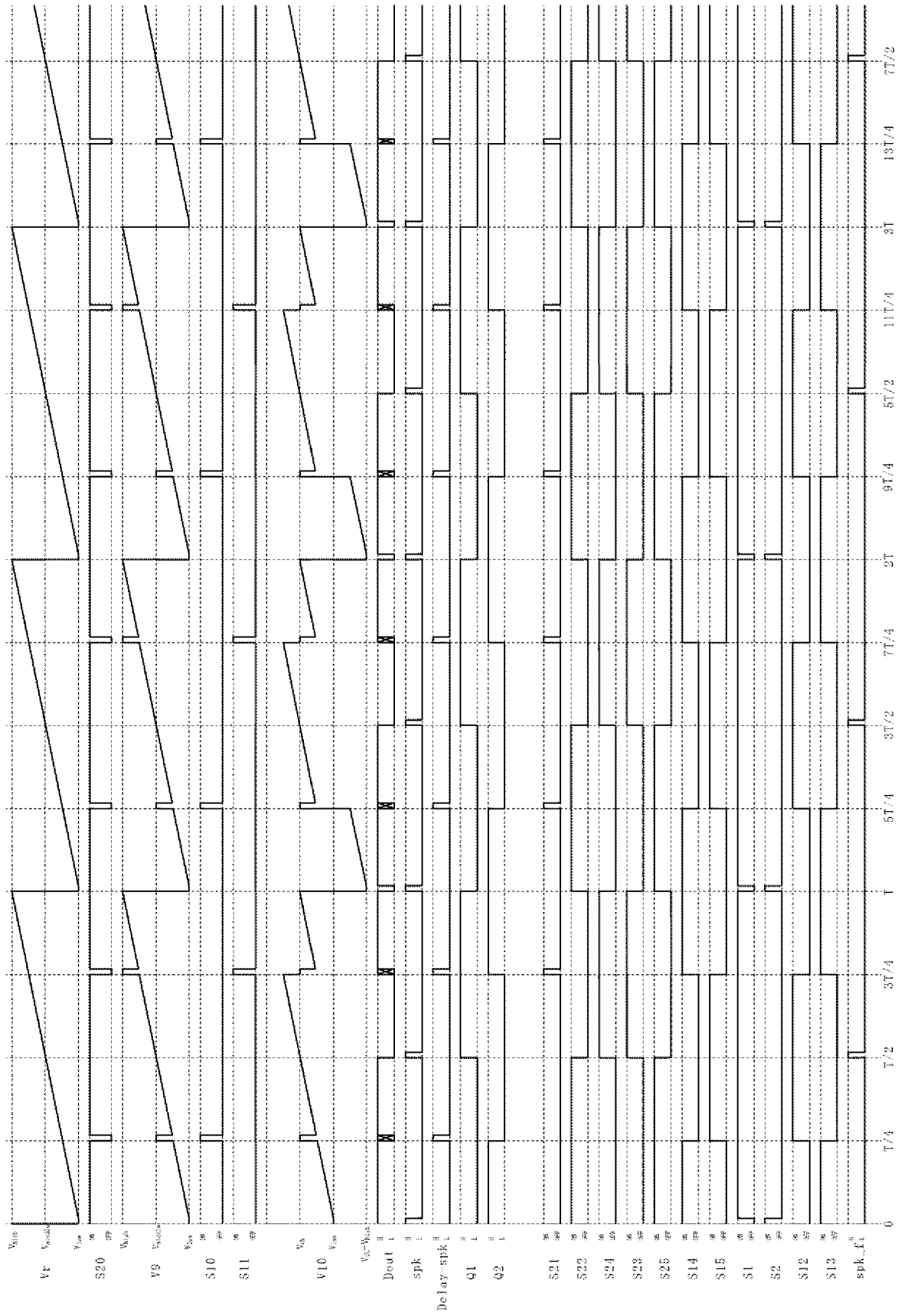


(a)

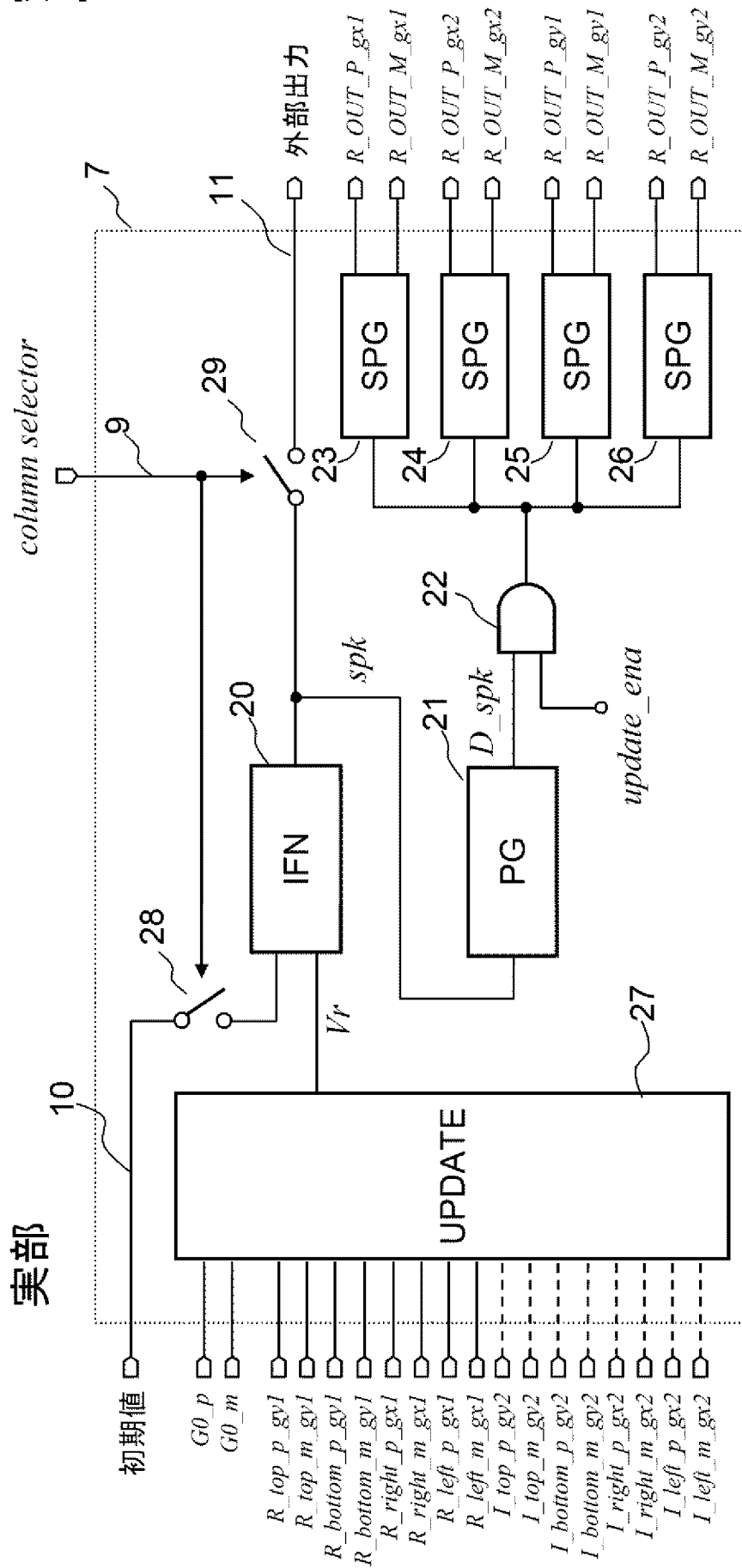
[図22]



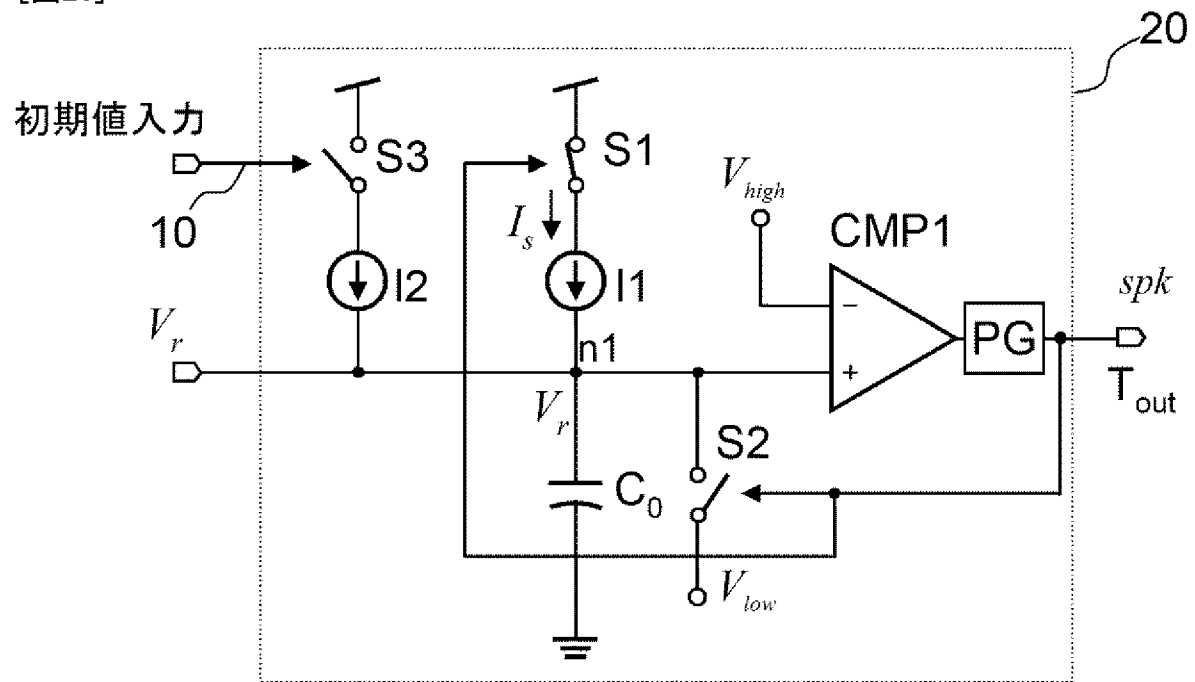
[図24]



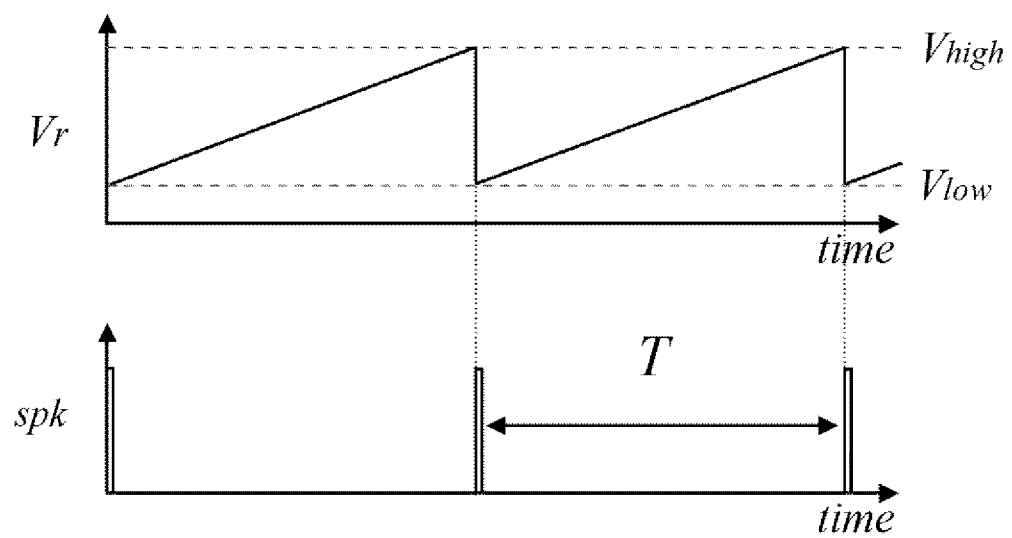
[図25]



[図26]

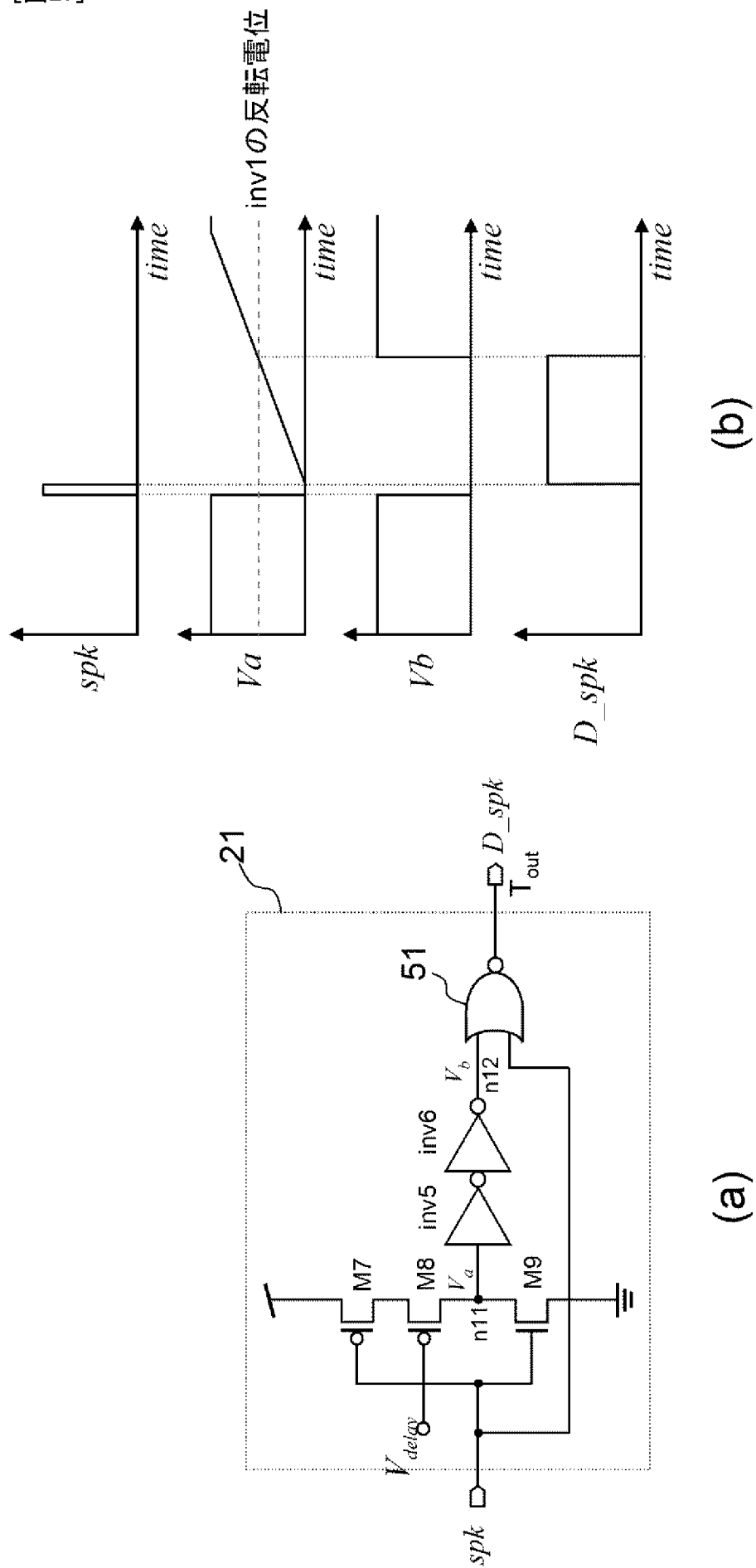


(a)

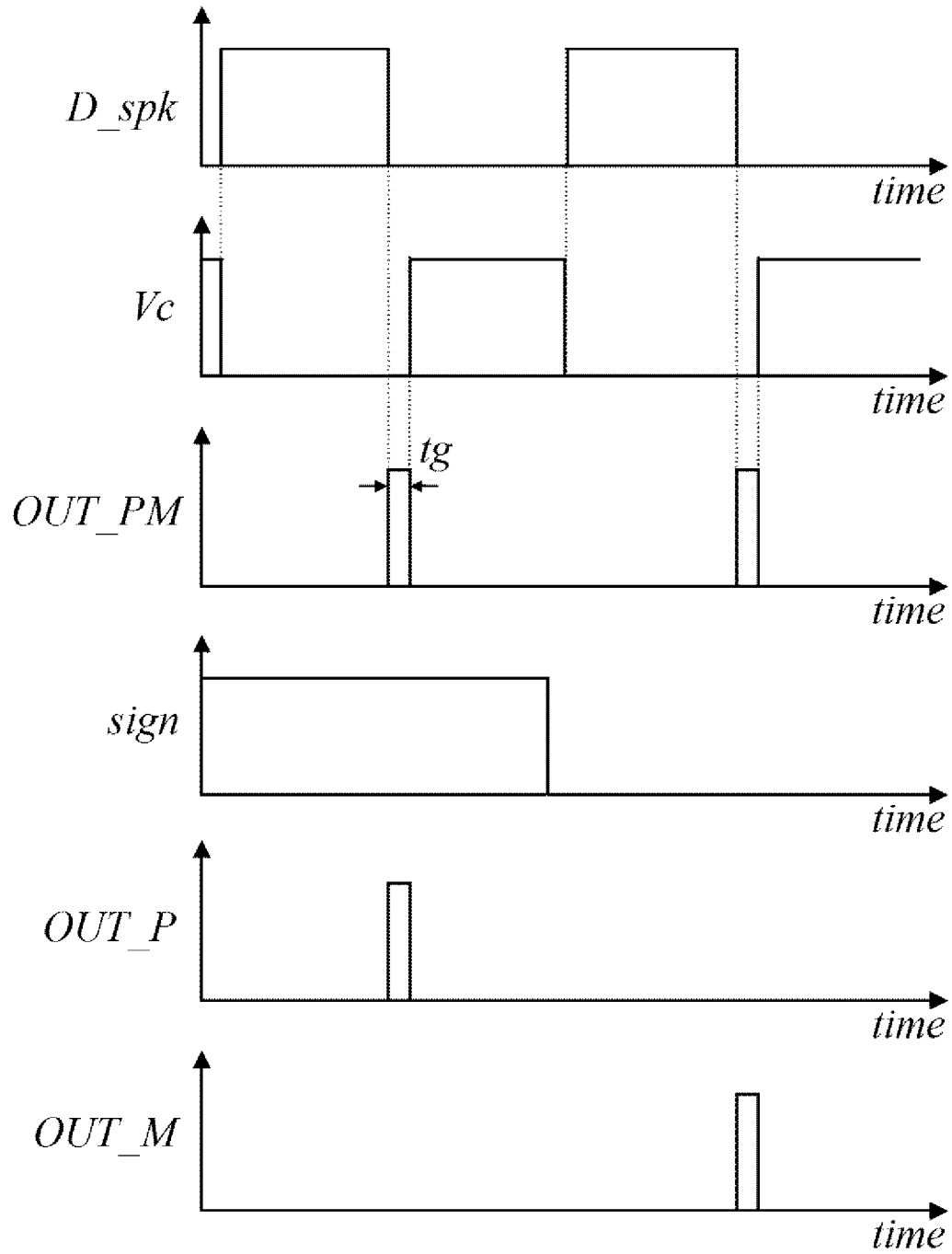


(b)

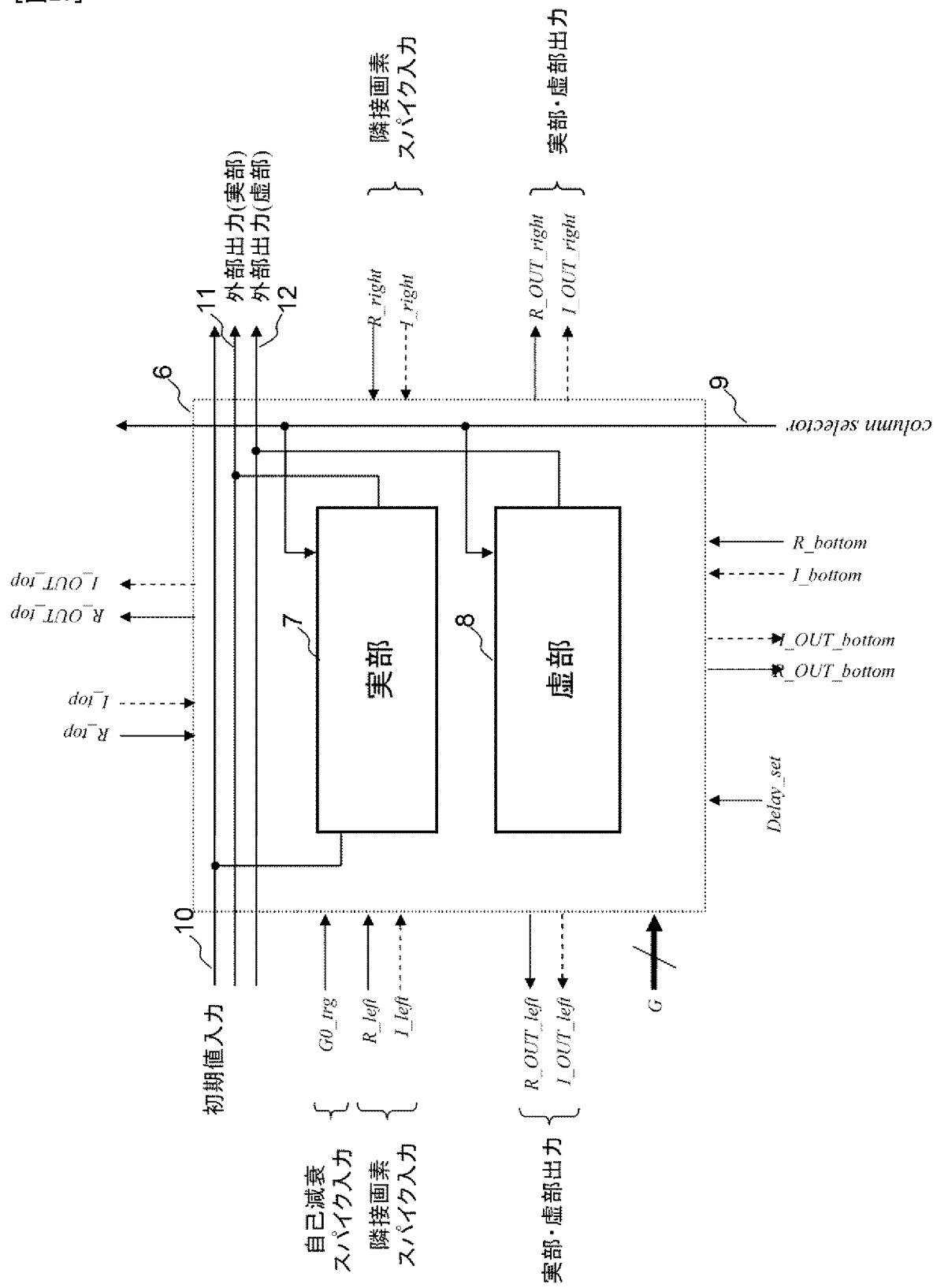
[図27]



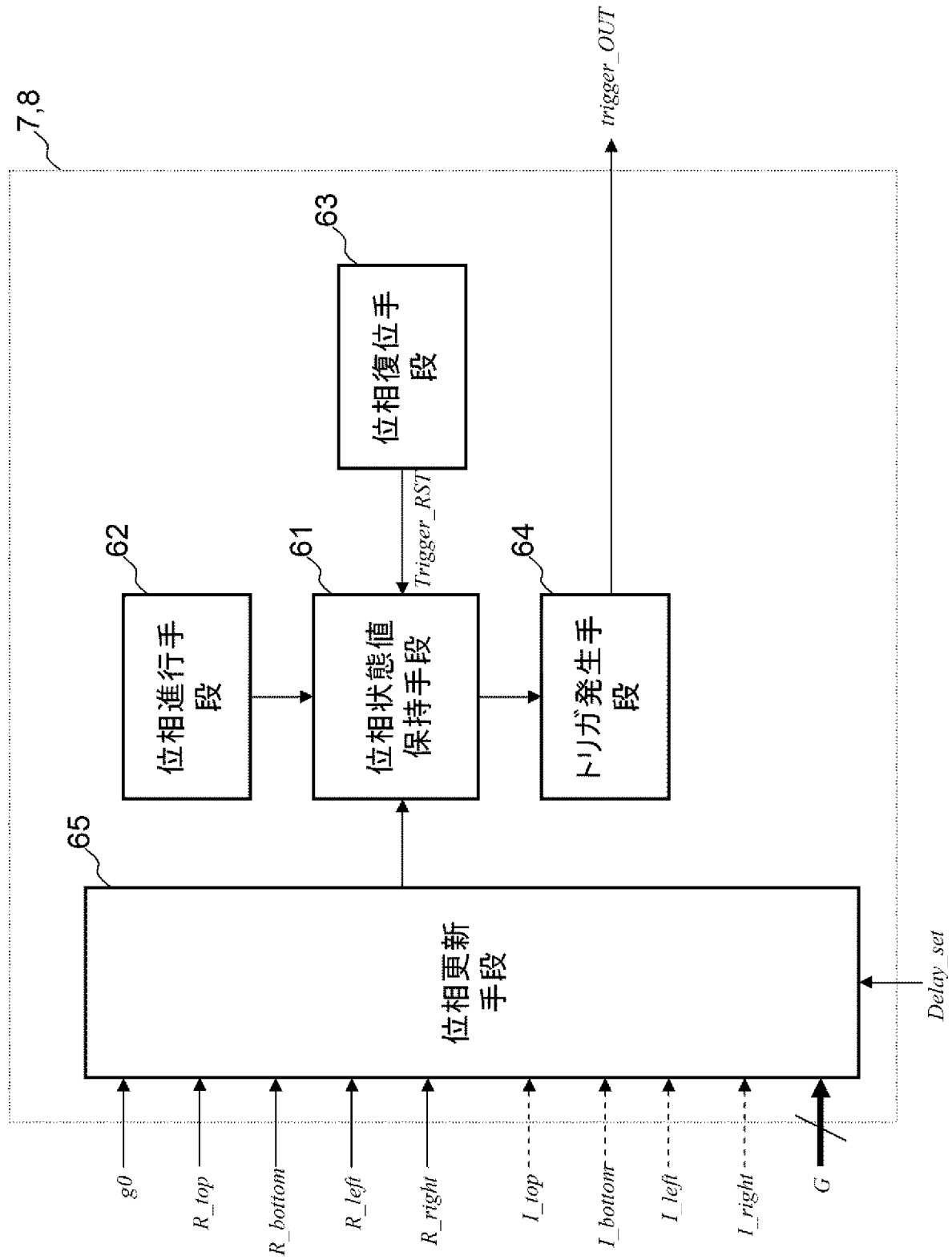
[図28]



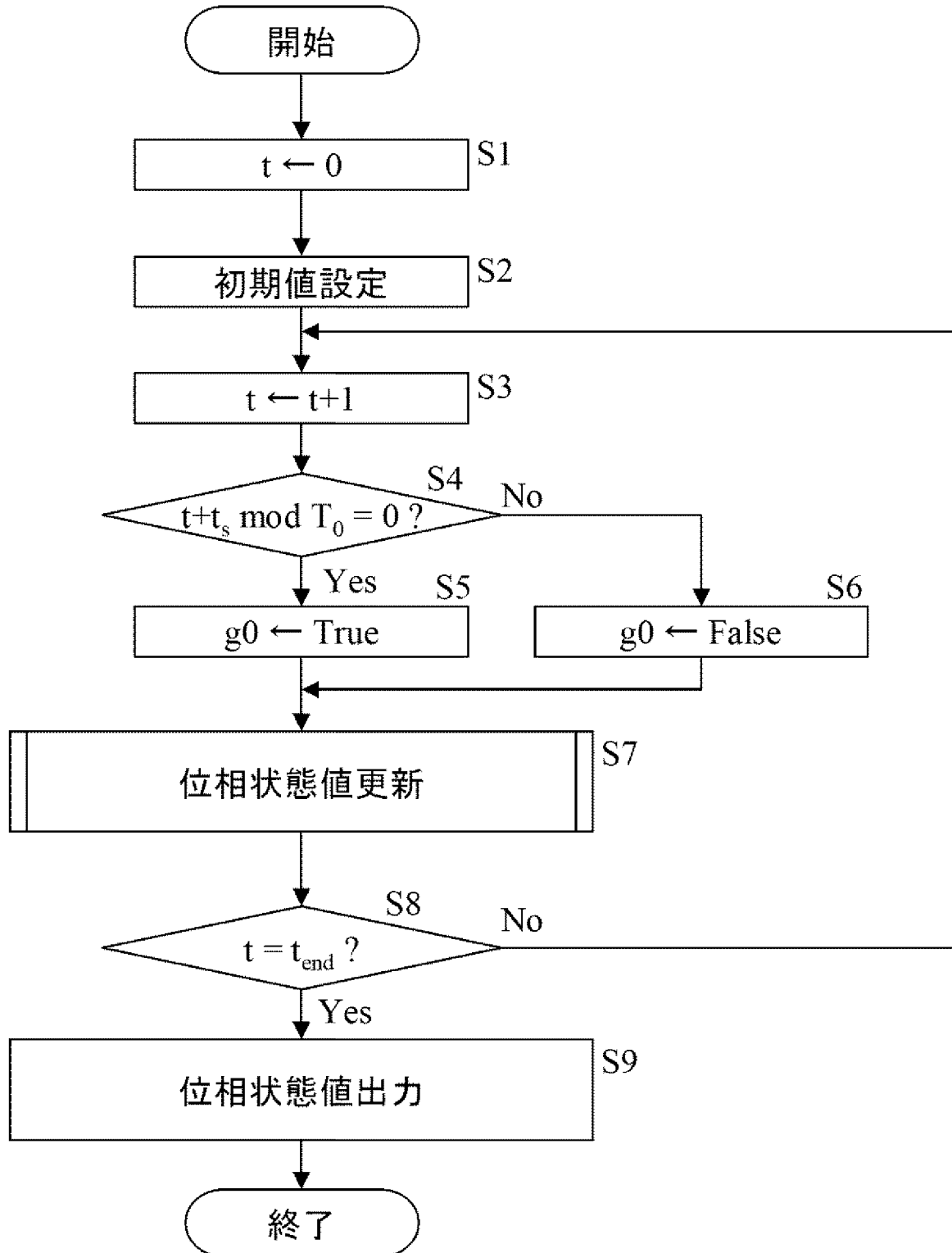
[図29]



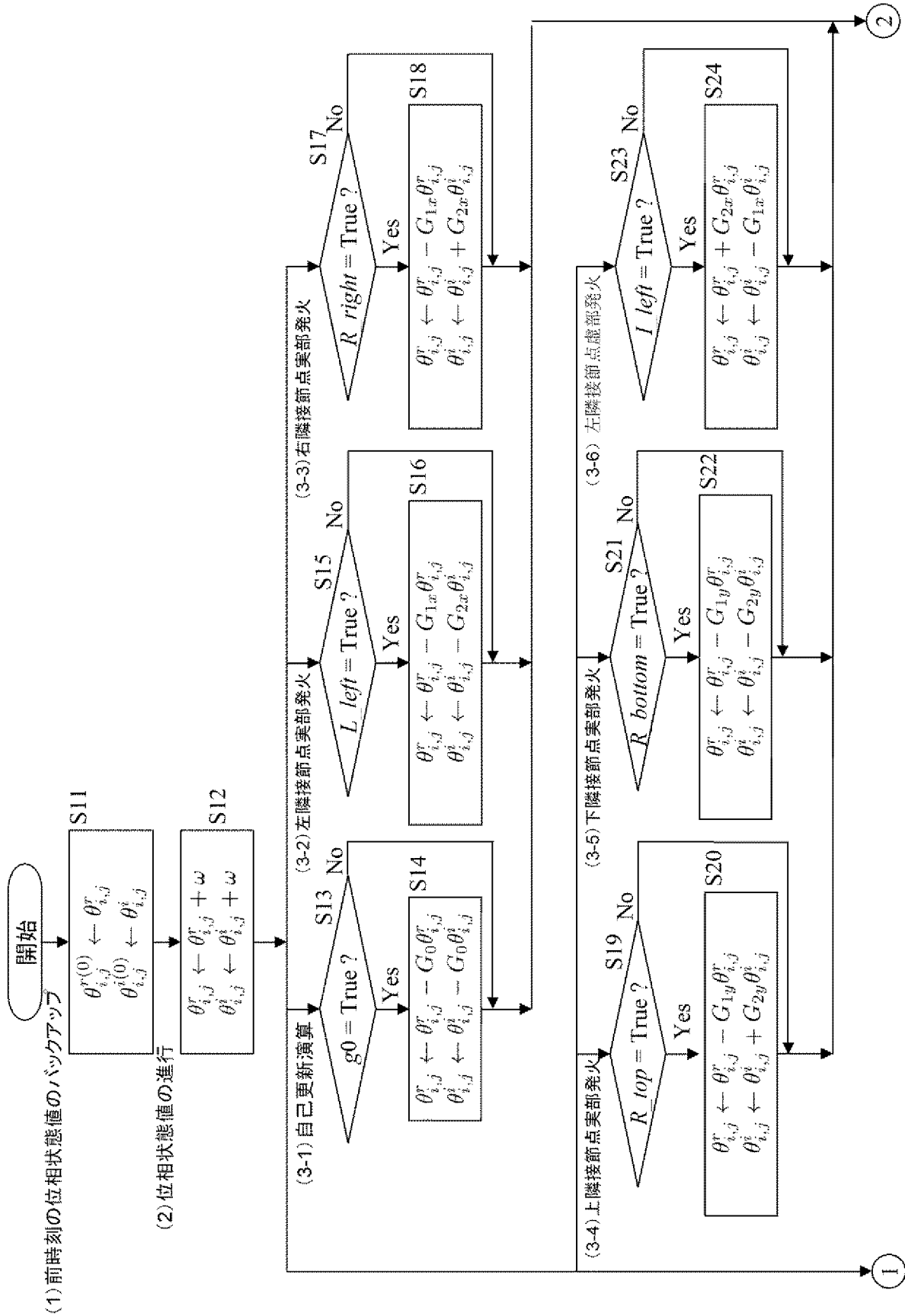
[図30]



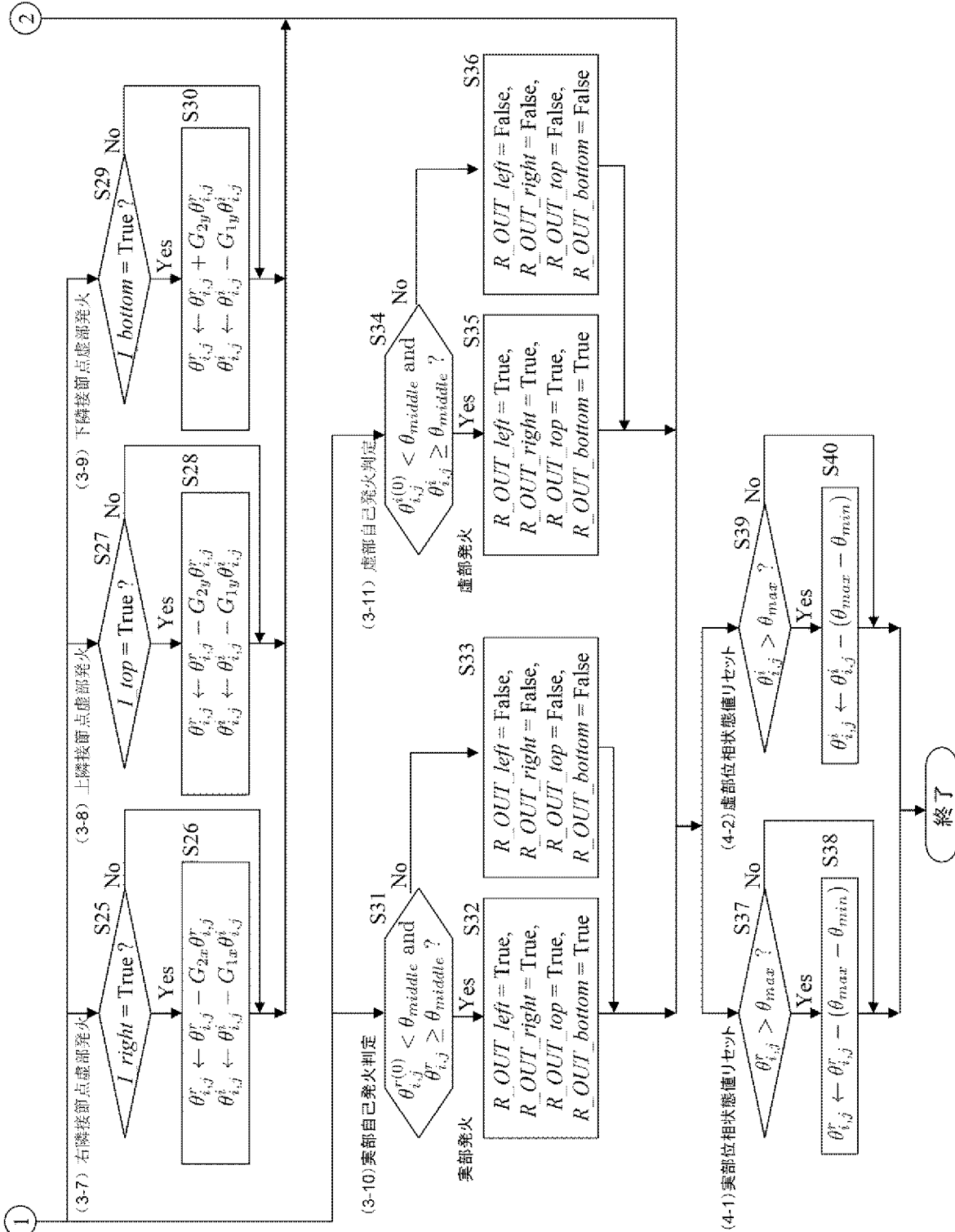
[図31]



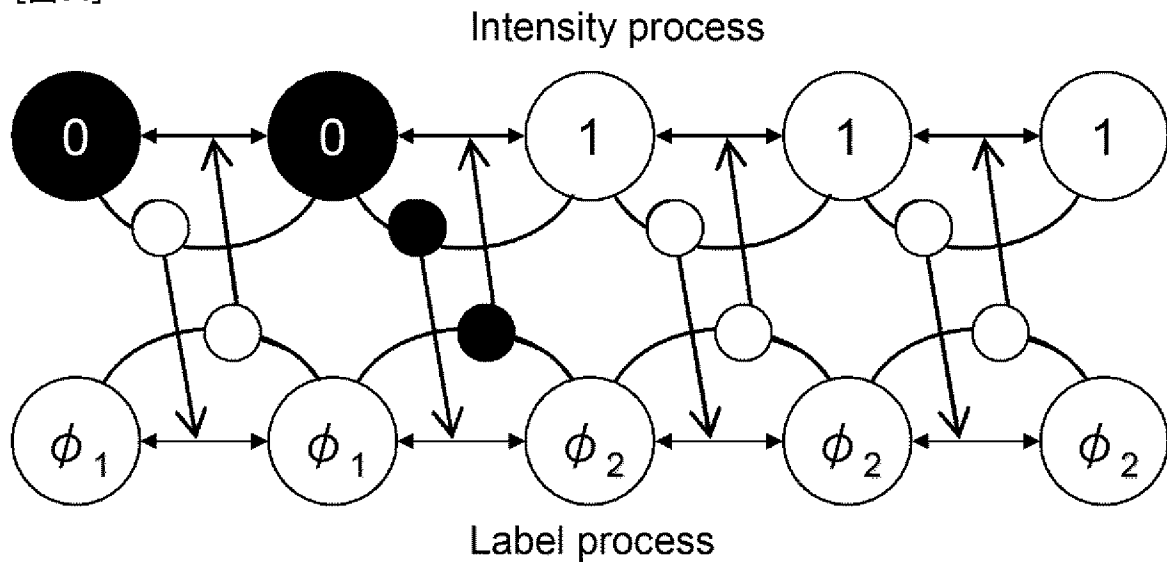
[図32]



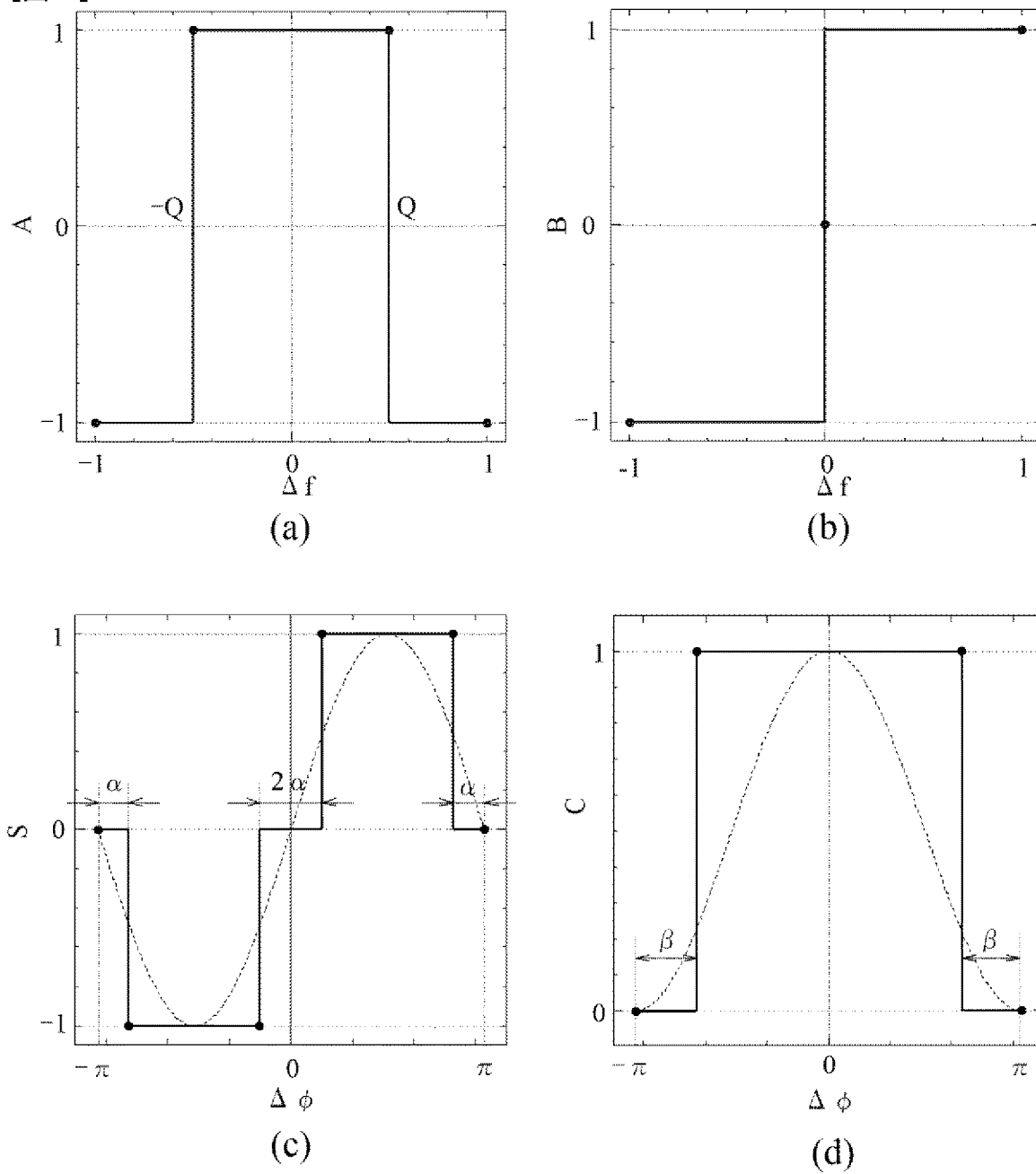
[図33]



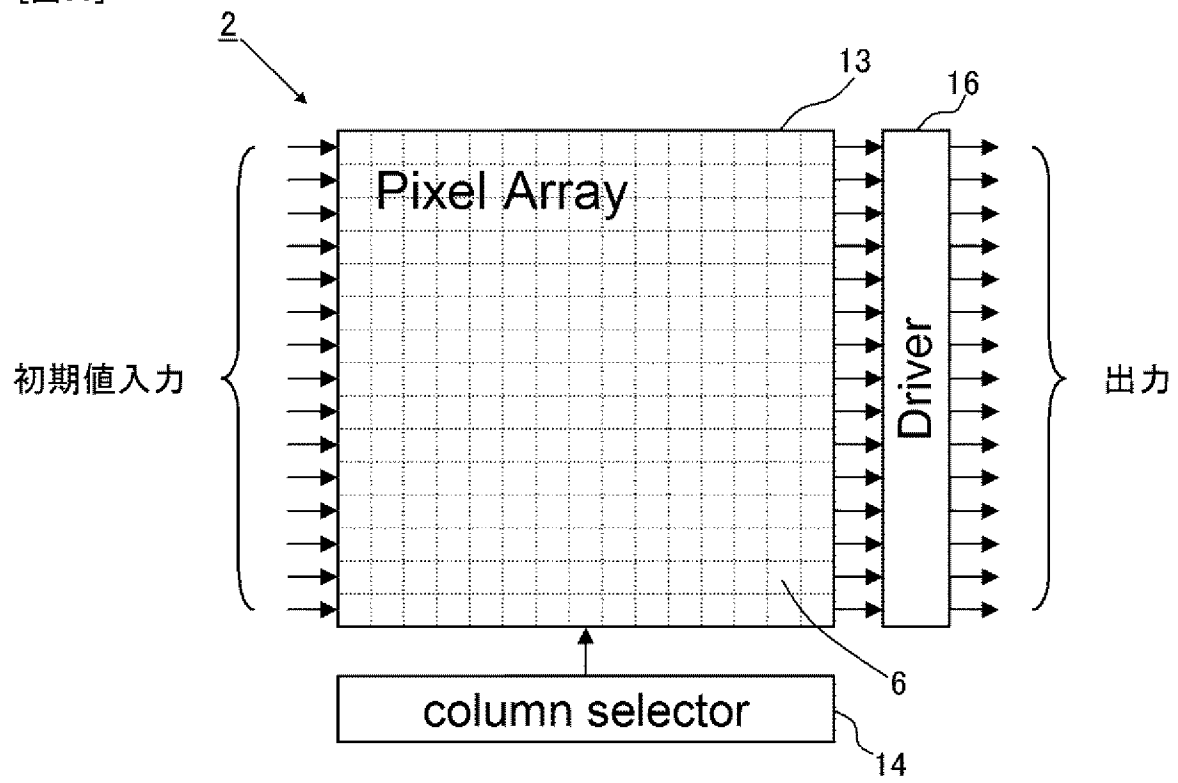
[図34]



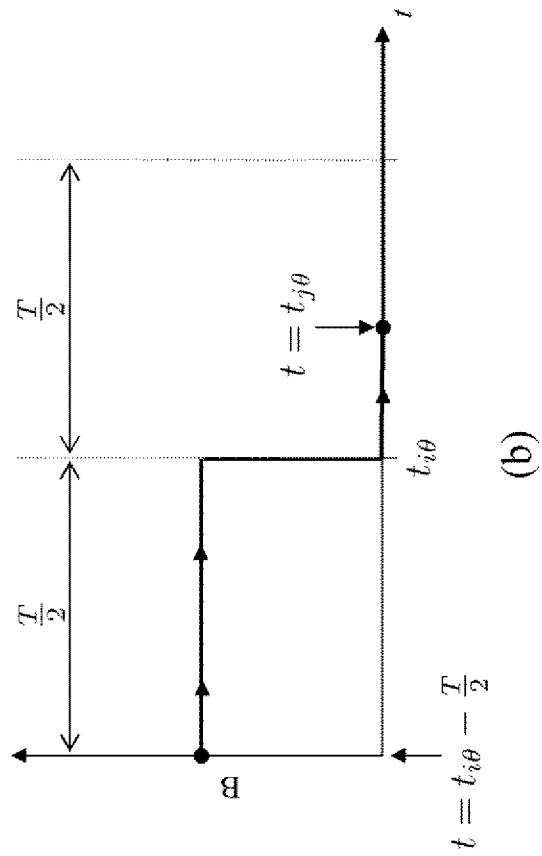
[図35]



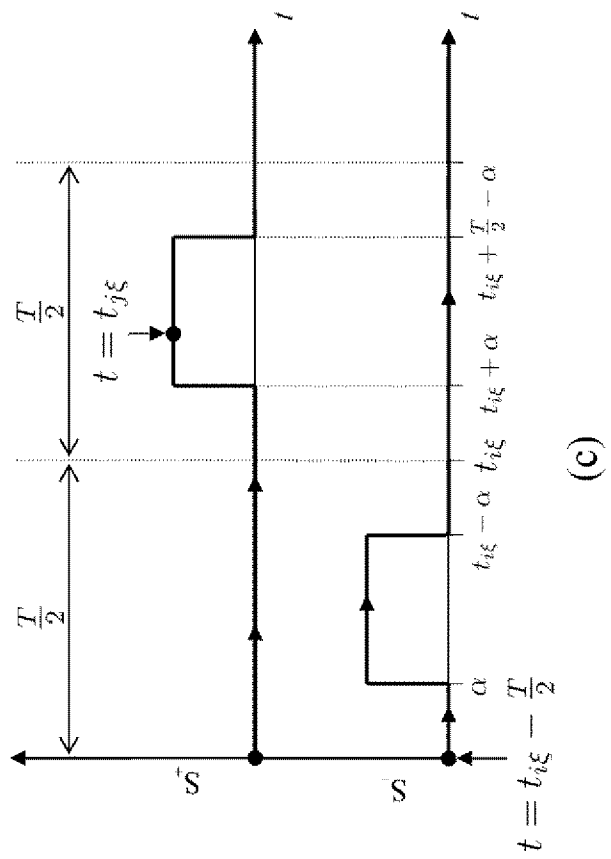
[図36]



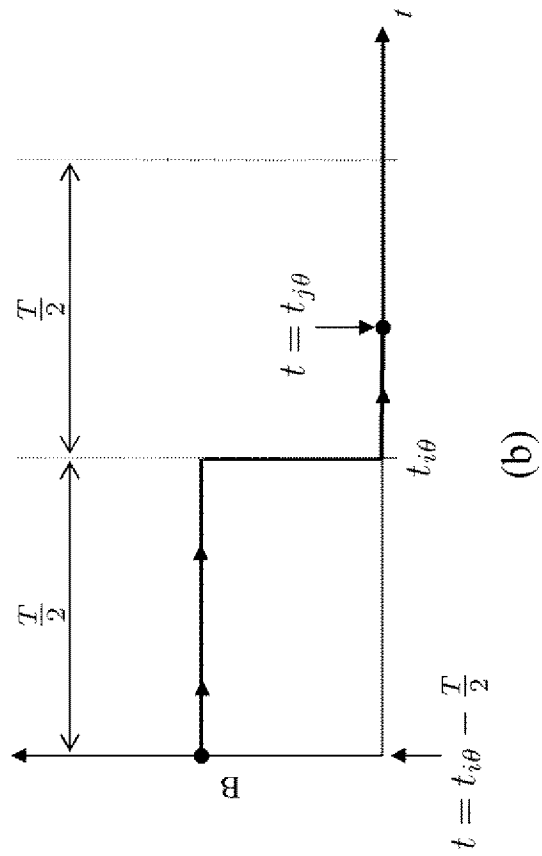
[図37]



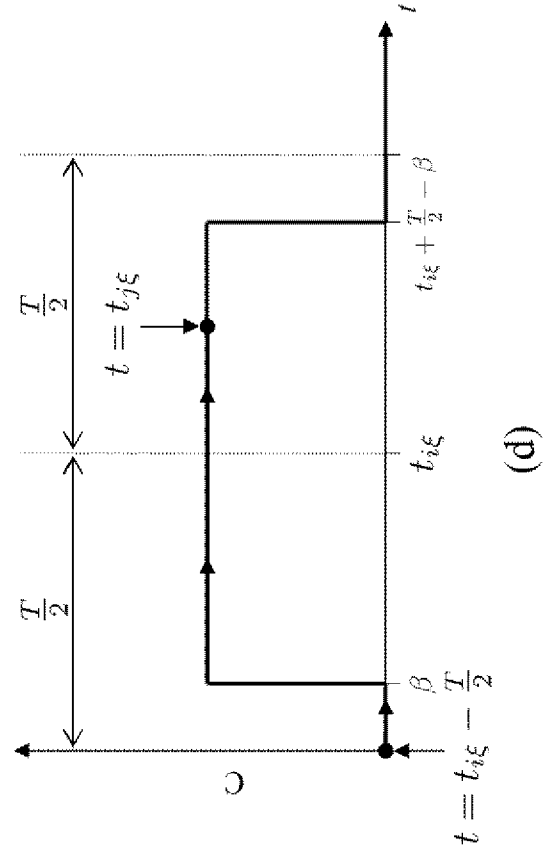
(a)



(b)

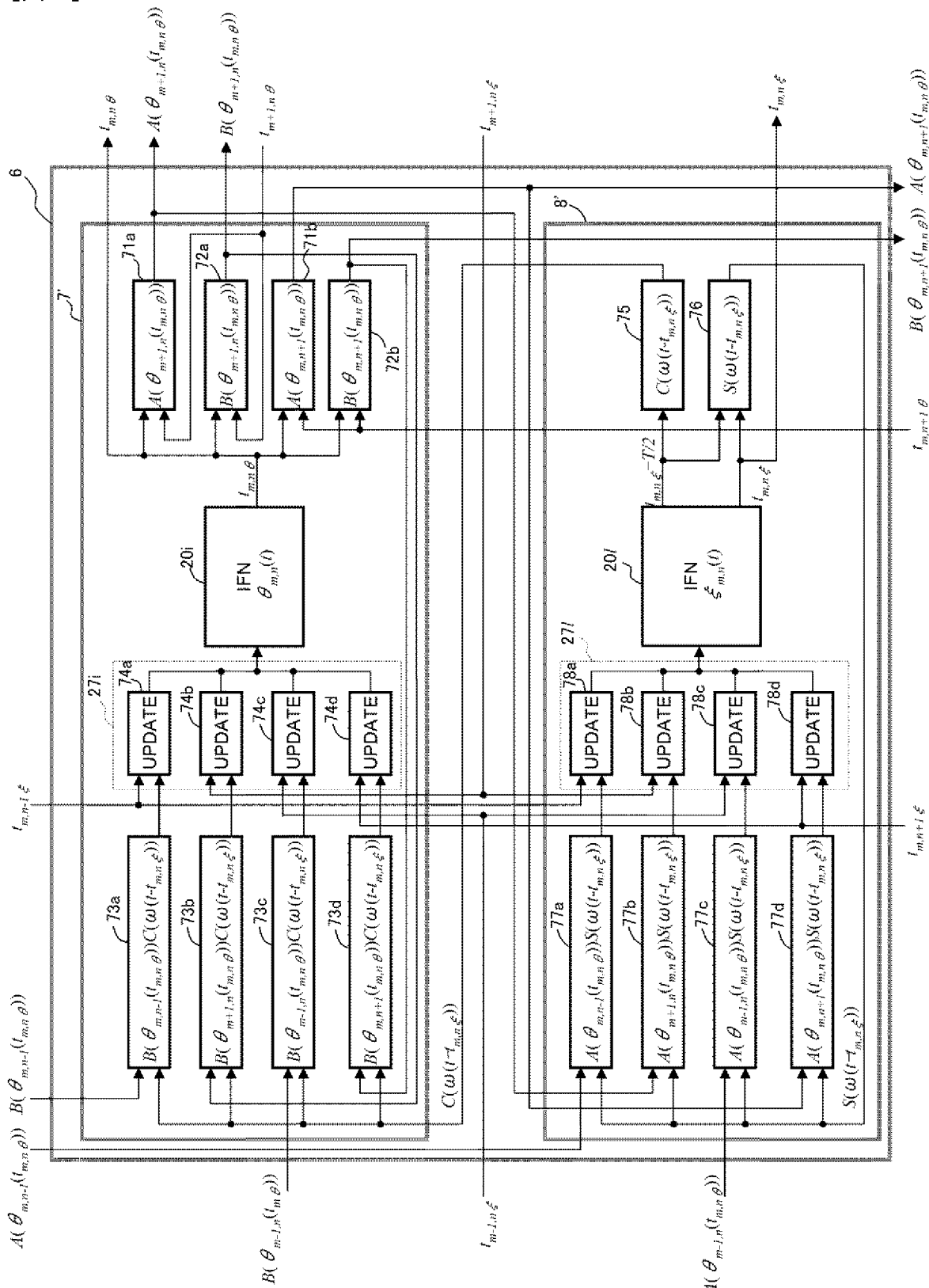


(c)

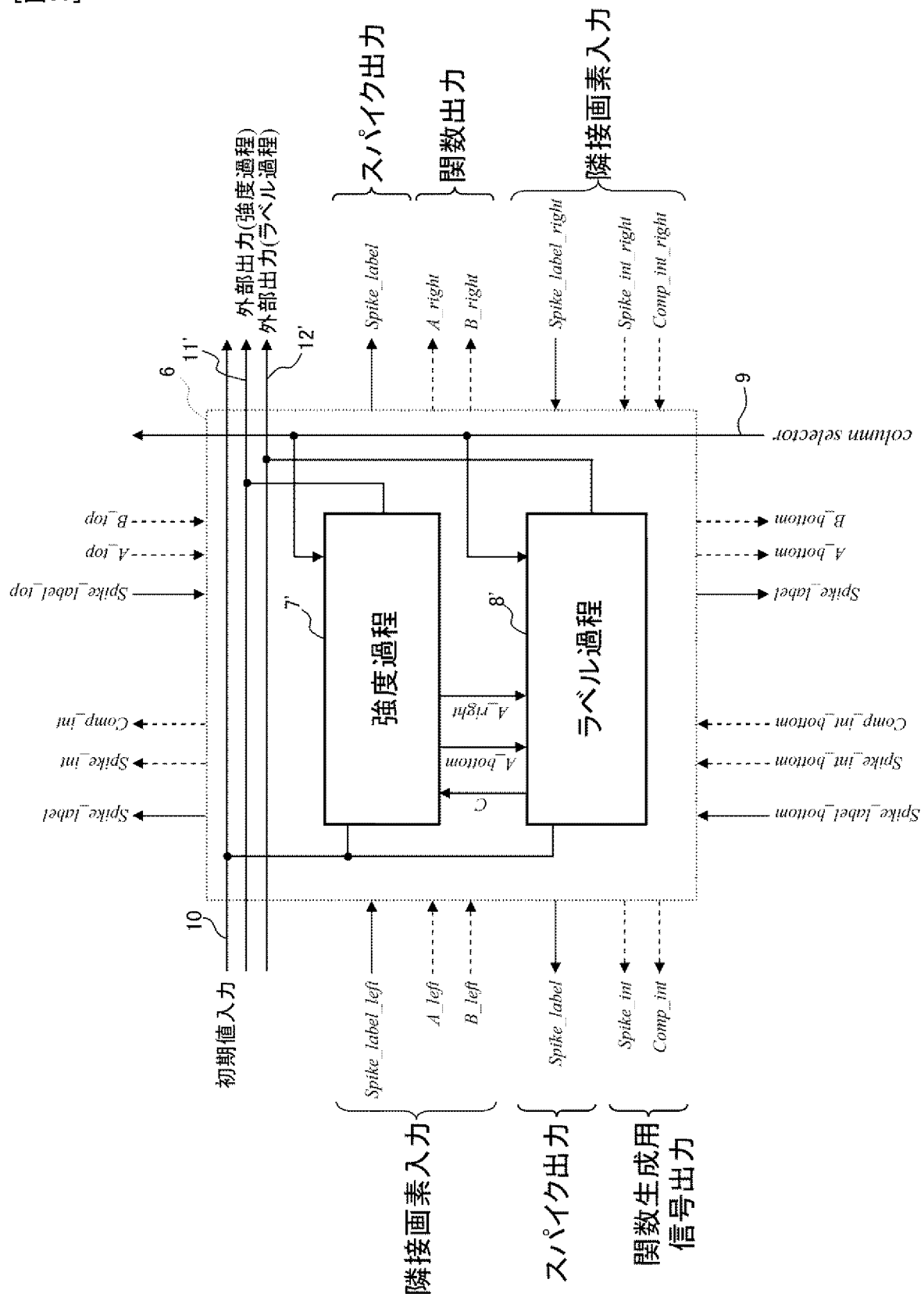


(d)

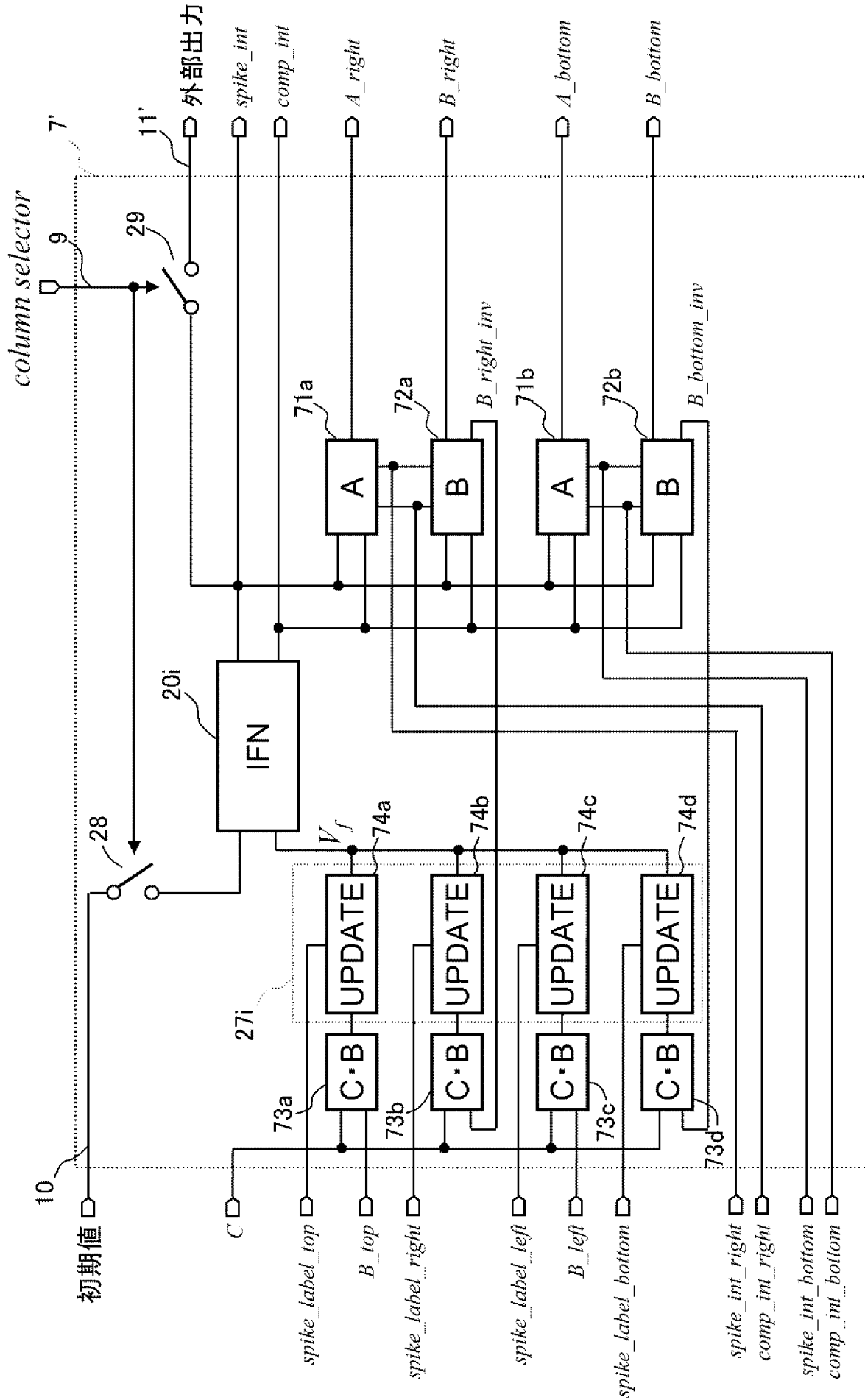
[図38]



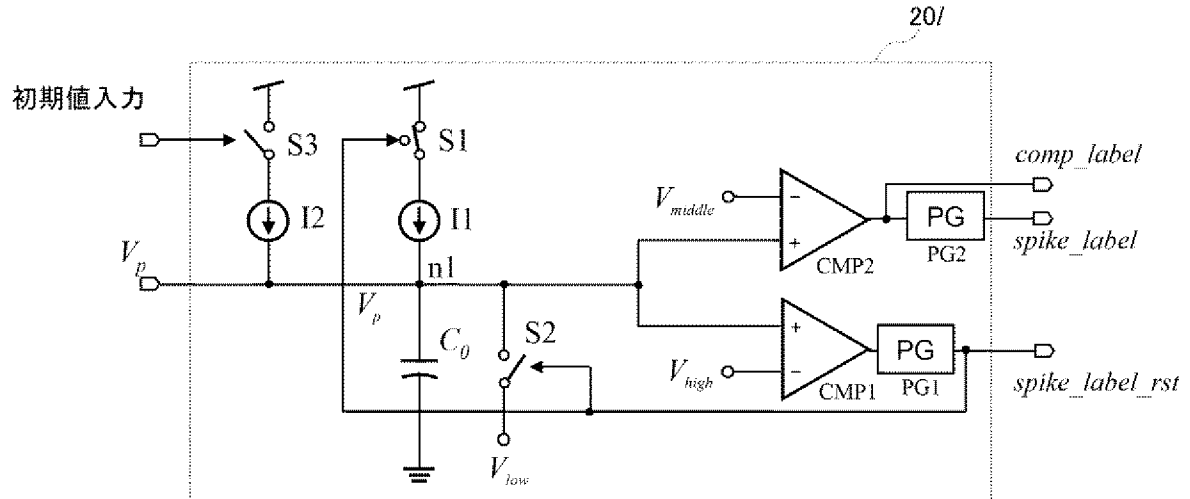
[図39]



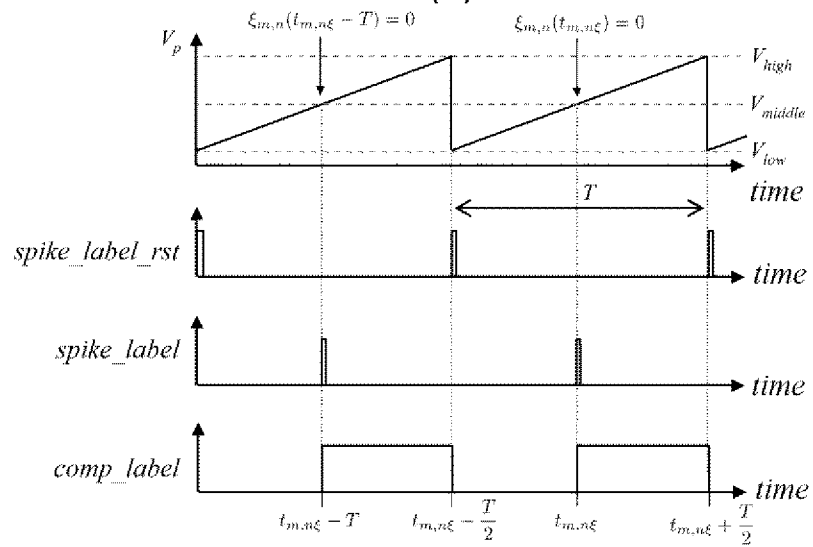
[図40]



[図42]

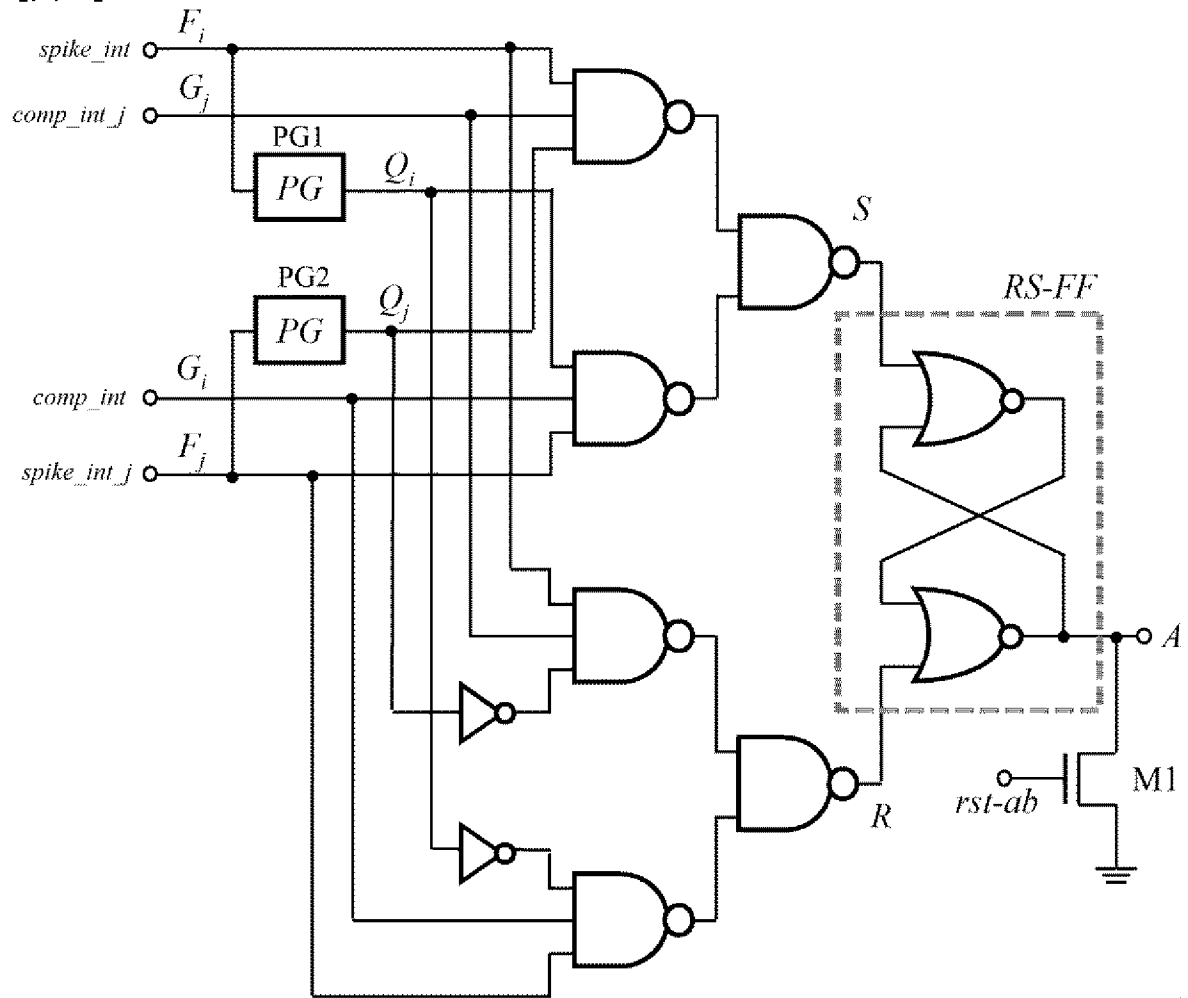


(a)

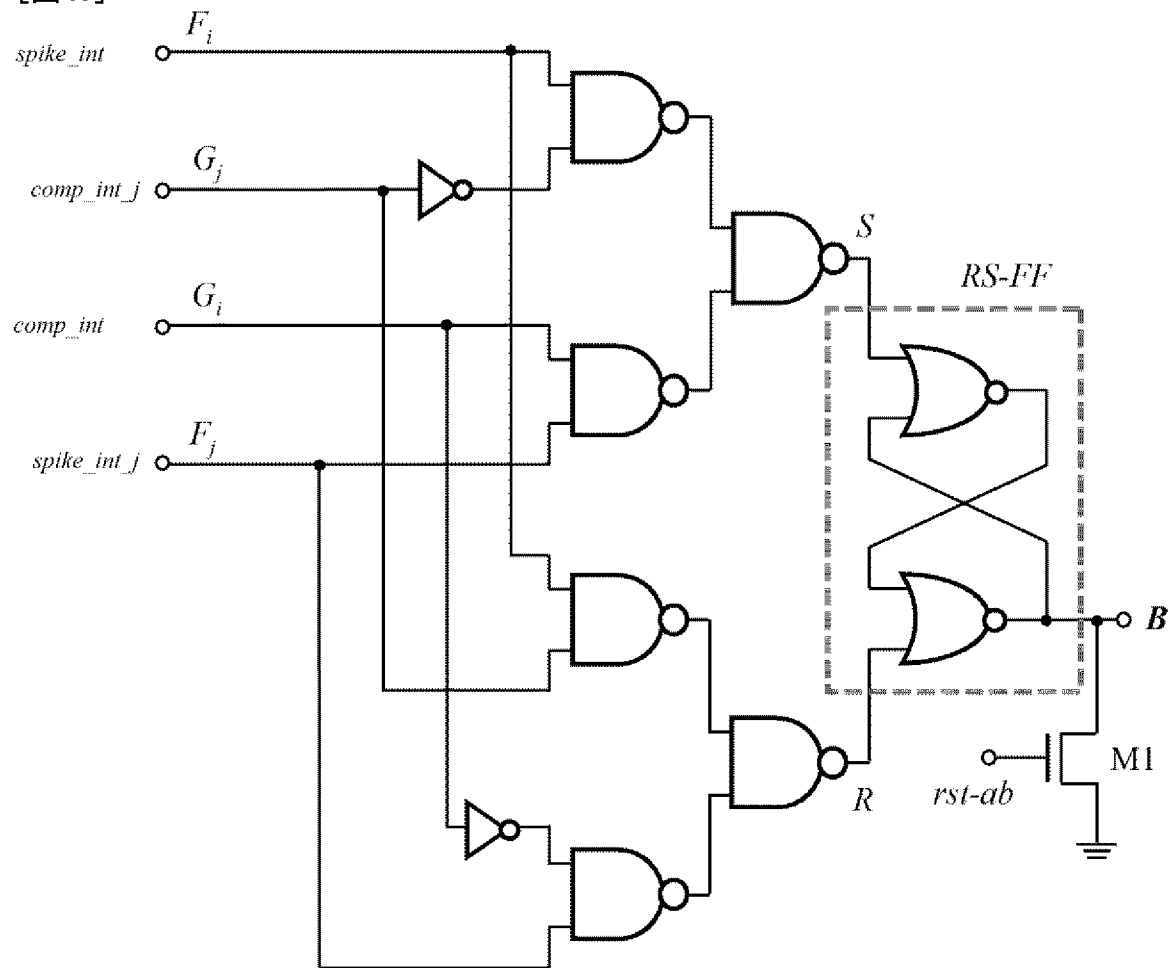


(b)

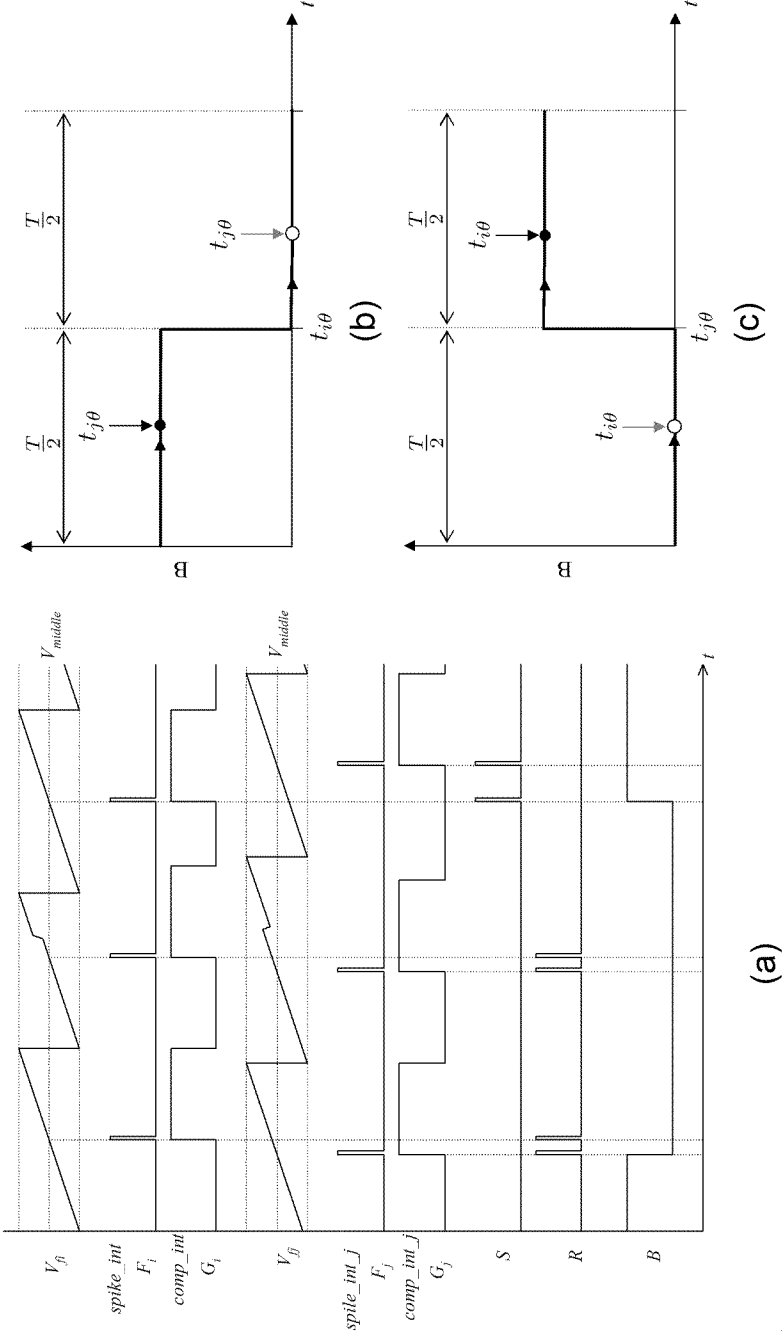
[図43]

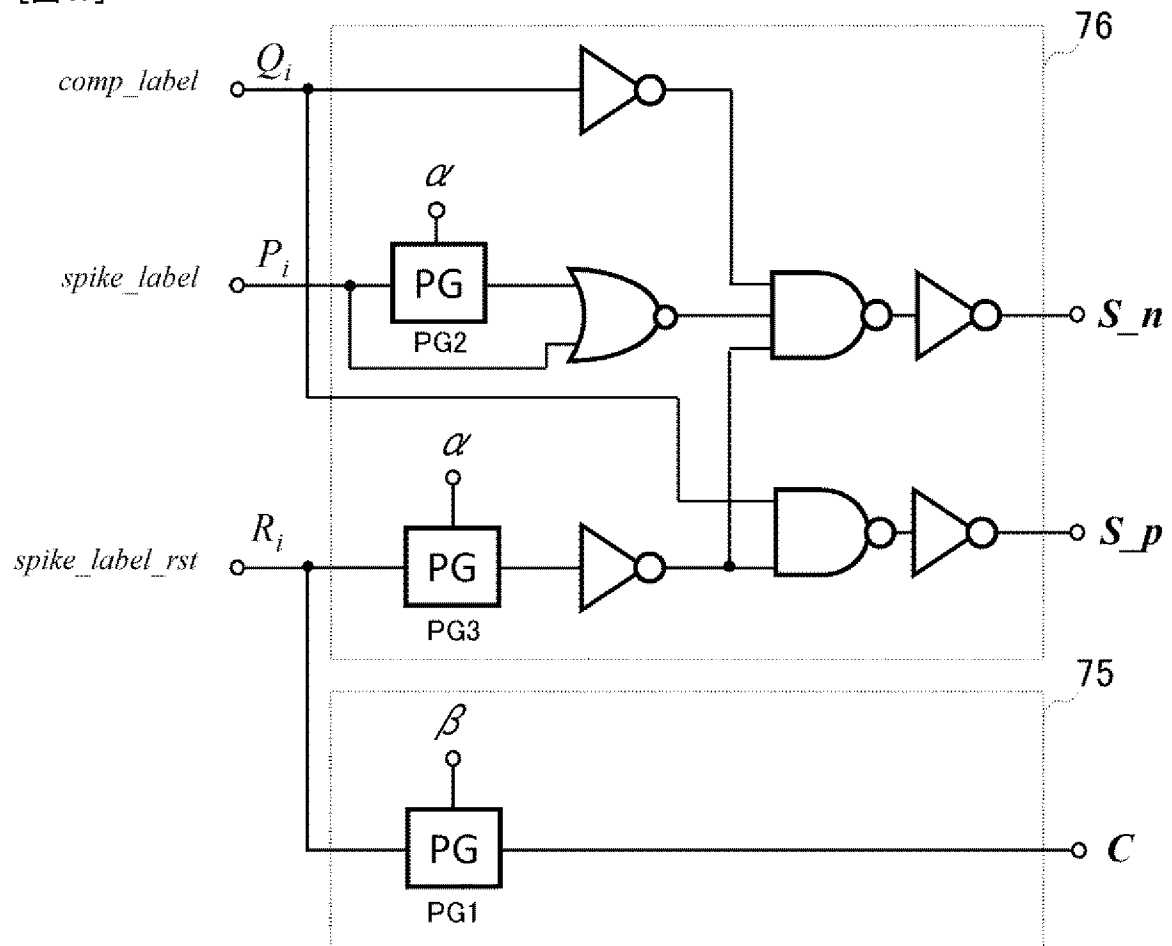


[図45]

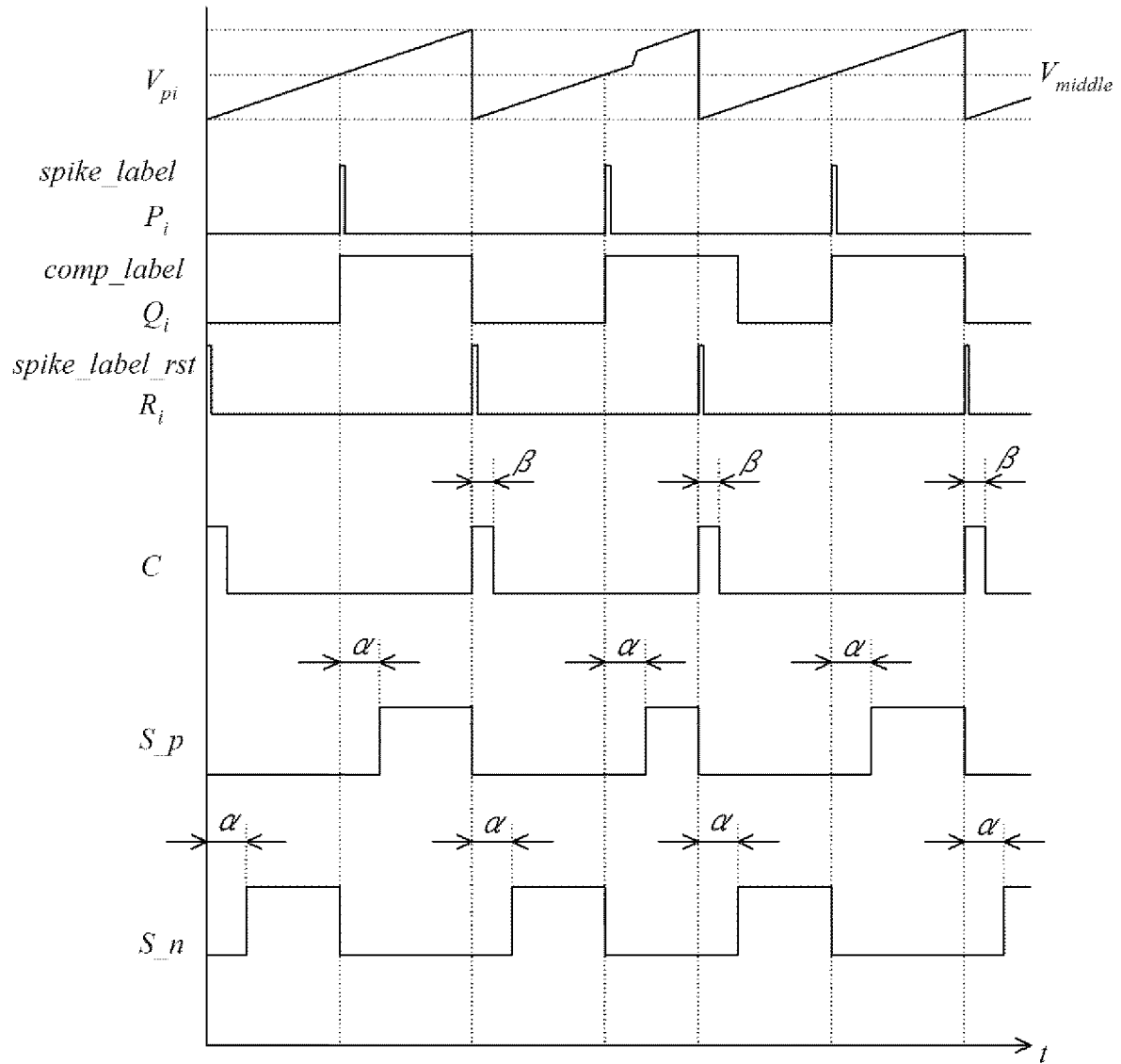


[図46]

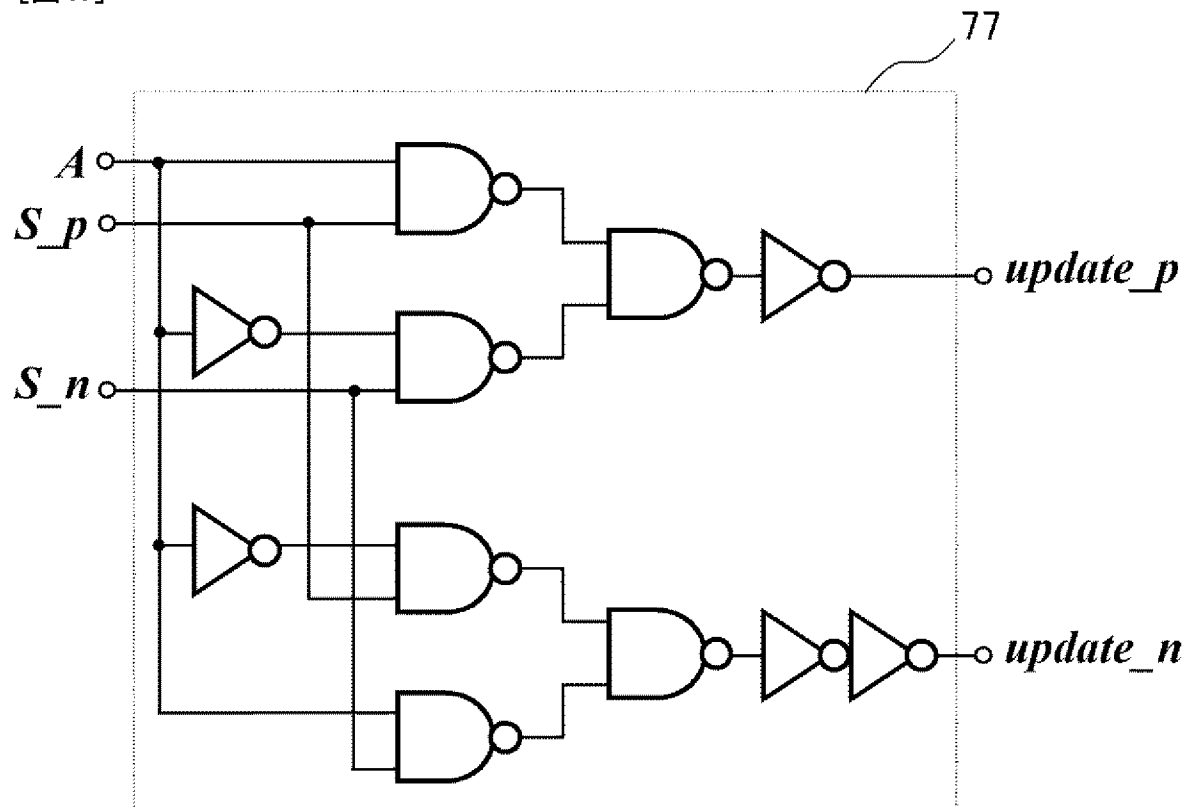




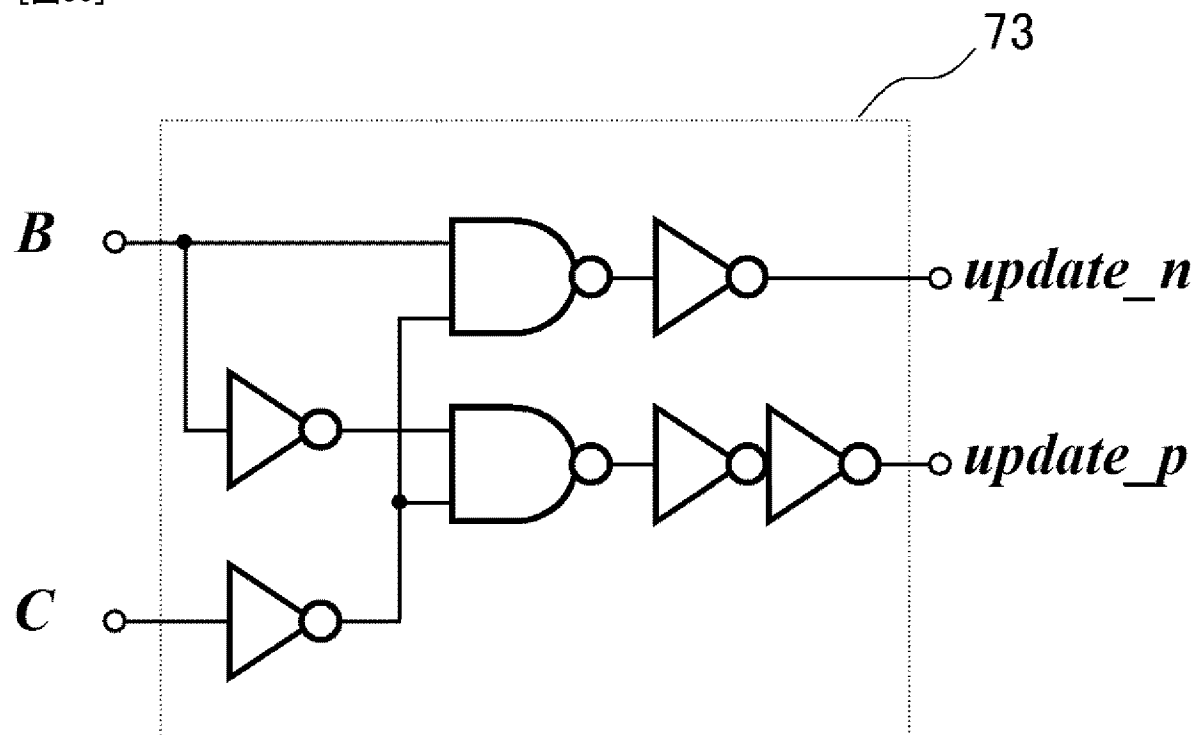
[図48]



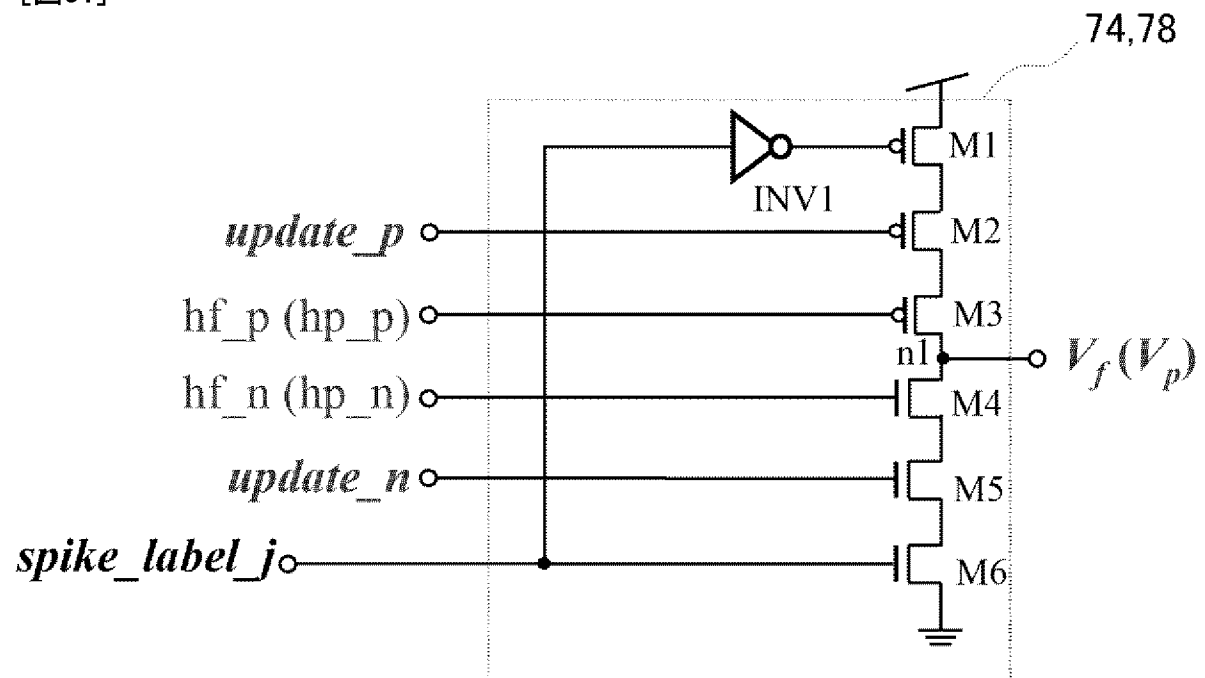
[図49]



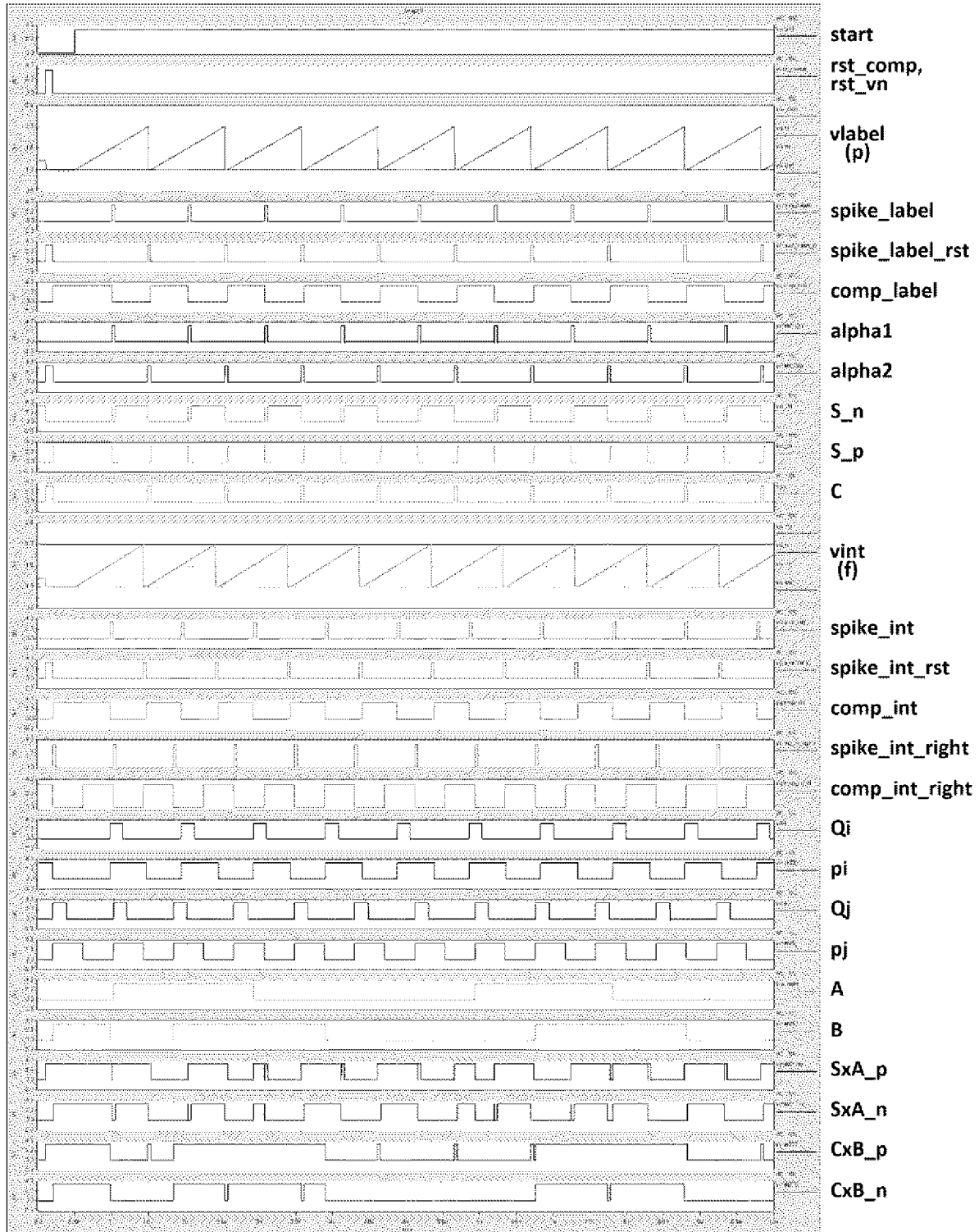
[図50]



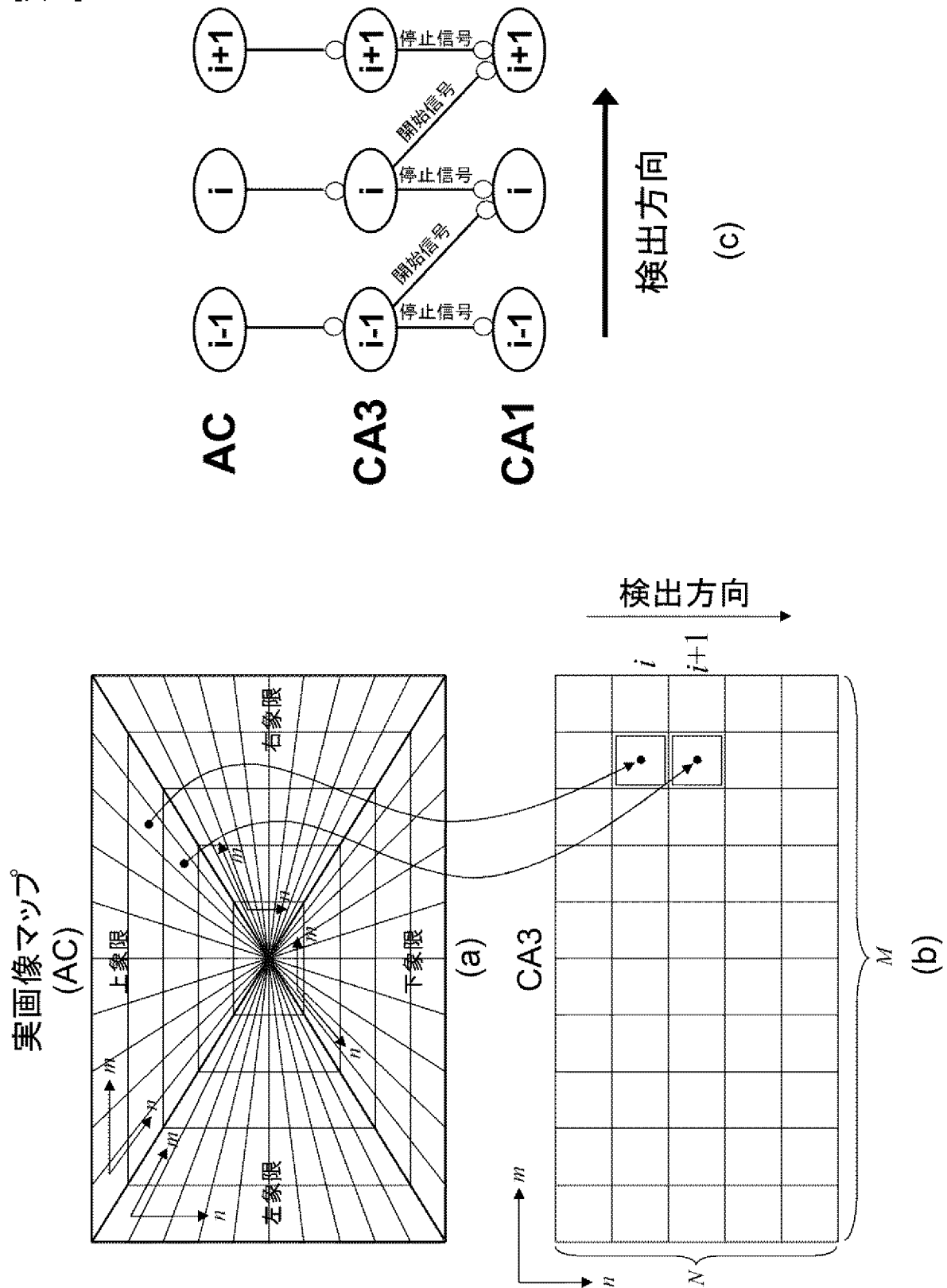
[図51]



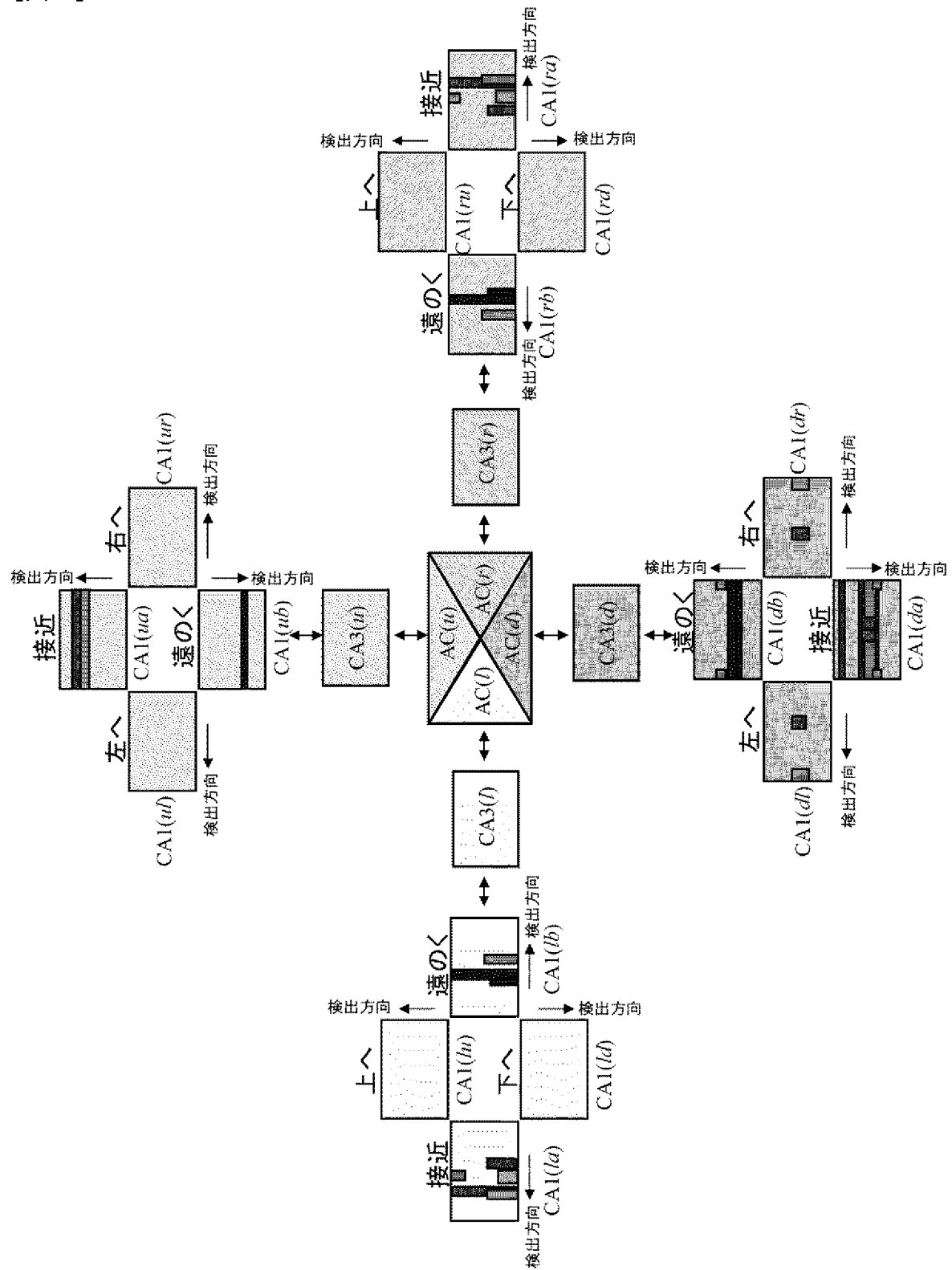
[図52]



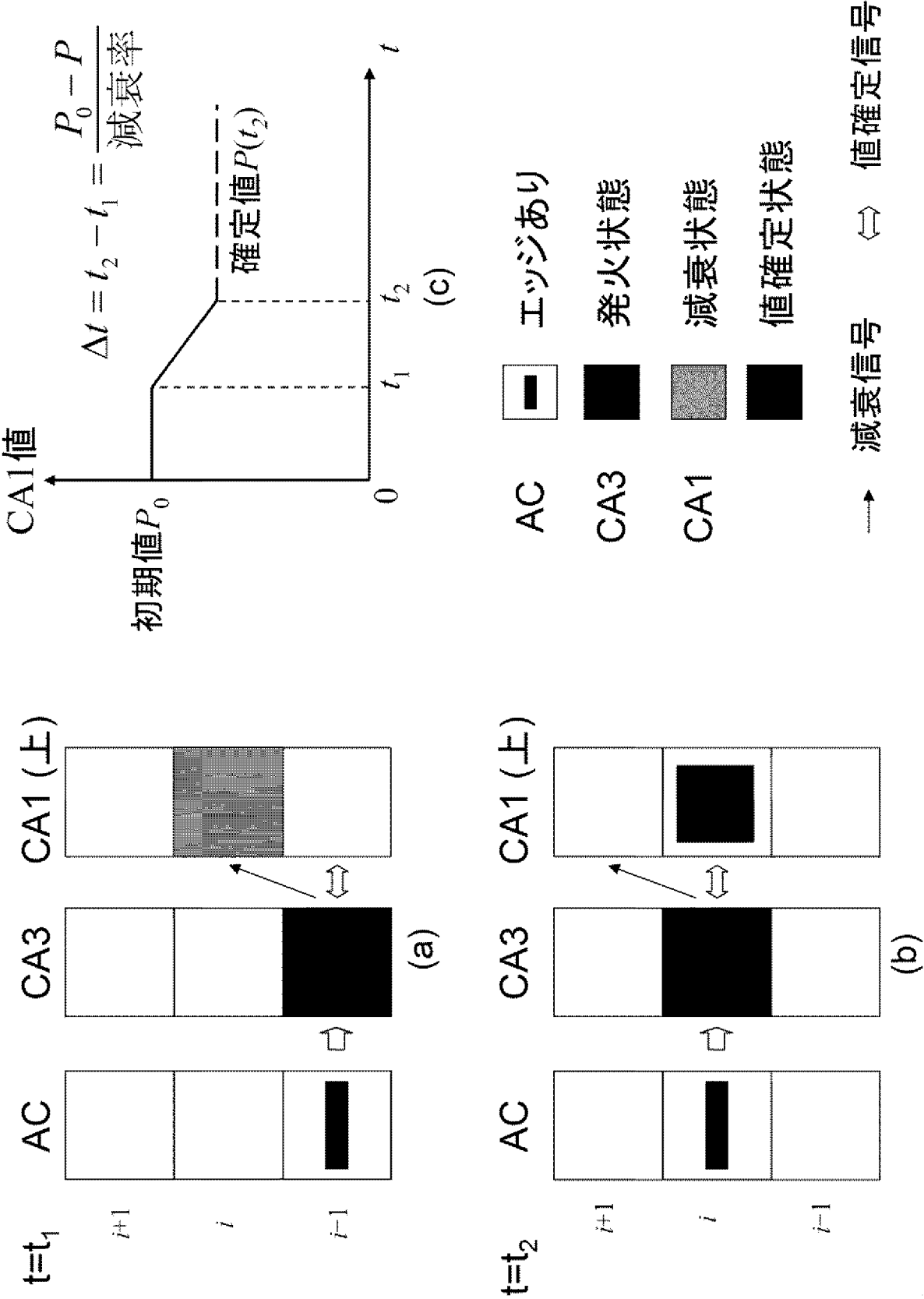
[図53]



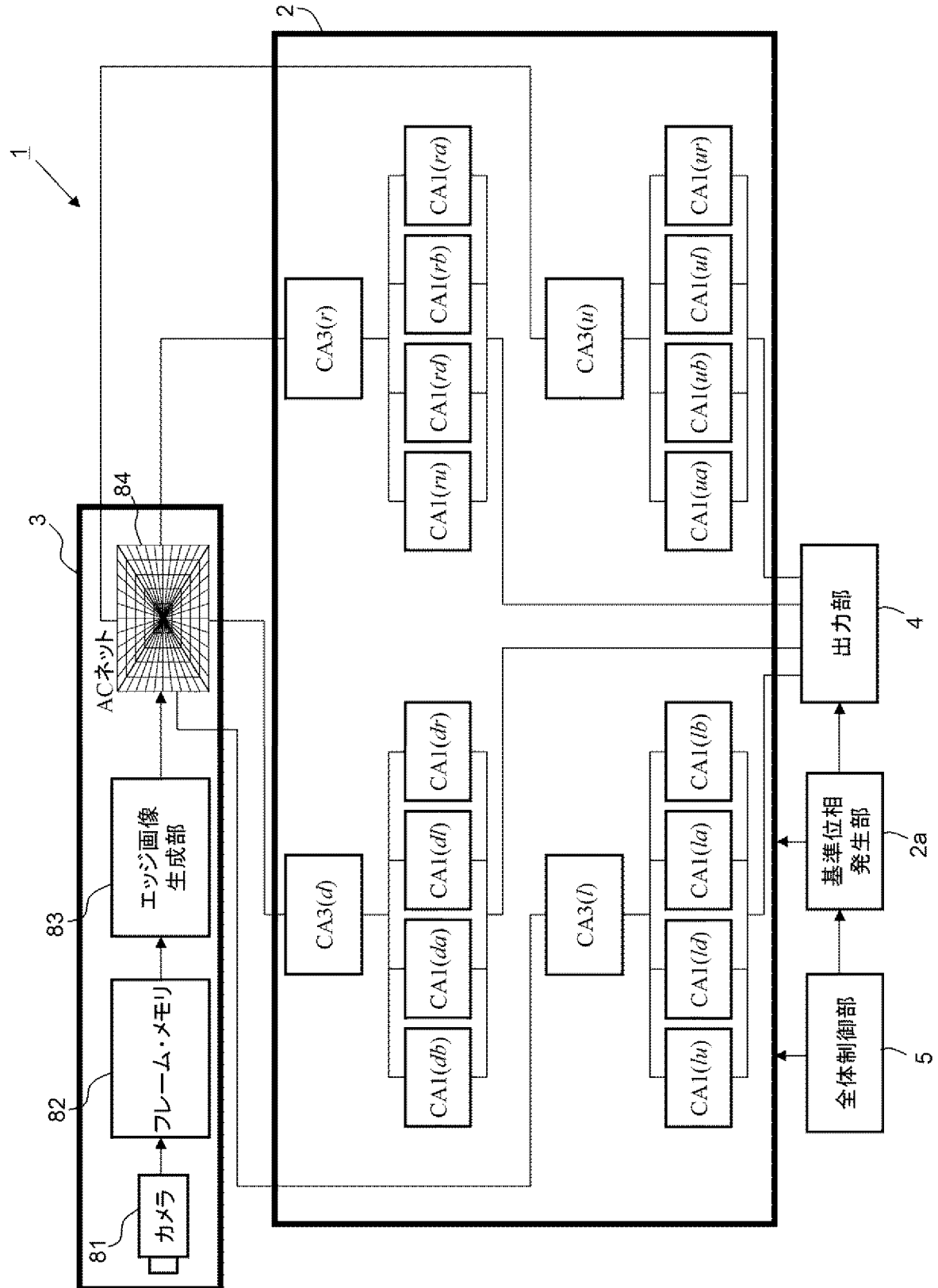
[図54]



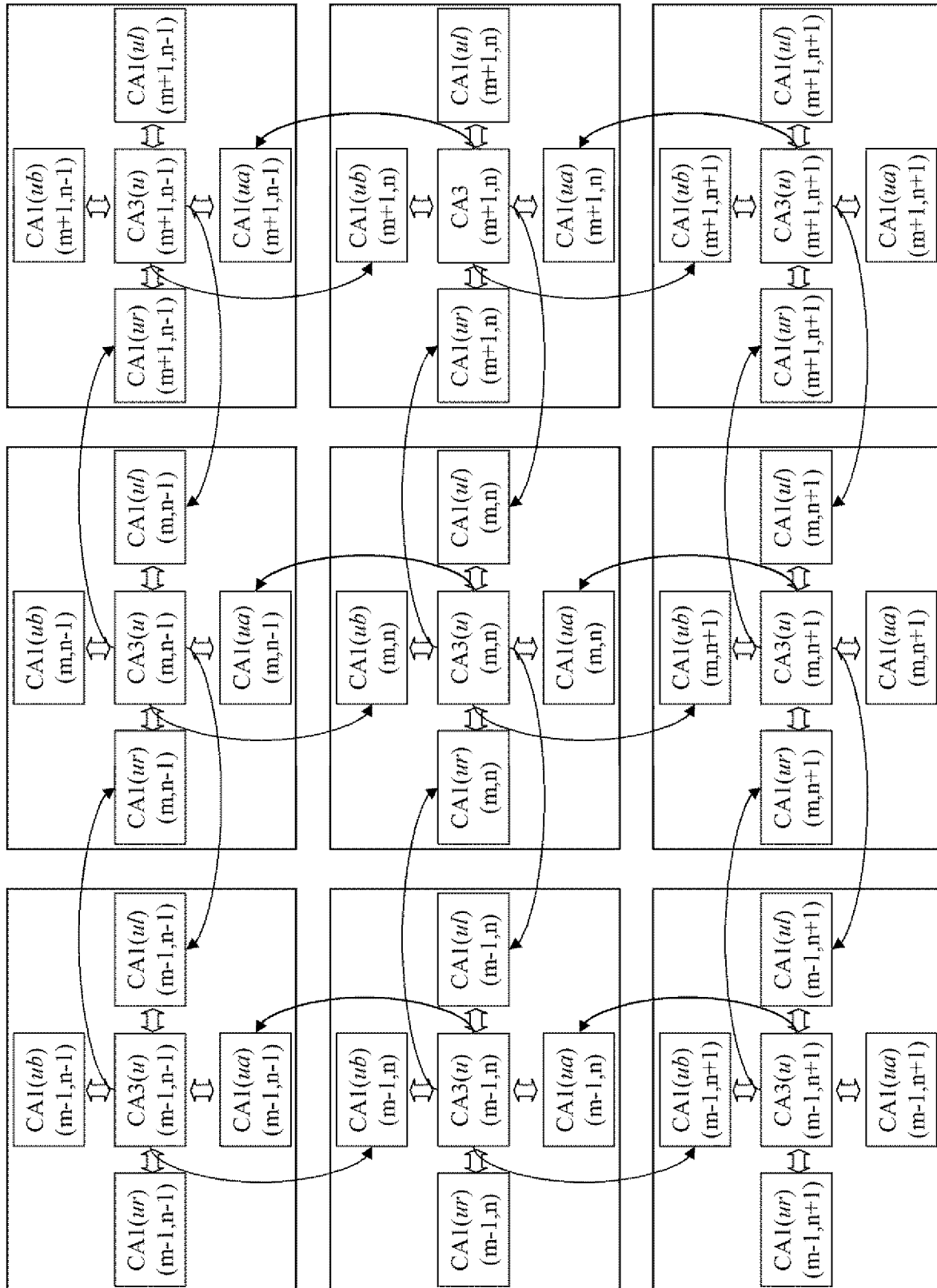
[図55]



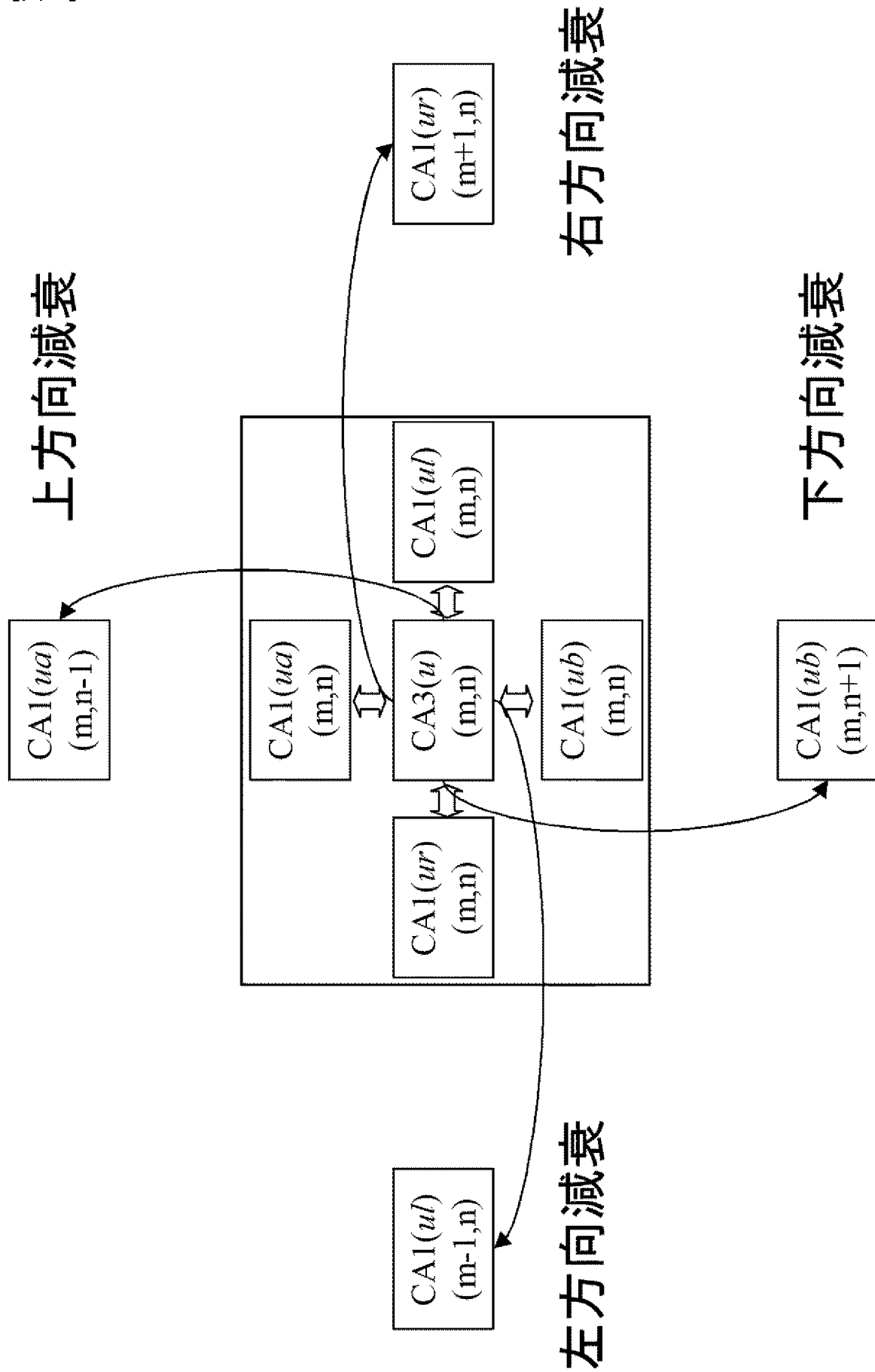
[図56]



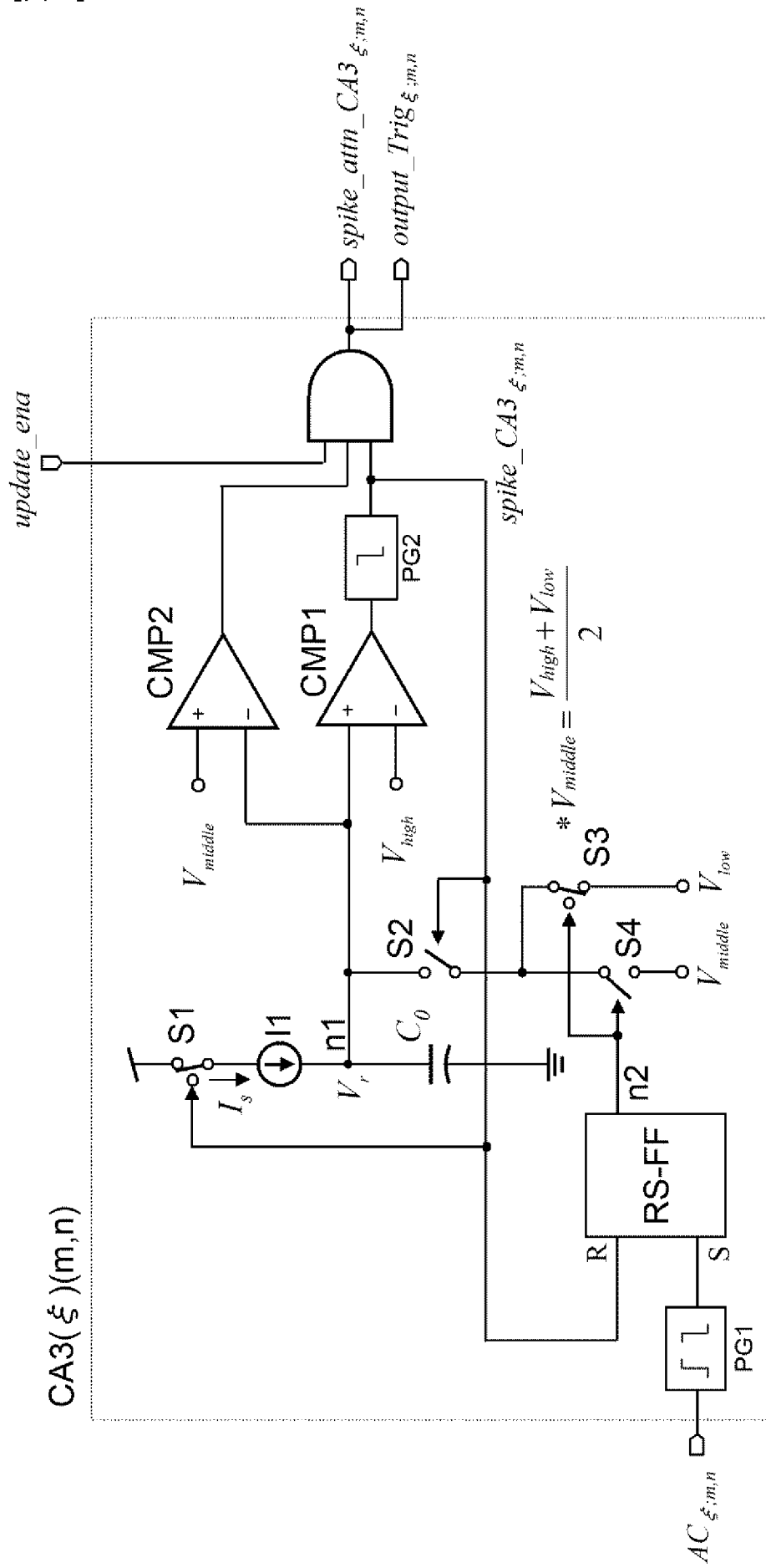
[図57]



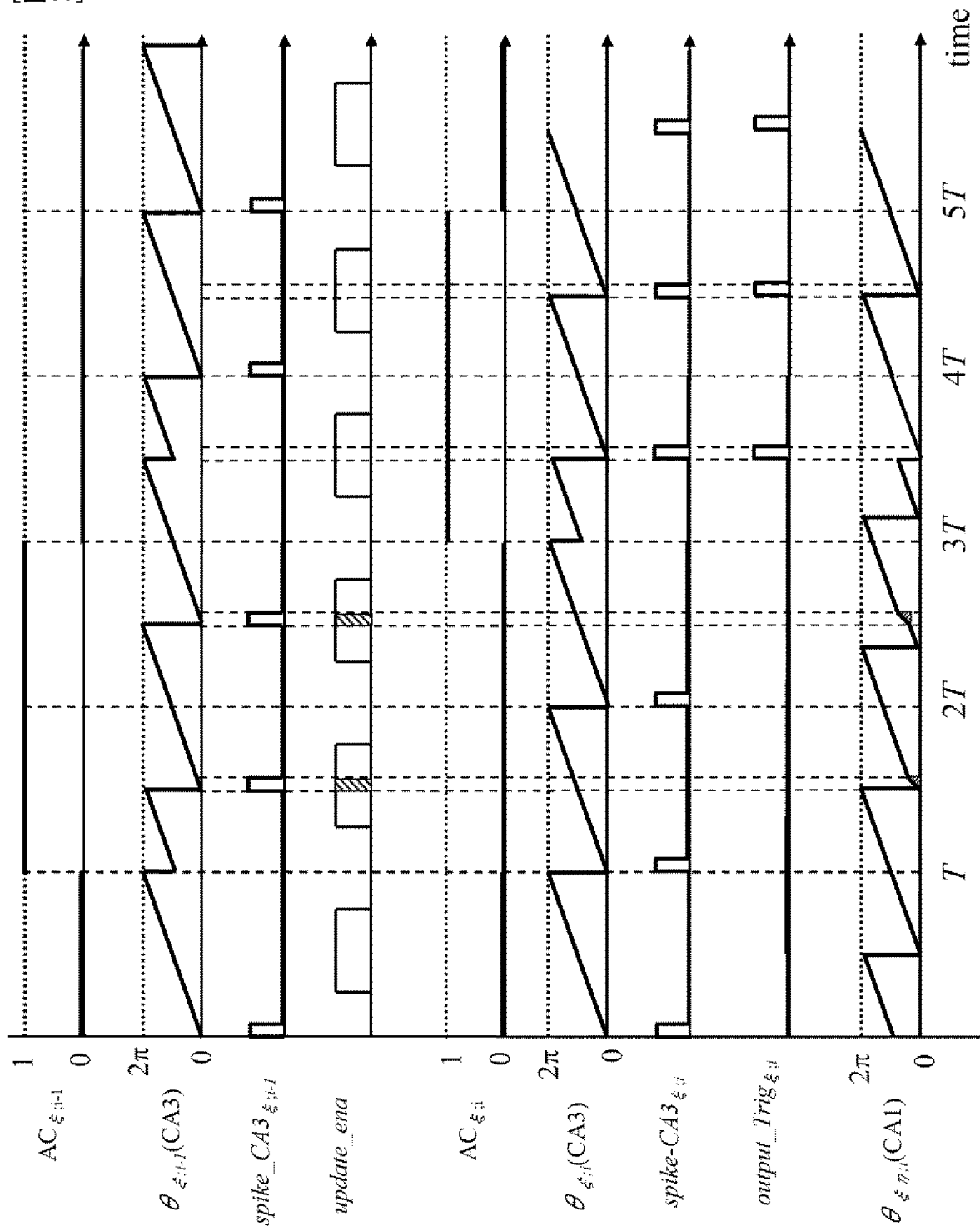
[図58]



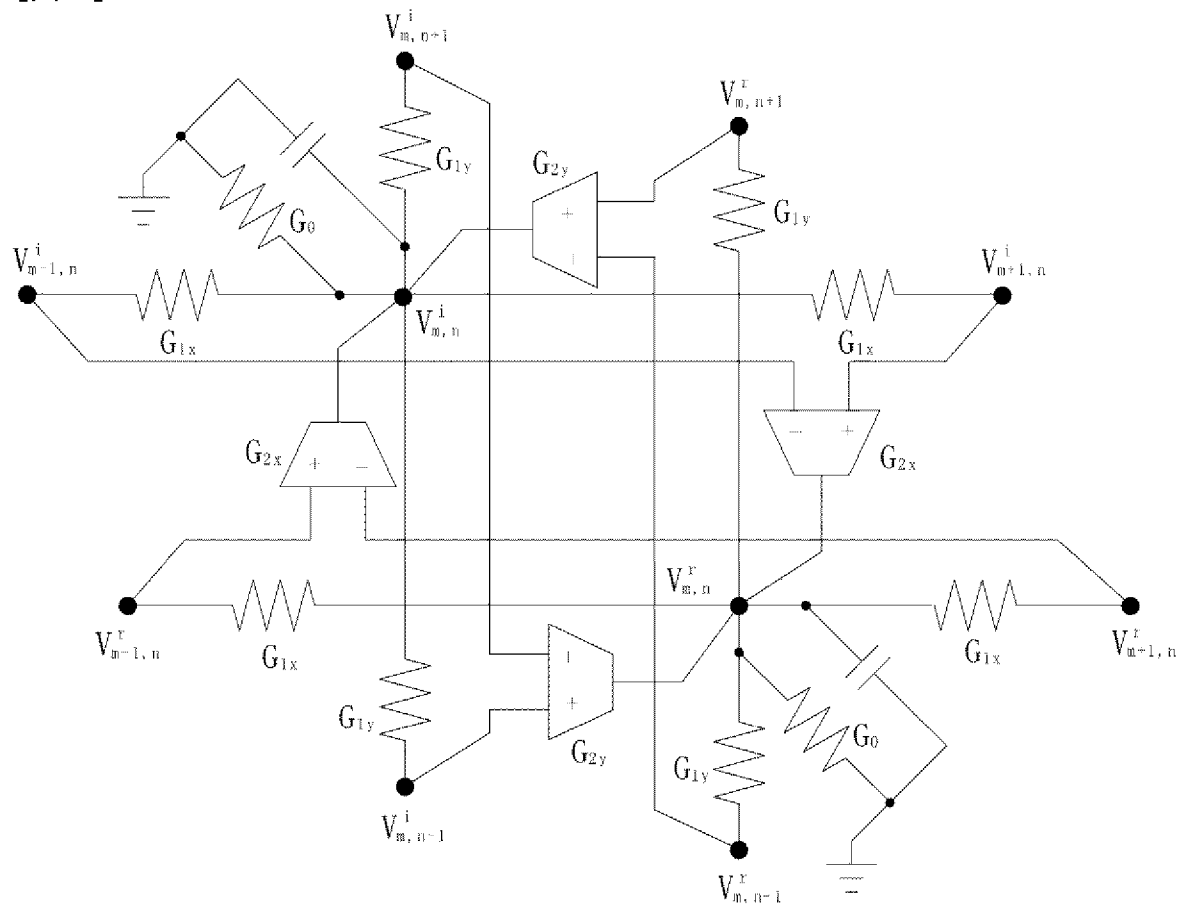
[図59]



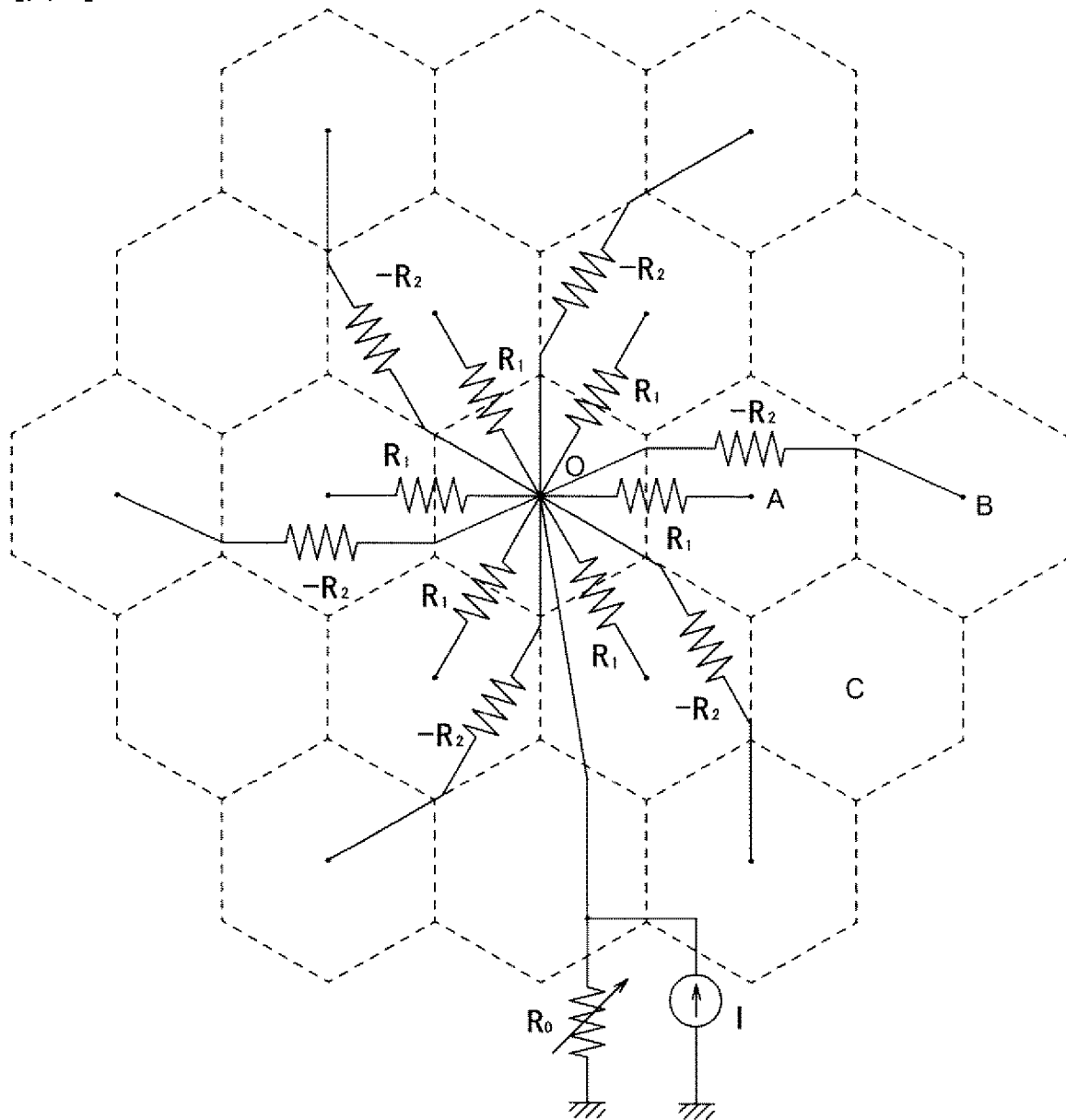
[図60]



[図61]



[図62]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/065608

A. CLASSIFICATION OF SUBJECT MATTER

G06F15/80 (2006.01) i, G06N3/063 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F15/80, G06N3/00-3/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore, CiNii, JSTPlus/JMEDPlus/JST7580 (JDreamII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-133618 A (Sony Corp.), 22 May 1998 (22.05.1998), paragraphs [0039] to [0059]; fig. 1, 2 & US 6088062 A	1-9
A	JP 10-191392 A (Sony Corp.), 21 July 1998 (21.07.1998), paragraphs [0104] to [0117]; fig. 2, 3 & US 6088062 A	1-9

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

05 October, 2010 (05.10.10)

Date of mailing of the international search report

19 October, 2010 (19.10.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/065608

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Kenji MATSUZAKA, Takashi MORIE, "Taikyokuteki Gazo Ryoiki Bunkatsu no Tameno Ryoiki Base MRF Model o Jitsugen suru CMOS Kairo", Heisei 21 Nen Proceedings of the Electronics, Information and Systems Conference, Electronics, Information and Systems Conference Taikai Iinkai, 03 September 2009 (03.09.2009), pages 90 to 91	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. G06F15/80(2006.01)i, G06N3/063(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F15/80, G06N3/00-3/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE Xplore, CiNii, JSTPlus/JMEDPlus/JST7580(JDreamII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 10-133618 A（ソニー株式会社）1998.05.22, 段落[0039]－[0059], 第1,2図 & US 6088062 A	1 - 9
A	JP 10-191392 A（ソニー株式会社）1998.07.21, 段落[0104]－[0117], 第2,3図 & US 6088062 A	1 - 9

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 1 0 . 2 0 1 0

国際調査報告の発送日

1 9 . 1 0 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

北元 健太

電話番号 03-3581-1101 内線 3545

5 B

3 8 5 6

C（続き）． 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	松坂建治、森江隆，大局的画像領域分割のための領域ベースMRFモデルを実現するCMOS回路，平成21年 電気学会 電子・情報・システム部門大会 講演論文集，電気学会電子・情報・システム部門大会委員会，2009.09.03，pp.90－91	1－9