(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3544685号
(P3544685)
(45)発行日　平成16年7月21日(2004.7.21)　(24)登録日　平成16年4月16日(2004.4.16)

(51)Int.Cl.[7]	F I	
G06N 3/06	G06N 3/06	
G06F 17/17	G06F 17/17	
G06N 3/04	G06N 3/04	F

請求項の数 4　(全 20 頁)

(21)出願番号　特願平5-142060
(22)出願日　平成5年6月14日(1993.6.14)
(65)公開番号　特開平6-348674
(43)公開日　平成6年12月22日(1994.12.22)
審査請求日　平成12年6月6日(2000.6.6)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(72)発明者　久保　俊一
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

審査官　久保　光宏

最終頁に続く

(54)【発明の名称】演算素子結合網

(57)【特許請求の範囲】

【請求項１】

第１乃至第ｎの入力信号の各々に対応して設けられ、対応する入力信号に対して所定個数の相異なる演算を時分割的に施す第１乃至第ｎの時分割型演算素子と、

前記第１乃至第ｎの時分割型演算素子の各々に対応して設けられた第１乃至第ｎの乗算回路であって、第ｉ（ｉは１乃至ｎ）の時分割型演算素子から出力される前記所定個数と同数の演算結果に対してそれぞれ第ｉの重み付け係数を乗じる乗算回路と、

前記第１乃至第ｎの乗算回路による乗算結果のうち前記第１乃至第ｎの時分割型演算素子における同一の演算に係る演算結果に対するｎ個の乗算結果ごとに、少なくとも当該ｎ個の乗算結果を入力とする所定の演算を行う演算素子と、

前記演算素子による前記所定個数と同数の前記所定の演算の結果に基づいて出力信号を生成し、この生成した出力信号を出力する出力素子と、

所定の学習を繰り返すことにより前記重み付け係数を逐次的に調整する学習手段とを備え、

前記重み付け係数は、前記重み付け係数の総個数ｎより少ない個数のパラメータを有する所定の関数を用いて生成されるものであり、

前記学習手段は、前記学習により調整する変数として、前記関数のパラメータを用いることを特徴とする演算素子結合網。

【請求項２】

第１乃至第ｎの入力信号を時系列的に入力し、該入力信号に対して同一の演算を施す時分

割型演算素子であって、互いに異なる演算を施す所定個数の時分割型演算素子と、
前記第１乃至第ｎの入力信号の各々に対応して設けられた第１乃至第ｎの乗算回路であって、前記所定個数の時分割型演算素子から出力される演算結果のうち第ｉ（ｉは１乃至ｎ）の入力信号に係る前記所定個数と同数の演算結果に対してそれぞれ第ｉの重み付け係数を乗じる乗算回路と、
前記第１乃至第ｎの乗算回路による乗算結果のうち同一の前記時分割型演算素子に係る演算結果に対するｎ個の乗算結果ごとに、少なくとも当該ｎ個の乗算結果を入力とする所定の演算を行う演算素子と、
前記演算素子による前記所定個数と同数の前記所定の演算の結果に基づいて出力信号を生成し、この生成した出力信号を出力する出力素子と、
所定の学習を繰り返すことにより前記重み付け係数を逐次的に調整する学習手段とを備え、
前記重み付け係数は、前記重み付け係数の総個数ｎより少ない個数のパラメータを有する所定の関数を用いて生成されるものであり、
前記学習手段は、前記学習により調整する変数として、前記関数のパラメータを用いることを特徴とする演算素子結合網。
【請求項３】
第１乃至第ｎの入力信号の各々に対する所定個数の相異なる演算を時分割的に実行する時分割型演算素子と、
前記第１乃至第ｎの入力信号の各々に対応して設けられた第１乃至第ｎの乗算回路であって、前記所定個数の時分割型演算素子から出力される演算結果のうち第ｉ（ｉは１乃至ｎ）の入力信号に係る前記所定個数と同数の演算結果に対してそれぞれ第ｉの重み付け係数を乗じる乗算回路と、
前記第１乃至第ｎの乗算回路による乗算結果のうち前記時分割型演算素子における同一の演算に係る演算結果に対するｎ個の乗算結果ごとに、少なくとも当該ｎ個の乗算結果を入力とする所定の演算を行う演算素子と、
前記演算素子による前記所定個数と同数の前記所定の演算の結果に基づいて出力信号を生成し、この生成した出力信号を出力する出力素子と、
所定の学習を繰り返すことにより前記重み付け係数を逐次的に調整する学習手段とを備え、
前記重み付け係数は、前記重み付け係数の総個数ｎより少ない個数のパラメータを有する所定の関数を用いて生成されるものであり、
前記学習手段は、前記学習により調整する変数として、前記関数のパラメータを用いることを特徴とする演算素子結合網。
【請求項４】
前記所定の関数のパラメータはλであり、
前記第ｉ（ｉは１乃至ｎ）の重み付け係数は前記パラメータλをｉ乗して得た値であることを特徴とする請求項１ないし３のいずれか１項に記載の演算素子結合網。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、演算素子結合網に関するものである。
【０００２】
【従来の技術】
現在、パターン認識や制御等で必要とされる所望の入出力関数を学習によって近似的に実現する装置として、あるい連想記憶装置や最適化問題の近似解を高速に得る手段として神経回路網が注目されている。
【０００３】
この学習とは、所定の入出力関係を備えた神経細胞素子を結合した神経回路網が所望の入出力関係を実現するように回路網の各パラメータを最適化して行くことである。例えば、

一般的な学習の手法としては、学習データとして与えていった特定の入力に対して、実際の回路網の出力と所望の出力との誤差の自乗和が最小になるように、全ての神経細胞素子間の結合の重み付け係数を変更してゆくことが行われている。そして、この学習を繰り返すことによって、神経回路網の入出力関係は所望の入出力関係に近いものとなって行き、当該神経回路網は関数近似装置としての役割を果たせるようになってくる。

【０００４】

また、神経回路網を連想記憶装置あるいは最適化問題等の近似解を求める手段として適用する場合は、それらの問題において規定される評価関数を単調増加の入出力特性を備えた神経細胞素子を用いた回路網の構造に埋め込み、その関数の値が神経細胞素子の状態が遷移する毎に単調に減少してゆくような状態遷移規則を与えることにより、評価関数の極小解を求めるというのが従来の一般的な手法であった。

【０００５】

（１）ここで、一つの入力情報に対する神経回路網の出力を計算するためには、神経細胞素子が持つ入出力関数による演算を複数回実行する必要があるが、従来、これを演算素子を用いて構成する場合、図５に示すように、各神経細胞素子における入出力関係φ（ｘ）は全て同一であるにもかかわらず上記演算回数と同一の個数の神経細胞素子を設けていた。すなわち、これは回路的に冗長な構成であり、ハードウェア作製上の不利益となっていた。

【０００６】

さらに、実現したい入出力関係が複雑であったり、近似精度を高めようとすると、最終的に所望の入出力関係を実現するために必要となる神経細胞素子の数が増大せざるを得ず、これがハードウェア作製上の問題点となっていた。

【０００７】

（２）また、実現したい入出力関係が複雑であったり、近似精度を高めようとすると、図５に示すように最終的に所望の入出力関係を実現するために必要となる中間層神経細胞素子の数n_1，n_2が増大し、それに伴って、神経細胞素子間の結合の重み付け係数の数が爆発的に増加するという事態を招くことが知られている。

【０００８】

このことは、重み付け係数の値を保持するメモリー数の増大、さらにそれらの値を学習によって変更するための信号線の数の増大、また、神経細胞素子の出力との積を計算するための乗算回路の数の増加につながるという問題点を有していた。さらに、学習による変分の計算量の増大が学習に要する時間を増大させるという不都合もあった。

【０００９】

（３）一方、従来、神経回路網を、関数近似装置、連想記憶装置あるいは最適化問題を解く手段として用いるいずれの場合でも、神経細胞素子に相当する部分は差動増幅器等の単一の演算素子で構成され、その入出力特性は演算素子の電気的特性で規定されたものであった。そして、一般的に良く用いられ、差動増幅器で実現可能なシグモイド関数を入出力関数として用いた場合、多くの問題に対して有効に機能することは理論的および実験的に示されている。

【００１０】

しかし、所望の入出力特性を実現するための神経回路網においては、本来その神経細胞素子の入出力特性は、従来のように画一的に規定されている必要はなく、当該神経回路網に与えられた解決すべき問題に依存して選択することによって、回路網全体の能力が向上することが期待されるので、入出力特性を柔軟に変化させられることが望まれていた。

【００１１】

一方、例えば図４に示すような神経回路網（引用文献：Sprecher,D.A：”On the structure of continuous functions of several variables.”Transaction of The American Mathematical Society,115,340-355.(1965)）では、特定の連続関数χ、単調増加連続関数ψ、実定数λおよび正定数εを選択すれば、ｘ１～ｘｎを変数とする任意の多変数連続関数を表現することが可能であることが知られている。この神経回路網に所望の入出力関係

を近似学習させるためには、神経細胞素子の入出力関数に相当する連続関数χおよび単調増加連続関数ψを学習する必要があるが、これら連続関数χおよび単調増加連続関数ψを学習することは極めて困難であるので、この種の神経回路網において学習すべきパラメータの数を確定し（すなわちパラメータの数を有限にし）、学習を容易にすることが望まれていた。

【００１２】

従来の演算素子結合網では、実現したい入出力関係が複雑であったり、その近似精度を高めようとすると、必要となる演算素子の数が増大するという問題点があった。また、それに伴い重み付け係数の数が爆発的に増加し、これにより、関連するメモリー回路、信号線あるいは乗算回路などのハードウェアの増大につながるという問題点があった、加えて、学習に要する時間を増大させるという不都合もあった。

本発明は、上記問題点に鑑みてなされたものであり、従来より少数の演算素子で実現でき、また、重み付け係数の値を保持するために必要なメモリー数、それらの値を学習によって変更するための信号線の数および学習による変分の計算量、さらに演算素子の出力との積を計算するための乗算回路の数の削減された演算素子結合網を提供することを目的とする。

【００１８】

【課題を解決するための手段】

本発明（請求項１）に係る演算素子結合網は、第１乃至第ｎの入力信号の各々に対応して設けられ、対応する入力信号に対して所定個数の相異なる演算を時分割的に施す第１乃至第ｎの時分割型演算素子と、前記第１乃至第ｎの時分割型演算素子の各々に対応して設けられた第１乃至第ｎの乗算回路であって、第ｉ（ｉは１乃至ｎ）の時分割型演算素子から出力される前記所定個数と同数の演算結果に対してそれぞれ第ｉの重み付け係数を乗じる乗算回路と、前記第１乃至第ｎの乗算回路による乗算結果のうち前記第１乃至第ｎの時分割型演算素子における同一の演算に係る演算結果に対するｎ個の乗算結果ごとに、少なくとも当該ｎ個の乗算結果を入力とする所定の演算を行う演算素子と、前記演算素子による前記所定個数と同数の前記所定の演算の結果に基づいて出力信号を生成し、この生成した出力信号を出力する出力素子と、所定の学習を繰り返すことにより前記重み付け係数を逐次的に調整する学習手段とを備え、前記重み付け係数は、前記重み付け係数の総個数ｎより少ない個数のパラメータを有する所定の関数を用いて生成されるものであり、前記学習手段は、前記学習により調整する変数として、前記関数のパラメータを用いることを特徴とする。

本発明（請求項２）に係る演算素子結合網は、第１乃至第ｎの入力信号を時系列的に入力し、該入力信号に対して同一の演算を施す時分割型演算素子であって、互いに異なる演算を施す所定個数の時分割型演算素子と、前記第１乃至第ｎの入力信号の各々に対応して設けられた第１乃至第ｎの乗算回路であって、前記所定個数の時分割型演算素子から出力される演算結果のうち第ｉ（ｉは１乃至ｎ）の入力信号に係る前記所定個数と同数の演算結果に対してそれぞれ第ｉの重み付け係数を乗じる乗算回路と、前記第１乃至第ｎの乗算回路による乗算結果のうち同一の前記時分割型演算素子に係る演算結果に対するｎ個の乗算結果ごとに、少なくとも当該ｎ個の乗算結果を入力とする所定の演算を行う演算素子と、前記演算素子による前記所定個数と同数の前記所定の演算の結果に基づいて出力信号を生成し、この生成した出力信号を出力する出力素子と、所定の学習を繰り返すことにより前記重み付け係数を逐次的に調整する学習手段とを備え、前記重み付け係数は、前記重み付け係数の総個数ｎより少ない個数のパラメータを有する所定の関数を用いて生成されるものであり、前記学習手段は、前記学習により調整する変数として、前記関数のパラメータを用いることを特徴とする。

本発明（請求項３）に係る演算素子結合網は、第１乃至第ｎの入力信号の各々に対する所定個数の相異なる演算を時分割的に実行する時分割型演算素子と、前記第１乃至第ｎの入力信号の各々に対応して設けられた第１乃至第ｎの乗算回路であって、前記所定個数の時分割型演算素子から出力される演算結果のうち第ｉ（ｉは１乃至ｎ）の入力信号に係る前

記所定個数と同数の演算結果に対してそれぞれ第ｉの重み付け係数を乗じる乗算回路と、前記第１乃至第ｎの乗算回路による乗算結果のうち前記時分割型演算素子における同一の演算に係る演算結果に対するｎ個の乗算結果ごとに、少なくとも当該ｎ個の乗算結果を入力とする所定の演算を行う演算素子と、前記演算素子による前記所定個数と同数の前記所定の演算の結果に基づいて出力信号を生成し、この生成した出力信号を出力する出力素子と、所定の学習を繰り返すことにより前記重み付け係数を逐次的に調整する学習手段とを備え、前記重み付け係数は、前記重み付け係数の総個数ｎより少ない個数のパラメータを有する所定の関数を用いて生成されるものであり、前記学習手段は、前記学習により調整する変数として、前記関数のパラメータを用いることを特徴とする。

好ましくは、前記所定の関数のパラメータはλであり、前記第ｉ（ｉは１乃至ｎ）の重み付け係数は前記パラメータλをｉ乗して得た値であるようにしてもよい。

【００２４】

ここで、上記解決手段において、さらに次のような構成を採用しても良い。

（ｉ）前記演算素子結合網において、同一階層に存在し、各々がそれよりさらに下位の階層構造を持たず、一つ上の階層における同一の演算素子を構成している複数の演算素子の各々の入出力関係を表す関数として、

複数の変数を有する多変数関数であって、当該変数それぞれに定数を加え、それらを線形変換したものを新たな変数のセットとし、当該新たな変数のセットに当該多変数関数による演算を施して得られる関数値を定数倍することにより特定の関数と同一の関数に変換される多変数関数のうちのいずれか、または、一つの変数を有する一変数関数であって、当該変数に定数を加え、それを定数倍したものを新たな変数とし、当該新たな変数に当該一変数関数による演算を施して得られる関数値を定数倍することにより特定の関数と同一の関数に変換される一変数関数のうちのいずれかを用いても良い。あるいは、

（ii）前記演算素子結合網において、それよりさらに下位の階層構造を持たない全ての演算素子の各々の入出力関係を表す関数として、

複数の変数を有する多変数関数であって、当該変数それぞれに定数を加え、それらを線形変換したものを新たな変数のセットとし、当該新たな変数のセットに当該多変数関数による演算を施して得られる関数値を定数倍することにより特定の関数と同一の関数に変換される多変数関数のうちのいずれか、または、一つの変数を有する一変数関数であって、当該変数に定数を加え、それを定数倍したものを新たな変数とし、当該新たな変数に当該一変数関数による演算を施して得られる関数値を定数倍することにより特定の関数と同一の関数に変換される一変数関数のうちのいずれかを用いても良い。

【００２５】

また、上記（ｉ）および（ii）の場合、さらに次のような構成を採用しても良い。

（iii）前記演算素子結合網において、階層構造を有する演算素子の全てまたは一部が、一つの入力信号または二つ以上の入力信号の総和に対し一つの出力値を出力する演算素子であり、全てまたは一部の前記演算素子の一つの入力信号または二つ以上の入力信号の総和に対する出力を決める所定の入出力関係として、複数の所定の入出力関係を備えた一入力一出力素子の重み付き線形結合を用いて階層的に構成するか、あるいは、さらにこの階層構造を有限回繰り返して構成しても良い。あるいは、

（iv）前記演算素子結合網において、階層構造を有する演算素子の全てまたは一部が、全ての出力値が一つまたは二つ以上の前記入力信号のうちの一つの入力信号のみの関数値とする演算素子であり、

全てまたは一部の前記一入力一出力の所定の入出力関係を、複数の所定の入出力関係を備えた一入力一出力素子の重み付き線形結合を用いて階層的に構成するか、あるいは、さらにこの階層構造を有限回繰り返して構成しても良い。

【００２６】

また、上記（ii）の場合、さらに次のような構成を採用しても良い。

（ｖ）前記演算素子結合網において、それよりさらに下位の階層構造を持たない全ての演算素子が、一つの入力信号または二つ以上の入力信号の総和に対して、所定の入出力関係

に従った一つの出力値を出力する演算素子であり、
前記演算素子の一つの入力信号または二つ以上の入力信号の総和に対する出力を決める所定の入出力関係として、
一つの変数を有する一変数関数であって、当該変数に定数を加え、それを定数倍したものを新たな変数とし、当該新たな変数に当該一変数関数による演算を施して得られる関数値を定数倍することにより特定の関数と同一の関数に変換される一変数関数のうちのいずれかを用いても良い。

【００２７】

さらに、上記（ｉ），（ii），（iii），（iv），（ｖ）の場合、次のような構成を採用しても良い。

（vi）前記所定の入出力関係を表現する一変数関数として、その変数に定数を加え、それを定数倍したものを新たな変数とし、当該新たな変数に当該一変数関数による演算を施して得られる関数値を定数倍することにより（１＋exp(－x)）$^{-1}$と同一の関数に変換される一変数関数のうちのいずれかを用いても良い。

【００２８】

（vii）前記所定の入出力関係を表現する一変数関数として、その変数に定数を加え、それを定数倍したものを新たな変数とし、当該新たな変数に当該一変数関数による演算を施して得られる関数値を定数倍することにより exp（－x^2）と同一の関数に変換される一変数関数のうちのいずれかを用いても良い。

【００２９】

あるいは、上記（ｉ）または（ii）の場合、次のような構成を採用しても良い。

（viii）前記所定の入出力関係を表現する多変数関数として、当該変数それぞれに定数を加え、それらを線形変換したものを新たな変数のセットとし、当該新たな変数のセットに当該多変数関数による演算を施して得られる関数値を定数倍することにより、数式（１）

【００３０】

【数１】

$$\Pi_{i=1}^{N} \exp(-x_i^2) \qquad \cdots (1)$$

と同一の関数に変換される多変数関数のうちのいずれか用いても良い。

【００３１】

【作用】

本発明の演算素子結合網では、重み付け係数の全個数より少ない個数のパラメータによる関数を用いて各々の重み付け係数を生成する。そして、前記学習においては、前記重み付け係数を学習するのではなく、前記パラメータを学習し、前記重み付け係数手段がこのパラメータを用いて前記重み付け係数を生成する。

これにより、前記重み付け係数の代わりにそれより少ない個数の前記パラメータを扱えば良いので、重み付け係数の値を保持するために必要なメモリー数、それらの値を学習によって変更するための信号線の数および学習による変分の計算量は、それぞれ全ての重み付け係数の個数より少ない個数のパラメータに対応するだけあれば良いことになり、それらの削減が可能となる。同時に、学習に要する時間を短縮することが可能となる。

また、時分割演算素子が複数の演算を時分割的に実行し、それらの出力値を順次時系列的に出力するようにすることによって、従来の複数の演算素子を１つの時分割演算素子を用いて構成することができるので、所望の入出力関係を近似する能力を保持したまま、演算素子結合網を構成する全演算素子の数を大幅に削減することが可能となる。

【００３７】

【実施例】

以下、図面を参照しながら実施例を説明する。

（１）＜第１の実施例＞
本発明の第１の実施例に係る演算素子結合網について説明する。
【００３８】
本発明はより少数の演算素子で所望の演算素子結合網を構成するものである。ここでは、まず、より少数の演算素子を用いて図４に示される従来の演算素子結合網と同一の入出力特性を提供することが可能な演算素子結合網について説明する。図１は、そのような演算素子結合網の一例を示す図である。
【００３９】
初めに、図１の演算素子結合網が提供すべき図４の演算素子結合網の入出力特性に関して説明する。この図４の演算素子結合網は、ｎ本の入力信号ｘ１～ｘｎをそのままの２ｎ＋１個の出力とする入力素子Ｐ０１～Ｐ０ｎ、その後段に結合されたｎ×（２ｎ＋１）個の第１中間層演算素子Ｐ１１－０～Ｐ１１－２ｎ，Ｐ１２－０～Ｐ１２－２ｎ，…，Ｐ１ｎ－０～Ｐ１ｎ－２ｎ、この第１中間層演算素子のそれぞれの後段に接続された重み付け係数を乗ずるための乗算器（図示せず）、この乗算器を介して前記第１中間層演算素子と結合されている２ｎ＋１個の第２中間層演算素子Ｐ２０～Ｐ２（２ｎ）、これら第２中間層演算素子の全ての入力の和を出力する出力素子Ｐ３０により構成される。この第１中間層演算素子Ｐ１ｉ－ｊ（ｉ＝１～ｎ，ｊ＝０～２ｎ）は、入出力特性がψ（ｘ＋ｊ×ε）で表現される素子であり、第１中間層演算素子Ｐ１ｉ－ｊからの出力は、図４に示すように、各乗算器（図示せず）によりパラメータλのｉ乗の値が乗ぜられ、その値が第２中間層演算素子Ｐ２ｊへの入力として伝えられる。また、第２中間層演算胞素子Ｐ２ｊは、第１中間層演算素子からの入力の全ての和Ｘにたいして、入出力特性χ（Ｘ＋ｊ）の演算結果を出力する素子である。このような演算過程を経た最終的な出力信号は、入力信号ｘ１～ｘｎに対して、数式（２）のように表現されることになる。
【００４０】
【数２】

$$\sum_{j=0}^{2n} \chi \left[\sum_{i=1}^{n} \lambda^{i} \Psi (x_i + \varepsilon j) + j \right] \qquad \cdots (2)$$

【００４１】
なお、前述したように、この表現形式は、特定の、連続関数χ、単調増加連続関数ψ、実定数λ、正定数εを選択すれば、ｘ１～ｘｎを変数とする任意の多変数連続関数を表現可能であることが知られている。また、この図４の演算素子結合網では、第１および第２中間層演算素子の個数はそれぞれｎ×（２ｎ＋１）個および２ｎ＋１個づつ必要であった。
【００４２】
次に、図１の本実施例に係る演算素子結合網について説明する。この演算素子結合網は、それぞれ入力信号ｘ１～ｘｎをそのまま出力とする入力素子Ａ０１～Ａ０ｎ、その後段に結合されたｎ個の第１中間層演算素子Ａ１１～Ａ１ｎ、この第１中間層演算素子のそれぞれの後段に接続されたｎ個の乗算器（図示せず）、この乗算器を介して前記第１中間層演算素子と結合されている第２中間層演算素子Ａ２０、その後段に結合された出力素子Ａ３０、および前記第２中間層演算素子Ａ３０に後述するような出力を与える出力素子Ａ４０により構成される。
【００４３】
第１中間層演算素子Ａ１ｉは、それぞれ、入力X_i（ｉ＝１，…，ｎ）に対して２ｎ＋１個の出力値ψ（x_i＋ｊ×ε），（ｊ＝０，…，２ｎ）を時系列的に順次出力する時分割演算素子であり、各第１中間層演算素子ごとのｊの値は各時刻で一致するように同期をとる。
【００４４】
出力素子Ａ４０は、第１中間層演算素子Ａ１１～Ａ１ｎとｊに関して同期を取ってｊの値

を出力する素子である。
第２中間層演算素子Ａ２０は、各時刻における全入力の和Ｘにたいして、入出力特性χ（Ｘ）の演算結果を出力する素子である。
【００４５】
出力素子Ａ３０は、第２中間層演算素子から時系列的に（２ｎ＋１回に分けて）入力される出力を全て加算して出力する素子である。
乗算器は、第１中間層演算素子Ａ１ｉの出力に重み付け係数λ^{i}を乗ずるための素子である。ここで、図１の第１中間層演算胞素子と第２中間層演算素子とを結合する線の横に乗算を意味する×とともに示されている記号λないしλ^{n}は、この乗算器により乗ぜられる重み付け係数の値を示す。なお、以下の説明で参照される他の図の１つの素子と他の素子とを結合する線の横に乗算を意味するｘとともに示されている記号は、図示しない乗算器により乗ぜられる重み付け係数の値を示すものとする。
【００４６】
次に、図１の演算素子結合網の動作について説明する。
まず、ｊ＝０として、各第１中間層演算素子Ａ１ｉからはそれぞれψ（x_i＋εｊ）が同時に出力され、これらに重み付け係数λ^{i}が各乗算器により乗ぜられ、それぞれλ^{i}ψ（x_i＋εｊ）として第２中間層演算素子Ａ２０へ送られる。一方、これに同期して、同期素子Ａ４０からも出力値ｊが第２中間層演算素子Ａ２０に与えられる。
【００４７】
第２中間層演算素子２０は、それら全ての入力信号の和を入力ｘとしてχ（ｘ）を演算して出力する。この出力は、出力素子Ａ３０に与えられる。
同様にして、ｊ＝１からｊ＝２ｎについて、以上の動作を順次繰り返す。
【００４８】
その結果、出力素子３０には、第２中間層演算素子Ａ２０からのｊ＝０からｊ＝２ｎにそれぞれ対応する２ｎ＋１個の出力が時分割的に入力される。出力素子３０はこれらを全て加算して出力する。
【００４９】
このようにして得られる出力値は、前述した図４の場合と全く同一である。すなわち、本実施例のように時分割演算素子を用いることにより効果的に演算素子の数を削減することができる。図４との対比では、回路網に所望の入出力関係を保たせたまま第１および第２中間層演算素子の数を、それぞれ、ｎ×（２ｎ＋１）個からｎ個、２ｎ＋１個から１個へと削減することが可能となる。また、重み付け係数の値を第１中間層演算素子の出力に乗ずるためにｎ×（２ｎ＋１）個必要であった乗算回路もｎ個で済むことになる。
【００５０】
加えて、本実施例に用いる時分割演算素子が実行する複数の演算は、入力値に数値ｊ×εを加えたものを変数とした後は全く同一の演算を施すものであり、簡単な回路で実現できる利点がある。
【００５１】
なお、図４との対比で記した図１の入力素子Ａ０１～Ａ０ｎは入力信号をそのまま出力するので実際には不要である。
ここで、本実施例の説明では、図４の演算素子結合網に本発明を適用した場合を例にとって説明したが、もちろん、本発明は他の一般的な演算素子結合網においても同様に適用できる。
【００５２】
＜第２の実施例＞
本発明の第２の実施例に係る演算素子結合網について説明する。図２は、本実施例に係る演算素子結合網を示す図である。この演算素子結合網は、入力素子Ｂ０１～Ｂ０ｎ、２ｎ＋１個の第１中間層演算素子Ｂ１０～Ｂ１（２ｎ）、乗算器（図示せず）、第２中間層演算素子Ｂ２０、出力素子Ｂ３０および出力素子Ｂ４０により構成される。
【００５３】

入力素子Ｂ０１～Ｂ０ｎは、それぞれ入力信号ｘ１～ｘｎをそのままの形の２ｎ＋１個の出力とする素子である。
各第１中間層演算素子Ｂ１ｊ（ｊ＝０，…，２ｎ）は、それぞれが入力x_i（ｉ＝１～ｎ）をすべて入力し、各入力x_iに対する出力値ψ（x_i＋ｊ×ε）を同時に出力する演算素子あるいは時系列的に順次出力する時分割演算素子である。ここでは、後述するように、第１中間層演算素子Ｂ１ｊは排他的に出力動作させる。

【００５４】

出力素子Ｂ４０は、出力している第１中間層演算素子Ｂ１ｊに関する値ｊを出力する素子である。
第２中間層演算素子Ｂ２０は、すべての入力の和Ｘにたいして、入出力特性χ（Ｘ）の演算結果を出力する素子である。

【００５５】

出力素子Ｂ３０は、第２中間層演算素子から時系列的に（２ｎ＋１回に分けて）入力される出力を全て加算して出力する素子である。
乗算器は、第１中間層演算素子Ｂ１ｊの出力に重み付け係数λ^iを乗ずるための素子である。すなわち、本実施例では、重み付け係数は、当該出力に関連する入力x_i（ｉ＝１～ｎ）の入力位置（入力端子）に従って決定される。

【００５６】

次に、図２の演算素子結合網の動作について説明する。
まず、ｊ＝０として、第１中間層演算素子Ｂ１ｊからψ（x_i＋εｊ）が同時にあるいは時系列的に出力され、これらに重み付け係数λ^iが各乗算器により乗ぜられ、それぞれλ^iψ（x_i＋εｊ）として第２中間層演算素子Ｂ２０へ送られる。一方、これに同期するように、同期素子Ｂ４０からも出力値ｊが第２中間層演算素子Ｂ２０に与えられる。

【００５７】

第２中間層演算素子２０は、それら全ての入力信号の和を入力ｘとしてχ（ｘ）を演算して出力する。この出力は、出力素子Ｂ３０に与えられる。
同様にして、ｊ＝１からｊ＝２ｎについて、以上の動作を順次繰り返す。

【００５８】

その結果、出力素子３０には、第２中間層演算素子Ｂ２０からのｊ＝０からｊ＝２ｎにそれぞれ対応する２ｎ＋１個の出力が、２ｎ＋１回に分けて時分割的に入力される。出力素子３０はこれらを全て加算して出力する。

【００５９】

このようにして得られる出力値は、前述した図４の場合と全く同一である。すなわち、本実施例のように時分割演算素子を用いることにより効果的に演算素子の数を削減することができる。図４との対比では、回路網に所望の入出力関係を保たせたまま第１および第２中間層演算素子の数を、それぞれ、ｎ×（２ｎ＋１）個から２ｎ＋１個、２ｎ＋１個から１個へと削減することが可能となる。さらに、重み付け係数の値を第１中間層演算素子の出力に乗ずるためにｎ×（２ｎ＋１）個必要だった乗算回路もｎ個で済む。また、各第１中間層演算素子Ｂ１ｊがｎ個の出力値を順次時系列的に出力するならば、乗算回路も時分割的に動作させることにより、この乗算回路はさらに節約でき１個で済むことになる。

【００６０】

加えて、本実施例に用いる時分割演算素子は異なる入力値に対して全く同一の演算を施すものであり、極めて簡単な回路で実現できる利点がある。
ここで、本実施例の説明では、図４の演算素子結合網に本発明を適用した場合を例にとって説明したが、もちろん、本発明は他の一般的な演算素子結合網においても同様に適用できる。

【００６１】

＜第３の実施例＞
本発明の第３の実施例に係る演算素子結合網について説明する。図３は、本実施例に係る演算素子結合網を示す図である。この演算素子結合網は、入力素子Ｃ０１～Ｃ０ｎ、第１

中間層演算素子Ｃ１０、乗算器（図示せず）、第２中間層演算素子Ｃ２０、出力素子Ｃ３０および出力素子Ｃ４０により構成される。

【００６２】

入力素子Ｃ０１～Ｃ０ｎは、それぞれ入力信号ｘ１～ｘｎをそのまま出力とする素子である。

第１中間層演算素子Ｃ１０は、入力素子Ｃ０１～Ｃ０ｎからの入力信号ｘ１からｘｎに対してｎ×（２ｎ＋１）個の出力値ψ（x_i ＋ｊ×ε），（ｉ＝１～ｎ，ｊ＝０～２ｎ）をｊの若い番号から順にｉ＝１からｎまでの出力を１セットとして、順次出力する素子である。ここで、同一のｊに対するｉ＝１からｎまでの１セット（ｎ個）の出力は同時並列的に出力しても良いし、順次時系列的に出力しても良い。

【００６３】

出力素子Ｃ４０は、第１中間層演算素子Ｃ１０が、あるｊに対するｎ個の出力にそれぞれ重み付け係数を乗じて第２中間層演算素子Ｃ２０に送っている時と同時にｊの値を出力し第２中間層演算素子Ｃ２０に送っている素子である。

【００６４】

第２中間層演算素子Ｃ２０は、各ｊ毎に、第１中間層演算素子Ｃ１０のｎ個の出力にそれぞれ重み付け係数を乗じた値と出力素子Ｃ４０の出力とからなるすべての入力の和Ｘにたいして、入出力特性χ（Ｘ）の演算結果を出力する素子である。

【００６５】

出力素子Ｃ３０は、第２中間層演算素子から各ｊ毎に順次入力される２ｎ＋１個の出力を全て加算して出力する素子である。

乗算器は、第１中間層演算素子Ｃ１０の出力に重み付け係数λ^iを乗ずるための素子である。すなわち、本実施例では、重み付け係数は、当該出力に関連する入力x_i（ｉ＝１～ｎ）の入力位置（入力端子）に従って決定される。

【００６６】

次に、図３の演算素子結合網の動作について説明する。

まず、ｊ＝０として、第１中間層演算素子Ｃ１０からψ（x_i ＋ε ｊ），（ｉ＝１～ｎ）が同時にあるいは時系列的に出力され、これらに重み付け係数λ^iが乗算器により乗ぜられ、それぞれλ^i ψ（x_i ＋ε ｊ）として第２中間層演算素子Ｃ２０へ送られる。このとき、同期素子Ｃ４０からも出力値ｊが第２中間層演算素子Ｃ２０に与えられる。

【００６７】

第２中間層演算素子２０は、それら全ての入力信号の和を入力ｘとしてχ（ｘ）を演算して出力する。この出力は、出力素子Ｃ３０に与えられる。

同様にして、ｊ＝１からｉ＝２ｎについて、以上の動作を順次繰り返す。

【００６８】

その結果、出力素子３０には、第２中間層演算素子Ｂ２０からのｊ＝０からｊ＝２ｎにそれぞれ対応する出力が、２ｎ＋１回に分けて時分割的に入力される。出力素子３０はこれらを全て加算して出力する。

【００６９】

このようにして得られる出力値は、前述した図４の場合と全く同一である。すなわち、本実施例のように時分割演算素子を用いることにより効果的に演算素子の数を削減することができる。図４との対比では、回路網に所望の入出力関係を保たせたまま第１および第２中間層演算素子の数を、それぞれ、ｎ×（２ｎ＋１）個から１個、２ｎ＋１個から１個へと大幅に削減することが可能となる。さらに、重み付け係数の値を第１中間層演算素子の出力に乗ずるためにｎ×（２ｎ＋１）個必要だった乗算回路もｎ個で済む。また、各第１中間層演算素子Ｃ１０が各時刻フェーズｊごとの１セットすなわちｎ個の出力値を順次時系列的に出力するならば、乗算回路も時分割的に動作させることにより、この乗算回路はさらに節約でき１個で済むことになる。

【００７０】

なお、図４との対比で記した図３の入力素子Ｃ０１～Ｃ０ｎは入力信号をそのまま出力す

るので実際には不要である。
ここで、本実施例の説明では、図４の演算素子結合網に本発明を適用した場合を例にとって説明したが、もちろん、本発明は他の一般的な演算素子結合網においても同様に適用できる。
【００７１】
（２）＜第４の実施例＞
本発明の第４の実施例に係る演算素子結合網について説明する。図６は、本実施例に係る演算素子結合網を示す図である。この演算素子結合網は、入力素子Ｄ０１～Ｄ０ｎ、第１中間層演算素子Ｄ１１～Ｄ１n_1、第２中間層演算素子Ｄ２１～Ｄ２n_2、出力素子Ｄ３０、各素子間に連結され前段の素子の出力に重み付け係数を乗ずるための（$n \times n_1 + n_1 \times n_2 + n_2$）個の乗算器（図示せず）、および重み付け係数生成手段（図示せず）から構成される。すなわち、重み付け係数生成手段を設けた以外は、一般的な演算素子結合網の構成をなしている。
【００７２】
この重み付け係数生成手段は、本実施例に係る演算素子結合網に含まれる重み付け係数の総個数すなわち乗算器の総個数より少ない個数のパラメータを有する所定の関数を用いて、それら重み付け係数をすべて生成するための手段である。例えば、図６の２つの演算素子Ａ，Ｂ間の重み付け係数を、２つの演算素子に固有なパラメータと、全ての重み付け係数の個数より少ない個数のパラメータの関数により生成する。具体的には、例えば、
$w_{A,B} = \alpha \times n_{A,B} + \beta$である場合や、
$w_{A,B} = \delta \times n_{A,B} + \zeta$である場合などである。
【００７３】
ここで、$n_{A,B}$は二つの演算素子Ａ，Ｂの組み合わせに固有なパラメータであり、α，β，γ，δおよびζは学習すべき回路網パラメータである。
この場合、学習においては、前記重み付け係数を学習するのではなく、前記パラメータαおよびβあるいはγ，δおよびζを学習し、前記重み付け係数生成手段がこのパラメータを用いて前記重み付け係数を生成する。
【００７４】
このように、重み付け係数に所定の制約を与え、前記重み付け係数生成手段を設けることにより、重み付け係数のために必要なパラメータを保持するメモリ一数、それらの値を学習によって変更するための信号線の数を効果的に削減することが可能となる。
【００７５】
一方、学習すべきパラメータ数が大幅に削減されるので、学習による変分の計算量も大幅に削減できることが期待される。従って、高速に学習を実行することができる。
【００７６】
＜第５の実施例＞
本発明の第５の実施例に係る演算素子結合網について説明する。なお、本実施例に係る演算素子結合網の構成は、図４の演算素子結合網に後述する重み付け係数生成手段を付加したものであり、簡略化のために図面については省略する。また、この重み付け係数生成手段に関する構成および動作以外は、前述した図４の演算素子結合網と同一であり、簡略化のために詳細な説明は省略する。
【００７７】
この重み付け係数生成手段は、本実施例に係る演算素子結合網に含まれる重み付け係数の総個数より少ない個数のパラメータを有する所定の関数を用いて、それら重み付け係数をすべて生成するための手段である。
【００７８】
そして、学習においては、前記重み付け係数を学習するのではなく、前記パラメータを学習し、前記重み付け係数生成手段がこのパラメータを用いて前記重み付け係数を生成する。
【００７９】

上記のような回路網構成を採用した場合、図４の前記第１中間層演算素子Ｐ１ｉ－ｊから前記第２中間層演算素子Ｐ２ｊへの重み付け係数は全て１つのパラメータλのべき乗の値であり、入力素子０１～０ｎから前記第１中間層演算素子Ｐ１ｉ－ｊへの重み付け係数および前記第２中間層演算素子Ｐ２ｊから前記出力素子Ｐ３０への重み付け係数は全て１であるので、全ての重み付け係数の値を間接的に保持するために必要なメモリー数およびそれらの値を学習によって変更するための信号線の数は各々１つにまで削減させる。

【００８０】

この場合、重み付け係数の値を直接保持するためにλのべき乗の値それぞれに対してメモリーを用意したとしても、メモリー数は高々ｎ個で済む。

さらに、第１中間層演算素子Ｐ１ｉ－ｊから第２中間層演算素子Ｐ２ｊへの２ｎ＋１個の重み付け係数の値は全て同じ値λ^{i}であるため、第１中間層演算素子の出力との積を計算するための乗算回路は、同一値をとる重み付け係数に対しては共用して用いれば、λ^{1}からλ^{n}に対応して全部でｎ個ですむことになる。

【００８１】

一方、学習すべきパラメータ数が大幅に削減されるので、学習による変分の計算量も大幅に削減できることが期待される。従って、高速に学習を実行することができる。

【００８２】

本実施例の変形例として、上記演算素子結合網において、第１中間層演算素子から第２中間層演算素子への重み付け係数を表現するパラメータλが、１に非常に近い場合はλ＝１＋α（α《１）となるので、λ^{i}　１＋ｉ×αとなり、全ての重み付け係数を間接的あるいは直接的に保持するためには、αあるいはαの１倍からｎ倍までの倍数値を記憶するメモリーがあれば良く、上記と同様の効果が期待できる上、さらにメモリーの精度を落とすことも可能となる。

【００８３】

（３）＜第６の実施例＞

本発明の第６の実施例に係る演算素子結合網について説明する。本発明の演算素子結合網は、前述した図４の演算素子結合網を構成する各演算素子をさらに複数の演算素子で構成するものである。従って、そのような複数の演算素子により構成される演算素子を１つの上位レベルでの１つの演算素子とすれば、本発明の演算素子結合網をそのような階層構造の上位レベルで表すと、図４と同一の構成になる。なお、図４の演算素子結合網の構成については、前述したのでここでは省略する。

【００８４】

ここで、前述のように、図４の第２中間層演算素子Ｐ２ｊからの出力は全てそのまま出力素子Ｐ３０に伝えられそこで全ての入力の和がとられ出力される。このような演算過程を経た最終的な出力信号は、入力信号ｘ１～ｘｎに対して、前述した数式（２）で表現されることになる。

【００８５】

【数３】

$$\sum_{j=0}^{2n} \chi \left[\sum_{i=1}^{n} \lambda^{i} \Psi (x_{i} + \varepsilon j) + j \right] \qquad \cdots (2)$$

【００８６】

ここで、関数χは連続関数、関数ψは単調増加連続関数、定数λは実定数、定数εは正定数である。

この回路網に特定の多入力一出力の入出力関係を最急降下法等の学習によって近似表現させるためには、上記の連続関数χ、単調増加連続関数ψ、に対する学習パラメータを定める必要があり、本実施例においては上記２関数を、それぞれ次に示す数式（３）および（４）と変数をシフトおよびスケーリングした所定の一変数関数の重み付き線形和で近似す

る。

【００８７】

【数４】

$$\Psi(x) \simeq \sum_{i=1}^{N} C_i \, \phi(a_i x + b_i) \qquad \cdots (3)$$

【００８８】

【数５】

$$\chi(z) \simeq \sum_{i=1}^{M} g_i \, \phi(e_i z + f_i) \qquad \cdots (4)$$

【００８９】

ここで、$a_1 \sim a_N$，$b_1 \sim b_N$，$c_1 \sim c_N$，$e_1 \sim e_M$，$f_1 \sim f_M$および$g_1 \sim g_M$は、各演算素子Ｅ１～ＥＮおよびＦ１～ＦＭの入出力関係を調整するためのパラメータである。

【００９０】

この所定の一変数関数としては、例えば、シグモイド関数$(1+\exp(-x))^{-1}$や、ガウシアン関数 $\exp(-x^2)$などを用いれば好ましい。

次に、そのような入出力関係を有する演算素子の具体例を図７および図８に示す。

【００９１】

１つの第１中間層演算素子を構成する図７の演算素子結合網Ｅ１００は、$\phi(a_i x + b_i)$を実行するＮ個の演算素子Ｅｉ（ｉ＝１～Ｎ）と、それらの後段にそれぞれ接続され、演算素子Ｅｉの出力にＣｉを乗ずるための乗算器（図示せず）と、これらの出力をすべて加算して出力する出力素子（図示せず）により構成される。

【００９２】

また、１つの第２中間層演算素子を構成する図８の演算素子結合網Ｆ２００は、入力y_iの総和ｚを出力する入力素子Ｆ０と、$\phi(e_i z + f_i)$を実行するＭ個の演算素子Ｆｉ（ｉ＝１～Ｍ）と、それらの後段にそれぞれ接続され、演算素子Ｆｉの出力にｇｉを乗ずるための乗算器（図示せず）と、これらの出力をすべて加算して出力する出力素子（図示せず）により構成される。

【００９３】

このように、上記ψおよびχの入出力特性を担う第１および第２中間層演算素子を、図７および図８に示すようにそれぞれψおよびχにおける線形和に対応するＮ個およびＭ個の一入力一出力演算素子の重み付き線形和で近似して階層的に構成すれば、本来無限自由度を持つ関数の自由度をそれぞれ３×Ｎ、３×Ｍの有限値に落とすことが可能となる。

【００９４】

このことによって、上記の回路網において自由度を持つパラメータの数を、実定数λおよび正定数εと併せて、３×Ｎ＋３×Ｍ＋２個と有限に抑えることが可能となり、この回路網に最急降下法等の学習アルゴリズムを適用することができ、階層構造を構成する演算素子の入出力特性とその数を適当に選べば、与えられた多変数関数の近似学習が可能となる。

【００９５】

また、与えられた多変数関数と要求される近似精度によっては、Ｎ、Ｍを小さく取ることができ、回路網全体のパラメータ数を、図１１に示すような従来の層状演算素子結合網より削減することが可能となる。

【００９６】

さらに、本発明によって、回路網全体で使用する中間層演算素子を全て同一構造の素子で構成することが可能となり、ハードウェア作製上の利点となる。
また、上記の階層構造を構成する図７の演算素子Ｅ１～ＥＮ、図８の演算素子Ｆ１～ＦＭの一部または全てを、上記と別種の同一構造の演算素子の重み付き線形和や、上記と同種の同一構造の演算素子の結合網でさらに階層的に構成することによって、中間層演算素子の入出力関係表現能力の適応力を向上し、回路網全体の関数近似能力を高めても良い。

【００９７】

＜第７の実施例＞

本発明の第７の実施例に係る演算素子結合網について説明する。
ここで、前述した図７の演算素子Ｅ１００あるいは図８の演算素子Ｆ２００のように１つの（上位レベルの）演算素子を構成するために複数の（下位レベルの）演算素子を用いる階層構造は、他の一般的な演算素子結合網においても適用することが可能である。第６の実施例では、上位レベルの演算素子を構成するために、一入力一出力演算素子を用いたが、本実施例では、多入力一出力演算素子を用いて構成した一般的な演算素子結合網に関して説明する。

【００９８】

１つの（上位レベルの）演算素子を構成する図９の演算素子Ｇ３００は、入力u_i（ｉ＝１～ｎ）に対してｆ（u_1+h_{1j}，u_2+h_{2j}，…，u_n+h_{nj}）を実行するＬ個の演算素子Ｇｊ（ｊ＝１～Ｌ）と、入力x_i（ｉ＝１～ｎ）に重み付け係数d_{ij}を乗じて各演算素子Ｇｊに与えるための乗算器（図示せず）と、演算素子Ｇｊの後段にそれぞれ接続されこの演算素子Ｇｊの出力にk_jを乗ずるための乗算器（図示せず）と、これら乗算器の出力をすべて加算して出力する出力素子（図示せず）により構成される。ここで、h_{ij}（ｉ＝１～ｎ）は定数のセットである。
その結果、この演算素子Ｇ３００は、次の数式（５）で表されるような入出力特性を与える。

【００９９】

【数６】

$$\sum_{j=1}^{L} k_j f(d_{1j}x_1+h_{1j},\ d_{2j}x_2+h_{2j},\ \cdots,\ d_{ij}x_i+h_{ij},\ \cdots,\ d_{nj}x_n+h_{nj}) \quad \cdots (5)$$

【０１００】

この演算素子Ｇ３００を用いて演算素子結合網を構成した場合、演算素子Ｇ３００の階層構造を形成する演算素子間の重み付け係数d_{ij}，k_jやh_{ij}も、回路網全体のパラメータの一部とみなせば、従来同様に最急降下法等の学習アルゴリズムが適用可能で、所望の入出力関数の近似学習ができることになる。

【０１０１】

従って、ハードウェア上実現しやすい入出力特性を有する演算素子を複数結合して演算素子結合網を構成することにより、従来の層状演算素子結合網のように同一の非線形素子を層状に並べていった回路網より、学習速度あるいは近似能力を向上させることが期待できる。この点に関しては、図７の演算素子Ｅ１００および図８の演算素子Ｆ２００についても同様のことが言える。

【０１０２】

＜第８の実施例＞

本発明の第８の実施例に係る演算素子結合網について説明する。
図７、図８あるいは図９の演算素子は、一入力一出力素子あるいは多入力一出力素子の重み付き線形結合により構成したが、本実施例では、上位レベルの演算素子を、前記多入力

一出力演算素子および前記一入力一出力演算素子を任意に結合し、結合した演算素子間においては一方の素子の出力値に所定の重み付け係数を乗じた値を他方の素子への入力信号とする演算素子の網状結合を用いて階層的に構成するものである。

【０１０３】

図１０は、そのような演算素子を用いて構成した本実施例の演算素子結合網を示す図である。

このｎ入力ｍ出力の層状の演算素子結合網は、入力素子Ｈ０１～Ｈ０ｎ、第１中間層演算素子Ｈ１１～Ｈ１$ｎ_1$、第２中間層演算素子Ｈ２１～Ｈ１$ｎ_2$、出力素子Ｈ３１～Ｈ３ｍにより構成される。また、ｎ入力１出力素子である第１中間層演算素子Ｈ１１は下位レベルの演算素子Ｈ１１１～Ｈ１１６により構成され、$ｎ_1$入力２出力素子である第２中間層演算素子Ｈ２２は下位レベルの演算素子Ｈ２２１～Ｈ２２４により構成される。ここでは、その他の第１および第２中間層演算素子と演算素子Ｈ１１１～Ｈ１１６，Ｈ２２１～Ｈ２２４は最下層の演算素子であり、それ以上の階層構造はないものとする。

【０１０４】

ここで、上記の階層構造を構成する演算素子Ｈ１１１～Ｈ１１６、Ｈ２２１～Ｈ２２４は、残りの中間層演算素子Ｈ１２～Ｈ１$ｎ_1$、Ｈ２１、Ｈ２３～Ｈ２$ｎ_2$と同一構造の素子、例えば有界で単調なシグモイド関数の入出力特性を持った素子であるとする。

【０１０５】

図１０の回路網は、中間層演算素子Ｈ１１、Ｈ２２の階層構造を形成する演算素子結合網の演算素子間の重み付け係数も、回路網全体のパラメータの一部とみなせば、従来同様に最急降下法等の学習アルゴリズムが適用可能で、所望の入出力関数の近似学習ができることになる。

【０１０６】

さらに、従来と同様に回路網全体では同一構造の演算素子しか用いないにもかかわらず、中間層演算素子Ｈ１１、Ｈ２２の入出力特性は、他の中間層演算素子のそれとは、一般に異なったものとなっており、図１０の回路網全体で実現したい入出力関係によっては、図１１のような従来の層状演算素子結合網のように同一の非線形素子を層状に並べていった回路網より、学習速度あるいは近似能力を向上させることができる。

【０１０７】

また、階層構造を構成する演算素子Ｈ１１１～Ｈ１１６、Ｈ２２１～Ｈ２２４の一部または全てを、さらに上記と同一あるいは別種の構造の素子からなる演算素子結合網で階層的に構成することによって、中間層演算素子Ｈ１１、Ｈ２２の入出力関係表現能力の適応力をさらに向上し、回路網全体の関数近似能力を高めても良い。

【０１０８】

いずれにしても、回路網全体では同一構造の演算素子しか用いない場合は、ハードウェア作製上の観点からも非常に有益である。

このように、本発明の要旨は、従来の演算素子に階層構造を持たせることにより、演算素子の入出力特性を学習させたい場合に、学習すべきパラメータの数を確定し、さらに演算素子の入出力特性を既存の素子のみを用いても柔軟に変化させることを可能にすることであり、相互結合型神経回路網等の他の演算素子結合網にも適用可能であり、上記実施例に限定されるものではない。

【０１０９】

以上、各発明に係る各実施例について説明してきたが、各発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【０１１０】

【発明の効果】

本発明によれば、演算素子間の全ての重み付け係数の値がそれらの個数より少ない個数パラメータの関数を用いて生成されることにより、重み付け係数の値を保持するために必要なメモリー数、それらの値を学習によって変更するための信号線の数および学習による変

分の計算量を大幅に削減することが可能になる。また、学習に要する時間を短縮することが可能となる。さらに、同一値の重み付け係数を持つ演算素子間の結合が複数存在する場合は、演算素子の出力との積を計算するための乗算回路の数も大幅に削減可能となる。
また、時分割演算素子が複数の演算を時分割的に実行し、それらの出力値を順次時系列的に出力するようにすることによって、従来の複数の演算素子を１つの時分割演算素子を用いて構成することができるので、所望の入出力関係を近似する能力を保持したまま、演算素子結合網を構成する全演算素子の数を大幅に削減することが可能となる。

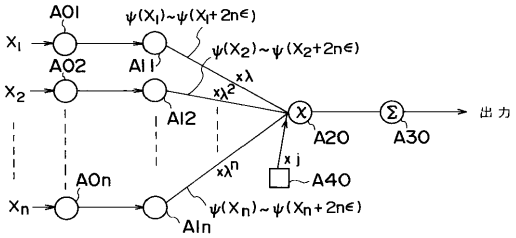
【図面の簡単な説明】

【図１】本発明の第１の実施例に係る演算素子結合網の構成を示す図
【図２】本発明の第２の実施例に係る演算素子結合網の構成を示す図
【図３】本発明の第３の実施例に係る演算素子結合網の構成を示す図
【図４】従来の演算素子結合網の構成を示す図
【図５】従来の他の演算素子結合網の構成を示す図
【図６】本発明の第４の実施例に係る演算素子結合網の構成を示す図
【図７】本発明の第６の実施例に係る階層構造を有する演算素子を示す図
【図８】本発明の第６の実施例に係る階層構造を有する他の演算素子を示す図
【図９】本発明の第７の実施例に係る演算素子結合網の構成を示す図
【図１０】本発明の第８の実施例に係る演算素子結合網の構成を示す図
【図１１】従来のさらに他の演算素子結合網の構成を示す図

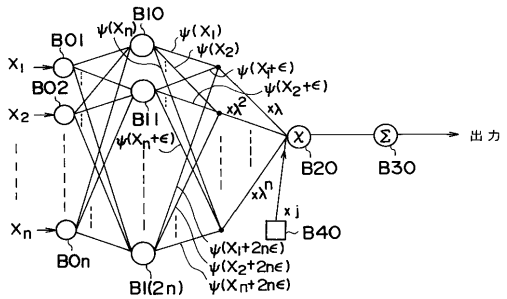
【符号の説明】

ｘ１～ｘｎ…入力信号
Ａ０１～Ａ０ｎ…入力素子
Ａ１１～Ａ１ｎ、Ａ２０…演算素子
Ａ３０、Ａ４０…出力素子
Ｅ１－ＥＮ、Ｆ１－ＦＭ、Ｇ１－ＧＬ、Ｈ１１１～Ｈ１１６、Ｈ２２１～Ｈ２２４…上位レベルの演算素子を構成する下位レベルの演算素子

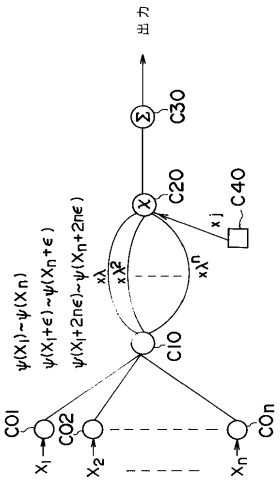
【図１】


A01
A02
A0n
A11
A12
A1n
A20
A30
A40
出力

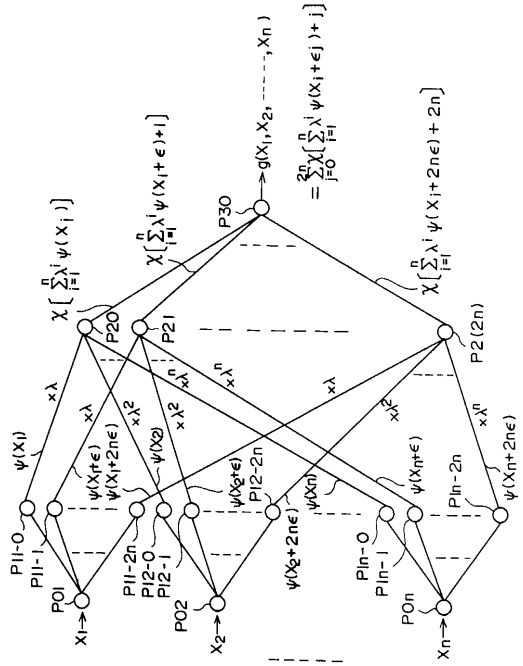
【図２】


B10
B01
B02
B0n
B11
B1(2n)
B20
B30
B40
出力

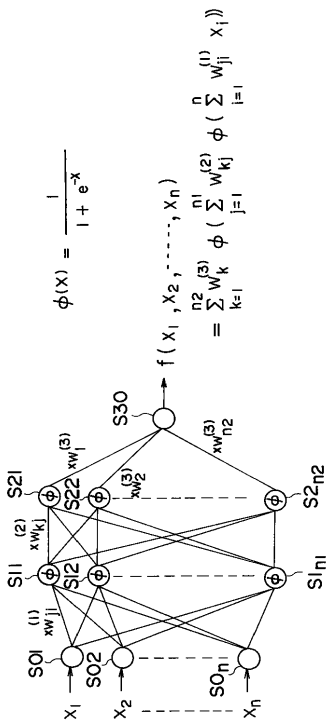
【図３】


出力
C30
C20
C40
C10
C01
C02
C0n

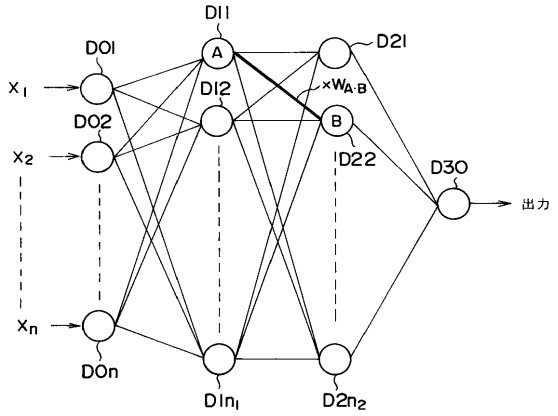
【図４】


P30
P20
P21
P2(2n)
P11-0
P11-1
P01
P11-2n
P12-0
P12-1
P02
P12-2n
P1n-0
P1n-1
P0n
P1n-2n

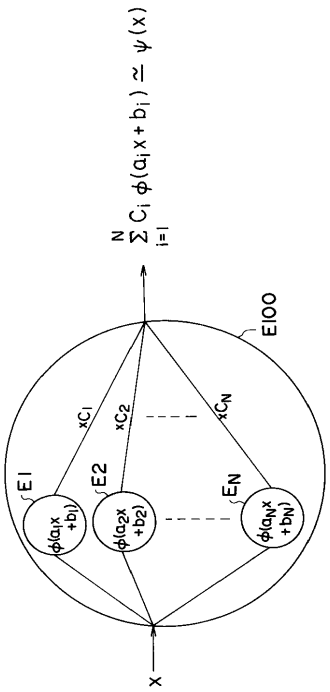
【図５】


S30
S21
S22
S2n2
S11
S12
S1n1
S01
S02
S0n

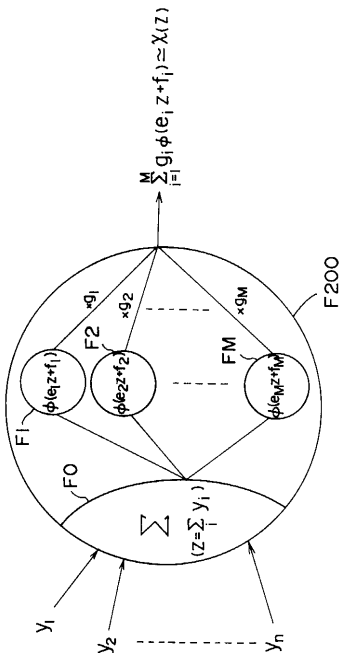
【図６】


D11
D01
A
D21
x1
D12
×WA·B
D02
B
x2
D22
D30
出力
xn
D0n
D1n1
D2n2

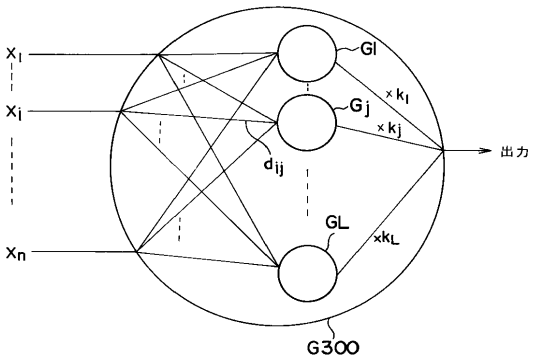
【図７】


E100
xC1
xC2
xCN
E1
E2
EN
x

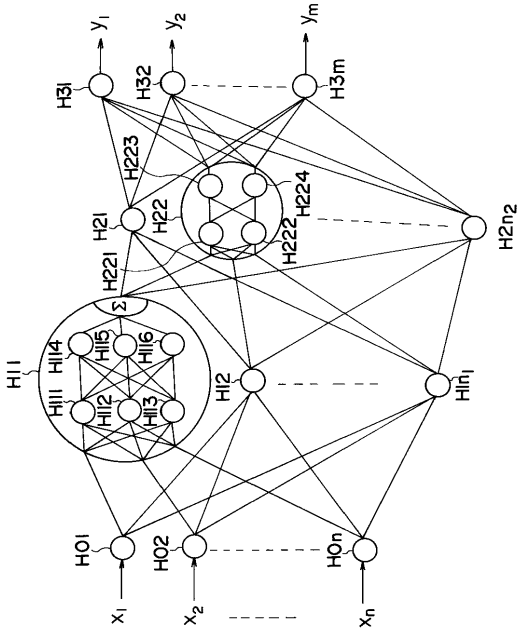
【図８】


F200
×g1
×g2
×gM
F2
FM
F1
F0
y1
y2
yn

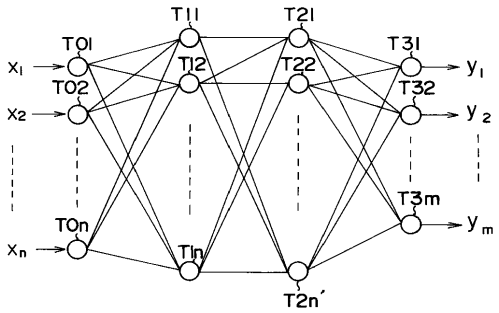
【図９】


x1
xi
G1
×k1
Gj
×kj
出力
dij
xn
GL
×kL
G300

【図１０】


y1
y2
ym
H31
H32
H3m
H223
H224
H21
H22
H222
H2n2
H221
Σ
H111
H111
H112
H113
H114
H115
H116
H11
H12
H1n1
H01
H02
H0n
x1
x2
xn

【図１１】


T11
T21
T01
T31
x1
T12
T22
y1
T02
T32
x2
y2
T3m
T0n
ym
xn
T1n
T2n'

フロントページの続き

(56)参考文献 特開平４－４０５８１（ＪＰ，Ａ）
特開平３－２５０２４４（ＪＰ，Ａ）
特開平２－２０１５８６（ＪＰ，Ａ）
特開平５－１２８０８２（ＪＰ，Ａ）
特開平６－４４２０７（ＪＰ，Ａ）
Sprecher, D.A., "On the structure of continuous functions of several variables", Transactions of The American Mathematical Society, 米国, １９６５年, No.115, pp.340-355, ISSN:0002-9947、国立国会図書館請求記号：Z53-A214
吉田利信, 「２次元探索共役勾配法を用いた多層神経回路網の高速学習法」, 情報処理学会論文誌, 日本, 社団法人情報処理学会, １９９０年　7月１５日, Vol.31,No.7, pp.988-995
今崎直樹, 「ファジィルールに基づく構造化ニューラルネットとその学習法」, 第１３回知能システムシンポジウム資料, 日本, 社団法人計測自動制御学会, １９９１年, pp.69-74
近藤由和・他, 「ゆらぎのあるパルス系列を用いた人工神経回路網のハードウェア化」, 電子情報通信学会技術研究報告, 日本, 社団法人電子情報通信学会, １９９２年　1月１７日, Vol.91, No.413（NC91-65～81）, pp.117-122

(58)調査した分野(Int.Cl.^{7}, ＤＢ名)

G06N1/00-7/08,
G06G7/60,
G06F17/17,
G06F1/02,
G06F7/00,
G06F15/16,
G06F15/82,
JSTファイル(JOIS),
CSDB(日本国特許庁)
INSPEC(DIALOG)