

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92126294

※申請日期：92.9.24

※IPC 分類：H01L27/00

壹、發明名稱：(中文/英文)

非揮發性半導體記憶裝置

NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司

SANYO ELECTRIC CO., LTD.

代表人：(中文/英文) 桑野幸德 / KUWANO, YUKINORI

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通2丁目5番5號

5-5, 2-Chome, Keihan-Hondori Moriguchi-City, Osaka, Japan

國籍：(中文/英文) 日本國 / JAPAN

參、發明人：(共6人)

姓名：(中文/英文)

1. 高橋秀一 / TAKAHASHI, SHUICHI

2. 鹿倉文子 / SHIKAKURA, FUMIKO

3. 森 真 也 / MORI, SHINYA

4. 山田順治 / YAMADA, JUNJI

5. 山 田 裕 / YAMADA, YUTAKA

6. 谷口敏光 / TANIGUCHI, TOSHIMITSU

住居所地址：(中文/英文)

1. 日本國群馬縣邑樂郡大泉町城之内 4-6-5

4-6-5 Shironouchi, Oizumi-machi, Ora-gun, Gunma, Japan

2. 日本國群馬縣邑樂郡大泉町泉 2-2-3-407
2-2-3-407 Izumi, Oizumi-machi, Ora-gun, Gunma, Japan
3. 日本國埼玉縣行田市谷郷 357-2
357-2 Yago, Gyoda-shi, Saitama, Japan
4. 日本國群馬縣新田郡尾島町鈴掛 8-6
8-6 Suzukake, Ojima-machi, Nitta-gun, Gunma, Japan
5. 日本國群馬縣新田郡尾島町世良田 3126-4
3126-4 Serada, Ojima-machi, Nitta-gun, Gunma, Japan
6. 日本國群馬縣邑樂郡大泉町吉田 986-5 吉田團地 H2-407
986-5-H2-407 Yoshida, Oizumi-machi, Ora-gun, Gunma, Japan

國 籍：(中文/英文)

1.2.3.4.5.6. 日本國 / JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本國；2002 年 10 月 30 日；特願 2002-316483 (主張優先權)

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於非揮發性半導體記憶裝置，特別係關於適用多層金屬製程之非揮發性半導體記憶裝置。

【先前技術】

一直以來，係以藉由改變遮罩來進程式寫入的遮罩式 ROM(Read Only Memory；唯讀記憶體)最為人所詳知。遮罩式 ROM 所採的方式包含：(1)以擴散層的有無來決定是否將記憶體電晶體(memory transistor)連接至位元線的擴散層遮罩改變方式，(2)以是否在該通道領域中注入離子來決定記憶體電晶體之導通狀態的離子注入遮罩改變方式，(3)以接觸孔的有無來決定是否將記憶體電晶體連接至位元線的接觸孔遮罩改變方式。

一般而言，遮罩式 ROM 是在接受使用者的下單後才進程式的寫入步驟，因此該程式寫入步驟愈接近遮罩式 ROM 的製造工程的最後步驟，愈能夠短縮 TAT(Turn Around Time；轉迴時間)。亦即，能夠縮短下單至出貨的期間。

在上述之遮罩式 ROM 所採的方式中，(1)的擴散層改變方式由於擴散步驟係在 ROM 的製造步驟初期進行，故不利於 TAT 的短縮。

此外，在(2)的離子注入遮罩改變方式中，由於程式寫入用的離子注入步驟係在 ROM 的製造工程的後期進行，故得以達到短縮 TAT 的目的。但對於適用多層金屬製程之

遮罩式 ROM 而言，採用此方式時，為了將離子打入記憶體電晶體的通道領域，必須以可貫通多層疊層之絕緣層的高加速能量進行離子注入，或為了能以較低的低加速能量進行離子注入而需將絕緣層蝕刻至某種程度後再進行離子注入，如此一來將使步驟變得較為複雜。

關於(3)的接觸孔遮罩改變方式，在以下的專利文獻中，記載有根據接觸孔的有無而進行程式的非揮發性半導體記憶裝置。

(專利文獻 1)特開 2002-230987 號公報。

【發明內容】

[發明所欲解決之技術問題]

因此，本發明之目的在於：達到適用多層金屬製程之遮罩式 ROM 的 TAT 短縮化。並達到上述之遮罩式 ROM 的高速化與高集成化。

[解決問題之技術手段]

本發明係關於在適用多層金屬製程的遮罩式 ROM 中，根據設置於各絕緣層之接觸孔的有無來決定是否將記憶體電晶體連接至位元線，以進行程式設計者，特別是關於具有：使設置於各絕緣層之接觸孔以及分別埋置於該接觸孔中之金屬插塞排列堆疊於上下方向之構造，亦即堆疊接觸構造(Stacked Contact Structure)者。

【實施方式】

以下，參照圖式詳細說明本發明之實施形態。第 1 圖為遮罩式 ROM 的電路圖，第 2 圖為第 1 圖所示之遮罩式

ROM 之記憶胞陣列之配置圖，第 3 圖為沿著第 2 圖之 X-X 線之剖面圖，第 4 圖為沿著第 2 圖之 Y-Y 線之剖面圖。

如第 1 圖所示，該遮罩式 ROM 具有：列位址解碼器 101、行位址解碼器 102、輸出緩衝器 103。此外，該遮罩式 ROM 可為單體，亦可做為程式記憶體內藏於微電腦或邏輯電路等之 LSI(大型積體電路)中。記憶胞陣列 100 中，有多數記憶體電晶體配置成行列狀。

在第 1 圖與第 2 圖中僅顯示記憶胞陣列 100 的 4 個記憶體電晶體 MT1、MT2、MT3、MT4。記憶體電晶體 MT1、MT2、MT3、MT4 均為 N 通道型 MOS 電晶體。但，記憶體電晶體 MT1、MT2、MT3、MT4 亦可為 P 通道型電晶體。

複數的字元線 WL 朝列方向配置。前述字元線 WL 係連接至列位址解碼器 101。該列位址解碼器 101 按照列位址資料，從複數的字元線 WL 中選擇 1 條字元線 WL。該等字元線 WL 係由多晶矽層或多晶矽化物(polycide)層所構成。

此外，複數的位元線 BL 朝行方向配置。前述之位元線 BL 係連接至行位址解碼器 102。該行位址解碼器 102 按照行位址資料，從複數的位元線 BL 中選擇 1 條位元線 BL。該等位元線 BL 係由第 3 層的金屬層所構成，而以覆蓋於記憶體電晶體 MT1、MT2、MT3、MT4 上之方式配置。

記憶體電晶體 MT1、MT2、MT3、MT4 分別配置在位元線 BL 與字元線 WL 交叉之領域。各記憶體電晶體 MT1、MT2、MT3、MT4 的閘極係以對應之字元線 WL 構成。各

記憶體電晶體 MT1、MT2、MT3、MT4 的源極領域，則分別透過第 1 接觸孔 FC1 共通連接至提供電源電壓 Vdd(抑或提供接地電位 Vss)之電源線 VL。

此外，是否將記憶體電晶體 MT1、MT2、MT3、MT4 之汲極領域連接至對應之位元線 BL，則視第 3 接觸孔 TC 之有無來決定。例如：記憶體電晶體 MT1，因具有第 3 接觸孔 TC，故透過埋置於後述之第 3 接觸孔 TC 中的 W(鎢)插塞 26 而連接至對應之位元線 BL，但記憶體電晶體 MT2，因未具有第 3 接觸孔 TC，而不與對應之位元線 BL 連接。

同樣地，記憶體電晶體 MT3，因不具有第 3 接觸孔 TC，故不與對應之位元線 BL 連接，而記憶體電晶體 MT4，因具有第 3 接觸孔 TC，而得以透過埋置於後述之第 3 接觸孔 TC 中的 W 插塞 26 而連接至對應之位元線 BL。

接著，參照第 3 圖之剖面圖進一步詳細說明上述之記憶體電晶體 MT1。在諸如 Si 基板之半導體基板 10 上形成電晶體分離用之場(field)氧化膜 11、12。之後在場氧化膜 11、12 之間的半導體基板 10 上形成閘極絕緣膜 13。

在該閘極絕緣膜 13 上，形成做為閘極之字元線 WL。然後，在鄰接該字元線 WL 之其中一側的半導體基板 10 的表面，形成由 N+ 型層 14 以及 N- 型層 15 所構成之源極領域。此外，在鄰接字元線 WL 的相反側的半導體基板 10 的表面，形成由 N+ 型層 16 以及 N- 型層 17 所構成之汲極領域。亦即，記憶體電晶體 MT1 係具有 LDD(Lightly

Doped Drain；低摻雜汲極)之構造。其他的記憶體電晶體亦相同。

接著，在該記憶體電晶體 MT1 上，形成做為層間絕緣層之第 1 絕緣層 18。在該第 1 絕緣層 18 上形成有 2 個第 1 接觸孔 FC1、FC2。第 1 接觸孔 FC1 係開口而使源極領域露出，且其中埋置有 W 插塞 19。在此，W 插塞係指埋置於接觸孔中之鎢(W)。另一個第 1 接觸孔 FC2 中埋置有 W 插塞 20。

之後，在 W 插塞 19 上，形成電源線 VL，該電源線 VL 通過插塞 19 而與記憶體電晶體 MT1 的源極領域形成電性連接。此外，在 W 插塞 20 上形成第 1 金屬層 21，該第 1 金屬層 21 通過 W 插塞 20 而與記憶體電晶體 MT1 的汲極領域形成電性連接。第 1 金屬層 21 係在第 1 接觸孔 FC2 的周圍具有預定之延展部。

接著，在電源線 VL、第 1 金屬層 21 上形成做為層間絕緣膜之第 2 絕緣層 22。在第 2 絕緣層上形成第 2 接觸孔 SC。該第 2 接觸孔 SC 係開口而使第 1 金屬層 21 的表面露出，且其中埋置有 W 插塞 23。

此外，在 W 插塞 23 上形成第 2 金屬層 24，該第 2 金屬層 24 係透過 W 插塞 23 而與下層的第 1 金屬層 21 形成電性連接。該第 2 金屬層 24 在第 2 接觸孔 SC 的周圍具有預定之延展部。此外，在第 2 金屬層 24 上形成做為層間絕緣層的第 3 絕緣層 25。

接著，可在第 3 絕緣層 25 上形成第 3 接觸孔 TC，但

可依據該第 3 接觸孔 TC 的有無而決定記憶體電晶體 MT1 是否與第 3 層金屬層的位元線 BL 連接。此記憶體電晶體 MT1 形成有第 3 接觸孔 TC。亦即，該第 3 接觸孔 TC 係開口而使第 2 金屬層 24 的表面露出，且其中埋置有 W 插塞 26。W 插塞 26 上形成有位元線 BL。故記憶體電晶體 MT1 的汲極領域係透過 W 插塞 20、W 插塞 23 以及 W 插塞 26 而與位元線 BL 形成電性連接。

在上述之構成中，第 1 接觸孔 FC2、第 2 接觸孔 SC、第 3 接觸孔 TC、以及埋置於各接觸孔中之 W 插塞 20,23,26 係以排列於上下方向的方式配置。如此之接觸插塞堆疊構造稱之為堆疊接觸構造。根據該堆疊接觸構造，可在多層金屬構造中，將接觸領域的圖案面積縮小到最小程度。

此外，在該堆疊接觸構造中，最好能使第 2 接觸孔 SC、第 3 接觸孔 TC 的尺寸大於第 1 接觸孔 FC2 的尺寸。藉此，即可大幅縮小多層金屬構造的接觸電阻，達到遮罩式 ROM 高速化的目的。

此外，藉由縮小第 1 接觸孔 FC2 的尺寸，即可使記憶體電晶體 MT1 微細化。在此，接觸孔的尺寸乃意指指開口的大小。一般而言，由於接觸孔係以乾蝕刻形成，因此比較底部與頂部時係以頂部的尺寸較大，在此，尺寸之大小係以底部或頂部之其中一項進行比較。例如：假設第 1 接觸孔 FC2 的頂部的接觸尺寸為 $d1$ ，第 2 接觸孔 SC 的頂部的接觸尺寸為 $d2$ 時係 $d2 > d1$ 。

接著，參照第 4 圖之剖面圖詳細說明上述之記憶體電

晶體 MT2。該記憶體電晶體 MT2，並未形成與第 3 圖之第 3 接觸孔 TC 相當的第 3 接觸孔 TC。因此，記憶體電晶體 MT2 未與對應之位元線 BL 連接。其他的構造係與第 3 圖之記憶體電晶體 MT1 相同。

此外，未形成第 3 接觸孔 TC 之記憶體電晶體 MT3，係具有與記憶體電晶體 MT2 相同之構造，而形成有第 3 接觸孔 TC 之記憶體電晶體 MT4，則具有與記憶體電晶體 MT1 相同之構造。當然，某一記憶體電晶體是否形成第 3 接觸孔 TC 並無特別之限制，可按照寫入遮罩式 ROM 之程式而加以選擇。

接著，說明上述遮罩式 ROM 的動作。例如：利用列位址解碼器 101 以及行位址解碼器 102 選擇記憶體電晶體 MT1。此時，係在連接於記憶體電晶體 MT1 的字元線 WL 成為高位準時，選擇與記憶體電晶體 MT1 連接之位元線 BL。此外，位元線 BL 在記憶體電晶體 MT1 被選擇前預先充電至預充電電位。

如此一來，記憶體電晶體 MT1 即成為導通(ON)狀態。由於記憶體電晶體 MT1 的汲極領域係透過第 3 接觸孔與位元線 BL 連接，故電源線 VL 的電源電位 V_{dd} 係通過記憶體電晶體 MT1 而輸出至位元線 BL。因此，位元線 BL 的電位會從預充電電位變為 V_{dd} 。此時，將記憶體電晶體 MT1 的記憶狀態定義為「1」。然後，該程式資料「1」即從位元線 BL 透過輸出緩衝器 103 而輸出至遮罩式 ROM 的外部。

另一方面，利用列位址解碼器 101 以及行位址解碼器

102 選擇記憶體電晶體 MT2。此時，連接於記憶體電晶體 MT2 之字元線 WL 係成為高位準時，選擇與記憶體電晶體 MT2 連接的位元線 BL。由於記憶體電晶體 MT2 中並未形成第 3 接觸孔 TC，故不與位元線 BL 連接。因此，位元線 BL 的電位維持在預充電的電位。將此時的記憶體電晶體 MT2 的記憶狀態定義為「0」。之後，該程式資料「0」即從位元線 BL 透過輸出緩衝器 103 輸出至遮罩式 ROM 的外部。

如此一來，依據各記憶體電晶體是否形成第 3 接觸孔 TC，將「1」、「0」之其中一之程式資料寫入遮罩式 ROM 的各位址，而得以讀出該資料。

在上述之實施形態中，係根據是否對應各記憶體電晶體而形成第 3 接觸孔 TC，來寫入與讀出程式資料。藉此，即可達到遮罩式 ROM 之 TAT 短縮化的目的。亦即，可大幅縮短從使用者接受遮罩式 ROM 的訂單至交貨為止的時間。

本發明並未限定於此，可取代第 3 接觸孔 TC，將下層的接觸孔使用於程式寫入。例如：亦可根據是否對應各記憶體電晶體而形成第 2 接觸孔，以達到寫入或讀出程式資料的目的。第 5 圖係顯示在如此之第 2 接觸孔改變方式中，未形成第 2 接觸孔 SC 時的剖面圖。此剖面圖係與第 4 圖之剖面圖對應者。此時，較諸於使用第 3 接觸孔的情況，TAT 會變長。此乃因為第 2 接觸孔 SC 的形成步驟係在第 3 接觸孔的形成步驟之前進行之故。

然而，第 2 接觸孔改變方式，具有無法以光學方式讀取程式資料的安全性優點。亦即，根據此方式，各記憶體電晶體必定形成有第 3 接觸孔 TC，第 3 接觸孔 TC 中埋置有 W 插塞，因此該 W 插塞即形成遮光遮罩，而無法以光學方式檢測出其下層是否形成第 2 接觸孔 SC(參照第 5 圖)。此係以具有堆疊接觸構造為前提。

接著，參照第 6 圖說明堆疊接觸構造的形成方法。在此，係以第 1 圖的第 2 接觸孔 SC、W 插塞 23 的形成為例進行說明。

如第 6 圖(A)所示，在第 1 金屬層 21 上形成第 2 絕緣層 22。第 2 絕緣層 22，基於平坦性與裂縫防止的考量，一般係以疊層複數層絕緣層之方式形成，例如：其係利用 CDV(Chemical Vapor Deposition；化學氣相沈積)法疊層 TEOS(Tetraethoxy Silane；四乙氧基矽烷)膜、SOG(Spin on Glass；旋塗式玻璃)膜、TEOS 膜之方式形成。第 2 絕緣層 22，為達到平坦化之目的亦可利用所謂的化學機械研磨法(CMP(Chemical Mechanical Polishing)法。在此，第 2 絕緣層 22 的膜厚為例如 800nm 的程度。

接著，如第 6 圖(B)所示，利用乾蝕刻法，在第 2 絕緣層 22 上形成第 2 接觸孔 SC，使第 1 金屬層 21 的表面露出。之後，如第 6 圖(C)所示，利用 CDV 法在全面堆積鎢 W。此時，第 2 接觸孔 SC 被鎢 W 所填滿。

如第 6 圖(D)所示，對鎢 W 進行回蝕，僅在第 2 接觸孔 SC 內殘留鎢 W，以形成 W 插塞 23。此時的蝕刻氣體為

例如 $\text{SF}_6 + \text{Ar}$ 。之後，如第 6 圖(E)所示，在 W 插塞 23 上形成第 2 金屬層 24。此外，第 3 絕緣層 25、第 3 接觸孔 TC、W 插塞 26 均以相同之方式形成。

上述之形成方法係藉由回蝕堆積在全面之鎢 W 的方式形成 W 插塞 23，但插塞的形成方式並未限定於此，亦可利用所謂的選擇 CVD 法，選擇性地使鎢 W 成長於藉第 2 接觸孔 SC 而露出之第 1 金屬層 21 的表面，以藉此形成 W 插塞 23。

此外，上述之實施形態，係以適用 3 層金屬製程之遮罩式 ROM 為例進行說明，但本發明並不限於此，本發明亦可適用於 2 層金屬製程、4 層以上之多層金屬製程之遮罩式 ROM。

[發明之效果]

本發明係關於在適用多層金屬製程之遮罩式 ROM 中，根據設置在各絕緣層之接觸孔的有無來決定是否將記憶體電晶體連接至位元線，以進程式設計者，特別是關於具有：使設置於各絕緣層之接觸孔以及分別埋置於該接觸孔中之金屬插塞排列堆疊於上下方向的構造，亦即堆疊層接觸構造(Stacked Contact Structure)者。藉此，可在追求遮罩式 ROM 的 TAT 短縮化的同時，達到高速化與高集成化的目的。

【圖式簡單說明】

第 1 圖為與本發明之實施形態相關之遮罩式 ROM 的電路圖。

第 2 圖為第 1 圖所示之遮罩式 ROM 之記憶胞陣列的配置圖。

第 3 圖為沿著第 2 圖之 X-X 線的剖面圖。

第 4 圖為沿著第 2 圖之 Y-Y 線的剖面圖。

第 5 圖為第 2 接觸改變方式之沿著第 2 圖之 Y-Y 線的剖面圖。

第 6 圖 (A) 至 (E) 為說明堆疊接觸構造之形成方法的剖面圖。

10	半導體基板	11、12	場氧化膜
13	閘極氧化膜	14、16	N+ 型層
15、17	N- 型層	18	第 1 絕緣層
19、20、23、26	W 插塞	21	第 1 金屬層
22	第 2 絕緣層	24	第 2 金屬層
25	第 3 絕緣層	100	記憶胞陣列
101	列位址解碼器	102	行位址解碼器
103	輸出緩衝器	BL	位元線
FC1、FC2	第 1 接觸孔	MT1 至 MT4	記憶體電晶體
SC	第 2 接觸孔	TC	第 3 接觸孔
VL	電源線	WL	字元線

伍、中文發明摘要：

本發明之目的係在追求遮罩式 ROM(Mask ROM)的 TAT 短縮化，以及高速化與高集成化。

本發明係關於在適用 3 層金屬製程之遮罩式 ROM 中，根據設在第 3 絕緣層 (25) 之第 3 接觸孔 TC 的有無決定是否將記憶體電晶體 MT1 連接至位元線 BL，以進行程式設計者，特別是關於具有：使設置於各絕緣層 (18、22、25) 之接觸孔 FC2、SC、TC 以及分別埋置於該等接觸孔中之 W 插塞 (20、23、26) 排列堆疊於上下方向的構造，亦即堆疊接觸構造 (Stacked Contact Structure) 者。

陸、英文發明摘要：

This invention is provided to shorten the turnaround time (TAT) of Mask ROM and to achieve high operation speed and high integration of nonvolatile semiconductor memory device, such as a Mask ROM. The Mask ROM is a type a three-layer metal process can be applied in its manufacture and the programming thereof is carried out by connecting or disconnecting a memory transistor MT1 to a bit line BL based on a third contact hole TC is provided in a third insulation layer (25) or not, and, more particularly, a type having a stacked contact structure, that is a structure in which contact holes FC2, SC, TC provided in insulation layers (18, 22, 25) respectively, and W plugs (20, 23, 26) buried in the contact holes respectively are arranged and piled up in vertical direction.

柒、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件代表符號簡單說明：

10	半導體基板	11、12	場氧化膜
13	閘極氧化膜	14、16	N+ 型層
15、17	N- 型層	18	第 1 絕緣層
19、20、23、26	W 插塞	21	第 1 金屬層
22	第 2 絕緣層	24	第 2 金屬層
25	第 3 絕緣層	BL	位元線
FC1、FC2	第 1 接觸孔	SC	第 2 接觸孔
TC	第 3 接觸孔	VL	電源線
WL	字元線		

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

1. 一種非揮發性半導體記憶裝置，係具有：

記憶體電晶體；

以交互方式疊層於該記憶體電晶體上之絕緣層以及金屬層；

設置於前述絕緣層各層之接觸孔；

埋置於該接觸孔中，用以使在上下方向相鄰之金屬層電性連接之金屬插塞；以及

由最上層之金屬層所形成之位元線，其特徵為：

設置於前述絕緣層各層之接觸孔係排列於上下方向而形成，且係根據設於前述各絕緣層中任一絕緣層之接觸孔以及金屬插塞的有無，決定前述記憶體電晶體是否與前述位元線連接。

2. 如申請專利範圍第 1 項之非揮發性半導體記憶裝置，其中，係根據設置於前述最上層之絕緣層之接觸孔以及金屬插塞的有無，決定前述記憶體電晶體是否與前述位元線連接。

3. 如申請專利範圍第 1 項之非揮發性半導體記憶裝置，其中，設置於前述最上層之絕緣層之接觸孔的尺寸，係大於設置於下層之前述絕緣層之接觸孔的尺寸。

4. 如申請專利範圍第 2 項之非揮發性半導體記憶裝置，其中，設置於前述最上層之絕緣層之接觸孔的尺寸，係大於設置於下層之前述絕緣層之接觸孔的尺寸。

5. 一種非揮發性半導體記憶裝置，係具有：

記憶體電晶體；

形成於該記憶體電晶體上之第 1 絕緣層；

設置於該第 1 絕緣層之第 1 接觸孔；

埋置於該第 1 接觸孔中之第 1 金屬插塞；

形成於該第 1 金屬插塞上之第 1 金屬層；

形成於該第 1 金屬層上之第 2 絕緣層；

設置於該第 2 絕緣層之第 2 接觸孔；

埋置於該第 2 接觸孔中之第 2 金屬插塞；

形成於該第 2 金屬插塞上之第 2 金屬層；

形成於該第 2 金屬層上之第 3 絕緣層；以及

由形成於該第 3 絕緣層上之第 3 金屬層所形成之位元線，其特徵為：

根據形成於前述第 3 絕緣層之第 3 接觸孔以及埋置於該第 3 接觸孔中之第 3 金屬插塞的有無，決定前述記憶體電晶體是否與前述位元連接，且前述第 1、第 2 以及第 3 接觸孔係排列於上下方向。

6. 一種非揮發性半導體記憶裝置，係具有：

記憶體電晶體；

形成於該記憶體電晶體上之第 1 絕緣層；

設置於該第 1 絕緣層之第 1 接觸孔；

埋置於該第 1 接觸孔中之第 1 金屬插塞；

形成於該第 1 金屬插塞上之第 1 金屬層；

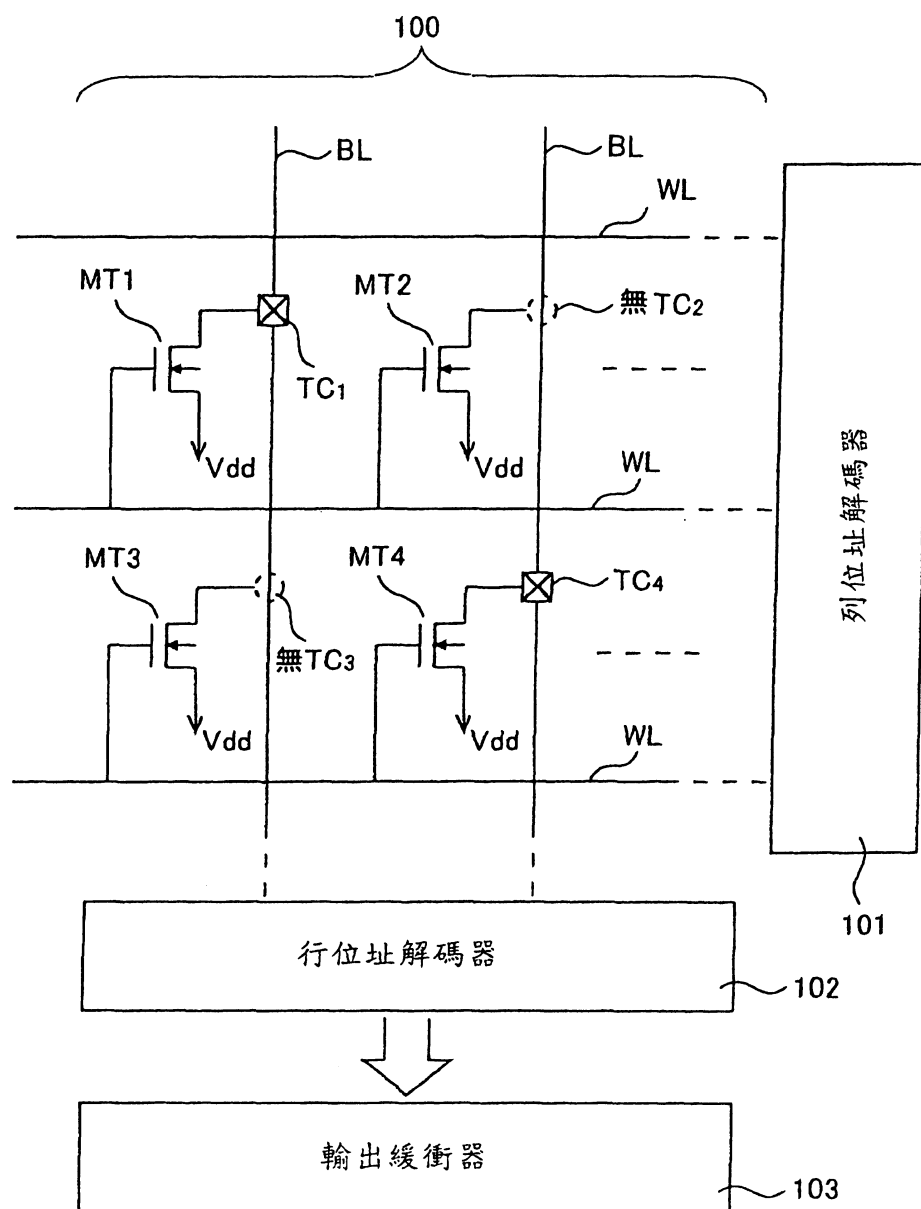
形成於該第 1 金屬層上之第 2 絕緣層；

形成於該第 2 絕緣層上之第 2 金屬層；

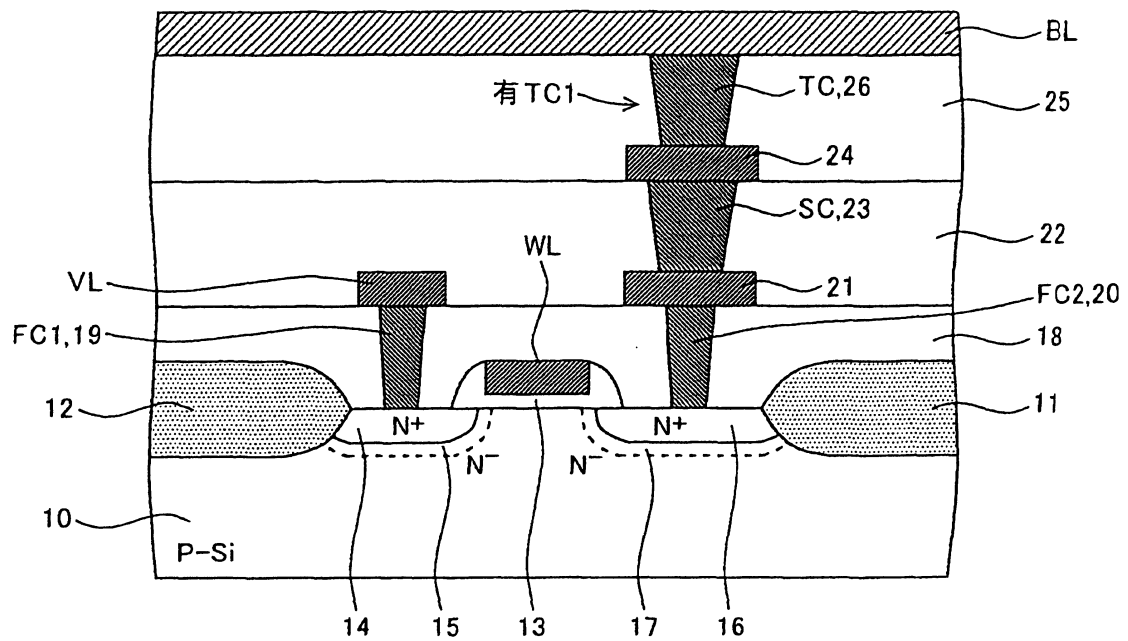
形成於該第 2 金屬層上之第 3 絕緣層；
設置於該第 3 絕緣層之第 3 接觸孔；
埋置於該第 3 接觸孔中之第 3 金屬插塞；以及
由形成於該第 3 金屬插塞上之第 3 金屬層所形成之位元線，其特徵為：

根據形成於前述第 2 絕緣層之第 2 接觸孔以及埋置於該第 2 接觸孔中之第 2 金屬插塞的有無，決定前述記憶體電晶體是否與前述位元線連接，且前述第 1、第 2 以及第 3 接觸孔係排列於上下方向。

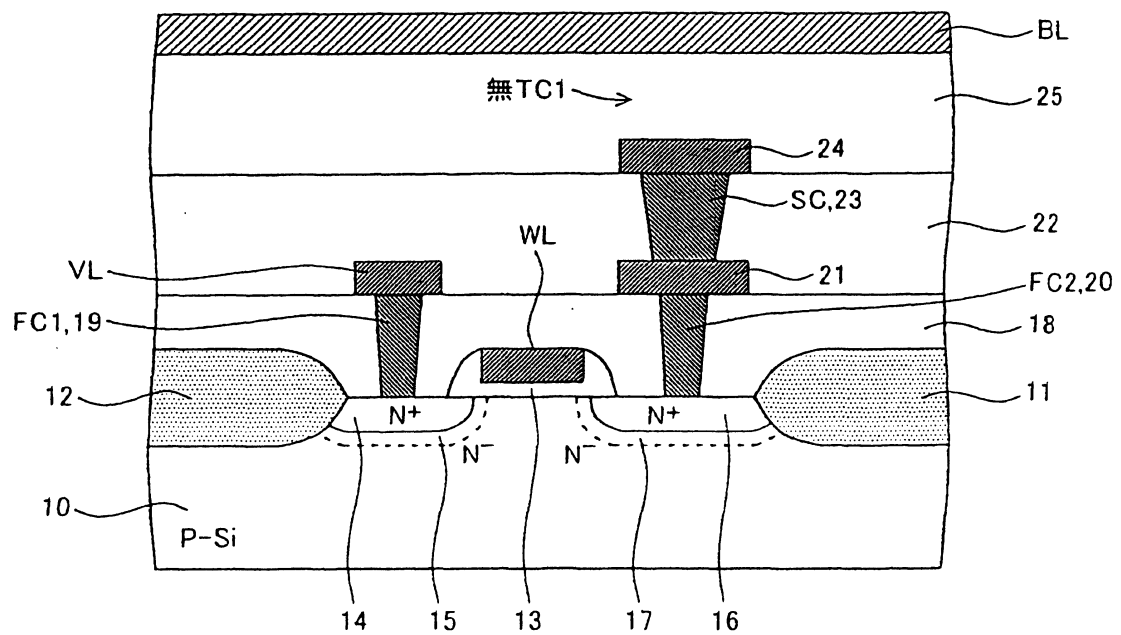
7. 如申請專利範圍第 5 項之非揮發性半導體記憶裝置，其中，前述第 2 以及第 3 接觸孔的尺寸，係大於第 1 接觸孔的尺寸。
8. 如申請專利範圍第 6 項之非揮發性半導體記憶裝置，其中，前述第 2 以及第 3 接觸孔的尺寸，係大於第 1 接觸孔的尺寸。



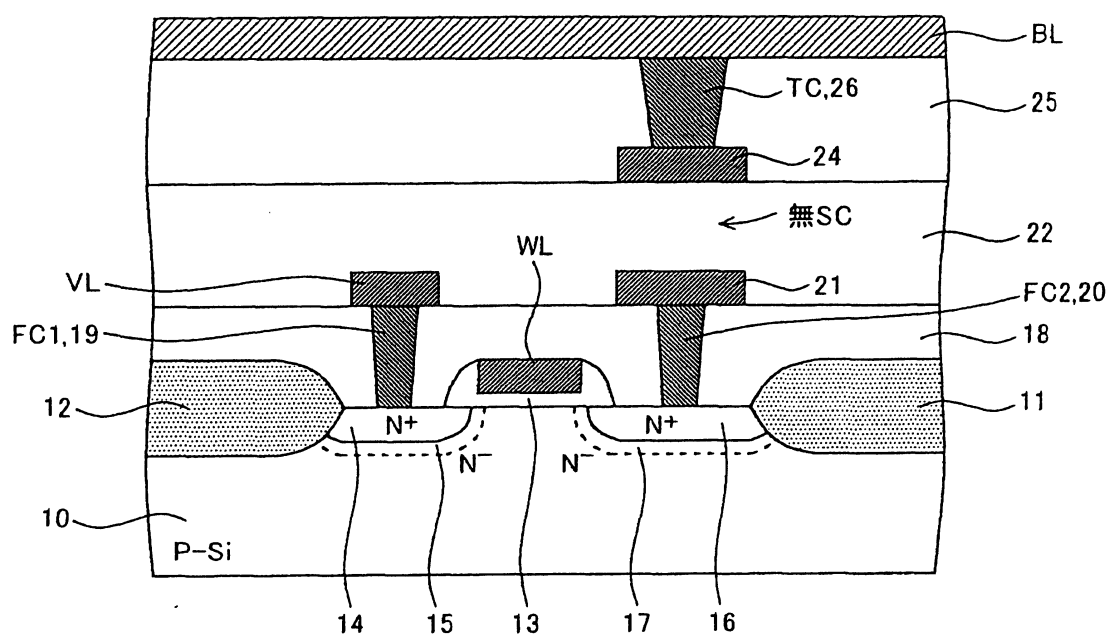
第1圖



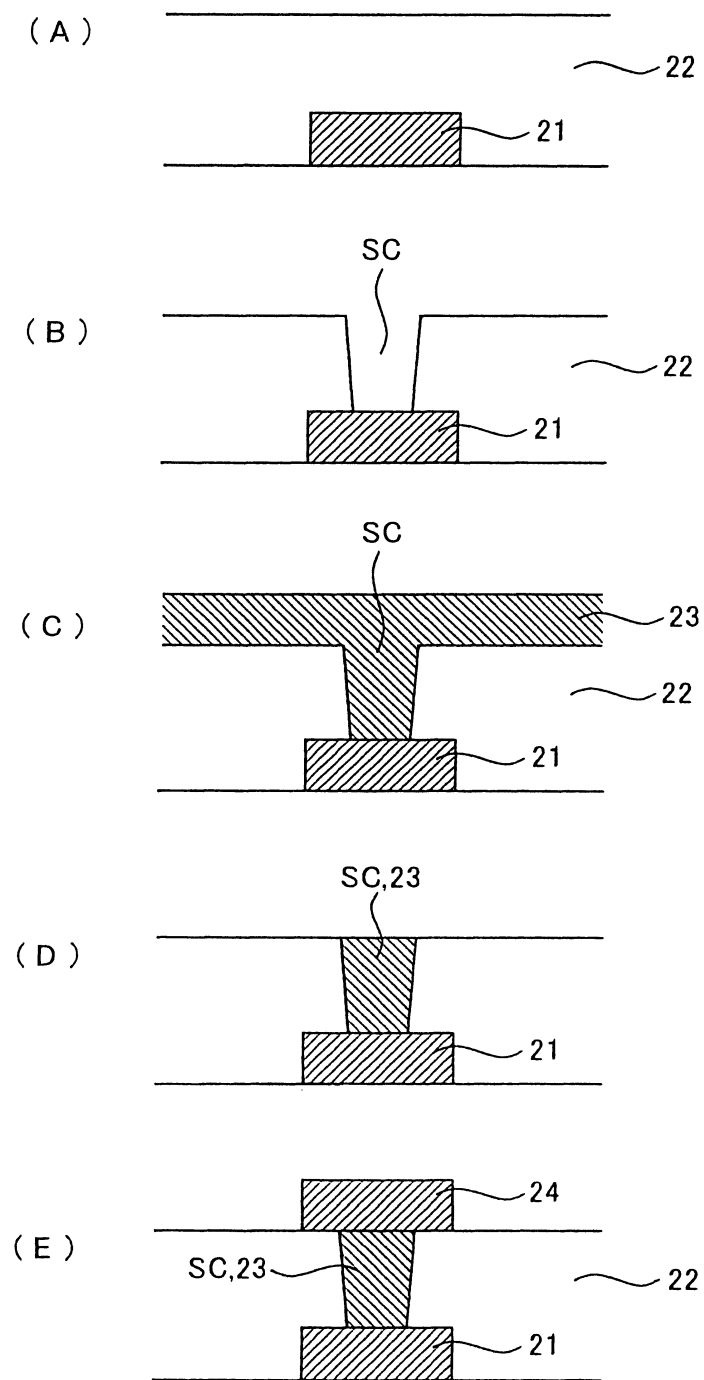
第3圖



第4圖



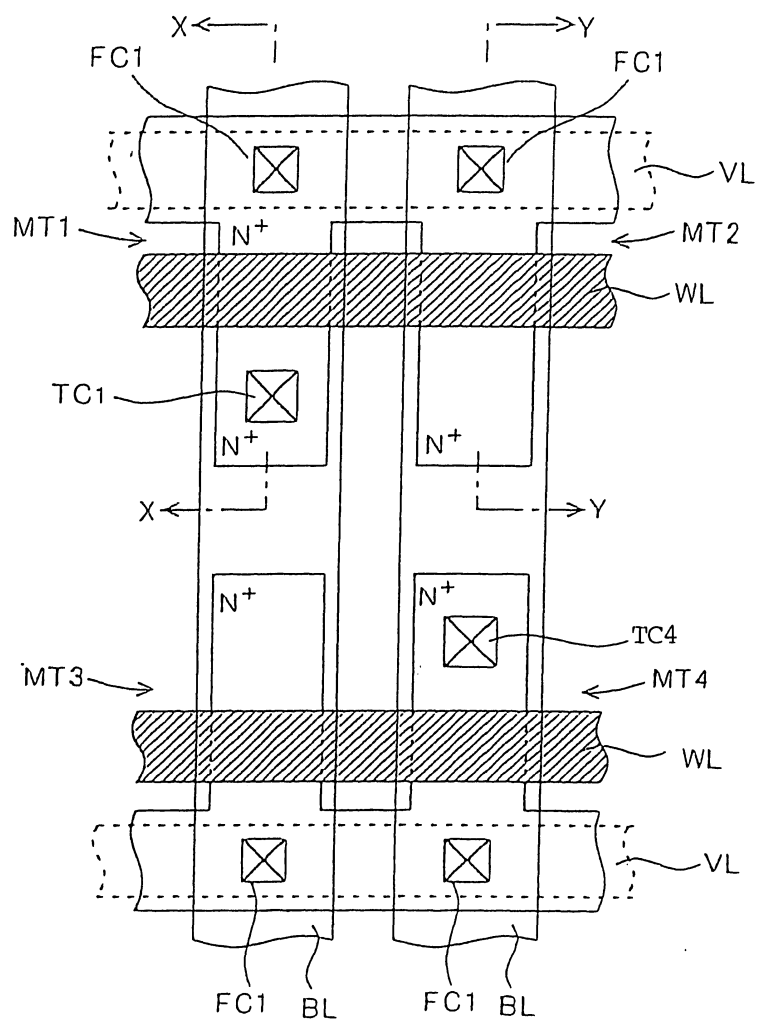
第5圖



第 6 圖

I229934

94年1月13日 修正
補充



第 2 圖