

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6246743号
(P6246743)

(45) 発行日 平成29年12月13日(2017.12.13)

(24) 登録日 平成29年11月24日(2017.11.24)

(51) Int.Cl.	F 1
HO4B 1/16 (2006.01)	HO4B 1/16 Z
HO4B 7/0413 (2017.01)	HO4B 7/0413
HO4L 27/26 (2006.01)	HO4L 27/26 100

請求項の数 15 (全 30 頁)

(21) 出願番号	特願2014-560109 (P2014-560109)
(86) (22) 出願日	平成25年3月1日(2013.3.1)
(65) 公表番号	特表2015-516711 (P2015-516711A)
(43) 公表日	平成27年6月11日(2015.6.11)
(86) 国際出願番号	PCT/US2013/028742
(87) 国際公開番号	W02013/131051
(87) 国際公開日	平成25年9月6日(2013.9.6)
審査請求日	平成28年2月2日(2016.2.2)
(31) 優先権主張番号	13/411,444
(32) 優先日	平成24年3月2日(2012.3.2)
(33) 優先権主張国	米国(US)

(73) 特許権者	595020643 クアアルコム・インコーポレイテッド QUALCOMM INCORPORATED アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアナウス・ドライブ 5775
(74) 代理人	100108855 弁理士 蔵田 昌俊
(74) 代理人	100109830 弁理士 福原 淑弘
(74) 代理人	100103034 弁理士 野河 信久
(74) 代理人	100075672 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ

(57) 【特許請求の範囲】

【請求項 1】

シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャを使用してマルチプルキャリア信号を受信するための方法であって、

一次アンテナを使用して第1の信号を受信することと、

一次同相 / 直交位相信号を取得するために、前記シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャにおけるトランシーバチップ上的一次受信機を通って前記第1の信号をルーティングすることと、

T R x 同相 / 直交位相信号を取得するために、前記トランシーバチップ上の三次受信機を通って前記第1の信号をルーティングすることと、ここで、前記一次および三次受信機を通って前記第1の信号をルーティングすることは、第1の信号分割ステージを通って前記第1の信号をルーティングすることをさらに備え、前記第1の信号分割ステージは、信号ルーティングがとられたソース低雑音増幅器および前記信号ルーティングが向けられたターゲット低雑音増幅器を備え、スイッチが前記ソース低雑音増幅器と前記ターゲット低雑音増幅器との間で使用される、

二次アンテナを使用して第2の信号を受信することと、

二次同相 / 直交位相信号を取得するために、前記トランシーバチップ上の二次受信機を通って前記第2の信号をルーティングすることと、

Q R x 同相 / 直交位相信号を取得するために、前記トランシーバチップ上の四次受信機を通って前記第2の信号をルーティングすることと、ここで、前記二次および四次受信機

10

20

を通って前記第2の信号をルーティングすることは、第2の信号分割ステージを通って前記第2の信号をルーティングすることをさらに備え、前記第2の信号分割ステージは、ソース低雑音増幅器およびターゲット低雑音増幅器を備え、スイッチが前記ソース低雑音増幅器と前記ターゲット低雑音増幅器との間で使用される、

を備え、前記スイッチはスタンダローン動作を可能にするようにされる、方法。

【請求項2】

前記トランシーバチップは、
送信機と、
一次受信機と、
二次受信機と、
三次受信機と、
四次受信機と

を備え、ここで、各受信機は、複数の低雑音増幅器を備え、各低雑音増幅器は、第1ステージ増幅器および第2ステージ増幅器を備え、

好ましくは、前記第1ステージ増幅器は、相互コンダクタンスステージであり、前記第2ステージ増幅器はカスコードステージである、および／または、前記複数の低雑音増幅器は、第1の帯域についての複数の低雑音増幅器と、第2の帯域についての複数の低雑音増幅器とを備える、請求項1に記載の方法。

【請求項3】

前記第1の帯域は、低い帯域であり、前記第2の帯域は、中間の帯域であるか、または、前記第1の帯域は、低い帯域であり、前記第2の帯域は、高い帯域であるか、または、前記第1の帯域は、中間の帯域であり、前記第2の帯域は、高い帯域である、請求項2に記載の方法。

【請求項4】

第1のルーティングは、一次同相／直交位相信号を取得するために、前記一次アンテナから前記一次受信機を通して使用され、第2のルーティングは、T R × 同相／直交位相信号を取得するために、前記一次アンテナから前記三次受信機を通して使用され、第3のルーティングは、二次同相／直交位相信号を取得するために、前記二次アンテナから前記二次受信機を通して使用され、第4のルーティングは、Q R × 同相／直交位相信号を取得するに、前記二次アンテナから前記四次受信機を通して使用される、請求項1に記載の方法。

【請求項5】

前記シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャは、帯域間動作において存在し、前記第1のルーティングは、第1の一次受信機低雑音増幅器を通過し、前記第2のルーティングは、第2の一次受信機低雑音増幅器を通過し、前記第2のルーティングは、前記第1の信号分割ステージを通過し、前記第3のルーティングは、第1の二次受信機低雑音増幅器を通過し、前記第4のルーティングは、第2の二次受信機低雑音増幅器を通過し、前記第4のルーティングは、前記第2の信号分割ステージを通過する、請求項4に記載の方法。

【請求項6】

前記第1の信号分割ステージは、前記一次受信機の低雑音増幅器における第1ステージ増幅器と前記三次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティングを備える、請求項5に記載の方法。

【請求項7】

前記第2の信号分割ステージは、前記二次受信機の低雑音増幅器における第1ステージ増幅器と前記四次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティングを備える、請求項5に記載の方法。

【請求項8】

前記第1の信号分割ステージは、前記一次受信機の低雑音増幅器における第2ステージ増幅器と前記三次受信機におけるミキサとの間のルーティングを備える、請求項5に記載

10

20

30

40

50

の方法。

【請求項 9】

前記第2の信号分割ステージは、前記二次受信機の低雑音増幅器における第2ステージ増幅器と前記四次受信機におけるミキサとの間のルーティングを備える、請求項5に記載の方法。

【請求項 10】

前記シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャは、帯域内動作において存在し、前記第1のルーティングおよび前記第2のルーティングは、一次受信機低雑音増幅器を通過し、前記第2のルーティングは、前記第1の信号分割ステージを通過し、前記第3のルーティングおよび前記第4のルーティングは、前記第1の信号分割ステージを通過する、請求項4に記載の方法。10

【請求項 11】

前記第1の信号分割ステージは、前記一次受信機の低雑音増幅器における第1ステージ増幅器と前記三次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティングを備え、好ましくは、前記第2の信号分割ステージは、前記二次受信機の低雑音増幅器における第1ステージ増幅器と前記四次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティングを備える、請求項10に記載の方法。

【請求項 12】

前記第1の信号分割ステージは、前記一次受信機の低雑音増幅器における第2ステージ増幅器と前記三次受信機におけるミキサとの間のルーティングを備え、好ましくは、前記第2の信号分割ステージは、前記二次受信機の低雑音増幅器における第2ステージ増幅器と前記四次受信機におけるミキサとの間のルーティングを備える、請求項10に記載の方法。20

【請求項 13】

シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャを使用してマルチプルキャリア信号を受信するための装置であって、

第1の信号を受信するための手段と、

一次同相／直交位相信号を取得するために、前記シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャにおけるトランシーバチップ上の一次受信機を通じて前記第1の信号をルーティングするための手段と、30

T R x 同相／直交位相信号を取得するために、前記トランシーバチップ上の三次受信機を通じて前記第1の信号をルーティングするための手段と、ここで、前記一次および三次受信機を通じて前記第1の信号をルーティングするための手段は、第1の信号分割ステージを通じて前記第1の信号をルーティングするようにされ、前記第1の信号分割ステージは、信号ルーティングがとられたソース低雑音増幅器および前記信号ルーティングが向けられたターゲット低雑音増幅器を備え、スイッチが前記ソース低雑音増幅器と前記ターゲット低雑音増幅器との間で使用される、

第2の信号を受信するための手段と、

二次同相／直交位相信号を取得するために、前記トランシーバチップ上の二次受信機を通じて前記第2の信号をルーティングするための手段と、40

Q R x 同相／直交位相信号を取得するために、前記トランシーバチップ上の四次受信機を通じて前記第2の信号をルーティングするための手段と、ここで、前記二次および四次受信機を通じて前記第2の信号をルーティングすることは、第2の信号分割ステージを通じて前記第2の信号をルーティングすることをさらに備え、前記第2の信号分割ステージは、ソース低雑音増幅器およびターゲット低雑音増幅器を備え、スイッチが前記ソース低雑音増幅器と前記ターゲット低雑音増幅器との間で使用される、

を備え、前記スイッチはスタンダローン動作を可能にするようにされる、装置。

【請求項 14】

各低雑音増幅器は、第1ステージ増幅器および第2ステージ増幅器を備え、前記第1ス50

テージ増幅器は、相互コンダクタンスステージであり、前記第2ステージ増幅器は、カスコードステージである、請求項13に記載の装置。

【請求項15】

プロセッサによって実行されたとき、前記プロセッサに本願請求項1~12のうちのいずれかの前記方法のステップを行わせる命令を備える、非一時的コンピュータ読み取り可能媒体。

【発明の詳細な説明】

【技術分野】

【0001】

[0001] 本開示は、一般に、通信システムのためのワイヤレスデバイスに関する。より具体的には、本開示は、シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャのためのシステムおよび方法に関する。 10

【背景技術】

【0002】

[0002] 電子デバイス（携帯電話、ワイヤレスモジュール、コンピュータ、デジタル音楽プレイヤー、全地球測位システムユニット、携帯情報端末、ゲーム機器等）は日常生活の一部となっている。小さな計算デバイスは今や自動車から住居の錠まであらゆるものに設置されている。電子デバイスの複雑さがこの数年で劇的に増大した。例えば、多くの電子デバイスは、このデバイスを制御することに協力する1つまたは複数のプロセッサはもちろん、このプロセッサ並びにデバイスの他の部分をサポートする多くのデジタル回路も有する。 20

【0003】

[0003] これら電子デバイスは、互いにまたはネットワークとワイヤレスに通信し得る。これら電子デバイスによる情報の需要が増大するにつれ、ダウンリンクスループットもまた増大した。ダウンリンクスループットを増大させる1つの方法は、キャリアアグリゲーションの使用である。キャリアアグリゲーション(carrier aggregation)では、複数のキャリアが、要求された帯域幅（とそれゆえ要求されるスループット）を提供するために物理レイヤ上で集められ(aggregated)得る。 30

【0004】

[0004] バッテリ寿命を最大化することは電子デバイスにとって望ましい。電子デバイスは限られた動作時間(limited operation time)のバッテリでしばしば稼働することから、電子デバイスの電力消費における削減が電子デバイスの望ましさや機能性を向上させ得る。 30

【0005】

[0005] 電子デバイスはまた、より小さく、より安価になってきた。サイズの低減とコストの低減の両方を容易にするために、付加的回路並びにより複雑な回路が集積回路上で使用されている。それゆえ、回路によって使用されるダイ面積(die area)における何らかの低減は、電子デバイスのサイズおよびコストの両方を低減し得る。電子デバイスのサイズやコストを最小化し、電子デバイスの電力消費も最小化しながら、電子デバイスをキャリアアグリゲーションに参加させる電子デバイスの改良で恩恵が現実となり得る。 40

【発明の概要】

【0006】

[0006] マルチプルキャリア信号を受信するために構成されたワイヤレス通信デバイスが説明される。ワイヤレス通信デバイスは、シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ(single-chip signal splitting carrier aggregation receiver architecture)を含む。シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャは、一次アンテナ、二次アンテナ、およびトランシーバチップを含む。シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャは、同時ハイブリッドデュアル受信機(simultaneous hybrid dual receiver)パスを再使用する。

【0007】

50

20

30

40

50

[0007] シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャは、4つのアンテナ、電力分割器(power splitter)、外部低雑音増幅器またはダイトゥーダイ信号ルーティング(die-to-die signal routing)を要求しないことがある。トランシーバチップは、送信機、一次受信機、二次受信機、三次受信機および四次受信機を含み得る。各受信機は、複数の低雑音増幅器を含み得る。各低雑音増幅器は、第1ステージ増幅器と第2ステージ増幅器を含み得る。第1ステージ増幅器は、相互コンダクタンスステージであり得、また、第2ステージ増幅器は、カスコードステージであり得る。

【0008】

[0008] 複数の低雑音増幅器は、第1の帯域についての複数の低雑音増幅器と第2の帯域についての複数の低雑音増幅器を含み得る。一構成では、第1の帯域は低い帯域(low band)であり得、第2の帯域は中間の帯域(mid band)であり得る。別の構成では、第1の帯域は低い帯域であり得、第2の帯域は高い帯域(high band)であり得る。なお別の構成では、第1の帯域は中間の帯域であり得、第2の帯域は高い帯域であり得る。10

【0009】

[0009] 第1のルーティング(routing)は、一次アンテナから一次受信機を通して一次同相/直交位相信号を取得するために使用され得る。第2のルーティングは、一次アンテナから三次受信機を通してTR×同相/直交位相信号を取得するために使用され得る。第3のルーティングは、二次アンテナから二次受信機を通して二次同相/直交位相信号を取得するために使用され得る。第4のルーティングは、二次アンテナから、四次受信機を通してQR×同相/直交位相信号を取得するために使用され得る。20

【0010】

[0010] シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャは、帯域間動作において存在し得る。第1のルーティングは、第1の一次受信機低雑音増幅器を通過し得る。第2のルーティングは、第2の一次受信機低雑音増幅器を通過し得る。第2のルーティングもまた、第1の信号分割ステージを通過し得る。第3のルーティングは、第1の二次受信機低雑音増幅器を通過し得る。第4のルーティングは、第2の二次受信機低雑音増幅器を通過し得る。第4のルーティングもまた、第2の信号分割ステージを通過し得る。

【0011】

[0011] 第1の信号分割ステージは、一次受信機の低雑音増幅器における第1ステージ増幅器と三次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティングを含み得る。第2の信号分割ステージは、二次受信機の低雑音増幅器における第1ステージ増幅器と、四次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティングを含み得る。30

【0012】

[0012] 第1の信号分割ステージは、一次受信機の低雑音増幅器における第2ステージ増幅器と三次受信機におけるミキサとの間のルーティングを含み得る。第2の信号分割ステージは、二次受信機の低雑音増幅器における第2ステージ増幅器と四次受信機におけるミキサとの間のルーティングを含み得る。

【0013】

[0013] シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャは、帯域内動作において存在し得る。第1のルーティングおよび第2のルーティングは一次受信機低雑音増幅器を通過し得る。第2のルーティングもまた、第1の信号分割ステージを通過し得る。第3のルーティングおよび第4のルーティングは二次受信機低雑音増幅器を通過し得る。第4のルーティングもまた、第2の信号分割ステージを通過し得る。40

【0014】

[0014] 第1の信号分割ステージは、一次受信機の低雑音増幅器における第1ステージ増幅器と、三次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティングを含み得る。第2の信号分割ステージは、二次受信機の低雑音増幅器における第1ステージ増幅器と、四次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティン50

グを含み得る。

【0015】

[0015] 第1の信号分割ステージは、一次受信機の低雑音増幅器における第2ステージ増幅器と三次受信機におけるミキサとの間のルーティングを含み得る。第2の信号分割ステージは、二次受信機の低雑音増幅器における第2ステージ増幅器と四次受信機におけるミキサとの間のルーティングを含み得る。

【0016】

[0016] シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャを使用するマルチプルキャリア信号を受信するための方法がまた、説明される。第1の信号は、一次アンテナを使用して受信される。第1の信号は、一次同相／直交位相信号を取得するために、シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャにおけるトランシーバチップ上の一次受信機を通してルーティングされる。第1の信号は、TR × 同相／直交位相信号を取得するために、トランシーバチップ上の三次受信機を通してルーティングされる。第2の信号は、二次アンテナを使用して受信される。第2の信号は、二次同相／直交位相信号を取得するために、トランシーバチップ上の二次受信機を通してルーティングされる。第2の信号は、QR × 同相／直交位相信号を取得するために、トランシーバチップ上の四次受信機を通してルーティングされる。

10

【0017】

[0017] シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャを使用してマルチプルキャリア信号を受信するための装置が、説明される。装置は、一次アンテナを使用して第1の信号を受信するための手段を含む。装置はまた、一次同相／直交位相信号を取得するために、シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャにおけるトランシーバチップ上の一次受信機を通して第1の信号をルーティングするための手段を含む。装置は、TR × 同相／直交位相信号を取得するために、トランシーバチップ上の三次受信機を通して第1の信号をルーティングするための手段をさらに含む。装置はまた、二次アンテナを使用して第2の信号を受信するための手段を含む。装置は、二次同相／直交位相信号を取得するために、トランシーバチップ上の二次受信機を通して第2の信号をルーティングするための手段をさらに含む。装置はまた、QR × 同相／直交位相信号を取得するために、トランシーバチップ上の四次受信機を通して第2の信号をルーティングするための手段を含む。

20

【図面の簡単な説明】

【0018】

【図1】図1は、本システムおよび方法において使用するためのワイヤレス通信デバイスを示す。

【図2】図2は、シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャを使用する信号を受信するための方法のフローチャートである。

【図3】図3は、シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャを例示するブロック図である。

【図4】図4は、帯域間モードにおいて動作するシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャを例示するブロック図である。

30

【図5】図5は、帯域間モードにおいて動作するシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャを例示する別のブロック図である。

【図6】図6は、帯域内モードにおいて動作するシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャを例示するブロック図である。

【図7】図7は、帯域内モードにおいて動作するシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャを例示する別のブロック図である。

【図8】図8は、信号分割ステージを例示するブロック図である。

【図9】図9は、別の信号分割ステージを例示するブロック図である。

【図10】図10は、ワイヤレス通信デバイス内に含まれ得る特定のコンポーネントを例示する。

40

50

【発明を実施するための形態】

【0019】

詳細な説明

[0028] 第3世代パートナーシッププロジェクト(3GPP)は、グローバルに適用可能な第3世代(3G)モバイルフォン規格を定義することを目的とした、電気通信協会のグループ間の共同作業(collaboration)である。3GPP ロングタームエボリューション(LTE)は、ユニバーサル・モバイル・テレコミュニケーション・システム(UMTS)モバイルフォン規格を改良することを目的とした、3GPPプロジェクトである。3GPPは、次世代のモバイルネットワーク、モバイルシステム、およびモバイルデバイスのための規格を定義し得る。3GPP LTEにおいて、モバイル局またはデバイスは、「ユーザ機器」(UE)と称され得る。10

【0020】

[0029] 3GPP規格は、発展型(evolved)グローバル移動体通信システム(GSM(登録商標))規格に基づき、これは一般にユニバーサル・モバイル・テレコミュニケーション・システム(UMTS)として知られる。3GPP規格(standards)は、リリースするごとに構成される(structured as releases)。3GPPの議論(Discussion)は、それゆえ、しばしば1つのリリースまたは別のリリースにおける機能性を指す。例えば、リリース99は、第1のUMTS第3世代(3G)ネットワークを規定し、CDMAエインタフェースを組み込む。リリース6は、無線ローカルエリアネットワーク(LAN)ネットワークを用いる動作を統合(integrate)し、高速アップリンクパケットアクセス(HSUPA)を加える。リリース8は、デュアルダウンリンクキャリアを導入し、リリース9は、UMTSのためにアップリンクするためにデュアルキャリア動作を拡張する。20

【0021】

[0030] CDMA2000は、ワイヤレスデバイス間で音声、データ、およびシグナリングを送るために符号分割多元接続(CDMA)を使用する第3世代(3G)技術標準規格のファミリーである。CDMA2000は、CDMA2000_1X、CDMA2000_0_EV-DO Rev.0、CDMA2000_EV-DO Rev. AおよびCDMA2000_EV-DO Rev. Bを含み得る。1xまたは1xRTTは、コアCDMA2000ワイヤレスエインタフェース規格を指す。1xは、より具体的には1かける(1 times)ラジオ送信技術を指し、IS-95において使用されるものと同じ無線周波数(RF)帯域幅を示唆する。1xRTTは、64の追加のトラフィックチャネルを順方向リンクへ加算する。EV-DOは、エボリューション-データの最適化(Evolution-Data Optimized)を指す。EV-DOは、ラジオ信号を通じてデータのワイヤレス送信のための電気通信規格である。30

【0022】

[0031] 図1は、本システムおよび方法で使用するためのワイヤレス通信デバイス104を示す。ワイヤレス通信デバイス104はまた、端末、アクセス端末、ユーザ機器(UE)、加入者ユニット、局などと称され、これらの機能のうちのいくつかまたは全てを含み得る。ワイヤレス通信デバイス104は、セルラ電話、パーソナルディタスアシスタント(PDA)、ワイヤレスデバイス、ワイヤレスモ뎀、ハンドヘルドデバイス、ラップトップコンピュータ、PCカード、コンパクトフラッシュ(登録商標)(compact flash)、外部または内部モ뎀、有線電話などであり得る。ワイヤレス通信デバイス104は、移動式または固定式であり得る。ワイヤレス通信デバイス104は、何らかの与えられた時期に、ダウンリンクおよび/またはアップリンク上で0、1、または複数の基地局と通信し得る。ダウンリンク(すなわち順方向リンク)は基地局からワイヤレス通信デバイス104までの通信リンクを指し、アップリンク(すなわち逆方向リンク)はワイヤレス通信デバイス104から基地局までの通信リンクを指す。アップリンクおよびダウンリンクは通信リンクやこの通信リンクのために使用されるキャリアを指し得る。40

【0023】

[0032] ワイヤレス通信デバイス 104 は、基地局のような他のワイヤレスデバイスを含むワイヤレス通信システムにおいて動作し得る。基地局は、1つまたは複数のワイヤレス通信デバイス 104 と通信する局である。基地局はまた、アクセスポイント、ブロードキャスト送信機、ノード B、発展型ノード B 等と称され、それらの機能のうちのいくつかまたは全てを含み得る。各基地局は、特定の地域のために通信カバレッジを提供する。基地局は、1つまたは複数のワイヤレス通信デバイス 104 のために通信カバレッジを提供し得る。「セル」という用語は、用語が使用される文脈によって、基地局および / またはそのカバレッジエリアを指すことができる。

【0024】

[0033] ワイヤレス通信システム（例えば、多元接続システム）における通信は、ワイヤレスリンクによる送信を通して達成され得る。このような通信リンクは、单一入力单一出力（SISO）、または複数入力複数出力（MIMO）システムによって確立され得る。複数入力複数出力（MIMO）システムは、データ送信のために複数の（NT）送信アンテナおよび複数の（NR）受信アンテナをそれぞれ装備した送信機（複数もあり）および受信機（複数もあり）を含む。SISO システムは、複数入力複数出力（MIMO）システムの特定の事例である。複数入力複数出力（MIMO）システムは、複数の送信アンテナおよび受信アンテナによって生成される追加の次元が利用される場合に、改善された性能（例えば、より高いスループット、より大きな容量、あるいは改善された信頼性）を提供できる。

【0025】

[0034] ワイヤレス通信システムは、单一入力複数出力（SIMO）と複数入力複数出力（MIMO）の両方を利用し得る。ワイヤレス通信システムは、利用可能なシステムリソース（例えば、帯域幅および送信電力）を共有することによって、複数のワイヤレス通信デバイス 104 との通信をサポート可能な多元接続システムであり得る。このような多元接続システムの例は、符号分割多元接続（CDMA）システム、広帯域符号分割多元接続（W-CDMA）システム、時分割多元接続（TDMA）システム、周波数分割多元接続（FDMA）システム、直交周波数分割多元接続（OFDMA）システム、シングルキャリア周波数分割多元接続（SC-FDMA）システム、第3世代パートナーシッププロジェクト（3GPP）ロングタームエボリューション（LTE）システム、および空間分割多元接続（SDMA）システムを含む。

【0026】

[0035] ワイヤレス通信デバイス 104 は、信号分割(signal splitting)を利用し得る。信号分割では、複数の信号が特定のバスに向けられる。信号分割の一形式は電流ステアリング（steering）である。一構成の帯域内キャリアアグリゲーションでは、信号分割が、第1ステージ増幅器（相互コンダクタンスステージ（Gm）等）の出力から信号を取り、キャリアアグリゲーションのためにこの信号を分割(splitting)してこの信号を2つの別々の第2ステージ増幅器（カスコードステージ（Cas）等）および後続のミキサに渡すことを指す。別構成の帯域内キャリアアグリゲーションでは、信号分割が、第2ステージ増幅器（カスコードステージ（Cas）等）の出力から信号を取り、キャリアアグリゲーションのためにこの信号を分割してこの信号を2つの別々のミキサに渡すことを指す。

【0027】

[0036] 一構成の帯域間キャリアアグリゲーションでは、信号分割が、第1ステージ増幅器（相互コンダクタンスステージ（Gm）等）から出力された信号を取り、この信号を第2ステージ増幅器（カスコードステージ（Cas）等）およびダイバーシチバスにおける後続のミキサにステアリング（steering）（またはダイバーティング（diverting）、またはポンピング（pumping））し、ダイバーシチ受信機のダウンコンバート回路を使用してダウンコンバートされるようにすることを指す。別構成の帯域間キャリアアグリゲーションでは、信号分割が、第2ステージ増幅器（カスコードステージ（Cas）等）から出力された信号を取り、この信号をダイバーシチバスにおける後続のミキサにステアリング（またはダイバーティング、またはポンピング）し、ダイバーシチ受信機のダウンコンバ-

10

20

30

40

50

ト回路を使用してダウンコンバートされるようにすることを指す。

【0028】

[0037] 本明細書に記載される信号ステアリングは、電流ステアリングである。しかしながら、電圧ステアリングも使用され得る。帯域間キャリアアグリゲーションのための一構成の電圧ステアリングでは、第1ステージ増幅器（相互コンダクタンスステージ（Gm）等）から出力された信号は第2ステージ増幅器（カスコードステージ（Cas）等）およびダイバーシチバスにおける後続のミキサにダイバート(divert)され、ダイバーシチ受信機のダウンコンバート回路を使用してダウンコンバートされ得る。帯域間キャリアアグリゲーションのための別構成の電圧ステアリングでは、第2ステージ増幅器（カスコードステージ（Cas）等）から出力された信号は、ダイバーシチバスにおける後続のミキサにダイバートされ、ダイバーシチ受信機のダウンコンバート回路を使用してダウンコンバートされ得る。
10

【0029】

[0038] ワイヤレスデバイス104は一次アンテナ106および二次アンテナ108を含み得る。二次アンテナ108はダイバーシチアンテナと称され得る。トランシーバチップ110は一次アンテナ106および二次アンテナ108に結合され得る。トランシーバチップ110は、送信機、一次受信機（PRx）140、二次受信機（SRx）142、三次受信機（TRx）144および四次受信機（QRx）146を含み得る。トランシーバチップ110の一次受信機（PRx）140はワイヤレス通信デバイス104上のベースバンドデジタルモデル122へPRx同相／直交位相（I/Q）信号112を出力し得る。トランシーバチップ110の二次受信機（SRx）142はベースバンドデジタルモデル122へSRx同相／直交位相（I/Q）信号114を出力し得る。トランシーバチップ110の三次受信機（TRx）144はベースバンドデジタルモデル122へTRx同相／直交位相（I/Q）信号116を出力し得る。トランシーバチップ110の四次受信機（QRx）146はベースバンドデジタルモデル122へQRx同相／直交位相（I/Q）信号118を出力し得る。一次アンテナ106、二次アンテナ108およびトランシーバチップ110の構成はシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ125と称され得る。シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ125は、レガシーモード（ダイバーシチおよび同時デュアルハイブリッド受信機（SHDR：simultaneous dual hybrid receiver））に対して性能低下させずに台面積(board area)の低減を達成するためにシングルチップのみで実現され得る。
20
30

【0030】

[0039] 一般に、シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ125は、一次受信機（PRx）140におけるソース低雑音増幅器（LNA）と三次受信機（TRx）144におけるターゲット低雑音増幅器（LNA）との間のルーティングを使用し、一次アンテナ106によって受信された信号をTRx同相／直交位相（I/Q）信号116およびPRx同相／直交位相（I/Q）信号112へ分割(split)し得る。このルーティングは、図4、図5、図6、および図7と関連してさらに詳細に以下で説明される。シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ125はまた、二次受信機（SRx）142におけるソース低雑音増幅器（LNA）と四次受信機（QRx）146におけるターゲット低雑音増幅器（LNA）との間のルーティングを使用し、二次アンテナ108によって受信された信号をQRx同相／直交位相（I/Q）信号118およびSRx同相／直交位相（I/Q）信号114へ分割し得る。このルーティングもまた、図4、図5、図6、および図7と関連してさらに詳細に以下で説明される。本明細書で用いられるように、ソース低雑音増幅器（LNA）はこれから信号ルーティングがとられた低雑音増幅器（LNA）を指し、ターゲット低雑音増幅器（LNA）はこれにこの信号ルーティングが向けられた低雑音増幅器（LNA）を指す。
40

【0031】

[0040] 信号を分割するための多くの異なる方法（一次アンテナ106によって受信された信号および二次アンテナ108によって受信された信号のどちらかあるいは両方につ
50

いて)があり得る。一構成では、(例えば、相互コンダクタンスステージ(Gm))ソース低雑音増幅器(LNA)における第1ステージからの信号出力が、(例えば、カスコードステージ(Cas))ターゲット低雑音増幅器(LNA)における第2ステージヘルーティングされ得る。別の構成では、(例えば、相互コンダクタンスステージ(Gm))ソース低雑音増幅器(LNA)における第1ステージからの信号出力が、(例えば、信号を分割するために使用される変圧器)ターゲット低雑音増幅器(LNA)における第2ステージヘルーティングされ得る。

【0032】

[0041] ワイヤレス通信デバイス104は、キャリアアグリゲーションのために同時ハイブリッドデュアル受信機(SHDR)バスを再使用するシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ125を使用し得る。本システムおよび方法のシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ125の1つの利点は、2つのアンテナのみを使用して動作する能力である。より少ないアンテナを有するワイヤレス通信デバイス104は、より安価で、よりかさばらず、より複雑でないことから、最小限の数のアンテナを有するワイヤレス通信デバイス104が有利であり得る。10

【0033】

[0042] 本システムおよび方法のワイヤレス通信デバイス104は、電力分割器の使用を要求しない。ワイヤレス通信デバイス104から電力分割器を取り除くことによって、ワイヤレス通信デバイス104は、より少ない電力を消費し得る。さらに、電力分割器の欠落がワイヤレス通信デバイス104のコストを削減し、ダイ面積を開拓(free up)し得る。本システムおよび方法のシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ125はまた、外部の低雑音増幅器(LNA)の使用を要求しないことがある。外部の低雑音増幅器(LNA)は、大きな量の電力を消費し、ワイヤレス通信デバイス104のコストを増大させ得る。本システムおよび方法のシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ125の別の利点は、ダイトウーダイ信号ルーティングなしに動作する能力である。ダイトウーダイ信号ルーティングを取り除くことは、ワイヤレス通信デバイス104の複雑さとコストの両方を低減させ得る。ダイトウーダイシグナリングを取り除くことはまた、ワイヤレス通信デバイス104上のアンテナの最適な配置を可能にし得る。シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ125は、2つのシンセサイザのみを稼働させ得る。20

【0034】

[0043] ベースバンドデジタルモデム122は、PR×同相/直交位相(I/Q)信号112、SR×同相/直交位相(I/Q)信号114、TR×同相/直交位相(I/Q)信号116およびQR×同相/直交位相(I/Q)信号118上で処理を実行し得る。例えば、ベースバンドデジタルモデム122は、アナログ・デジタル変換器(ADC)を使用してデジタル領域へ信号をコンバートし、デジタル信号プロセッサ(DSP)を使用して信号のデジタル処理を実行し得る。ベースバンドデジタルモデム122は、その後、第1のキャリア信号124a、第2のキャリア信号124b、第3のキャリア信号124cおよび第4のキャリア信号124dを出力し得る。キャリア信号124は、この信号が使用したキャリアを指し得る。30

【0035】

[0044] 一構成では、第1のキャリア信号124aおよび第2のキャリア信号124bは低い帯域に位置し得る一方で、第3のキャリア信号124cおよび第4のキャリア信号124dは中間帯域(midband)内に位置する。これは、Re1-10によると、デュアルバンド4キャリア、または帯域間動作と称され得る。帯域間動作は、以下に図4および図5に関連してさらに詳細に説明される。別の構成では、第1のキャリア信号124a、第2のキャリア信号124b、第3のキャリア信号124cおよび第4のキャリア信号124dは、低い帯域などのシングルバンド内に全て位置し得る。これは、Release-10において、シングルバンド4キャリア、または帯域内動作と称され得る。帯域内動作は、以下の図6および図7に関連して以下にさらに詳細に説明される。4050

【0036】

[0045] 図2は、シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ125を使用して信号を受信するための方法200のフローチャートである。方法200は、ワイヤレス通信デバイス104によって実行され得る。ワイヤレス通信デバイス104は、帯域間モードまたは帯域内モードのどちらか一方において動作し得る。帯域間モードでは、ワイヤレス通信デバイス104は、4つのキャリア信号；第1の帯域内の2つおよび第2の帯域内の2つ、を受信し得る。帯域内モードでは、ワイヤレス通信デバイス104は、シングルバンド内の4つのキャリア信号を受信し得る。

【0037】

[0046] ワイヤレス通信デバイス104は、一次アンテナ106を使用して第1の信号を受信202し得る。ワイヤレス通信デバイス104は、一次受信機(P_{RX})同相/直交位相(I/Q)信号112を取得するために、トランシーバチップ110上で $P_{RX} \times 140$ を通して第1の信号をルーティング204し得る。ワイヤレス通信デバイス104は、三次受信機(T_{RX})同相/直交位相(I/Q)信号116を取得するために、トランシーバチップ110上で $T_{RX} \times 144$ を通して第1の信号をルーティング206し得る。10

【0038】

[0047] ワイヤレス通信デバイス104はまた、二次アンテナ108を使用して第2の信号を受信208し得る。ワイヤレス通信デバイス104は、二次受信機(S_{RX})同相/直交位相(I/Q)信号114を取得するために、トランシーバチップ110上で $S_{RX} \times 142$ を通して第2の信号をルーティング210し得る。ワイヤレス通信デバイス104は、四次受信機(Q_{RX})同相/直交位相(I/Q)信号118を取得するために、トランシーバチップ110上で $Q_{RX} \times 146$ を通して第2の信号をルーティング212し得る。20

【0039】

[0048] 図3は、シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ325を例示するブロック図である。図3のシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ325は、図1のシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ125の一構成であり得る。シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ325は、一次アンテナ306、第1のローパスハイパス(low-pass high-pass)ダイプレクサ326a、第1のスイッチ328a、4つのデュプレクサ330a-d、二次アンテナ308、第2のローパスハイパスダイプレクサ326b、第2のスイッチ328b、4つの表面弹性波(SAW)フィルタ334a-dおよびトランシーバチップ310を含み得る。30

【0040】

[0049] 一次アンテナ306は、第1のローパスハイパスダイプレクサ326aに結合され得る。ローパスハイパスダイプレクサ326は、低い帯域周波数を1つの信号にバンドルし、高い帯域(または中間帯域)周波数を別の信号にバンドルでき、従って、一次アンテナ306が、トランシーバチップ310への中間帯域および低い帯域の信号の両方を通過することを可能にする。第1のローパスハイパスダイプレクサ326aは、第1のスイッチ328aに結合され得る。第1のスイッチ328aは、2つの入力(バンドルされた低い帯域周波数を含む信号と、バンドルされた高い帯域周波数を含む信号)および複数の出力を有し得る。一構成では、第1のスイッチ328aは、4つのデュプレクサ330への6つの可能性のある出力(デュプレクサ330ペアの6つの可能性がある(possible)構成を表す)を有し得る。4つのデュプレクサ330は、第1のデュプレクサ330a、第2のデュプレクサ330b、第3のデュプレクサ330cおよび第4のデュプレクサ330dを含み得る。一構成では、第1のデュプレクサ330aおよび第2のデュプレクサ330bは、低い帯域のために使用され得る一方、第3のデュプレクサ330cおよび第4のデュプレクサ330dは中間帯域のために使用され得る。40

【0041】

[0050] トランシーバチップ310は、送信機332、一次受信機(P_{RX})340、50

二次受信機(S R x) 3 4 2 、三次受信機(T R x) 3 4 4 および四次受信機(Q R x) 3 4 6 を含み得る。送信機 3 3 2 は、4つの送信出力：第1の送信出力、第2の送信出力、第3の送信出力、第4の送信出力を含み得る。一構成では、第1の送信出力および第2の送信出力は、低い帯域出力であり得る一方、第3の送信出力および第4の送信出力は、中間帯域出力である。

【 0 0 4 2 】

[0051] 第1の送信出力は、電力増幅器(P A) 3 3 8 a を介して第1のデュプレクサ 3 3 0 a に結合され得る。第2の送信出力は、電力増幅器 3 3 8 b を介して第2のデュプレクサ 3 3 0 b に結合され得る。第3の送信出力は、電力増幅器 3 3 8 c を介して第3のデュプレクサ 3 3 0 c に結合され得る。第4の送信出力は、電力増幅器 3 3 8 d を介して第4のデュプレクサ 3 3 0 d に結合され得る。10

【 0 0 4 3 】

[0052] 一次受信機(P R x) 3 4 0 は、第1のデュプレクサ 3 3 0 a に結合された第1の P R x 低雑音増幅器(L N A) 3 4 8 a 、第2のデュプレクサ 3 3 0 b に結合された第2の P R x 低雑音増幅器(L N A) 3 4 8 b 、第3のデュプレクサ 3 3 0 c に結合された第3の P R x 低雑音増幅器(L N A) 3 4 8 c 、および第4のデュプレクサ 3 3 0 d に結合された第4の P R x 低雑音増幅器(L N A) 3 4 8 d を含み得る。一構成では、第1の P R x 低雑音増幅器(L N A) 3 4 8 a および第2の P R x 低雑音増幅器(L N A) 3 4 8 b は、低い帯域の低雑音増幅器(L N A) である一方、第3の P R x 低雑音増幅器(L N A) 3 4 8 c および第4の P R x 低雑音増幅器(L N A) 3 4 8 d は、中間帯域の低雑音増幅器(L N A) である。20

【 0 0 4 4 】

[0053] 一次受信機(P R x) 3 4 0 はまた、ミキサ 3 5 6 a (例えば、ダウンコンバータ) を含み得る。ミキサ 3 5 6 a は、第1の P R x 低雑音増幅器(L N A) 3 4 8 a の出力、第2の P R x 低雑音増幅器(L N A) 3 4 8 b の出力、第3の P R x 低雑音増幅器(L N A) 3 4 8 c の出力、および第4の P R x 低雑音増幅器(L N A) 3 4 8 d の出力に結合され得る。

【 0 0 4 5 】

[0054] 一次受信機(P R x) 3 4 0 は、ミキサ 3 5 6 a のために、ダウンコンバートする(downconverting) 周波数を生成するために使用される、位相同期ループ(P L L) 3 6 2 a 、 P R x 電圧制御発振器(V C O) 3 6 0 a および D i v ステージ 3 5 8 a を含み得る。ミキサ 3 5 6 a の出力は、 P R x ベースバンドフィルタ(B B F) 3 6 4 a に結合され得る。 P R x ベースバンドフィルタ(B B F) 3 6 4 a は、その後、 P R x 同相 / 直交位相(I / Q) 信号 3 1 2 を出力し得る。トランシーバチップ 3 1 0 は、 P R x 電圧制御発振器(V C O) 3 6 0 によって生成されたダウンコンバートする周波数が、二次受信機(S R x) 3 4 2 においてミキサ 3 5 6 b によって、三次受信機(T R x) 3 4 4 においてミキサ 3 5 6 c によって、および / または四次受信機(Q R x) 3 4 6 においてミキサ 3 5 6 d によって、使用されることを可能にするスイッチ 3 6 6 を含み得る。30

【 0 0 4 6 】

[0055] 二次アンテナ 3 0 8 は、第2のローパスハイパスダイプレクサ 3 2 6 b に結合され得る。第2のローパスハイパスダイプレクサ 3 2 6 b は、第2のスイッチ 3 2 8 b に結合され得る。第2のスイッチ 3 2 8 b は、2つの入力(バンドルされた低い帯域周波数を含む信号と、バンドルされた高い帯域周波数を含む信号) および複数の出力を有し得る。一構成では、第2のスイッチ 3 2 8 b は、(表面弾性波(S A W) フィルタ 3 3 4 ペアの6つの可能性がある構成を表す) 4つの表面弾性波(S A W) フィルタ 3 3 4 への6つの可能性のある出力を有し得る。4つの表面弾性波(S A W) フィルタ 3 3 4 は、第1の表面弾性波(S A W) フィルタ 3 3 4 a 、第2の表面弾性波(S A W) フィルタ 3 3 4 b 、第3の表面弾性波(S A W) フィルタ 3 3 4 c および第4の表面弾性波(S A W) フィルタ 3 3 4 d を含み得る。一構成では、第1の表面弾性波(S A W) フィルタ 3 3 4 a および第2の表面弾性波(S A W) フィルタ 3 3 4 b は、低い帯域のために使用され得る。4050

方で、第3の表面弹性波（SAW）フィルタ334cおよび第4の表面弹性波（SAW）フィルタ334dは、中間帯域のために使用される。

【0047】

[0056] 二次受信機（SRx）342は、第1の表面弹性波（SAW）フィルタ334aに結合された第1のSRx低雑音増幅器（LNA）350a、第2の表面弹性波（SAW）フィルタ334bに結合された第2のSRx低雑音増幅器（LNA）350b、第3の表面弹性波（SAW）フィルタ334cに結合された第3のSRx低雑音増幅器（LNA）350c、および第4の表面弹性波（SAW）フィルタ334dに結合された第4のSRx低雑音増幅器（LNA）350dを含み得る。一構成では、第3のSRx低雑音増幅器（LNA）350cおよび第4のSRx低雑音増幅器（LNA）350dが中間帯域の低雑音増幅器（LNA）である一方で、第1のSRx低雑音増幅器（LNA）350aおよび第2のSRx低雑音増幅器（LNA）350bが低い帯域の低雑音増幅器（LNA）であり得る。
10

【0048】

[0057] 二次受信機（SRx）342は、第1のSRx低雑音増幅器（LNA）350aの出力、第2のSRx低雑音増幅器（LNA）350bの出力、第3のSRx低雑音増幅器（LNA）350cの出力、および第4のSRx低雑音増幅器（LNA）350dの出力に結合されるミキサ356bを含み得る。二次受信機（SRx）342はまた、ミキサ356bのために、ダウンコンバートする周波数を生成するために使用される、位相同期ループ（PLL）362b、SRx電圧制御発振器（VCO）361およびDiVステージ358bを含み得る。一構成では、トランシーバチップ310上のスイッチ366は、DiVステージ358bが、一次受信機（PRx）340からPRx電圧制御発振器（VCO）360によって生成されたダウンコンバートする周波数を受信するように設定され得る。ミキサ356bの出力は、SRxベースバンドフィルタ（BBF）364bに結合され得る。SRxベースバンドフィルタ（BBF）364bは、その後、SRx同相/直交位相（I/Q）信号314を出力し得る。
20

【0049】

[0058] 三次受信機（TRx）344は、第1のTRx低雑音増幅器（LNA）352a、第2のTRx低雑音増幅器（LNA）352b、第3のTRx低雑音増幅器（LNA）352cおよび第4のTRx低雑音増幅器（LNA）352dを含み得る。一構成では、第3のTRx低雑音増幅器（LNA）352cおよび第4のTRx低雑音増幅器（LNA）352dが中間帯域の低雑音増幅器（LNA）である一方で、第1のTRx低雑音増幅器（LNA）352aおよび第2のTRx低雑音増幅器（LNA）352bが低い帯域の低雑音増幅器（LNA）であり得る。第1のTRx低雑音増幅器（LNA）352a、第2のTRx低雑音増幅器（LNA）352b、第3のTRx低雑音増幅器（LNA）352cおよび第4のTRx低雑音増幅器（LNA）352dへの入力は、ディスエーブル(disabled)され得る。
30

【0050】

[0059] 三次受信機（TRx）344は、第1のTRx低雑音増幅器（LNA）352a、第2のTRx低雑音増幅器（LNA）352b、第3のTRx低雑音増幅器（LNA）352cおよび第4のTRx低雑音増幅器（LNA）352dの出力に結合されたミキサ356cを含み得る。三次受信機（TRx）344はまた、ミキサ356cに結合されたDiVステージ358cを含み得る。DiVステージ358cは、トランシーバチップ310上でスイッチ366に結合され得る。一構成において、スイッチ366は、DiVステージ358cが一次受信機（PRx）340からPRx電圧制御発振器（VCO）360によって生成されたダウンコンバートする周波数を受信し得るように設定され得る。別の構成では、スイッチ366は、DiVステージ358cがSRx電圧制御発振器（VCO）361によって生成されたダウンコンバートする周波数を受信するように設定され得る。ミキサ356cの出力は、TRxベースバンドフィルタ（BBF）364cに結合され得る。TRxベースバンドフィルタ（BBF）364cは、その後、TRx同相/直
40
50

交位相(I / Q)信号 316 を出力し得る。

【0051】

[0060] 四次受信機(QRX)346 は、第1の QR × 低雑音増幅器(LNA)354a、第2の QR × 低雑音増幅器(LNA)354b、第3の QR × 低雑音増幅器(LNA)354c および第4の QR × 低雑音増幅器(LNA)354d を含み得る。一構成において、第1の QR × 低雑音増幅器(LNA)354a および第2の QR × 低雑音増幅器(LNA)354b は、第3の QR × 低雑音増幅器(LNA)354c および第4の QR × 低雑音増幅器(LNA)354d は、中間帯域の低雑音増幅器(LNA)である一方で、低い帯域の低雑音増幅器(LNA)であり得る。第1の QR × 低雑音増幅器(LNA)354a、第2の QR × 低雑音増幅器(LNA)354b、第3の QR × 低雑音増幅器(LNA)354c および第4の QR × 低雑音増幅器(LNA)354d への入力は、ディスエーブルされ得る。
10

【0052】

[0061] 四次受信機(QRX)346 は、第1の QR × 低雑音増幅器(LNA)354a、第2の QR × 低雑音増幅器(LNA)354b、第3の QR × 低雑音増幅器(LNA)354c および第4の QR × 低雑音増幅器(LNA)354d の出力に結合されたミキサ 356d を含み得る。四次受信機(QRX)346 はまた、ミキサ 356d に結合された DiV ステージ 358d を含み得る。DiV ステージ 358d は、トランシーバチップ 310 上でスイッチ 366 に結合され得る。一構成において、スイッチ 366 は、DiV ステージ 358d が一次受信機(PRX)340 から PR × 電圧制御発振器(VCO)360 によって生成されたダウンコンバートする周波数を受信し得るように設定され得る。別の構成において、スイッチ 366 は、DiV ステージ 358d が二次受信機(SRX)342 から SR × 電圧制御発振器(VCO)361 によって生成されたダウンコンバートする周波数を受信するように設定され得る。ミキサ 356d の出力は、QR × ベースバンドフィルタ(BBF)364d に結合され得る。QR × ベースバンドフィルタ(BBF)364d は、その後、QR × 同相 / 直交位相(I / Q)信号 318 を出力し得る。
20

【0053】

[0062] 図4は、帯域間モードにおいて動作するシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ425を例示するブロック図である。図4のシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ425は、図1のシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ124の一構成であり得る。シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ425は、一次アンテナ406、二次アンテナ408、およびトランシーバチップ410を含み得る。一次アンテナ406および二次アンテナ408は、デュアルバンド4キャリア信号(すなわち、第1の帯域470と第2の帯域472にわたる4つのキャリア474a-d(第1の帯域470と第2の帯域472は互いに分離される))を受信するために使用され得る。
30

【0054】

[0063] トランシーバチップ410は、送信機432、一次受信機(PRX)440、二次受信機(SRX)442、三次受信機(TRX)444および四次受信機(QRX)446を含み得る。一次アンテナ406は、一次受信機(PRX)440の PR × 回路468a に結合され得る。PR × 回路468a は、PR × 低雑音増幅器(LNA)348a-d、ダウンコンバートする回路および PR × ベースバンドフィルタ(BBF)364a を含み得る。PR × 回路468a は、第1の帯域470における第1のキャリア474a と第2のキャリア474b を含む PR × 同相 / 直交位相(I / Q)信号 412 を出力し得る。
40

【0055】

[0064] トランシーバチップ410は、PR × 回路468a から三次受信機(TRX)444におけるTR × 回路468cへのルーティング435aを含み得る。一構成では、ルーティング435a が、PR × 回路468a の PR × 低雑音増幅器(LNA)348に
50

おける第1ステージ増幅器からTR_x回路468cへのルーティングであり得る。別の構成では、ルーティング435aが、PR_x回路438aのPR_x低雑音増幅器(LNA)348における第2ステージ増幅器から出力され得る。TR_x回路468cは、TR_x低雑音増幅器(LNA)352a-d、ダウンコンバートする回路およびTR_xベースバンドフィルタ(BBF)364cを含み得る。一構成では、PR_x回路468aからのルーティング435が、TR_x回路468cのTR_x低雑音増幅器(LNA)352における第2ステージ増幅器に入力され得る。別の構成では、PR_x回路468aからのルーティング435aが、三次受信機(TR_x)444のミキサ356cへ入力され得る。TR_x回路468cは、第2の帯域472における第3のキャリア474cと第4のキャリア474dを含むTR_x同相/直交位相(I/Q)信号416を出力し得る。

10

【0056】

[0065] 二次アンテナ408は、二次受信機(SRx)442のSR_x回路468bに結合され得る。SR_x回路468bは、SR_x低雑音増幅器(LNA)350a-d、ダウンコンバートする回路およびSR_xベースバンドフィルタ(BBF)364bを含み得る。SR_x回路468bは、第1の帯域470における第1のキャリア474aと第2のキャリア474bを含むSR_x同相/直交位相(I/Q)信号414を出力し得る。

【0057】

[0066] トランシーバチップ410は、SR_x回路468bから四次受信機(QRx)446におけるQR_x回路468dへのルーティング435bを含み得る。一構成では、ルーティング435bが、SR_x回路468bのSR_x低雑音増幅器(LNA)350における第1ステージ増幅器から出力され得る。別の構成では、ルーティング435bが、SR_x回路468bのSR_x低雑音増幅器(LNA)350における第2ステージ増幅器から出力され得る。QR_x回路468dは、QR_x低雑音増幅器(LNA)354a-d、ダウンコンバートする回路およびQR_xベースバンドフィルタ(BBF)364dを含み得る。一構成では、SR_x回路468bからのルーティング435bが、QR_x回路468dのQR_x低雑音増幅器(LNA)354における第2ステージ増幅器に入力され得る。別の構成では、SR_x回路468bからのルーティング435bが、四次受信機(QRx)446のミキサ356dへ入力され得る。QR_x回路468dは、第2の帯域472における第3のキャリア474cと第4のキャリア474dを含むQR_x同相/直交位相(I/Q)信号418を出力し得る。

20

【0058】

[0067] PR_x回路468aからTR_x回路468cへのルーティング435aは、第1の信号分割ステージ433aの一部であり得る。SR_x回路468bからQR_x回路468bへのルーティングは、第2の信号分割ステージ433bの一部であり得る。信号分割ステージ433a-bは、図8および図9に関連して以下にさらに詳細に説明される。

【0059】

[0068] 図5は、帯域間モードにおいて動作するシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ325を例示する別のブロック図である。図5のシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ325は、図3のシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ325であり得る。一次アンテナ306および二次アンテナ308は、デュアルバンド4キャリア信号(すなわち、2つの個別の帯域にわたる4つのキャリア474a-d)を受信するために使用され得る。PR_x同相/直交位相(I/Q)信号314を取得するための、一次アンテナ306から一次受信機(PRx)340を通るルーティング537が示される。ルーティング537は、第1のPR_x低雑音増幅器(LNA)348aを通過し得る。PR_x同相/直交位相(I/Q)信号314は、この構成のために、第1の帯域470からの第1のキャリア474aおよび第2のキャリア474bを含み得る。

40

【0060】

[0069] 三次受信機(TR_x)同相/直交位相(I/Q)信号316を取得するための、一次アンテナ306からTR_x344を通るルーティング535aもまた、示される

50

。TRx同相／直交位相(I/Q)信号316は、第2の帯域472からの第3のキャリア474cおよび第4のキャリア474dを含み得る。三次受信機(TRx)同相／直交位相(I/Q)信号316を取得するための、一次アンテナ306からTRx344を通るルーティング535aは、第1の信号分割ステージ433aを通過し得る。第1の信号分割ステージ433aは、シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ325が同時ハイブリッドデュアル受信機(SHDR)受信機パスを再使用することを可能にし得る。

【0061】

[0070] 第1の信号分割ステージ433aは、一次受信機(PRx)340における第3のPRx低雑音増幅器(LNA)348cから三次受信機(TRx)344における第3のTRx低雑音増幅器(LNA)352cへのルーティング535aを含み得る。一構成では、ルーティング535aは、第3のPRx低雑音増幅器(LNA)348cの第1の増幅器ステージ(例えば、相互コンダクタンスステージ(Gm))から出力され、第3のTRx低雑音増幅器(LNA)352cの第2の増幅器ステージ(例えば、カスコードステージ(Cas))へ入力され得る。別の構成では、ルーティング535aは、第3のPRx低雑音増幅器(LNA)348cの第2の増幅器ステージ(例えば、カスコードステージ(Cas))から出力され、三次受信機(TRx)344におけるミキサ356cに入力され得る。10

【0062】

[0071] 二次受信機(SRx)同相／直交位相(I/Q)信号316を取得するための、二次アンテナ308からSRx342を通るルーティング539もまた、示される。ルーティング539は、第1のSRx低雑音増幅器(LNA)350aを通過し得る。SRx同相／直交位相(I/Q)信号314は、この構成のために、第1の帯域470からの第1のキャリア474aおよび第2のキャリア474bを含み得る。四次受信機(QRx)同相／直交位相(I/Q)信号318を取得するための、二次アンテナ308からQRx346を通るルーティング535bもまた、示される。QRx同相／直交位相(I/Q)信号318は、第2の帯域472からの第3のキャリア474cおよび第4のキャリア474dを含み得る。四次受信機(QRx)同相／直交位相(I/Q)信号318を取得するための、二次アンテナ308からQRx346を通るルーティング535bは、第2の信号分割ステージ433bを通過し得る。第2の信号分割ステージ433bもまた、シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ325が同時ハイブリッドデュアル受信機(SHDR)受信機パスを再使用することを可能にし得る。2030

【0063】

[0072] 第2の信号分割ステージ433bは、二次受信機(SRx)342における第3のSRx低雑音増幅器(LNA)350cから四次受信機(QRx)346における第3のQRx低雑音増幅器(LNA)354cへの信号をルーティングし得る535b。一構成では、ルーティング535bが、第3のQRx低雑音増幅器(LNA)354cの第2の増幅器ステージ(例えば、カスコードステージ(Cas))の入力への、第3のSRx低雑音増幅器(LNA)350cの第1の増幅器ステージ(例えば、相互コンダクタンスステージ(Gm))の出力であり得る。別の構成では、ルーティング535bが、四次受信機(QRx)346におけるミキサ356dの入力への、第3のSRx低雑音増幅器(LNA)350cの第2の増幅器ステージ(例えば、カスコードステージ(Cas))の出力であり得る。40

【0064】

[0073] 図6は、帯域内モードにおいて動作するシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ625を例示するブロック図である。図6のシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ625は、図1のシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ124の一構成であり得る。シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ625は、一次アンテナ606、二次アンテナ608、およびトランシーバチップ610を含み得50

る。一次アンテナ 606 および二次アンテナ 608 は、シングルバンド 4 キャリア信号（すなわち、第 1 の帯域 670 にわたる 4 つのキャリア 674a-d）を受信するために使用され得る。

【0065】

[0074] トランシーバチップ 610 は、送信機 632、一次受信機（PRx）640、二次受信機（SRx）642、三次受信機（TRx）644 および四次受信機（QRx）646 を含み得る。一次アンテナ 606 は、一次受信機（PRx）640 の PRx 回路 668a に結合され得る。PRx 回路 668a は、PRx 低雑音増幅器（LNA）348a-d、ダウンコンバートする回路および PRx ベースバンドフィルタ（BBF）364a を含み得る。PRx 回路 668a は、第 1 の帯域 670 における第 1 のキャリア 674a と第 2 のキャリア 674b を含む PRx 同相 / 直交位相（I/Q）信号 612 を出力し得る。
10

【0066】

[0075] トランシーバチップ 610 は、PRx 回路 668a から三次受信機（TRx）644 における TRx 回路 668c へのルーティング 635a を含み得る。一構成では、ルーティング 635a は、PRx 回路 668a の PRx 低雑音増幅器（LNA）348 における第 1 ステージ増幅器から TRx 回路 668c へのルーティングであり得る。別の構成では、ルーティング 635a は、PRx 回路 668a の PRx 低雑音増幅器（LNA）348 における第 2 ステージ増幅器から出力され得る。TRx 回路 668c は、TRx 低雑音増幅器（LNA）352a-d、ダウンコンバートする回路および TRx ベースバンドフィルタ（BBF）364c を含み得る。一構成では、PRx 回路 668a からのルーティング 635 は、TRx 回路 668c の TRx 低雑音増幅器（LNA）352 における第 2 ステージ増幅器に入力され得る。別の構成では、PRx 回路 668a からのルーティング 635a は、三次受信機（TRx）644 のミキサ 356c へ入力され得る。TRx 回路 668c は、第 1 の帯域 670 における第 3 のキャリア 674c と第 4 のキャリア 674d を含む TRx 同相 / 直交位相（I/Q）信号 616 を出力し得る。
20

【0067】

[0076] 二次アンテナ 608 は、二次受信機（SRx）642 の SRx 回路 668b に結合され得る。SRx 回路 668b は、SRx 低雑音増幅器（LNA）350a-d、ダウンコンバートする回路および SRx ベースバンドフィルタ（BBF）364b を含み得る。SRx 回路 668b は、第 1 の帯域 670 における第 1 のキャリア 674a と第 2 のキャリア 674b を含む SRx 同相 / 直交位相（I/Q）信号 614 を出力し得る。
30

【0068】

[0077] トランシーバチップ 610 は、SRx 回路 668b から四次受信機（QRx）646 における QRx 回路 668d へのルーティング 635b を含み得る。一構成では、ルーティング 635b が、SRx 回路 668b の SRx 低雑音増幅器（LNA）350 における第 1 ステージ増幅器から出力され得る。別の構成では、ルーティング 635b が、SRx 回路 668b の SRx 低雑音増幅器（LNA）350 における第 2 ステージ増幅器から出力され得る。QRx 回路 668d は、QRx 低雑音増幅器（LNA）354a-d、ダウンコンバートする回路および QRx ベースバンドフィルタ（BBF）364d を含み得る。一構成では、SRx 回路 668b からのルーティング 635b が、QRx 回路 668d の QRx 低雑音増幅器（LNA）354 における第 2 ステージ増幅器に入力され得る。別の構成では、SRx 回路 668b からのルーティング 635b が、四次受信機（QRx）646 のミキサ 356d へ入力され得る。QRx 回路 668d は、第 1 の帯域 670 における第 3 のキャリア 674c と第 4 のキャリア 674d を含む QRx 同相 / 直交位相（I/Q）信号 618 を出力し得る。
40

【0069】

[0078] PRx 回路 668a から TRx 回路 668c へのルーティング 635a は、第 1 の信号分割ステージ 633a の一部であり得る。SRx 回路 668b から QRx 回路 668b へのルーティングは、第 2 の信号分割ステージ 633b の一部であり得る。信号分
50

割ステージ 633a - b は、図 8 および図 9 に関連して以下にさらに詳細に説明される。

【0070】

[0079] 図 7 は、帯域内モードにおいて動作するシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ 325 を例示する別のブロック図である。図 7 のシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ 325 は、図 3 のシングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ 325 であり得る。帯域内モードは、電流分割を要求し得る。6 デシベル (dB) 損失は、0.2 - 0.5 dB 雑音ファクタ (NF) の低下 (degradation) を導き得る。無線周波数集積回路 (RFIC) における低雑音増幅器 (LNA) は、ミキサ Gm として設計される必要があり得る。

10

【0071】

[0080] 一次アンテナ 306 および二次アンテナ 308 は、シングルバンド 4 - キャリア信号（すなわち、第 1 の帯域 670 にわたる 4 つのキャリア 674a - d であり、第 2 の帯域 672 におけるキャリアはない）を受信するために使用され得る。一次受信機 (PRx) 同相 / 直交位相 (I/Q) 信号 314 を取得するための、一次アンテナ 306 から PRx 340 を通るルーティング 737 が示される。ルーティング 737 は、第 1 の PRx 低雑音増幅器 (LNA) 348a を通過し得る。PRx 同相 / 直交位相 (I/Q) 信号 314 は、この構成のために、第 1 の帯域 670 からの第 1 のキャリア 674a および第 2 のキャリア 674b を含み得る。

20

【0072】

[0081] 三次受信機 (TRx) 同相 / 直交位相 (I/Q) 信号 316 を取得するための、一次アンテナ 306 から TRx 344 を通るルーティング 735a もまた、示される。TRx 同相 / 直交位相 (I/Q) 信号 316 は、第 1 の帯域 670 からの第 3 のキャリア 674c および第 4 のキャリア 674d を含み得る。三次受信機 (TRx) 同相 / 直交位相 (I/Q) 信号 316 を取得するための、一次アンテナ 306 から TRx 344 を通るルーティング 735a は、第 1 の信号分割ステージ 633a を通過し得る。第 1 の信号分割ステージ 633a は、シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ 325 が同時ハイブリッドデュアル受信機 (SHDR) 受信機パスを再使用することを可能にし得る。

30

【0073】

[0082] 第 1 の信号分割ステージ 633a は、一次受信機 (PRx) 340 における第 1 の PRx 低雑音増幅器 (LNA) 348a から三次受信機 (TRx) 344 における第 3 の TRx 低雑音増幅器 (LNA) 352c へのルーティング 735a を含み得る。一構成では、ルーティング 735a が、第 1 の PRx 低雑音増幅器 (LNA) 348a の第 1 の増幅器ステージ（例えば、相互コンダクタンスステージ (Gm)）から出力され、第 3 の TRx 低雑音増幅器 (LNA) 352c の第 2 の増幅器ステージ（例えば、カスコードステージ (Cas)）へ入力され得る。別の構成では、ルーティング 735a が、第 1 の PRx 低雑音増幅器 (LNA) 348c の第 2 の増幅器ステージ（例えば、カスコードステージ (Cas)）から出力され、三次受信機 (TRx) 344 におけるミキサ 356c に入力され得る。

40

【0074】

[0083] 二次受信機 (SRx) 同相 / 直交位相 (I/Q) 信号 316 を取得するための、二次アンテナ 308 から SRx 342 を通るルーティング 739 もまた、示される。ルーティング 739 は、第 1 の SRx 低雑音増幅器 (LNA) 350a を通過し得る。SRx 同相 / 直交位相 (I/Q) 信号 314 は、この構成のために、第 1 の帯域 670 からの第 1 のキャリア 674a および第 2 のキャリア 674b を含み得る。四次受信機 (QRx) 同相 / 直交位相 (I/Q) 信号 318 を取得するための、二次アンテナ 308 から QRx 346 を通るルーティング 735b もまた、示される。QRx 同相 / 直交位相 (I/Q) 信号 318 は、第 1 の帯域 670 からの第 3 のキャリア 674c および第 4 のキャリア 674d を含み得る。四次受信機 (QRx) 同相 / 直交位相 (I/Q) 信号 318 を取

50

得するための、二次アンテナ 308 から Q R x 346 を通るルーティング 735b は、第 2 の信号分割ステージ 633b を通過し得る。第 2 の信号分割ステージ 633b もまた、シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャ 325 が同時ハイブリッドデュアル受信機 (S H D R) 受信機バスを再使用することを可能にし得る。

【0075】

[0084] 第 2 の信号分割ステージ 633b は、二次受信機 (P R x) 342 における第 1 の S R x 低雑音増幅器 (L N A) 350a から四次受信機 (Q R x) 346 における第 3 の Q R x 低雑音増幅器 (L N A) 354c へ信号をルーティング 735b し得る。一構成では、ルーティング 735b が、第 3 の Q R x 低雑音増幅器 (L N A) 354c の第 2 の増幅器ステージ (例えば、カスコードステージ (C a s)) の入力への第 1 の S R x 低雑音増幅器 (L N A) 350a の第 1 の増幅器ステージ (例えば、相互コンダクタンスステージ (G m)) の出力であり得る。別の構成では、ルーティング 735b が、四次受信機 (Q R x) 346 におけるミキサ 356d の入力への第 1 の S R x 低雑音増幅器 (L N A) 350a の第 2 の増幅器ステージ (例えば、カスコードステージ (C a s)) の出力であり得る。
10

【0076】

[0085] 図 8 は、信号分割ステージ 833 を例示するブロック図である。図 8 の信号分割ステージ 833 は、図 4 における信号分割ステージ 433a - b と図 6 における信号分割ステージ 633a - b の一構成であり得る。信号分割ステージ 833 は、ソース低雑音増幅器 (L N A) 878a、ターゲット低雑音増幅器 (L N A) 878b のターゲット第 1 ステージ増幅器 874b およびターゲット第 2 ステージ増幅器 876b、および受動ミキサ 856a - d の一部としてソース第 1 ステージ増幅器 874a およびソース第 2 ステージ増幅器 876a を含み得る。一構成では、ソース低雑音増幅器 (L N A) 878a が P R x 低雑音増幅器 (L N A) 348 であり得、ターゲット低雑音増幅器 (L N A) が T R x 低雑音増幅器 352 であり得る。別の構成では、ソース低雑音増幅器 (L N A) 878a が S R x 低雑音増幅器 (L N A) 350 であり得、ターゲット低雑音増幅器 (L N A) 878b が Q R x 低雑音増幅器 354 であり得る。
20

【0077】

[0086] 一構成では、ソース第 1 ステージ増幅器 874a およびターゲット第 1 ステージ増幅器 874b が相互コンダクタンスステージ (G m) であり得る一方で、ソース第 2 ステージ増幅器 876a およびターゲット第 2 ステージ増幅器 876b がカスコードステージ (C a s) であり得る。ソース第 1 ステージ増幅器 874a の出力は、ソース第 2 ステージ増幅器 876a に入力され得る。ソース第 2 ステージ増幅器 876a の出力は、その後、ソース同相信号 880a - b およびソース直交信号 880c - d を取得するために受動ミキサ 856a - b を介して混合され得る。信号分割ステージ 833 において、信号分割は、ソース第 1 ステージ増幅器 874a のあとに発生する。従って、ソース第 1 ステージ増幅器 874a の出力は、ターゲット第 2 ステージ増幅器 876b の入力に入力され得る。ターゲット第 2 ステージ増幅器 876b の出力は、その後、ターゲット同相信号 880e - f およびターゲット直交信号 880g - h を取得するために受動ミキサ 856c - d を介して混合され得る。
30

【0078】

[0087] スイッチは、クリーンなスタンドアローン動作を可能にするためにソース低雑音増幅器 (L N A) 878a とターゲット低雑音増幅器 (L N A) 878bとの間で使用され得る。低雑音増幅器 (L N A) トポロジは、信号分割感知ポイントを駆動し得る。

【0079】

[0088] 図 9 は、別の信号分割ステージ 933 を例示するブロック図である。図 9 の信号分割ステージ 933 は、図 4 における信号分割ステージ 433a - b と図 6 における信号分割ステージ 633a - b のうちの一構成であり得る。信号分割ステージ 933 は、ソース低雑音増幅器 (L N A) 978a の部分として、ソース第 1 ステージ増幅器 974a およびソース第 2 ステージ増幅器 976a を含み、ターゲット低雑音増幅器 (L N A) 9
50

78bのターゲット第1ステージ増幅器974bとターゲット第2ステージ増幅器976b、および受動ミキサ956a-dを含み得る。一構成では、ソース低雑音増幅器(LNA)978aがPRx低雑音増幅器(LNA)348であり得、ターゲット低雑音増幅器(LNA)がTRx低雑音増幅器352であり得る。別の構成では、ソース低雑音増幅器(LNA)978aがSRx低雑音増幅器(LNA)350であり得、ターゲット低雑音増幅器(LNA)978bがQRx低雑音増幅器(LNA)354であり得る。

【0080】

[0089] 一構成では、ソース第1ステージ増幅器974aおよびターゲット第1ステージ増幅器974bが相互コンダクタンスステージ(Gm)であり得る一方で、ソース第2ステージ増幅器976aおよびターゲット第2ステージ増幅器976bがカスコードステージ(Cas)であり得る。ソース第1ステージ増幅器974aの出力は、ソース第2ステージ増幅器976aに入力され得る。ソース第2ステージ増幅器976aの出力は、その後、ソース同相信号980a-bおよびソース直交信号980c-dを取得するために受動ミキサ956a-bを介して混合され得る。信号分割ステージ933において、信号分割は、ソース第2ステージ増幅器976aのあとに発生する。従って、ソース第2ステージ増幅器976aの出力は、ターゲット同相信号980e-fおよびターゲット直交信号980g-hを取得するために受動ミキサ856c-dへ入力され得る。

【0081】

[0090] スイッチは、クリーンなスタンドアローン動作を可能にするためにソース低雑音増幅器(LNA)978aとターゲット低雑音増幅器(LNA)978bとの間で使用され得る。低雑音増幅器(LNA)トポロジは、信号分割感知ポイントを駆動し得る。

【0082】

[0091] 図10は、ワイヤレス通信デバイス1004内に含まれ得る特定のコンポーネントを例示する。ワイヤレス通信デバイス1004は、アクセス端末、モバイル局、ユーザ機器(UE)などであり得る。ワイヤレス通信デバイス1004は、プロセッサ1003を含む。プロセッサ1003は、汎用シングルチップまたはマルチチップマイクロプロセッサ(例えば、ARM(登録商標))、特殊目的マイクロプロセッサ(例えば、デジタル信号プロセッサ(DSP))、マイクロ制御装置、プログラム可能ゲートアレイ等であり得る。プロセッサ1003は、中央処理ユニット(CPU)と称され得る。単一のプロセッサ1003のみが、図10のワイヤレス通信デバイス1004において示されるが、代替の構成として、プロセッサの組み合わせ(例えば、ARMおよびDSP)が使用され得る。

【0083】

[0092] ワイヤレス通信デバイス1004はまた、メモリ1005も含む。メモリ1005は、電子情報を記憶できる任意の電子コンポーネントであり得る。メモリ1005は、ランダムアクセスメモリ(RAM)、読み専用メモリ(ROM)、磁気ディスク記憶媒体、光学記憶媒体、RAMにおけるフラッシュメモリデバイス、プロセッサと共に含まれるオンボードメモリ、EPROMメモリ、EEPROMメモリ、レジスタ、およびそれらの組み合わせを含むその他同様のものとして実現され得る。

【0084】

[0093] データ1007aおよび命令群1009aは、メモリ1005において記憶され得る。命令群1009aは、本明細書に開示される方法を実現するために、プロセッサ1003によって実行可能であり得る。命令群1009aを実行することは、メモリ1005において記憶されたデータ1007aの使用を含み得る。プロセッサ1003が命令群1009を実行する場合、命令群1009bの様々な部分がプロセッサ1003にロードされ、データ1007bの様々な部分がプロセッサ1003にロードされ得る。

【0085】

[0094] ワイヤレス通信デバイス1004はまた、第1のアンテナ1017aおよび第2のアンテナ1017bを介した、ワイヤレス通信デバイス1004に対する信号の送信と、それからの信号の受信を可能にするために、送信機1011および受信機1013を

10

20

30

40

50

含み得る。送信機 1011 と受信機 1013 は、トランシーバ 1015 とまとめて称され得る。ワイヤレス通信デバイス 1004 はまた、複数の送信機、追加のアンテナ、複数の受信機および／または複数のトランシーバを含み得る（図示せず）。

【0086】

[0095] ワイヤレス通信デバイス 1004 は、デジタル信号プロセッサ（DSP）1021 を含み得る。ワイヤレス通信デバイス 1004 はまた、通信インターフェース 1023 を含み得る。通信インターフェース 1023 は、ワイヤレス通信デバイス 1004 とやりとりすることをユーザに可能にし得る。

【0087】

[0096] ワイヤレス通信デバイス 1004 のさまざまなコンポーネントが、1つまたは複数のバスによって合わせて結合されることがあり得、バスは、電力バス、制御信号バス、ステータス信号バス、データバスなどを含み得る。明確にするために、さまざまなバスが、バスシステム 1019 として、図 15 において示される。

10

【0088】

[0097] 「判定すること(determining)」という用語は、多種多様なアクションを包含する、従って、「判定すること」とは、計算すること、演算すること、処理すること、導出すること、調査すること、調べること（例えば、表、データベース、あるいは別のデータ構造を調べること）、確認することなどを含み得る。また、「判定すること」は、受信すること（例えば、情報を受信すること）、アクセスすること（例えば、メモリにおけるデータにアクセスすること）などを含み得る。また、「判定すること」は、決定することや、選択することや、選ぶことや、確立することなどを含み得る。

20

【0089】

[0098] フレーズ「～に基づく」は、そうではないと明確に特定されていない限りは、「～のみに基づく」ということを意味するわけではない。言い換えると、フレーズ「～に基づく」は、「～のみに基づく」および「少なくとも～に基づく」の両方ともを表す。

【0090】

[0099] 「プロセッサ」という用語は、汎用プロセッサ、中央処理ユニット（CPU）、マイクロプロセッサ、デジタル信号プロセッサ（DSP）、コントローラ、マイクロコントローラ、状態マシンなどを包含するように広く解釈されるべきである。何らかの状況では、「プロセッサ」は、特定用途向け集積回路（ASIC）、プログラム可能論理デバイス（PLD）、フィールドプログラマブルゲートアレイ（FPGA）等のことを指し得る。「プロセッサ」という用語は、処理デバイスの組み合わせのことを、例えば、DSP とマイクロプロセッサの組み合わせ、複数のマイクロプロセッサ、DSP コアを伴う 1 つ以上のマイクロプロセッサ、または、このような構成の他の何らかのものなどを指し得る。

30

【0091】

[00100] 「メモリ」という用語は、電子情報を記憶できる任意の電子コンポーネントを包含するように広く解釈されるべきである。メモリという用語は、ランダムアクセスメモリ（RAM）、読み取り専用メモリ（ROM）、不揮発性ランダムアクセスメモリ（NVRAM）、プログラマブル読み取り専用メモリ（PROM）、消去可能なプログラマブル読み取り専用メモリ（EPROM）、電気的消去可能 PROM（EEPROM）、フラッシュメモリ、磁気または光データ記憶装置、レジスタなどのような、さまざまなタイプのプロセッサ読み取り可能媒体のことを指し得る。メモリは、プロセッサが、メモリから情報を読み取る、および／または、メモリに情報を書き込むことができる場合に、プロセッサと電子通信すると言われる。プロセッサに一体的なメモリはこのプロセッサと電子通信している。

40

【0092】

[00101] 「命令群」という用語は、任意のタイプの（複数を含む）コンピュータ読み取り可能ストートメントを含むように広く解釈されるべきである。例えば、「命令群」という用語は、1つまたは複数のプログラム、ルーチン

50

、サブルーチン、機能、手順などを指し得る。「命令」および「コード」は、単一のコンピュータ読み取り可能ステートメントまたは多くのコンピュータ読み取り可能ステートメントを備え得る。

【0093】

[00102] 本明細書に説明された機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組み合わせにおいて実現され得る。ソフトウェアにおいて実現される場合、機能は、1つまたは複数の命令(群)として、コンピュータ可読媒体上で記憶され得る。「コンピュータ可読媒体」あるいは「コンピュータプログラム製品」という用語は、コンピュータによってアクセスされ得る任意の利用可能な媒体を指す。限定ではなく、例として、コンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROM、あるいはその他の光学ディスク記憶装置、磁気ディスク記憶装置またはその他の磁気記憶デバイス、あるいは、命令群またはデータ構造の形態で所望のプログラムコードを搬送または記憶するために使用することができ、かつ、コンピュータによってアクセスされることができると他任意の媒体を備え得る。ここで使用したようなディスク(diskおよびdisk)は、コンパクトディスク(CD)、レーザーディスク(登録商標)、光ディスク、デジタル汎用ディスク(DVD)、フロッピー(登録商標)ディスク、およびブルーレイ(登録商標)ディスクを含むが、一般に、ディスク(disk)は、データを磁気的に再生する一方で、ディスク(disk)はデータをレーザによって光学的に再生する。10

【0094】

[00103] ソフトウェアまたは命令群は、伝送媒体によって伝送され得る。例えば、ソフトウェアが、ウェブサイトから、サーバから、あるいは、同軸ケーブル、ファイバ光ケーブル、ツイストペア、デジタル加入者ライン(DSL)、または赤外線や、無線や、マイクロ波のようなワイヤレス技術を使用している他の遠隔ソースから送信された場合に、同軸ケーブル、ファイバ光ケーブル、ツイストペア、DSL、あるいは、赤外線や、無線や、マイクロ波のようなワイヤレス技術は、送信媒体の定義に含まれる。20

【0095】

[00104] 本明細書に開示されている方法は、説明された方法を達成するための1つまたは複数のステップまたは動作を備える。方法のステップおよび/またはアクションは、本願の特許請求の範囲から逸脱せずに、互いに置き換えられ得る。言い換えると、ステップあるいはアクションの特定の順序が、説明されている方法の適切な動作のために必要とされない限り、特定のステップおよび/またはアクションの順序および/または使用が、特許請求の範囲から逸脱することなく変形され得る。30

【0096】

[00105] さらに、図2によって例示されたもののような、本明細書において説明される方法および技術を実行するためのモジュールおよび/またはその他適切な手段は、ダウンロードされ得る、および/または、さもなければデバイスによって取得され得ることが、理解されるべきである。例えば、デバイスは、本明細書において説明されている方法を実行するための手段の転送を容易にするためにサーバに結合され得る。代替的に、本明細書において説明されている様々な方法は、デバイスが、記憶手段(例えば、ランダムアクセスメモリ(RAM)、読み取り専用メモリ(ROM)、コンパクトディスク(CD))のような物理記憶媒体あるいはフロッピーディスクなど)を、そのデバイスに結合あるいは提供する際に様々な方法を取得し得るように、その記憶手段を通して提供され得る。さらに、デバイスに対して、本明細書において説明されている方法および技法を提供するためのその他任意の適切な技法が利用され得る。40

【0097】

[00106] 本願の特許請求の範囲が、上述された、まさにその構成およびコンポーネントに限定されないことが理解されるべきである。様々な修正、変更、および、バリエーションが、本明細書において説明されているシステム、方法、および装置の配置、オペレーション、および、詳細において、特許請求の範囲から逸脱することなく行われ得る。50

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

[C 1] マルチプルキャリア信号を受信するために構成されたワイヤレス通信デバイスであって、

一次アンテナと、

二次アンテナと、

トランシーバチップと

を備える、シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャを備え、ここで、前記シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャは、同時ハイブリッドデュアル受信機パスを再使用する、

ワイヤレス通信デバイス。

10

[C 2] 前記シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャは、4つのアンテナ、電力分割器、外部の低雑音増幅器またはダイトゥーダイ信号のルーティングを要求しない、C 1に記載のワイヤレス通信デバイス。

[C 3] 前記トランシーバチップは、

送信機と、

一次受信機と、

二次受信機と、

三次受信機と、

四次受信機とを備え、ここで、各受信機は、複数の低雑音増幅器を備え、各低雑音増幅器は、第1ステージ増幅器および第2ステージ増幅器を備える、C 1に記載のワイヤレス通信デバイス。

20

[C 4] 前記第1ステージ増幅器は、相互コンダクタンスステージであり、前記第2ステージ増幅器は、カスコードステージである、C 3に記載のワイヤレス通信デバイス。

[C 5] 前記複数の低雑音増幅器は、第1の帯域についての複数の低雑音増幅器と、第2の帯域についての複数の低雑音増幅器とを備える、C 3に記載のワイヤレス通信デバイス。

[C 6] 前記第1の帯域は、低い帯域であり、前記第2の帯域は、中間の帯域である、C 5に記載のワイヤレス通信デバイス。

[C 7] 前記第1の帯域は、低い帯域であり、前記第2の帯域は、高い帯域である、C 5に記載のワイヤレス通信デバイス。

30

[C 8] 前記第1の帯域は、中間の帯域であり、前記第2の帯域は、高い帯域である、C 5に記載のワイヤレス通信デバイス。

[C 9] 第1のルーティングは、一次同相／直交位相信号を取得するために、前記一次アンテナから前記一次受信機を通して使用され、第2のルーティングは、T R X 同相／直交位相信号を取得するために、前記一次アンテナから前記三次受信機を通して使用され、第3のルーティングは、二次同相／直交位相信号を取得するために、前記二次アンテナから前記二次受信機を通して使用され、第4のルーティングは、Q R X 同相／直交位相信号を取得するために、前記二次アンテナから前記四次受信機を通して使用される、C 3に記載のワイヤレス通信デバイス。

[C 10] 前記シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャは、帯域間動作において存在し、前記第1のルーティングは、第1の一次受信機低雑音増幅器を通過し、前記第2のルーティングは、第2の一次受信機低雑音増幅器を通過し、前記第2のルーティングは、第1の信号分割ステージを通過し、前記第3のルーティングは、第1の二次受信機低雑音増幅器を通過し、前記第4のルーティングは、第2の二次受信機低雑音増幅器を通過し、前記第4のルーティングは、第2の信号分割ステージを通過する、C 9に記載のワイヤレス通信デバイス。

40

[C 11] 前記第1の信号分割ステージは、前記一次受信機の低雑音増幅器における第1ステージ増幅器と前記三次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティングを備える、C 10に記載のワイヤレス通信デバイス。

[C 12] 前記第2の信号分割ステージは、前記二次受信機の低雑音増幅器における第1

50

ステージ増幅器と前記四次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティングを備える、C 1 0に記載のワイヤレス通信デバイス。

[C 1 3] 前記第1の信号分割ステージは、前記一次受信機の低雑音増幅器における第2ステージ増幅器と前記三次受信機におけるミキサとの間のルーティングを備える、C 1 0に記載のワイヤレス通信デバイス。

[C 1 4] 前記第2の信号分割ステージは、前記二次受信機の低雑音増幅器における第2ステージ増幅器と前記四次受信機におけるミキサとの間のルーティングを備える、C 1 0に記載のワイヤレス通信デバイス。

[C 1 5] 前記シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャは、帯域内動作において存在し、前記第1のルーティングおよび前記第2のルーティングは、一次受信機低雑音増幅器を通過し、前記第2のルーティングは、第1の信号分割ステージを通過し、前記第3のルーティングおよび前記第4のルーティングは、二次受信機低雑音増幅器を通過し、前記第4のルーティングは、第2の信号分割ステージを通過する、C 9に記載のワイヤレス通信デバイス。 10

[C 1 6] 前記第1の信号分割ステージは、前記一次受信機の低雑音増幅器における第1ステージ増幅器と前記三次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティングを備える、C 1 5に記載のワイヤレス通信デバイス。

[C 1 7] 前記第2の信号分割ステージは、前記二次受信機の低雑音増幅器における第1ステージ増幅器と前記四次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティングを備える、C 1 5に記載のワイヤレス通信デバイス。 20

[C 1 8] 前記第1の信号分割ステージは、前記一次受信機の低雑音増幅器における第2ステージ増幅器と前記三次受信機におけるミキサとの間のルーティングを備える、C 1 5に記載のワイヤレス通信デバイス。

[C 1 9] 前記第2の信号分割ステージは、前記二次受信機の低雑音増幅器における第2ステージ増幅器と前記四次受信機におけるミキサとの間のルーティングを備える、C 1 5に記載のワイヤレス通信デバイス。

[C 2 0] シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャを使用してマルチプルキャリア信号を受信するための方法であって、

一次アンテナを使用して第1の信号を受信することと、

一次同相 / 直交位相信号を取得するために、前記シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャにおけるトランシーバチップ上の一次受信機を通じて前記第1の信号をルーティングすることと、 30

T R x 同相 / 直交位相信号を取得するために、前記トランシーバチップ上の三次受信機を通じて前記第1の信号をルーティングすることと、

二次アンテナを使用して第2の信号を受信することと、

二次同相 / 直交位相信号を取得するために、前記トランシーバチップ上の二次受信機を通じて前記第2の信号をルーティングすることと、

Q R x 同相 / 直交位相信号を取得するために、前記トランシーバチップ上の四次受信機を通じて前記第2の信号をルーティングすることと、を備える、方法。

[C 2 1] 前記シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャは、4つのアンテナ、電力分割器、外部の低雑音増幅器またはダイトゥーダイシグナルのルーティングを要求しない、C 2 0に記載の方法。 40

[C 2 2] 前記トランシーバチップは、

送信機と、

一次受信機と、

二次受信機と、

三次受信機と、

四次受信機とを備え、ここで、各受信機は、複数の低雑音増幅器を備え、各低雑音増幅器は、第1ステージ増幅器および第2ステージ増幅器を備える、

C 2 0に記載の方法。 50

[C 2 3] 前記第1ステージ増幅器は、相互コンダクタンスステージであり、前記第2ステージ増幅器はカスコードステージである、C 2 2 に記載の方法。

[C 2 4] 前記複数の低雑音増幅器は、第1の帯域についての複数の低雑音増幅器と、第2の帯域についての複数の低雑音増幅器とを備える、C 2 2 に記載の方法。

[C 2 5] 前記第1の帯域は、低い帯域であり、前記第2の帯域は、中間の帯域である、C 2 4 に記載の方法。

[C 2 6] 前記第1の帯域は、低い帯域であり、前記第2の帯域は、高い帯域である、C 2 4 に記載の方法。

[C 2 7] 前記第1の帯域は、中間の帯域であり、前記第2の帯域は、高い帯域である、C 2 4 に記載の方法。

[C 2 8] 第1のルーティングは、一次同相 / 直交位相信号を取得するために、前記一次アンテナから前記一次受信機を通して使用され、第2のルーティングは、T R x 同相 / 直交位相信号を取得するために、前記一次アンテナから前記三次受信機を通して使用され、第3のルーティングは、二次同相 / 直交位相信号を取得するために、前記二次アンテナから前記二次受信機を通して使用され、第4のルーティングは、Q R x 同相 / 直交位相信号を取得するために、前記二次アンテナから前記四次受信機を通して使用される、C 2 2 に記載の方法。

[C 2 9] 前記シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャは、帯域間動作において存在し、前記第1のルーティングは、第1の一次受信機低雑音増幅器を通過し、前記第2のルーティングは、第2の一次受信機低雑音増幅器を通過し、前記第3のルーティングは、第1の信号分割ステージを通過し、前記第4のルーティングは、第2の信号分割ステージを通過する、C 2 8 に記載の方法。

[C 3 0] 前記第1の信号分割ステージは、前記一次受信機の低雑音増幅器における第1ステージ増幅器と前記三次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティングを備える、C 2 9 に記載の方法。

[C 3 1] 前記第2の信号分割ステージは、前記二次受信機の低雑音増幅器における第1ステージ増幅器と前記四次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティングを備える、C 2 9 に記載の方法。

[C 3 2] 前記第1の信号分割ステージは、前記一次受信機の低雑音増幅器における第2ステージ増幅器と前記三次受信機におけるミキサとの間のルーティングを備える、C 2 9 に記載の方法。

[C 3 3] 前記第2の信号分割ステージは、前記二次受信機の低雑音増幅器における第2ステージ増幅器と前記四次受信機におけるミキサとの間のルーティングを備える、C 2 9 に記載の方法。

[C 3 4] 前記シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャは、帯域内動作において存在し、前記第1のルーティングおよび前記第2のルーティングは、一次受信機低雑音増幅器を通過し、前記第3のルーティングおよび前記第4のルーティングは、第1の信号分割ステージを通過し、前記第3のルーティングおよび前記第4のルーティングは、二次受信機低雑音増幅器を通過し、前記第4のルーティングは、第2の信号分割ステージを通過する、C 2 8 に記載の方法。

[C 3 5] 前記第1の信号分割ステージは、前記一次受信機の低雑音増幅器における第1ステージ増幅器と前記三次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティングを備える、C 3 4 に記載の方法。

[C 3 6] 前記第2の信号分割ステージは、前記二次受信機の低雑音増幅器における第1ステージ増幅器と前記四次受信機の低雑音増幅器における第2ステージ増幅器との間のルーティングを備える、C 3 4 に記載の方法。

[C 3 7] 前記第1の信号分割ステージは、前記一次受信機の低雑音増幅器における第2ステージ増幅器と前記三次受信機におけるミキサとの間のルーティングを備える、C 3 4

に記載の方法。

[C 3 8] 前記第2の信号分割ステージは、前記二次受信機の低雑音増幅器における第2ステージ増幅器と前記四次受信機におけるミキサとの間のルーティングを備える、C 3 4に記載の方法。

[C 3 9] シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャを使用してマルチプルキャリア信号を受信するための装置であって、

第1の信号を受信するための手段と、

一次同相／直交位相信号を取得するために、前記シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャにおけるトランシーバチップ上的一次受信機を通って前記第1の信号をルーティングするための手段と、

TRx同相／直交位相信号を取得するために、前記トランシーバチップ上の三次受信機を通って前記第1の信号をルーティングするための手段と、

第2の信号を受信するための手段と、

二次同相／直交位相信号を取得するために、前記トランシーバチップ上の二次受信機を通って前記第2の信号をルーティングするための手段と、

QRx同相／直交位相信号を取得するために、前記トランシーバチップ上の四次受信機を通って前記第2の信号をルーティングするための手段と、

を備える、装置。

[C 4 0] 前記シングルチップ信号分割キャリアアグリゲーション受信機アーキテクチャは、4つのアンテナ、電力分割器、外部の低雑音増幅器またはダイトゥーダイ信号のルーティングを要求しない、C 3 9に記載の装置。

[C 4 1] 前記トランシーバチップは、

送信機と、

一次受信機と、

二次受信機と、

三次受信機と、

四次受信機とを備え、ここで、各受信機は、複数の低雑音増幅器を備え、ここで、各低雑音増幅器は、第1ステージ増幅器および第2ステージ増幅器を備える、

C 3 9に記載の装置。

[C 4 2] 前記第1ステージ増幅器は、相互コンダクタンスステージであり、前記第2ステージ増幅器は、カスコードステージである、C 4 1に記載の装置。

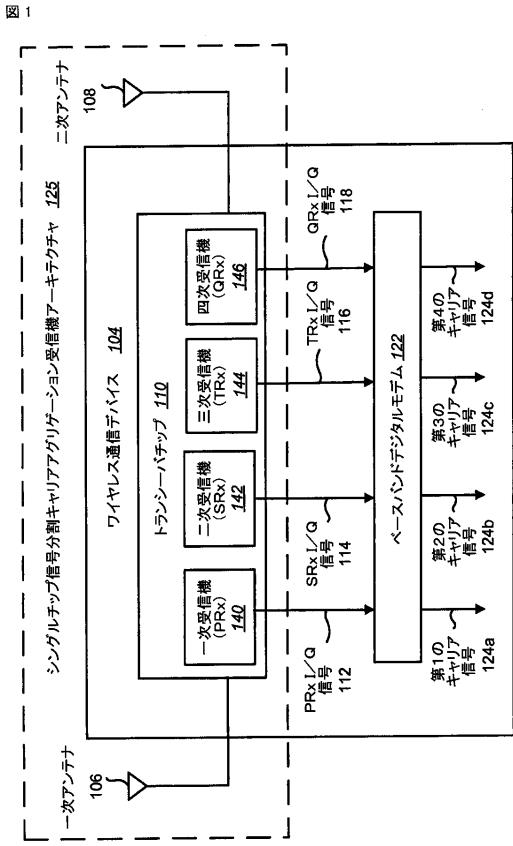
[C 4 3] 前記複数の低雑音増幅器は、第1の帯域についての複数の低雑音増幅器と、第2の帯域についての複数の低雑音増幅器を備える、C 4 1に記載の装置。

10

20

30

【図 1】



【図 2】

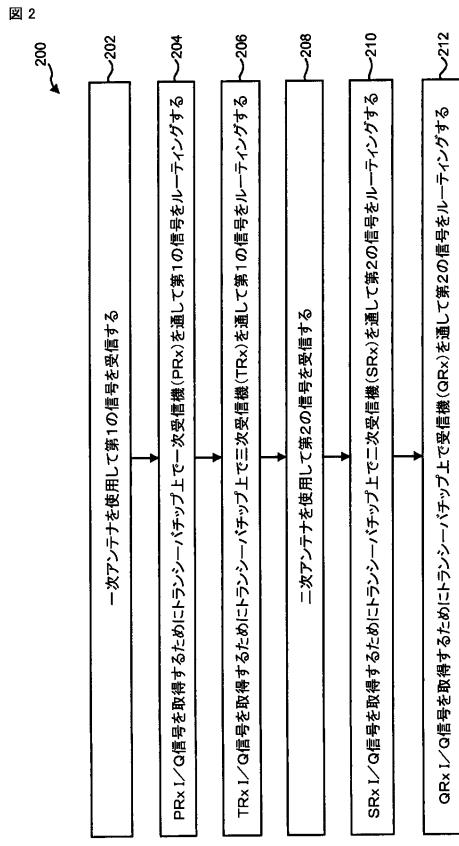


FIG. 2

【図 3】

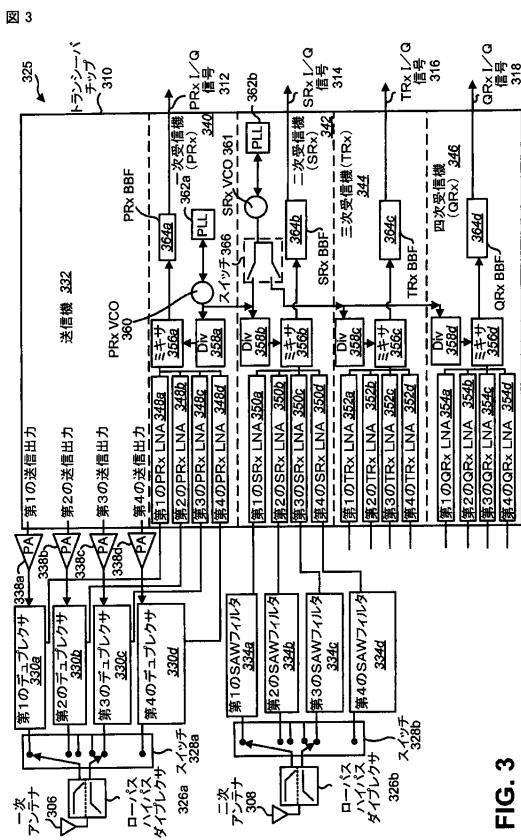


FIG. 3

【図 4】

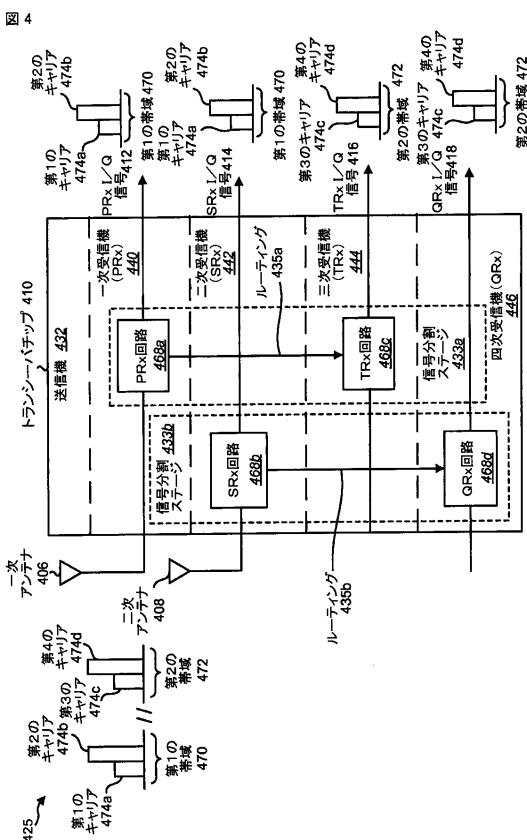


FIG. 4

【図 5】

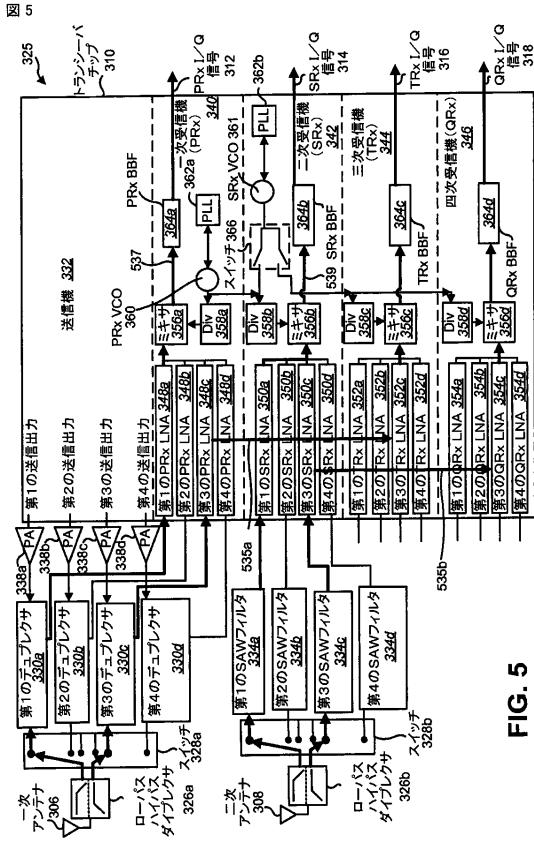


FIG. 5

【図 6】

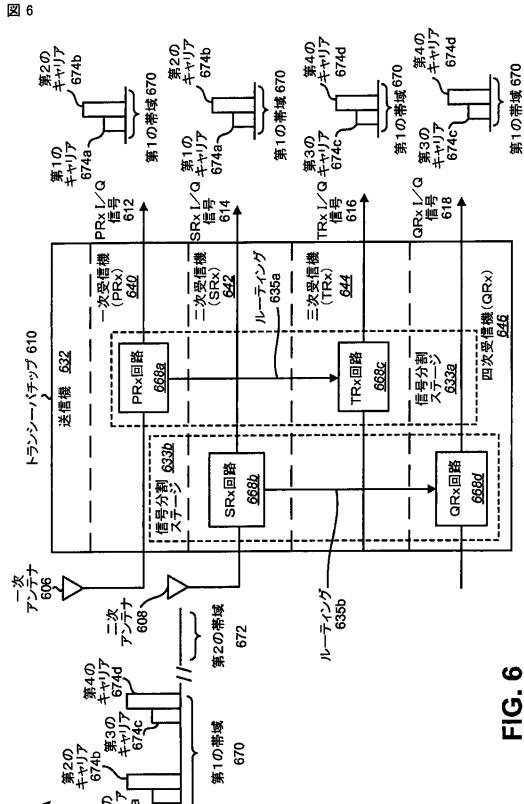


FIG. 6

【図 7】

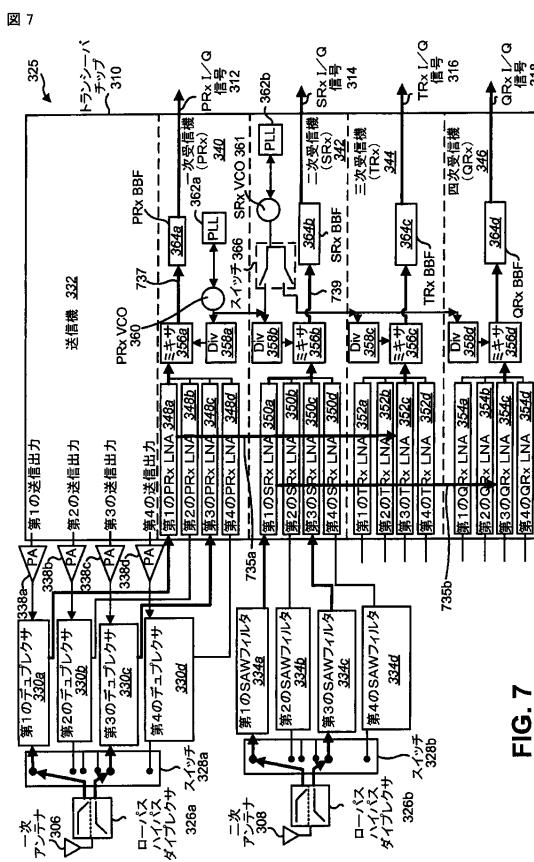


FIG. 7

【図 8】

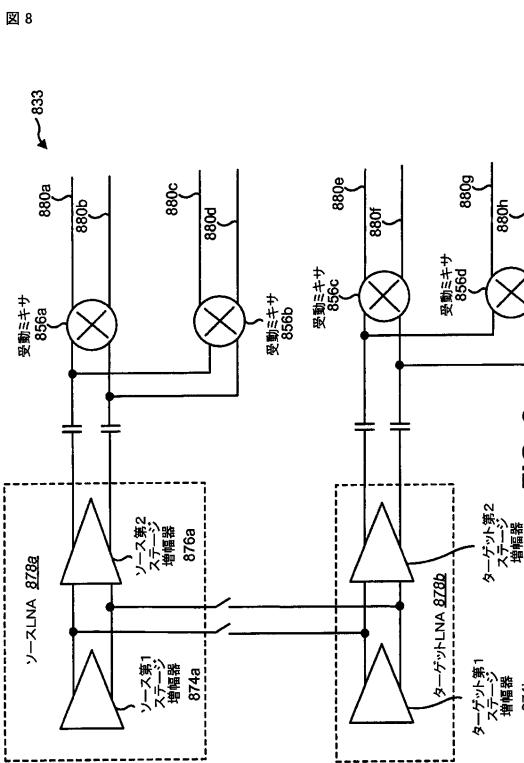
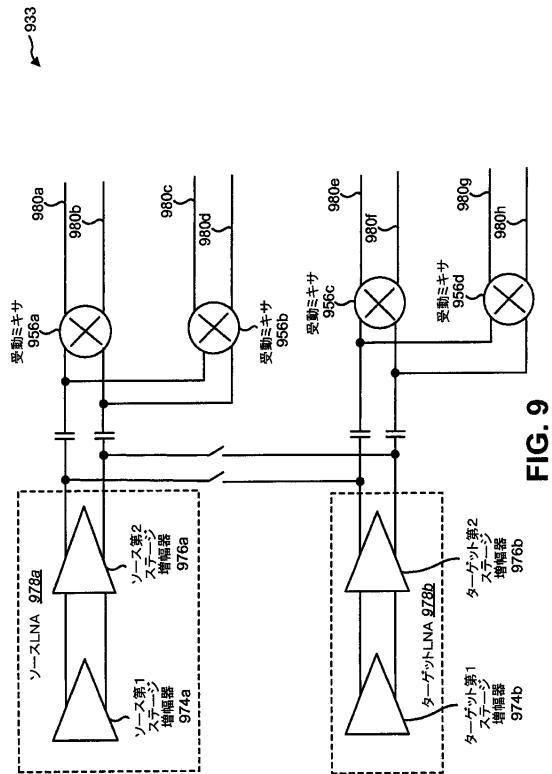


FIG. 8

【図9】

図9



【図10】

図10

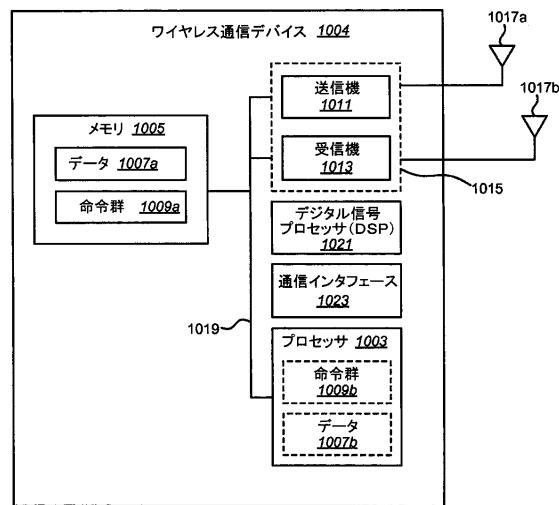


FIG. 10

フロントページの続き

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100179062
弁理士 井上 正

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(72)発明者 グデム、プラサド・スリニバサ・シバ
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 サホタ、ガーカンワル・シン
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 チャン、リ - チュン
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 ホレンステイン、クリスチャン
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 ポッス、フレデリック
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

審査官 原田 聖子

(56)参考文献 国際公開第2010/082521(WO, A1)
特開平11-266175(JP, A)
特開2010-233023(JP, A)
特表2002-508132(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04B 1/16
H04B 1/38
H04B 7/02
H04L 27/26