

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-258258
(P2008-258258A)

(43) 公開日 平成20年10月23日(2008.10.23)

(51) Int.Cl. F I テーマコード(参考)
 HO 1 L 21/3205 (2006.01) HO 1 L 21/88 T 5 F O 3 3
 HO 1 L 23/52 (2006.01)

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願2007-96327(P2007-96327)
 (22) 出願日 平成19年4月2日(2007.4.2)

(71) 出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (71) 出願人 506227884
 三洋半導体株式会社
 群馬県邑楽郡大泉町坂田一丁目1番1号
 (74) 代理人 100107906
 弁理士 須藤 克彦
 (72) 発明者 森川 成洋
 群馬県邑楽郡大泉町坂田一丁目1番1号
 三洋半導体株式会社内
 (72) 発明者 稲葉 裕一
 群馬県邑楽郡大泉町坂田一丁目1番1号
 三洋半導体株式会社内

最終頁に続く

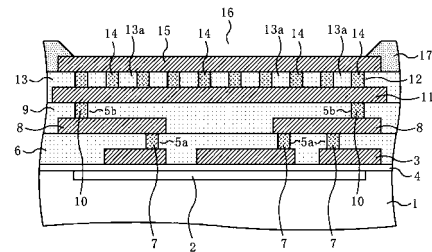
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】ボンディングパッドに加わる機械的応力を緩和することができる構造の半導体装置を提供することを目的とする。

【解決手段】第2層間絶縁膜9上には、ビアホール12を有する第3層間絶縁膜13が第3配線層11を被覆して形成されている。ビアホール12内には第3導電層14が形成されている。第3層間絶縁膜13は、平面形状が六角形である複数の柱状層間絶縁膜13aが集合して構成されている。そして、各柱状層間絶縁膜13aの周囲を取り囲むようにしてビアホール12及び第3導電層14が形成されている。第3導電層14を介して第3配線層11と電気的に接続された第4配線層15が形成されている。第4配線層15が本実施形態における最上の配線層であり、ボンディングパッドとして機能する層である。

【選択図】 図1



- | | | |
|-------------|---------------|------------|
| 1: 半導体基板 | 2: デバイス素子 | 3: 第1配線層 |
| 4: 絶縁膜 | 5a, 5b: ビアホール | 6: 第1層間絶縁膜 |
| 7: 第1導電層 | 8: 第2配線層 | 9: 第2層間絶縁膜 |
| 10: 第2導電層 | 11: 第3配線層 | 12: ビアホール |
| 13: 第3層間絶縁膜 | 13a: 柱状層間絶縁膜 | |
| 14: 第3導電層 | 15: 第4配線層 | 16: パッド開口部 |
| 17: 保護膜 | | |

【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板の表面上に形成された配線層と、
前記配線層を被覆するようにして形成された層間絶縁膜と、
前記層間絶縁膜内に形成され、且つ前記配線層と電氣的に接続された導電層と、
前記層間絶縁膜上に形成され、且つ前記導電層を介して前記配線層と電氣的に接続された最上配線層とを備え、
前記層間絶縁膜は、その平面形状が六角形である柱状層間絶縁膜が複数個蜂の巣状に配置された構成から成り、
前記導電層は前記柱状層間絶縁膜の周囲を囲むようにして形成されていることを特徴とする半導体装置。

10

【請求項 2】

前記配線層下に形成された、前記層間絶縁膜とは別の層間絶縁膜と、
前記半導体基板の表面上に形成されたデバイス素子とを備え、
前記デバイス素子と前記最上配線層とが重畳して配置されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記最上配線層はボンディングパッドであることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

20

【請求項 4】

前記最上配線層の一部を露出させる開口部を有する保護膜を備え、
前記配線層は、前記開口部のサイズよりもパターン面積が大きく形成されていることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に複数の配線層が層間絶縁膜を介して形成された多層配線構造を備える半導体装置に関するものである。

【背景技術】

30

【0002】

ICチップには、ICチップ内に形成された多数の半導体素子に所定の電圧（電源電圧や接地電圧）や種々の電気信号を供給するため、あるいは外部へ種々の電気信号を出力するためのボンディングパッド（外部端子）が設けられている。

【0003】

図 4 は、従来の半導体装置のボンディングパッドが形成された領域の概略を示す断面図である。半導体基板 100 の表面上には、トランジスタやキャパシタ等の多数の半導体素子から成るデバイス素子 101 が形成されている。また、半導体基板 100 の表面上には、デバイス素子 101 と不図示の配線を介して電氣的に接続された第 1 配線層 102 がシリコン酸化膜等の絶縁膜 103 を介して形成されている。

40

【0004】

絶縁膜 103 上には、ビアホール 104 を有する第 1 層間絶縁膜 105 が第 1 配線層 102 を被覆して形成されている。ビアホール 104 内には、タングステン等から成る導電層 106 が形成されている。第 1 層間絶縁膜 105 上には、導電層 106 を介して第 1 配線層 102 と電氣的に接続された第 2 配線層 107 が形成されている。以下同様にして、第 1 層間絶縁膜 105 上には第 2 層間絶縁膜 108 が形成され、第 2 層間絶縁膜 108 上には第 3 配線層 109 及び第 3 層間絶縁膜 110 が形成され、第 3 層間絶縁膜 110 上には第 4 配線層 111 が形成されている。この第 4 配線層 111 がボンディングパッドとして機能する。第 4 配線層 111 は、チップサイズの縮小を目的としてデバイス素子 101 と重畳する領域に配置されている。第 3 層間絶縁膜 110 上には、第 4 配線層 111 上に

50

パッド開口部 1 1 2 を有する保護膜 1 1 3 が形成されている。

【 0 0 0 5 】

ところで、プローブテストやワイヤーボンド工程の際には、測定針や導線がパッド開口部 1 1 2 から露出された第 4 配線層 1 1 1 と接触する。プローブテストの際には、タングステンやニッケル合金等から成る測定針（プローブ）の押し圧によって、第 4 配線層 1 1 1 の下方に大きな機械的応力が集中する。また、ワイヤーボンド工程の際にも超音波エネルギーや導線の影響によって第 4 配線層 1 1 1 の下方に大きな機械的応力が集中する。このため、第 4 配線層 1 1 1 の下方において、第 3 層間絶縁膜 1 1 0 にクラック 1 1 4 が生じることがあった。

【 0 0 0 6 】

さらに、クラック 1 1 4 は、第 3 層間絶縁膜 1 1 0 より下方の層間絶縁膜（第 2 層間絶縁膜 1 0 8 や第 1 層間絶縁膜 1 0 5）や配線層（第 3 配線層 1 0 9，第 2 配線層 1 0 7，第 1 配線層 1 0 2）に達することがある。そうすると、クラック 1 1 4 を介して内部に水分等の腐食物質が浸入してしまうため、クラック 1 1 4 はメタルマイグレーション耐性の劣化や配線間ショート等の不良を引き起こす原因となる。

【 0 0 0 7 】

そこで、クラック 1 1 4 による信頼性の劣化を抑えるための技術としては、以下のようなものが提案されている。それは、図 5 及び図 6 に示すように、第 4 配線層 1 1 1 と略同一サイズの第 3 配線層 1 1 5 が第 4 配線層 1 1 1 と重畳するように配置され、また、第 4 配線層 1 1 1 と第 3 配線層 1 1 5 とを電気的に接続する導電層 1 1 6 が、保護膜 1 1 3 の下方にのみリング状に配置された構造である。このように第 3 配線層 1 1 5 及びリング状の導電層 1 1 6 を備えた構造は、仮にクラック 1 1 4 が発生したとしても、クラック 1 1 4 の下方への伝播を第 3 配線層 1 1 5 で止めるというものである。なお、図 5 は図 6 の Y - Y 線に沿った断面図であり、図 6 においては第 4 配線層 1 1 1，導電層 1 1 6，保護膜 1 1 3 以外の構成を便宜上省略している。

【 0 0 0 8 】

また、図 7 及び図 8 に示すように、第 4 配線層 1 1 1 と第 3 配線層 1 1 5 とを電気的に接続するリング状の導電層 1 1 7 を、第 4 配線層 1 1 1 と重畳するほぼ全面に渡って多数配置した構造が提案されている。このようにリング状の導電層 1 1 7 を多数配置した構造は、クラックの下方への伝播を第 3 配線層 1 1 5 で止めるとともに、第 3 層間絶縁膜 1 1 0 に生じるクラック 1 1 4 が半導体基板 1 0 0 の面方向に広がることを当該リング状の導電層 1 1 7 で抑制するというものである。なお、図 7 は図 8 の Z - Z 線の断面図であり、図 8 においては第 4 配線層 1 1 1，導電層 1 1 7 以外の構成を便宜上省略している。

【 0 0 0 9 】

本発明に関連した技術は、例えば以下の特許文献に記載されている。

【特許文献 1】特開平 0 6 - 1 9 6 5 2 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

プローブテストを行うと、上述した従来構成では、ボンディングパッドに加わる機械的応力は、第 3 配線層 1 1 5 で十分に緩和されないことがわかった。

【 0 0 1 1 】

近年ではチップサイズの微細化に対応すべく、ボンディングパッドがデバイス素子の形成領域に重畳するように形成されるようになってきた。したがって、第 3 配線層 1 1 5 がボンディングパッドに加わる機械的応力を十分に緩和できないと、この機械的応力はデバイス素子に到達してしまう。そして、デバイス素子を構成する半導体素子やそれらと接続された配線は、年々微細化されており、機械的応力が到達してしまうと破損しやすく、電気的特性（例えば、トランジスタのしきい値）が変動してしまう。

【課題を解決するための手段】

【 0 0 1 2 】

10

20

30

40

50

本発明は上記課題に鑑みてなされたものであり、その主な特徴は以下のとおりである。すなわち、本発明の半導体装置は、半導体基板と、前記半導体基板の表面上に形成された配線層と、前記配線層を被覆するようにして形成された層間絶縁膜と、前記層間絶縁膜内に形成され、且つ前記配線層と電気的に接続された導電層と、前記層間絶縁膜上に形成され、且つ前記導電層を介して前記配線層と電気的に接続された最上配線層とを備え、前記層間絶縁膜は、その平面形状が六角形である柱状層間絶縁膜が複数個蜂の巣状に配置された構成から成り、前記導電層は前記柱状層間絶縁膜の周囲を囲むようにして形成されていることを特徴とする。

【発明の効果】

【0013】

本発明では、ボンディングパッドに加わる機械的応力が柱状層間絶縁膜及び導電層の構造（ハニカム構造）で緩和される。

【発明を実施するための最良の形態】

【0014】

本発明の実施形態について図面を参照しながら説明する。図1は本発明の実施形態に係る半導体装置の概略を示す断面図であり、図2はその平面図である。図1は図2のX-X線に沿った断面に相当する。また、一つのボンディングパッドが形成された領域のみを図示し、半導体基板上の他の領域（内部回路領域や他のボンディングパッドが形成された領域）の図示を便宜上省略している。

【0015】

シリコン等から成る半導体基板1の表面上には、トランジスタやキャパシタ等の多数の半導体素子から成るデバイス素子2が形成されている。デバイス素子2は、例えばロジック回路やドライバ回路を構成する。また、半導体基板1の表面上には、デバイス素子2あるいはその他の半導体素子と電気的に接続された第1配線層3が、シリコン酸化膜等の絶縁膜4を介して形成されている。なお、第1配線層3は例えばアルミニウムから成る配線層であり、後述する第2配線層8、第3配線層11、第4配線層15も同様である。

【0016】

絶縁膜4上には、ビアホール5aを有する第1層間絶縁膜6が第1配線層3を被覆して形成されている。ビアホール5a内には、例えばタングステンやアルミニウム等から成る第1導電層7が形成されている。なお、図示しないが第1層間絶縁膜6と第1導電層7との間にはバリアメタル層（例えば、チタンタングステン（TiW）層や、チタンナイトライド（TiN）層）が形成されている。以下、第2層間絶縁膜9と第2導電層10との間、第3層間絶縁膜13と第3導電層14との間についても同様にバリアメタル層が形成されている。

【0017】

第1層間絶縁膜6上には、第1導電層7を介して第1配線層3と電気的に接続された第2配線層8が形成されている。また、第1層間絶縁膜6上には、ビアホール5bを有する第2層間絶縁膜9が第2配線層8を被覆して形成され、ビアホール5bには第2導電層10が形成されている。

【0018】

第2層間絶縁膜9上には、第2導電層10を介して第2配線層8と電気的に接続された第3配線層11が形成されている。第3配線層11は、第4配線層15と重畳する位置に配置されており、保護膜17の開口部（後述するパッド開口部16）のサイズよりもパターン面積が大きく形成されていることが好ましい。かかる構成によれば、第3配線層11が、第2配線層8と第4配線層15との電気的な接続を介在する役割を有するとともに、第4配線層15に加わる負荷を緩和してクラックの下方への伝播を抑えるストッパー配線層としての役割を有するからである。第2層間絶縁膜9上には、ビアホール12を有する第3層間絶縁膜13が第3配線層11を被覆して形成され、ビアホール12には、第3導電層14が形成されている。

【0019】

10

20

30

40

50

第3層間絶縁膜13上には、第3導電層14を介して第3配線層11と電氣的に接続された第4配線層15が形成されている。第4配線層15が本実施形態における最上配線層であり、ボンディングパッドとして機能する層である。従って、第4配線層15には、ワイヤーボンディングの際に金属線が接続され、プローブテストの際に測定針が接触される。第4配線層15は、半導体基板1の垂直方向から見てデバイス素子2やそれらの配線と重畳しており、半導体装置のレイアウト面積を小さくして小型化が図られている。第3層間絶縁膜13上には、第4配線層15上にパッド開口部16を有する保護膜17が形成されている。

【0020】

ここで、本実施形態の特徴はビアホール12、第3層間絶縁膜13、及び第3導電層14の構成にある。つまり、本実施形態に係る第3層間絶縁膜13は、図2に示すように、平面形状が正六角形である複数の柱状層間絶縁膜13aが縦方向・横方向・斜め方向に一定のピッチで規則的に集合して構成されている。そして、各柱状層間絶縁膜13aの周囲を取り囲むようにしてビアホール12及び第3導電層14が形成されている。柱状層間絶縁膜13aの幅をX1、第3導電層14の幅をX2とすると、例えば、X1は、X2の2倍程度になるように形成される。なお、以下では、柱状層間絶縁膜13aが集合して蜂の巣のように形成されているため、このような第3層間絶縁膜13及び第3導電層14の構造をハニカム(Honeycomb)構造と呼ぶ。

10

【0021】

当該ハニカム構造は、例えば以下の製造プロセスによって形成される。まず、第2層間絶縁膜9及び第3配線層11上にシリコン酸化膜等の層間絶縁膜を堆積し、更にこの層間絶縁膜を蜂の巣状にレイアウトするためのレジスト層を塗布する。次に、当該レジスト層をマスクとして層間絶縁膜をパターンニングして柱状層間絶縁膜13a及びビアホール12を形成する。ここで、X1をX2の2倍程度にする場合、レジスト層は、X1をX2の3倍程度となるように設計される。次に、ビアホール12内にタングステンやアルミニウムの金属材料を埋め込み、次いでビアホール12内以外に付着した金属材料を化学機械研磨(CMP)により除去することで第3導電層14が形成され、本実施形態のハニカム構造が完成する。

20

【0022】

なお、第3導電層14及び第4配線層15は、ビアホール12にアルミニウムを埋め込み、第3層間絶縁膜13上に当該アルミニウムを堆積させることで両者を同一工程で形成してもよく、また、タングステンをビアホール12に埋め込むことで第3導電層14を形成し、その後別工程でアルミニウムから成る第4配線層15を形成してもよい。

30

【0023】

次に、上記実施形態に係る半導体装置の構造(以下、第1構造と称する)のプローブテストにおけるクラック発生率について具体例を挙げて説明する。ここでは、プローブカードAとプローブカードBの2種類のプローブカードを用いて第4配線層15と第3配線層11との間におけるクラック発生率(4M-3Mクラック:NG率)と、第3配線層11と第2配線層8との間におけるクラック発生率(3M-2Mクラック:NG率)を測定した。なお、半導体装置の製造工程で行われる通常のプローブテストでは、オーバードライブ量(針立ての強さ)が30 μ m程度であるが、今回の試験では通常よりも高いオーバードライブ量(65 μ m~105 μ m)で5段階に分け、それぞれのオーバードライブ量で計3回の針立てを行い、第1構造による機械的応力の緩和がどの程度あるかを調査した(図3の評価結果参照)。なお、プローブカードAは、プローブカードBに比べて測定の際の針のしなりが大きいものである。

40

【0024】

また、第1構造の測定結果の比較例として、図5及び図6を用いて既に説明した半導体装置の構造(第2構造)と、図7及び図8を用いて既に説明した半導体装置の構造(第3構造)についても第1構造と同様の試験を行った。

【0025】

50

図3に示す評価結果から判るように、プローブカードAを用いた場合、第4配線層15と第3配線層11との間におけるクラック発生率(4M-3Mクラック:NG率)は第2構造が94.1%~100%であり、第3構造が51.5~100%であるのに対して、第1構造が58.8%~100%であった。また、プローブカードBを用いた場合、当該クラック発生率は第2構造が96.1%~100%であり、第3構造が93.1~100%であるのに対して、第1構造が84.3%~100%であった。以上、第4配線層15と第3配線層11との間において、第1構造及び第3構造は、第2構造よりもクラック発生率を大きく低減できることがわかった。

【0026】

ところで、半導体装置の信頼性を考える上では、半導体素子に機械的応力が到達するかどうか重要である。この観点から、第3配線層11と第2配線層8との間のクラック発生率を検討する。

【0027】

図3に示す評価結果から判るように、プローブカードAを用いた場合、第3配線層11と第2配線層8との間におけるクラック発生率(3M-2Mクラック:NG率)は、第2構造が0.00%~0.47%であり、第3構造が0.00%~0.58%であり、いずれの構造でもオーバードライブ量が105 μ mのときにクラックが生じた。これに対して、第1構造では、オーバードライブ量が105 μ mのときを含め、全てのオーバードライブ量でクラックの発生が0.00%であった。この結果から、第3配線層11よりも下方への機械的応力の伝播を緩和する程度は、第1構造の方が他の構造に比べて高いことがわ

【0028】

また、プローブカードBを用いた場合、当該クラック発生率は、第2構造が0.00%~3.02%であり、第3構造が0.00%~1.40%であり、いずれの構造でもオーバードライブ量が95 μ mと105 μ mのときにクラックが生じた。これに対して、第1構造では95 μ mまではクラック発生率が0.00%であり、105 μ mのオーバードライブ量であっても僅か0.23%に抑えることができた。オーバードライブ量105 μ mのとき、第1構造のクラック発生率は、第2構造と比べて約15分の1であり、第3構造と比べて約7分の1である。この結果からも、第3配線層11よりも下方への機械的応力の伝播を緩和する程度は、第1構造の方が他の構造に比べて飛躍的に高いことがわ

【0029】

以上、プローブテストの結果により、第1構造は、第2及び第3配線層8,11よりも下方に機械的応力が伝播し難く、半導体素子に機械的応力がより到達し難い構造であることがわかった。また、ワイヤーボンド工程後及びモールド樹脂封止後においても、第1構造はクラックが生じ難く、第2及び第3配線層8,11よりも下方に機械的応力が伝播し難い構造であることを確認した。

【0030】

このように本実施形態に係る構成によれば、プローブテストに限らずワイヤーボンド工程やパンプ電極の形成工程や封止工程等の際にボンディングパッド(第4配線層15)に加わる機械的応力は、ハニカム構造(第3層間絶縁膜13及び第3導電層11)で緩和される。そのため、当該ハニカム構造よりも下方への物理的ダメージの伝播を抑え、半導体装置の信頼性を向上させることができる。

【0031】

また、各柱状層間絶縁膜13aは第3導電層11を介して個々に分断されているため、仮に第3層間絶縁膜13aの一部でクラックが発生したとしても、他の第3層間絶縁膜13aにクラックが伝播し難い構成になっている。

【0032】

なお、本発明は上記実施形態に限定されることはなく、その要旨を逸脱しない範囲で変更が可能であることは言うまでもない。

10

20

30

40

50

【0033】

例えば、4層以上の多層配線構造に本発明を適用することも可能であるし、2層以上の多層配線構造であれば本発明を適用することが出来る。つまり、最上の配線層（ボンディングパッド）と最下の配線層との間に形成された多層の層間絶縁膜の少なくとも一つの層の層間絶縁膜を上述した柱状層間絶縁膜で構成し、各柱状層間絶縁膜の周囲を囲むように導電層を形成すればよい。また、図2では第4配線層15や第3配線層11の平面的形状が正方形であるが、他の平面的形状（例えば長方形や三角形等）であってもよい。本発明は、多層配線構造を有する半導体装置において、ボンディングパッドに加わる機械的応力を緩和する技術として広く適用できるものである。

【図面の簡単な説明】

10

【0034】

【図1】本発明の実施形態に係る半導体装置を説明する断面図である。

【図2】本発明の実施形態に係る半導体装置を説明する平面図である。

【図3】本発明の実施形態に係る半導体装置のクラック発生率を説明する表である。

【図4】従来半導体装置を説明する断面図である。

【図5】従来半導体装置を説明する断面図である。

【図6】従来半導体装置を説明する平面図である。

【図7】従来半導体装置を説明する断面図である。

【図8】従来半導体装置を説明する平面図である。

【符号の説明】

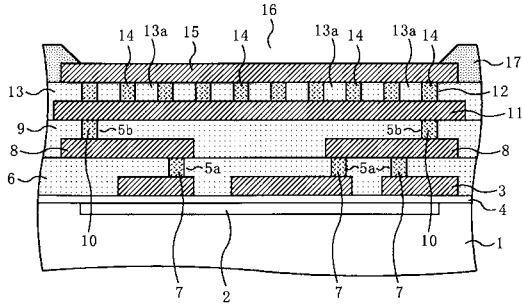
20

【0035】

1	半導体基板	2	デバイス素子	3	第1配線層	4	絶縁膜
5 a, 5 b	ビアホール	6	第1層間絶縁膜	7	第1導電層		
8	第2配線層	9	第2層間絶縁膜	10	第2導電層		
11	第3配線層	12	ビアホール	13	第3層間絶縁膜		
14	第3導電層	15	第4配線層	16	パッド開口部	17	保護膜
100	半導体基板	101	デバイス素子	102	第1配線層		
103	絶縁膜	104	ビアホール	105	第1層間絶縁膜		
106	導電層	107	第2配線層	108	第2層間絶縁膜		
109	第3配線層	110	第3層間絶縁膜	111	第4配線層		
112	パッド開口部	113	保護膜	114	クラック		
115	第3配線層	116	導電層	117	導電層		

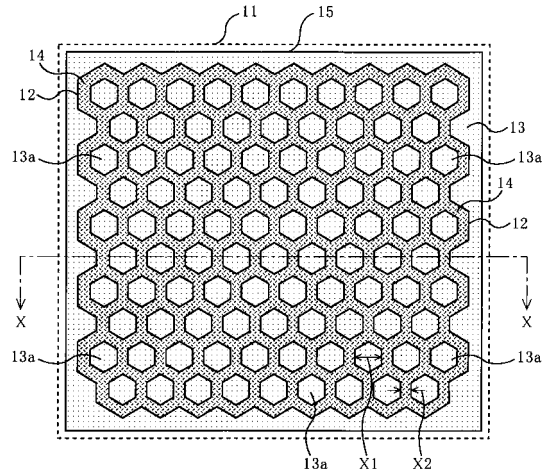
30

【 図 1 】



- 1 : 半導体基板
- 2 : デバイス素子
- 3 : 第1配線層
- 4 : 絶縁膜
- 5a, 5b : ヒアホール
- 6 : 第1層間絶縁膜
- 7 : 第1導電層
- 8 : 第2配線層
- 9 : 第2層間絶縁膜
- 10 : 第2導電層
- 11 : 第3配線層
- 12 : ヒアホール
- 13 : 第3層間絶縁膜
- 13a : 柱状層間絶縁膜
- 14 : 第3導電層
- 15 : 第4配線層
- 16 : パッド開口部
- 17 : 保護膜

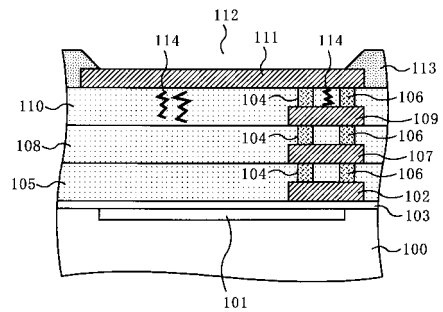
【 図 2 】



【 図 3 】

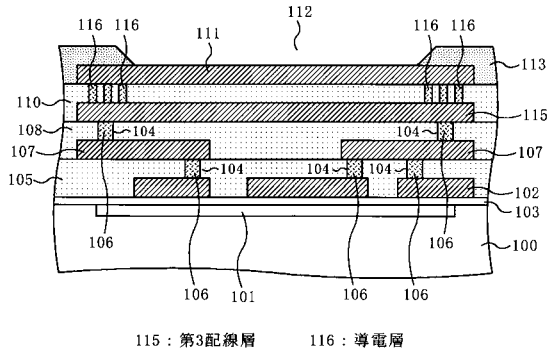
評価結果	オーバードライヴ電圧検査数	4M-3Mクランク		3M-2Mクランク	
		プロセカトA NG率 [%]	プロセカトB NG率 [%]	プロセカトA NG率 [%]	プロセカトB NG率 [%]
第1構造	OD=65um×3回	102	58.8	84.3	0.00
	OD=75um×3回	101	84.2	96.1	0.00
	OD=85um×3回	102	99.0	99.0	0.00
第2構造	OD=95um×3回	102	99.0	100.0	0.00
	OD=105um×3回	102	100.0	100.0	0.23
	OD=105um×3回	101	94.1	96.1	0.00
第3構造	OD=75um×3回	101	99.0	100.0	0.00
	OD=85um×3回	102	100.0	100.0	0.00
	OD=95um×3回	102	100.0	100.0	0.00
	OD=105um×3回	102	100.0	100.0	0.93
	OD=65um×3回	101	51.5	93.1	0.47
	OD=75um×3回	102	79.4	98.0	0.00
第4構造	OD=85um×3回	102	99.0	100.0	0.00
	OD=95um×3回	102	100.0	100.0	0.00
	OD=105um×3回	102	100.0	100.0	0.58
第5構造	OD=105um×3回	102	100.0	100.0	1.40

【 図 4 】

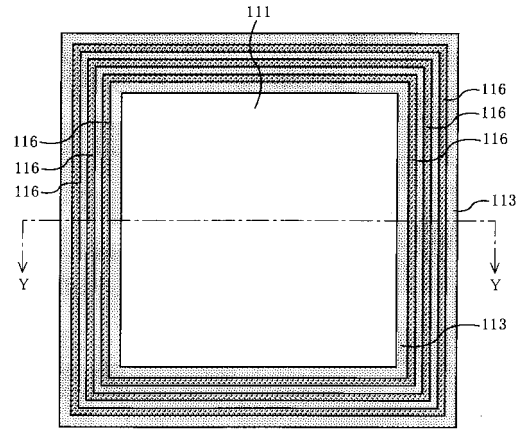


- 100 : 半導体基板
- 101 : デバイス素子
- 102 : 第1配線層
- 103 : 絶縁膜
- 104 : ヒアホール
- 105 : 第1層間絶縁膜
- 106 : 導電層
- 107 : 第2配線層
- 108 : 第2層間絶縁膜
- 109 : 第3配線層
- 110 : 第3層間絶縁膜
- 111 : 第4配線層
- 112 : パッド開口部
- 113 : 保護膜
- 114 : クラック

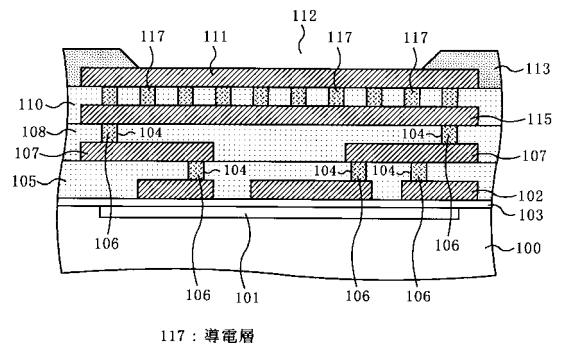
【 図 5 】



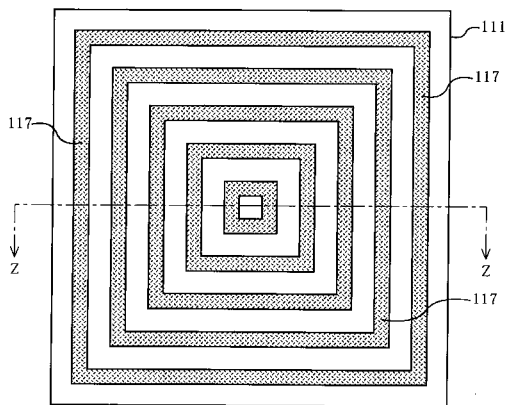
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 後藤 祐治

群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内

Fターム(参考) 5F033 HH08 JJ08 JJ19 JJ23 JJ33 KK08 NN07 NN29 NN33 QQ37
RR04 VV07 XX17 XX19