

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 21 年 7 月 30 日 (2009.7.30)

【公開番号】特開 2006-216989 (P2006-216989A)
 【公開日】平成 18 年 8 月 17 日 (2006.8.17)
 【年通号数】公開・登録公報 2006-032
 【出願番号】特願 2006-125380 (P2006-125380)
 【国際特許分類】

H 0 1 L 23/50 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

H 0 2 M 7/48 (2007.01)

【F I】

H 0 1 L 23/50 W

H 0 1 L 25/04 C

H 0 2 M 7/48 Z

【手続補正書】
 【提出日】平成 21 年 6 月 17 日 (2009.6.17)

【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

リードフレームに搭載された、トータムポール接続された一組の電力スイッチング素子と、前記一組の電力スイッチング素子を制御する制御素子とが、樹脂パッケージ内に封止された半導体装置であって、

前記リードフレームは、

前記樹脂パッケージの一端に形成された第 1 接続リード部と、

前記一端に対向する他端に形成された第 2 接続リード部と、

前記第 1 接続リード部が形成された側に、前記一組の電力スイッチング素子のうちハイサイドの電力スイッチング素子を搭載するためのハイサイド素子搭載部と、ローサイドの電力スイッチング素子を搭載するためのローサイド素子搭載部とが交互に配置された第 1 素子搭載部と、

前記第 2 接続リード部が形成された側に、前記制御素子を搭載するために配置された第 2 素子搭載部とを備え、

前記第 2 素子搭載部は、前記ハイサイド素子搭載部と前記ローサイド素子搭載部とに並んで、かつ、前記ハイサイド素子搭載部の前記ローサイド素子搭載部から最も離れている部分と、前記ローサイド素子搭載部の前記ハイサイド素子搭載部から最も離れている部分との間に配置され、

前記ローサイドの電力スイッチング素子のドレイン電極と電氣的に接続された前記ローサイド素子搭載部と、前記ハイサイドの電力スイッチング素子のソース電極とが、金属細線で接続されていることを特徴とする半導体装置。

【請求項 2】

リードフレームに搭載された、トータムポール接続された一組の電力スイッチング素子と、前記一組の電力スイッチング素子を制御する制御素子とが、樹脂パッケージ内に封止された半導体装置であって、

前記リードフレームは、

前記樹脂パッケージの一端に形成された第 1 接続リード部と、

前記一端に対向する他端に形成された第 2 接続リード部と、

前記第 1 接続リード部が形成された側に、前記一組の電力スイッチング素子のうちハイサイドの電力スイッチング素子を搭載するための複数のハイサイド素子搭載部と、ローサイドの電力スイッチング素子を搭載するための複数のローサイド素子搭載部とが交互に配置された第 1 素子搭載部と、

前記第 2 接続リード部が形成された側に、複数の前記制御素子を搭載するために配置された複数の第 2 素子搭載部と、

前記複数のハイサイド素子搭載部を電氣的に接続する第 1 素子間配線部と、

前記複数の第 2 素子搭載部を電氣的に接続する第 2 素子間配線部とを備えたことを特徴とする半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 6

【補正方法】変更

【補正の内容】

【0 0 1 6】

上記課題を解決するために、本発明の半導体装置は、リードフレームに搭載された、トータムポール接続された一組の電力スイッチング素子と、前記一組の電力スイッチング素子を制御する制御素子とが、樹脂パッケージ内に封止された半導体装置であって、前記リードフレームは、前記樹脂パッケージの一端に形成された第 1 接続リード部と、前記一端に対向する他端に形成された第 2 接続リード部と、前記第 1 接続リード部が形成された側に、前記一組の電力スイッチング素子のうちハイサイドの電力スイッチング素子を搭載するためのハイサイド素子搭載部と、ローサイドの電力スイッチング素子を搭載するためのローサイド素子搭載部とが交互に配置された第 1 素子搭載部と、前記第 2 接続リード部が形成された側に、前記制御素子を搭載するために配置された第 2 素子搭載部とを備え、前記第 2 素子搭載部は、前記ハイサイド素子搭載部と前記ローサイド素子搭載部とに並んで、かつ、前記ハイサイド素子搭載部の前記ローサイド素子搭載部から最も離れている部分と、前記ローサイド素子搭載部の前記ハイサイド素子搭載部から最も離れている部分との間に配置され、前記ローサイドの電力スイッチング素子のドレイン電極と電氣的に接続された前記ローサイド素子搭載部と、前記ハイサイドの電力スイッチング素子のソース電極とが、金属細線で接続されていることを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 7

【補正方法】変更

【補正の内容】

【0 0 1 7】

また、本発明の別の半導体装置は、リードフレームに搭載された、トータムポール接続された一組の電力スイッチング素子と、前記一組の電力スイッチング素子を制御する制御素子とが、樹脂パッケージ内に封止された半導体装置であって、前記リードフレームは、前記樹脂パッケージの一端に形成された第 1 接続リード部と、前記一端に対向する他端に形成された第 2 接続リード部と、前記第 1 接続リード部が形成された側に、前記一組の電力スイッチング素子のうちハイサイドの電力スイッチング素子を搭載するための複数のハイサイド素子搭載部と、ローサイドの電力スイッチング素子を搭載するための複数のローサイド素子搭載部とが交互に配置された第 1 素子搭載部と、前記第 2 接続リード部が形成された側に、複数の前記制御素子を搭載するために配置された複数の第 2 素子搭載部と、前記複数のハイサイド素子搭載部を電氣的に接続する第 1 素子間配線部と、前記複数の第 2 素子搭載部を電氣的に接続する第 2 素子間配線部とを備えたことを特徴とする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 8

【補正方法】削除

【補正の内容】

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 3

【補正方法】削除

【補正の内容】

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 4

【補正方法】削除

【補正の内容】

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 5

【補正方法】削除

【補正の内容】

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 7

【補正方法】削除

【補正の内容】

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 8

【補正方法】削除

【補正の内容】