

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5367338号
(P5367338)

(45) 発行日 平成25年12月11日 (2013.12.11)

(24) 登録日 平成25年9月20日 (2013.9.20)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 2 D

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 2 C

H O 1 L 29/423 (2006.01)

H O 1 L 29/78 6 2 7 C

H O 1 L 29/49 (2006.01)

H O 1 L 29/58 G

H O 1 L 29/417 (2006.01)

H O 1 L 29/50 M

請求項の数 1 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2008-270668 (P2008-270668)
 (22) 出願日 平成20年10月21日 (2008.10.21)
 (65) 公開番号 特開2009-124124 (P2009-124124A)
 (43) 公開日 平成21年6月4日 (2009.6.4)
 審査請求日 平成23年10月19日 (2011.10.19)
 (31) 優先権主張番号 特願2007-275786 (P2007-275786)
 (32) 優先日 平成19年10月23日 (2007.10.23)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 細谷 邦雄
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 藤川 最史
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 千葉 陽子
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

審査官 鈴木 聡一郎

最終頁に続く

(54) 【発明の名称】 表示装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 のソース配線層、第 2 のソース配線層、及び、前記第 1 のソース配線層と前記第 2 のソース配線層とに挟まれたゲート配線層を同じ工程で形成し、

前記第 1 のソース配線層、前記第 2 のソース配線層、及び前記ゲート配線層上にゲート絶縁層を形成し、

前記ゲート絶縁層上に第 1 の半導体膜及び一導電型を付与する不純物が添加された第 2 の半導体膜を積層し、

前記第 2 の半導体膜上に第 1 のマスク層を形成し、

前記第 1 のマスク層を用いて前記ゲート絶縁層、前記第 1 の半導体膜及び前記第 2 の半導体膜をエッチングして、前記第 1 のソース配線層に達する第 1 の開口、及び前記第 2 のソース配線層に達する第 2 の開口を形成し、

前記第 1 のマスク層をアッシングして第 2 のマスク層を形成し、

前記第 2 のマスク層を用いて前記第 1 の半導体膜及び前記第 2 の半導体膜をエッチングして、第 1 の半導体層及び一導電型を付与する不純物が添加された第 2 の半導体層を形成し、

前記ゲート配線層、前記第 1 のソース配線層、前記第 2 のソース配線層、前記ゲート絶縁層、前記第 1 の半導体層及び前記第 2 の半導体層上に透光性導電膜及び導電膜の積層を形成し、

前記透光性導電膜及び前記導電膜上に第 3 のマスク層を形成し、

10

20

前記第3のマスク層を用いて前記第1の半導体層、前記第2の半導体層、前記透光性導電膜及び前記導電膜をエッチングして、凹部を有する半導体層、ソース領域、ドレイン領域、並びに透光性導電層と導電層との積層を形成し、

前記第3のマスク層をアッシングして第4のマスク層を形成し、

前記第4のマスク層を用いて、前記導電層を選択的にエッチングして前記透光性導電層を露出させて画素電極層を形成するとともに、前記第1の開口及び前記第2の開口を介して前記第1のソース配線層及び前記第2のソース配線層を電氣的に接続するソース電極層又はドレイン電極層を形成し、

前記第1のマスク層及び前記第3のマスク層は、透過した光が複数の強度となる露光マスクを用いて形成し、

前記凹部を有する半導体層は、前記ソース領域及び前記ドレイン領域と重なる領域の膜厚より薄い膜厚の領域を有することを特徴とする表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、少なくとも画素部に薄膜トランジスタを用いた表示装置及び表示装置の作製方法に関する。

【背景技術】

【0002】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタを構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0003】

画像表示装置のスイッチング素子として、非晶質半導体膜を用いた薄膜トランジスタ、または多結晶半導体膜を用いた薄膜トランジスタ等が用いられている。

【0004】

薄膜トランジスタの作製には、多数の露光マスク（フォトマスクともいう）を用い、フォトリソグラフィ工程によって積層構造を形成する方法が用いられる。しかし、製造コストの削減や歩留まりの向上のためには工程数を減少させることが重要であり、フォトリソグラフィ工程数、すなわち、露光マスク数を削減する技術が考えられている（例えば、特許文献1及び特許文献2参照。）。

【特許文献1】特開2001-313397号公報

【特許文献2】特開2007-133371号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記特許文献が着目するように、フォトリソグラフィ工程は、フォトレジストの形成、露光マスクを用いた露光処理、現像処理などからなる。更にこれらに加えて洗浄処理や検査なども含み得る、多数の工程を含む工程であり、製造コストや歩留まり、生産性などに大きく影響を与える要因の1つである。中でも設計や製造コストが高い露光マスク数の削減は大きな課題である。

【0006】

上述した問題に鑑み、本発明は、露光マスク数を削減することでフォトリソグラフィ工程を簡略化し、信頼性のある表示装置を低コストで生産性よく作製することを課題の一とする。

【課題を解決するための手段】

【0007】

チャネルエッチ構造の逆スタガ型薄膜トランジスタを有する表示装置の作製方法において、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたマス

10

20

30

40

50

ク層を用いてエッチング工程を行う。さらに、基板上にゲート配線層とソース配線層を同工程で形成し、ゲート配線層とソース配線層の交差部においてはソース配線層を分断（切断）した形状とする。分断されたソース配線層は開口（コンタクトホール）を介してゲート絶縁層上にソース電極層及びドレイン電極層と同工程で形成された配線層を介して電氣的に接続する。

【0008】

ソース電極層及びドレイン電極層は透光性導電層と導電層との積層で形成し、画素電極層は導電層を選択的に除去し、透光性導電層を露出させて形成する。

【0009】

多階調マスクを用いて形成したマスク層は複数の膜厚を有する形状となり、アッシングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するマスク層を形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

10

【0010】

ゲート配線層、ソース配線層、ソース電極層及びドレイン電極層として用いる導電層は、光に対して反射性を有する導電性材料を用い、一方基板や画素電極層は透光性を有する材料を用いる。薄膜トランジスタの保護膜として機能する絶縁膜のエッチング工程に用いるマスク層を形成する露光工程において、基板の素子形成側の反対側（裏側ともいう）より光を照射して、反射性を有するゲート配線層、ソース配線層、ソース電極層及びドレイン電極層として用いる導電層をマスクとして用いる裏面露光を行うことができる。従って、絶縁膜のエッチング用の露光マスクを形成しなくてもよい場合、さらにフォトリソグラフィ工程の回数を削減することができる。

20

【0011】

さらにフォトリソグラフィ工程によって形成されたマスク層は、加熱処理（リフローともいう）によって形状を加工することができる。加熱処理によってマスク層は、その周辺が拡大するように延長し、より絶縁膜上の広い領域を覆う形状となる。

【0012】

ソース電極層又はドレイン電極層と画素電極層とが絶縁膜を介さずに直接接して設けられる構成であるため、ソース電極層又はドレイン電極層と画素電極層間に形成される寄生容量を低減できる。一方、ソース配線層は画素電極層とゲート絶縁層を介して形成されるため、微細な設計であっても形状不良によるソース配線層と画素電極層とのショートなどの電氣的不良を防ぐことができる。

30

【0013】

従って、露光マスク数を削減することでフォトリソグラフィ工程を簡略化し、信頼性のある表示装置を低コストで生産性よく作製することができる。

【0014】

本発明の表示装置の作製方法の一は、透光性基板上にゲート配線層、ゲート配線層を挟んで第1のソース配線層及び第2のソース配線層を形成する。ゲート配線層、第1のソース配線層及び第2のソース配線層上にゲート絶縁層を形成する。ゲート絶縁層上に半導体膜及び一導電型を付与する不純物が添加された半導体膜を積層する。一導電型を付与する不純物が添加された半導体膜上に第1のマスク層を形成する。第1のマスク層を用いてゲート絶縁層、半導体膜及び一導電型を付与する不純物が添加された半導体膜をエッチングして、第1のソース配線層に達する第1の開口、及び第2のソース配線層に達する第2の開口を形成する。第1のマスク層をアッシングして第2のマスク層を形成する。第2のマスク層を用いて半導体膜及び一導電型を付与する不純物が添加された半導体膜をエッチングして、半導体層及び一導電型を付与する不純物が添加された半導体層を形成する。ゲート配線層、第1のソース配線層、第2のソース配線層、ゲート絶縁層、半導体層及び一導電型を付与する不純物が添加された半導体層上に透光性導電膜及び導電膜の積層を形成する

40

50

。透光性導電膜及び導電膜上に第3のマスク層を形成する。第3のマスク層を用いて透光性導電膜及び導電膜をエッチングして、凹部を有する半導体層、ソース領域、ドレイン領域、透光性導電層と導電層との積層であるソース電極層及びドレイン電極層を形成する。第3のマスク層をアッシングして第4のマスク層を形成する。第4のマスク層を用いてソース電極層又はドレイン電極層の導電層を選択的にエッチングして透光性導電層を露出させ画素電極層を形成する。第1の開口及び第2の開口を介して第1のソース配線層及び第2のソース配線層を電氣的に接続するソース電極層又はドレイン電極層を形成する。第1のマスク層及び第3のマスク層は透過した光が複数の強度となる露光マスクを用いて形成する。凹部を有する半導体層において、ソース領域及びドレイン領域と重なる領域の膜厚より薄い膜厚の領域を有する。

10

【0015】

上記構成において、画素電極として機能する透光性導電層上に液晶層を形成し、液晶表示装置を作製することができる。画素電極層として用いる領域を透光性導電層とすることで透過型液晶表示装置を作製することができ、画素電極層として用いる領域に一部反射性の導電層を有することで半透過型液晶表示装置を作製することができる。

【発明の効果】

【0016】

本発明により、露光マスク数を削減することでフォトリソグラフィ工程を簡略化し、信頼性のある表示装置を低コストで生産性よく作製することができる。

【発明を実施するための最良の形態】

20

【0017】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

（実施の形態1）

本実施の形態では、薄膜トランジスタを有する表示装置及びその作製工程について、図1乃至図7を用いて説明する。

30

【0018】

薄膜トランジスタはp型よりもn型の方が、移動度が高いので駆動回路に用いるのにより適しているが、本発明では、薄膜トランジスタはn型であってもp型であってもどちらでも良い。いずれの極性の薄膜トランジスタを用いる場合でも、同一の基板上に形成する薄膜トランジスタを全て同じ極性にそろえておくことが、工程数を抑えるためにも望ましい。ここでは、nチャネル型の薄膜トランジスタを用いて説明する。

【0019】

図1(A)乃至(C)及び図2(A)乃至(C)は本発明のアクティブマトリックス基板を用いた薄膜トランジスタを有する表示装置の平面図の一例であり、図1(A)及び図2(A)では簡略化のため、マトリックス状に配置された複数の画素のうち1つの画素構成を示している。図1(B)(C)及び図2(B)(C)は、外部回路とアクティブマトリックス基板とを電氣的に接続するための端子部を示している。また、図3乃至図6は、薄膜トランジスタを有する表示装置の作製工程を示す図である。図3乃至図6において、X-X'、Y-Y'、Z-Z'はそれぞれ図1及び図2における線X-X'、Y-Y'、Z-Z'の断面に対応する。

40

【0020】

図1(A)に示すように、アクティブマトリックス基板には、互いに並行に配置された複数のゲート配線層（ゲート信号線ともいう）と、各ゲート配線層に交差するソース配線層（ソース信号線ともいう）を複数有している。基板上にゲート配線層とソース配線層を同工程で形成し、ゲート配線層とソース配線層の交差部においてはソース配線層を分断（切

50

断)した形状とする。分断されたソース配線層は開口(コンタクトホール)を介してゲート絶縁層上にソース電極層及びドレイン電極層と同工程で形成された配線層を介して電氣的に接続する。

【0021】

ソース電極層及びドレイン電極層は透光性導電層と導電層(金属膜)との積層で形成し、画素電極層は導電層を選択的に除去し、透光性導電層を露出させて形成する。

【0022】

ゲート配線層とソース配線層とで囲まれた領域には、画素電極として機能する透光性導電層が配置しており、透光性導電層を一部隣接するゲート配線層に重畳して設け、保持容量を形成している。

10

【0023】

さらにゲート配線層とソース配線層の交差部付近には、スイッチング素子として薄膜トランジスタ(TFTともいう)が設けられている。この薄膜トランジスタは、チャネルエッチ構造の逆スタガ型薄膜トランジスタである。

【0024】

本発明では、分断されたソース配線層は開口(コンタクトホール)を介してゲート絶縁層上にソース電極層及びドレイン電極層と同工程で形成された配線層を介して電氣的に接続する。そのため、接続点である開口において接触不良が発生した場合には、ソース配線層として機能なくなってしまう。ソース配線層と開口における接続方法の例を図7(A)(B)に示す。

20

【0025】

図7(A)は、接触不良の可能性を低減するため、接続のためのゲート絶縁層の開口を複数個設けた例である。ソース配線層236とソース配線層202は、開口251a1、251a2、開口251b1、251b2に形成される透光性導電層218a及び導電層225aによって電氣的に接続されている。この場合、一方の開口でコンタクト不良が発生した場合にも、他方の開口で接続されるため信号線としての機能が維持される。また図7(B)は、ソース配線層236とソース配線層202の端部も含めた位置にゲート絶縁層の開口252a、252bを形成する例である。これにより、ソース配線層236及びソース配線層202と、透光性導電層218a及び導電層225aとの接続をソース配線層236とソース配線層202端部でも行うことで断線不良の可能性を低減することができる。

30

【0026】

図1乃至図6において、Y-Y'、Z-Z'は端子部の構造である。Y-Y'は画素周辺部に引き回されたゲート配線層と同工程で形成される配線が端子と接続する箇所の断面構造を示す。ゲート配線層と同工程で形成される配線はゲート絶縁層に形成された開口を介してソース電極層及びドレイン電極層と同工程で形成された透光性導電層及び導電層の積層に接続し、積層は端子部手前で透光性導電層単層の層構造となり、端子部へと伸びる。Z-Z'は画素周辺部に引き回されたソース電極層及びドレイン電極層と同工程で形成される配線が端子と接続する箇所の断面構造を示す。引き回されたソース電極層及びドレイン電極層と同工程で形成される配線は透光性導電層及び導電層の積層であり、端子部では透光性導電層の単層となる。図1(B)(C)及び図2(B)(C)で示す端子部において、露出した透光性導電層は異方性導電層などの導電性接着剤を介して、基板外部の駆動回路と電氣的に接続する。

40

【0027】

図2(A)乃至(C)は、図1(A)乃至(C)の工程後、保護膜として、画素領域に開口を有する絶縁膜231を形成する工程を示す。絶縁膜231により薄膜トランジスタ235は汚染物質による特性低下を防止することができる。

【0028】

以下、作製方法を詳細に説明する。透光性基板200上にソース配線層201、202、ゲート配線層203を形成する(図3(A))。透光性基板200は、バリウムホウケイ酸

50

ガラス、アルミノホウケイ酸ガラス、若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。透光性基板 200 の大きさは、320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、730mm×920mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mm、1500mm×1800mm、1900mm×2200mm、2160mm×2460mm、2400mm×2800mm、又は2850mm×3050mm等を用いることができる。

【0029】

ソース配線層 201、202、ゲート配線層 203 は、チタン、モリブデン、クロム、タantal、タングステン、アルミニウムなどの金属材料またはその合金材料を用いて形成する。ソース配線層 201、202、ゲート配線層 203 は、スパッタリング法や真空蒸着法で透光性基板 200 上に導電膜を形成し、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスク層を形成し、当該マスク層を用いて導電膜をエッチングすることで、形成することができる。また、銀、金、銅などの導電性ナノペーストを用いてインクジェット法により吐出し焼成して、ソース配線層 201、202、ゲート配線層 203 を形成することができる。なお、ソース配線層 201、202、ゲート配線層 203 の密着性向上や拡散を防ぐバリアメタルとして、上記金属材料の窒化物膜を、透光性基板 200 及びソース配線層 201、202、ゲート配線層 203 の間に設けてもよい。

【0030】

また、ソース配線層 201、202、ゲート配線層 203 は積層構造としてもよく、上層にバリアメタルとして高融点金属膜を形成してもよい。透光性基板 200 側からアルミニウム膜とモリブデン膜の積層、銅膜とモリブデン膜との積層、銅膜と窒化チタン膜との積層、銅膜と窒化タンタル膜との積層などを用いることができる。ソース配線層 201、202、ゲート配線層 203 はアルミニウムなどの低抵抗金属材料が好ましい。上記積層構造において、上層に形成される高融点金属であるモリブデン膜や、窒化チタン膜、窒化タンタル膜などの窒化物膜はバリアメタルとしての効果を有する。

【0031】

なお、ソース配線層 201、202、ゲート配線層 203 上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパ状になるように加工することが望ましい。

【0032】

次に、ソース配線層 201、202、ゲート配線層 203 上に、ゲート絶縁層 204、半導体膜 205、一導電型を付与する不純物が添加された半導体膜 206 を順に形成する(図3(B)参照。)。

【0033】

なお、ゲート絶縁層 204、半導体膜 205、一導電型を付与する不純物が添加された半導体膜 206 を大気に触れさせることなく連続的に形成してもよい。ゲート絶縁層 204、半導体膜 205、一導電型を付与する不純物が添加された半導体膜 206 を大気に触れさせることなく連続成膜することで、大気成分や大気中に浮遊する汚染不純物元素に汚染されることがなく各種層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【0034】

ゲート絶縁層 204 は、CVD法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。本実施の形態では、ゲート絶縁層 204 として、窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜との順に積層して形成する形態を示す。なお、ゲート絶縁層を2層とせず、基板側から窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に3層積層して形成することができる。また、ゲート絶縁層を、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層で

10

20

30

40

50

形成することができる。更には、周波数が1GHzのマイクロ波プラズマCVD装置を用いてゲート絶縁層を形成することが好ましい。マイクロ波プラズマCVD装置で形成した酸化窒化珪素膜、窒化酸化珪素膜は、耐圧が高く、後に形成される薄膜トランジスタの信頼性を高めることができる。

【0035】

ゲート絶縁層の3層積層構造の例として、ゲート電極層上に1層目として窒化珪素膜または窒化酸化珪素膜と、2層目として酸化窒化珪素膜と、3層目として窒化珪素膜とを積層とし、最上層の窒化珪素膜上に半導体膜を形成してもよい。この場合、1層目の窒化珪素膜または窒化酸化珪素膜は膜厚が50nmより厚い方がよく、ナトリウムなどの不純物を遮断するバリア、ゲート電極のヒロックの防止、ゲート電極の酸化防止などの効果を奏する。3層目の窒化珪素膜は半導体膜の密着性向上、酸化防止としての効果を奏する。

10

【0036】

このようにゲート絶縁層表面に極薄膜の窒化珪素膜のような窒化膜を形成することで半導体膜の密着性を向上することができる。窒化膜はプラズマCVD法により成膜してもよく、マイクロ波による高密度で低温なプラズマ処理によって窒化処理を行ってもよい。また、反応室にシランフラッシュ処理を行う際に窒化珪素膜、窒化酸化珪素膜を形成してもよい。

【0037】

ここでは、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、濃度範囲として酸素が55～65原子%、窒素が1～20原子%、Siが25～35原子%、水素が0.1～10原子%の範囲で含まれるものをいう。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、濃度範囲として酸素が15～30原子%、窒素が20～35原子%、Siが25～35原子%、水素が15～25原子%の範囲で含まれるものをいう。

20

【0038】

一導電型を付与する不純物が添加された半導体膜206は、nチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、水素化珪素に PH_3 などの不純物気体を加えれば良い。また、pチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてボロンを添加すれば良く、水素化珪素に B_2H_6 などの不純物気体を加えれば良い。一導電型を付与する不純物が添加された半導体膜206は、非晶質半導体、微結晶半導体、または多結晶半導体で形成することができる。一導電型を付与する不純物が添加された半導体膜206は膜厚2～50nm（好ましくは10～30nm）とすればよい。

30

【0039】

半導体膜205及び一導電型を付与する不純物が添加された半導体膜206上にマスク層207a乃至207eを形成する（図3（C）参照。）。

【0040】

本実施の形態では、マスク層207a乃至207eを形成するために多階調（高階調）マスクを用いた露光を行う例を示す。マスク層207a乃至207eを形成するためレジストを形成する。レジストは、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。

40

【0041】

次に、露光マスクとして多階調マスク59を用いて、レジストに光を照射して、レジストを露光する。

【0042】

ここで、多階調マスク59を用いた露光について、図13を用いて説明する。

【0043】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に3つの露光レベルを行うことが可能なマスクであり、透過した光が複数の強度となる露光マスクである。一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスク

50

を形成することが可能である。このため、多階調マスクを用いることで、露光マスクの枚数を削減することが可能である。

【 0 0 4 4 】

多階調マスクの代表例としては、図 1 3 (A) に示すようなグレートンマスク 5 9 a、図 1 3 (C) に示すようなハーフトーンマスク 5 9 b がある。

【 0 0 4 5 】

図 1 3 (A) に示すように、グレートンマスク 5 9 a は、透光性基板 1 6 3 及びその上に形成される遮光部 1 6 4 並びに回折格子 1 6 5 で構成される。遮光部 1 6 4 においては、光の透過率が 0 % である。一方、回折格子 1 6 5 はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過率を制御することができる。なお、回折格子 1 6 5 は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

10

【 0 0 4 6 】

透光性基板 1 6 3 としては、石英等の透光性基板を用いることができる。遮光部 1 6 4 及び回折格子 1 6 5 は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【 0 0 4 7 】

グレートンマスク 5 9 a に露光光を照射した場合、図 1 3 (B) に示すように、遮光部 1 6 4 においては、光透過率 1 6 6 は 0 % であり、遮光部 1 6 4 及び回折格子 1 6 5 が設けられていない領域では光透過率 1 6 6 は 1 0 0 % である。また、回折格子 1 6 5 においては、1 0 ~ 7 0 % の範囲で調整可能である。回折格子 1 6 5 における光の透過率の調整は、回折格子のスリット、ドット、またはメッシュの間隔及びピッチの調整により可能である。

20

【 0 0 4 8 】

図 1 3 (C) に示すように、ハーフトーンマスク 5 9 b は、透光性基板 1 6 3 及びその上に形成される半透過部 1 6 7 並びに遮光部 1 6 8 で構成される。半透過部 1 6 7 は、MoSiN、MoSi、MoSiO、MoSiON、CrSiなどを用いることができる。遮光部 1 6 8 は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【 0 0 4 9 】

ハーフトーンマスク 5 9 b に露光光を照射した場合、図 1 3 (D) に示すように、遮光部 1 6 8 においては、光透過率 1 6 9 は 0 % であり、遮光部 1 6 8 及び半透過部 1 6 7 が設けられていない領域では光透過率 1 6 9 は 1 0 0 % である。また、半透過部 1 6 7 においては、1 0 ~ 7 0 % の範囲で調整可能である。半透過部 1 6 7 に於ける光の透過率の調整は、半透過部 1 6 7 の材料により調整により可能である。

30

【 0 0 5 0 】

多階調マスクを用いて露光した後、現像することで、図 3 (C) に示すように膜厚の異なる領域を有するマスク層 2 0 7 a 乃至 2 0 7 e を形成することができる。

【 0 0 5 1 】

次に、マスク層 2 0 7 a 乃至 2 0 7 e を用いて、ゲート絶縁層 2 0 4、半導体膜 2 0 5、一導電型を付与する不純物が添加された半導体膜 2 0 6 をエッチングし、ソース配線層 2 3 6 に達する開口 2 0 8 a、ソース配線層 2 0 2 に達する開口 2 0 8 b、ソース配線層 2 0 1 に達する開口 2 0 9 を形成する (図 3 (D) 参照。) 。

40

【 0 0 5 2 】

次に、マスク層 2 0 7 a 乃至 2 0 7 e をアッシングする。この結果、マスク層 2 0 7 a 乃至 2 0 7 e の面積が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のマスク層 2 0 7 a 乃至 2 0 7 e のレジストは除去され、マスク層 2 1 0 を形成することができる (図 4 (A) 参照。) 。

【 0 0 5 3 】

マスク層 2 1 0 を用いて、半導体膜 2 0 5、一導電型を付与する不純物が添加された半導

50

体膜 206 をエッチングし、半導体層 211、一導電型を付与する不純物が添加された半導体層 212 を形成する（図 4（B）参照。）。この後、マスク層 210 を除去する。

【0054】

露光マスクとして多階調マスクを用いて形成したマスク層は複数の膜厚を有する形状となり、アッシングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するマスク層を形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0055】

開口 208b、209、ゲート絶縁層 204、半導体層 211、一導電型を付与する不純物が添加された半導体層 212 上に透光性導電膜 213 及び導電膜 214 を順に積層して形成する（図 4（C）参照。）。本実施の形態では導電膜 214 は金属膜であり、光に対して反射性を有する。

【0056】

透光性導電膜 213 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0057】

また、透光性導電膜 213 として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した透光性導電膜は、シート抵抗が $10000 \text{ } \Omega/\square$ 以下、波長 550 nm における透光率が 70% 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1 \text{ } \Omega \cdot \text{cm}$ 以下であることが好ましい。

【0058】

導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの 2 種以上の共重合体などがあげられる。

【0059】

導電膜 214 としては、反射性を有する金属膜を用いることができ、チタン、タングステン、ニッケル、金、白金、銀、銅、タンタル、モリブデン、アルミニウム、マグネシウム、カルシウム、リチウム、などの材料、又は上記材料の合金、若しくはその窒化物を用いて単層または積層で形成することが好ましい。また、一導電型を付与する不純物が添加された半導体膜と接する側の膜を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。

【0060】

導電膜 214 は、スパッタリング法や真空蒸着法で形成すればよい。また、導電膜 214 は、銀、金、銅などの導電性ナノペーストを用いてスクリーン印刷法、インクジェット法等を用いて吐出し焼成して形成しても良い。

【0061】

透光性導電膜 213 及び導電膜 214 上にマスク層 215a 乃至 215d を形成する（図 4（D）参照。）。本実施の形態では、マスク層 215a 乃至 215d は、マスク層 207a 乃至 207d と同様に多階調（高階調）マスクを用いた露光を行って形成する。

【0062】

多階調マスクを用いて露光した後、現像することで、図 4（D）に示すように膜厚の異なる

10

20

30

40

50

る領域を有するマスク層 2 1 5 a 乃至 2 1 5 d を形成することができる。

【 0 0 6 3 】

マスク層 2 1 5 a 乃至 2 1 5 d を用いて、半導体層 2 1 1、一導電型を付与する不純物が添加された半導体層 2 1 2、透光性導電膜 2 1 3 及び導電膜 2 1 4 をエッチングし、凹部を有する半導体層 2 1 6、一導電型を付与する不純物が添加された半導体層であるソース領域又はドレイン領域 2 1 7 a、2 1 7 b、透光性導電層 2 1 8 a、2 1 8 b、2 1 9、2 2 0、導電層 2 2 1 a、2 2 1 b、2 2 2、2 2 3 を形成する（図 5（A）参照。）。10

【 0 0 6 4 】

次に、マスク層 2 1 5 a 乃至 2 1 5 d をアッシングする。この結果、マスク層 2 1 5 a 乃至 2 1 5 d の面積が縮小し、厚さが薄くなる。このとき、マスク層 2 1 5 a 乃至 2 1 5 d の膜厚の薄い領域のレジストは除去され、マスク層 2 2 4 a 乃至 2 2 4 d を形成することができる（図 5（B）参照。）。また、マスク層 2 1 5 a 乃至 2 1 5 d は等方的にアッシングされるため、マスク層 2 2 4 a 乃至 2 2 4 d の端部は、マスク層 2 1 5 a 乃至 2 1 5 d の端部と一致せずより後退し縮小する。

【 0 0 6 5 】

マスク層 2 2 4 a 乃至 2 2 4 d を用いて、導電層 2 2 1 a、2 2 1 b、2 2 2、2 2 3 をエッチングし、ソース電極層又はドレイン電極層として機能する導電層 2 2 5 a、2 2 5 b、導電層 2 2 6、導電層 2 2 7 を形成する（図 5（C）参照。）。20

【 0 0 6 6 】

透光性導電層 2 1 8 b 上の導電層 2 2 1 b を選択的に除去し、透光性導電層 2 1 8 b を露出させることで、画素電極層を形成する。画素電極層として用いる領域を透光性導電層とすることで透過型液晶表示装置を作製することができ、画素電極層として用いる領域に一部反射性の導電層を残存させると半透過型液晶表示装置を作製することができる。20

【 0 0 6 7 】

マスク層 2 2 4 a 乃至 2 2 4 d の形状を反映し、導電層 2 2 5 a、2 2 5 b の端部は、積層する透光性導電層 2 1 8 a、2 1 8 b 及びソース領域又はドレイン領域 2 1 7 a、2 1 7 b の端部と一致せずより縮小して後退し、導電層 2 2 5 a、2 2 5 b の外側に透光性導電層 2 1 8 a、2 1 8 b 及びソース領域又はドレイン領域 2 1 7 a、2 1 7 b が突出した形状となる。同様に導電層 2 2 6、2 2 7 の外側に透光性導電層 2 1 9、2 2 0 が突出した形状となる。この後、マスク層 2 2 4 a 乃至 2 2 4 d を除去する。30

【 0 0 6 8 】

次に、導電層 2 2 5 a、2 2 5 b、導電層 2 2 6、2 2 7、透光性導電層 2 1 8 a、2 1 8 b、2 1 9、2 2 0、ソース領域又はドレイン領域 2 1 7 a、2 1 7 b、凹部を有する半導体層 2 1 6、及びゲート絶縁層 2 0 4 上に絶縁膜 2 2 8 を形成する（図 5（D）参照。）。30

【 0 0 6 9 】

絶縁膜 2 2 8 は、ゲート絶縁層 2 0 4 と同様に形成することができる。なお、絶縁膜 2 2 8 は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。本実施の形態では窒化珪素膜を用いる。40

【 0 0 7 0 】

絶縁膜 2 2 8 上にマスク層 2 2 9 a 乃至 2 2 9 c を形成する（図 6（A）参照。）。40

【 0 0 7 1 】

ゲート配線層 2 0 3、ソース配線層 2 0 1、2 0 2、導電層 2 2 5 a、2 2 5 b、導電層 2 2 6、2 2 7 として用いる導電層は、光に対して反射性を有する導電性材料を用い、一方透光性基板 2 0 0 や透光性導電層 2 1 8 a、2 1 8 b、2 1 9、2 2 0 には透光性を有する材料を用いる。薄膜トランジスタの保護膜として機能する絶縁膜 2 2 8 のエッチング工程に用いるマスク層 2 2 9 a 乃至 2 2 9 c を形成する露光工程において、透光性基板 2 0 0 の素子形成側の反対側（裏側ともいう）より光を照射して、反射性を有するゲート配線層 2 0 3、ソース配線層 2 0 1、2 0 2、導電層 2 2 5 a、2 2 5 b、導電層 2 2 6、2 2 7 として用いる導電層をマスクとして裏面露光を行うことができる。従って、絶縁膜 50

２２８のエッチング用の露光マスクを形成しなくてもよいため、さらにフォトリソグラフィ工程の回数を削減することができる。

【００７２】

さらにフォトリソグラフィ工程によって形成されたマスク層は、加熱処理（リフローともいう）によって形状を加工することができる。本実施の形態では、マスク層２２９ａ乃至２２９ｃに加熱処理を行い、マスク層２３０ａ乃至２３０ｃを形成する（図６（Ｂ）参照。）。加熱処理によってマスク層２２９ａ乃至２２９ｃは、その周辺が拡大するように延長し、面積が大きくなるためより絶縁膜２２８上の広い領域を覆うマスク層２３０ａ乃至２３０ｃとなる。マスク層２３０ａ乃至２３０ｃは少なくともゲート配線層２０３、ソース配線層２０１、２０２、導電層２２５ａ、２２５ｂ、導電層２２６、２２７の端部より外側まで面積が広がればよい。画素電極として機能する透光性導電層２１８ｂを覆う導電層２２５ｂ上のマスク層２３０ｂにおいては、加熱処理によってあまりマスク層２３０ｂの面積を大きくすると開口率が低下してしまうため加熱条件を制御する。

10

【００７３】

マスク層２３０ａ乃至２３０ｃをマスクとして絶縁膜２２８をエッチングし、絶縁膜２３１ａ乃至２３１ｃを形成する（図６（Ｃ）参照。）。絶縁膜２３１ａ乃至２３１ｃはマスク層２３０ａ乃至２３０ｃの形状を反映するため、ゲート配線層２０３、ソース配線層２０１、２０２、導電層２２５ａ、２２５ｂ、導電層２２６、２２７の端部を覆う形状となる。

【００７４】

ソース電極層又はドレイン電極層として機能する導電層２２５ｂと画素電極層として機能する透光性導電層２１８ｂとが絶縁膜２３１ａを介さずに直接接して設けられる構成であるため、ソース電極層又はドレイン電極層と画素電極層間に形成される寄生容量を低減できる。ゲート配線層２０３上のみに反射性の導電層２２５ｂを残存させることで、開口率を向上させることができる。また、導電層２２５ｂは完全に除去して設けなくてもよいが、その場合導電層２２５ｂの形成領域下のゲート配線層をブラックマトリクスなどの遮光膜によって隠す（覆う）ことが好ましい。一方、ソース配線層は画素電極層とゲート絶縁層を介して形成されるため、微細な設計であっても形状不良によるソース配線層と画素電極層とのショートなどの電氣的不良を防ぐことができる。

20

【００７５】

以上の工程で、本実施の形態のチャネルエッチ構造の逆スタガ型薄膜トランジスタである薄膜トランジスタ２３５を形成する（図６（Ｃ）及び図２（Ａ）参照。）。端子部であるＹ－Ｙ'、Ｚ－Ｚ'においても、透光性導電層２１９、２２０が露出する。露出した透光性導電層２１９、２２０は異方性導電膜などの導電性接着剤を介して、外部の駆動回路と電氣的に接続することができる。

30

【００７６】

画素電極層として機能する透光性導電層２１８ｂの露出領域に接するように液晶素子を形成し、薄膜トランジスタ２３５と液晶素子を電氣的に接続することができる。例えば、透光性導電層２１８ｂ上に配向膜を形成し、同様に配向膜を設けた対向電極を対峙させ配向膜間に液晶層を形成すればよい。本実施の形態では画素電極層として透光性導電層２１８ｂのみを用いるため、透過型液晶表示装置を作製することができる。

40

【００７７】

このように、本実施の形態により露光マスク数を削減することでフォトリソグラフィ工程を簡略化し、信頼性のある表示装置を低コストで生産性よく作製することができる。

【００７８】

本発明において、表示装置は表示素子を含む。表示素子としては本実施の形態で示すように液晶素子（液晶表示素子）を好適に用いることができる。また、エレクトロルミネセンス（以下「ＥＬ」ともいう。）と呼ばれる発光を発現する有機物、無機物、若しくは有機物と無機物の混合物を含む層を、電極間に介在させた発光素子（ＥＬ素子）を用いてもよい。また、電子インクなど、電氣的作用によりコントラストが変化する表示媒体も適用す

50

ることができる。なお、ＥＬ素子を用いた表示装置としてはＥＬディスプレイ、液晶素子を用いた表示装置としては液晶ディスプレイ、透過型液晶ディスプレイ、半透過型液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

【００７９】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むＩＣ等を実装した状態にあるモジュールとを含む。さらに本発明は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極層のみが形成された状態であっても良いし、画素電極層となる導電膜を成膜した後であって、エッチングして画素電極層を形成する前の状態であ

10

【００８０】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばＦＰＣ（Flexible printed circuit）もしくはＴＡＢ（Tape Automated Bonding）テープもしくはＴＣＰ（Tape Carrier Package）が取り付けられたモジュール、ＴＡＢテープやＴＣＰの先にプリント配線板が設けられたモジュール、または表示素子にＣＯＧ（Chip On Glass）方式によりＩＣ（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【００８１】

20

（実施の形態２）

本実施の形態は、実施の形態１において、薄膜トランジスタの形状が異なる例である。従って、他は実施の形態１と同様に行うことができ、実施の形態１と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。

【００８２】

本実施の形態のチャネルエッチ構造の逆スタガ型薄膜トランジスタである薄膜トランジスタ２４０を図８に示す。

【００８３】

図８において、基板２４８上に、ゲート電極層２４１、ゲート絶縁層２４２、微結晶半導体膜である半導体層２４３、バッファ層２４４、ソース領域又はドレイン領域２４５ａ、２４５ｂ、透光性導電層２４６ａ、２４６ｂ、導電層２４７ａ、２４７ｂを含む薄膜トランジスタ２４０が設けられており、薄膜トランジスタ２４０を覆うように絶縁膜２４９が設けられている。透光性導電層２４６ａと導電層２４７ａの積層、透光性導電層２４６ｂと導電層２４７ｂの積層とはソース電極層又はドレイン電極層として機能する。また透光性導電層２４６ｂは絶縁膜２４９より露出しており画素電極層として機能する。

30

【００８４】

本実施の形態では、半導体層２４３として微結晶半導体膜を用いて、半導体層２４３とソース領域又はドレイン領域２４５ａ、２４５ｂとの間にバッファ層２４４を形成する。

【００８５】

半導体層２４３上にバッファ層２４４を設ける構造であるため、半導体層２４３に対する工程時におけるダメージ（エッチング時のプラズマによるラジカルやエッチング剤による膜減りや、酸化など）を防ぐことができる。従って薄膜トランジスタ２４０の信頼性を向上させることができる。

40

【００８６】

半導体層２４３に用いる微結晶半導体膜を、水素プラズマを作用させつつ（作用させた）ゲート絶縁層２４２表面に形成してもよい。水素プラズマを作用させたゲート絶縁層上に微結晶半導体膜を形成すると、微結晶の結晶成長を促進することができる。また、ゲート絶縁層及び微結晶半導体膜の界面における格子歪を低減することが可能であり、ゲート絶縁層及び微結晶半導体膜の界面特性を向上させることができる従って得られる微結晶半導体膜は電気特性が高く信頼性のよいものとすることができる。

50

【0087】

ゲート絶縁層、微結晶半導体膜、バッファ層、ソース領域及びドレイン領域を形成する一導電型を付与する不純物が添加された半導体膜を形成する反応室は、同一の反応室を用いて行っても良いし、膜種ごとに異なる反応室で行ってもよい。

【0088】

反応室は基板を搬入して成膜する前に、クリーニング、フラッシング（洗浄）処理（水素をフラッシュ物質として用いた水素フラッシュ、シランをフラッシュ物質として用いたシランフラッシュなど）、各反応室の内壁を保護膜でコーティングする（プリコート処理ともいう）を行うと好ましい。プリコート処理は反応室内に成膜ガスを流しプラズマ処理することによって、あらかじめ反応室内側を成膜する膜による保護膜によって薄く覆う処理である。フラッシング処理、プリコート処理により、反応室の酸素、窒素、フッ素などの不純物による成膜する膜への汚染を防ぐことができる。

10

【0089】

なお、ゲート絶縁層、微結晶半導体膜、バッファ層、及びソース領域及びドレイン領域を形成する一導電型を付与する不純物が添加された半導体膜を大気に触れさせることなく連続的に形成してもよい。ゲート絶縁層、微結晶半導体膜、バッファ層、及びソース領域及びドレイン領域を形成する一導電型を付与する不純物が添加された半導体膜を大気に触れさせることなく連続成膜することで、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各種層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

20

【0090】

ゲート絶縁層242の3層積層構造の例として、ゲート電極層241上に1層目として窒化珪素膜または窒化酸化珪素膜と、2層目として酸化窒化珪素膜と、3層目として窒化珪素膜とを積層とし、最上層の窒化珪素膜上に微結晶半導体膜を形成してもよい。この場合、1層目の窒化珪素膜または窒化酸化珪素膜は膜厚が50nmより厚い方がよく、ナトリウムなどの不純物を遮断するバリア、ゲート電極のヒロックの防止、ゲート電極の酸化防止などの効果を奏する。3層目の窒化珪素膜は微結晶半導体膜の密着性向上、微結晶半導体膜にレーザ照射を行うLP処理の際に酸化防止としての効果を奏する。

【0091】

このようにゲート絶縁層表面に極薄膜の窒化珪素膜のような窒化膜を形成することで微結晶半導体膜の密着性を向上することができる。窒化膜はプラズマCVD法により成膜してもよく、マイクロ波による高密度で低温なプラズマ処理によって窒化処理を行ってもよい。また、反応室にシランフラッシュ処理を行う際に窒化珪素膜、窒化酸化珪素膜を形成してもよい。

30

【0092】

また、微結晶半導体膜は、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いn型の電気伝導性を示すので、薄膜トランジスタのチャネル形成領域として機能する微結晶半導体膜に対しては、p型を付与する不純物元素を、成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。p型を付与する不純物元素としては、代表的には硼素であり、 B_2H_6 、 BF_3 などの不純物気体を1ppm~1000ppm、好ましくは1~100ppmの割合で水素化珪素に混入させると良い。そしてボロンの濃度を、例えば $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$ とすると良い。また、微結晶半導体膜にn型を付与する不純物元素であるリンを含ませてもよい。

40

【0093】

微結晶半導体膜は、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体を含む膜である。この半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その膜表面より見た粒径が0.5~20nmの柱状または針状結晶が基板表面に対して法線方向に成長している。また、微結晶半導体と非単結晶半導体とが混在している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 521 cm^{-1} よりも

50

低周波数側に、シフトしている。即ち、単結晶シリコンを示す 521 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。このような微結晶半導体膜に関する記述は、例えば、米国特許4,409,134号で開示されている。

【0094】

この微結晶半導体膜は、周波数が数十MHz～数百MHzの高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成することができる。代表的には、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を5倍以上200倍以下、好ましくは50倍以上150倍以下、更に好ましくは100倍とする。

【0095】

また、微結晶半導体膜の酸素濃度を、 $5 \times 10^{19}\text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{19}\text{ atoms/cm}^3$ 以下、窒素及び炭素の濃度それぞれを $1 \times 10^{18}\text{ atoms/cm}^3$ 以下とすることが好ましい。酸素、窒素、及び炭素が微結晶半導体膜に混入する濃度を低減することで、微結晶半導体膜がn型化になることを防止することができる。

【0096】

微結晶半導体膜は、0nmより厚く50nm以下、好ましくは0nmより厚く20nm以下で形成する。

【0097】

微結晶半導体膜は後に形成される薄膜トランジスタのチャネル形成領域として機能する。微結晶半導体膜の厚さを上記の範囲内とすることで、後に形成される薄膜トランジスタは、完全空乏型となる。また、微結晶半導体膜は微結晶で構成されているため、非晶質半導体膜と比較して抵抗が低い。このため、微結晶半導体膜を用いた薄膜トランジスタは、電流電圧特性を示す曲線の立ち上がり部分の傾きが急峻となり、スイッチング素子としての応答性が優れ、高速動作が可能となる。また、薄膜トランジスタのチャネル形成領域に微結晶半導体膜を用いることで、薄膜トランジスタのしきい値電圧の変動を抑制することが可能である。このため、電気特性のばらつきの少ない表示装置を作製することができる。

【0098】

また、微結晶半導体膜は非晶質半導体膜と比較して移動度が高い。このため、表示素子のスイッチングとして、チャネル形成領域が微結晶半導体膜で形成される薄膜トランジスタを用いることで、チャネル形成領域の面積、即ち薄膜トランジスタの面積を縮小することが可能である。このため、一画素あたりに示す薄膜トランジスタの面積が小さくなり、画素の開口率を高めることが可能である。この結果、解像度の高い装置を作製することができる。

【0099】

また、微結晶半導体膜は下側から縦方向に成長し、針状結晶である。微結晶半導体膜には非晶質と結晶構造が混在しており、結晶領域と非晶質領域との間に局部応力でクラックが発生し、隙間ができやすい。この隙間に新たなラジカルが介入して結晶成長を起こしうる。しかし上方の結晶面が大きくなるため、針状に上方に成長しやすい。このように微結晶半導体膜は縦方向に成長しても、非晶質半導体膜の成膜速度に比べて1/10～1/100の早さである。

【0100】

バッファ層は、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、S

10

20

30

40

50

i F_4 などの珪素気体（水素化珪素気体、ハロゲン化珪素気体）を用いて、プラズマCVD法により形成することができる。また、上記シランに、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して非晶質半導体膜を形成することができる。水素化珪素の流量の1倍以上20倍以下、好ましくは1倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素を用いて、水素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と窒素またはアンモニアとを用いることで、窒素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と、フッ素、塩素、臭素、またはヨウ素を含む気体（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等）を用いることで、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。

10

【0101】

また、バッファ層は、ターゲットに非晶質半導体を用いて水素、または希ガスでスパッタリングして非晶質半導体膜を形成することができる。このとき、アンモニア、窒素、または N_2O を雰囲気中に含ませることにより、窒素を含む非晶質半導体膜を形成することができる。また、雰囲気中にフッ素、塩素、臭素、またはヨウ素を含む気体（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等）を含ませることにより、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。

【0102】

また、バッファ層として、微結晶半導体膜の表面にプラズマCVD法またはスパッタリング法により非晶質半導体膜を形成した後、非晶質半導体膜の表面を水素プラズマ、窒素プラズマ、またはハロゲンプラズマ、希ガス（ヘリウム、アルゴン、クリプトン、ネオン）によるプラズマで処理して、非晶質半導体膜の表面を水素化、窒素化、またはハロゲン化してもよい。

20

【0103】

バッファ層は、非晶質半導体膜で形成することが好ましい。このため、周波数が数十MHz～数百MHzの高周波プラズマCVD法、またはマイクロ波プラズマCVD法で形成する場合は、非晶質半導体膜となるように、成膜条件を制御することが好ましい。

【0104】

バッファ層は、代表的には、10nm以上50nm以下の厚さで形成することが好ましい。また、バッファ層に含まれる窒素、炭素、及び酸素の総濃度を $1 \times 10^{20} \text{ atoms/cm}^3 \sim 15 \times 10^{20} \text{ atoms/cm}^3$ とすることが好ましい。上記濃度であれば膜厚が10nm以上50nm以下であってもバッファ層を、高抵抗領域として機能させることができる。

30

【0105】

バッファ層を、膜厚を150nm以上200nm以下とし、含まれる炭素、窒素、酸素のそれぞれの濃度は、 $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下としてもよい。

【0106】

微結晶半導体膜の表面に、バッファ層として非晶質半導体膜、又は水素、窒素、またはハロゲンを含む非晶質半導体膜を形成することで、微結晶半導体膜に含まれる結晶粒の表面の自然酸化を防止することが可能である。微結晶半導体膜の表面にバッファ層を形成することで、微結晶粒の酸化を防ぐことができる。バッファ層には水素、及び/又は、フッ素が混入していることにより、酸素が微結晶半導体膜に進入することを防止する効果がある。

40

【0107】

また、バッファ層は、非晶質半導体膜を用いて、または、水素、窒素、若しくはハロゲンを含む非晶質半導体膜を用いて形成するため、チャネル形成領域として機能する微結晶半導体膜よりも抵抗が高い。このため、後に形成される薄膜トランジスタにおいて、ソース領域及びドレイン領域と、微結晶半導体膜との間に形成されるバッファ層は高抵抗領域として機能する。このため、薄膜トランジスタのオフ電流を低減することができる。当該薄

50

膜トランジスタを表示装置のスイッチング素子として用いた場合、表示装置のコントラストを向上させることができる。

【0108】

半導体層、バッファ層、ソース領域及びド레인領域の端部をテーパを有する形状にエッチングすることで、一導電型を付与する不純物が添加された半導体膜であるソース領域及びド레인領域と半導体層とが直接接することを防ぐことができる。端部のテーパ角は $90^{\circ} \sim 30^{\circ}$ 、好ましくは $80^{\circ} \sim 45^{\circ}$ とする。これにより、ソース領域及びド레인領域と半導体層間が長くなりリーク電流の発生を防ぐことができる。また、段差形状による配線の段切れを防ぐことができる。

【0109】

バッファ層は、ソース領域及びド레인領域下のバッファ層と半導体層のチャネル形成領域上のバッファ層は同一材料であり同時に形成される連続膜である。半導体層上のバッファ層は含まれる水素によって外部の空気、エッチング残渣を遮断し、半導体層を保護する。

【0110】

一導電型を付与する不純物を含まないバッファ層を設けることによって、ソース領域及びド레인領域に含まれる一導電型を付与する不純物と微結晶半導体膜である半導体層のしきい値電圧制御用の一導電型を付与する不純物が相互に混ざらないようにすることができる。一導電型を付与する不純物が混ざると再結合中心ができ、リーク電流が流れてしまい、オフ電流低減の効果が得られなくなってしまう。

【0111】

以上のようにバッファ層を設けることにより、リーク電流が低減された高耐圧の薄膜トランジスタを作製することができる。従って、15Vの電圧を印加する液晶表示装置に用いる薄膜トランジスタの場合でも信頼性が高く好適に用いることができる。

【0112】

微結晶半導体膜でチャネル形成領域を構成することにより $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。従って、この薄膜トランジスタを画素部の画素のスイッチング用素子として、さらに走査線（ゲート線）側の駆動回路を形成する素子として利用することができる。

【0113】

本実施の形態により、電気特性が高く信頼性のよい薄膜トランジスタを有する表示装置を作製することができる。また露光マスク数を削減することでフォトリソグラフィ工程を簡略化し、信頼性のある表示装置を低コストで生産性よく作製することができる。

【0114】

（実施の形態3）

本実施の形態では、実施の形態2において微結晶半導体膜にレーザ光を照射する作製工程例を説明する。

【0115】

透光性基板上にゲート電極層を形成し、ゲート電極層を覆うようにゲート絶縁層を形成する。そしてゲート絶縁層上に微結晶半導体膜として微結晶シリコン（SAS）膜を堆積する。微結晶半導体膜の膜厚は1nm以上15nm未満、より好ましくは2nm以上10nm以下とすればよい。特に膜厚5nm（4～8nm）であると、レーザ光に対して吸収率が高いため、生産性が向上する。

【0116】

ゲート絶縁層上にプラズマCVD法等で微結晶半導体膜を成膜しようとする場合、ゲート絶縁層と、結晶を含む半導体膜との界面付近に、半導体膜よりも非晶質成分を多く含む領域（ここでは界面領域と呼ぶ）が形成されることがある。また、プラズマCVD法等で膜厚10nm程度以下の極薄い微結晶半導体膜を成膜しようとする場合、微結晶粒を含む半導体膜を形成することはできるが、膜全体に渡って均一に良質の微結晶粒を含む半導体膜を得ることは困難である。これらの場合において、以下に示すレーザ光を照射するレーザ

10

20

30

40

50

処理は有効である。

【0117】

次いで、微結晶シリコン膜の表面側からレーザ光を照射する。レーザ光は、微結晶シリコン膜が溶融しないエネルギー密度で照射する。すなわち、本実施の形態によるレーザ処理（Laser Process、以下「LP」ともいう。）は、輻射加熱により微結晶シリコン膜を溶融させないで行う固相結晶成長によるものである。すなわち、堆積された微結晶シリコン膜が液相にならない臨界領域を利用するものであり、その意味において「臨界成長」ともいうことができる。

【0118】

レーザ光は微結晶シリコン膜とゲート絶縁層の界面にまで作用させることができる。それにより、微結晶シリコン膜の表面側における結晶を種として、該表面からゲート絶縁層の界面に向けて固相結晶成長が進み略柱状の結晶が成長する。LP処理による固相結晶成長は、結晶粒径を拡大させるものではなく、むしろ膜の厚さ方向における結晶性を改善するものである。

10

【0119】

LP処理は矩形長尺状に集光（線状レーザ光）することで、例えば730mm×920mmのガラス基板上の微結晶シリコン膜を1回のレーザ光スキャンで処理することができる。この場合、線状レーザ光を重ね合わせる割合（オーバーラップ率）を0～90%（好ましくは0～67%）として行う。これにより、基板1枚当たりの処理時間が短縮され、生産性を向上させることができる。レーザ光の形状は線状に限定されるものでなく面状としても同様に処理することができる。また、本LP処理は前記ガラス基板のサイズに限定されず、さまざまなものに適用することができる。

20

【0120】

LP処理により、ゲート絶縁層界面領域の結晶性が改善され、本実施の形態の薄膜トランジスタのようなボトムゲート構造を有する薄膜トランジスタの電気的特性を向上させる作用を奏する。

【0121】

このような臨界成長においては、従来の低温ポリシリコンで見られた表面の凹凸（リッジと呼ばれる凸状体）が形成されず、LP処理後のシリコン表面は平滑性が保たれていることも特徴である。

30

【0122】

本実施の形態におけるように、成膜後の微結晶シリコン膜に直接的にレーザ光を作用させて得られる結晶性のシリコン膜は、従来における堆積されたままの微結晶シリコン膜、伝導加熱により改質された微結晶シリコン膜とは、その成長メカニズム及び膜質が明らかに異なっている。本明細書では、成膜後の微結晶半導体膜にLP処理を行って得られる結晶性の半導体膜をLPSS膜と呼ぶ。

【0123】

LPSS膜などの微結晶半導体膜を形成した後、プラズマCVD法によりバッファ層として非晶質シリコン（a-Si:H）膜を300～400の温度にて成膜する。この成膜処理により水素がLPSS膜に供給され、LPSS膜の水素化をしたのと同等の効果が得られる。すなわち、LPSS膜上に非晶質シリコン膜を堆積することにより、LPSS膜に水素を拡散させてダングリングボンドの終端をすることができる。

40

【0124】

以降の工程は、実施の形態1と同様に薄膜トランジスタを有する表示装置を作製する。

【0125】

また、本実施の形態は、実施の形態2と適宜組み合わせることができる。

【0126】

（実施の形態4）

次に、本発明の表示装置の一形態である表示パネルの構成について、以下に示す。本実施の形態の表示装置は液晶表示素子を有する液晶表示装置の一形態である液晶表示パネルの

50

例を示す。

【 0 1 2 7 】

図 9 に、信号線駆動回路 6 0 1 3 のみを別途形成し、基板 6 0 1 1 上に形成された画素部 6 0 1 2 と接続している表示パネルの形態を示す。本実施の形態では、画素部 6 0 1 2 及び走査線駆動回路 6 0 1 4 は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。微結晶半導体膜を用いた薄膜トランジスタよりも高い移動度が得られるトランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させることができる。なお、信号線駆動回路 6 0 1 3 は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いた薄膜トランジスタ、または S O I を用いたトランジスタであっても良い。画素部 6 0 1 2 と、信号線駆動回路 6 0 1 3 と、走査線駆動回路 6 0 1 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 1 5 を介して供給される。

10

【 0 1 2 8 】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。

【 0 1 2 9 】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えば F P C 上に貼り合わせるようにしても良い。図 9 (B) に、信号線駆動回路 6 0 2 3 のみを別途形成し、基板 6 0 2 1 上に形成された画素部 6 0 2 2 及び走査線駆動回路 6 0 2 4 と接続している表示パネルの形態を示す。本実施の形態では、画素部 6 0 2 2 及び走査線駆動回路 6 0 2 4 は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。信号線駆動回路 6 0 2 3 は、F P C 6 0 2 5 を介して画素部 6 0 2 2 と接続されている。画素部 6 0 2 2 と、信号線駆動回路 6 0 2 3 と、走査線駆動回路 6 0 2 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 2 5 を介して供給される。

20

【 0 1 3 0 】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、微結晶半導体膜を用いた薄膜トランジスタを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電氣的に接続するようにしても良い。図 9 (C) に、信号線駆動回路が有するアナログスイッチ 6 0 3 3 a を、画素部 6 0 3 2、走査線駆動回路 6 0 3 4 と同じ基板 6 0 3 1 上に形成し、信号線駆動回路が有するシフトレジスタ 6 0 3 3 b を別途異なる基板に形成して貼り合わせる表示パネルの形態を示す。本実施の形態では、画素部 6 0 3 2 及び走査線駆動回路 6 0 3 4 は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。信号線駆動回路が有するシフトレジスタ 6 0 3 3 b は、F P C 6 0 3 5 を介して画素部 6 0 3 2 と接続されている。画素部 6 0 3 2 と、信号線駆動回路と、走査線駆動回路 6 0 3 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 3 5 を介して供給される。

30

【 0 1 3 1 】

図 9 に示すように、本発明の表示装置は、駆動回路の一部または全部を、画素部と同じ基板上に、微結晶半導体膜を用いた薄膜トランジスタを用いて形成することができる。

【 0 1 3 2 】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知の C O G 方法、ワイヤボンディング方法、或いは T A B 方法などを用いることができる。また接続する位置は、電氣的な接続が可能であるならば、図 9 に示した位置に限定されない。また、コントローラ、C P U、メモリ等を別途形成し、接続するようにしても良い。

40

【 0 1 3 3 】

なお本発明で用いる信号線駆動回路は、シフトレジスタとアナログスイッチのみを有する形態に限定されない。シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコーダ回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラ

50

タッチ等を用いても良い。

【0134】

次に、本発明の表示装置の一形態に相当する表示パネルの外観及び断面について、図10を用いて説明する。図10(A)は、第1の基板4001上に形成された薄膜トランジスタ4010及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図10(B)は、図10(A)のM-Nにおける断面図に相当する。

【0135】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路4003が実装されている。なお本実施の形態では、多結晶半導体膜を用いた薄膜トランジスタを有する信号線駆動回路を、第1の基板4001に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図10では、信号線駆動回路4003に含まれる、多結晶半導体膜で形成された薄膜トランジスタ4009を例示する。

【0136】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図10(B)では、画素部4002に含まれる薄膜トランジスタ4010とを例示している。薄膜トランジスタ4010は実施の形態1に示す薄膜トランジスタに相当し、実施の形態1に示す工程で同様に作製することができる。

【0137】

画素電極層として機能する透光性導電層4030によって、液晶素子4013と薄膜トランジスタ4010とは電氣的に接続されている。そして液晶素子4013の対向電極4031は第2の基板4006上に形成されている。透光性導電層4030と対向電極4031と液晶4008とが重なっている部分が、液晶素子4013に相当する。

【0138】

なお、第1の基板4001、第2の基板4006としては、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiber glass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。透過型の液晶表示装置の場合は、第1の基板及び第2の基板は透光性を有する必要があるが、半透過型の場合は反射領域に対応する部分は反射性の材料を用いてもよい。

【0139】

また4035は球状のスペーサであり、透光性導電層4030と対向電極4031との間の距離(セルギャップ)を制御するために設けられている。なお絶縁膜を選択的にエッチングすることで得られるスペーサを用いても良い。

【0140】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、配線4014、4015を介して、FPC4018から供給されている。

【0141】

本実施の形態では、接続端子4016が、TFT4010が有するゲート電極と同じ導電膜から形成されている。また、配線4014、4015は、液晶素子4013が有する透光性導電層4030と同じ導電膜で形成されている。

【0142】

接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電

10

20

30

40

50

氣的に接続されている。

【 0 1 4 3 】

なお図示していないが、本実施の形態に示した液晶表示装置は第 2 の基板 4 0 0 6 側にも配向膜を有し、また第 1 の基板 4 0 0 1 及び第 2 の基板 4 0 0 6 側に偏光板を有している。更にカラーフィルタや遮蔽膜を有していても良い。

【 0 1 4 4 】

また図 1 0 において、信号線駆動回路 4 0 0 3 を別途形成し、第 1 の基板 4 0 0 1 に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

10

【 0 1 4 5 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【 0 1 4 6 】

本発明を用いた本実施の形態により、露光マスク数を削減することでフォトリソグラフィ工程を簡略化し、信頼性のある表示装置を低コストで生産性よく作製することができる。

【 0 1 4 7 】

(実施の形態 5)

本発明により得られる表示装置等によって、表示モジュールに用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

20

【 0 1 4 8 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ等のカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 1 1 に示す。

【 0 1 4 9 】

図 1 1 (A) はテレビジョン装置である。表示モジュールを、図 1 1 (A) に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。F P C まで取り付けられた表示パネルのことを表示モジュールとも呼ぶ。表示モジュールにより主画面 2 0 0 3 が形成され、その他付属設備としてスピーカー部 2 0 0 9、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

30

【 0 1 5 0 】

図 1 1 (A) に示すように、筐体 2 0 0 1 に表示素子を利用した表示用パネル 2 0 0 2 が組みこまれ、受信機 2 0 0 5 により一般のテレビ放送の受信をはじめ、モデム 2 0 0 4 を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双方向（送信者と受信者間、又は受信者間同士）の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機 2 0 0 6 により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部 2 0 0 7 が設けられていても良い。表示用パネル 2 0 0 2 に、上記実施の形態に示す表示装置を適用することにより、低コストでかつ量産性を高めることができる。

40

【 0 1 5 1 】

また、テレビジョン装置にも、主画面 2 0 0 3 の他にサブ画面 2 0 0 8 を第 2 の表示用パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。

【 0 1 5 2 】

図 1 2 はテレビ装置の主要な構成を示すブロック図を示している。表示パネルには、画素部 9 0 1 が形成されている。信号線駆動回路 9 0 2 と走査線駆動回路 9 0 3 は、表示パネルに C O G 方式により実装されていても良い。

【 0 1 5 3 】

その他の外部回路の構成として、映像信号の入力側では、チューナ 9 0 4 で受信した信号のうち、映像信号を増幅する映像信号増幅回路 9 0 5 と、そこから出力される信号を赤、

50

緑、青の各色に対応した色信号に変換する映像信号処理回路 906 と、その映像信号をドライバ IC の入力仕様に換するためのコントロール回路 907 などを有している。コントロール回路 907 は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路 908 を設け、入力デジタル信号を m 個に分割して供給する構成としても良い。

【0154】

チューナ 904 で受信した信号のうち、音声信号は、音声信号増幅回路 909 に送られ、その出力は音声信号処理回路 910 を経てスピーカ 913 に供給される。制御回路 911 は受信局（受信周波数）や音量の制御情報を入力部 912 から受け、チューナ 904 や音声信号処理回路 910 に信号を送出する。

10

【0155】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

【0156】

図 11 (B) は携帯電話機 2301 の一例を示している。この携帯電話機 2301 は、表示部 2302、操作部 2303 などを含んで構成されている。表示部 2302 に、上記実施の形態に示す表示装置を適用することにより、低コストでかつ量産性を高めることができる。

【0157】

20

図 11 (C) に示す携帯型のコンピュータは、本体 2401、表示部 2402 等を含んでいる。表示部 2402 に、上記実施の形態に示す表示装置を適用することにより、低コストでかつ量産性を高めることができる。

【0158】

図 11 (D) に示す遊技機の一例であるスロットマシンは、本体 2501、表示部 2502 等を含んでいる。表示部 2502 に、上記実施の形態に示す表示装置を適用することにより、低コストでかつ量産性を高めることができる。

【図面の簡単な説明】

【0159】

【図 1】本発明の表示装置を説明する図。

30

【図 2】本発明の表示装置の作製方法を説明する図。

【図 3】本発明の表示装置の作製方法を説明する図。

【図 4】本発明の表示装置の作製方法を説明する図。

【図 5】本発明の表示装置の作製方法を説明する図。

【図 6】本発明の表示装置の作製方法を説明する図。

【図 7】本発明の表示装置を説明する図。

【図 8】本発明の表示装置を説明する図。

【図 9】本発明の表示装置を説明する図。

【図 10】本発明の表示装置を説明する図。

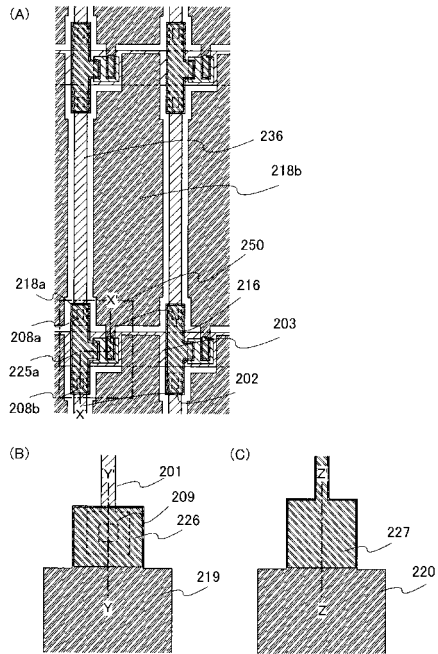
【図 11】本発明が適用される電子機器を示す図。

40

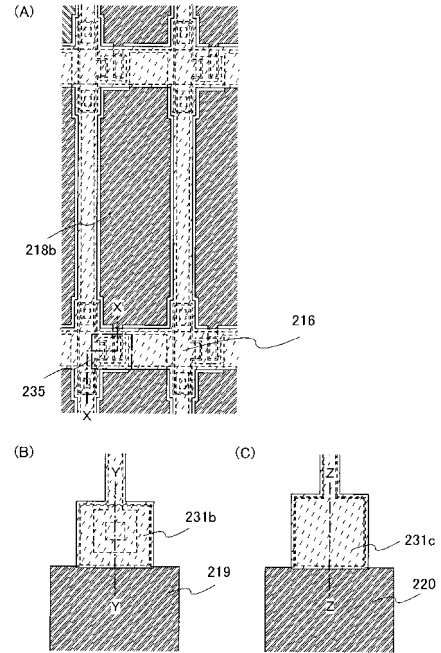
【図 12】本発明が適用される電子機器の主要な構成を示すブロック図。

【図 13】本発明に適用可能な多階調マスクを説明する図。

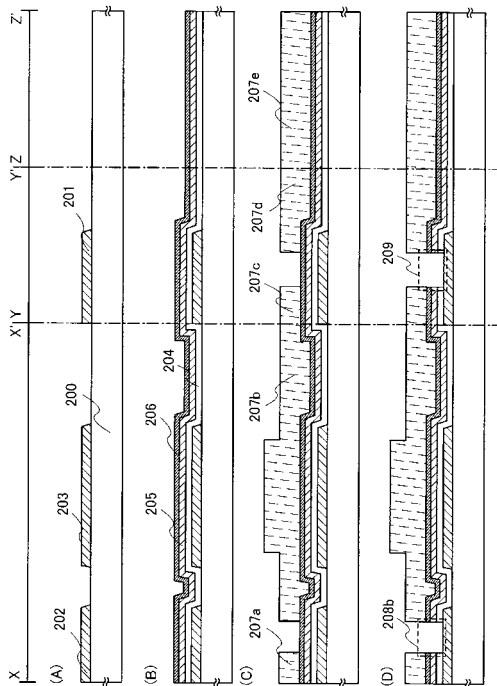
【図 1】



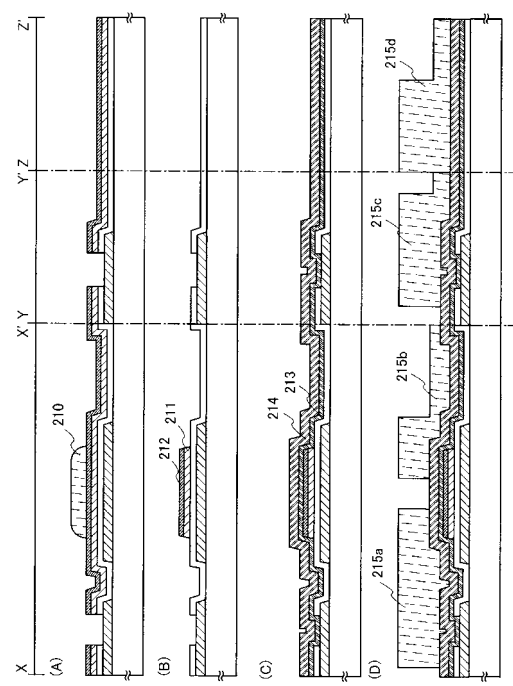
【図 2】



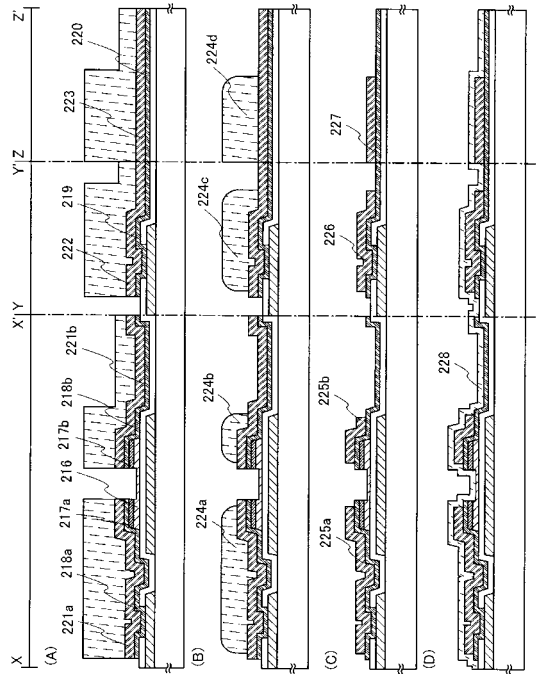
【図 3】



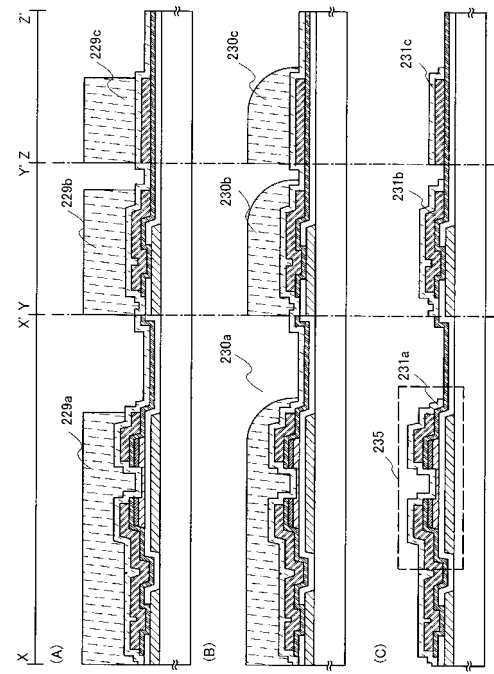
【図 4】



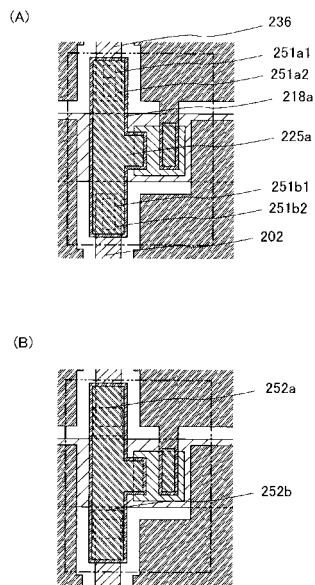
【図 5】



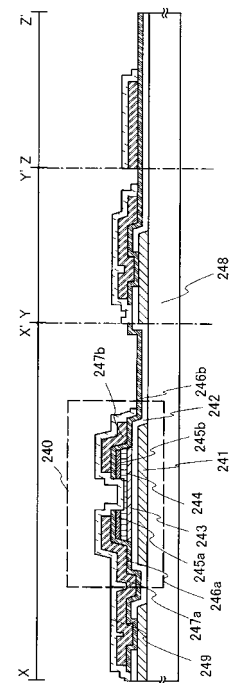
【図 6】



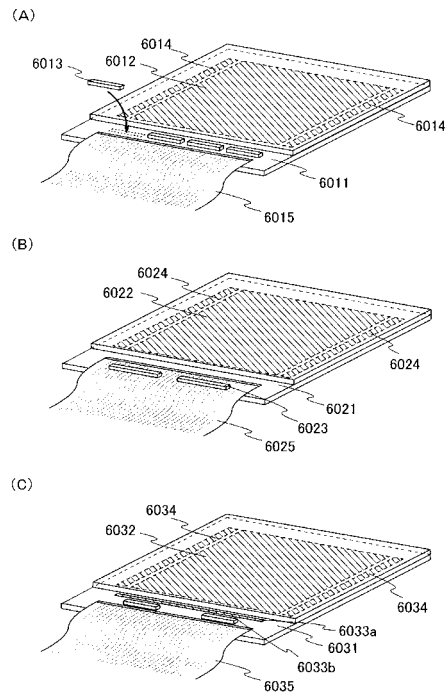
【図 7】



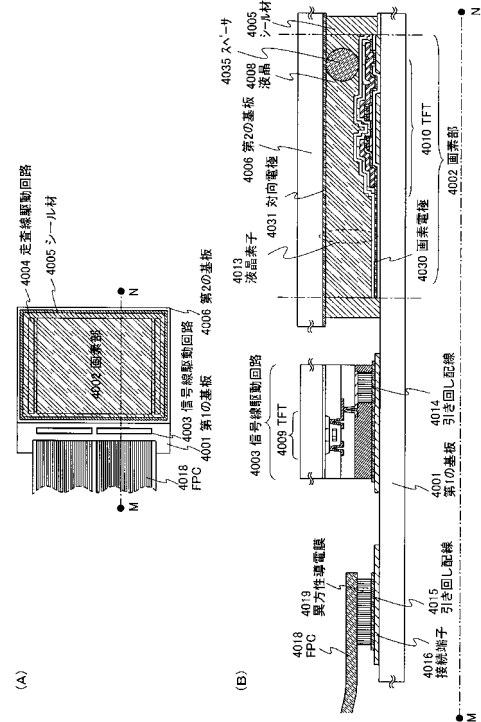
【図 8】



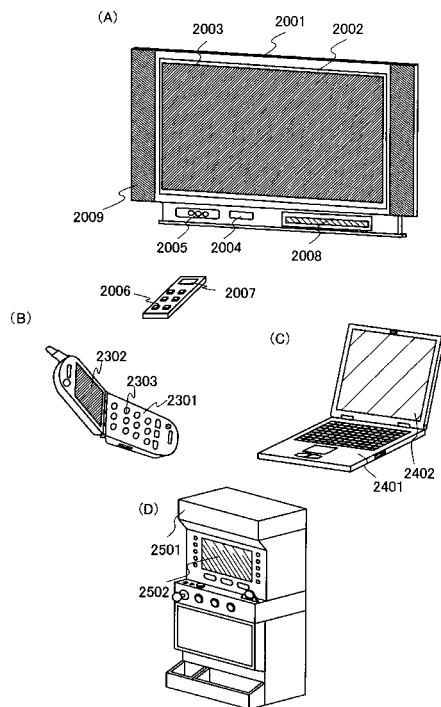
【 図 9 】



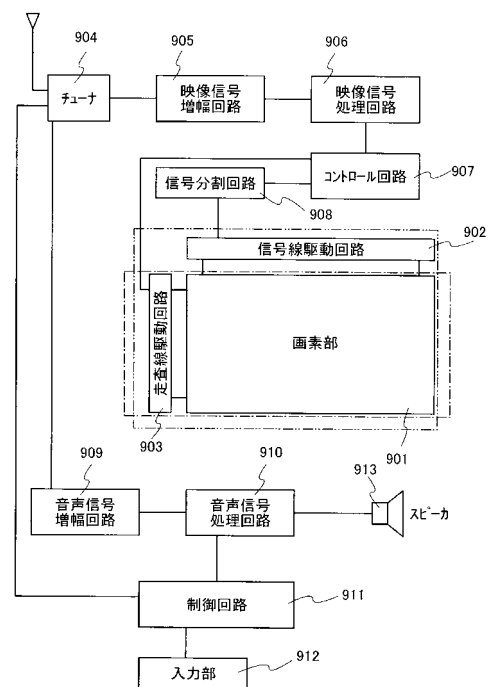
【 図 1 0 】



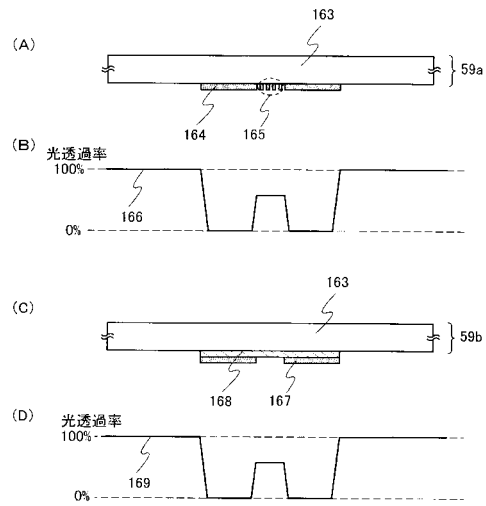
【 図 1 1 】



【圖 12】



【図 13】



フロントページの続き

(51)Int.Cl.			F I		
H 0 1 L	21/3205	(2006.01)	H 0 1 L	21/88	B
H 0 1 L	21/768	(2006.01)	H 0 1 L	21/28	3 0 1 R
H 0 1 L	21/28	(2006.01)	H 0 1 L	21/90	A
G 0 2 F	1/1368	(2006.01)	G 0 2 F	1/1368	

(56)参考文献 特開 2 0 0 6 - 3 3 2 1 5 8 (J P , A)
 特開 2 0 0 7 - 1 4 0 5 2 7 (J P , A)
 特開 2 0 0 7 - 1 8 3 5 7 9 (J P , A)
 特開 2 0 0 6 - 3 0 2 6 7 9 (J P , A)
 特開 2 0 0 7 - 2 4 3 1 4 4 (J P , A)
 特開 2 0 0 6 - 1 8 9 8 1 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 2 8 - 2 1 / 2 8 8
 H 0 1 L 2 1 / 3 2 0 5 - 2 1 / 3 2 1 3
 H 0 1 L 2 1 / 3 2 9
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 4 4 - 2 1 / 4 4 5
 H 0 1 L 2 1 / 7 6 8
 H 0 1 L 2 3 / 5 2 2
 H 0 1 L 2 3 / 5 3 2
 H 0 1 L 2 9 / 4 0 - 2 9 / 4 9
 H 0 1 L 2 9 / 7 8 6
 H 0 1 L 2 9 / 8 7 2
 H 0 1 L 5 1 / 5 0
 H 0 5 B 3 3 / 0 0 - 3 3 / 2 8
 G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 4 5
 G 0 2 F 1 / 1 3 5