



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년09월01일
 (11) 등록번호 10-1061531
 (24) 등록일자 2011년08월26일

(51) Int. Cl.
H01L 23/48 (2006.01) *H01L 23/12* (2006.01)
 (21) 출원번호 10-2010-0129888
 (22) 출원일자 2010년12월17일
 심사청구일자 2010년12월17일
 (56) 선행기술조사문헌
 KR100382035 B1*
 KR1020060120365 A*
 US20050164486 A1
 US6583502 B
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
테세라 리써치 엘엘씨
 미국 95134 캘리포니아주 산 호세 오차드 파크웨이 3025
 (72) 발명자
하바 벨가셈
 미국 캘리포니아주 95134 샌 호세 오차드 파크웨이 3025 테세라 리써치 엘엘씨내
조니 와엘
 미국 캘리포니아주 95134 샌 호세 오차드 파크웨이 3025 테세라 리써치 엘엘씨내
크리스프 리차드 드윗
 미국 캘리포니아주 95134 샌 호세 오차드 파크웨이 3025 테세라 리써치 엘엘씨내
 (74) 대리인
유미특허법인

전체 청구항 수 : 총 22 항

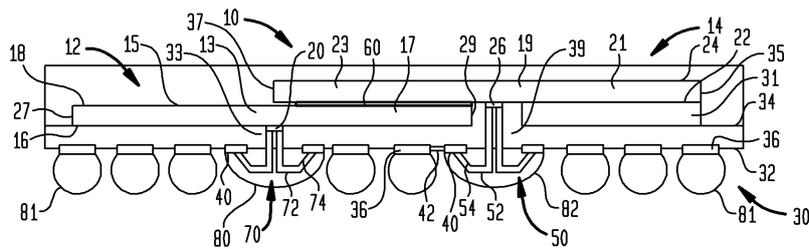
심사관 : 설관식

(54) 중앙 콘택을 구비하며 접지 또는 배전을 개선한 적층형 마이크로전자 조립체

(57) 요약

마이크로전자 조립체는 하나 이상의 개구를 가지며 제2 면에 노출된 단자를 갖는 전도성 요소를 구비하는 유전체 요소; 뒷면 및 유전체 요소와 마주 향하는 앞면을 가지며, 앞면에 노출된 다수의 콘택을 구비하는 제1 마이크로전자 요소; 뒷면 및 제1 마이크로전자 요소의 뒷면과 마주 향하는 앞면을 가지며, 앞면에 노출되고 제1 마이크로전자 요소의 에지를 넘어 돌출된 다수의 콘택을 구비하는 제2 마이크로전자 요소; 및 유전체 요소에 부착되며 제1 및 제2 개구 사이에 적어도 일부가 위치하는 전기 전도성의 판을 포함한다. 전기 전도성의 판은 제1 또는 제2 마이크로전자 요소 중의 적어도 하나의 요소의 하나 이상의 콘택과 전기적으로 접속된다.

대표도 - 도1



특허청구의 범위

청구항 1

반대 방향을 향하는 제1 면 및 제2 면과, 상기 제1 면 및 상기 제2 면 사이에서 연장된 제1 및 제2 개구를 가지며, 다수의 전도성 요소가 위에 배치된 유전체 요소(dielectric element);

뒷면 및 상기 유전체 요소와 마주 향하는 앞면을 가지며, 상기 앞면에 다수의 콘택(contact)이 노출된 제1 마이크로전자 요소(microelectronic element);

뒷면 및 상기 제1 마이크로전자 요소의 뒷면과 마주 향하는 앞면을 가지며, 상기 앞면에 노출되고 상기 제1 마이크로전자 요소의 에지를 넘어 돌출된 다수의 콘택을 포함하는 제2 마이크로전자 요소;

상기 제1 및 제2 마이크로전자 요소 중의 하나 이상의 요소에 접속되며, 상기 유전체 요소의 전도성 요소 중의 일부까지 상기 제1 개구를 통해 연장된 신호 리드(signal lead); 및

상기 유전체 요소에 부착되며, 상기 제1 및 제2 개구 사이에 적어도 일부분이 위치하고, 상기 제1 및 제2 마이크로전자 요소 중의 하나 이상의 요소의 상기 하나 이상의 콘택과 전기적으로 접속되는 전기 전도성의 판(electrically conductive plane)

을 포함하는 것을 특징으로 하는 마이크로전자 조립체.

청구항 2

제1항에 있어서,

상기 전기 전도성의 판은 그 전체가 상기 제1 및 제2 개구 사이에 위치하는, 마이크로전자 조립체.

청구항 3

제1항에 있어서,

상기 전기 전도성의 판은 전원판(power plane)인 것인, 마이크로전자 조립체.

청구항 4

제1항에 있어서,

상기 전기 전도성의 판은 접지면(ground plane)인 것인, 마이크로전자 조립체.

청구항 5

제1항에 있어서,

상기 전기 전도성의 판의 일부분이 상기 제1 및 제2 개구의 바깥쪽 에지를 넘어선 위치까지 연장된, 마이크로전자 조립체.

청구항 6

제1항에 있어서,

상기 전기 전도성의 판은 서로 떨어져 있는 둘 이상의 판 부분(plane portion)을 포함하는, 마이크로전자 조립체.

청구항 7

제6항에 있어서,

상기 둘 이상의 판 부분은, 상기 제1 및 제2 마이크로전자 요소 중 하나 이상의 요소의 적어도 몇몇 콘택에 전기적으로 접속되는 전원판 부분(power plane portion)과, 상기 제1 및 제2 마이크로전자 요소 중 하나 이상의 요소의 콘택에 전기적으로 접속되는 접지면 부분(ground plane portion)을 포함하는, 마이크로전자 조립체.

청구항 8

제1항에 있어서,

상기 전기 전도성의 판은 상기 제1 마이크로전자 요소의 하나 이상의 콘택에 전기적으로 연결된, 마이크로전자 조립체.

청구항 9

제1항에 있어서,

상기 전기 전도성의 판은 상기 제2 마이크로전자 요소의 하나 이상의 콘택에 전기적으로 연결된, 마이크로전자 조립체.

청구항 10

제1항에 있어서,

상기 전기 전도성의 판과 상기 제1 및 제2 마이크로전자 요소 중 하나 이상의 요소의 콘택 사이에 접속되는 이중 와이어 본드(dual wire bonds)를 더 포함하는 마이크로전자 조립체.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

제1항에 있어서,

상기 유전체 요소의 제2 면에 노출되고 상기 제1 개구와 상기 제2 개구 사이에 배치되는 하나 이상의 수동 소자 (passive component)를 더 포함하는 마이크로전자 조립체.

청구항 24

제23항에 있어서,

상기 하나 이상의 수동 소자는 상기 제1 마이크로전자 요소에 전기적으로 연결된, 마이크로전자 조립체.

청구항 25

제24항에 있어서,

상기 하나 이상의 수동 소자는 상기 제1 및 제2 마이크로전자 요소에 전기적으로 연결된, 마이크로전자 조립체.

청구항 26

제23항에 있어서,

상기 하나 이상의 수동 소자는 상기 전기 전도성의 판에 설치되고 전기적으로 연결된 전극을 포함하는, 마이크로전자 조립체.

청구항 27

제26항에 있어서,

상기 하나 이상의 수동 소자는 상기 전기 전도성의 판으로부터 떨어져 있는 제2 전극을 갖는 커패시터인, 마이크로전자 조립체.

청구항 28

제23항에 있어서,

상기 하나 이상의 수동 소자는 전원 또는 접지에의 접속을 위한 전도성 단자에 접속된 전극을 갖는 하나 이상의 커패시터를 포함하는, 마이크로전자 조립체.

청구항 29

제23항에 있어서,

상기 전기 전도성의 판은 제1 전도성 판이며,

마이크로전자 조립체는 상기 유전체 요소의 제2 면의 위에 위치하여 전원 및 접지에의 접속을 위한 제2 전도성 판을 더 포함하며, 상기 하나 이상의 수동 소자는 상기 제1 및 제2 전도성 판에 전기적으로 각각 연결된 제1 및 제2 전극을 포함하는, 마이크로전자 조립체.

청구항 30

제29항에 있어서,

상기 하나 이상의 수동 소자는 커패시터인 것인, 마이크로전자 조립체.

청구항 31

제1항에 있어서,

상기 신호 리드는 와이어 본드(wire bond)인, 마이크로전자 조립체.

청구항 32

삭제

청구항 33

제23항에 있어서,

상기 신호 리드는 리드 본드(lead bond)인, 마이크로전자 조립체.

청구항 34

제1항 또는 제23항 중 어느 한 항에 따른 마이크로전자 조립체와 상기 마이크로전자 조립체에 전기적으로 접속된 하나 이상의 전자 부품을 포함하는 것을 특징으로 하는 시스템.

청구항 35

제34항에 있어서,

상기 마이크로전자 조립체와 상기 전자 부품이 설치되는 하우징(housing)을 더 포함하는 시스템.

명세서

기술분야

[0001] 본 발명은 적층형의 마이크로전자 조립체 및 이를 제조하는 방법과, 이러한 조립체에 사용할 수 있는 소자에 관한 것이다.

배경기술

[0002] 반도체 칩은 개별의 패키지화된 유닛으로서 제공되는 것이 일반적이다. 표준 칩은 칩의 내부 회로에 접속된 콘택(contact)을 갖는 대형의 앞면을 포함하는 평평한 사각형의 본체를 구비한다. 개별의 칩은 전형적으로 패키지 내에 실장되며, 패키지는 인쇄회로기판과 같은 회로 패널 상에 설치되고, 칩의 콘택을 회로 패널의 도체와 접속시킨다. 많은 종래의 구성에서, 칩 패키지가 회로 패널에서 차지하는 영역은 칩 자체의 면적에 비해 훨씬 더 크다. 앞면(front face)을 갖는 플랫 칩과 관련해서 본 설명에서 사용되는, "칩의 영역"은 앞면의 영역을 의미하는 것으로 이해하여야 한다. "플립 칩"(flip chip) 설계에서, 칩의 앞면은 패키지 기판의 면과 맞닿는다. 즉, 칩 캐리어와 칩 상의 콘택이 솔더 볼이나 다른 접속 요소에 의해 칩 캐리어의 콘택에 직접 접합된다. 이후, 칩 캐리어는 칩의 앞면 위에 배치되는 단자를 통해 회로 패널에 접합될 수 있다. "플립 칩" 설계는 비교적 소규모의 배치를 제공하며, 각각의 칩은 회로 패널에서 칩의 앞면의 영역과 같거나 이보다 약간 큰 영역을 차지한다. 이에 대해서는, 동일 양수인의 미국특허 제5,148,265호, 제5,148,266호 및 제5,679,977호의 실시예에 개시되어 있으며, 이들 특허문헌의 내용을 본 명세서에 참조에 의해 인용한다.

[0003] 어떤 획기적인 실장 기술은 종래의 플립 칩 본딩(flip-chip bonding)과 동일한 소형화 방식을 제공한다. 칩 자체의 영역과 동일하거나 이보다 약간 큰 회로 패널의 영역에 단일의 칩을 수용할 수 있는 패키지를 일반적으로 "칩 사이즈 패키지"(chip-sized package)라고 한다.

[0004] 마이크로전자 조립체가 차지하는 회로 패널의 평평한 영역을 최소로 하는 것 외에, 회로 패널의 평면에 대하여 직각을 이루는 전체 높이 또는 치수를 감소시킨 칩 패키지를 제공하는 것이 바람직하다. 이러한 박형의 마이크로전자 패키지에 의하면, 패키지를 이웃하는 구조체와 매우 밀접하게 실장할 수 있도록 회로 패널을 배치할 수 있기 때문에, 회로 패널을 포함하는 제품의 전체 크기를 작게 할 수 있다. 단일의 패키지 또는 모듈 내에 다수의 칩을 제공하기 위한 여러 가지 제안이 이루어져 왔다. 종래의 "멀티 칩 모듈"(multi-chip module)의 경우, 칩은 단일의 패키지 기판상에 나란하게(side-by-side) 실장한 다음 회로 패널에 설치될 수 있다. 이러한 방법에 의하면, 칩이 차지하는 회로 패널의 전체 영역이 제한적으로만 축소될 뿐이다. 전체 영역은 모듈 내의 개별의 칩의 전체 표면 영역보다 더 크다.

[0005] 다수의 칩을 "스택"(stack) 구성으로 패키지화하는 방법, 즉 하나의 칩 위에 다른 칩을 적층해서 다수의 칩을 배치하는 방식이 제안되었다. 이러한 적층형의 배치에서는, 여러 개의 칩을 회로 패널의 칩의 전체 영역보다 작

은 영역에 실장할 수 있다. 앞서 언급한 미국특허 제5,679,977호, 제5,148,265호, 및 제5,347,159호의 관련 실시예의 내용을 본 출원에 참조에 의해 원용한다. 미국특허 제4,941,033호에는, 하나의 칩 위에 다른 칩을 적층하고 칩과 관련된 소위 "배선 막"(wiring films) 위의 도체에 의해 서로 상호접속시킨 구성을 개시하고 있으며, 이러한 내용을 본 명세서에 참조에 의해 원용한다.

[0006] 본 기술분야에서의 이러한 노력에도, 칩의 실질적으로 중앙 영역에 배치되는 콘택을 구비하는 칩에 대한 멀티 칩 패키지에 대한 개선이 요구되고 있다. 메모리 칩과 같은 반도체 칩의 경우, 실질적으로 칩의 중심 축을 따라 콘택을 하나 또는 두 개의 열로 배치해서 만드는 것이 일반적이다.

발명의 내용

[0007] 본 설명은 마이크로전자 조립체에 관한 것이다. 일례로, 마이크로전자 조립체(microelectronic assembly)는 하나 이상의 개구를 갖는 유전체 요소로서, 유전체 요소의 제2 면에 노출된 단자를 위에 배치된 전기 전도성 요소를 갖는 유전체 요소; 뒷면 및 유전체 요소와 마주 향하는 앞면을 가지며, 앞면에 다수의 콘택(contact)이 노출된 제1 마이크로전자 요소(microelectronic element); 뒷면 및 제1 마이크로전자 요소의 뒷면과 마주 향하는 앞면을 가지며, 앞면에 노출되고 제1 마이크로전자 요소의 에지를 넘어 돌출된 다수의 콘택을 포함하는 제2 마이크로전자 요소; 유전체 요소에 부착되며, 제1 및 제2 개구 사이에 적어도 일부분이 위치하고, 제1 및 제2 마이크로전자 요소 중의 하나 이상의 요소의 하나 이상의 콘택과 전기적으로 접속되는 전기 전도성의 판(electrically conductive plane)을 포함한다. 전기 전도성의 판은 그 전체가 제1 및 제2 개구 사이에 위치될 수 있다. 전기 전도성의 판은 전원판(power plane) 또는 접지면(ground plane)이 될 수 있다. 전기 전도성의 판의 일부분이 제1 및 제2 개구의 바깥쪽 에지를 넘어선 위치까지 연장될 수 있다. 전기 전도성의 판은 서로 떨어져 있는 둘 이상의 판 부분(plane portion)을 포함할 수 있다. 둘 이상의 판 부분은 제1 및 제2 마이크로전자 요소 중 하나 이상의 요소의 적어도 몇몇 콘택에 전기적으로 접속되는 전원판 부분(power plane portion)과, 제1 및 제2 마이크로전자 요소 중 하나 이상의 요소의 콘택에 전기적으로 접속되는 접지면 부분(ground plane portion)을 포함할 수 있다. 전기 전도성의 판은 제1 마이크로전자 요소의 하나 이상의 콘택에 전기적으로 연결될 수 있다. 전기 전도성의 판은 제2 마이크로전자 요소의 하나 이상의 콘택에 전기적으로 연결될 수 있다.

[0008] 다른 실시예로서, 마이크로전자 조립체는 반대 방향을 향하는 제1 면 및 제2 면과, 제1 면 및 제2 면 사이에서 연장된 제1 및 제2 개구를 가지며, 다수의 전도성 요소가 위에 배치된 유전체 요소(dielectric element); 뒷면 및 유전체 요소와 마주 향하는 앞면을 가지며, 앞면에 다수의 콘택이 노출된 제1 마이크로전자 요소; 뒷면 및 제1 마이크로전자 요소의 뒷면과 마주 향하는 앞면을 가지며, 앞면에 노출되고 제1 마이크로전자 요소의 에지를 넘어 돌출된 다수의 콘택을 포함하는 제2 마이크로전자 요소; 제1 및 제2 마이크로전자 요소 중의 하나 이상의 요소에 접속되며, 제1 및 제2 개구 중의 하나 이상을 통해 유전체 요소의 전도성 요소 중의 일부까지 연장된 신호 리드(signal lead); 및 제1 개구를 통해 연장되며, 제1 마이크로전자 요소의 콘택에 접속되고, 제2 개구의 위로 가로질러 유전체 요소의 전도성 요소에 접속되는 하나 이상의 점퍼 리드(jumper lead)를 포함한다.

[0009] 또 다른 실시예로서, 마이크로전자 조립체는, 반대 방향을 향하는 제1 면 및 제2 면과, 제1 면 및 상기 제2 면 사이에서 연장된 제1 및 제2 개구를 가지며, 다수의 전도성 요소가 위에 배치된 유전체 요소; 뒷면 및 유전체 요소와 마주 향하는 앞면을 가지며, 앞면에 다수의 콘택이 노출된 제1 마이크로전자 요소; 뒷면 및 제1 마이크로전자 요소의 뒷면과 마주 향하는 앞면을 가지며, 앞면에 노출되고 제1 마이크로전자 요소의 에지를 넘어 돌출된 다수의 콘택을 포함하는 제2 마이크로전자 요소; 제1 및 제2 마이크로전자 요소 중의 하나 이상의 요소에 접속되며, 제1 및 제2 개구 중의 하나 이상을 통해 유전체 요소의 전도성 요소 중의 일부까지 연장된 신호 리드; 및 제1 개구 또는 상기 제2 개구 중의 하나 이상의 개구의 위로 가로지르며, 유전체 요소의 전도성 요소에 접속되는 하나 이상의 점퍼 리드를 포함한다. 마이크로전자 조립체는 제1 개구에 배치되며 신호 리드와 하나 이상의 점퍼 리드를 덮는 봉지재(encapsulant)를 더 포함할 수 있다. 점퍼 리드는 제1 개구의 한쪽에 있는 전도성 요소로부터 제1 개구를 가로지르고 제1 및 제2 개구 사이의 제2 면의 일부를 가로지르며 제2 개구를 통해 제1 및 제2 마이크로전자 요소 중의 하나까지 연장된 점퍼 리드를 더 포함할 수 있다. 제1 및 제2 개구는 길게 연장된 형태를 가지며 서로 실질적으로 평행하게 연장될 수 있다. 유전체 요소의 전도성 요소는 유전체 요소의 제2 면에 노출된 단자를 포함할 수 있다.

[0010] 또 다른 실시예로서, 마이크로전자 조립체는 반대 방향을 향하는 제1 면 및 제2 면과, 제1 면 및 제2 면 사이에서 연장된 하나 이상의 개구를 가지며, 전도성 요소가 위에 배치된 유전체 요소; 뒷면, 유전체 요소의 제1 면과 마주 향하는 앞면, 제1 에지, 및 앞면에 노출된 다수의 콘택을 포함하는 제1 마이크로전자 요소; 뒷면, 제1 마이크로전자 요소의 뒷면과 마주 향하는 앞면, 앞면에서 제1 마이크로전자 요소의 제1 에지를 넘어 연장하며 유

전체 요소의 제1 면으로부터 떨어져 있는 돌출부, 및 앞면의 돌출부에 노출된 다수의 콘택을 포함하는 제2 마이크로전자 요소; 마이크로전자 요소의 콘택으로부터 하나 이상의 개구를 통해 전도성 요소 중의 적어도 몇몇까지 연장된 리드; 및 제2 마이크로전자 요소의 앞면의 돌출부와 유전체 요소의 제1 면 사이에 배치된 제1 수동 소자 (passive component)를 포함한다. 마이크로전자 조립체는 2개의 개구 사이에서 유전체 소자의 제2 면에 노출된 제2 수동 소자를 더 포함할 수 있다. 마이크로전자 조립체는 제1 수동 소자로부터 마이크로전자 요소 중 하나의 요소의 콘택까지 연장된 리드를 더 포함할 수 있다. 유전체 요소는 제2 면에 노출된 다수의 단자를 포함할 수 있으며, 이들 단자는 회로 보드에 전기적으로 각각 연결될 수 있다 솔더 볼(solder ball)에 의해 단자를 회로 보드에 접속시킬 수 있다. 구리 필러(copper pillar)에 의해 단자를 회로 보드에 접속시킬 수 있다. 단자는 제1 마이크로전자 요소에 각각 접속될 수 있다. 단자는 제1 및 제2 마이크로전자 요소에 접속될 수 있다.

도면의 간단한 설명

[0011]

- 도 1은 본 발명의 실시예에 따른 적층형 마이크로전자 조립체를 개략적으로 나타낸 입단면도이다.
- 도 2는 도 1의 적층형 마이크로전자 조립체의 바닥을 나타내는 도면이다.
- 도 2a는 본 발명의 실시예에 따른 마이크로전자 조립체의 변형 예에서의 접합 요소 사이의 접속을 나타내는 부분 단면도이다.
- 도 2b는 본 발명의 실시예에 따른 마이크로전자 조립체의 변형 예에서의 접합 요소 사이의 접속을 나타내는 부분 단면도이다.
- 도 2c는 본 발명의 실시예에 따른 마이크로전자 조립체의 변형 예에서의 접합 요소 사이의 접속을 나타내는 부분 단면도이다.
- 도 2d는 본 발명의 실시예에 따른 마이크로전자 조립체의 변형 예에서의 접합 요소 사이의 접속을 나타내는 부분 단면도이다.
- 도 3은 본 발명의 다른 실시예에 따른 적층형 마이크로전자 조립체를 나타내는 부분 단면도이다.
- 도 4는 본 발명의 다른 실시예에 따른 적층형 마이크로전자 조립체의 입단면도이다.
- 도 5는 도 4의 적층형 마이크로전자 조립체의 바닥을 나타내는 도면이다.
- 도 6은 적층형 마이크로전자 조립체의 다른 실시예를 나타내는 단면도이다.
- 도 7은 적층형 마이크로전자 조립체의 또 다른 실시예를 나타내는 단면도이다.
- 도 8은 도 7의 적층형 마이크로전자 조립체의 바닥을 나타내는 도면이다.
- 도 9는 본 발명의 다른 실시예에 따른 적층형 마이크로전자 조립체의 바닥을 나타내는 도면이다.
- 도 10은 적층형 마이크로전자 조립체의 다른 실시예를 나타내는 단면도이다.
- 도 11은 도 10의 적층형 마이크로전자 조립체의 바닥을 나타내는 도면이다.
- 도 12는 본 발명의 다른 실시예에 따른 적층형 마이크로전자 조립체의 바닥을 나타내는 도면이다.
- 도 13은 본 발명의 일 실시예에 따른 시스템을 개략적으로 나타내는 도면이다.
- 도 14는 회로 기판에 전기적으로 연결된 적층형 마이크로전자 조립체의 일례를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0012]

도 1을 참조하면, 본 발명의 실시예에 따른 적층형 마이크로전자 조립체(10)는, 제1 마이크로전자 요소(12)와 제2 마이크로전자 요소(14)를 포함한다. 일례로, 제1 마이크로전자 요소(12)와 제2 마이크로전자 요소(14)는 반도체 칩이나 웨이퍼 등이 될 수 있다.

[0013]

제1 마이크로전자 요소(12)는 앞면(16), 앞면과 떨어져 있는 뒷면(18), 및 앞면과 뒷면 사이로 연장된 제1 및 제2 예지(27, 29)를 포함한다. 제1 마이크로전자 요소(12)의 앞면(16)은 제1 및 제2 단부 영역(15, 17)과, 제1 및 제2 단부 영역(15, 17) 사이에 위치한 중앙 영역(13)을 포함한다. 제1 단부 영역(15)은 중앙 영역(13)과 제1 예지(27) 사이에 있고, 제2 단부 영역(17)은 중앙 영역(13)과 제2 예지(29) 사이에 있다. 제1 마이크로전자 요소(12)의 앞면(16)에는 전기 콘택(electrical contact)(20)이 노출되어 있다. 본 명세서에서, 전기 전도성 요소

가 구조체의 표면에 "노출"되어 있다는 표현은, 전기 전도성 요소가 구조체의 외부로부터 표면을 향해 표면에 직각인 방향으로 이동하는 이론적인 점과 접촉할 수 있게 되어 있다는 것을 의미한다. 따라서, 구조체의 표면에 노출된 단자 등의 전도성 요소는 이러한 표면으로부터 돌출되거나, 표면과 동일한 높이를 갖거나, 표면 아래로 함몰되어 있을 수 있으며, 유전체 내의 홈이나 구멍을 통해 노출되어 있을 수 있다. 제1 마이크로전자 요소(12)의 콘택(20)은 앞면(16)의 중앙 영역(13)에 노출되어 있다. 예를 들어, 콘택(20)은 앞면, 즉 제1 면(16)의 중앙 부근에 하나 또는 두 개의 나란한 열로 배치될 수 있다.

[0014] 제2 마이크로전자 요소(14)는 앞면(22), 앞면으로부터 떨어져 있는 뒷면(24), 및 앞면과 뒷면 사이로 연장된 제1 및 제2 에지(35, 37)를 포함한다. 제2 마이크로전자 요소(14)의 앞면(22)은 제1 및 제2 단부 영역(21, 23)과 제1 및 제2 단부 영역 사이에 위치한 중앙 영역(19)을 포함한다. 제1 단부 영역(21)은 중앙 영역(19)과 제1 에지(35) 사이에 있고, 제2 단부 영역(23)은 중앙 영역(19)과 제2 에지(37) 사이에 있다. 제2 마이크로전자 요소(14)의 앞면(22)에 전기적 콘택(26)이 노출되어 있다. 제2 마이크로전자 요소(14)의 콘택(26)은 앞면(22)의 중앙 영역(19)에 노출되어 있다. 예를 들어, 콘택(26)은 앞면, 즉 제1 면(22)의 중앙 부근에 하나 또는 두 개의 나란한 열로 배치될 수 있다.

[0015] 도 1에 나타난 바와 같이, 제1 및 제2 마이크로전자 요소(12, 14)는 서로 적층되어 있다. 일례로, 제2 마이크로전자 요소(14)의 앞면(22)과 제1 마이크로전자 요소(12)의 뒷면(18)은 서로 마주 향해 있다. 제2 마이크로전자 요소(14)의 제2 단부 영역(23)의 적어도 일부는 제1 마이크로전자 요소(12)의 제2 단부 영역(17)의 적어도 일부 위에 위치한다. 제2 마이크로전자 요소(14)의 중앙 영역(19)의 적어도 일부는 제1 마이크로전자 요소(12)의 제2 에지(29)를 넘어 연장되어 있다. 따라서, 제2 마이크로전자 요소(14)의 콘택(26)은 제1 마이크로전자 요소(12)의 제2 에지(29)를 넘어선 위치에 배치된다.

[0016] 마이크로전자 조립체(10)는 또한 서로 반대 방향을 향하는 제1 면(32)과 제2 면(34)을 갖는 유전체 요소(30)를 포함한다. 도 1에는 유전체 요소(30)를 하나만 도시하고 있지만, 마이크로전자 조립체(10)는 둘 이상의 유전체 요소를 포함할 수 있다. 유전체 요소(30)의 제1 면(32)에 하나 또는 그 이상의 전기 전도성 요소 또는 단자(36)가 노출되어 있다. 이러한 전기 전도성 단자(36) 중의 적어도 일부는 제1 및/또는 제2 마이크로전자 요소(12, 14)에 대하여 이동이 가능하도록 할 수 있다.

[0017] 유전체 요소(30)는 하나 이상의 개구(aperture)를 더 포함할 수 있다. 도 1에 나타난 실시예에서, 유전체 요소(30)는 제1 마이크로전자 요소(12)의 실질적으로 중앙 영역(13)과 정렬된 제1 개구(33)와, 제2 마이크로전자 요소(14)의 실질적으로 중앙 영역(19)과 정렬된 제2 개구(39)를 포함함으로써, 콘택(20, 26)에 액세스할 수 있다.

[0018] 도 1에 나타난 바와 같이, 유전체 요소(30)는 제1 마이크로전자 요소(12)의 제1 에지(27)와 제2 마이크로전자 요소(14)의 제1 에지(35)를 넘어 연장될 수 있다. 유전체 요소(30)의 제2 면(34)은 제1 마이크로전자 요소(12)의 앞면(16)과 평행하게 배치(juxtapose)될 수 있다. 유전체 요소(30)는 부분적으로 또는 그 전체를 임의의 적당한 유전체 물질로 구성할 수 있다. 예를 들어, 유전체 요소(30)는 폴리이미드, BT 레진, 또는 테이프 자동 접합("TAB": tape automated bonding) 테이프를 만드는 데에 일반적으로 사용되는 다른 유전성 물질과 같은 플렉서블한 재료로 된 층을 포함할 수 있다. 이와 달리, 유전체 요소(30)는 Fr-4 또는 Fr-5 보드와 같이, 섬유 강화 에폭시로 된 두꺼운 층과 같은 재료로 이루어진 비교적 딱딱한 보드를 포함할 수 있다. 사용되는 재료에 관계없이, 유전체 요소(30)는 유전체 재료로 된 단일의 층 또는 다층으로 이루어질 수 있다.

[0019] 유전체 요소(30)는 또한 제1 면(32)과 전기 전도성 트레이스(42) 상에 노출된 전기 전도성 요소(40)를 더 포함할 수 있다. 전기 전도성 트레이스(42)는 전기 전도성 요소(40)를 단자(36)에 전기적으로 연결시킨다.

[0020] 제2 마이크로전자 요소(14)의 제1 단부 영역(21)과 유전체 요소(30)의 일부분 사이에 접착층(adhesive layer)과 같은 간격 층(spacing layer)(31)이 배치될 수 있다. 간격 층(31)은 접착제를 포함할 수 있으며, 접착제는 제2 마이크로전자 요소(14)를 유전체 재료(30)에 부착시키기 위한 것이 될 수 있다. 제2 마이크로전자 요소(14)의 제2 단부 영역(23)과 제1 마이크로전자 요소(12)의 제2 단부 영역(17) 사이에 다른 간격 층(60)을 배치할 수 있다. 이러한 간격 층(60)은 제1 마이크로전자 요소(12)와 제2 마이크로전자 요소(14)를 서로 접합하기 위한 접착제를 포함할 수 있다. 이 경우, 간격 층(60)은 그 일부 또는 전체가 다이 부착용 접착제(die-attach adhesive)로 이루어지거나, 실리콘 엘라스토머(silicone elastomer)와 같은 탄성계수가 낮은 재료로 이루어질 수 있다. 그러나 간격 층(60)은 2개의 마이크로전자 요소(12, 14)가 동일한 재료의 통상적인 반도체 칩인 경우에, 그 일부 또는 전체가 탄성계수가 높은 접착제 또는 땀납으로 이루어진 얇은 층으로 제조될 수 있는데, 마이크로전자 요소가 온도의 변화에 따라 함께 팽창 및 수축하는 경향이 있기 때문이다. 사용되는 재료에 관계없이, 간격 층(31, 60)은 단일의 층 또는 다층으로 구성할 수 있다.

- [0021] 도 1 및 도 2에 나타낸 바와 같이, 전기 접속체(electrical connection) 또는 리드(lead)(70)는 제1 마이크로 전자 요소(12)의 콘택(20)을 몇몇 전기 전도성 요소(40)에 전기적으로 접속시킨다. 전기 접속체 또는 리드(70)는 다수의 본드 와이어(wire bond)(72, 74)를 포함할 수 있다. 본드 와이어(72, 74)는 제1 개구(33)를 통해 연장하며, 서로에 대해 실질적으로 평행하다. 본드 와이어(72, 74)는 콘택(20)을 유전체 요소의 대응하는 전도성 요소(40)에 각각 전기적으로 연결시킨다. 본 실시예에 따른 다수의 본드 와이어 구조체는 접속된 콘택들 사이에서 전류가 흐르도록 하는 추가의 경로를 제공함으로써 본드 와이어 접속체의 인덕턴스(inductance)를 실질적으로 감소시킬 수 있다.
- [0022] 다른 전기 접속체 또는 리드(50)는 제2 마이크로전자 요소(14)의 콘택(26)을 몇몇 전도성 요소(40)에 전기적으로 연결시킨다. 전기 접속체 또는 리드(50)는 다수의 본드 와이어(52, 54)를 포함할 수 있다. 본드 와이어(52, 54)는 제2 개구(39)를 통해 연장되어 있으며, 서로에 대해 실질적으로 평행하게 되어 있다. 본드 와이어(52, 54)는 콘택(26)을 유전체 요소(30)의 대응하는 전도성 요소(40)에 각각 전기적으로 연결시킨다. 본 실시예에 따른 다수의 본드 와이어 구조체는 접속된 콘택들 사이에서 전류가 흐르도록 하는 추가의 경로를 제공함으로써 본드 와이어 접속체의 인덕턴스를 실질적으로 감소시킬 수 있다.
- [0023] 도 2a에 나타낸 바와 같이, 전기 접속체 또는 리드(70)의 경우, 제1 본드 와이어(52)는 칩 콘택(20)에 금속적으로 결합된 단부(52A)와, 전기 전도성 요소(40)와 금속적으로 결합된 단부(도시 안 됨)를 가질 수 있다. 예를 들어, 본드 와이어는 초음파 에너지 및/또는 열을 가해서 콘택에 용접될 수 있는 금(gold)과 같은 금속을 포함함으로써, 본드 와이어와 콘택 사이에 금속 접합 구조 또는 본딩 구조를 형성할 수 있다. 이에 대하여, 제2 본드 와이어(54)는 제1 본드 와이어(52)의 단부(52A)에 금속 접합된 단부(54A)와, 단부(54A)의 다른 한쪽에서 제1 본드 와이어(52)의 단부에 금속 접합된 단부(도시 안 됨)를 가질 수 있다.
- [0024] 제2 본드 와이어(54)는 제1 본드 와이어(52)가 금속 접합된 전기 전도성 요소(40)에 접촉되어 있을 필요는 없다. 대신에, 일례로, 제2 본드 와이어(54)의 단부(54A)를 제1 본드 와이어(52)의 단부(52A)에 금속 접합할 수 있는데, 제2 본드 와이어가 제2 본드 와이어의 적어도 하나의 단부에 있는 콘택과 접촉하지 않도록 할 수 있으며, 어느 쪽 단부에 있는 콘택과도 접촉하지 않도록 할 수 있다.
- [0025] 본드 와이어(52, 54)의 단부(52A, 54A)는 와이어 본딩 공정을 수행하는 중에 형성되는 볼(ball)을 포함할 수 있다. 와이어 본딩 도구는 금으로 된 와이어의 끝 부분을 도구의 스펴(spool)에서 끝 부분까지 이동시킴으로써 동작시킨다. 처리 공정의 예로서, 도구가 제1 콘택, 예를 들어 칩 콘택(20)에 제1 본드 와이어를 형성하기 위한 위치에 있는 경우, 도구는 와이어의 끝 부분이 녹아서 볼을 형성할 때까지 초음파 에너지, 열, 또는 이들 두 가지를 와이어에 인가할 수 있다. 이어서 가열된 볼을 콘택의 표면과 금속 접합시킨다. 계속해서, 와이어 본딩 도구의 끝 부분을 제1 콘택에서 제거하면, 볼은 콘택에 접합된 채로 남아 있게 되고, 이러한 콘택과 다른 제2 콘택 사이의 본드 와이어의 길이는 줄어든다. 다음으로, 와이어 본딩 도구를 사용해서 와이어의 다른 쪽 끝을 제2 콘택에 부착하고, 그 단부에서 제2 콘택과 금속 접합 구조를 형성한다.
- [0026] 상기 공정은 제2 본드 와이어를 형성하기 위해 다소 상이한 방식으로 반복할 수 있다. 이 경우, 와이어 본딩 도구를 소정의 위치로 이동시키고, 와이어의 끝 부분을 가열해서 제2 본드 와이어의 단부(54A)를 제1 본드 와이어의 단부(52A)에 금속 접합시키는 볼을 형성할 수 있다. 와이어 본딩 도구는 본드 와이어의 다른 쪽 끝을 제1 본드 와이어의 제2 단부에 부착해서, 적어도 제1 본드 와이어와 금속 결합 구조를 형성할 수 있다.
- [0027] 전기 전도성 요소(52, 54) 중의 일부는 시간에 따라 변화하고 정보를 전달하는 전압이나 전류 등의 신호를 포함할 수 있다. 예를 들어, 이러한 신호의 예로서는, 상태, 변경, 측정, 클럭 또는 타이밍 입력이나 제어 또는 피드백 입력을 나타내며 시간에 따라 변화하는 전압 또는 전류가 될 수 있다. 다른 전기 전도성 요소(52, 54)는 접지 또는 전원에의 접속을 제공할 수 있다. 접지 또는 전원에 대한 접속은 회로의 동작에 관련된 주파수에 대하여 시간에 따라 적어도 안정적인 전압을 제공하는 것이 통상적이다. 각각의 콘택 쌍들 사이의 이중 또는 다중 본드 와이어는, 특히 접속이 접지 또는 전원인 경우에 유리하다. 일례로, 이중 와이어 접속(72, 74; 52, 54)은 마이크로전자 요소(12, 14)를 유전체 요소(30) 상의 접지 단자에 접속시킬 수 있다. 마찬가지로, 이중 본드 와이어 접속부(72A, 74A; 52A, 54A)는 각각의 마이크로전자 요소를 유전체 요소 상의 전원 단자에 접속시킬 수 있다(도시하지는 않지만, 회로 패드를 통해 전원에 접속될 수 있다). 이러한 접지 또는 전원 단자에서의 접속 구조에서 본드 와이어의 수를 증가시키면, 시스템의 노이즈를 감소시킬 수 있다.
- [0028] 본 실시예에 따른 다중 와이어 본딩 구조체 및 방법은, 칩이나 기판상의 본드 패드 등의 콘택에 본드 와이어를 부착하기 위한 면적이 제한되어 있는 경우에, 인덕턴스를 감소시킬 수 있다는 장점도 있다. 몇몇 칩은 특히 높은 접촉 밀도와 미세 피치를 갖는다. 이러한 칩 상의 본드 패드는 매우 제한된 면적을 갖는다. 제2 본드 와이어

가 제1 본드 와이어의 단부에 부착된 단부를 갖지만, 자체적으로는 콘택과 접촉하지 않는 구성에 의해 본드 패드의 크기를 증가시키지 않는 이중 또는 다중 본드 와이어 구조체를 달성할 수 있다. 따라서, 도 2a와 관련하여 언급한 바와 같은 다중 와이어 본딩은, 미세 피치로 배치된 콘택이나 작은 면적을 갖는 콘택에 대한 본드 와이어 접속을 형성하는 경우에도 달성할 수 있다.

[0029] 또한, 높은 밀도를 갖는 일부 마이크로전자 요소는 높은 입출력 비율, 즉 신호가 칩으로 전송되거나 칩으로부터 전송되는 빈도가 높을 수 있다. 빈도가 큰 값을 가지면, 접속부의 인덕턴스가 실질적으로 증가할 수 있다. 본 실시예에 따른 다중의 본드 와이어 구조체는 접속된 콘택들 사이로 전류가 흐르는 추가의 경로를 제공함으로써 접지, 전원 또는 신호 전송을 위해 사용되는 본드 와이어 접속부의 인덕턴스를 실질적으로 감소시킬 수 있다.

[0030] 도 2b는 제1 본드 와이어(51)와 제2 본드 와이어(53) 간의 각 단부에서의 접속 구조를 나타낸다. 도 2b에 나타낸 바와 같이, 본드 와이어의 제1 단부에서, 볼(51A)과 볼(53A)은 서로 금속 접합되지만, 제2 본드 와이어(53)의 볼은 콘택(20)과 접하지 않는다. 제2 콘택(40)에 있는 본드 와이어의 제2 단부(51B, 53B)에서는, 제2 단부(51B, 53B)에 볼을 형성하지 않고도 와이어들 사이에 전기적 접속을 이룰 수 있다. 이러한 경우, 콘택(20, 40) 중의 하나는 칩의 표면에 노출된 칩 콘택이 될 수 있으며, 콘택(20, 40) 중의 다른 하나는 기판의 표면에 노출된 기판 콘택이 될 수 있다. 도 2b를 다시 보면, 제2 본드 와이어의 제2 단부(53B)는 제2 본드 와이어가 콘택(40)과 접하지 않고도 단부(51B)에서 제1 본드 와이어에 연결된다.

[0031] 도 2c는 도 2b의 변형 예로서, 제1 본드 와이어(55)가 제1 콘택(20)에 접합된 볼 단부(ball end)(55A)를 갖는 실시예를 나타낸다. 제2 본드 와이어(57)의 와이어 단부(57B)는 제1 콘택(20) 위의 제1 본드 와이어의 볼 단부(55A)에 금속 접합된다. 또한, 제2 본드 와이어(57)의 볼 단부(57A)는 제2 콘택(40)에서 제1 본드 와이어(55)의 와이어 단부(55B)에 금속 접합된다. 필요에 따라, 한 쌍의 콘택 사이에 전류가 흐르도록 하기 위한 병렬의 전기 경로를 제공하기 위해, 본 방식으로 다른 본드 와이어에 금속 접합되는 본드 와이어의 수를 더 많이 해도 된다.

[0032] 도 2d는 본드 와이어 대신에 본드 리본(bond ribbon)(41)을 사용한 전기 접속을 나타내는데, 본드 리본(41)은 콘택 중의 하나[예를 들어, 콘택(20)]에 금속 접합된 제1 단부(43)를 포함한다. 본드 리본(41)은 다른 콘택(40)에 금속 접합되는 중간 부분(45)과 본드 리본의 제1 단부(43)에 접합되는 제2 단부(47)를 포함한다. 본드 리본의 제1 단부(43)와 제2 단부(47) 사이의 접합 구조는, 제1 단부가 접합되는 콘택(20)에 제2 단부(47)가 접촉하지 않도록 하는 구성이 가능하다. 이와 달리, 다른 예(도시 안 됨)로서, 제1 단부(43)가 접합되는 콘택(20)에 제2 단부(47)가 접촉하거나 직접 접합되도록 해도 된다. 콘택, 예를 들어 콘택(20, 40) 중의 하나를 기판 콘택으로 하고 다른 콘택을 칩 콘택으로 해도 된다. 이와 달리, 콘택(20, 40) 모두를 기판의 표면에 노출된 기판 콘택으로 하거나, 콘택 모두를 칩의 표면에 노출된 칩 콘택으로 해도 된다.

[0033] 도 1에 나타낸 바와 같이, 마이크로전자 조립체(10)는 제1 봉지재(encapsulant)(80)와 제2 봉지재(82)를 포함할 수 있다. 제1 봉지재(80)는 유전체 요소(30)의 제1 개구(33)와 전기 접속부(70)를 덮는다. 제2 봉지재(82)는 유전체 요소(30)의 제2 개구(39)와 전기 접속부(70)를 덮는다.

[0034] 마이크로전자 조립체(10)는 솔더 볼(81)과 같은 다수의 결합 유닛을 포함할 수 있다. 솔더 볼(81)은 단자(36)에 부착되며, 요소(40), 리드(50, 70), 및 콘택(20, 26) 중의 적어도 몇몇에 전기 접속된다.

[0035] 도 3에 나타낸 바와 같이, 다수의 수동 회로 요소, 즉 "수동 소자"(590A)는 제1 개구(533)와 제2 개구(539)의 사이에서 유전체 요소(530)의 제1 면(532)에 배치되거나 이에 부착될 수 있다. 수동 소자(590A)는 커패시터, 저항, 인덕터 등이 될 수 있다. 하나 이상의 수동 소자가, 유전체 요소 상의 하나 이상의 전기 접속 요소와 전기적으로 접속되거나, 마이크로전자 요소의 하나 이상의 콘택(520, 526)과 전기 접속될 수 있다. 하나 이상의 수동 소자는 마이크로전자 요소 콘택(520 또는 526) 및 유전체 요소의 콘택(540)과 전기 접속될 수 있다. 이와 달리, 또는 이에 추가로, 다수의 수동 소자(590B)는 유전체 요소(530)의 제2 면(534)과 제2 마이크로전자 요소(514)의 앞면(522) 사이에 배치될 수 있다. 이들 수동 소자(590B)는 마이크로전자 요소(512, 514) 중의 임의의 하나에 또는 모두에 전기 접속되거나, 수동 소자(590A)의 경우에서와 같이 유전체 요소(530)에 전기 접속될 수 있다. 일례로, 수동 소자(590A, 590B) 중의 적어도 일부는 마이크로전자 요소(512, 514)와 유전체 요소(530) 중 하나 또는 이들 모두의 "파워" 콘택에 접속되고, 이를 통해 파워가 전원으로부터 마이크로전자 요소에 입력된다.

[0036] 도 4-도 6은 도 1에 나타낸 실시예의 변형예를 나타낸다. 이 변형예에서, 유전체 요소(630)는 다수의 개구(aperture)를 포함한다. 도 5에는 유전체 요소(630)가 4개의 개구를 갖는 것으로 도시하고 있지만, 유전체 요소(630)는 그보다 많거나 적은 수의 개구를 포함해도 된다. 도 5에 나타낸 예에서, 유전체 요소(630)는 적층된 마

이크로전자 조립체(600)의 제1 방향(662)으로 실질적으로 서로에 대해 정렬될 수 있는 2개의 개구(633a, 633b)를 포함한다. 개구(633a, 633b)는 유사한 형태와 치수를 가져도 되고, 상이한 치수 또는 형태를 갖는 것으로 해도 된다. 예를 들어, 도 4에 도시한 개구(633a, 633b)는 실질적으로 사각형의 단면과 실질적으로 유사한 치수를 갖는다. 이러한 형태에 관계없이, 제1 마이크로전자 요소(612)의 콘택(620)은 개구(633a, 633b) 내에 노출된다.

[0037] 유전체 요소(630)는 개구(639a, 639b)를 더 포함할 수 있으며, 제2 마이크로전자 요소(614)의 콘택(626)이 이들 개구 내에 노출될 수 있다. 개구(639a, 639b)는 실질적으로 서로에 대하여 정렬될 수 있다. 도 5에 나타난 예에서, 개구(639a)는 개구(639b)보다 더 크고, 이들 개구는 실질적으로 사각형의 형태를 갖는다.

[0038] 적층형 마이크로전자 조립체(600)는 다수의 트레이스(trace)를 포함한다. 일례로, 전도성 트레이스(conductive trace)(642a)는 개구(633a)와 개구(633b) 사이에서 유전체 요소의 표면(632)에 따른 방향으로 연장될 수 있다. 일례로, 트레이스(642a)는 트레이스의 길이 방향으로 개구(633a)의 에지(644a, 644b)를 넘어 유전체 요소(630)의 위치(636)까지 연장하는 길이를 가질 수 있다. 도 5에 나타난 바와 같이, 유전체 요소(630)의 단자(636)와 같은 전도성 구조체는 트레이스(642a)에 의해 상호접속될 수 있다. 개구(639a)와 개구(639b) 사이에 다른 트레이스(642b)가 위치하며, 이 트레이스는 개구(639a, 639b)의 에지부(668a, 668b)를 넘어선 위치까지 연장하는 길이를 가질 수 있다. 유전체 요소(630)의 단자(636)와 같은 다른 전도성 구조체가 트레이스(642b)에 의해 상호접속될 수 있다.

[0039] 적층형 마이크로전자 조립체(600)는 신호를 전송하도록 된 다수의 전기 전도성 요소, 예를 들어 본드 와이어 또는 다른 적절한 구조체가 될 수 있는 신호 리드(signal lead)를 포함한다. 도 4에 나타난 예에서, 신호 리드(652)는 개구(633a)를 통해 연장하며, 제1 마이크로전자 요소(614)의 콘택(620)을 개구(633a)에 인접한 기판 콘택(640)에 전기적으로 연결한다. 다른 신호 리드(654)는 개구(633a)를 통해 연장하며, 제1 마이크로전자 요소(612)의 콘택(620)을 개구(633a)에 인접한 기판 콘택(640)과 상호접속시킨다. 도 5에 나타난 바와 같이, 다른 신호 리드(656)는 제1 마이크로전자 요소의 콘택(620)을 개구(639a)에 인접한 기판 콘택(640)에 전기 접속시킨다. 신호 리드(656)는 개구(639a)의 폭 방향을 가로지르는 방향으로 연장된다.

[0040] 제2 마이크로전자 요소(614)의 콘택(626)에 접속된 신호 리드(672)는 개구(633b)의 폭 방향을 가로지르는 방향으로 연장되며, 개구(633b)의 먼 쪽에 있는 에지를 넘어 기판 콘택(640)에 전기적으로 연결된다. 다른 신호 리드(674)는 개구(639a)를 통해 연장하며, 제2 마이크로전자 요소(614)의 콘택(626)과 개구(639b)에 인접한 유전체 요소의 중앙 부분에 있는 기판 콘택(640)을 상호접속시킨다. 마찬가지로, 신호 리드(676)는 제2 마이크로전자 요소(614)의 콘택(626)과 개구(639b)에 인접한 기판 콘택(640)을 전기적으로 연결시킨다.

[0041] 도 5 및 도 6에 나타난 바와 같이, 적층형 마이크로전자 조립체(600)는 개구(639a)의 폭 방향을 가로지르는 방향으로 연장하며, 개구(639)의 양쪽에 위치한 2개의 기판 콘택(640)을 상호접속시키는 신호 리드(678)를 더 포함할 수 있다. 다른 신호 리드(679)는 개구(633a 또는 633b)의 폭 방향을 가로지르는 방향으로 연장하며 개구(633a 또는 633b)의 양쪽에 위치한 2개의 기판 콘택(640)을 상호접속시킨다. 봉지재가 신호 리드와 개구(633a, 633b, 639a, 639b)를 모두 덮도록 해도 된다.

[0042] 도 7 및 도 8은 도 1에 나타난 실시예의 변형예를 나타낸다. 본 변형예에서, 적층형 마이크로전자 조립체(700)는 유전체 요소(730)의 제1 면(732)에 배치된 전기 전도성의 접지판 및/또는 전원판(790)(즉, 기준 전위에의 접속을 위한 금속판)을 포함한다. 이 전기 전도성의 판(790)은 유전체 요소(730)의 제2 면(734)에 다른 방식으로 배치될 수 있다. 개구(733)를 통해 연장하는 하나 이상의 본드 와이어(752)는 제1 마이크로전자 요소(712)의 콘택(720)을 접지판 및/또는 전원판(790)과 전기적으로 연결한다. 봉지재(780)는 개구(733)를 덮도록 할 수 있다. 마찬가지로, 개구(739)를 통해 연장하는 하나 이상의 본드 와이어(762)는 제2 마이크로전자 요소(714)의 콘택(726)을 접지판 및/또는 전원판(790)과 전기적으로 연결한다. 봉지재(782)는 개구(739)를 덮도록 할 수 있다. 접지판 및/또는 전원판(790)은 유전체 요소(730)의 2개의 개구(733, 739) 사이에 배치할 수 있으며, 접지판 및/또는 전원판(790)의 적어도 일부는 봉지재(780, 782)를 통해 연장될 수 있다. 일례로, 전기 전도성의 접지판 및/또는 전원판(790)은 도 8에 나타난 것과 같이, 모노리식(monolithic) 구조로 해도 된다.

[0043] 마이크로전자 조립체(700)는 전기 전도성의 판(790)에 전기적으로 연결된 수동 소자(792)를 더 포함할 수 있다. 특히, 수동 소자(792)는 전기 전도성의 판(790)에 설치된 전극을 가질 수 있다. 수동 소자(792)는 하나 이상의 커패시터, 저항, 인덕터 등이 될 수 있다. 예를 들어, 수동 소자(792)는 일정한 출력 전압을 효과적으로 유지하기 위한 하나 이상의 디커플링 커패시터(decoupling capacitor)가 될 수 있다. 일례로, 디커플링 커패시터는 전기 전도성의 판(790)에 설치된 전극과 전기 전도성 판으로부터 떨어져 있는 노출된 전극을 구비할 수 있다. 디커플링 커패시터는 전기 에너지를 축적할 수 있으며, 급격한 전압 강하가 있는 경우에, 디커플링 커패시터는 축

적한 에너지를 필요한 전류에 제공하여 일정한 출력 전압을 유지할 수 있도록 한다.

- [0044] 마이크로전자 조립체(700)는 전기 전도성의 판(790)에 접속된 전극과 기판상의 전도성 패드(795)에 접속된 전극을 갖는 수동 소자(793)를 추가로 또는 선택적으로 포함할 수 있다. 트레이스(797)는 패드(795)로부터 연장되며 단자(740)에 접속될 수 있다. 예를 들어, 단자(740)는 전기 전도성의 판이 접지에 접속되는 접지판으로 사용되는 경우에 전원에의 접속을 위해 사용될 수 있다. 이와 달리, 패드(795) 또는 트레이스(797)가 전기 전도성의 판이 배치되는 표면(732)으로부터 떨어진 유전체 요소의 표면 상의 다른 금속층이나 전도성 요소에 접속될 수 있다.
- [0045] 도 9에 나타낸 바와 같이, 접지판 및/또는 전원판(790)은 유전체 재료(830)의 표면을 따라 이격된 둘 이상의 별개의 판 부분이 될 수 있다. 도 9에 나타낸 바와 같이, 접지판 부분이나 전원판 부분 중의 하나 이상이 제1 또는 제2 마이크로전자 요소의 하나 이상의 콘택과 유전체 재료의 하나 이상의 콘택을 상호접속시키기 위해 노출될 수 있다. 도 9에 나타낸 실시예에서, 접지판 및/또는 전원판(790)은 2개의 별개의 부분(790A, 790B)을 포함한다. 이들 중 하나(790A 또는 790B)는 전원판 부분이 될 수 있으며, 다른 하나는 접지판 부분이 될 수 있다. 다른 예로서, 이들 부분(790A, 790B) 모두 동일한 또는 상이한 전압의 하나 이상의 전원 입력과의 접속을 위한 전원판 부분이 될 수 있다. 다른 예로서, 이들 부분(790A, 790B) 모두가 접지판 부분이 되도록 해도 된다.
- [0046] 도 9에 나타낸 바와 같이, 이중 본드 와이어(752A, 752B)는 제1 또는 제2 마이크로전자 요소(712 또는 714)의 콘택(720)과 접지판 및/또는 전원판(790) 사이에 접속될 수 있다. 이중 본드 와이어는 도 2a-2d와 관련해서 설명한 것과 같이 구성될 수 있다. 본드 와이어(752A, 752B)는 접지판 및/또는 전원판(790)의 상이한 위치에 접속될 수 있다. 이와 달리, 이중 본드 와이어(751A, 751B)는 접지판 및/또는 전원판(790)의 하나의 위치에 접속될 수 있다.
- [0047] 도 10 및 도 11은 도 7 및 도 8에 나타낸 실시예의 변형예를 나타낸다. 본 변형예에서, 적층형 마이크로전자 조립체(800)는 유전체 요소(830) 상의 중앙에 위치한 전기 전도성의 접지판 및/또는 전원판(890)(즉, 전위면)을 포함한다. 접지판 및/또는 전원판(890)은 유전체 요소(830)의 제1 면(8323)에 부착된다. 접지판 및/또는 전원판(890)의 중앙 부분(892)은 유전체 요소(830)의 개구(833, 839) 사이에 위치한다. 접지판 및/또는 전원판(890)은 중앙 부분(892)에 인접한 제1 및 제2 단부 부분(894, 896)을 포함한다. 접지판 및/또는 전원판의 제1 및 제2 단부 부분(894, 896)은 개구(833, 839)의 경계를 넘어 연장한다. 따라서, 접지판 및/또는 전원판(890)은 개구(833, 839)를 둘러싸는 구성으로 할 수 있다. 하나 이상의 본드 와이어(852)가 접지판 및/또는 전원판(890)을 제1 마이크로전자 요소(812)의 하나 이상의 콘택(820)에 전기적으로 접속할 수 있다. 마찬가지로, 하나 이상의 본드 와이어(872)가 접지판 및/또는 전원판(890)을 제2 마이크로전자 요소(814)의 하나 이상의 콘택(826)에 전기적으로 연결시킬 수 있다. 도 11에 나타낸 바와 같이, 접지판 및/또는 전원판(890)은 모노리식 구조가 될 수 있다.
- [0048] 마이크로전자 조립체(800)는 하나 이상의 수동 소자(871, 873)를 포함할 수 있다. 수동 소자(871)는 전기 전도성의 판(890)에 설치된 전극과 패드(873)에 접속된 전극을 가진 커패시터가 될 수 있다. 패드는 도 7과 관련해서 설명한 것과 같이 전기적으로 접속될 수 있다.
- [0049] 수동 소자(873)는 제1 패드(883)에 전기적으로 접속된 전극과 제2 패드(885)에 전기적으로 접속된 전극을 포함할 수 있다. 제1 트레이스(889)는 제1 패드(883)를 전기 전도성의 판(890)에 전도 가능하게 접속시킬 수 있다. 제2 트레이스(891)는 제2 패드(885)를, 예를 들어 본드 와이어(도시 안 됨)를 통해 유전체 요소의 단자, 즉 마이크로전자 요소와 접속시킬 콘택에 접속시킬 수 있다.
- [0050] 접지판 또는 전원판은, 도 12에 나타낸 바와 같이, 별개의 요소(830)의 표면을 따라 서로 이격된 별개의 판 부분이 될 수 있다. 도 12에 나타낸 실시예에서, 접지판 또는 전원판(890)은 서로 이격된 2개의 별개의 판 부분(890A, 890B)을 포함한다. 그중 하나는 전원에의 접속을 위한 전원판이 될 수 있으며, 다른 하나는 접지에의 접속을 위한 접지판이 될 수 있는데, 이들은 조립체에 접속될 회로 패널(도시 안 됨)과 판 부분 사이의 전기적 접속을 통해 접속을 행한다. 본 실시예에서, 수동 소자(895)는 커패시터가 될 수 있다. 이 경우, 수동 소자(895)는 판 부분(890A)(예를 들어, 전원)에 설치된 전극과 판 부분(890B)(예를 들어, 접지)에 설치된 전극을, 커패시터 전극이 전원판과 접지판 사이에 전기적으로 접속되도록 포함할 수 있다.
- [0051] 상기 설명한 마이크로전자 조립체는 도 13에 나타낸 것과 같은 다양한 전자 시스템의 구성에 사용될 수 있다. 예를 들어, 본 발명의 실시예에 따른 시스템(1100)은 다른 전자 부품(1108, 1110)과 관련하여 앞서 설명한 것과 같은 마이크로전자 조립체(1106)를 포함한다. 도시한 예에서, 부품(1108)은 반도체 칩이며, 부품(1110)은 디스

플레이 스크린이지만, 임의의 다른 부품을 사용해도 된다. 물론, 도 13에는 예시를 위해 2개의 부품만 도시하고 있지만, 시스템은 이러한 부품을 임의의 수만큼 포함할 수 있다. 마이크로전자 조립체(1106)는 앞서 설명한 것들 중 임의의 조립체가 될 수 있다. 변형예로서, 이러한 마이크로전자 조립체를 임의의 수만큼 사용해도 된다. 마이크로전자 조립체(1106)와 부품(1108, 1110)은 점선으로 개략적으로 도시한 공통의 하우징(901) 내에 설치되며, 서로 전기적으로 상호접속되어 원하는 회로를 형성할 수 있다. 도시한 시스템에서, 시스템은 플렉시블 PCB (인쇄회로기판)과 같은 회로 패널(1102)을 포함하며, 이 회로 패널은 부품들을 서로 접속시키는 많은 도체(1104)를 포함할 수 있는데, 도 13에서는 도체를 하나만 도시하고 있다. 그러나, 이러한 것들은 예시에 불과하며, 전기 접속을 이루기 위한 것이면 임의의 적절한 구조를 사용할 수 있다. 하우징(901)은, 예를 들어 셀폰이나 PDA 등에 사용할 수 있는 유형의 휴대형 하우징으로 도시되어 있으며, 스크린(1110)이 하우징의 표면에 노출되어 있다. 구조체(1106)가 이미징 칩(imaging chip)과 같은 광감성 요소를 포함하는 경우, 렌즈(1111) 또는 그 외 다른 광학 장치가 광을 구조체로 제공하기 위해 설치될 수 있다. 도 13에 개략적으로 나타낸 시스템은 예시에 불과하며, 상기 설명한 구조체를 사용해서, 데스크톱 컴퓨터, 라우터 등과 같은 고정형 구조체로서 간주되는 시스템을 포함한 다른 시스템을 구성할 수 있다.

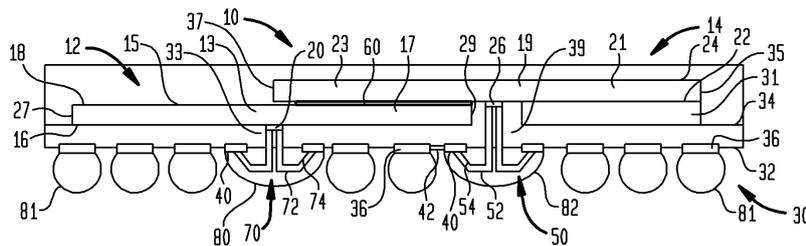
[0052] 도 14에 나타난 바와 같이, 상기 설명한 마이크로전자 조립체는 회로 패널 또는 보드(1200)에 전기적으로 연결될 수 있다. 예를 들어, 마이크로전자 조립체(10)는 솔더 볼(81)이나 구리 필러(copper pillar)와 같은 다수의 결합 유닛을 포함할 수 있다. 솔더 볼(81)은 마이크로전자 조립체(10)를 회로 패널(1200)에 전기 접속시킨다. 도 14에서는 솔더 볼(81)이 마이크로전자 조립체(10)를 회로 패널(1200)에 접속시키는 것으로 도시하고 있지만, 임의의 전기 전도성을 가진 요소를 사용해서 회로 패널(1200)과 마이크로전자 조립체(10)를 상호접속시킬 수 있다. 하나 이상의 전기 전도성 요소 또는 단자(1202)는 회로 패널(1200)의 제1 면(1204)에 노출되어 있다. 회로 패널(1200)의 제1 면(1204)은 솔더 볼(81)과 마주 향하고 있다. 솔더 볼(81)은 단자(1202)에 부착되며, 회로 패널(1200) 내의 적어도 몇몇 회로에 전기적으로 상호접속된다.

[0053] 본 명세서에서는 본 발명을 특정 실시예를 들어 설명하였지만, 이들 실시예는 본 발명의 원리와 응용에 대한 예시에 불과하다는 것을 이해할 수 있을 것이다. 따라서, 청구범위에서 청구하는 본 발명의 정신과 범위를 벗어남이 없이, 예시한 실시예에 대해 많은 변형이 가능하다는 것을 이해하여야 한다.

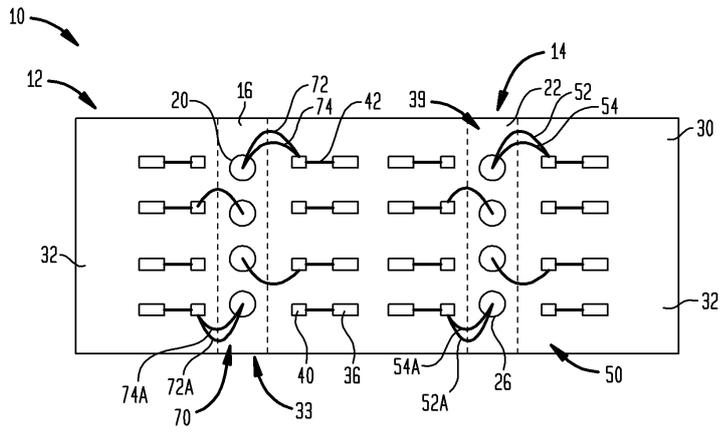
[0054] 본 명세서에서 개시한 많은 종속 청구항 및 특징은 독립 청구항에 제시된 것보다 다양한 방식으로 조합될 수 있다. 개별 실시예들과 관련해서 기재한 특징들은 개시된 실시예들의 다른 특징들과 공유될 수 있다는 것을 이해하여야 한다.

도면

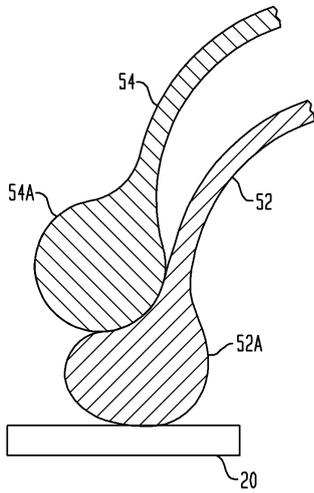
도면1



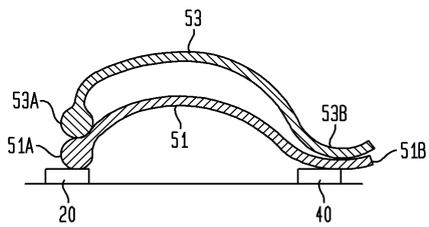
도면2



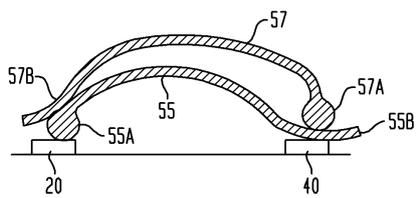
도면2a



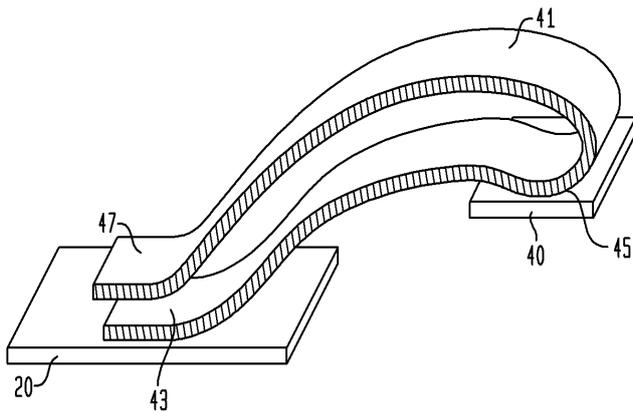
도면2b



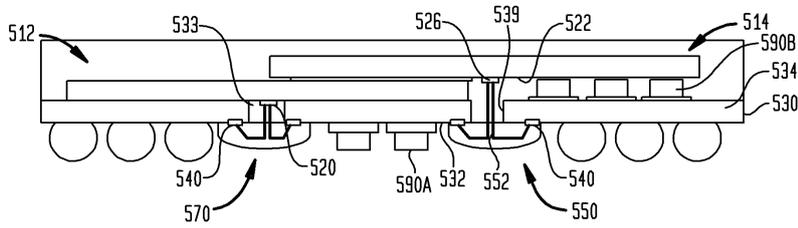
도면2c



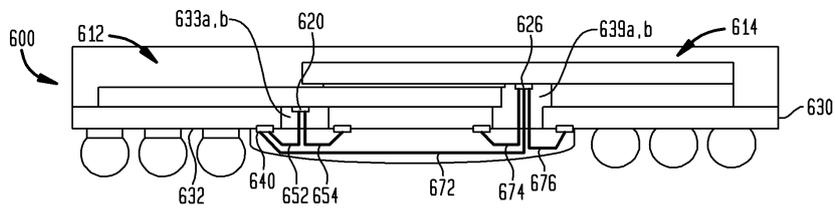
도면2d



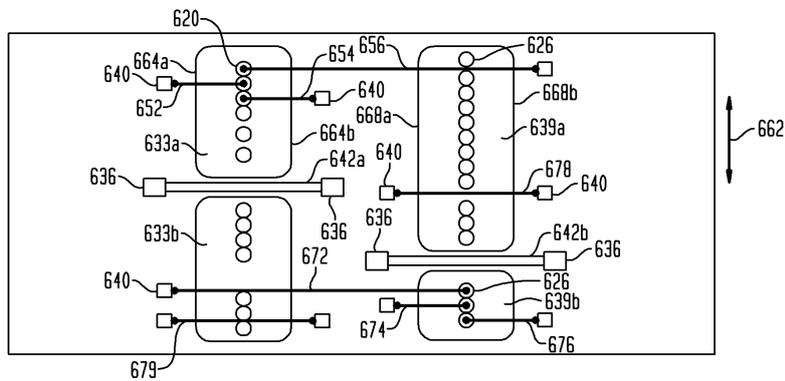
도면3



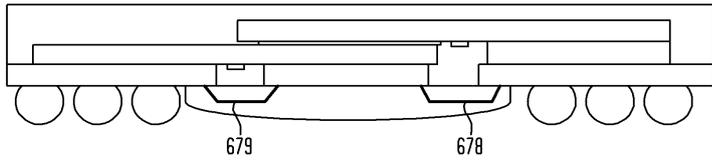
도면4



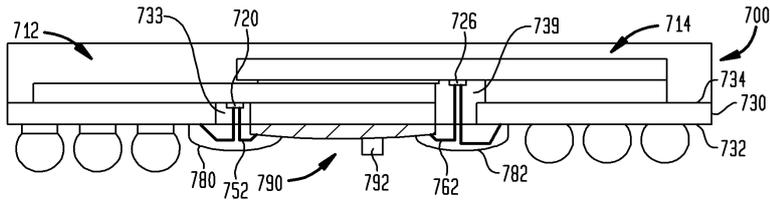
도면5



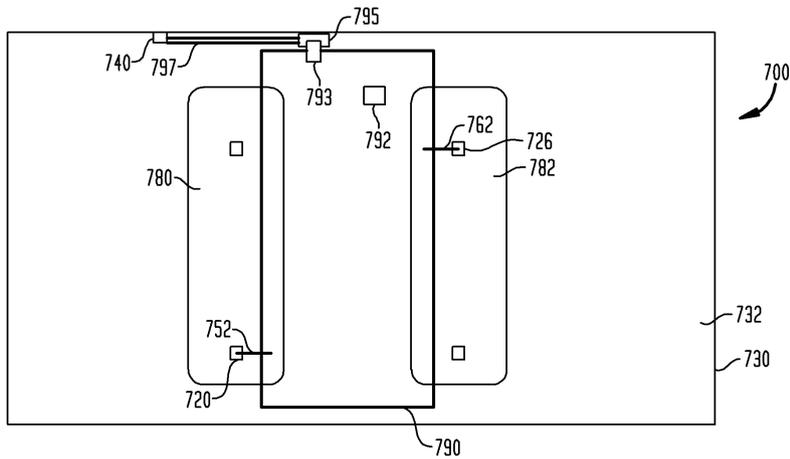
도면6



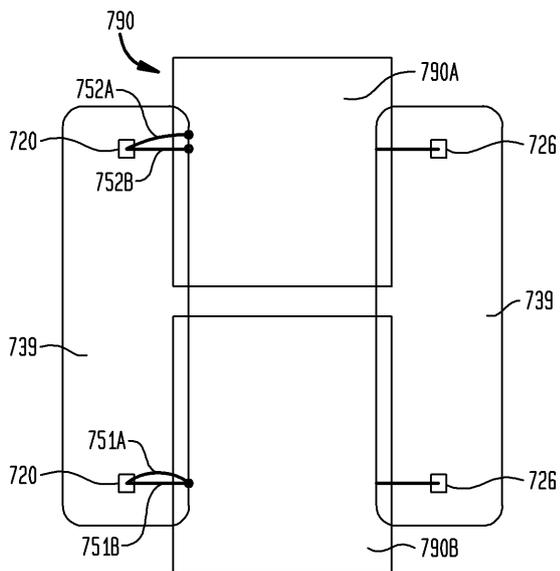
도면7



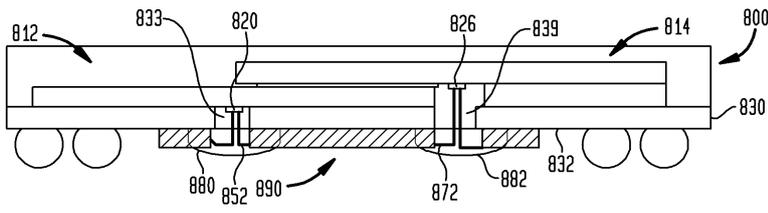
도면8



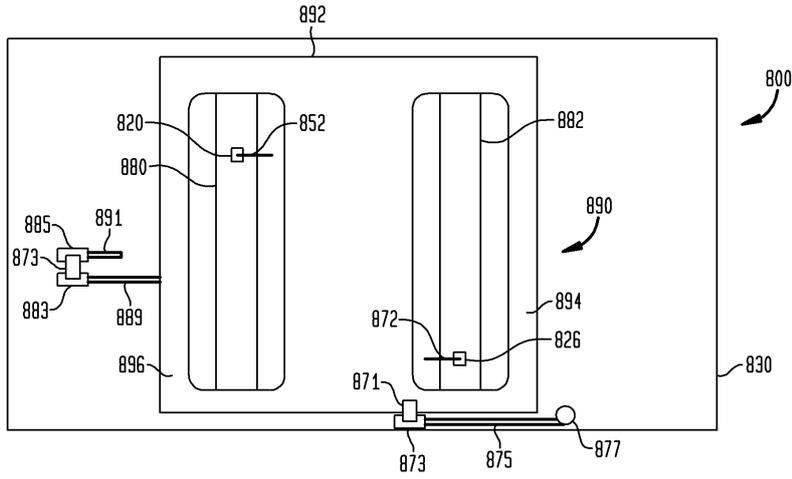
도면9



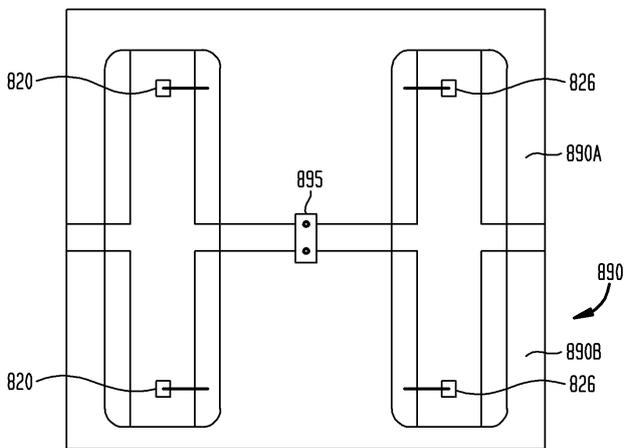
도면10



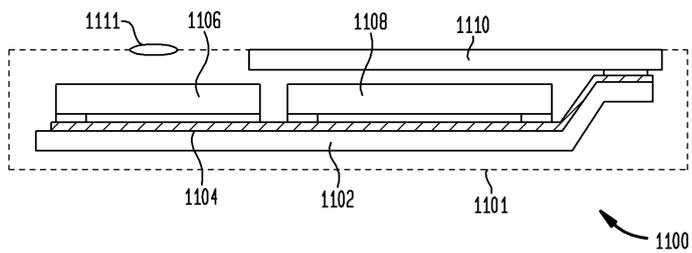
도면11



도면12



도면13



도면14

