

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 2 月 24 日(24.02.2011)

PCT

(10) 国際公開番号
WO 2011/021244 A1

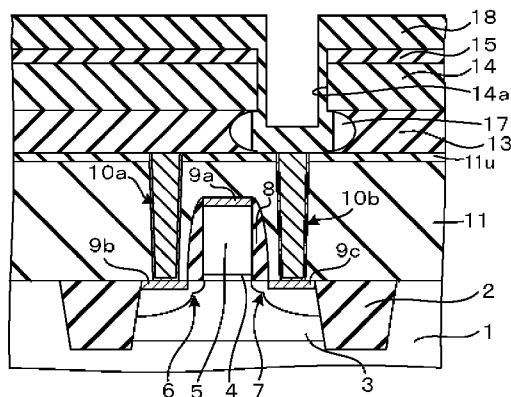
- (51) 国際特許分類:
H01L 21/768 (2006.01) H01L 23/522 (2006.01)
- (21) 国際出願番号: PCT/JP2009/003993
- (22) 国際出願日: 2009 年 8 月 20 日(20.08.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通セミコンダクター株式会社(FUJITSU SEMI-CONDUCTOR LIMITED) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目 10 番 23 Kanagawa (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 阿佐見範之 (ASAMI, Noriyuki) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目 10 番 23 富士通セミコンダクター株式会社内 Kanagawa (JP).
- (74) 代理人: 川上光治 (KAWAKAMI, Koji); 〒6500034 兵庫県神戸市中央区京町 7 6 番地 2 明海三宮第 2 ビル 9 階 欧和特許事務所 Hyogo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置の製造方法

[図1G]

図1G



(57) Abstract: Provided is a semiconductor device manufacturing method wherein a cavity can be excellently formed around a wiring structure. The semiconductor device manufacturing method has: a step of forming a first insulating film (13) above a semiconductor substrate (1); a step of forming, on the first insulating film (13), a second insulating film (14) having etching characteristics different from those of the first insulating film (13); a step of forming an opening section (14a) on the first insulating film (13) and the second insulating film (14); a step of forming a cavity (17) by widening the opening section (13) by etching the first insulating film (13) from inside the opening section (14a); a step of forming a third insulating film (18) inside the opening section (14a) while leaving the cavity (17); and a step of forming a conductive film (19) inside the opening section (14a) after forming the third insulating film (18).

(57) 要約: 配線構造の周囲で空洞を良好に形成することができる半導体装置の製造方法を提供する。半導体装置の製造方法は、半導体基板 1 の上方に第 1 絶縁膜 13 を形成する工程と、第 1 絶縁膜 13 上に、第 1 絶縁膜 13 とはエッチング特性の異なる第 2 絶縁膜 14 を形成する工程と、第 1 絶縁膜 13 及び第 2 絶縁膜 14 に開口部 14a を形成する工程と、開口部 14a の内側から第 1 絶縁膜 13 をエッチングすることにより開口部 13 を広げ、空洞 17 を形成する工程と、空洞 17 を残したまま開口部 14a 内に第 3 絶縁膜 18 を形成する工程と、第 3 絶縁膜 18 を形成した後に開口部 14a 内に導電膜 19 を形成する工程とを有する。

WO 2011/021244 A1

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に関する。

背景技術

[0002] 半導体装置内の配線間に存在する寄生容量を低減するために、配線間の絶縁膜を低誘電率材料から形成する構造が知られている。低誘電率材料として、例えば酸化シリコンよりも誘電率の低い材料、例えば炭化酸化シリコン、炭化シリコンがある。

[0003] また、半導体集積回路の高密度化、微細化に伴って配線ピッチが狭くなり、配線間寄生容量のさらなる低減が要求されている。その手段の1つとして、配線の周囲に、スペース、エアギャップと呼ばれる空洞を形成する構造が知られている。

[0004] 配線の周囲にスペースを形成する方法は例えば次の工程を有する。

[0005] まず、配線の上面と側面のそれぞれの上に Si_3N_4 膜を形成し、さらに、 Si_3N_4 膜を覆う SiO_2 の層間絶縁膜を形成する。続いて、層間絶縁膜のうち配線の上に Si_3N_4 膜の一部を露出する開孔を形成する。さらに、開孔の内周面にバリアメタルを形成する。その後に、開孔を通して Si_3N_4 膜をウェットエッチングにより除去することにより、配線と層間絶縁膜の間にスペースを形成する。スペースを形成した後に、タングステン膜を開孔内から配線に達する深さに形成し、これをプラグとして使用する。

[0006] 配線の周囲にエアギャップを形成するために次のような方法が知られている。

[0007] まず、 SiOC 膜に溝を形成し、ついで、 SiOC 膜の溝の側壁にダメージ層を形成した後、 SiOC 膜上及び溝内に誘電体薄層を形成し、さらにエッチバックにより誘電体薄膜をサイドウォール保護層としてダメージ層の横に残す。次に、溝内に銅配線を形成した後に、フッ酸を用いてダメージ層を

選択的にエッチングすることにより、銅配線の側方にエアギャップを形成する。その後に、エアギャップ及びS i O C膜、銅配線の上を誘電体膜によりキャップする。

[0008] エアギャップのその他の形成方法として、まず、同層の複数の配線の間絶縁膜をエッチングして深いギャップを形成する。その後に、ピンチオフ効果を伴う条件でS i O C膜を配線の上に形成する。ピンチオフ効果によれば、配線の上にエアギャップが形成される。

[0009] さらに別な方法として、配線を覆うS i O₂膜をエッチングして、配線の周囲にエアギャップを形成する方法が知られている。

[0010] 特許文献1：特開平5-7010号公報

特許文献2：特開2003-60034号公報

非特許文献1：Hsien-Wei Chen, and others, “A Self-Aligned Air Gap Interconnect Process”, 2008 IEEE, pp.34-36

非特許文献2：T. Harada, and others, “Air Gap Integration of 45nm Node Cu Interconnects and Evaluations of Electrical and Mechanical Characteristics”, Advanced Metallization Conference (AMC) 2008, September 24, Del Mar/San Diego, CA

非特許文献3：R. Gras, and others, “300mm Multi Level Air Gap Integration for Edge Interconnect Technologies and Specific High Performance Applications” 2008 IEEE, pp.196-198

発明の開示

発明が解決しようとする課題

[0011] ダマシン又はデュアルダマシンの配線構造の周囲で良好に空洞を形成することができる半導体装置の製造方法を提供する。

課題を解決するための手段

[0012] 1つの観点によれば、半導体基板の上方に第1絶縁膜を形成する工程と、前記第1絶縁膜上に、前記第1絶縁膜とはエッチング特性の異なる第2絶縁膜を形成する工程と、前記第1絶縁膜及び前記第2絶縁膜に開口部を形成す

る工程と、前記開口部の内側から前記第 1 絶縁膜をエッチングすることにより前記開口部を広げ、空洞を形成する工程と、前記空洞を残したまま前記開口部内に第 3 絶縁膜を形成する工程と、前記第 3 絶縁膜を形成した後、前記開口部内に導電膜を形成する工程とを有することを特徴とする半導体装置の製造方法が提供される。

- [0013] 発明の目的および利点は、請求の範囲に具体的に記載された構成要素および組み合わせによって実現され達成される。前述の一般的な説明および以下の詳細な説明は、典型例および説明のためのものであって、本発明を限定するためのものではない、と理解すべきである。

発明の効果

- [0014] 本発明によれば、エッチング特性の異なる第 1、第 2 絶縁膜に開口部を形成した後に、第 1 絶縁膜をエッチングすることにより開口部の下部の開口面積を横方向に広げて空洞を形成している。その後、開口部の内側から第 3 絶縁膜で空洞の開口部を覆い、その後、開口部内に導電膜を形成することにより、導電膜の周囲に空洞を形成することができる。

図面の簡単な説明

- [0015] [図1A]図 1 A～図 1 Cは、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 1～3）である。
- [図1D]図 1 D～図 1 Fは、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 4～6）である。
- [図1G]図 1 G～図 1 Iは、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 7～9）である。
- [図1J]図 1 J、図 1 Kは、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 10、11）である。
- [図1L]図 1 L、図 1 Mは、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 12、13）である。
- [図1N]図 1 N、図 1 Oは、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 14、15）である。

[図1P]図1 p、図1 Qは、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図（その16、17）である。

[図1R]図1 R、図1 Sは、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図（その18、19）である。

[図2]図2は、本発明の第1実施形態に係る半導体装置の形成工程の別の例を示す断面図である。

[図3]図3は、本発明の第1実施形態に係る半導体装置の形成工程のさらに別の例を示す断面図である。

[図4]図4 A、図4 Bは、本発明の第1実施形態に係る半導体装置の形成工程において、エアギャップの開口を覆う方法の別の例を示す断面図である。

[図5]図5 A、図5 Bは、本発明の第1実施形態に係る半導体装置の形成工程において、エアギャップの開口を覆う方法のさらに別の例を示す断面図である。

[図6]図6 A～図6 Eは、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図である。

[図7A]図7 A～図7 Dは、本発明の第3実施形態に係る半導体装置の形成工程を示す断面図（その1～4）である。

[図7E]図7 E～図7 Hは、本発明の第3実施形態に係る半導体装置の形成工程を示す断面図（その5～8）である。

[図8A]図8 A、図8 Bは、本発明の第4実施形態に係る半導体装置の形成工程を示す断面図（その1、2）である。

[図8C]図8 C、図8 Dは、本発明の第4実施形態に係る半導体装置の形成工程を示す断面図（その3、4）である。

[図8E]図8 E、図8 Fは、本発明の第4実施形態に係る半導体装置の形成工程を示す断面図（その5、6）である。

[図8G]図8 G、図8 Hは、本発明の第4実施形態に係る半導体装置の形成工程を示す断面図（その7、8）である。

[図8I]図8 I、図8 Jは、本発明の第4実施形態に係る半導体装置の形成工

程を示す断面図（その 9、10）である。

[図8K] 図 8 K は、本発明の第 4 実施形態に係る半導体装置の形成工程を示す断面図（その 11）である。

[図9] 図 9 A、図 9 B は、本発明の第 4 実施形態に係る半導体装置の形成工程において、エアギャップの開口を覆う方法の別の例を示す断面図である。

[図10A] 図 10 A、図 10 B は、本発明の第 4 実施形態に係る半導体装置の形成工程において、エアギャップを形成する方法の別の例を示す断面図（その 1、2）である。

[図10C] 図 10 C、図 10 D は、本発明の第 4 実施形態に係る半導体装置の形成工程において、エアギャップを形成する方法の別の例を示す断面図（その 3、4）である。

[図10E] 図 10 E、図 10 F は、本発明の第 4 実施形態に係る半導体装置の形成工程において、エアギャップを形成する方法の別の例を示す断面図（その 5、6）である。

[図11] 図 11 は、本発明の第 4 実施形態に係る半導体装置の形成工程において、配線及びビアを形成する別の方法を示す断面図である。

[図12] 図 12 は、本発明の第 4 実施形態に係る半導体装置の形成工程において、配線及びビアを形成するさらに別の方法を示す断面図である。

[図13] 図 13 A、図 13 B は、本発明の第 4 実施形態に係る半導体装置の形成工程において、エアギャップを形成する別の方法を示す断面図である。

発明を実施するための形態

[0016] 以下に、図面を参照して本発明の好ましい実施形態を説明する。図面において、同様の構成要素には同じ参照番号が付されている。

（第 1 の実施の形態）

図 1 A ～ 図 1 S は、本発明の実施形態に係る半導体装置の形成工程を示す断面図である。

[0017] 図 1 A に示す構造を形成するまでの工程を説明する。

[0018] まず、半導体基板、例えば n 型又は p 型のシリコン基板 1 に素子分離構造

を形成する。なお、半導体基板はS O I 基板であってもよい。素子分離構造として、活性領域の周囲に例えばシャロートレンチアイソレーション（S T I）2を形成する。S T I 2の形成は次の方法で形成される。

[0019] まず、図示しないシリコン酸化膜、シリコン窒化膜をシリコン基板1上に順に形成した後に、シリコン窒化膜及びシリコン酸化膜をフォトリソグラフィ法によりパターニングして素子分離領域に開口部を形成する。その後に、その開口部を通してシリコン基板1をエッチングし、素子分離領域に溝を形成する。

[0020] さらに、溝内とシリコン窒化膜上に絶縁膜をC V D法により形成した後に、化学機械研磨（C M P）法によりシリコン窒化膜上の絶縁膜を除去し、溝内に残された絶縁膜をS T I 2として用いる。なお、溝内の絶縁膜として、例えばシリコン酸化膜を形成する。

[0021] その後に、シリコン基板1上面からシリコン窒化膜、シリコン酸化膜を除去する。

[0022] なお、素子分離構造として、S T I 2の代わりに、L O C O S法によりシリコン基板1表面にシリコン酸化膜を形成してもよい。

[0023] 次に、S T I 2によって区画されるN M O S形成領域にp型不純物、例えばホウ素をイオン注入してpウェル3を形成する。不純物イオンを注入する際には、イオンを注入しない領域をレジストパターンにより覆う。また、シリコン基板1のうち図示しないP M O S形成領域にはn型不純物をイオン注入してnウェルを形成する。なお、本実施形態では、主にN M O Sトランジスタ及びその上の多層配線構造を説明する。

[0024] 続いて、シリコン基板1の表面に、ゲート絶縁膜4としてシリコン酸化膜をドライ熱酸化法により例えば約1.5nmの厚さに形成する。その後に、ゲート絶縁膜4及びS T I 2の上にポリシリコン膜をC V D法により例えば約100nmの厚さに形成する。

[0025] 続いて、ポリシリコン膜のうちpウェル3の上方の領域内にn型不純物であるリンをイオン注入する。

- [0026] なお、上記のようにイオン注入されたp型及びn型の不純物はアニール、例えば高速熱アニール（RTA）により活性化される。
- [0027] 次に、ポリシリコン膜をフォトリソグラフィ法によりパターニングすることにより、pウェル3の上方にポリシリコン膜をゲート電極5として残す。ゲート電極5の幅、即ちゲート長は例えば約32nmである。
- [0028] 続いて、ゲート電極5、STI2等をマスクにして、pウェル3内にn型不純物、例えばリン又は砒素をイオン注入する。これにより、ゲート電極5の両側のシリコン基板1内に、n型エクステンション領域6a、7aを形成する。
- [0029] 次に、シリコン基板1、ゲート電極5及びSTI2の上に絶縁膜を形成した後に、シリコン基板1が露出するまで絶縁膜をエッチバックするとともに、絶縁膜をゲート電極5の側面上にサイドウォール8として残す。サイドウォール8を形成するための絶縁膜として、例えばCVD法によりシリコン酸化膜を形成する。
- [0030] さらに、ゲート電極5及びサイドウォール8等をマスクに使用してpウェル3内にn型不純物をイオン注入することにより、ゲート電極5の両側方のシリコン基板1内に高濃度n型不純物領域6b、7bを形成する。
- [0031] その後に、n型エクステンション領域6a、7a及び高濃度n型不純物領域6b、7bを例えばRTA法により活性化する。
- [0032] これにより、ゲート電極5の両側の領域でそれぞれ重なるn型エクステンション領域6a、7aと高濃度n型不純物領域6b、7bはソース／ドレイン領域6、7となる。
- [0033] なお、n型エクステンション領域6a、7aと高濃度n型不純物領域6b、7bを形成するためのイオン注入の際には、イオン注入しない領域をフォトレジストにより覆う。
- [0034] 次に、ゲート電極5、ソース／ドレイン領域6、7を覆う金属膜、例えば高融点金属であるニッケル膜をシリコン基板1の上に形成する。続いて、ニッケル膜をアニールすることにより、ゲート電極5及びソース／ドレイン領

域 6、7 のそれぞれの上部にシリサイド層 9 a、9 b、9 c を形成する。その後、ニッケル膜を除去する。

[0035] なお、シリコン基板 1 のうちシリサイド層を形成しない領域には、金属膜を形成する前に絶縁膜、例えばシリコン窒化膜を形成する。そのシリコン窒化膜は、シリサイド層 9 a、9 b、9 c を形成した後に、例えば熱リン酸により除去される。

[0036] 以上の工程により N M O S 形成領域には、p ウェル 3、ゲート絶縁膜 4、ゲート電極 5、ソース／ドレイン領域 6、7 等により N 型 M O S トランジスタ T の基本構造が形成される。

[0037] 次に、図 1 B に示す構造を形成するまでの工程を説明する。

[0038] N 型 M O S トランジスタ T 及びシリコン基板 1 の上に第 1 層間絶縁膜 1 1 を形成する。第 1 層間絶縁膜 1 1 として P S G 膜を C V D 法により形成する。さらに、第 1 層間絶縁膜 1 1 の上面を C M P 法により平坦化する。その後、第 1 層間絶縁膜 1 1 上に第 1 キャップ絶縁膜 1 1 u をプラズマ C V D 法により例えば約 3 0 n m の厚さに形成する。第 1 キャップ絶縁膜 1 1 u の材料は、炭化シリコン (S i C)、炭化窒化シリコン (S i O N)、窒化ホウ素 (B N) 等、又は、それらいずれかの材料に水素を含む材料から選択される。

[0039] 続いて、ソース／ドレイン領域 6、7 の上方に開口部を有するレジストパターン (不図示) を第 1 キャップ絶縁膜 1 1 u の上に形成する。さらに、レジストパターンの開口部を通して第 1 キャップ絶縁膜 1 1 u、第 1 層間絶縁膜 1 1 を例えば R I E 法によりエッチングすることにより、コンタクトホール 1 1 a、1 1 b をソース／ドレイン領域 6、7 の上に形成する。

[0040] 続いて、コンタクトホール 1 1 a、1 1 b の内面に、チタン層、窒化チタン層の下地金属膜 1 2 a を例えばスパッタ法により形成した後に、コンタクトホール 1 1 a 内にタングステン膜 1 2 b を C V D 法により形成する。タングステン膜 1 2 b は、コンタクトホール 1 1 a を完全に充填する厚さに形成される。

- [0041] さらに、第1キャップ絶縁膜11u上に形成されたタングステン膜12b及び下地金属膜12aをCMP法により除去する。
- [0042] これにより、コンタクトホール11a、11b内に残されたングステン膜12b及び下地金属膜12aを導電性プラグ10a、10bとして用いる。pウェル3の上方の導電性プラグ10a、10bのそれぞれは、ゲート電極5の両側のソース／ドレイン領域6、7にシリサイド層9b、9cを介して接続される。なお、図示しない領域でゲート電極5にも導電性プラグがシリサイド層9aを介して接続される。
- [0043] 次に、図1Cに示す構造を形成するまでの工程を説明する。
- [0044] まず、第1キャップ絶縁膜11u上に第2層間絶縁膜13、第3層間絶縁膜14及び第2キャップ絶縁膜15を順に形成する。第2、第3層間絶縁膜13、14の合計の厚さは、例えば50nm～200nmの厚さとなるように調整される。
- [0045] 第2層間絶縁膜13、第3層間絶縁膜14のそれぞれの材料は、酸化シリコン(SiO)、炭化酸化シリコン(SiOC)、酸化フッ化シリコン(SiOF)、窒化ホウ素(BN)等、又は、それらのいずれかの材料に水素を含む材料から選択される。第2キャップ絶縁膜15の材料は、SiC、SiON、BN等、又は、それらのいずれかの材料に水素を含む材料から選択される。
- [0046] 材料の選択は、第3層間絶縁膜14及び第1、第2キャップ絶縁膜11u、15に対して第2層間絶縁膜13を選択的にエッチングできる材料であることを条件とする。換言すれば、第2層間絶縁膜13は、第3層間絶縁膜14に対してエッチングレートを高くすることができる材料から形成される。
- [0047] なお、第2層間絶縁膜13は、第3層間絶縁膜14よりも低誘電率であってもよい。
- [0048] 例えば、第2層間絶縁膜13としてSiO膜をプラズマCVD法により5nm～100nmの厚さに形成する。また、第3層間絶縁膜14として、例えばSiC膜又はSiOC膜をプラズマCVD法により5nm～100nm

の厚さに形成する。

[0049] 第2キャップ絶縁膜15として、例えばSiC膜をプラズマCVD法により15nm～60nmの厚さに形成する。

[0050] ここで、第2層間絶縁膜13と第3層間絶縁膜14の形成方法の一例を示す。ここでは第2層間絶縁膜13と第3層間絶縁膜14は同一のCVD原料を用い、膜中の酸素量を変化させることにより、エッチングレートを互いに相違させる例を示す。

[0051] 例えば原料ガスとしてトリメチルシリルアセチレン(TMSA)を用いる。そして、成膜雰囲気内にTMSAガスを6sccmで供給し、CO₂流量を約5000sccmで供給し、圧力を10mTorrに設定し、RF電源のHFを2500W、RF電源のLFを200Wに設定し、基板温度を400℃とする。このときO₂を例えば0sccm～2000sccmの範囲で変化させると、膜中の酸素量を変化させることができる。酸素量を例えば2000sccmとするとSiOに近い膜組成となり、第2層間絶縁膜13を形成することができる。

[0052] 一方、酸素量を例えば0sccmとするとSiCに近い膜組成となり、第3層間絶縁膜14を形成することができる。また、成膜ガスにシランガスやテトラエトキシシラン(TEOS)ガス、一酸化二窒素ガスを加えても良い。

[0053] 上記方法によって形成された第2層間絶縁膜13のフッ酸によるエッチングレートは、濃度0.5%のフッ酸に浸漬した場合に20nm/min程度である。また、上記方法により形成された第3層間絶縁膜14のフッ酸によるエッチングレートは、濃度0.5%のフッ酸に浸漬した場合に1nm/min程度である。

[0054] 第2層間絶縁膜13の成膜から第3層間絶縁膜14の成膜への切り替えは、連続的に行なってもよい。すなわち、成膜中に酸素ガス供給量を滑らかに増減させてもよい。

[0055] 次に、図1Dに示すように、第2キャップ絶縁膜15上にフォトリジスト

を塗布し、これを露光、現像することにより、開口部 16 a を有するレジストパターン 16 を形成する

。開口部 16 a は、図 1 D では、一方の導電性プラグ 10 b の直上の領域を含む配線形状を有しているが、他方の導電性プラグ 10 a の上にも形成する形状でもよい。

[0056] さらに、図 1 E に示すように、レジストパターン 16 をマスクに用い、開口部 16 a を通して第 2 キャップ絶縁膜 15、第 3 及び第 2 層間絶縁膜 14、13 をプラズマエッチング法により等方性エッチングし、配線溝 14 a となる開口部を形成するとともに、配線溝 14 a の下の導電性プラグ 10 b の上端を露出させる。この場合、反応ガスとして例えばフッ素含有ガスを用いる。

[0057] 続いて、図 1 F に示すように、例えば約 1 質量%の濃度に希釈化された緩衝フッ酸溶液に配線溝 14 a 内を例えば 60 秒～120 秒程度の時間で浸漬する。これにより、第 2 層間絶縁膜 13 であるシリコン酸化膜が配線溝 14 a 内で横方向に等方的にエッチングされる。そして、配線溝 14 a の下部が広がって第 2 層間絶縁膜 13 にエアギャップ（空洞）17 が形成される。

[0058] エアギャップ 17 の横方向の長さは、次工程で形成しようとする絶縁性の被覆膜 18 によりエアギャップ 17 が全て埋め込まれない大きさを有している。その横方向の長さは、例えば第 2 層間絶縁膜 13 の厚さの $1/2$ 以上が好ましい。例えば 50 nm の厚さを有する第 2 層間絶縁膜 13 に形成されるエアギャップ 17 の横の長さは 25 nm 以上である。

[0059] 次に、図 1 G に示すように、第 2 キャップ絶縁膜 15 上と配線溝 14 a の内面に絶縁性の被覆膜 18 を形成する。被覆膜 18 は、配線溝 14 a の中からエアギャップ 17 の開口を覆うとともに、エアギャップ 17 を完全に埋め込まない条件で形成される。

[0060] 被覆膜 18 は、SiO、SiC、SiCN、SiON、BN 等の絶縁材料、又はそれらのいずれかの材料に水素を含んだ材料から形成される。

[0061] 例えば、被覆膜 18 としてプラズマ CVD 法により SiC 膜を形成する。

S i C膜の形成条件として、テトラメチルシラン（4MS）ガスを流量10 s c c m、CO₂ガスを流量5000 s c c mで成膜チャンバ内に導入するとともに、成膜チャンバ内の圧力を5mT o r r（0.67Pa）、基板温度を400℃に設定する。この場合、成膜チャンバ内の高周波電極には例えば約600Wの電力を供給する。

[0062] また、被覆膜18として塗布系絶縁膜をスピンコート法により形成してもよく、この場合には粘度が3mPa・s以上の塗布用薬液を用いて回転数を例えば約3000回転／分程度の条件で塗布し、その後に焼成する。塗布系絶縁膜として、例えばSOG膜を形成する。

[0063] 次に、図1Hに示すように、RIE法によりシリコン基板1の面に垂直な方向で被覆膜18を配線溝14a底部が露出するまで異方性エッチングする。これにより、導電性プラグ10Bが露出する。エッチングは、配線溝14aとエアギャップ17の間に被覆膜18を残す条件とする。

[0064] そのエッチングにより、配線溝14aとエアギャップ17の空間は被覆膜18により仕切られ、また第2キャップ絶縁膜15上の被覆膜18は薄くなるか或いは完全に除去される。被覆膜18がS i C膜の場合にはエッチングガスとして塩素系ガスを使用する。また、被覆膜18が酸化シリコン系の場合にはエッチングガスとしてフッ素系ガスを使用する。

[0065] この状態で配線溝14aの側面は被覆膜18で覆われることになり、配線溝14aの幅は実質的に狭くなる。従って、初期の配線溝14aの幅は、被覆膜18の残存幅を見越して予め広く形成される。

[0066] 次に、図1Iに示す構造を形成するまでの工程を説明する。

[0067] まず、配線溝14aの内面と第2キャップ絶縁膜15の上にバリアメタル層19a、シードメタル層19bを形成する。バリアメタル層19aとして、銅（Cu）の拡散防止機能を有する例えばタンタル層をスパッタ法により形成する。また、シードメタル層19bとして、Cu層をスパッタ法により形成する。バリアメタル層19aは、被覆膜18に接合し、エアギャップ1

7に侵入しない。

[0068] 続いて、バリアメタル層19a及びシードメタル層19bを電極に使用して、シードメタル層19b上にCu層19cを電解メッキにより形成する。Cu層19cは、配線溝14aを完全に埋め込む厚さに形成される。

[0069] 次に、図1Jに示すように、バリアメタル19a、シードメタル層19b及びCu層19cをCMPにより研磨して被覆膜18上から除去する。さらに、図1Kに示すように、CMPを続けることにより第2キャップ絶縁膜15上の被覆膜18を除去する。

[0070] 配線溝14a内に残されたバリアメタル19a、シードメタル層19b及びCu層19cは、第1の配線19として使用される。第1の配線19は、絶縁性の被覆膜18を介してエアギャップ17に隣接する。

[0071] なお、バリアメタル19a、シードメタル層19b及びCu層19cは、導電膜の一例であり、他の材料、例えば銅合金であってもよい。

[0072] 次に、図1Lに示す構造を形成するまでの工程を説明する。

[0073] まず、第1の配線19及び第2キャップ絶縁膜15の上に、エッチングストップ膜20としてSiCH膜をプラズマCVD法により例えば約30nmの厚さに形成する。続いて、エッチングストップ膜20上に、第4層間絶縁膜21としてSiOC膜をプラズマCVD法により例えば約250nmの厚さに形成する。さらに、第4層間絶縁膜21上に、第3キャップ絶縁膜22として例えばSiCH膜をプラズマCVD法により例えば約30nmの厚さに形成する。

[0074] 続いて、第3キャップ絶縁膜22上に、シリコン窒化膜をハードマスク膜23としてCVD法により約60nmの厚さに形成する。さらに、ハードマスク膜23上にフォトリソを塗布し、これを露光、現像することによりレジストパターン24を形成する。レジストパターン24は、ビアホールを形成する位置にホール24aを有している。ホール24aは、第1の配線19の一部の上に位置する。

[0075] 次に、レジストパターン24のホール24aを通してハードマスク膜23

、第3キャップ絶縁膜22及び第4層間絶縁膜21をプラズマエッチング法によりエッチングすることにより、ビアホール21aを形成する。エッチングガスとして、例えば CF_4 を含むガスをエッチングチャンバ内に導入する。その後に、図1Mに示すように、レジストパターン24を酸素プラズマにより除去する。

[0076] 続いて、図1Nに示すように、ハードマスク膜23上にレジン25を塗布するとともにビアホール21a内にレジン25を充填する。その後に、レジン25を加熱して硬化する。さらに、レジン25上にフォトリソレジストを塗布し、これを露光、現像することにより、レジストパターン26を形成する。レジストパターン26は、ビアホール21a上を通る配線形状の開口部26aを有する。

[0077] 次に、図1Oに示すように、レジストパターン26の開口部26aを通して、ハードマスク膜23から第4層間絶縁膜21の途中までプラズマエッチング法によりエッチングすることにより、配線溝21bを形成する。配線溝21bは、第4層間絶縁膜22の上から例えば約100nm程度の深さとする。エッチングガスとしてフッ素系ガスを使用する。この場合、エッチングストップ膜20は、レジン26により保護されているのでエッチングされない。

[0078] その後に、図1Pに示すように、レジストパターン28及びレジン26を例えば酸素プラズマにより除去する。

[0079] 次に、図1Qに示すように、ビアホール21aを通してエッチングストップ膜20をプラズマエッチング法によりエッチングすることによりビアホール12aから第1の配線19の一部を露出する。エッチングガスとして例えば CH_2F_2 、 O_2 を含むガスを使用する。この場合、ハードマスク膜23も同時にエッチングされ、さらに配線溝21bが深くなる。

[0080] 次に、図1Rに示すように、ビアホール21a、配線溝21bの内面と第3キャップ絶縁膜22の上にバリアメタル層29a、シードメタル層29bを例えばスパッタ法により順に形成する。バリアメタル層29aとしてTa

層を形成し、シードメタル層 29 b として Cu 層を形成する。続いて、ビアホール 21 a 及び配線溝 21 b を埋める厚さに Cu 層 29 c を電解メッキにより形成する。

[0081] 次に、図 1 S に示すように、第 3 キャップ絶縁膜 22 が露出するまで Cu 層 29 c 及びシードメタル層 29 b、バリアメタル層 29 a を CMP 法により研磨する。そして、配線溝 21 b 内に残された Cu 層 29 c 及びシードメタル層 29 b、バリアメタル層 29 a を第 2 の配線 31 とする。また、ビアホール 21 a 内の残された Cu 層 29 c 及びシードメタル層 29 b、バリアメタル層 29 a をビア 30 とする。

[0082] その後、第 1 の配線 19 が接続されない導電性プラグ 10 a の上にビアホールを形成し、その中に導電性のビアを形成する。さらに、上記と同様な方法を用いて、上側の絶縁膜、配線、ビア等を形成し、半導体装置を完成させる。

[0083] 上記のように本実施形態によれば、エッチング特性の異なる第 2 層間絶縁膜 13 及び第 3 層間絶縁膜 14 に配線溝（開口部）14 a を形成した後に、配線溝 14 a の内側から第 2 層間絶縁膜 13 をエッチングすることにより、配線溝 14 a の下部の開口面積を横方向に広げてエアギャップ 17 を形成している。その後に、配線溝 14 a の内側から絶縁性の被覆膜 18 でエアギャップ 17 の内側開口を覆い、その後に、配線溝 14 a 内に第 1 の配線 19 をダマシン法により形成している。

[0084] 従って、配線溝 14 a の上に形成されるビアホール 21 a が横方向にずれても、配線溝 14 a の横の第 3 層間絶縁膜 14 によってビアホール 21 a がエアギャップ 17 に達することが阻止される。これにより、ビア 30 がエアギャップ 17 を埋めることはない。

[0085] また、ダマシン法により第 1 の配線 19 を形成する工程の途中、即ち配線溝 14 a の形成後であって配線用金属膜 19 a ~ 19 c の形成前の工程でエアギャップ 17 を形成している。これにより、エアギャップ形成用のエッチャントが第 1 の配線 19 にダメージを与えることはない。

- [0086] ところで、第１の配線１９を形成するためのCMPによる研磨工程では、図１Ｋに示したように第２キャップ絶縁膜１５が露出した後に研磨を停止している。しかし、さらに研磨を進めて図２に示すように第２キャップ絶縁膜１５を除去し、第３層間絶縁膜１４を露出させてもよい。
- [0087] また、上記した第２キャップ絶縁膜１５の形成は省略されてもよい。しかし、第３層間絶縁膜１４がポーラスな場合には、図３に示すように第３層間絶縁膜１４上に絶縁性の被覆膜１８を残すことが好ましい。
- [0088] 上記の説明では、配線溝１４ａ内の被覆膜１８をエッチングして導電性プラグ１０ａ、１０ｂの上端を露出する工程では異方性エッチングを作用しているが、等方性エッチングを採用してもよい。
- [0089] 等方性エッチングによれば、図４Ａに示すように、被覆膜１８によりエアギャップ１７の側部開口を覆いつつ配線溝１４ａの側壁を露出することができる。これにより、配線溝１４ａの幅が被覆膜１８により狭くならないので、図４Ｂに示すように、配線溝１４ａ内に形成する第１の配線１９の幅と配線溝１４ａの幅を実質的に同じにすることができる。
- [0090] 上記のエアギャップ１７と配線１９ａの境界を仕切るために形成される被覆膜１８は、図５Ａに示すように、成膜当初にはエアギャップ１７を除いて配線溝１４ａを完全に埋め込む厚さに形成してもよい。この場合、被覆膜１８は、エアギャップ１７を埋め込まない条件で形成される。
- [0091] その厚さに形成される被覆膜１８は、配線溝１４ａを再び確保するとともに導電性プラグ１０ｂの上端を露出させるために、エッチングされる必要がある。導電性プラグ１０ｂは次の工程により露出される。
- [0092] まず、図５Ａに示すように、配線溝１４ａを完全に埋め込む被覆膜１８を形成する。被覆膜１８上面の平坦性が足りない場合には被覆膜１８上面にCMPを実施する。その後に、被覆膜１８上にフォトリジストを塗布し、これを露光、現像することにより、配線溝１４ａの直上に配線形状の開口部３２ａを有するレジストパターン３２を被覆膜１８上に形成する。
- [0093] 続いて、図５Ｂに示すように、開口部３２ａを通して被覆膜１８をエッチ

ングし、配線溝 14 a の空間を形成するとともに導電性プラグ 10 b の上端面を露出する。そして、レジストパターン 32 を除去した後に、上記と同様な方法を用いて配線溝 14 a 内に第 1 の配線 19 を形成する。

[0094] なお、図 5 B では、配線溝 14 a の側壁に被覆膜 18 を薄く残すようにしたが、図 4 A に示したと同様に配線溝 14 a の側方の第 3 層間絶縁膜 14 を露出する条件でエッチングしてもよい。

[0095] ところで、第 1 キャップ絶縁膜 11 u 及び導電性プラグ 10 a、10 b と第 2 層間絶縁膜 13 の間に、酸素バリア膜として例えばシリコン窒化膜を薄く形成してもよい。そして、エアギャップ 17 を形成した後に、配線溝 14 a を通して酸素バリア膜をエッチングすることにより導電性プラグ 10 b の上端を露出してもよい。その酸素バリア膜については以下の実施形態において形成してもよい。

(第 2 の実施の形態)

以下に、第 2 実施形態に係る半導体装置の形成方法について説明する。

[0096] まず、第 1 実施形態と同様に、図 1 A に示す N 型 MOS トランジスタ T を形成し、さらに、図 1 B に示す第 1 層間絶縁膜 11、第 1 キャップ絶縁膜 11 u、導電性プラグ 10 a、10 b を形成する。

[0097] 次に、図 6 A ~ 図 6 E に示す工程により第 1 の配線 19 を形成する。なお、図 6 A ~ 図 6 E において、導電性プラグ 10 a、10 b の下のシリコン基板 1 及び NMOS トランジスタ T については記載を省略している。

[0098] 図 6 A に示すように、第 1 キャップ絶縁膜 11 u 上に、第 2 層間絶縁膜 13、第 3 層間絶縁膜 14、第 2 キャップ絶縁膜 15 を形成する。第 2 層間絶縁膜 13 は、第 3 層間絶縁膜 14、第 1、第 2 キャップ絶縁膜 11 u、15 に比べて、酸素プラズマによりダメージが入り易い材料から形成される。

[0099] 第 2 層間絶縁膜 13 として、例えば水素を含む SiOC 膜をプラズマ CVD 法により形成する。その形成条件として、例えば、TMSA を約 3 sccm、アセチレンを約 3 sccm、O₂ を約 200 sccm、CO₂ を約 5000 sccm の流量で反応室内に導入する。また、反応室内の圧力を 10 mT

Torr、基板温度を400℃に設定する。この条件によれば、アセチレンによってポロジェン（ CH_x ）が精製される。

[0100] そして、第2層間絶縁膜13を形成した後に、アニール等により膜中のポロジェンを除去して空孔率を20%以上に高める。

[0101] 第3層間絶縁膜14として、例えば第2層間絶縁膜13よりも空孔率の少ない水素含有SiOC膜をプラズマCVD法により形成する。その形状条件として、例えば、TMSAを約3sccm、 O_2 を約200sccm、 CO_2 を約5000sccmの流量で反応室内に導入する。また、反応室内の圧力を10mTorr、基板温度を400℃に設定する。

[0102] 次に、第1実施形態と同様に、配線形状の開口部16aを有するレジストパターン16を使用し、図6Bに示すように第2、第3層間絶縁膜13、14及び第2キャップ絶縁膜15をエッチングすることにより配線溝14aとなる開口部を形成する。

[0103] 次に、レジストパターン16を酸素プラズマによりアッシングする。アッシングの条件は、配線溝14aの内側から第2層間絶縁膜13の一部に大きなダメージを与える条件とする。そのアッシング条件として、例えば、 O_2 のガス流量を200sccm、アッシング雰囲気圧力を20mTorr、アッシング用電源周波数を27MHz、アッシング用電源パワーを400W、基板温度を50℃に設定する。

[0104] そのような酸素プラズマを有する雰囲気にシリコン基板1を設置すると、図6Cに示すように、配線溝14aの周囲の第2層間絶縁膜13にダメージ領域13aが形成される。ダメージ領域13aは、第1、第3層間絶縁膜11、14に対してエッチングレートを高くすることができる領域となる。

[0105] 続いて、約1質量%の濃度に希釈化されたフッ酸を配線溝14aから第2層間絶縁膜13に例えば60～180秒の時間で供給する。これにより、図6Dに示すように、ダメージ領域13aがエッチングされてエアギャップ17が形成される。

[0106] その後に、第1実施形態と同様な工程により、配線溝14aの内側から被

腹膜 18 でエアギャップ 17 の側部開口を覆う。さらに、第 1 実施形態と同様な工程により、図 6 E に

示すように配線溝 14 a 内に第 1 の配線 19 を形成する。

[0107] その後、第 1 実施形態と同様に、第 4 層間絶縁膜 21、ビア 30、第 2 配線 31 等を形成する。

[0108] 上記のように本実施形態によれば、エッチング特性の異なる第 2 層間絶縁膜 13 及び第 3 層間絶縁膜 14 に配線溝 14 a を形成した後に、配線溝 14 a を形成するためのレジストパターン 16 をアッシングしている。同時に、そのアッシング条件により、配線溝 14 a を通して第 2 層間絶縁膜 13 にダメージを与え、その後にダメージ領域 13 a を選択的にエッチングすることにより配線溝 14 a の一部を横に広げてエアギャップ 17 を形成している。その後、配線溝 14 a の内側からエアギャップ 17 の側部開口を絶縁性の被覆膜 18 で覆い、その後、配線溝 14 a 内に第 1 の配線 19 をダマシン法により形成している。

[0109] 従って、第 1 実施形態と同様に、配線溝 14 a の上に形成されるビアホール 21 a が横方向にずれても、第 1 の配線 19 の横に存在する第 3 層間絶縁膜 14 によりビアホール 21 a がエアギャップ 17 に達することが阻止される。これにより、ビア 30 がエアギャップ 17 を埋めることはない。

[0110] また、ダマシン法により第 1 の配線 19 を形成する工程において、配線溝 14 a の形成後であって第 1 の配線 19 の形成前の間の工程でエアギャップ 17 を形成している。これにより、エアギャップ形成用のエッチャントが第 1 の配線 19 にダメージを与えることはない。

(第 3 の実施の形態)

以下に、第 3 実施形態に係る半導体装置の形成方法について説明する。

[0111] まず、第 1 実施形態と同様に、図 1 A に示す N 型 MOS トランジスタ T 等を形成し、さらに、図 1 B に示す第 1 層間絶縁膜 11、第 1 キャップ絶縁膜 11 u、導電性プラグ 10 a、10 b を形成する。

[0112] 次に、図 7 A ～図 7 H に示す工程により第 1 の配線 19 を形成する。なお

、図 7 A～図 7 Hにおいて、導電性プラグ 10 a、10 bの下のシリコン基板 1 及びNMOSトランジスタ Tについては記載を省略している。

[0113] 図 7 Aに示すように、第 1 層間絶縁膜 11 上に、第 2 層間絶縁膜 13、第 3 層間絶縁膜 14 を交互にそれぞれ複数層形成する。

[0114] 第 2 層間絶縁膜 13 及び第 3 層間絶縁膜 14 のそれぞれの材料は、第 1 実施形態に示したと同様に、第 2 層間絶縁膜 13 が第 3 層間絶縁膜 14 に対して選択的にエッチングできる材料から形成されている、また、複数の第 2 層間絶縁膜 13 と複数の第 3 層間絶縁膜 14 の合計の膜厚は、例えば約 50 nm～200 nmに設定される。

[0115] エッチング特性の異なる絶縁膜の組を、交互に複数回形成する場合において、選択的にエッチングされる膜は同じ膜である必要はなく、それぞれが相互に異なるエッチング特性を有するものであってもよい。この場合は、交互に形成される複数の膜における横方向のエッチング量を異ならせることができる。例えば、図 7 Aにおける下側と上側の第 2 層間絶縁膜 13 の材料を異ならせ、それらのエッチング速度を異ならせる。

[0116] 続いて、最上の第 3 層間絶縁膜 14 の上に、第 1 実施形態と同様に第 2 キャップ絶縁膜 15 を形成する。さらに、第 2 キャップ絶縁膜 15 上にフォトリソを塗布し、これを露光、現像してレジストパターン 16 を形成する。レジストパターン 16 には、第 1 実施形態と同様に配線形状の開口部 16 a を形成する。

[0117] 次に、レジストパターン 16 をマスクに使用し、開口部 16 a を通して第 2 キャップ絶縁膜 15 及び第 3 層間絶縁膜 14、第 2 層間絶縁膜 13 をエッチングすることにより、配線溝 14 a となる開口部を形成するとともに導電性プラグ 10 b の上端を露出させる。レジストパターン 16 を除去した状態を図 7 Bに示す。

[0118] 続いて、図 7 Cに示すように、第 1 実施形態と同様に配線溝 14 a の内側から複数の第 2 層間絶縁膜 13 を選択的にエッチングすることにより、配線溝 14 a の一部を広げてエアギャップ 17 を形成する。

- [0119] 次に、第1実施形態と同様に、第2キャップ絶縁膜15上と配線溝14a内に絶縁性の被覆膜18を形成する。被覆膜18は、図7Dに示すように、配線溝14a内を完全に埋め込まない厚さに形成する。
- [0120] 続いて、図7Eに示すように、シリコン基板1の上面に対して垂直方向に被覆膜18を異方性エッチングすることにより、導電性プラグ10bの上端を露出させる。
- [0121] この後に、図7Fに示すように、配線溝14a内と第2キャップ絶縁膜15上に、第1実施形態と同様に、バリアメタル層19a、シードメタル層19b、Cu層19cを順に形成する。Cu層19cは、配線溝14aを完全に埋め込む厚さに形成される。
- [0122] 次に、図7Gに示すように、CMPによりバリアメタル19a、シードメタル層19b及びCu層19cを被覆膜18上面から除去する。さらに、図7Hに示すように、CMPを続けることにより第2キャップ絶縁膜15上の被覆膜18を除去してもよい。
- [0123] 配線溝14a内に残されたバリアメタル19a、シードメタル層19b及びCu層19cは、第1の配線19として使用される。
- [0124] その後に、第1実施形態と同様に、第4層間絶縁膜21、ビア30、第2配線31等を形成する。
- [0125] なお、被覆膜18は、図5Aに示すように完全に埋め込んだ後に、図5Bに示すようにレジストパターン30を使用して被覆膜18を配線溝14aの底部までエッチングし、導電性プラグ10Bの上端を露出させてもよい。また、図4Aに示したと同様に、被覆膜18は、等方性エッチングにより配線溝14aの内側から第3層間絶縁膜14の側壁を露出させてもよい。もとより、エアギャップ17の横の開口を被覆膜18により覆うことが条件となる。
- [0126] 上記のエアギャップ17の形成方法は、図6A～図6Dに示したと同様に、配線溝14aの内側から第2層間絶縁膜13の一部にダメージ領域13aを形成した後に、ダメージ領域13aを選択的にエッチングする工程を含む。

でもよい。

[0127] 上記のように本実施形態によれば、エッチング特性の異なる第2層間絶縁膜13と第3層間絶縁膜14を交互に複数積層した後に、第2及び第3層間絶縁膜13、14内に配線溝14aを形成し、さらに複数の第2層間絶縁膜13の配線溝14aを広げてエアギャップ17を形成している。

[0128] このため、第2層間絶縁膜13の総厚さが第1実施形態と同じであっても、エアギャップ17のそれぞれの横の開口を狭くすることができるので、被覆膜18によりエアギャップ17の側部開口を覆い易くなる。

[0129] また、第1実施形態で説明したと同様に、配線溝14aの上に形成されるビアホール21が横方向にずれても、第1の配線19の横に存在する第3層間絶縁膜14がビアホール21のエアギャップ17への到達を阻止する。従って、ビアホール21内に形成されるビア30がエアギャップ17に入ることが防止される。

[0130] さらに、ダマシン法による第1の配線19を形成する工程において、配線溝14aの形成と第1の配線19の形成の間の工程でエアギャップ17を形成している。これにより、エアギャップ形成用のエッチャントが第1の配線19にダメージを与えることはない。

(第4の実施の形態)

以下に、第4実施形態に係る半導体装置の形成方法について説明する。

[0131] まず、第1実施形態と同様に、図1Aに示すN型MOSトランジスタT等を形成し、さらに、図1Bに示す第1層間絶縁膜11、第1キャップ絶縁膜11u、導電性プラグ10a、10bを形成する。

[0132] さらに、第1実施形態と同様に、導電性プラグ10a、10b及び第1層間絶縁膜11の上に第2、第3層間絶縁膜13、14を形成する。ついで、第2、第3層間絶縁膜13、14に配線溝14aを形成した後に、配線溝14aの下部を広げてエアギャップ17を形成する。エアギャップ17の横の開口部は被覆膜18により覆われる。その後に、配線溝14a内に第1の配

線 19 を形成する。

[0133] 次に、図 8 A～図 8 K に示す工程によりビア 55、第 2 の配線 56 を形成する。なお、図 8 A～図 8 K において、図 1 K と同じ符号は同じ要素を示し、図 1 B に示した導電性プラグ 10 a、10 b の下のシリコン基板 1 及び N M O S トランジスタ T については記載を省略している。

[0134] 図 8 A に示すように、第 1 キャップ絶縁膜 11 u 上と第 1 の配線 19 上にエッチングストッパ膜 40、第 4 層間絶縁膜 41、第 5 層間絶縁膜 42、第 6 層間絶縁膜 43、第 7 層間絶縁膜 44、第 3 キャップ絶縁膜 45 をプラズマ C V D 法により順に形成する。第 4、第 6 層間絶縁膜 41、43 は、第 5、第 7 層間絶縁膜 42、44 とはエッチング特性が異なる材料から形成される。

[0135] エッチングストッパ膜 40 として例えば S i C H 膜を約 15 n m ～約 30 n m の厚さに形成する。また、第 4、第 6 層間絶縁膜 41、43 は、エッチングストッパ膜 40、第 3 キャップ絶縁膜 45、第 5、第 7 層間絶縁膜 42、44 に対して選択的にエッチングが可能な材料から形成される。換言すれば、第 4、第 6 層間絶縁膜 41、43 は、第 5、第 7 層間絶縁膜 42、44 に対してエッチングレートを高くすることができる材料から形成される。

[0136] 第 4 層間絶縁膜 41、第 5 層間絶縁膜 42 のそれぞれの材料は、S i O、S i O C、S i O F、B N 等、又は、それらのいずれかの材料に水素を含む材料から選択される。材料の選択は、第 4、第 6 層間絶縁膜 41、43 が第 5、第 7 層間絶縁膜 42、44 及びエッチングストッパ膜 40 に対して選択的にエッチング可能な材料であることを条件とする。

[0137] 例えば、第 4、第 6 層間絶縁膜 41、43 として S i O 膜をプラズマ C V D 法により形成する。第 5、第 7 層間絶縁膜 42、44 として、例えば S i C 膜又は S i O C 膜をプラズマ C V D 法により形成する。S i O 膜と S i C 膜を連続して形成する方法として、第 1 実施形態に示した方法を採用してもよい。

[0138] 第 4、第 5 層間絶縁膜 41、42 の総厚さは例えば 50 n m ～200 n m

とする。また、第6、第7層間絶縁膜43、44の総厚さは例えば50nm～200nmとする。

[0139] 第3キャップ絶縁膜45の材料は、SiC、SiON、BN等、又は、それらのいずれかの材料に水素を含む材料から選択される。第3キャップ絶縁膜45は、例えば15nm～60nmの厚さに形成する。

[0140] なお、第4、第6層間絶縁膜41、43は第5、第7層間絶縁膜42、44よりも低誘電率であってもよい。

[0141] その後に、第3キャップ絶縁膜45上にフォトリソを塗布し、これを露光、現像することにより、第1の配線19の上方にホール46aを有するレジストパターン46を形成する。

[0142] 次に、図8Bに示すように、レジストパターン46のホール46aを通して第3キャップ絶縁膜45から第4層間絶縁膜41までをエッチングすることにより、ビアホール47となる開口部を形成する。

[0143] レジストパターン46を除去した後に、図8Cに示すように、レジン48を第3キャップ絶縁膜45上に塗布するとともにビアホール47内に充填する。その後に、レジン48を加熱して硬化する。さらに、レジン48上にフォトリソを塗布し、これを露光、現像することにより、レジストパターン49を形成する。レジストパターン49は、ビアホール47上を含む配線形成領域に開口部49aを有する。

[0144] 次に、図8Dに示すように、レジストパターン49の開口部49aを通して、レジン48、第3キャップ絶縁膜45、第6、第7層間絶縁膜43、44をプラズマエッチング法によりエッチングすることにより、配線溝50となる開口部を形成する。エッチングガスとしてフッ素系ガスを使用する。この場合、エッチングストップ層40は、レジン48により保護されているのでエッチングされない。

[0145] その後に、図8Eに示すように、レジストパターン49及びレジン48を例えば酸素プラズマにより除去する。

[0146] 続いて、図8Fに示す構造を形成するまでの工程を説明する。

- [0147] まず、約 1 質量%の濃度に希釈化された緩衝フッ酸溶液を配線溝 5 0 内に例えば 6 0 秒～ 1 2 0 秒程度の時間で供給する。これにより、配線溝 5 0 内とビアホール 4 7 内で第 4、第 6 層間絶縁膜 4 1、4 3 である SiO₂ 膜が横方向に等方的にエッチングされ、エアギャップ（空洞） 5 1、5 2 が形成される。
- [0148] その後に、ビアホール 4 7 を通してエッチングストッパ膜 4 0 をプラズマエッチング法によりエッチングし、ビアホール 4 7 を下に伸ばして第 1 の配線 1 9 の一部を露出する。エッチングガスとして例えば C₂H₂F₂、O₂ を含むガスを使用する。この場合、第 3 キャップ絶縁膜 4 5 はエッチングされて薄くなる。
- [0149] エアギャップ 5 1、5 2 の横方向の長さは、次工程で形成しようとする絶縁性の被覆膜 5 3 によりエアギャップ 5 1、5 2 が全て埋め込まれない大きさを有している。それぞれの横方向の長さは、エアギャップ 5 1、5 2 が形成される膜の厚さの 1/2 以上が好ましい。
- [0150] 次に、図 8 G に示すように、第 3 キャップ絶縁膜 4 5 上と配線溝 5 0 内面とビアホール 4 7 の内面の上に絶縁性の被覆膜 5 3 を形成する。被覆膜 5 3 は、配線溝 5 0 及びビアホール 4 7 の中からエアギャップ 5 1、5 2 の横の開口を閉塞するとともに、エアギャップ 5 1、5 2 を完全に埋め込まない条件で形成される。さらに、被覆膜 5 3 は、配線溝 5 0 及びビアホール 4 7 の中を完全に埋め込まない条件で形成される。被覆膜 5 3 は、例えば第 1 実施形態の図 1 G に示す被覆膜 1 8 と同じ条件で形成される。
- [0151] 次に、図 8 H に示すように、シリコン基板 1 の面に垂直な方向で被覆膜 1 8 を異方性エッチングし、ビアホール 4 7 の底部から導電性プラグ 1 0 b を露出する。そのエッチングにより、配線溝 5 0 及びビアホール 4 7 内の空間は広くなり、また、キャップ絶縁膜 4 5 上の被覆膜 5 3 は薄くなるか或いは除去される。
- [0152] この状態で配線溝 5 0 及びビアホール 4 7 の側面は被覆膜 5 3 で覆われる

ことになるので、配線溝 50 及びビアホール 47 の幅は実質的に狭くなる。従って、初期の配線溝 50 の幅及びビアホール 47 の径は、被覆膜 53 の残存幅を見越して予め広く形成される。

[0153] 次に、図 8 I に示すように、ビアホール 47、配線溝 50 の中と被覆膜 53 の上にバリアメタル層 54 a、Cu シード層（不図示）を例えばスパッタ法により順に形成する。バリアメタル層 54 a として Ta 層を形成する。バリアメタル層 54 a は、被覆膜 53 に遮られてエアギャップ 51、52 に侵入しない。

[0154] 続いて、ビアホール 47 及び配線溝 50 を埋める厚さに Cu 層 54 b を電解メッキにより形成する。Cu 層 54 b は Cu シード層と一体となる。

[0155] 次に、図 8 J、図 8 K に示すように、第 3 キャップ絶縁膜 45 が露出するまで Cu 層 54 b 及びバリアメタル層 54 a を CMP 法により研磨する。そして、配線溝 50 内に残された Cu 層 54 b 及びバリアメタル層 54 a を第 2 の配線 56 とする。また、ビアホール 47 内の残された Cu 層 54 b 及びバリアメタル層 54 a をビア 55 とする。

[0156] これにより、エアギャップ 51、52 は、絶縁性の被覆膜 53 を介してビア 55 と第 2 の配線 56 の周囲に形成される。

[0157] なお、バリアメタル層 54 a、Cu シード層及び Cu 層 54 b は、導電膜の一例であり、他の材料、例えば銅合金であってもよい。

[0158] この後に、上記と同様な工程により、絶縁膜、ビア、配線等を形成し、半導体装置を完成させる。

[0159] 上記のように本実施形態によれば、第 4、第 5、第 6 及び第 7 の層間絶縁膜 41、42、43、44 にビアホール 47 と配線溝 50 を連続して形成した後に、ビアホール 47 及び配線溝 50 のそれぞれの下部の開口面積を横に広げてエアギャップ 51、52 を形成している。そして、ビアホール 47 及び配線溝 50 の内側から絶縁性の被覆膜 53 でエアギャップ 51、52 の開口を覆い、その後に、ビアホール 47 内と配線溝 50 内に同時にビア 55 及び第 2 の配線 56 を形成している。即ち、ビア 55 及び第 2 の配線 56 はデ

デュアルダマシン法により形成される。

[0160] 従って、第2の配線56の上にさらに二段目のビアホールを形成する場合に、二段目のビアホールが横方向にずれても、第2の配線56の横に存在する第7層間絶縁膜44上で二段面のビアホールの形成を止めることができるので、二段面のビアホールがエアギャップ53内に到達しなくなる。

[0161] また、上記のようなデュアルダマシン法により第2の配線56及びビア55を形成する工程において、配線溝50及びビアホール47の形成後であって配線用金属膜54a、54bの形成前の工程でエアギャップ51、52を形成している。これにより、エアギャップ形成用のエッチャントが第2の配線55にダメージを与えることはない。

[0162] ところで、被覆膜53をエッチングして第1の配線19を露出するビアホール47を形成する際には、エアギャップ51、52の側方を閉塞する条件でエッチングする。この場合、図9Aに示すように、ビアホール47及び配線溝50の側方の第5、第7層間絶縁膜42、44が露出するまで等方性エッチングしてもよい。

[0163] これにより、配線溝50及びビアホール47が被覆膜53により狭くなることがないので、図9Bに示すように、第2の配線56及びビア55は、最初に形成された大きさの配線溝50及びビアホール47と同じ大きさで形成される。

[0164] ところで、エアギャップ51とビア55の境界、及びエアギャップ52と第2の配線56の境界をそれぞれ空間的に仕切るために形成される被覆膜53は、図10Aに示すように、成膜当初にビアホール47及び配線溝50を完全に埋め込む厚さに形成してもよい。この場合にも、被覆膜53は、エアギャップ51、52を完全に埋め込まない条件で形成される。

[0165] この場合の配線溝50とビアホール47を再び露出させるための工程は次のようになる。

[0166] まず、図10Aに示すように、第1の配線19の直上にビアホール形状の

開口部 58 a を有するレジストパターン 58 を被覆膜 53 上に形成する。その後被覆膜 53 の上面を CMP により平坦化してもよい。

[0167] 続いて、図 10 B に示すように、開口部 58 a を通して被覆膜 53 をエッチングし、ビアホール 47 を貫通するホール 53 a を形成するとともに、ホール 53 a の底からエッチングストッパ膜 40 を露出させる。この場合のホール 53 a の位置及び径は、ビアホール 47 の位置及び径と実質的に一致させてもよい。但し、ホール 53 a 形成時に、ビアホール 47 の側方のエアギャップ 51 の開口を被覆膜 53 により閉塞した状態を保持するエッチング条件とする。

[0168] レジストパターン 58 を除去した後に、図 10 C に示すように、ホール 53 a 内と被覆膜 53 の上面上にレジン 59 を例えばスピンコーティング法により形成した後に、レジン 59 を加熱する。さらに、レジン 59 上に別のレジストパターン 60 を形成する。レジストパターン 60 は、配線溝 50 の上に、配線溝 50 と同じかそれよりも僅かに狭い形状の開口部 60 a を有する。

[0169] 続いて、図 10 D に示すように、レジストパターン 60 の開口部 60 a を通してレジン 59 及び被覆膜 53 をエッチングして配線溝 50 内に空間を形成する。この場合のエッチングは、等方性、異方性のいずれであってもよいが、少なくとも配線溝 50 の側方のエアギャップ 52 の開口を被覆膜 53 により覆った状態を保持する条件に設定される。

[0170] レジストパターン 60 及びレジン 59 を除去した後に、図 10 E に示すように、ビアホール 47 底部のエッチングストッパ膜 40 をエッチングすることにより、第 1 の配線 19 の一部を露出する。エッチング後には、ビアホール 47 及び配線溝 50 内の空間が広がる。この場合、配線溝 50 の底部と第 3 キャップ絶縁膜 45 の上に残存する被覆膜 53 もエッチングされる。

[0171] 次に、図 10 F に示すように、上記したと同様な方法により、ビアホール 47 内にビア 55 を形成するとともに配線溝 50 内に第 2 の配線 56 を形成する。

- [0172] 以上のように、エアギャップ 5 1、5 2 の横の開口部を被覆膜 5 3 により覆う工程において、被覆膜 5 3 をビアホール 4 7 及び配線溝 5 0 内を埋め込むように形成している。これにより、被覆膜 5 3 を形成する際にカバレッジの良くない膜形成方法を選択することができる。
- [0173] ところで、第 7 層間絶縁膜 4 4 上の第 3 キャップ絶縁膜 4 5 を形成せずに、その上に被覆膜 5 3 を形成してもよい。この場合には、第 2 の配線 5 6 を構成するバリアメタル層 5 4 a、Cu 膜 5 4 a を CMP 法により研磨する際に、図 1 1 に示すように第 7 層間絶縁膜 4 4 上に被覆膜 5 3 を残してもよいし、図 1 2 に示すように第 7 層間絶縁膜 4 4 が露出するまで被覆膜 5 3 を研磨してもよい。しかし、第 7 層間絶縁膜 4 4 がポーラスな場合には、第 7 層間絶縁膜 4 4 上に絶縁性の被覆膜 5 3 を残すことが好ましい。
- [0174] ところで、ビア 5 5 と第 2 の配線 5 6 の横に形成されるエアギャップ 5 1、5 2 は、それぞれ図 7 H に示すと同様に高さ方向に重ねて複数形成されてもよい。その形成方法を次に説明する。
- [0175] まず、エッチングストッパ膜 4 0 上に第 4 層間絶縁膜 4 1 と第 5 層間絶縁膜 4 2 を交互に複数形成するとともに、第 5 層間絶縁膜 4 2 上に第 6 層間絶縁膜 4 3 と第 7 層間絶縁膜 4 4 を交互に複数形成する。この場合、上記と同様な方法によって複数の第 4、第 5 層間絶縁膜 4 1、4 2 にビアホール 4 7 を形成する。続いて、上記と同様な方法により、複数の第 6 層間絶縁膜 4 3 と複数の第 7 層間絶縁膜 4 4 に配線溝 5 0 を形成する。
- [0176] さらに、図 1 3 A に示すように、上記と同様な方法によってビアホール 4 7 の側方の複数の第 4 層間絶縁膜 4 1 をエッチングしてビアホール 4 7 の一部を広げてエアギャップ 5 1 を形成する。これと同時に、配線溝 5 0 の側方の複数の第 6 層間絶縁膜 4 3 をエッチングして配線溝 5 0 の一部を広げてエアギャップ 5 2 を形成する。
- [0177] その後に、図 1 3 B に示すように、上記と同様な方法によりエアギャップ 5 1、5 2 の横の開口を被覆膜 5 3 により覆った後に、上記と同様な方法によりビアホール 4 7 内にビア 5 5 を形成すると同時に配線溝 5 0 内に第 2 の

配線 5 6 を形成する。

- [0178] そのように、ビア 5 5 と第 2 の配線 5 6 のそれぞれの側方に小さいエアギャップ 5 1、5 2 を複数重ねて形成することにより、エアギャップ 5 1、5 2 を横から被覆膜 5 3 により覆い易くなる。
- [0179] そのようにエッチング特性の異なる絶縁膜の組を、交互に複数回形成する場合において、選択的にエッチングされる膜は同じ膜である必要はなく、それぞれが相互に異なるエッチング特性を有するものであってもよい。この場合は、交互に形成される複数の膜における横方向のエッチング量を異ならせることができる。
- [0180] なお、図 10 F、図 13 B 等において、第 1 の配線 1 9 の横のエアギャップ 1 7 を図 7 H に示すように複数重ねた構造に形成してもよい。
- [0181] また、本実施形態においても、エアギャップ 5 1、5 2 の形成方法として、第 2 実施形態の図 6 A ～図 6 D に示したと同様に、ビアホール 4 7 と配線溝 5 0 の内側から第 4、第 6 層間絶縁膜 4 2、4 4 にダメージ領域を形成した後に、ダメージ領域をエッチングする工程を採用してもよい。
- [0182] ここで挙げた全ての例および条件的表現は、発明者が技術促進に貢献した発明および概念を読者が理解するのを助けるためのものであり、ここで具体的に挙げたそのような例および条件に限定することなく解釈すべきであり、また、明細書におけるそのような例の編成は本発明の優劣を示すこととは関係ない。本発明の実施形態を詳細に説明したが、本発明の精神および範囲から逸脱することなく、それに対して種々の変更、置換および変形を施すことができるものと理解すべきである。

請求の範囲

- [請求項1] 半導体基板の上方に第1絶縁膜を形成する工程と、
 前記第1絶縁膜上に、前記第1絶縁膜とはエッチング特性の異なる
 第2絶縁膜を形成する工程と、
 前記第1絶縁膜及び前記第2絶縁膜に第1開口部を形成する工程と
 、
 前記第1開口部の内側から前記第1絶縁膜をエッチングすることによ
 り前記第1開口部を広げ、第1空洞を形成する工程と、
 前記第1空洞を残したまま前記第1開口部内に第3絶縁膜を形成す
 る工程と、
 前記第3絶縁膜を形成した後、前記第1開口部内に導電膜を形成す
 る工程と
 を有することを特徴とする半導体装置の製造方法。
- [請求項2] 前記導電膜を形成する前に、前記第3絶縁膜をエッチングして前記
 第1開口部の底部を露出する工程を有することを特徴とする請求項1
 に記載の半導体装置の製造方法。
- [請求項3] 前記第1絶縁膜と前記第2絶縁膜は交互に複数形成され、前記第1
 空洞は複数の前記第1絶縁膜に形成されることを特徴とする請求項1
 又は請求項2に記載の半導体装置の製造方法。
- [請求項4] 前記第1空洞を形成する工程は、
 プラズマ中で前記第1開口部の内側から前記第1絶縁膜にダメー
 ジ層を形成する工程と、
 前記ダメージ層を前記第1開口部の内側からエッチングする工程
 と
 を有することを特徴とする請求項1乃至請求項3のいずれか1項に記
 載の半導体装置の製造方法。
- [請求項5] 前記第1空洞を形成する工程は、
 前記第2絶縁膜のエッチングレートよりも前記第1絶縁膜のエッチ

ングレートが高くなる条件で、前記第 1 開口部の内側から前記第 1 絶縁膜をエッチングする工程を含むことを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項6] 前記第 1 開口部を形成する前に、前記第 2 絶縁膜の上に第 4 絶縁膜と、前記第 4 絶縁膜とはエッチング特性の異なる第 5 絶縁膜を形成する工程と、

前記第 4 絶縁膜及び前記第 5 絶縁膜に第 2 開口部を形成する工程と、

前記第 1 開口部を形成した後に、前記第 2 開口部の内側から前記第 4 絶縁膜をエッチングすることにより前記第 2 開口部を広げ、第 2 空洞を形成する工程と、

前記第 2 空洞を残したまま前記第 2 開口部内に前記第 3 絶縁膜を形成する工程と、

前記第 3 絶縁膜を形成した後、前記第 2 開口部内に前記導電膜を形成する工程と

を有することを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項7] 前記第 4 絶縁膜と前記第 5 絶縁膜は交互に複数形成され、前記第 2 空洞は複数の前記第 4 絶縁膜のそれぞれに形成されることを特徴とする請求項 6 に記載の半導体装置の製造方法。

[請求項8] 前記第 1 開口部はホール形状を有し、前記第 2 開口部は配線形状を有していることを特徴とする請求項 6 又は請求項 7 に記載の半導体装置の製造方法。

[請求項9] 前記第 2 空洞を形成する工程は、

プラズマ中で前記第 2 開口部の内側から前記第 4 絶縁膜にダメージ層を形成する工程と、

前記ダメージ層を前記第 1 開口部の内側からエッチングする工程

と

を有することを特徴とする請求項 6 乃至請求項 8 のいずれか 1 つに記載の半導体装置の製造方法。

[請求項10]

第 2 空洞を形成する工程は、

前記第 5 絶縁膜のエッチングレートよりも前記第 4 絶縁膜のエッチングレートが高くなる条件で、前記第 2 開口部の内側から前記第 4 絶縁膜をエッチングする工程を含むことを特徴とする請求項 6 乃至請求項 9 のいずれか 1 項に記載の半導体装置の製造方法。

[図1A]

図1A

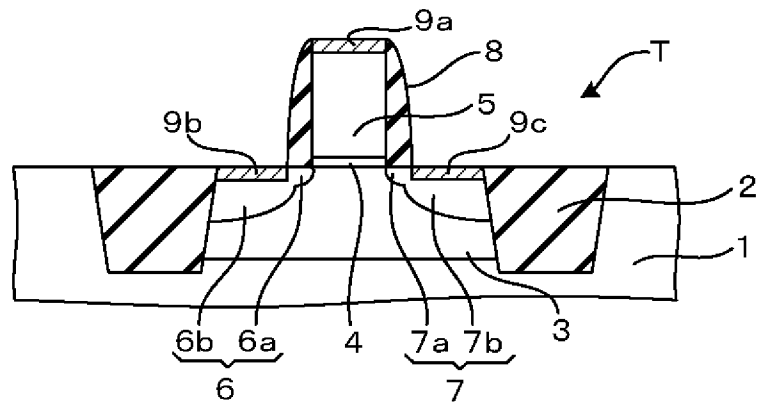


図1B

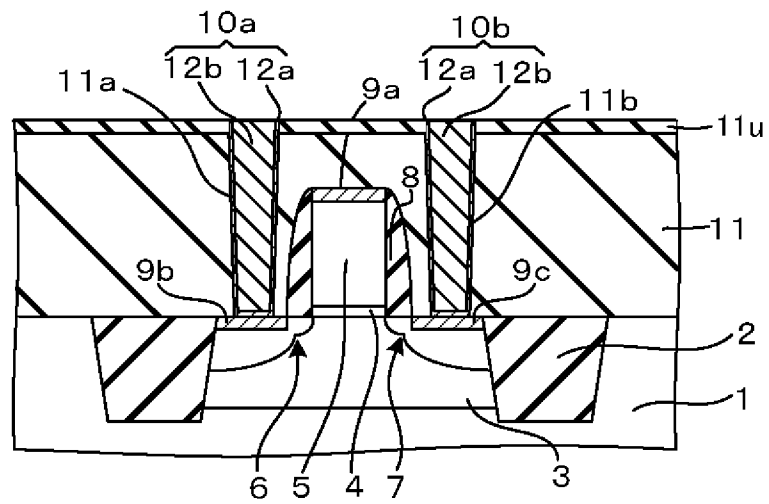
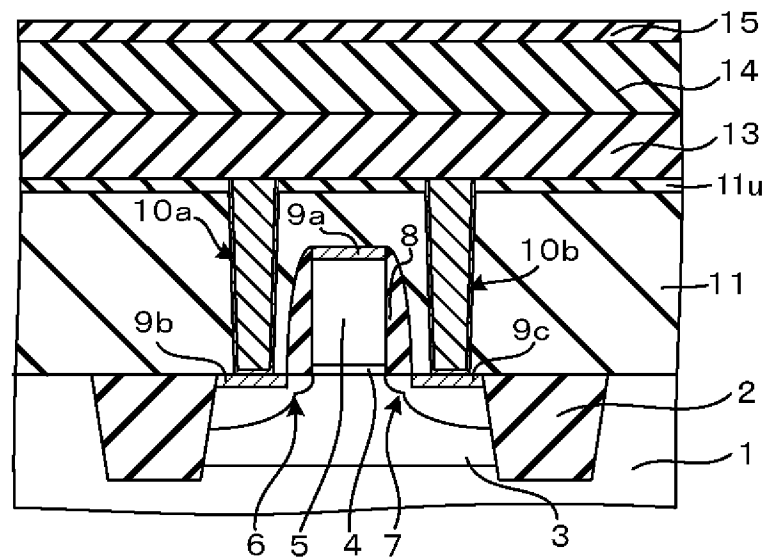


図1C



[図1D]

図1D

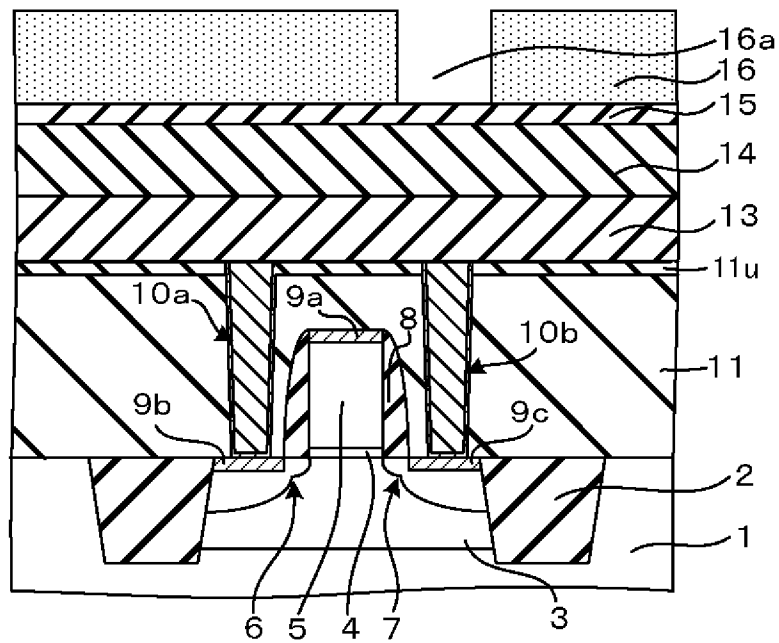


図1E

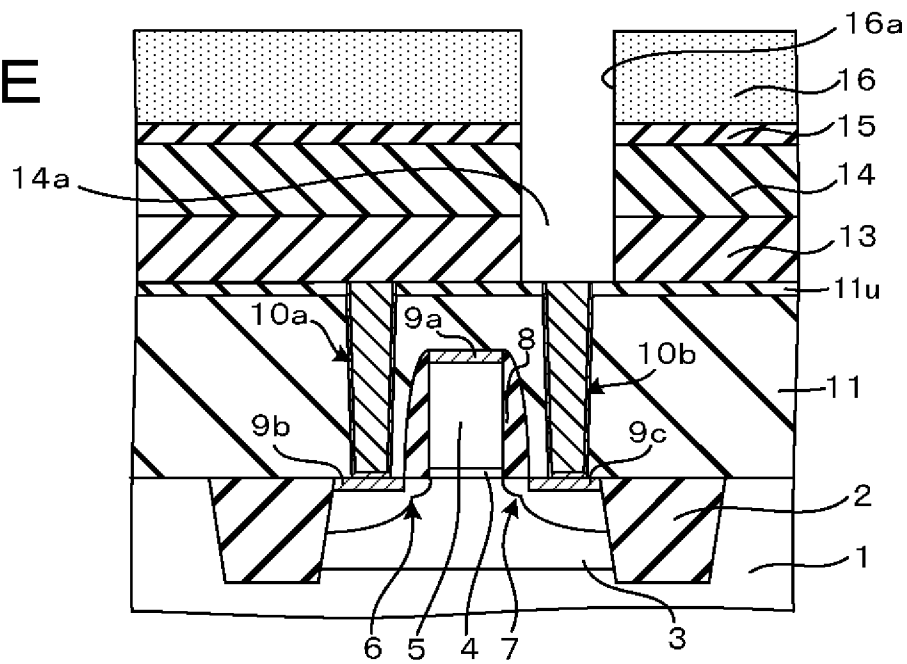


図1F

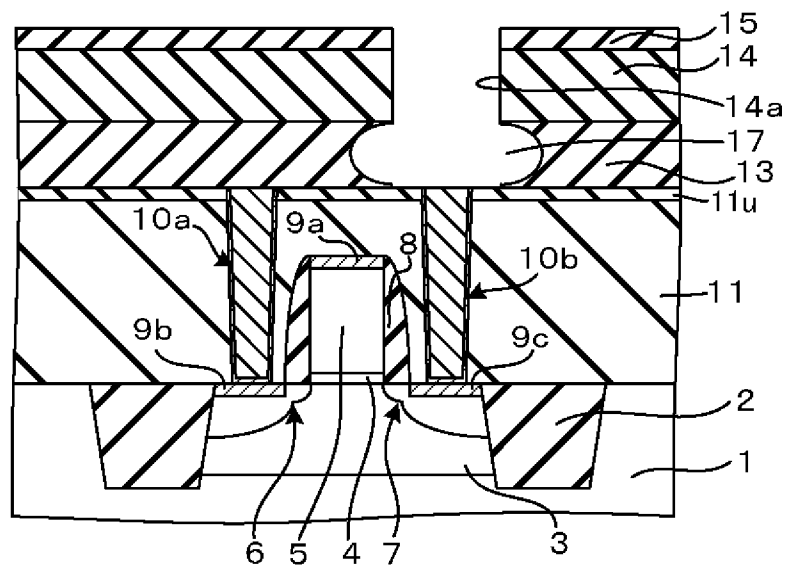
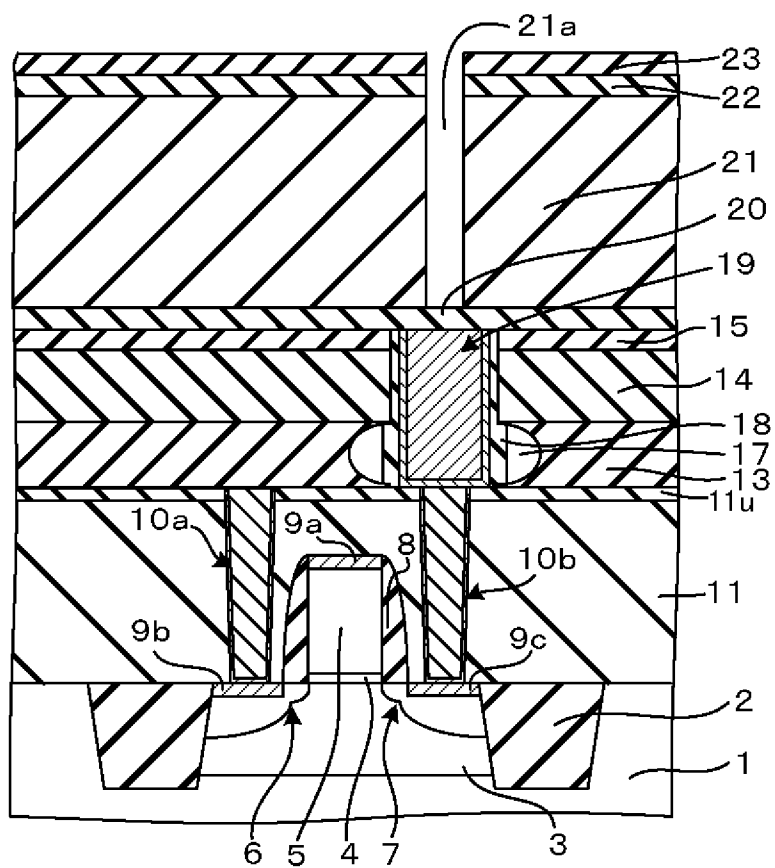
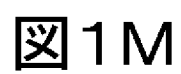


図 1 L



[図1N]

図1N

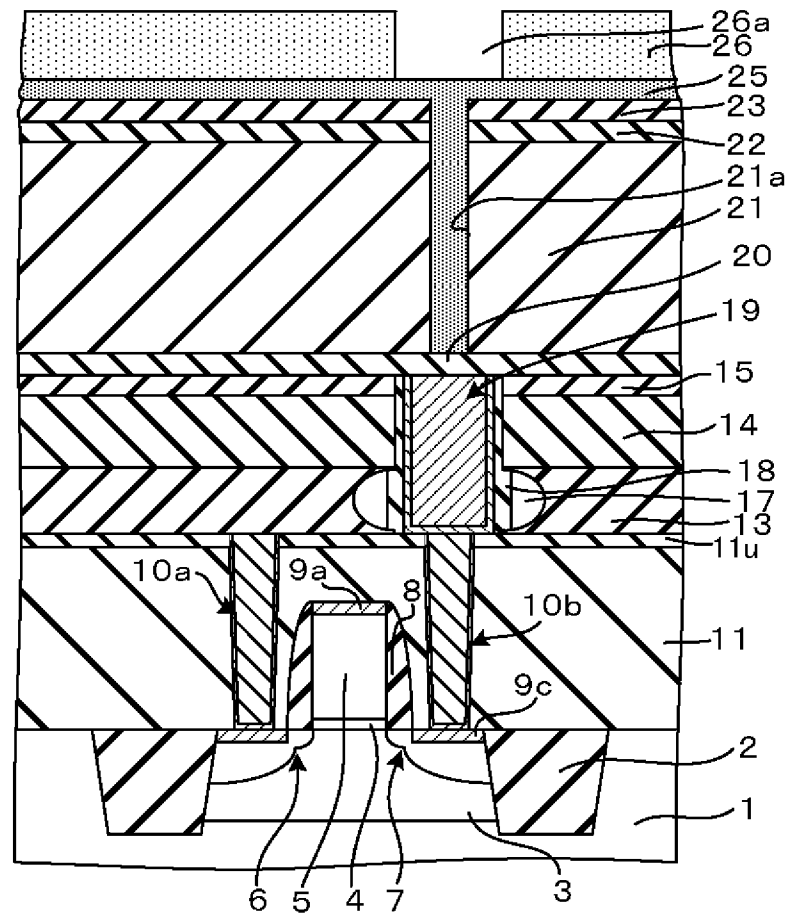


図1O

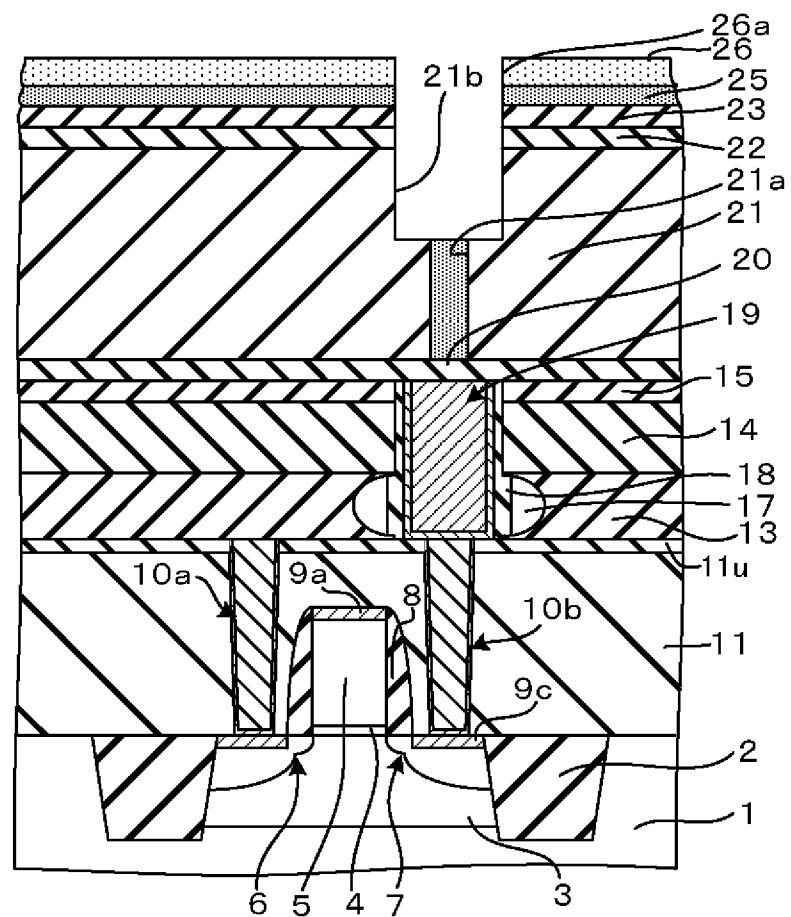
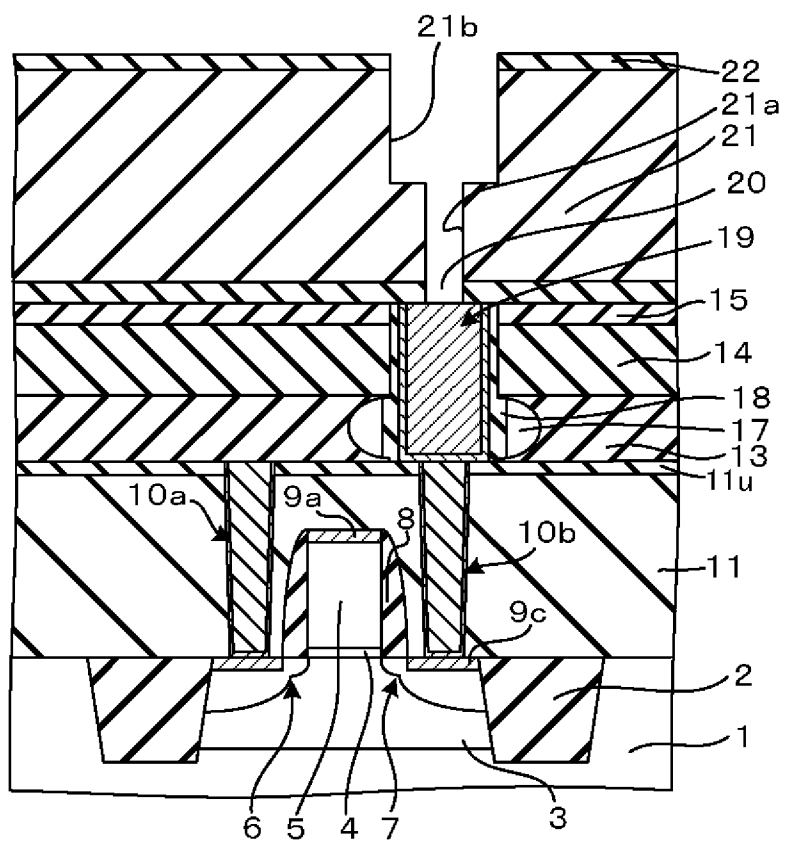


図 1 P



[図1R]

図1R

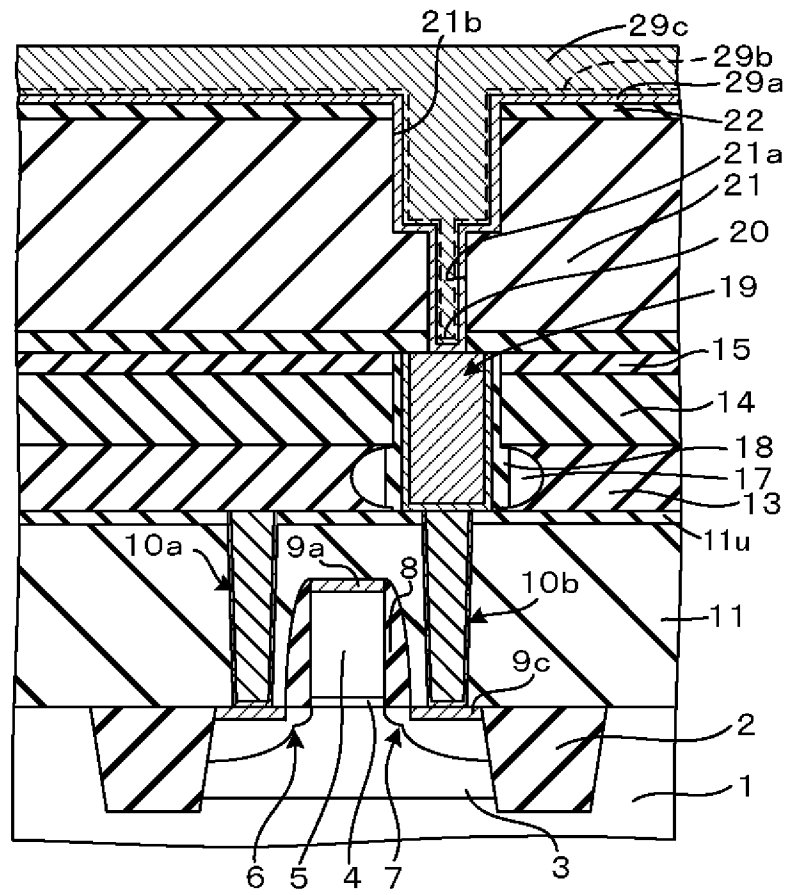
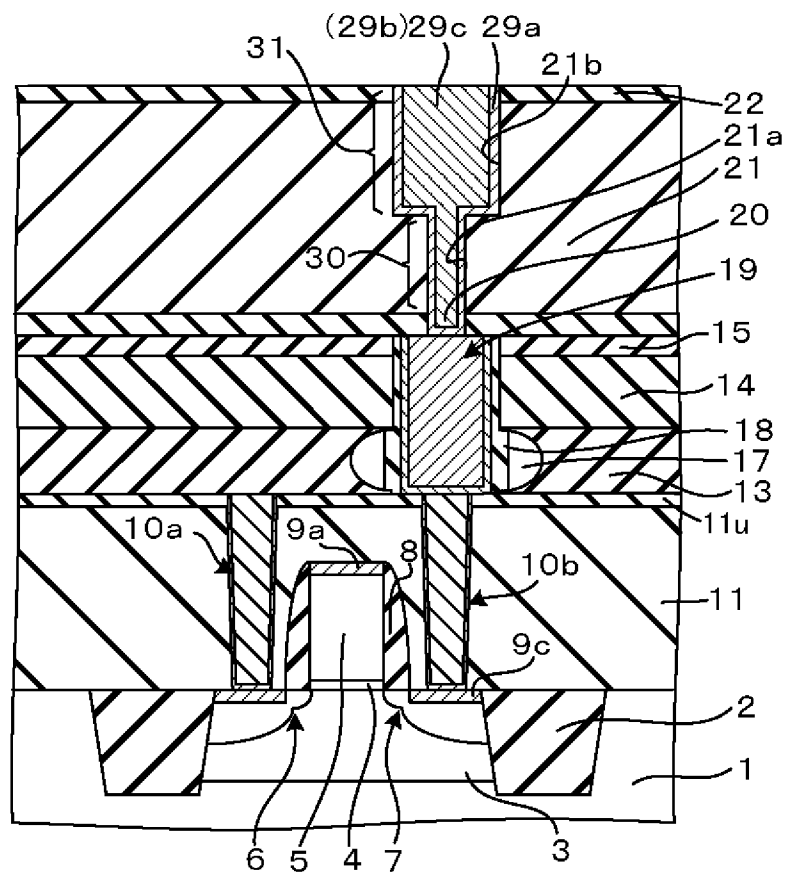
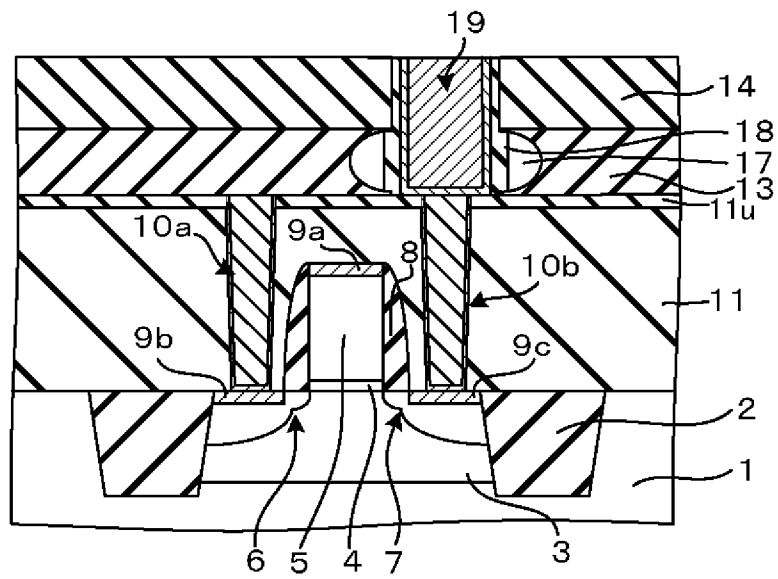


図1S



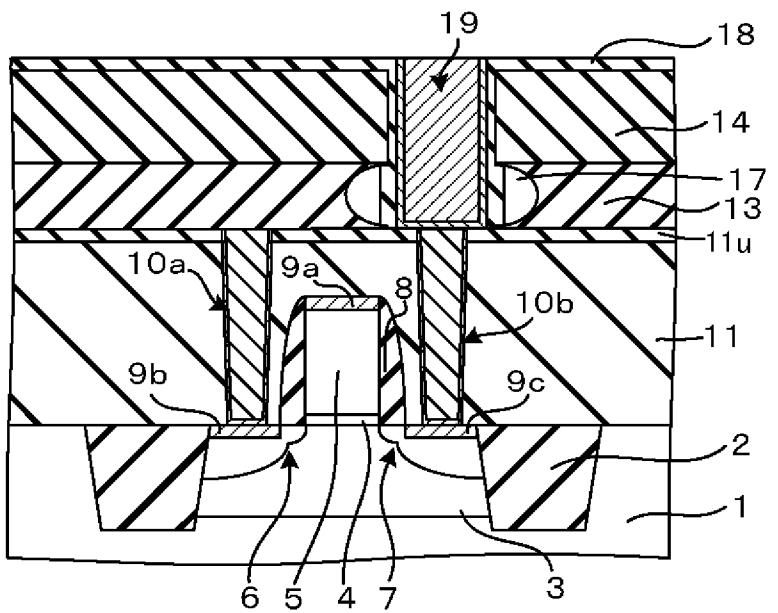
[図2]

図2



[図3]

図3



[図4]

図4A

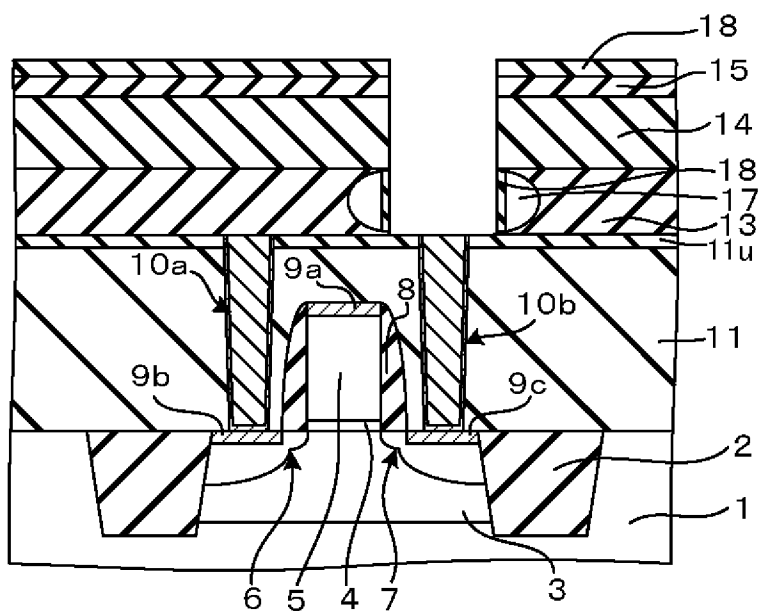
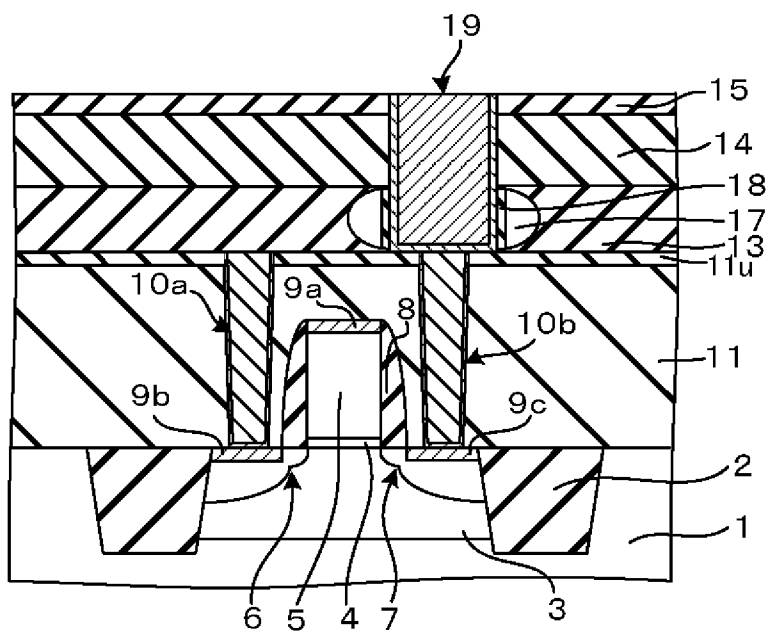


図4B



[図5]

図5A

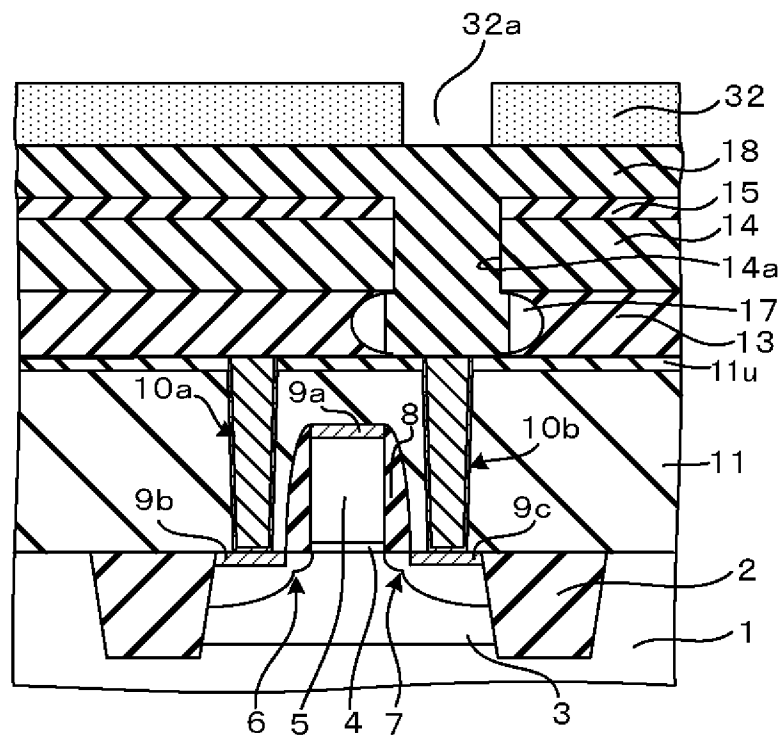
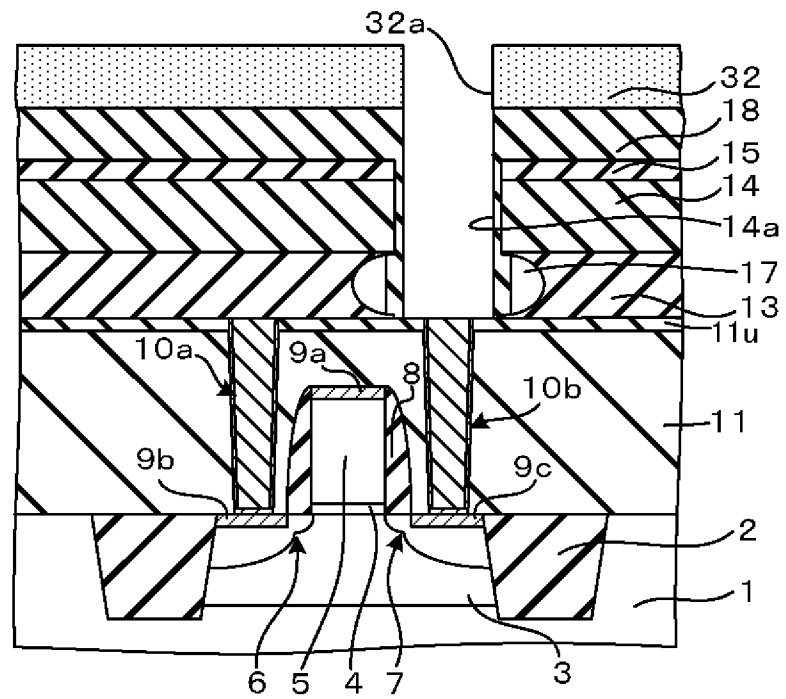


図5B



[図6]

図6A

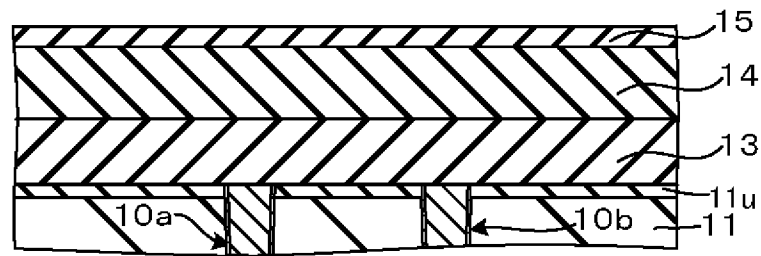


図6B

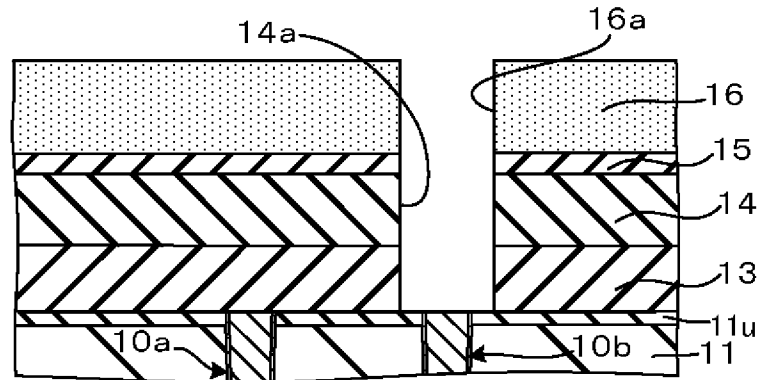


図6C

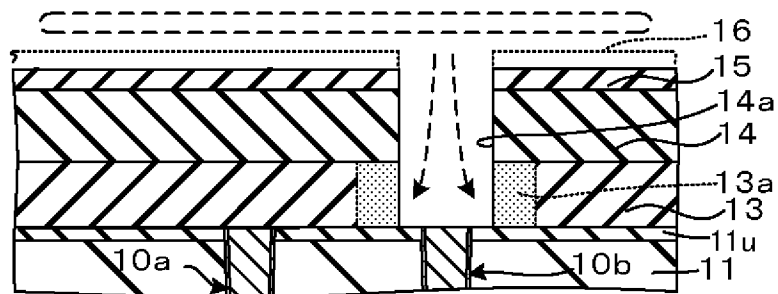


図6D

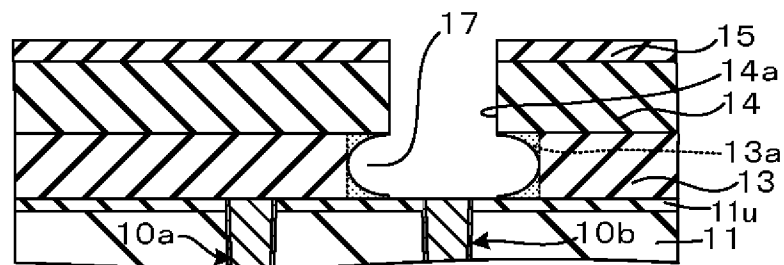
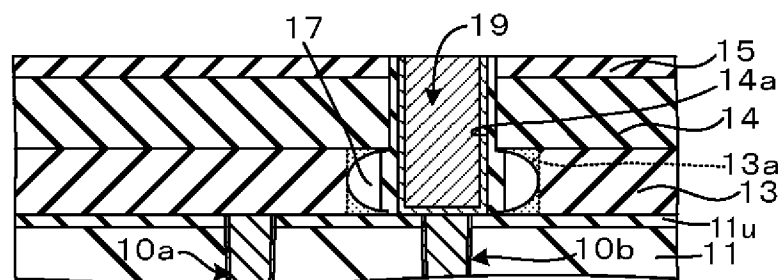


図6E



[図7A]

図7A

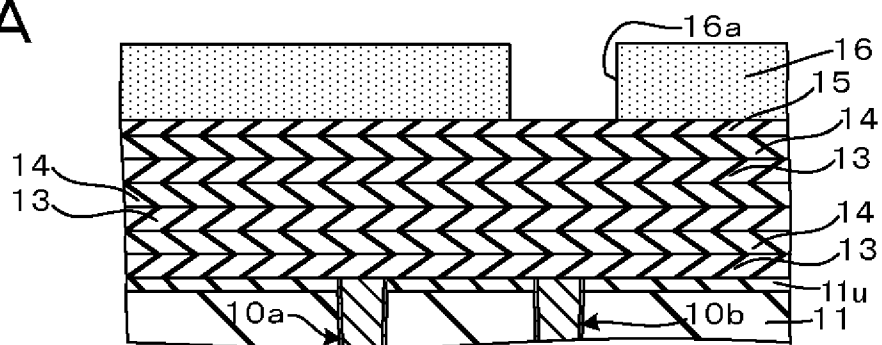


図7B

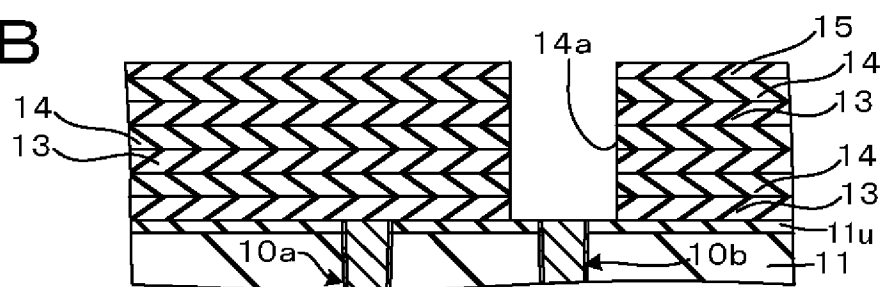


図7C

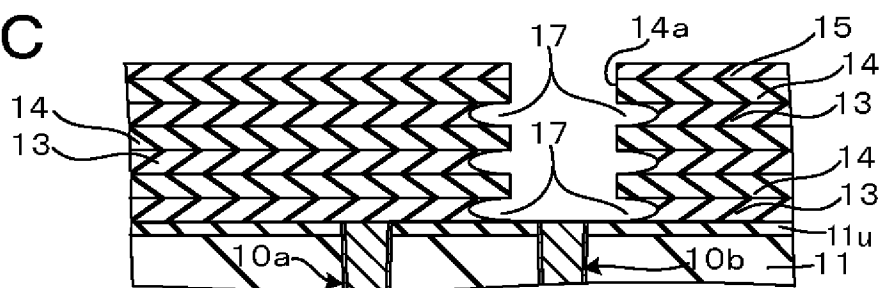
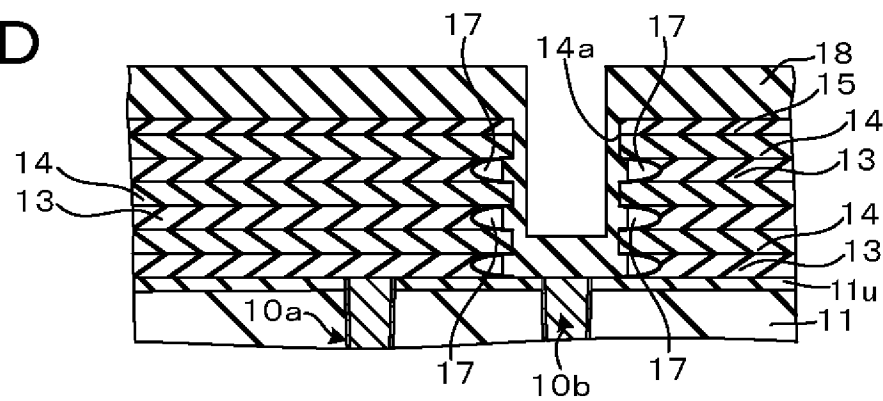


図7D



[図7E]

図7E

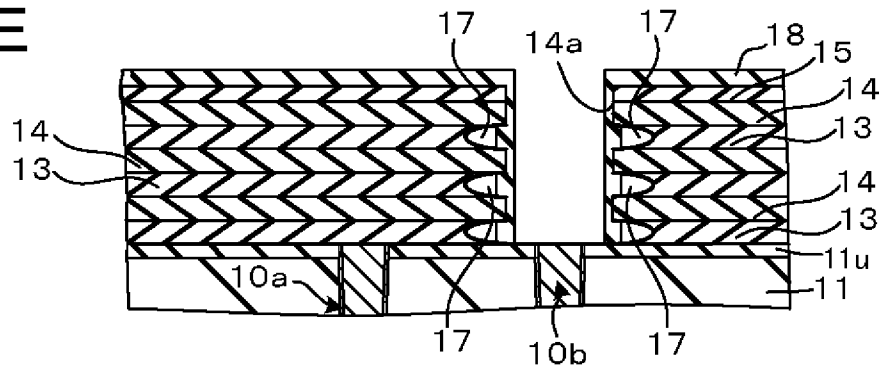


図7F

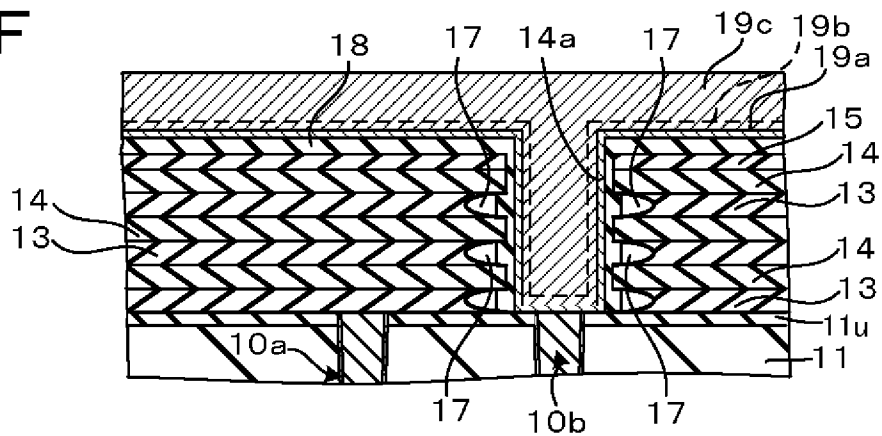


図7G

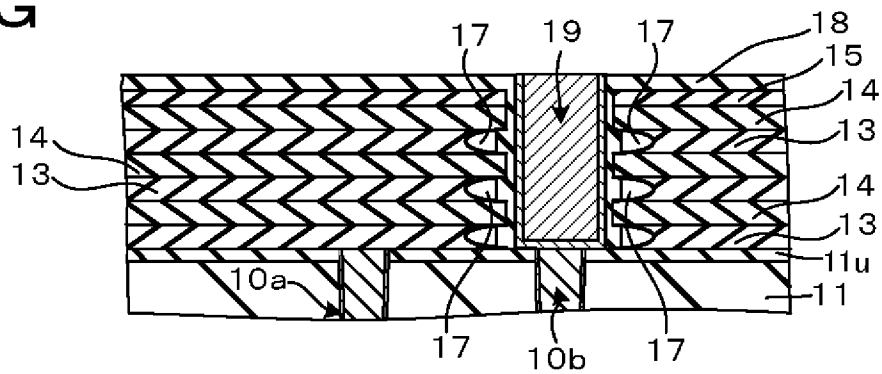
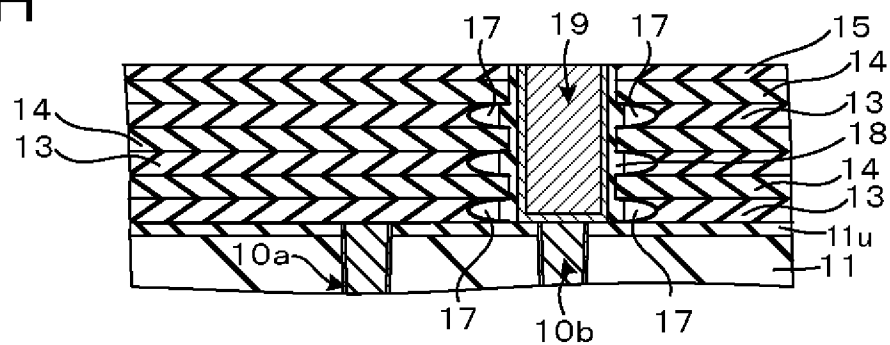


図7H



[図8A]

図8A

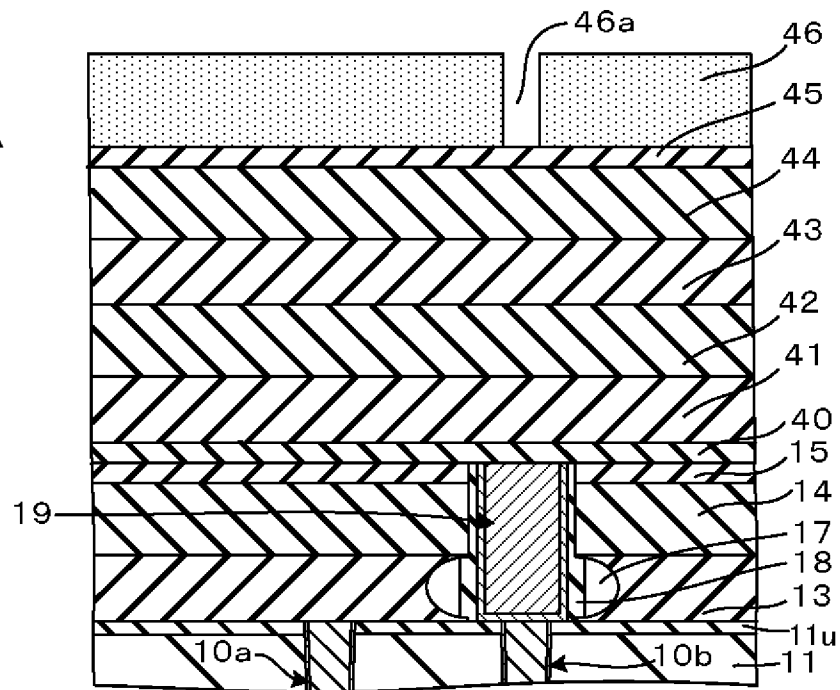


図8B

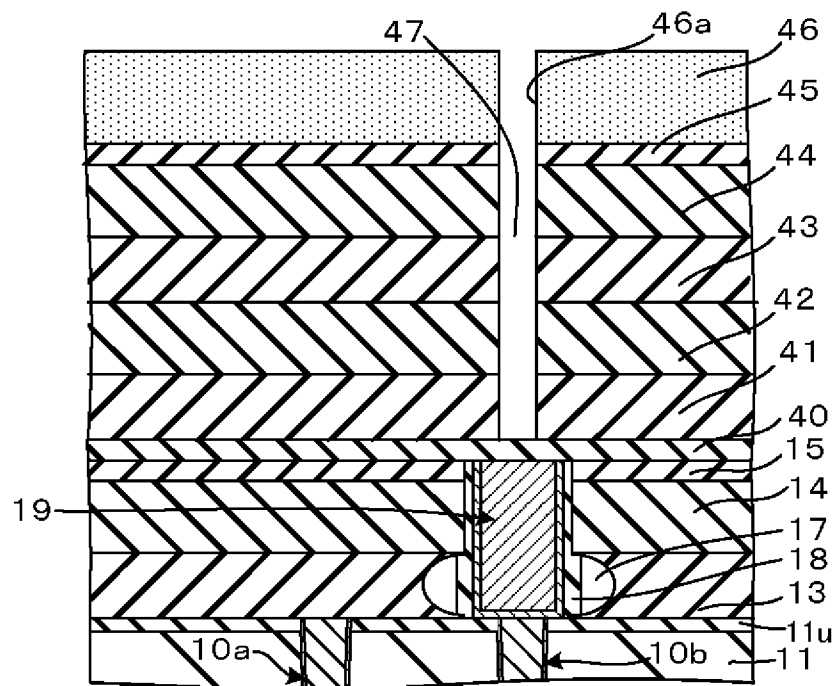
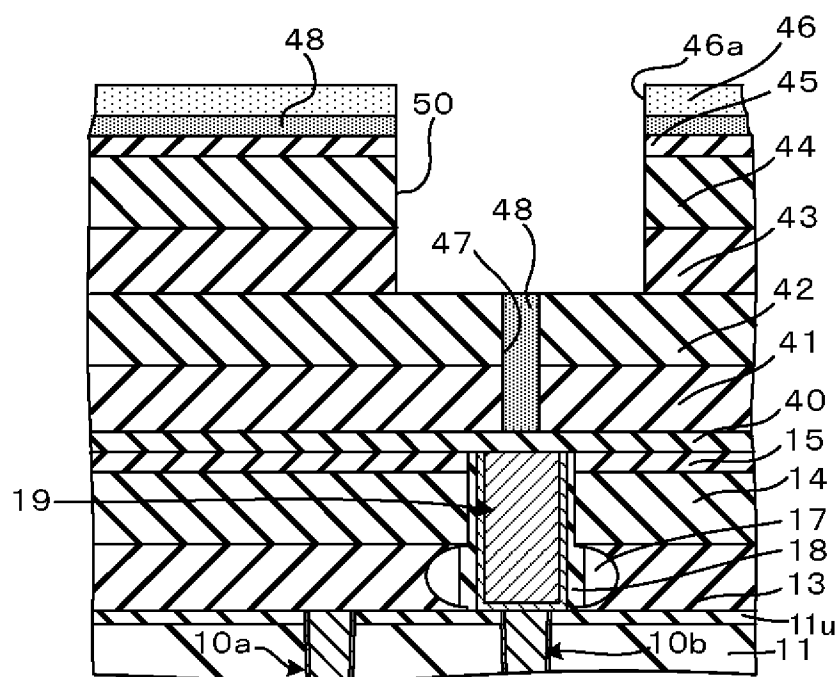


図 8C



[図8G]

図8G

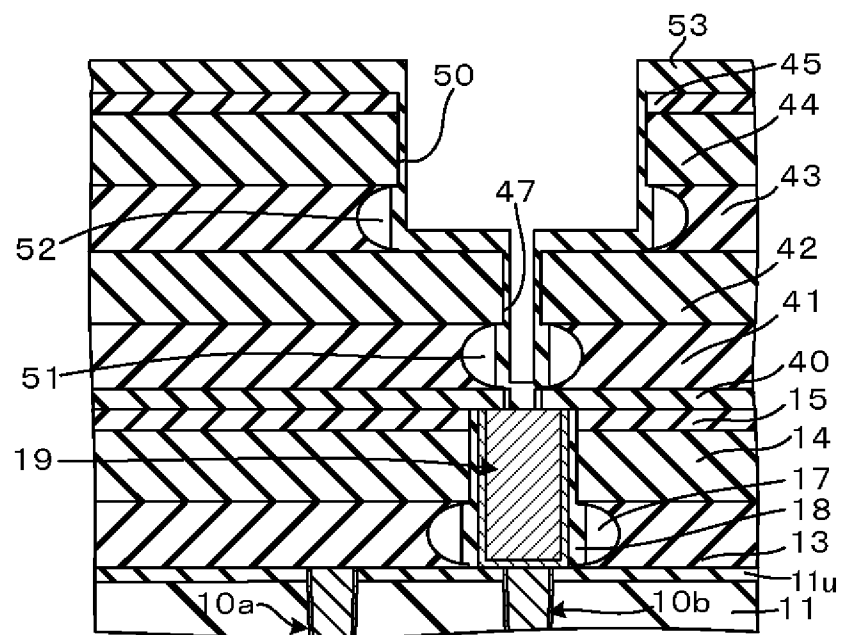
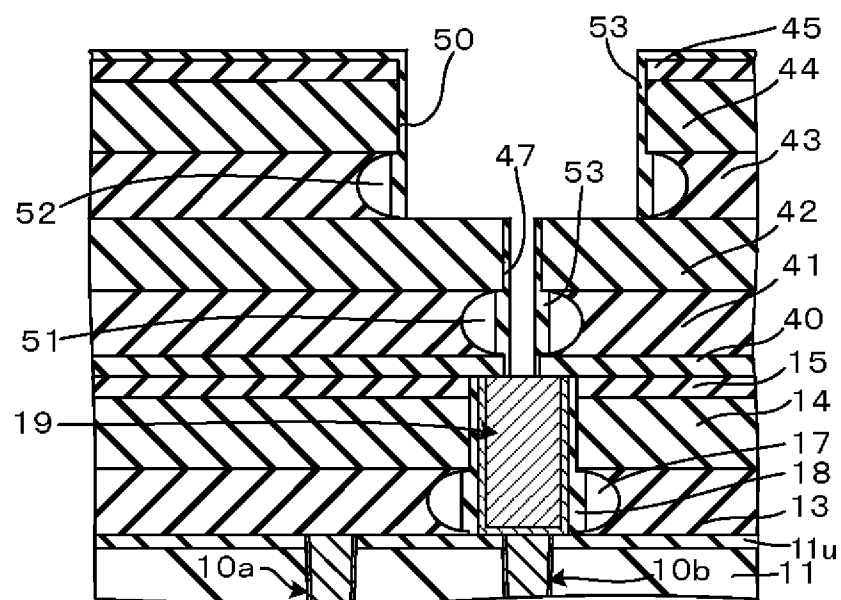
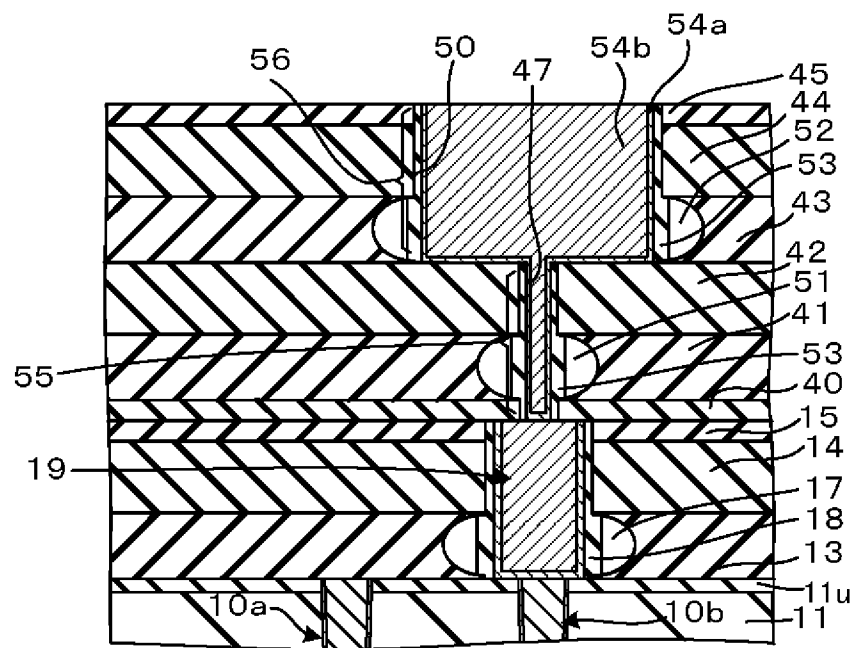


図8H



[図8K]

図8K



[図9]

図9A

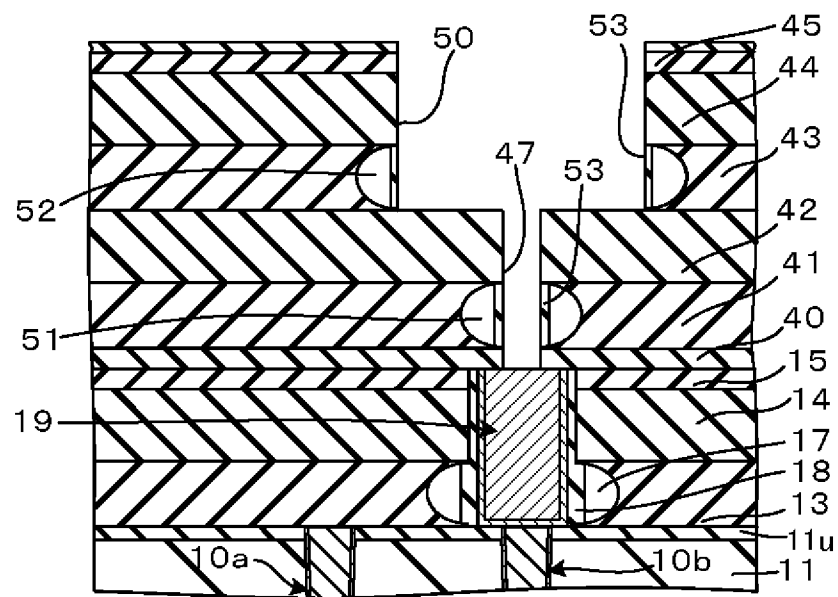
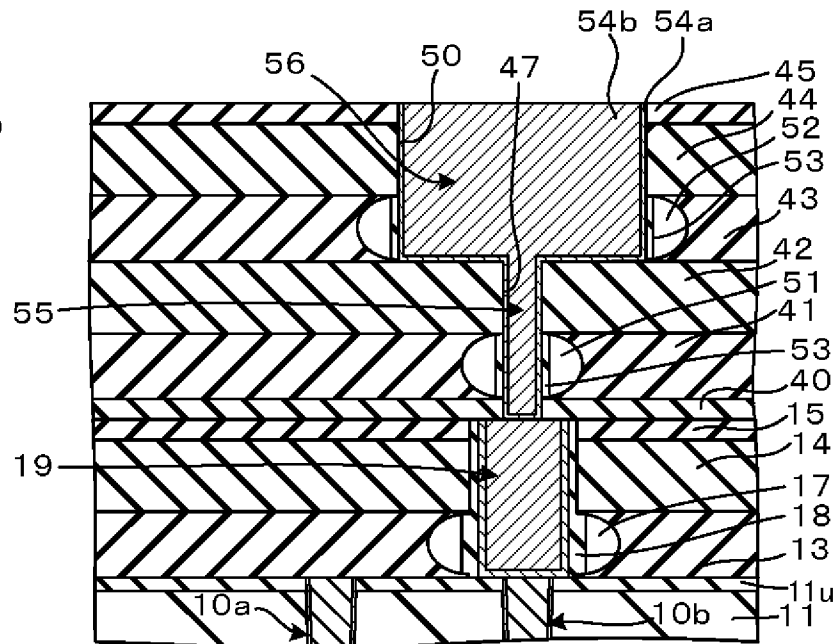
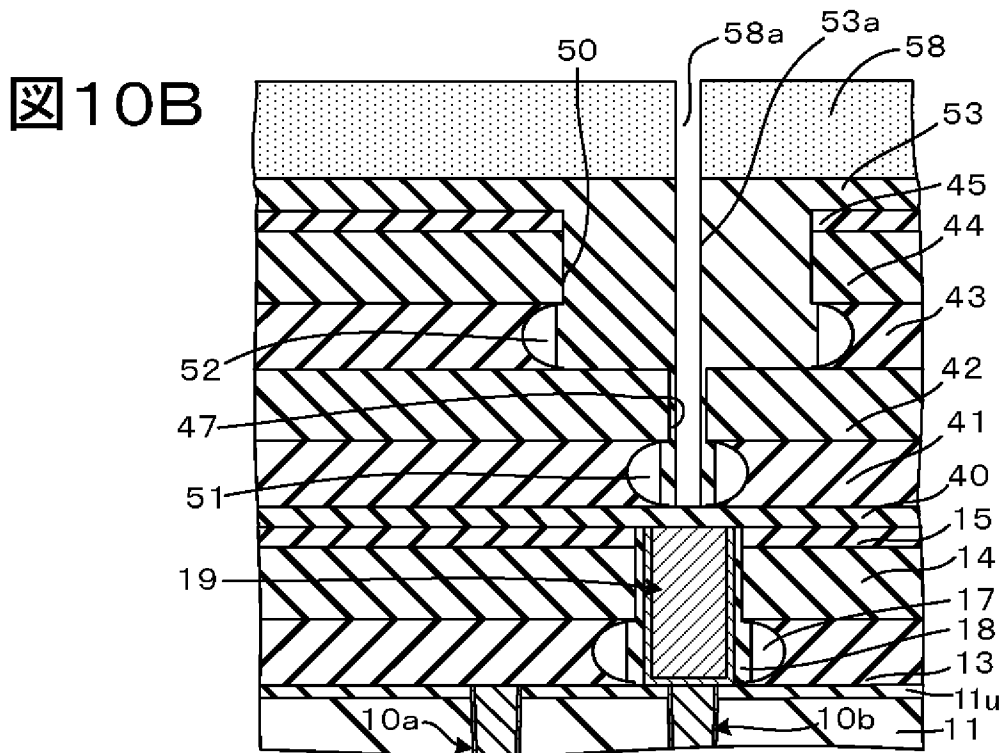
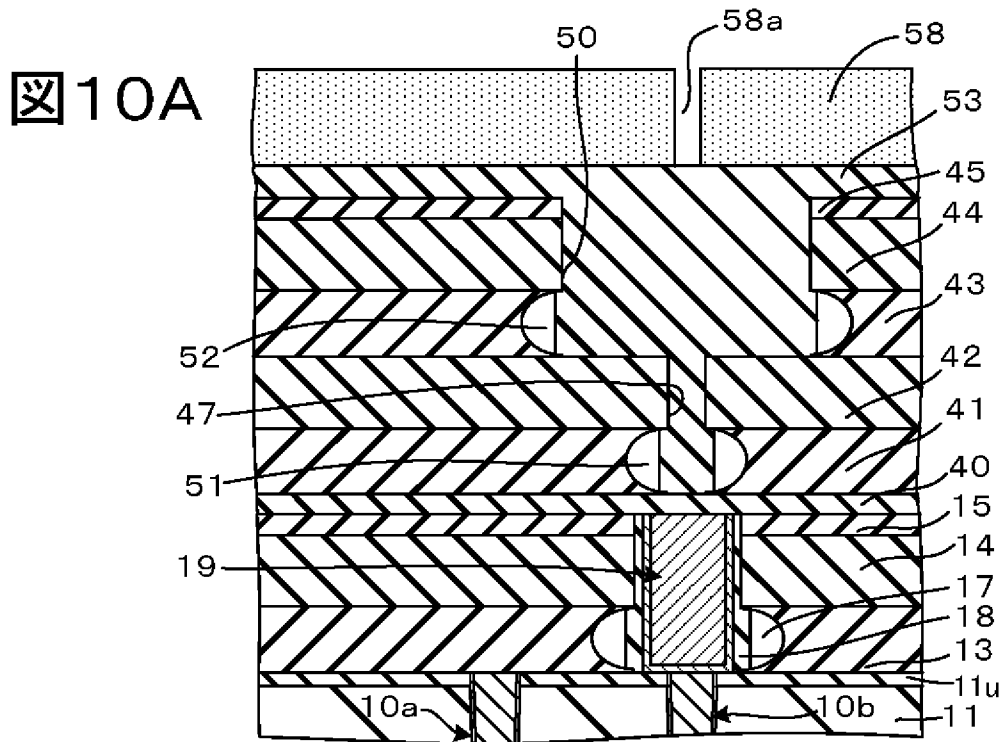


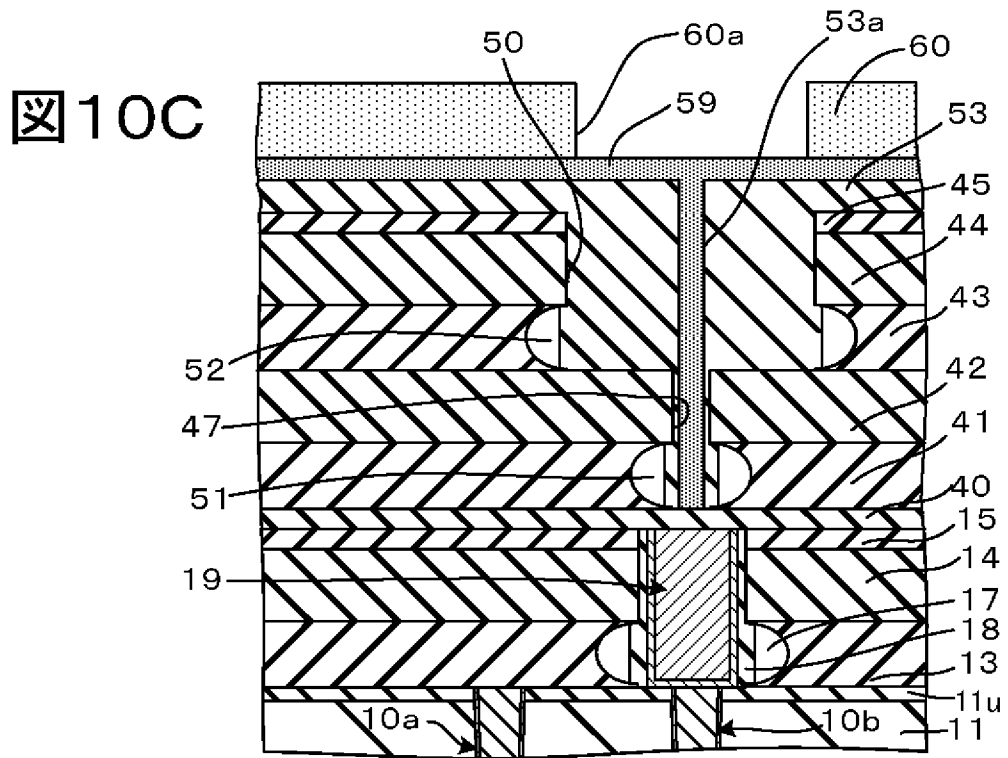
図9B



[図10A]



[図10C]



[図10D]

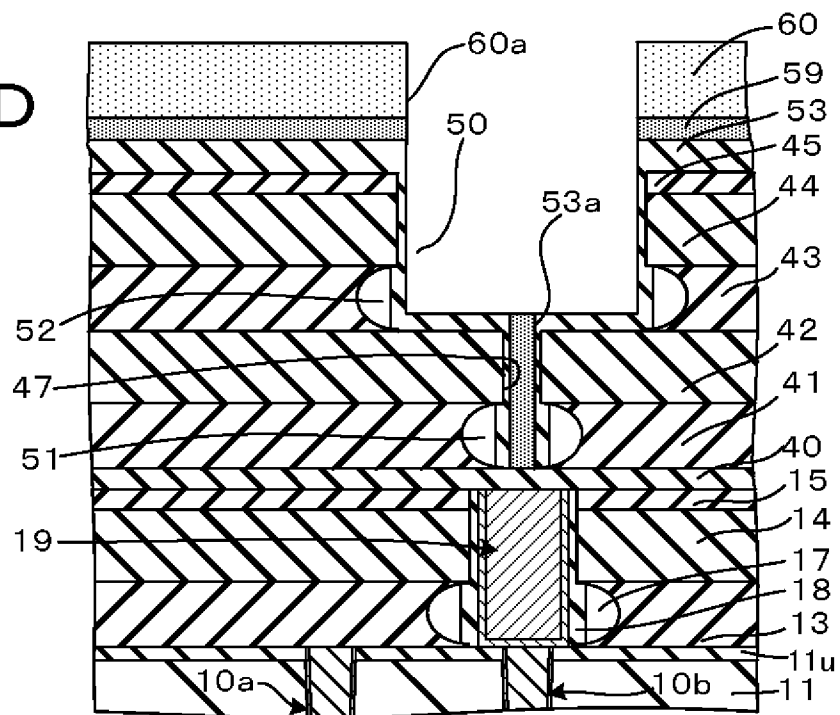
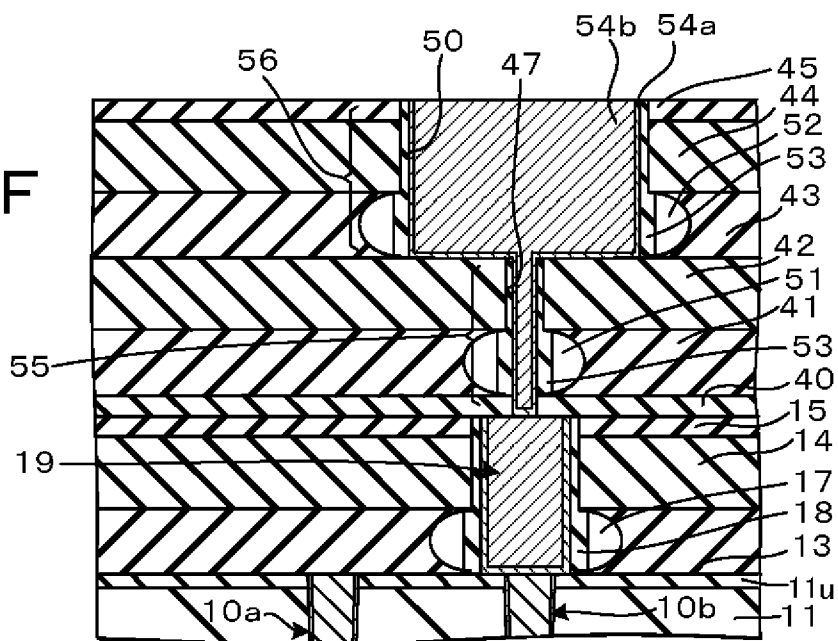
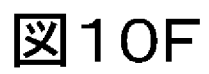
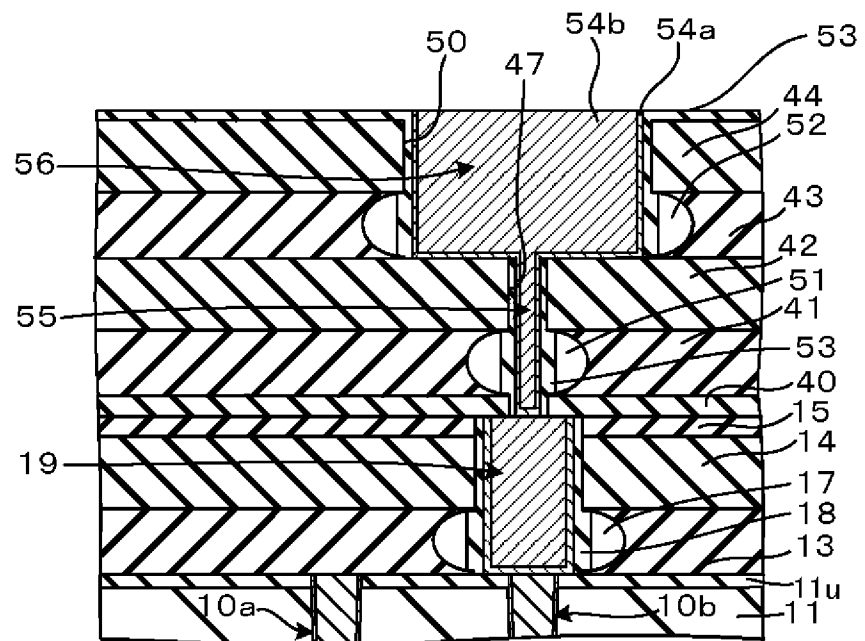


図 10E



[図11]

図11



[図12]

図12

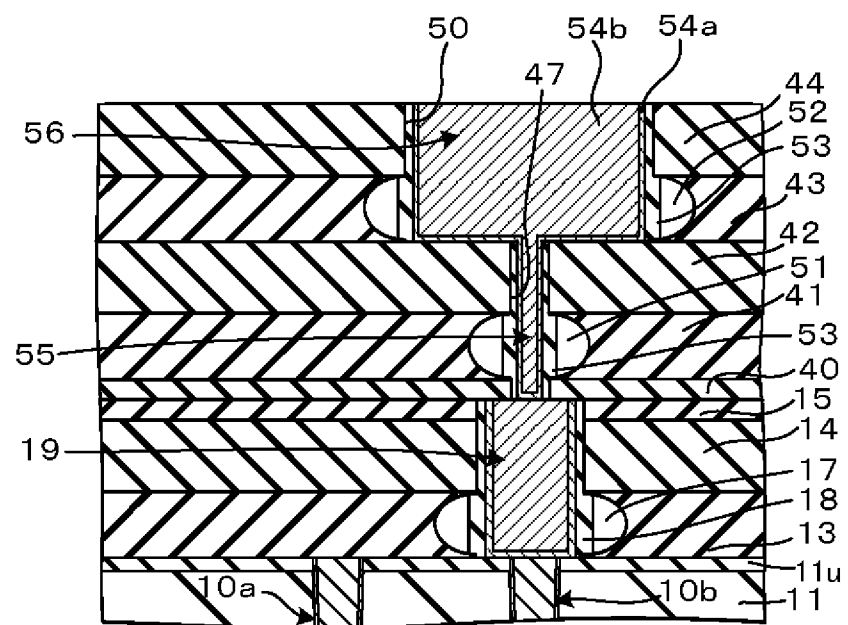
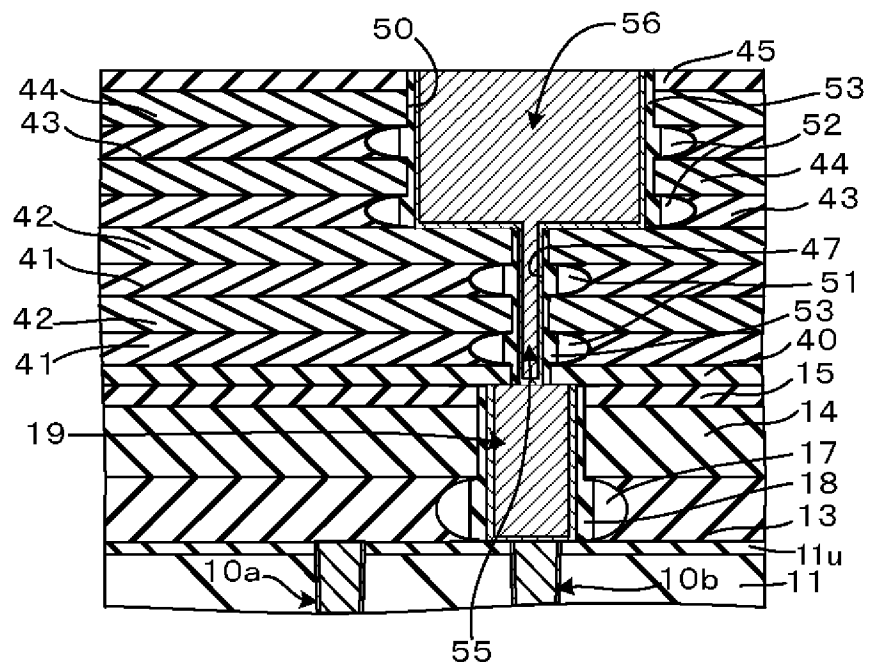


図 13A



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/003993

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/768(2006.01)i, H01L23/522(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/768, H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2008-502140 A (International Business Machines Corp.), 24 January, 2008 (24.01.08), Par. Nos. [0010] to [0031]; Figs. 1 to 17 & US 2005/0275104 A1 & EP 1766670 A & WO 2005/117085 A2	1, 3, 5 2, 4, 6-10
Y	JP 2005-109343 A (Semiconductor Leading Edge Technologies, Inc.), 21 April, 2005 (21.04.05), Full text; all drawings (Family: none)	2, 4, 6-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
02 October, 2009 (02.10.09)

Date of mailing of the international search report
13 October, 2009 (13.10.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/003993

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-23031 A (Matsushita Electric Industrial Co., Ltd.), 22 January, 2004 (22.01.04), Par. Nos. [0018] to [0025]; Figs. 1(a) to (d) & US 2003/0235979 A1	4, 9
A	JP 2005-19585 A (NEC Electronics Corp.), 20 January, 2005 (20.01.05), Par. Nos. [0004] to [0010]; Figs. 5 to 7 (Family: none)	4, 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/003993

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claim 1 does not have a special technical feature of invention, considering the disclosed contents of JP 2008-502140 A (International Business Machines Corp.), 24 January, 2008 (24.01.08), paragraphs 0010-0031 and Fig. 1-17. Therefore, there is no unity of invention between the invention in claim 1 and the inventions in other claims.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/768 (2006.01)i, H01L23/522 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/768, H01L23/522

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2008-502140 A（インターナショナル・ビジネス・マシーンズ・コーポレーション）2008.01.24, 段落0010-0031、図1-17 & US 2005/0275104 A1 & EP 1766670 A & WO 2005/117085 A2	1, 3, 5 2, 4, 6-10
Y	JP 2005-109343 A（株式会社半導体先端テクノロジーズ）2005.04.21, 全文、全図（ファミリーなし）	2, 4, 6-10
Y	JP 2004-23031 A（松下電器産業株式会社）2004.01.22, 段落0018-0025、図1（a）-（d） & US 2003/0235979 A1	4, 9

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
0 2 . 1 0 . 2 0 0 9

国際調査報告の発送日
1 3 . 1 0 . 2 0 0 9

国際調査機関の名称及びあて先
日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員） 棚田 一也	4 L	4 0 4 0
電話番号 03-3581-1101 内線 3498		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-19585 A (NECエレクトロニクス株式会社) 2005. 01. 20, 段落 0 0 0 4 - 0 0 1 0、図 5 - 7 (ファミリーなし)	4, 9

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に係る発明は、JP 2008-502140 A（インターナショナル・ビジネス・マシーンズ・コーポレーション）2008.01.24、段落0010-0031、図1-17の開示内容に照らして、発明の特別な技術的特徴を有しないため、請求項1に係る発明と他の請求項に係る発明との間に単一性は認められない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。