

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G11C 11/407	(45) 공고일자 1999년06월 15일	(11) 등록번호 10-0201723
(21) 출원번호 10-1995-0001885	(24) 등록일자 1999년03월 16일	(65) 공개번호 특1995-0024217
(22) 출원일자 1995년01월30일	(43) 공개일자 1995년08월21일	
(30) 우선권 주장 94-8921 1994년01월31일 일본(JP) 95-8471 1995년01월23일 일본(JP)		
(73) 특허권자	가부시끼가이샤 도시바 니시무로 타이쵸	
(72) 발명자	일본국 가나가와켄 가와사끼시 사이와이구 호리가와쵸 72번지 고노 후미히로	
(74) 대리인	일본국 가나가와켄 가와사끼시 사이와이구고무가이도시바정 1번지 가부시끼 가이샤 도시바연구개발센터내 김윤배, 이범일	

심사관 : 김종찬

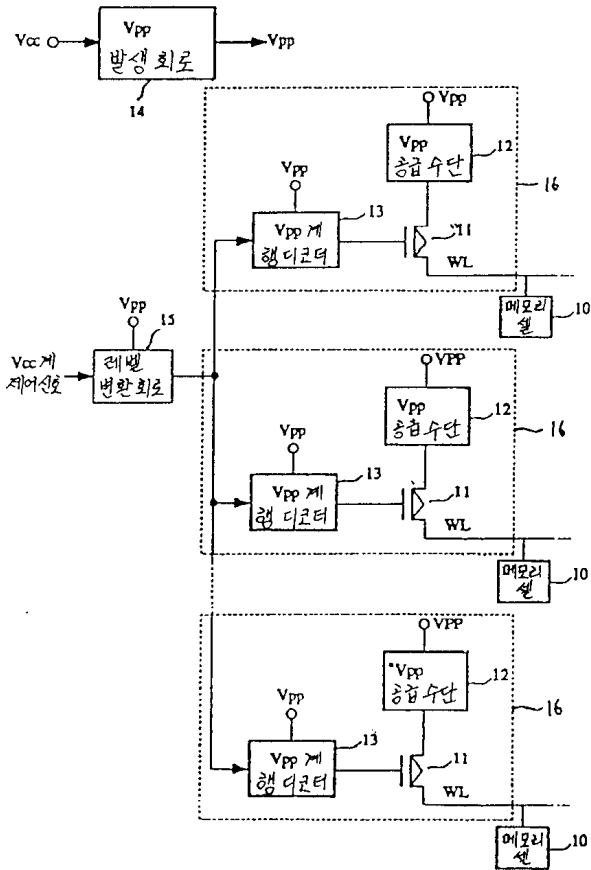
(54) 반도체 기억장치

요약

본 발명은, 워드선(WL)에 접속된 워드선 구동용의 P채널 트랜지스터(11)를 갖추고, 승압전위(Vpp)가 전원으로서 공급된 워드선 선택회로(16)와, 복수의 워드선 선택회로(16)에 공통 접속되어 이 선택회로(16)를 제어하기 위한 제어신호의 전압레벨을 승압전위의 레벨로 변환하기 위한 레벨변환회로(15)를 구비하는 것은 특징으로 하는 반도체 기억장치이다.

본 발명에 의하면, 레벨변환회로의 수가 적게 끝나기 때문에, 레벨변환회로를 축소할 수 있고, 소비전류를 저감할 수 있다. 또, 레벨변환회로를 메모리셀 부분으로부터 떨어지게 배치할 수 있으므로, 오동작을 일으키기 어려운 반도체 기억장치를 얻을 수 있다.

대표도



명세서

[발명의 명칭]

반도체 기억장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예를 나타낸 블록도.

제2도는 본 발명의 제1실시예에서의 워드선 선택회로의 구체적인 회로도.

제3도는 제1실시예의 변형예를 나타낸 회로도.

제4도는 승압전위(Vpp)를 발생하는 승압전위 발생회로의 회로도.

제5도는 본 발명의 제2실시예를 나타낸 회로도.

제6도는 본 발명의 제3실시예를 나타낸 회로도.

제7도는 NOR게이트로 구성된 워드선 선택회로의 회로도.

제8도는 종래의 워드선 선택회로의 회로도.

제9도는 다른 종래의 워드선 선택회로의 회로도이다.

\* 도면의 주요부분에 대한 부호의 설명

- 11 : P채널 트랜지스터
- 12 : Vpp공급수단
- 13 : Vpp게 행디코더
- 14 : Vpp발생회로
- 15 : 레벨변환회로
- 16 : 워드선 선택회로

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체 기억장치에 관한 것으로, 특히 워드선을 선택적으로 구동하는 워드선 선택회로에 관한 것이다.

## [종래기술 및 그 문제점]

반도체 기억장치의 고집적화에 따라 전원전압(Vcc)의 저전압화나 독출속도의 고속화라는 요구가 높아지고 있다.

제8도는 종래의 워드선 선택회로의 회로도이다. 이 도면에 있어서, P채널 MOS 트랜지스터의 소스에는 승압전위가 공급되고 있다. 이 승압전위는 외부로부터 주어지는 전원전압(Vcc)보다 높은 전위로, 통상은 승압전위 발생회로(도시하고 있지 않음)에 의해 칩내부에서 발생시켜진다. N채널 MOS 트랜지스터의 소스에는 접지전위가 공급되고 있다. P채널 MOS 트랜지스터의 드레인 및 N채널 MOS 트랜지스터의 드레인에는 메모리셀에 접속된 워드선(WL)이 접속되어 있다. P채널 MOS 트랜지스터의 게이트 및 N채널 MOS 트랜지스터의 게이트는 공통으로 접속되어 있고, 레벨변환회로를 매개로 전원전압(Vcc)이 전원으로서 공급된 행디코더가 접속되어 있다. 이 행디코더는, 예컨대 어드레스신호나 프리차지신호라는 제어신호로 제어되고, 이 제어신호의 레벨에 따라 선택적으로 Vcc계의 출력신호(H레벨이 Vcc레벨인 출력신호)를 출력한다. 이 Vcc계의 출력신호는 레벨변환회로에 의해 Vpp계의 신호(H레벨이 Vpp레벨인 신호)로 신호레벨이 변환되고, 이 변환신호가 P채널 MOS 트랜지스터의 게이트 및 N채널 MOS 트랜지스터의 게이트에 공급되고 있다.

이 종래기술은 워드선과 Vpp와의 사이에 워드선 구동용의 P채널 MOS 트랜지스터를 이용하고 있는데, 이것은 저전원전압화나 워드선 선택의 고속화의 요청으로부터, 현 제품에서 많이 이용되고 있는 워드선 구동용의 N채널 MOS 트랜지스터와 분리 트랜지스터를 조합시킨 부트스트랩회로(bootstrap circuit) 대신에 분리 트랜지스터가 불필요한 P채널 MOS 트랜지스터를 이용한 것이다.

이와 같이 P채널 MOS 트랜지스터를 이용하려고 한 경우, 그 게이트에 입력되는 제어신호는 Vpp계의 제어신호(H레벨이 Vpp인 제어신호)일 필요가 있다. 왜냐하면, Vcc계의 제어신호(H레벨이 Vcc인 제어신호)로 P채널 MOS 트랜지스터가 제어되는 경우, 게이트에 H레벨(Vcc)이 입력되면, 소스전압은 Vpp이기 때문에, P채널 MOS 트랜지스터가 완전히 오프되지 않는다고 하는 문제가 생기기 때문이다. 따라서, P채널 MOS 트랜지스터의 게이트를 제어하는 신호는 Vpp계의 제어신호일 필요가 있지만, 행디코더의 출력은 Vcc계의 제어신호이기 때문에, 신호레벨을 Vcc레벨로부터 Vpp계 레벨로 변환할 필요가 있다. 이 때문에, 행디코더와 P채널 MOS 트랜지스터와의 사이에 레벨변환회로를 설치할 필요가 있는 것이다.

제9도는 다른 종래의 워드선 선택회로의 회로도이다. 이 도면에 있어서, 레벨변환회로에 대응하는 것은 각각의 워드선 선택회로중의 행디코더 부분에 설치된 각각의 게이트가 교차 결합접속된 P채널 MOS 트랜지스터이다.

이들 종래 기술에 있어서는, 다음과 같은 문제점이 있다.

첫번째로, 워드선 선택회로마다 레벨변환회로를 설치할 필요성이 있기 때문에, 다수의 변환회로가 필요하게 된다. 예컨대, 상기 종래기술에 있어서는 워드선의 수만큼의 레벨변환회로가 필요하게 된다. 이것은 칩면적의 증대 및 소비전력의 증대를 초래한다고 하는 문제가 생긴다.

두번째로, 레벨변환회로는 그 회로구성상 노이즈의 영향을 받기 쉽다. 종래기술에 있어서, 레벨변환회로는 상술한 바와 같이 워드선 선택회로의 일부로서 형성할 필요가 있었으므로, 칩레이아웃상 노이즈가 발생하기 쉬운 메모리셀 영역의 주변에 배치할 필요가 있었다. 그러나, 64M DRAM이나 256M DRAM과 같이 반도체 기억장치의 고집적화가 진행됨에 따라 메모리셀에서 발생하는 노이즈가 주변회로에 주는 영향이 점점 커지고 있고, 종래기술과 같은 배치에서는 레벨변환회로가 메모리영역에서 발생하는 노이즈의 영향으로 오동작할 우려가 생긴다.

## [발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 주변회로 부분의 칩레이아웃 면적을 축소할 수 있고, 소비전력을 저감하여, 노이즈의 영향을 받지 않아 안정하게 동작할 수 있는 반도체 기억장치를 제공함에 그 목적이 있다.

## [발명의 구성]

상기 목적을 달성하기 위해 본 발명은, 데이터를 기억하는 복수의 메모리 셀과, 이 메모리셀이 접속된 복수의 워드선, 전원전압보다 높은 승압전위를 발생시키기 위한 승압회로, 이 승압회로에 접속되어 상기 승압전위를 제1노드에 공급하기 위한 승압전위 공급수단, 각각이 행디코더와 워드선 구동회로를 포함하며 복수의 제어신호에 따라 상기 워드선을 선택적으로 구동하기 위한 복수의 워드선 선택회로, 상기 제어신호중 적어도 하나를 상기 승압전위의 전위레벨의 제어신호로 변환하고 이 레벨변환된 제어신호를 복수의 상기 워드선 선택회로에 입력하기 위한 레벨변환회로를 갖추고, 상기 행디코더는 상기 승압전위가 전원으로서 공급되어 상기 제어신호에 따라 제2노드에 선택적으로 상기 승압전위 레벨의 출력신호를 공급하기 위한 것이고, 상기 워드선 구동회로는 상기 제2노드의 상기 출력신호에 따라 선택적으로 상기 제1노드의 전위를 상기 워드선에 공급하는 P채널 MOS 트랜지스터를 포함하고 있는 것을 특징으로 하는 반도체 기억장치를 제공하는 것이다.

## [작용]

이와 같은 구성에 있어서는, 워드선 선택회로의 전단부에 레벨변환회로를 설치하고, 레벨변환회로의 출력이 복수의 워드선 선택회로에 공통으로 입력되고 있기 때문에, 종래기술과 같이 워드선 선택회로마다 레벨변환회로를 설치할 필요가 없고, 워드선 선택회로를 제어하는 신호의 수 정도만큼 레벨변환회로를 설치하면 족하다. 따라서, 레벨변환회로의 개수를 삭감할 수 있고, 레벨변환회로를 동작시키기 위해 소비되는 전류도 상대적으로 저감할 수 있다.

또, 레벨변환회로는 회로구성상 노이즈의 영향을 받기 쉽다. 종래기술에서는 레벨변환회로를 워드선 선택회로내에 설치할 필요가 있었기 때문에, 필연적으로 노이즈가 발생하기 쉬운 메모리셀 부분의 근방에 레벨변환회로를 설치할 필요가 있었다. 그 때문에, 반도체 기억장치의 고집적화에 따라 이 노이즈에 의해 레벨변환회로가 오동작을 일으킬 가능성이 생기기에 이르렀다. 그러나, 본 발명에서는 레벨변환회로를 워

드선 선택회로내의 일부에 설치할 필요는 없고, 메모리셀 부분으로부터 떨어진 장소에 설치하는 것이 가능하기 때문에, 레벨변환회로가 메모리셀부에서 발생한 노이즈의 영향을 받기 어렵다. 따라서, 레벨변환회로가 오동작하는 것을 방지할 수 있는 효과가 있다.

#### [실시예]

이하, 예시도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

제1도는 본 발명의 제1실시예를 나타낸 블록도이다. 복수의 워드선(WL)에는, 각각 메모리셀과 워드선 선택회로(16)가 접속되어 있다. 이 워드선 선택회로(16)는 접지전위인  $V_{ss}$  및 승압전위인  $V_{pp}$ 가 전원으로 공급되고 있는 행디코더(이하,  $V_{pp}$ 계 행디코더라 칭함; 13)와, 승압전위 공급수단(이하,  $V_{pp}$ 공급수단이라 칭함; 12) 및, 워드선 구동회로인 P채널 MOS 트랜지스터(11)로 구성되어 있다. P채널 MOS 트랜지스터(11)의 드레인은 워드선(WL)에 접속되어 있고, P채널 MOS 트랜지스터(11)의 소스에는  $V_{pp}$ 공급수단(12)을 매개로 승압전위( $V_{pp}$ )가 공급되고 있다. 이 승압전위( $V_{pp}$ )는 외부단자로부터 인가되고 있는 전원전압( $V_{cc}$ )보다도 높은 승압된 전위로,  $V_{pp}$ 발생회로(14)에 의해 발생된 것이다. 또,  $V_{pp}$ 공급수단(12)은 P채널 MOS 트랜지스터(11)의 소스에  $V_{pp}$ 를 공급하기 위한 것으로, 예컨대 간단한 배선이어도 좋다. 이 배선의 경우에는, P채널 MOS 트랜지스터(11)의 소스에는 항상  $V_{pp}$ 를 공급된다. 또, 이  $V_{pp}$ 공급수단(12)은 스위칭·트랜지스터로 구성되어도 좋다. 그리고, 이 스위칭·트랜지스터의 게이트에 프리디코더의 출력을 접속하면 프리디코더에 의해 선택된 때에만 스위칭·트랜지스터가 온되고, 그것에 대응하는 P채널 MOS 트랜지스터(11)의 소스에  $V_{pp}$ 가 공급되게 된다. P채널 MOS 트랜지스터(11)의 게이트는  $V_{pp}$ 계 행디코더(13)의 출력신호에 따른 신호로 제어되고 있다. 여기서 출력신호에 따른 신호로 한 것은, 행디코더(13)와 P채널 MOS 트랜지스터(11)의 게이트와의 사이에 인버터 등의 회로소자가 존재하는 경우를 고려했기 때문이다. 이  $V_{pp}$ 계 행디코더(13)는 예컨대 프리차지신호나 어드레스신호 등의 제어신호로 제어된다. 본 발명에 있어서는, 이 제어신호중 몇개가  $V_{pp}$ 계 제어신호(H레벨이  $V_{pp}$ 레벨)인 점이 중요하다. 그리고, 이  $V_{pp}$ 계 제어신호는 레벨변환회로(15)에 의해  $V_{cc}$ 계 제어신호(H레벨이  $V_{cc}$ 레벨)를 레벨변환한 신호이다.

이와 같은 구성에 있어서는, 어떤  $V_{cc}$ 계 제어신호를 레벨변환회로(15)에 의해  $V_{pp}$ 계 제어신호로 레벨을 변환하고, 이 변환된 신호는 복수의  $V_{pp}$ 계 행디코더(13)에 공통으로 입력되고 있다. 따라서, 종래기술과 같이 워드선 선택회로마다 레벨변환회로를 설치할 필요가 없고 복수의 워드선 선택회로마다 레벨변환회로를 설치하면 족하기 때문에 레벨변환회로를 소를 적게 할 수 있으며, 칩면적을 작게 할 수 있는 동시에 소비전력을 줄일 수 있는 효과가 있다. 또, 레벨변환회로는 회로구성상 노이즈의 영향을 받기 쉽다. 종래 기술에서는 레벨변환회로를 워드선 선택회로내에 설치할 필요가 있기 때에, 필연적으로 노이즈가 발생하기 쉬운 메모리셀부의 근방에 레벨변환회로를 설치할 필요가 있었다. 64M-DRAM이나 256M-DRAM과 같이 반도체 기억장치의 고집적화가 진행됨에 따라 메모리셀에서 발생한 노이즈가 주변회로에 주는 영향이 커지고 있고, 이에 따라 레벨변환회로가 오동작을 일으킬 가능성이 생기고 있다. 본 발명에서는, 레벨변환회로(15)를 워드선 선택회로(16)내의 일부에 설치할 필요는 없고, 메모리셀 부분으로부터 떨어진 장소에 설치하는 것이 가능하기 때문에, 레벨변환회로(15)가 메모리셀부에서 발생한 노이즈의 영향을 받기 어렵다. 따라서, 이와 같은 노이즈의 영향이 상대적으로 커져도 레벨변환회로(15)가 오동작하는 것을 방지할 수 있는 효과가 있다.

다만, 레벨변환회로와 워드선 선택회로가 너무 멀리 떨어지면, 노이즈의 영향은 받기 어렵지만 이들 사이를 접속하는 배선길이가 길어지기 때문에, 접속배선의 기생용량이 커져 회로동작이 지연된다는 문제가 생긴다. 따라서, 칩레이아웃상의 회로부분의 배치로서는, 반도체기판상에서 워드선 선택회로가 형성되는 영역의 한번에 인접하여 메모리셀이 형성되는 영역을 배치하고(이것은 워드선의 기생용량이 증대하는 것을 방지하기 위해, 워드선의 배선길이를 가능한 한 짧게 하기 위함이다), 이것과는 다른 한번(바람직하게는, 메모리셀이 형성되는 영역과는 반대의 방향)에 레벨변환회로가 형성되는 영역을 워드선 선택회로에 인접하여 배치하는 것이 바람직하다. 즉, 레벨변환회로가 형성되는 영역과 메모리셀이 형성되는 영역의 사이에 워드선 선택회로가 형성되는 영역을 배치하도록 한 레이아웃이 바람직하다. 상술한 바와 같은 고집적화된 반도체 기억장치에 있어서, 이와 같은 구성으로 하면, 레벨변환회로는 메모리셀과 워드선 선택회로가 형성된 영역만큼 떨어져 있기 때문에 메모리셀부에서 발생한 노이즈의 영향을 충분히 방지할 수 있고, 또한 레벨변환회로와 워드선 선택회로를 접속하는 배선의 배선길이도 길어지는 것을 방지할 수 있기 때문에, 배선 지연이 거의 문제로 되지 않는다. 더욱이, 칩 크기를 축소할 수 있다는 점에서도 효과적이다.

또한, 본 실시예는 승압한 제어신호를 행디코더(13)의 제어를 위해 이용하고 있지만, 실제의 제품에서의 워드선 선택회로는 행디코더 이외에도 여러 가지의 기능을 갖춘 회로부분이 존재하기 때문에(예컨대, 리던던시에 관한 회로), 그들의 부분에도 승압된 제어 신호를 이용하는 경우도 있을 수 있다. 따라서, 본 발명은 상기 실시예와 같이 행디코더를 제어하는 제어신호에 관한 것에 한정되지 않고, 그 목적·효과를 발휘하는 범위내에서 워드선 선택회로를 제어하는 많은 신호에 대해 적용하는 것이 가능하다.

제2도는 상기 제1실시예에서의 워드선 선택회로의 구체적인 회로도이다. 복수의 워드선(WL)의 각각에는 메모리셀(20)이 접속되어 있다. 이 메모리셀(20)은 하나의 트랜지스터와 하나의 캐패시터로 이루어진 DRAM셀로 구성되어 있다. 이 워드선(WL)은 P채널 MOS 트랜지스터와 N채널 MOS 트랜지스터로 이루어진 워드선 구동회로에 접속되어 있고, 구체적으로는 P채널 MOS 트랜지스터(23)의 드레인과 N채널 MOS 트랜지스터(24)의 드레인에 접속되어 있다. P채널 MOS 트랜지스터(23)의 소스에는  $V_{pp}$ 가 공급되고 있고, N채널 MOS 트랜지스터(24)의 소스에는  $V_{cc}$ 가 공급되고 있다. 본 실시예에서의  $V_{pp}$ 공급수단으로는, P채널 MOS 트랜지스터의 소스와  $V_{pp}$ 를 접속하는 배선이 대응한다. P채널 MOS 트랜지스터(23)의 게이트와 N채널 MOS 트랜지스터(24)의 게이트는  $V_{pp}$ 계 행디코더(25)의 출력노드(a)에 공통 접속되어 있다. 이  $V_{pp}$ 계 행디코더(25)는,  $V_{pp}$ 와  $V_{ss}$  사이에 프리차지용의 P채널 MOS 트랜지스터(26)와, NAND게이트로 이루어진 디코더수단(29)을 직렬로 접속한 구성으로 되어 있고, 어드레스신호(A0~Ak)와 프리차지신호(PRCH')에 의해 제어되고 있다. 이 프리차지신호(PRCH')는  $V_{pp}$ 계의 제어신호로,  $V_{cc}$ 계의 제어신호(PRCH)를 레벨변환회로(27)에 의해 레벨변환한 신호이다.  $V_{pp}$ 계 행디코더(26)의 출력노드(a)에는 부하용의 P채널 MOS 트랜지스터(28)가 접속되어 있고, 그 게이트에는 출력노드(a)의 전위레벨의 반전신호를 생성하기 위한  $V_{pp}$ 가 전원으로 공급된 인버터의 출력단이 접속되어 있다.

이와 같은 구성에서의 회로동작을 이하에 설명한다. 행어드레스신호(A0~Ak)를 NAND게이트(29)에 입력하기

전에, Vpp계의 제어신호인 프리차지신호(PRCH')가 프리차지동작으로서 소정의 기간내에 고레벨, 저레벨, 고레벨의 순(즉, Vpp레벨, Vss레벨, Vpp레벨의 순)으로 변화한다. P채널 MOS 트랜지스터(26)는 PRCH'가 Vss레벨에 있어서 온하고, 출력노드(a)를 Vpp레벨로 차지한 후에 오프한다.

부하트랜지스터(28)는, P채널 MOS 트랜지스터(26)가 오프한 후에, 출력노드(a)가 일시적으로 부유상태로 될 때에 노이즈 등에 의해 이 출력노드(a)의 전위레벨이 변동하는 것을 방지하기 위해 설치되어 있다. 여기서, P채널 MOS 트랜지스터(28)의 게이트에 출력단이 접속된 인버터는 Vpp 및 Vss와의 사이에 직접접속된 P채널 MOS 트랜지스터와 N채널 MOS 트랜지스터 구성되어 있다. 전원전위로서 Vpp 대신에 Vcc를 이용한 경우에는, 출력노드(a)가 H레벨일 때 인버터를 구성하고 있는 P채널 MOS 트랜지스터가 완전히 오프하지 않기 때문에 인버터의 동작이 불안정화되고, 위드선의 고속화를 막기 때문에, 전원전위를 Vpp로 하고 있는 것이다.

프리차지동작으로서의 상기 소정 기간이 경과한 후, 어드레스신호(A0-Ak)의 어떤 조합이 NAND게이트(29)에 입력된다. 선택된 위드선(WL)에 접속된 위드선 선택회로에 대해 생각하면, 선택된 위드선에 대응하는 출력노드(a)만이 Vss레벨로 되어 P채널 MOS 트랜지스터(23)가 온하고, N채널 MOS 트랜지스터(24)가 오프한다. 그 결과, 선택된 위드선(WL)이 Vpp레벨로 되어 그 위드선(WL)에 접속되어 있는 메모리셀(20)의 트랜지스터(21)가 온하고, 캐패시터(22)의 축적된 데이터가 비트선(BL)으로 전송된다. 이 경우, 선택되지 않은 위드선(WL)에 대해서는, 그것에 대응하는 위드선 선택회로중의 출력노드(a)는 Vpp레벨 그대로이다. 따라서, P채널 MOS 트랜지스터(23)는 오프하고, N채널 MOS 트랜지스터(24)는 온하기 때문에, 선택되지 않은 위드선(WL)에 Vpp가 공급되지 않으므로 메모리셀의 데이터는 독출되지 않는다.

여기서, N채널 MOS 트랜지스터(24)는 위드선이 비선택인 경우에 온하여 위드선을 0레벨로 고정하기 위해 설치되어 있고, 이것에 의해 위드선이 부유상태로 되는 것을 방지하고 있다. 이것은 노이즈의 영향에 의해 위드선의 전위가 변동하고, 비선택의 위드선이 선택되어 버리는 것을 방지하는 점에서 유효하다.

본 실시예에 있어서는, Vpp계 행디코더(25)를 제어하는 신호중 P채널 MOS 트랜지스터(26)의 게이트에 접속된 프리차지용의 제어신호(PRCH)만 레벨변환을 행하여 Vpp계 제어신호(PRCH')로 하고 있고, NAND게이트(29)를 구성하는 N채널 MOS 트랜지스터의 게이트에 접속된 어드레스용의 제어신호(A0-Ak)는 Vcc계의 제어신호 그대로이다. 이것은 P채널 MOS 트랜지스터를 제어하는 제어신호는 반드시 Vpp계 제어신호일 필요가 있지만, N채널 MOS 트랜지스터를 제어하는 제어신호는 반드시 Vpp계 제어신호일 필요가 없기 때문이다. 즉, P채널 MOS 트랜지스터의 경우, Vcc계의 제어신호로 제어하려고 하면, 제어신호가 H레벨(Vcc레벨)인 경우에 완전하게 트랜지스터가 오프하지 않기 때문인 데 반해, N채널 MOS 트랜지스터의 경우에는 Vcc계 제어신호가 L레벨(Vss레벨)에서 완전히 트랜지스터가 오프하기 때문에, 회로동작상 문제가 생기지 않기 때문이다. 여기서 N채널 MOS 트랜지스터의 제어신호는 Vpp계 제어신호여도 회로동작상 문제는 없다.

이상의 이유에 의해, 위드선 선택회로를 제어하는 제어신호는 모드 Vpp계 제어신호여도 회로동작상 문제는 없지만, 적어도 P채널 MOS 트랜지스터에 접속되어 있는 제어신호가 Vpp계 제어신호일 필요가 있다. 통상, 프리차지용의 트랜지스터(26)는 임계치 누락이 생기는 것을 방지하기 위해 P채널 MOS 트랜지스터를 사용하기 때문에, 본 실시예에서는 이것을 Vpp계 제어신호로 제어한 구성을 나타내고 있다. 즉, 본 발명은 위드선 선택회로를 제어하는 신호의 하나이상(적어도 P채널 MOS 트랜지스터의 게이트를 제어하는 신호)의 Vpp계 제어신호를 이용하고 있는 것이 중요하고 Vpp제어신호의 발생방법의 여하는 문제가 아니다.

본 실시예에 있어서는, 프리차지신호인 PRCH를 Vpp계의 PRCH'로 레벨변환하기 위한 하나의 레벨변환회로(27)를 이용하고 있기 때문에, 종래기술에 있어서는 위드선 선택회로의 수만큼 필요했던 레벨변환회로가 하나로 족하므로, 칩면적이 종래기술과 비교하여 상당히 작아져서 소비전력을 줄일 수 있는 외에, 오동작하기 어려운 반도체 기억장치를 제공할 수 있다.

본 실시예에 있어서, 위드선 선택회로에 공급되는 전원은 Vpp와 Vss 2개이고, Vcc는 필요로 되지 않는다. 즉, 칩 위에서 위드선 선택회로가 형성되는 회로영역에 둘러 쳐진 전원선은 Vss선과 Vpp선의 2개의 전원선으로 족하고, Vcc선은 필요로 되지 않는다. 따라서, 1개당의 전원선(Vss선과 Vpp선)의 선풍을 충분히 굵게 설계할 수 있기 때문에, 노이즈 등에 의해 전원선의 전위레벨이 변동하는 것을 방지할 수 있다. 또, 회로설계가 용이해진다는 이점도 있다.

또, 본 실시예에서는 Vpp계 행디코더(25)의 출력노드(a)를 직접 위드선 구동회로내의 P채널 MOS 트랜지스터(23) 및 N채널 MOS 트랜지스터(24)의 게이트에 접속하고 있지만, Vpp계의 인버터를 복수단 설치하여 간접적으로 접속하고 있어도 좋은 것은 당연하고, 이하의 실시예에 있어서도 이 점은 마찬가지이다.

제3도는 제1실시예의 변형예를 나타낸 회로도이다. 제2도에 나타낸 회로 부분과 같은 것은 동일한 번호를 붙이고 설명을 생략한다. 제2도에 나타낸 회로도 와 상위한 것은, 행디코더와 위드선 구동용의 P채널 MOS 트랜지스터의 게이트가 직접 접속되어 있는 것이 아니라, Vpp계의 인버터(Inv.1, Inv.2)가 삽입되어 있는 점이다. 이 인버터를 설치하는 것은, 위드선 구동용의 P채널 MOS 트랜지스터의 게이트를 제어하는 타이밍을 제어하기 위함이다. 이와 같이, 행디코더와 위드선 구동회로의 접속은 직접 접속되어 있는 경우뿐만 아니라, 예컨대, 제3도에 나타낸 바와 같이 인버터를 매개로 간접적으로 접속되어 있어도 좋다. 요컨대, 행디코더의 출력노드의 전위레벨에 따라 위드선 구동용의 P채널 MOS 트랜지스터(및 N채널 MOS 트랜지스터)가 제어되고 있으면 좋다. 이것은 이하의 제2 및 제3실시예에서도 마찬가지이다.

제1실시예에 있어서는, 프리차지신호의 레벨변환용으로 하나의 레벨변환회로를 이용하고 있지만, 완전히 동일한 동작을 하는 복수개의 레벨변환회로를 병렬로 설치해도 좋다. 이와 같이, 하나의 제어신호에 대해 완전히 동일하게 동작하는 복수의 회로를 설치하는 이유는, 예컨대 배선길이의 기생용량이나 레벨변환회로의 구동능력을 고려했기 때문이다. 예컨대, 메모리셀을 몇 개의 블록으로 분할하는 경우에는, 각 블록마다 또는 몇 개의 블록마다 레벨변환회로를 복수개 병렬로 설치하는 경우가 있다. 이것도 이하의 제2 및 제3실시예에 대해서도 마찬가지로 할 수 있는 것이다.

제4도는 승압전위(Vpp)를 발생하는 승압전위 발생회로의 구체적인 회로도이다. 이 승압전위 발생회로는, 클럭신호 발생회로(30)와, 인버터(31)에 의해 상보적인 제1 및 제2클럭신호를 발생시키는 수단, 제1클럭

신호(CP1)가 일단에 접속된 제1승압용 캐패시터(32), 전원전압(Vcc)단과 제1승압용 캐패시터(32)의 사이에 접속되고 게이트에 제2클럭신호(CP2)가 공급되는 제1MOS 트랜지스터(33), 드레인과 게이트가 제1MOS 트랜지스터(33)와 승압용 캐패시터(32)의 접속 노드에 공통으로 접속되고 소오스가 승압전위 출력단(38)에 접속된 MOS 트랜지스터(24), 제2클럭신호(CP2)가 일단에 접속된 제2승압용 캐패시터(35), 전원전압(Vcc)단과 제2승압용 캐패시터(35)의 사이에 접속되고 게이트에 제1클럭신호(CP1)가 공급되는 제2MOS 캐패시터(36) 및, 드레인과 게이트가 제2MOS 트랜지스터(36)와 제2승압용 캐패시터(35)의 접속노드에 공통으로 접속되고 소오스가 승압전위 출력단(38)에 접속된 MOS 트랜지스터(27)로 이루어진다.

이와 같은 승압전위 발생회로가 DRAM 등의 워드선 구동용으로서 일반적으로 이용되고 있고, 이 회로에 의해 발생된 Vpp가 전원선을 매개로 워드선 선택회로에 공급된다.

제5도는 본 발명의 제2실시예를 나타낸 워드선 선택회로의 회로도이다. 본 실시예에는 2중 워드선방식에 관한 실시예이다. 제2도에 도시되어 있는 회로와 동일 동작을 하는 회로요소에 대해서는 동일한 번호를 붙이고 설명을 생략한다. 제1실시예와 상위한 점은 Vpp공급수단(40)이 디코더기능(프리디코더)을 갖추고 있다는 점이다.

Vpp공급회로(40)는 그 출력단(b)에 P채널 MOS 트랜지스터(41)의 드레인 및 N채널 MOS 트랜지스터(42)의 드레인이 접속되고, P채널 MOS 트랜지스터(41)의 소오스에는 Vpp가 공급되며, N채널 MOS 트랜지스터(42)의 소오스에는 Vss가 공급되고 있다. P채널 MOS 트랜지스터(41)의 게이트 및 N채널 MOS 트랜지스터(42)의 게이트는 노드(c)에 공통 접속되어 있다. 이 출력노드(c)에는 PRCH2'로 제어되는 프리차지용의 P채널 MOS 트랜지스터(43)의 드레인과 NAND게이트(44) 및 P채널 MOS 트랜지스터로 이루어진 부하트랜지스터(45)가 접속되어 있다. 이 부하트랜지스터(45)는 노드(c)의 전위레벨의 반전신호로 제어되고 있다.

여기서, 부하트랜지스터(45)에 접속되어 있는 인버터는 제2실시예와 마찬가지로 Vpp가 전원으로 공급된 Vpp계 인버터이다. 또, 프리차지신호의 PRCH1' 및 PRCH2'은 Vpp계의 제어신호로, 각각 레벨변환회로에 의해 Vcc레벨의 신호(PRCH1, PRCH2)를 레벨변환한 제어신호이다.

종래기술에서 2중 워드선방식을 실현하려고 한 경우, 워드선 선택회로 부분과 Vpp공급수단(프리디코더부)내에 각각 레벨변환회로를 설치할 필요가 있었지만, 본 실시예에서는 주디코더용 및 프리디코더용의 프리차지신호로서 PRCH1과 PRCH2의 2개의 제어신호를 위한 레벨변환회로로 족하기 때문에, 회로 면적을 축소한다는 점에서 대단히 유효하다.

본 실시예에서도, 상술한 바와 같이 칩 면적의 축소, 저소비전력화 및 레벨변환회로의 노이즈에 의한 오동작을 방지하고, 나아가서는 전원선의 레벨변동 방지라고 하는 효과가 있는 외에, 이하와 같은 효과도 있다. 종래의 제품에서는, 상술한 바와 같이 워드선 구동 트랜지스터의 N채널 MOS 트랜지스터 및 분리용 트랜지스터로 이루어진 부트스트랩회로를 이용하고 있었다. 이 경우, 구동용 트랜지스터가 N채널 등이므로 임계치 누락을 방지하기 위해, 먼저 주디코더의 출력을 확정하고, 구동용의 N채널 MOS 트랜지스터의 게이트를 충분히 차지한 후에, 프리디코더를 출력제어하여 구동용의 MOS 트랜지스터의 소오스에 전위를 인가한다고 하는 타이밍상의 제한이 있었다. 따라서, 구동용 트랜지스터의 게이트를 충분히 차지하는 시간분만큼 프리디코더 출력을 지연시킬 필요가 있었기 때문에, 워드선의 선택시간이 지연되게 된다. 그러나, 본 실시예와 같이 P채널 MOS 트랜지스터를 워드선 구동 트랜지스터로서 이용하면, 임계치 누락을 고려할 필요가 없기 때문에, 이와 같은 타이밍상의 제한이 없게 된다. 즉, 주디코더의 프리차지신호인 PRCH1'를 인가한 후, 소정시간 경과후에 프리디코더의 프리차지신호인 PRCH2'를 인가할 필요는 반드시 없고, PRCH1'과 PRCH2'를 동시의 타이밍에서 주디코더 및 프리디코더에 인가해도 좋다. 이와 같이 P채널 MOS 트랜지스터를 구동용 트랜지스터로서 이용하면, 2중 디코더방식에 있어서 주디코더와 프리디코더의 제어타이밍에 제한이 없어지기 때문에, 종래로부터 고속으로 워드선을 선택할 수 있다는 효과가 있다.

본 실시예에서는, 더욱이 다음과 같은 구성상의 특징이 있다. 즉, 워드선(WL)에는, 워드선의 전위가 요동하는 것을 방지하기 위해 플다운용의 N채널 MOS 트랜지스터(46)가 접속되어 있으며, 그 게이트에는 Vpp공급수단(40)의 출력단(b)의 전위레벨을 인버터(47)로 반전한 신호가 입력되고 있다. 이와 같은 구성이 부가되어 있지 않은 경우에는, 행디코더(26)의 출력노드(a)가 L레벨이고 출력단(b)이 L레벨인 경우, P채널 MOS 트랜지스터(23)는 온한다. 이 때, 이 P채널 MOS 트랜지스터(23)에 접속된 워드선(WL)의 전위는 L레벨로 되지만, 실제로는 노이즈 등의 영향으로 0V로부터 Vth사이에서 변동해 버리기 때문에, 오동작을 일으킬 가능성이 있다. 이것을 방지하기 위하여, 이와 같은 접지용의 N채널 MOS 트랜지스터(46)를 설치하고 있는 바, 출력단(b)의 전위레벨이 L레벨일 때, N채널 MOS 트랜지스터(46)는 온하기 때문에, 워드선(WL)의 전위는 Vss레벨로 고정된다. 따라서, 노드(a)의 출력이 L레벨인 워드선의 전위가 노이즈의 영향으로 변동하는 것을 방지할 수 있다는 효과가 있다.

한편, 이 인버터(47)는 Vpp가 전원으로 공급되는 인버터이어도, Vcc가 전원으로 공급되는 인버터이어도 좋지만, Vpp계의 인버터로 하는 편이 워드선의 전위를 보다 빠르게 Vss레벨로 할 수 있기 때문에, 고속화가능한 점 및 Vcc선이 불필요하게 된다는 점에서 유리하다.

또, 본 실시예에 있어서는 PRCH1'과 PRCH2'의 2개의 타이밍이 다른 프리차지신호를 이용하고 있지만, 동일한 프리차지신호를 이용해도 좋다. 이 경우에는, 레벨변환회로가 하나로 족하기 때문에, 회로구성이 보다 단순해진다는 효과가 있다.

제6도는 본 발명의 제3실시예를 나타낸 회로도이다. 본 실시예에 있어서 제5도에 도시되어 있는 회로와 동일한 동작을 하는 회로요소에 대해서는 동일한 번호를 붙이고 설명을 생략한다. 본 실시예에서는 2중 워드선방식의 점은 제2실시예와 마찬가지로이지만, 디코더수단이 CMOS회로로 구성되어 있는 점 및 프리차지용의 P채널 MOS 트랜지스터가 없는 점, 그리고 행디코더의 출력단에 부하트랜지스터가 접속되어 있지 않는 점이 다르다.

워드선(WL)에 접속된 워드선 구동용의 P채널 MOS 트랜지스터(23) 및 N채널 MOS 트랜지스터(24)의 게이트는 공통 접속되어 있으며, Vpp계 행디코더(50)의 출력노드(a)에 직접 접속되어 있다. 물론 지연용의 Vpp계의 인버터를 설치해도 좋은 것은 상술한 바와 같다. 이 행디코더(50)는, 어드레스신호(A2~A4)로 제어되는 CMOS-NAND게이트로 구성되어 있다. 또, Vpp공급수단(51)내에는 어드레스신호(A0~A1)로 제어되는 CMOS-

NAND게이트로 구성되는 프리디코더회로 부분을 포함하고 있다. 어느쪽의 디코더회로도 Vpp가 전원으로 공급되고 있다. 그리고, 이들 어드레스신호(A0~A4)는 P채널 MOS 트랜지스터를 제어하지만, 어드레스신호가 H레벨일 때 P채널 MOS 트랜지스터를 완전히 오프하기 위해서는, 어드레스신호는 Vpp계의 제어신호이어야만 되므로, 각각 레벨변환회로에 의해 Vcc계 제어신호로부터 Vpp계 제어신호로 레벨변환되고 있다. 본 실시예에서는, 1개의 제어신호에 1개의 레벨변환회로를 이용하고 있기 때문에, 최저 5개의 레벨변환회로가 필요하지만, 레벨변환회로의 구동능력 등을 고려하여 1개의 제어신호에 대해 복수의 레벨변환회로를 설치하는 것도 가능하다. 어느 쪽으로 해도, 종래기술보다 레벨변환회로는 훨씬 적은 개수로 족하기 때문에, 칩면적의 축소 및 소비전력의 저하를 꾀할 수 있는 외에, 오동작하기 어려운 반도체 기억장치를 제공할 수 있다는 점에서 상술한 실시예와 마찬가지로 효과를 발휘한다. 더욱이, 본 실시예에서는 이 외에도 고속동작이 가능하다는 효과도 있다. 즉, 디코더회로가 N채널 MOS 트랜지스터가 아닌 CMOS구조이므로, 프리차지신호를 미리 입력하고 디코더의 출력단을 충전한 후 어드레스신호를 입력한다고 하는 동작은 필요없기 때문에, 워드선 선택의 고속화를 꾀할 수 있다. 또, 디코더의 출력단은 Vpp레벨 또는 Vss레벨로 고정되어 있고, 부유로 되는 일이 없기 때문에, 부하 트랜지스터가 없어도 노이즈 등에 의해 출력단의 전위레벨이 변동하기 어렵다는 효과가 있다.

더욱이, 상기 제1실시예로부터 제3실시예에서는, 행디코더로서 NAND게이트가 이용되고 있지만, NOR게이트를 이용해도 좋다. 제7도는 행디코더로서 N채널 MOS 트랜지스터로 이루어진 NOR게이트(60)를 이용한 워드선 선택회로의 회로도이다. 종전의 실시예에서 나타난 회로요소와 같은 것에 대해서는 동일한 부호를 붙이고 설명을 생략한다. 이 실시예에서는, 부하용의 P채널 MOS 트랜지스터(61)는 직접 행디코더(61)의 출력단(a)에는 접속되어 있지 않고, Vpp계 인버터(62)를 매개로 간접적으로 접속되어 있지만, 본 명세서에서의 접속이란 접속관계가 직접·간접의 양쪽을 포함하는 의미로 사용하고 있다.

여기서, 행디코더를 NAND게이트와 NOR게이트로 구성된 경우의 차이점(NAND형에 대한 NOR형의 차이점)에 대하여, 이하에 설명한다.

NAND형과 NOR형에서는, 어드레스입력되는 N형 트랜지스터의 사이즈가 같은 경우는, 동작속도에 관해서는 NOR형의 쪽이 빠르다. 이것은, NAND형은 어드레스가 전부 일치한 경우에 동작하기 때문에, 트랜지스터가 직렬로 되어 출력컨덕턴스가 감소하여 전류구동능력이 약해져 버리기 때문이다. 그에 반해, 트랜지스터가 병렬로 되는 NOR형은, 출력컨덕턴스가 증가하여 전류구동능력이 강해진다. 따라서, 디코더의 동작은 NOR형의 쪽의 고속으로 되는 것이다.

그러나, NOR형에서는 소비전류도 증가해 버린다. NAND형에서는 어드레스가 불일치한 경우에는 디코더의 출력노드의 전하가 방전되지 않으므로, 재차 충전하는 경우에도 어드레스가 불일치한 노드만 충전하면 되기 때문에 거의 전류를 필요로 하지 않는다. 한편, NOR형은 어드레스가 불일치한 경우에는, 디코더의 출력노드가 방전되기 때문에, WL을 역세할 때마다 거의 모든 노드를 충전할 필요가 있다.

NOR형의 회로동작으로서는, 프리차지시에 디코더의 출력노드가 H레벨로 되어 어드레스가 일치한 경우에는 H레벨인 채로 유지되고, 어드레스가 불일치한 경우에는 L레벨로 되는 것이다. 그리고, WL을 구동하는 최종단의 P채널 MOS 트랜지스터의 온(ON), 오프(OFF)가 결정된다. 또, 어드레스 디코드후에 WDRV신호의 어느 것인가가 H레벨로 되어 어드레스와 WDRV신호가 일치하고 있는 WL이 H레벨로 된다. 그 후, WDRV신호를 L레벨로 하면, WL이 하강한다.

이와 같이, 행디코더로서 NAND게이트 대신에 NOR게이트를 이용해도, 상기 제1실시예로부터 제3실시예와 마찬가지로 효과를 얻을 수 있다.

한편, 본원 청구범위의 각 구성요건에 병기한 도면 참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정할 의도로 병기한 것은 아니다.

#### [발명의 효과]

본 발명에 의하면, 레벨변환회로를 워드선의 개수 정도 설치할 필요는 없고, 워드선 선택회로를 제어하는 제어신호의 개수 정도 설치하면 족하기 때문에, 칩면적을 축소할 수 있으며, 소비전력을 저감할 수 있다. 또, 레벨변환회로를 워드선 선택회로내에 설치할 필요가 없으므로, 레벨변환회로가 노이즈의 영향을 받기 어려워 오동작을 일으키기 어려운 반도체 기억장치를 제공할 수 있다.

### (57) 청구의 범위

#### 청구항 1

데이터를 기억하는 복수의 메모리셀(10,20)과 이 메모리셀(10,20)이 접속된 복수의 워드선(WL), 전원전압(Vcc)보다 높은 승압전위(Vpp)를 발생시키기 위한 승압회로(14), 이 승압회로(14)에 접속되어 상기 승압전위(Vpp)를 제1노드(b)에 공급하기 위한 승압전위 공급수단(12,40,51), 행디코더(13,25,26,50,60)와 워드선 구동회로(11,23,24)를 포함하며, 복수의 제어신호에 따라 상기 워드선(WL)을 선택적으로 구동하기 위한 복수의 워드선 선택회로(16) 및, 상기 제어신호중 적어도 하나를 상기 승압전위(Vpp)의 전위레벨의 제어신호로 변환하고, 이 레벨변환된 제어신호를 복수의 상기 워드선 선택회로(16)에 입력하기 위한 레벨변환회로(15,27)를 갖추고, 상기 행디코더(13,25,26,50,60)는 상기 승압전위(Vpp)가 전원으로 공급되어 상기 제어신호에 따라 제2노드(a)에 선택적으로 상기 승압전위 레벨의 출력신호를 공급하기 위한 것이며, 또한 상기 워드선 구동회로(11,23,24)는 상기 제2노드의 상기 출력신호에 따라 상기 제1노드의 전위를 상기 워드선(WL)에 공급하는 P채널 MOS 트랜지스터(11,23)를 포함하고 있는 것을 특징으로 하는 반도체 기억장치.

#### 청구항 2

제1항에 있어서, 상기 워드선 선택회로(16)는 상기 워드선 구동회로(11,23,24)를 구성하는 상기 P채널 MOS 트랜지스터(11,23) 이외에 적어도 하나의 P채널 MOS 트랜지스터(28)를 갖추고, 이 P채널 MOS 트랜지스터(28)는 상기 레벨변환된 제어신호에 의해 제어되는 것을 특징으로 하는 반도체 기억장치.

**청구항 3**

제1항에 있어서, 상기 행디코더(13,50)는 일단이 상기 제2노드(a)에 접속되고 복수의 상기 제어신호의 일부인 어드레스신호의 논리레벨에 의해 제어되는 디코더회로와, 소스가 상기 승압전위에 접속되고 드레인이 상기 제2노드에 접속되며 게이트가 상기 제어신호의 일부인 프리차지신호로 제어되는 프리차지용의 P 채널 MOS 트랜지스터로 구성되고, 상기 프리차지신호가 상기 레벨변환된 제어신호인 것을 특징으로 하는 반도체 기억장치.

**청구항 4**

제1항에 있어서, 상기 승압전위 공급수단(12,40,51)은, 복수의 어드레스신호로 제어되고 있고, 복수의 상기 어드레스신호에 따라 선택적으로 상기 제1노드로 상기 승압전위(Vpp)를 공급하는 것을 특징으로 하는 반도체 기억장치.

**청구항 5**

제1항 내지 제4항중 어느 한 항에 있어서, 상기 워드선(WL)의 기생용량을 줄이기 위해 반도체기판상의 상기 워드선 선택회로(16)가 형성되는 영역의 한 번에 인접하여 메모리셀(10, 20)이 형성되는 영역을 배치하고, 상기 워드선 선택회로(16)가 형성되는 영역의 다른 번에 상기 레벨변환회로(15,27)가 형성되는 영역을 배치하는 것을 특징으로 하는 반도체 기억장치.

**청구항 6**

제1항 또는 제4항에 있어서, 상기 행디코더(13,25,26,50)는 CMOS 트랜지스터로 구성되어 있으며, 이 CMOS 트랜지스터는 상기 제어신호의 일부이고 또한 상기 레벨변환된 제어신호인 어드레스신호에 의해 제어되는 것을 특징으로 하는 반도체 기억장치.

**청구항 7**

각각의 캐패시터(22)와 트랜지스터(21)로 구성되는, 데이터를 기억하기 위한 복수의 메모리셀(10,20)과, 이 메모리셀(10,20)이 접속된 복수의 워드선(WL), 전원전압(Vcc)보다 높은 승압전위(Vpp)를 발생시키기 위한 승압회로(14), 이 승압회로에 접속되어 제1노드(b)로 상기 승압전위(Vpp)를 공급하기 위한 복수의 승압전위 공급수단(12,40,50) 및, 복수의 행디코더(13,25,26,50,60)와 복수의 워드선 구동회로(11, 23, 24)를 갖추고, 각각의 상기 행디코더(13,25,26,50,60)는, 상기 승압전위(Vpp)가 소스에 공급되며, 드레인에 제2노드(a)가 접속되고, 게이트가 상기 승압전위(Vpp)의 전위레벨을 갖는 제1프리차지신호로 제어되어 제2노드를 프리차지하기 위한 프리차지용 P채널 MOS 트랜지스터(26)와, 일단이 상기 제2노드에 접속되어 복수의 제1어드레스신호에 따라 선택적으로 상기 제2노드의 전위를 방전시키기 위한 디코더수단(29)으로 구성되며, 각각의 상기 워드선 구동회로는, 소스가 상기 제1노드에 접속되고 드레인이 워드선(WL)에 접속되며 게이트가 상기 제2노드의 전위레벨에 따라 제어되는 워드선 구동용 P채널 MOS 트랜지스터(23)와, 소스에 접지전위가 접속되고 드레인이 워드선(WL)에 접속되며 게이트가 상기 제2노드의 전위레벨에 따라 제어되는 워드선 구동용 N채널 MOS 트랜지스터(24)로 구성되고, 또한 전원전압레벨의 신호를 상기 승압전위의 전위레벨을 갖는 상기 프리차지신호로 변환하고, 상기 프리차지신호를 복수의 상기 워드선(WL) 선택회로에 입력하기 위한 레벨변환회로(15,17)를 갖춘 것을 특징으로 하는 반도체 기억장치.

**청구항 8**

제7항에 있어서, 상기 승압전위(Vpp)와 상기 제2노드(a)와의 사이에 설치되며, 인버터의 출력으로 제어되는 부하용 P채널 MOS 트랜지스터(28)와, 소스에 상기 승압전위(Vpp)가 공급되고 드레인이 상기 부하용 P채널 MOS 트랜지스터(28)의 게이트에 접속된 제1 P채널 MOS 트랜지스터(26)와, 소스에 상기 접지전위가 접속되며 드레인이 상기 부하용 P채널 MOS 트랜지스터의 게이트에 접속되고 게이트가 상기 제1 P채널 MOS 트랜지스터의 상기 게이트와 공통으로 접속된 제1 N채널 MOS 트랜지스터(29)로 이루어지며, 상기 제2노드의 전위레벨에 따라 제어되는 제1인버터(23,29)를 갖춘 것을 특징으로 하는 반도체 기억장치.

**청구항 9**

제8항에 있어서, 상기 승압전위 공급수단(12,40,51)은 복수의 제2어드레스신호에 따라 선택적으로 상기 제1노드(a)에 상기 승압전위(Vpp)를 공급하는 것을 특징으로 하는 반도체 기억장치.

**청구항 10**

제7항 또는 제8항에 있어서, 상기 승압전위 공급수단(12,40,51)은 소스에 상기 승압전위(Vpp)가 공급되고, 드레인이 상기 제1노드(b)에 접속되며, 게이트가 제3노드(c)의 전위레벨로 제어된 제2 P채널 MOS 트랜지스터(41)와, 소스에 접지전위가 공급되고, 드레인이 상기 제2노드에 접속되며, 게이트가 상기 제3노드의 전위레벨로 제어된 제2 N채널 MOS 트랜지스터(42) 및, 승압전위가 전원으로서 공급되고, 복수의 제2어드레스신호에 따라 상기 제3노드에 선택적으로 승압전위를 공급하기 위한 디코더회로(43,44)로 구성되는 것을 특징으로 하는 반도체 기억장치.

**청구항 11**

제10항에 있어서, 상기 디코더회로(43,44)는 상기 승압전위(Vpp)가 소스에 공급되고, 드레인에 제3노드가 접속되며, 게이트가 승압전위(Vpp)의 전위레벨을 갖는 제2프리차지신호로 제어되는, 상기 제3노드를 프리차지하기 위한 제3 P채널 MOS 트랜지스터(43)와, 한쪽이 상기 제3노드에 접속되어 상기 제2어드레스신호에 따라 선택적으로 상기 제3노드의 전위를 방전하기 위한 프리 디코더수단(44)으로 이루어진 것을 특징으로 하는 반도체 기억장치.

**청구항 12**



제11항에 있어서, 전원전압 레벨의 신호를 상기 승압전위(Vpp)의 전위레벨을 갖는 상기 제2프리차지신호로 변환하고, 상기 제2프리차지신호를 복수의 상기 워드선 선택회로(16)로 입력하기 위한 레벨변환회로(15,27)를 더 구비한 것을 특징으로 하는 반도체 기억장치.

#### 청구항 13

제12항에 있어서, 상기 제1 및 제2프리차지신호는 동일한 상기 레벨변환회로(15,27)에 의해 레벨변환된 신호인 것을 특징으로 하는 반도체 기억장치.

#### 청구항 14

제11항 내지 제13항중 어느 한 항에 있어서, 상기 제1노드(b)의 전위의 반전신호를 형성하기 위한 제2인버터(47)와, 상기 워드선(WL)과 접지전위와의 사이에 형성되고, 상기 인버터의 출력으로 제어되며, 상기 제1노드에 승압전위(Vpp)가 공급되고 있지 않을 때 상기 워드선(WL)을 접지전위로 고저어시키기 위한 접지용 트랜지스터(46)를 더 구비한 것을 특징으로 하는 반도체 기억장치.

#### 청구항 15

제14항에 있어서, 상기 제2인버터(47)는 상기 승압전위(Vpp)가 전원으로서 공급되고 있는 것을 특징으로 하는 반도체 기억장치.

#### 청구항 16

제7항, 제8항, 제11항 내지 제13항중의 어느 한 항에 있어서, 반도체기판상에서 상기 메모리셀(10,20)이 형성되는 영역과 상기 워드선 구동회로(11,23,24)가 형성되는 영역을 인접하여 배치하고, 또한 상기 레벨변환회로(15,27)가 형성되는 영역과 상기 메모리셀(10,20)이 형성되는 영역과의 사이에 상기 워드선 구동회로(11,23,24)가 형성되는 영역을 배치하는 것을 특징으로 하는 반도체 기억장치.

#### 청구항 17

데이터를 기억하는 복수의 메모리셀(10,20)과, 이 메모리셀(10,20)이 접속된 복수의 워드선(WL), 승압전위를 발생시키기 위한 승압회로(14), 이 승압회로에 접속되고 상기 승압전위(Vpp)를 제1노드(b)에 공급하기 위한 공급수단(40,51) 및, 각각의 워드선 구동용의 P채널 MOS 트랜지스터(11,23)를 갖춘 워드선 구동회로(11,23,24)와, 행디코더(13,25,26,50,60)를 포함하고, 또한 상기 승압전위의 전위레벨을 갖는 적어도 하나의 제어신호에 따라 상기 워드선(WL)을 선택적으로 구동하기 위한 복수의 워드선 선택회로(16)를 갖추고, 상기 제어신호는 복수의 상기 워드선 선택회로(16)를 제어하고 있으며, 상기 행디코더는 상기 승압전위가 전원으로서 공급되어 선택적으로 상기 승압전 위의 전위레벨을 갖는 출력신호를 출력하는 것이며, 상기 워드선 구동회로는 상기 출력신호에 따라 상기 제1노드의 전위를 상기 워드선(WL)에 공급하는 것을 특징으로 하는 반도체 기억장치.

#### 청구항 18

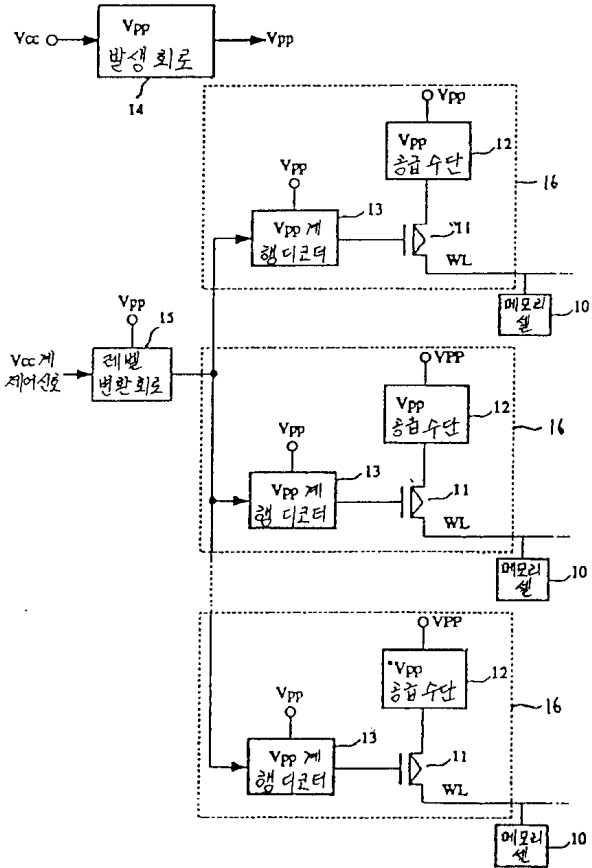
제17항에 있어서, 상기 승압전위 공급수단(12,23,24)은 복수의 어드레스신호로 제어되고 있고, 복수의 상기 어드레스신호에 따라 선택적으로 상기 제1노드(b)로 상기 승압전위를 공급하는 것을 특징으로 하는 반도체 기억장치.

#### 청구항 19

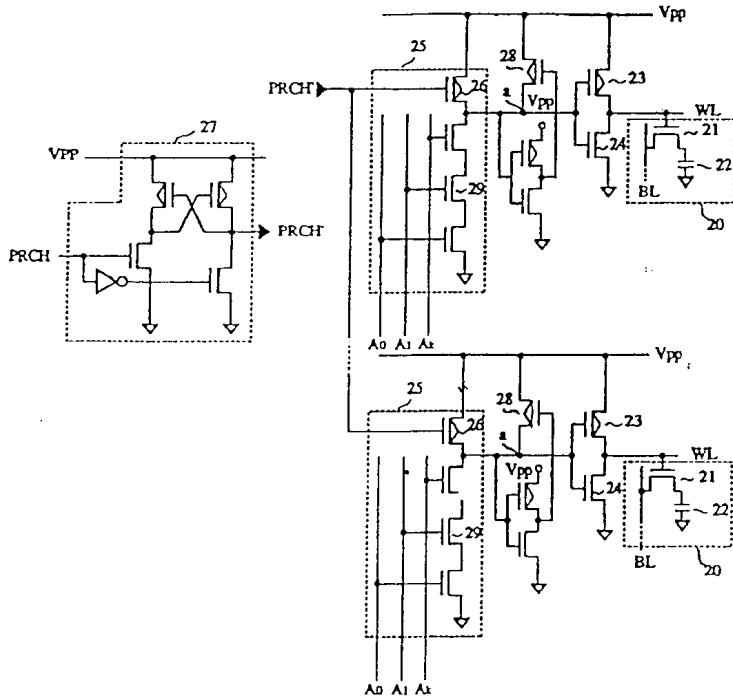
제17항에 또는 제18항에 있어서, 상기 워드선(WL)의 기생용량을 줄이기 위해 반도체기판상의 상기 워드선 선택회로(16)가 형성되는 영역의 한변에 인접하여 메모리셀(10,20)이 형성되는 영역을 배치하고, 상기 워드선 선택회로(16)가 형성되는 영역의 다른 변에 상기 레벨 변환회로(15,27)가 형성되는 영역을 배치하는 것을 특징으로 하는 반도체 기억장치.

**도면**

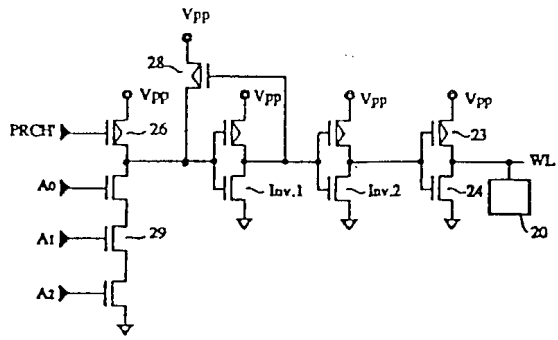
도면1



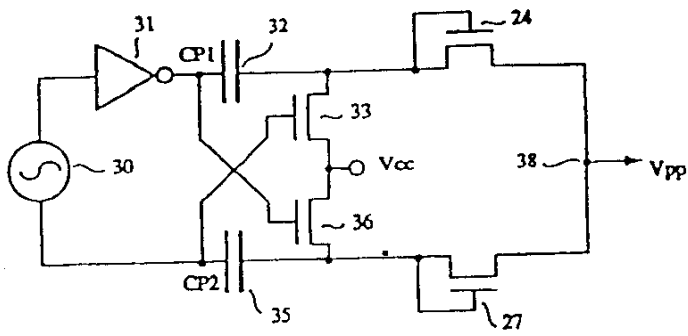
도면2



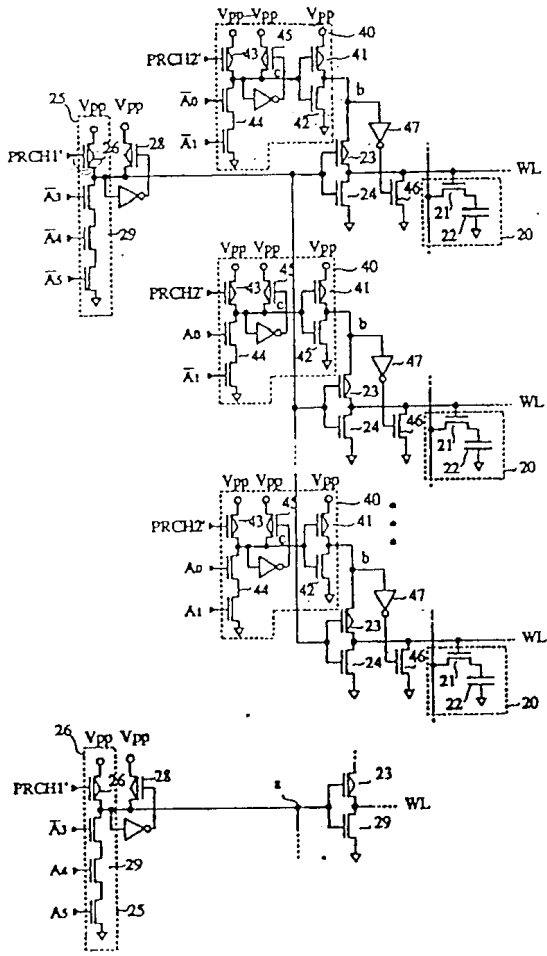
도면3



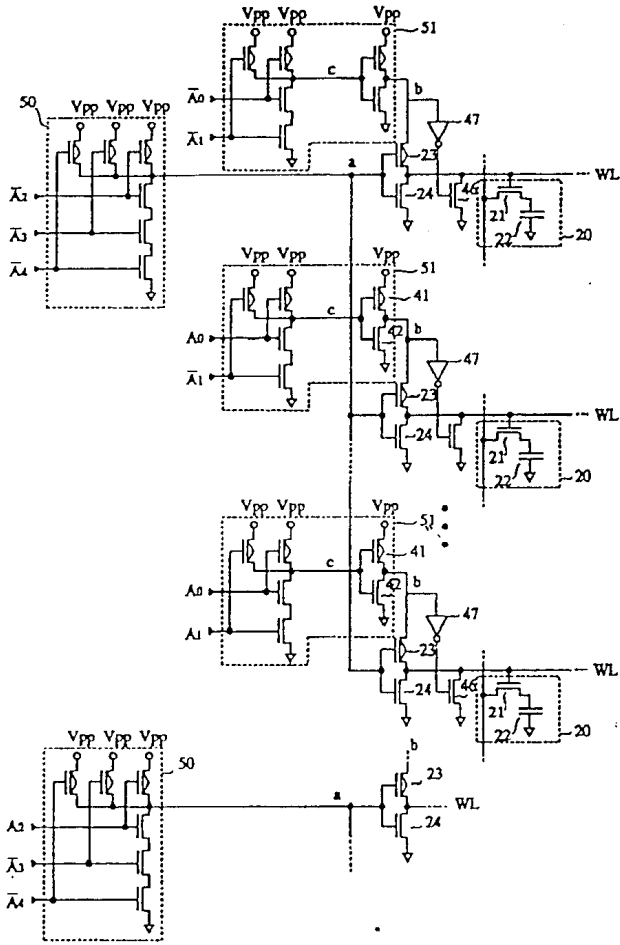
도면4



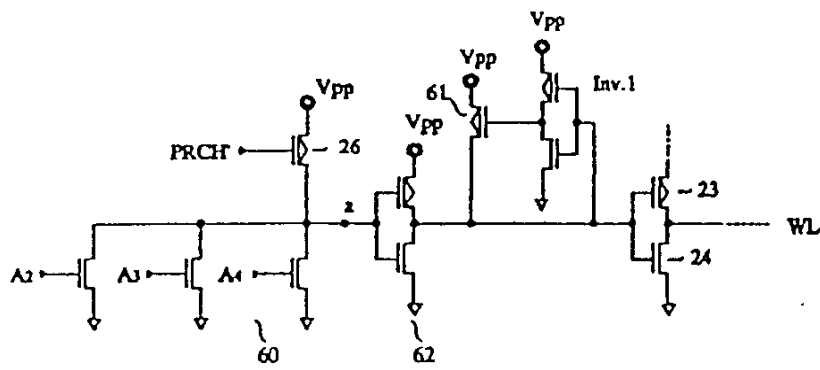
도면5



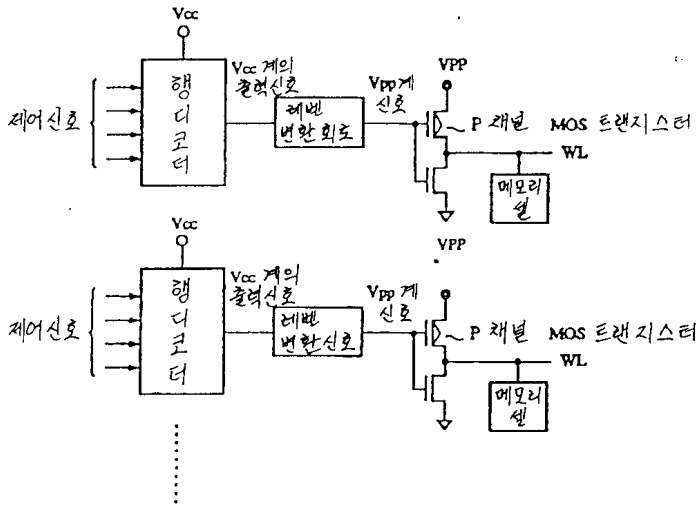
도면6



도면7



도면8



도면9

