

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4818499号
(P4818499)

(45) 発行日 平成23年11月16日(2011.11.16)

(24) 登録日 平成23年9月9日(2011.9.9)

(51) Int.Cl.

H01L 21/8238 (2006.01)
H01L 27/092 (2006.01)

F 1

H01L 27/08 321E

請求項の数 8 (全 33 頁)

(21) 出願番号 特願2000-265567 (P2000-265567)
 (22) 出願日 平成12年9月1日 (2000.9.1)
 (65) 公開番号 特開2002-76136 (P2002-76136A)
 (43) 公開日 平成14年3月15日 (2002.3.15)
 審査請求日 平成19年8月31日 (2007.8.31)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1753番地
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 佐山 弘和
 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
 審査官 池淵 立

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

- (a) 第1領域および第2領域を有する半導体基板を準備する工程と、
 (b) 前記半導体基板の前記第1領域上に第1のゲート絶縁膜を形成し、前記半導体基板の前記第2領域上に第2のゲート絶縁膜を形成する工程と、
 (c) 前記第1のゲート絶縁膜上に第1のゲート電極を形成し、前記第2のゲート絶縁膜上に第2のゲート電極を形成する工程と、
 (d) 前記(c)工程後、前記半導体基板の前記第1領域が露出するように、前記半導体基板の前記第2領域を選択的に覆う第1レジストマスクを形成する工程と、
 (e) 前記(d)工程後、前記第1レジストマスクの存在下で、前記半導体基板の前記第1領域中にN型不純物をイオン注入し、前記第1のゲート絶縁膜の下方を挟むように第1のエクステンション層を形成する工程と、
 (f) 前記(e)工程後、前記第1レジストマスクを除去する工程と、
 (g) 前記(f)工程後、前記半導体基板、前記第1のゲート電極の上部、前記第1のゲート電極の側部、前記第2のゲート電極の上部および前記第2のゲート電極の側部を覆う絶縁膜であって、シリコン酸化膜またはシリコン窒化膜からなる絶縁膜を形成する工程と、
 (h) 前記(g)工程後、前記半導体基板の前記第2領域が露出するように、前記半導体基板の前記第1領域を選択的に覆う第2レジストマスクを形成する工程と、
 (i) 前記(h)工程後、前記第2レジストマスクの存在下で、且つ、前記絶縁膜が前

記第2のゲート電極の側部を覆った状態で、前記半導体基板の前記第2領域中にP型不純物をイオン注入し、前記第2のゲート絶縁膜の下方を挟むように第2のエクステンション層を形成する工程と、

(j) 前記(i)工程後、前記第2レジストマスクを除去する工程と、
を備える半導体装置の製造方法。

【請求項2】

(a) 第1領域および第2領域を有する半導体基板を準備する工程と、
(b) 前記半導体基板の前記第1領域上に第1のゲート絶縁膜を形成し、前記半導体基板の前記第2領域上に第2のゲート絶縁膜を形成する工程と、

(c) 前記第1のゲート絶縁膜上に第1のゲート電極を形成し、前記第2のゲート絶縁膜上に第2のゲート電極を形成する工程と、 10

(d) 前記(c)工程後、前記半導体基板の前記第1領域が露出するように、前記半導体基板の前記第2領域を選択的に覆う第1レジストマスクを形成する工程と、

(e) 前記(d)工程後、前記第1レジストマスクの存在下で、前記半導体基板の前記第1領域中にN型不純物をイオン注入し、前記第1のゲート絶縁膜の下方を挟むように第1のエクステンション層を形成する工程と、

(f) 前記(e)工程後、前記第1レジストマスクを除去する工程と、

(g) 前記(f)工程後、前記半導体基板、前記第1のゲート電極の上部、前記第1のゲート電極の側部、前記第2のゲート電極の上部および前記第2のゲート電極の側部を覆う絶縁膜であって、シリコン酸化膜またはシリコン窒化膜からなる絶縁膜を形成する工程と、 20

(h) 前記(g)工程後、前記半導体基板の前記第2領域が露出するように、前記半導体基板の前記第1領域を選択的に覆う第2レジストマスクを形成する工程と、

(i) 前記(h)工程後、前記第2レジストマスクの存在下で、且つ、前記絶縁膜が前記第2のゲート電極の側部を覆った状態で、前記半導体基板の前記第2領域中にP型不純物をイオン注入し、前記第2のゲート絶縁膜の下方を挟むように第2のエクステンション層を形成する工程と、

(j) 前記(i)工程後、前記第2レジストマスクを除去する工程と、

(k) 前記(j)工程後、前記第1のゲート電極の側部に第1のサイドウォールを形成し、前記第2のゲート電極の側部に第2のサイドウォールを形成する工程と、 30

(l) 前記(k)工程後、前記半導体基板の前記第1領域が露出するように、前記半導体基板の前記第2領域を選択的に覆う第3レジストマスクを形成する工程と、

(m) 前記(l)工程後、前記第3レジストマスクの存在下で、前記半導体基板の前記第1領域中にN型不純物を注入し、前記第1のゲート絶縁膜の下方を挟むように第1のソースおよび第1のドレインを形成する工程と、

(n) 前記(m)工程後、前記第3レジストマスクを除去する工程と、

(o) 前記(k)工程後、前記半導体基板の前記第2領域が露出するように、前記半導体基板の前記第1領域を選択的に覆う第4レジストマスクを形成する工程と、

(p) 前記(o)工程後、前記第4レジストマスクの存在下で、前記半導体基板の前記第2領域中にP型不純物を注入し、前記第2のゲート絶縁膜の下方を挟むように第2のソースおよび第2のドレインを形成する工程と、 40

(q) 前記(p)工程後、前記第4レジストマスクを除去する工程と、
を備える半導体装置の製造方法。

【請求項3】

(a) 第1領域および第2領域を有する半導体基板を準備する工程と、
(b) 前記半導体基板の前記第1領域上に第1のゲート絶縁膜を形成し、前記半導体基板の前記第2領域上に第2のゲート絶縁膜を形成する工程と、

(c) 前記第1のゲート絶縁膜上に第1のゲート電極を形成し、前記第2のゲート絶縁膜上に第2のゲート電極を形成する工程と、

(d) 前記(c)工程後、前記半導体基板の前記第1領域が露出するように、前記半導

体基板の前記第2領域を選択的に覆う第1レジストマスクを形成する工程と、

(e) 前記(d)工程後、前記第1レジストマスクの存在下で、前記半導体基板の前記第1領域中にN型不純物をイオン注入し、前記第1のゲート絶縁膜の下方を挟むように第1のエクステンション層を形成する工程と、

(f) 前記(e)工程後、前記第1レジストマスクを除去する工程と、

(g) 前記(f)工程後、前記半導体基板を覆う絶縁膜であって、シリコン酸化膜またはシリコン窒化膜からなる絶縁膜を形成する工程と、

(h) 前記(g)工程後、前記半導体基板の前記第2領域が露出するように、前記半導体基板の前記第1領域を選択的に覆う第2レジストマスクを形成する工程と、

(i) 前記(h)工程後、前記第2レジストマスクの存在下で、且つ、前記絶縁膜が前記第2のゲート電極の側部を覆った状態で、前記半導体基板の前記第2領域中にP型不純物をイオン注入し、前記第2のゲート絶縁膜の下方を挟むように第2のエクステンション層を形成する工程と、

(j) 前記(i)工程後、前記第2レジストマスクを除去する工程と、

(k) 前記(j)工程後、前記第1のゲート電極の側部に第1のサイドウォールを形成し、前記第2のゲート電極の側部に第2のサイドウォールを形成する工程と、

前記第1のサイドウォールおよび前記第2のサイドウォールを形成後、

(l) 前記(k)工程後、前記半導体基板の前記第1領域が露出するように、前記半導体基板の前記第2領域を選択的に覆う第3レジストマスクを形成する工程と、

(m) 前記(l)工程後、前記第3レジストマスクの存在下で、前記半導体基板の前記第1領域中にN型不純物を注入し、前記第1のゲート絶縁膜の下方を挟むように第1のソースおよび第1のドレインを形成する工程と、

(n) 前記(m)工程後、前記第3レジストマスクを除去する工程と、

(o) 前記(k)工程後、前記半導体基板の前記第2領域が露出するように、前記半導体基板の前記第1領域を選択的に覆う第4レジストマスクを形成する工程と、

(p) 前記(o)工程後、前記第4レジストマスクの存在下で、前記半導体基板の前記第2領域中にP型不純物を注入し、前記第2のゲート絶縁膜の下方を挟むように第2のソースおよび第2のドレインを形成する工程と、

(q) 前記(p)工程後、前記第4レジストマスクを除去する工程と、

を備える半導体装置の製造方法。

10

20

30

40

50

【請求項4】

前記絶縁膜を形成する工程は、

前記絶縁膜を1nm～20nmの厚さに形成する工程を含む、請求項1ないし請求項3の何れかに記載の半導体装置の製造方法。

【請求項5】

前記絶縁膜を形成する工程は、

前記絶縁膜をCVD法によりシリコン酸化膜として形成する工程を含む、請求項4記載の半導体装置の製造方法。

【請求項6】

前記絶縁膜を形成する工程は、

前記絶縁膜を熱酸化法によりシリコン酸化膜として形成する工程を含む、請求項4記載の半導体装置の製造方法。

【請求項7】

前記絶縁膜を形成する工程は、

前記絶縁膜をCVD法によりシリコン窒化膜として形成する工程を含む、請求項4記載の半導体装置の製造方法。

【請求項8】

前記絶縁膜を形成する工程は、

前記絶縁膜を熱窒化法によりシリコン窒化膜として形成する工程を含む、請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は半導体装置の製造方法に関し、特に、レジスト除去に起因するエッチングダメージを低減した半導体装置の製造方法に関する。

【0002】**【従来の技術】**

MOSFET (Metal Oxide Silicon Field Effect Transistor) の小型化が進むとチャネル抵抗が下がるため、高駆動能力のトランジスタを得るには、できるだけ寄生抵抗を低減する必要がある。ここで、問題となるのは写真製版プロセスで使用されるレジストの除去工程である。

10

【0003】

レジストの除去はエッチングにより行うが、このエッチングにより僅かではあるが半導体基板もエッチングされる。そして、小型化により、昨今ではゲート長が $0.1 \mu\text{m}$ 程度の MOSFET も開発されつつあるが、このような MOSFET ではソース・ドレイン層の深さも浅くなり、上述した半導体基板の僅かなエッチングも無視できなくなりつつある。

【0004】

特に、NチャネルMOSFET (以後、NMOSトランジスタと呼称) は、PチャネルMOSFET (以後、PMOSトランジスタと呼称) よりもチャネル抵抗が小さいので、上述した半導体基板のエッチングによりソース・ドレイン層がさらに浅くなつて寄生抵抗が僅かでも増加すると、トランジスタの動作特性には無視できない影響が現れる。

20

【0005】

しかし、従来においては、レジスト除去に起因する半導体基板のエッチングについては特に課題として認識はされていなかった。例えば、NMOSトランジスタとPMOSトランジスタとを組み合わせて用いるCMOS (Complementary MOS) トランジスタにおいては、NMOSトランジスタとPMOSトランジスタとを隣接して形成するが、NMOSトランジスタに対する特段の配慮がなされていたわけではなかった。

【0006】

以下、図42～図49を用いて従来のCMOSトランジスタの製造方法について説明する。

30

【0007】

まず、図42に示す工程において、シリコン基板1の表面内に素子分離絶縁膜2を選択的に形成して、NMOSトランジスタおよびPMOSトランジスタを形成するNMOS領域NRおよびPMOS領域PRを規定する。そして、NMOS領域NRおよびPMOS領域PRに対応して、シリコン基板1の表面内にN型不純物を含んだNウエル領域NWとP型不純物を含んだPウエル領域PWとを形成する。そして、シリコン基板1上にゲート絶縁膜3を形成し、その上にポリシリコン膜4を形成する。

【0008】

次に、図43に示す工程においてポリシリコン膜4上にレジスト (図示せず) を配設し、写真製版により当該レジストをパターニングしてレジストマスクを形成する。そして、レジストマスクを用いてポリシリコン膜4をパターニングし、NMOS領域NRおよびPMOS領域PR上にゲート電極41および42を形成する。

40

【0009】

次に、図44に示す工程において写真製版によりPMOS領域PR上を覆うようにレジストマスクR1を形成し、NMOS領域NRにおいてはゲート電極41を注入マスクとしてシリコン基板1内にN型不純物をイオン注入し、シリコン基板1の表面内に1対のエクステンション層51を形成する。1対のエクステンション層51はゲート電極41の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。なお、ゲート電極41の下部のシリコン基板1の領域がチャネル領域となる。

【0010】

50

ここで、エクステンション層は、後に形成されるソース・ドレイン主要層よりも浅い接合となるように形成される不純物導入層であり、ソース・ドレイン主要層と同一導電型であり、ソース・ドレイン層として機能するのでソース・ドレインエクステンション層と呼称すべきであるが、便宜的にエクステンション層と呼称する。

【0011】

レジストマスク R 1 を除去した後、図 4 5 に示す工程において、写真製版により N M O S 領域 N R 上を覆うようにレジストマスク R 2 を形成し、P M O S 領域 P R においてはゲート電極 4 2 を注入マスクとしてシリコン基板 1 内に P 型不純物をイオン注入し、シリコン基板 1 の表面内に 1 対のエクステンション層 5 2 を形成する。1 対のエクステンション層 5 2 はゲート電極 4 2 の下部のシリコン基板 1 の領域を間に挟んで、対向するように配設されている。なお、ゲート電極 4 2 の下部のシリコン基板 1 の領域がチャネル領域となる。

10

【0012】

レジストマスク R 2 を除去した後、図 4 6 に示す工程において、シリコン基板 1 の全面を覆うようにシリコン酸化膜（図示せず）を形成し、当該シリコン酸化膜をゲート電極 4 1 および 4 2 の側壁部のみに残るように、ゲート電極 4 1 および 4 2 の側面外方のシリコン基板 1 上のゲート絶縁膜 3 とともに異方性エッチングにより除去して、側壁保護膜（サイドウォール絶縁膜）6 を形成する。

【0013】

なお、側壁保護膜 6 はゲート電極 4 1 および 4 2 の側面外方のシリコン基板 1 上のゲート絶縁膜 3 の上部にも形成され、当該ゲート絶縁膜 3 と側壁保護膜 6 とで 2 層構造となるが、簡略化のため図 4 6 以後においては 1 層の側壁保護膜 6 として示している。

20

【0014】

次に、図 4 7 に示す工程において写真製版により P M O S 領域 P R 上を覆うようにレジストマスク R 3 を形成し、N M O S 領域 N R においてはゲート電極 4 1 および側壁保護膜 6 を注入マスクとしてシリコン基板 1 内に N 型不純物をイオン注入し、シリコン基板 1 の表面内に 1 対のソース・ドレイン層 7 1 を形成する。

【0015】

レジストマスク R 3 を除去した後、図 4 8 に示す工程において、写真製版により N M O S 領域 N R 上を覆うようにレジストマスク R 4 を形成し、P M O S 領域 P R においてはゲート電極 4 2 および側壁保護膜 6 を注入マスクとしてシリコン基板 1 内に P 型不純物をイオン注入し、シリコン基板 1 の表面内に 1 対のソース・ドレイン層 7 2 を形成する。

30

【0016】

次に、図 4 9 に示す工程において、シリコン基板 1 の全面を覆うようにタングステン、コバルトあるいはチタン等の高融点金属膜を形成し、高温処理によりシリサイド化して、シリコン基板 1 、ゲート電極 4 1 および 4 2 の露出面と高融点金属膜の接触している部分にシリサイド膜 1 0 を形成する。その後、シリサイド化されずに残った高融点金属膜を除去することで、図 4 9 に示す C M O S トランジスタ 9 0 が得られる。

【0017】

【発明が解決しようとする課題】
以上説明したように、従来の製造方法においては、N M O S 領域 N R のエクステンション層 5 1 は、レジストマスク R 1 および R 2 の除去工程において 2 回のエッチングを被り、ゲート絶縁膜 3 はこれを阻止できない。なお、レジストマスク R 3 および R 4 を除去する工程においてはエクステンション層 5 1 ではなく、ソース・ドレイン層 7 1 がエッチングを被る。

40

【0018】

先に説明したようにエクステンション層は、ソース・ドレイン主要層よりも浅く形成されているので、シリコン基板 1 がエッチングされることによる影響はソース・ドレイン主要層よりも顕著に現れる。しかも、N M O S トランジスタと P M O S トランジスタとでは、使用するキャリアの移動度の違いから、N M O S トランジスタの方がチャネル抵抗が低く

50

、寄生抵抗である拡散層の抵抗の増大による影響はPMOSトランジスタよりも大きい。

【0019】

このように、従来の半導体装置の製造方法においては、NMOSトランジスタに対する半導体基板のエッティングによる影響を考慮していなかったので、寄生抵抗の増大に伴う電流駆動能力の低下、ひいては半導体集積回路の動作速度の低下を招くという問題を有していた。

【0020】

本発明は上記のような問題点を解消するためになされたもので、NMOSトランジスタに対する半導体基板のエッティングによる影響を考慮して、寄生抵抗の増大を防止することで電流駆動能力の低下を防止し、半導体集積回路の動作速度の低下を防止した半導体装置の製造方法を提供することを目的とする。

10

【0021】

【課題を解決するための手段】

本発明に係る請求項1記載の半導体装置の製造方法は、(a)第1領域および第2領域を有する半導体基板を準備する工程と、(b)前記半導体基板の前記第1領域上に第1のゲート絶縁膜を形成し、前記半導体基板の前記第2領域上に第2のゲート絶縁膜を形成する工程と、(c)前記第1のゲート絶縁膜上に第1のゲート電極を形成し、前記第2のゲート絶縁膜上に第2のゲート電極を形成する工程と、(d)前記(c)工程後、前記半導体基板の前記第1領域が露出するように、前記半導体基板の前記第2領域を選択的に覆う第1レジストマスクを形成する工程と、(e)前記(d)工程後、前記第1レジストマスクの存在下で、前記半導体基板の前記第1領域中にN型不純物をイオン注入し、前記第1のゲート絶縁膜の下方を挟むように第1のエクステンション層を形成する工程と、(f)前記(e)工程後、前記第1レジストマスクを除去する工程と、(g)前記(f)工程後、前記半導体基板、前記第1のゲート電極の上部、前記第1のゲート電極の側部、前記第2のゲート電極の上部および前記第2のゲート電極の側部を覆う絶縁膜であって、シリコン酸化膜またはシリコン窒化膜からなる絶縁膜を形成する工程と、(h)前記(g)工程後、前記半導体基板の前記第2領域が露出するように、前記半導体基板の前記第1領域を選択的に覆う第2レジストマスクを形成する工程と、(i)前記(h)工程後、前記第2レジストマスクの存在下で、且つ、前記絶縁膜が前記第2のゲート電極の側部を覆った状態で、前記半導体基板の前記第2領域中にP型不純物をイオン注入し、前記第2のゲート絶縁膜の下方を挟むように第2のエクステンション層を形成する工程と、(j)前記(i)工程後、前記第2レジストマスクを除去する工程と、(k)前記(j)工程後、前記第1のゲート電極の側部に第1のサイドウォールを形成し、前記第2のゲート電極の側部に第2のサイドウォールを形成する工程と、(l)前記(k)工程後、前記半導体基板の前記第1領域が露出するように、前記半導体基板の前記第2領域を選択的に覆う第3レジストマスクを形成する工程と、(m)前記(l)工程後、前記第3レジストマスクの存在下で、前記半導体基板の前記第1領域中にN型不純物を注入し、前記第1のゲート絶縁膜の下方を挟むように第1のソースおよび第1のドレインを形成する工程と、(n)前記(m)工程後、前記第3レジストマスクを除去する工程と、(o)前記(k)工程後、前記半導体基板の前記第2領域が露出するように、前記半導体基板の前記第1領域を選択的に覆う第4レジストマスクを形成する工程と、(p)前記(o)工程後、前記第4レジストマスクの存在下で、前記半導体基板の前記第2領域中にP型不純物を注入し、前記第2のゲート絶縁膜の下方を挟むように第2のソースおよび第2のドレインを形成する工程と、(q)前記(p)工程後、前記第4レジストマスクを除去する工程とを備えている。

20

【0022】

本発明に係る請求項2記載の半導体装置の製造方法は、(a)第1領域および第2領域を有する半導体基板を準備する工程と、(b)前記半導体基板の前記第1領域上に第1のゲート絶縁膜を形成し、前記半導体基板の前記第2領域上に第2のゲート絶縁膜を形成する工程と、(c)前記第1のゲート絶縁膜上に第1のゲート電極を形成し、前記第2のゲート絶縁膜上に第2のゲート電極を形成する工程と、(d)前記(c)工程後、前記半導

30

40

50

体基板の前記第1領域が露出するように、前記半導体基板の前記第2領域を選択的に覆う第1レジストマスクを形成する工程と、(e)前記(d)工程後、前記第1レジストマスクの存在下で、前記半導体基板の前記第1領域中にN型不純物をイオン注入し、前記第1のゲート絶縁膜の下方を挟むように第1のエクステンション層を形成する工程と、(f)前記(e)工程後、前記第1レジストマスクを除去する工程と、(g)前記(f)工程後、前記半導体基板、前記第1のゲート電極の上部、前記第1のゲート電極の側部、前記第2のゲート電極の上部および前記第2のゲート電極の側部を覆う絶縁膜であって、シリコン酸化膜またはシリコン窒化膜からなる絶縁膜を形成する工程と、(h)前記(g)工程後、前記半導体基板の前記第2領域が露出するように、前記半導体基板の前記第1領域を選択的に覆う第2レジストマスクを形成する工程と、(i)前記(h)工程後、前記第2レジストマスクの存在下で、且つ、前記絶縁膜が前記第2のゲート電極の側部を覆った状態で、前記半導体基板の前記第2領域中にP型不純物をイオン注入し、前記第2のゲート絶縁膜の下方を挟むように第2のエクステンション層を形成する工程と、(j)前記(i)工程後、前記第2レジストマスクを除去する工程と、(k)前記(j)工程後、前記第1のゲート電極の側部に第1のサイドウォールを形成し、前記第2のゲート電極の側部に第2のサイドウォールを形成する工程と、(l)前記(k)工程後、前記半導体基板の前記第1領域が露出するように、前記半導体基板の前記第2領域を選択的に覆う第3レジストマスクを形成する工程と、(m)前記(l)工程後、前記第3レジストマスクの存在下で、前記半導体基板の前記第1領域中にN型不純物を注入し、前記第1のゲート絶縁膜の下方を挟むように第1のソースおよび第1のドレインを形成する工程と、(n)前記(m)工程後、前記第3レジストマスクを除去する工程と、(o)前記(k)工程後、前記半導体基板の前記第2領域が露出するように、前記半導体基板の前記第1領域を選択的に覆う第4レジストマスクを形成する工程と、(p)前記(o)工程後、前記第4レジストマスクの存在下で、前記半導体基板の前記第2領域中にP型不純物を注入し、前記第2のゲート絶縁膜の下方を挟むように第2のソースおよび第2のドレインを形成する工程と、(q)前記(p)工程後、前記第4レジストマスクを除去する工程とを備えている。
 【0023】

本発明に係る請求項3記載の半導体装置の製造方法は、(a)第1領域および第2領域を有する半導体基板を準備する工程と、(b)前記半導体基板の前記第1領域上に第1のゲート絶縁膜を形成し、前記半導体基板の前記第2領域上に第2のゲート絶縁膜を形成する工程と、(c)前記第1のゲート絶縁膜上に第1のゲート電極を形成し、前記第2のゲート絶縁膜上に第2のゲート電極を形成する工程と、(d)前記(c)工程後、前記半導体基板の前記第1領域が露出するように、前記半導体基板の前記第2領域を選択的に覆う第1レジストマスクを形成する工程と、(e)前記(d)工程後、前記第1レジストマスクの存在下で、前記半導体基板の前記第1領域中にN型不純物をイオン注入し、前記第1のゲート絶縁膜の下方を挟むように第1のエクステンション層を形成する工程と、(f)前記(e)工程後、前記第1レジストマスクを除去する工程と、(g)前記(f)工程後、前記半導体基板を覆う絶縁膜であって、シリコン酸化膜またはシリコン窒化膜からなる絶縁膜を形成する工程と、(h)前記(g)工程後、前記半導体基板の前記第2領域が露出するように、前記半導体基板の前記第1領域を選択的に覆う第2レジストマスクを形成する工程と、(i)前記(h)工程後、前記第2レジストマスクの存在下で、且つ、前記絶縁膜が前記第2のゲート電極の側部を覆った状態で、前記半導体基板の前記第2領域中にP型不純物をイオン注入し、前記第2のゲート絶縁膜の下方を挟むように第2のエクステンション層を形成する工程と、(j)前記(i)工程後、前記第2レジストマスクを除去する工程と、(k)前記(j)工程後、前記第1のゲート電極の側部に第1のサイドウォールを形成し、前記第2のゲート電極の側部に第2のサイドウォールを形成する工程と、前記第1のサイドウォールおよび前記第2のサイドウォールを形成後、(l)前記(k)工程後、前記半導体基板の前記第1領域が露出するように、前記半導体基板の前記第2領域を選択的に覆う第3レジストマスクを形成する工程と、(m)前記(l)工程後、前記第3レジストマスクの存在下で、前記半導体基板の前記第1領域中にN型不純物を注入

10

20

30

40

50

し、前記第1のゲート絶縁膜の下方を挟むように第1のソースおよび第1のドレインを形成する工程と、(n)前記(m)工程後、前記第3レジストマスクを除去する工程と、(o)前記(k)工程後、前記半導体基板の前記第2領域が露出するように、前記半導体基板の前記第1領域を選択的に覆う第4レジストマスクを形成する工程と、(p)前記(o)工程後、前記第4レジストマスクの存在下で、前記半導体基板の前記第2領域中にP型不純物を注入し、前記第2のゲート絶縁膜の下方を挟むように第2のソースおよび第2のドレインを形成する工程と、(q)前記(p)工程後、前記第4レジストマスクを除去する工程とを備えている。

【0025】

本発明に係る請求項4記載の半導体装置の製造方法は、前記絶縁膜を形成する工程が、前記絶縁膜を1nm～20nmの厚さに形成する工程を含んでいる。

10

【0026】

本発明に係る請求項5記載の半導体装置の製造方法は、前記絶縁膜を形成する工程が、前記絶縁膜をCVD法によりシリコン酸化膜として形成する工程を含んでいる。

【0027】

本発明に係る請求項6記載の半導体装置の製造方法は、前記絶縁膜を形成する工程が、前記絶縁膜を熱酸化法によりシリコン酸化膜として形成する工程を含んでいる。

【0028】

本発明に係る請求項7記載の半導体装置の製造方法は、前記絶縁膜を形成する工程が、前記絶縁膜をCVD法によりシリコン窒化膜として形成する工程を含んでいる。

20

【0029】

本発明に係る請求項8記載の半導体装置の製造方法は、前記絶縁膜を形成する工程が、前記絶縁膜を熱窒化法によりシリコン窒化膜として形成する工程を含んでいる。

【0030】

【発明の実施の形態】

<A. 実施の形態1>

CMOSトランジスタの製造において、NMOS領域のエクステンション層が浅くなることを防止するための最も単純な方法としては、NMOS領域のエクステンション層をPMOS領域よりも後に形成すれば良い。

【0031】

30

すなわち、CMOSトランジスタにおいてエクステンション層およびソース・ドレイン主要層を形成するには、NMOS領域およびPMOS領域のそれぞれにおいて、レジストマスクの形成のための写真製版工程が少なくとも2回は必要であるが、PMOS領域におけるエクステンション層の形成を、NMOS領域よりも先に行うこと、NMOS領域のエクステンション層がエッチングを被る回数を低減することができ、エクステンション層が浅くなることを防止することができる。

【0032】

<A-1. 製造方法>

以下、図1～図10を用いて本発明に係る実施の形態1として、CMOSトランジスタ100の製造方法について説明する。なお、CMOSトランジスタ100の構成は、最終工程を説明する図10において示される。

40

【0033】

まず、図1に示す工程において、シリコン基板1の表面内に素子分離絶縁膜2を選択的に形成して、NMOSトランジスタおよびPMOSトランジスタを形成するNMOS領域NRおよびPMOS領域PRを規定する。そして、NMOS領域NRおよびPMOS領域PRに対応して、シリコン基板1の表面内にN型不純物を含んだNウェル領域NWとP型不純物を含んだPウェル領域PWとを形成する。

【0034】

さらに、シリコン基板1上全面にシリコン酸化膜、シリコン窒化膜、金属酸化膜あるいはこれらの組み合わせで構成される多層膜によってゲート絶縁膜3を形成する。ゲート絶縁

50

膜3の厚さはシリコン酸化膜の誘電率で換算した膜厚（以下、換算膜厚と呼称）が1nm～20nm程度となるように設定される。

【0035】

そして、ゲート絶縁膜3の上部全面にCVD法により厚さ50～300nmのポリシリコン膜4を形成する。なお、ポリシリコン膜4は、リン(P)やボロン(B)などの不純物を有したドープトポリシリコン膜であっても良いし、ノンドープポリシリコン膜であっても良い。ドープトポリシリコンの形成においては、CVD法による堆積中に不純物を導入するようにしても良いし、ノンドープポリシリコン膜を形成した後にイオン注入により不純物を導入するようにしても良い。また、リンやボロンなどの不純物だけでなく、フッ素(F)や窒素(N)などの不純物を有していても良い。

10

【0036】

また、ポリシリコン膜の代わりに、アモルファスシリコン膜を形成するようにしても良い。

【0037】

次に、図2に示す工程においてポリシリコン膜4上全面にレジスト(図示せず)を配設し、写真製版により当該レジストをパターニングしてレジストマスクを形成する。そして、レジストマスクを用いてポリシリコン膜4をパターニングし、NMOS領域NRおよびPMOS領域PR上にゲート電極41および42を形成する。

【0038】

次に、図3に示す工程において写真製版によりNMOS領域NR上を覆うようにレジストマスクR11を形成する。そして、シリコン基板1を最大で60°程度傾け、PMOS領域PRにおいてシリコン基板1内にヒ素(As)あるいはリンのN型不純物をイオン注入してポケット層92を形成する。この注入条件は、注入エネルギー1keV～50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ である。

20

【0039】

この注入に際しては、所定方向からの注入が終了すると、次に、シリコン基板1を所定角度で面内回転させて再び注入を行うというように、シリコン基板1を断続的に回転させることで、ゲート電極42の側面外方のシリコン基板1内に斜め方向からN型不純物を注入することができる。

【0040】

30

ポケット層92はシリコン基板1の正面に対して斜め方向に延在するように形成され、その先端部はゲート電極42の下部の領域まで延在している。なお、ポケット層92はゲート電極42の下部の領域にできるだけ入り込むようにすることが望ましいが、シリコン基板1の傾斜角度は半導体装置のレイアウトによって決まり、図3のように比較的大きな角度で注入せざるを得ず、ゲート電極42の下部の領域にはあまり入り込めない場合もある。

【0041】

ポケット層92はソース・ドレイン層とは反対の導電型の不純物を含み、ドレイン層からの空乏層の水平方向の広がりを抑制してパンチスルーや防止する目的で設けられている。なお、ポケット層92はゲート電極42の下部において局所的に不純物濃度を高めているだけなので、しきい値電圧を上昇させることはない。

40

【0042】

次に、図4に示す工程において、シリコン基板1の傾きを元に戻し、ゲート電極42を注入マスクとしてシリコン基板1内にボロンあるいはBF₂をイオン注入して、シリコン基板1の表面内に1対のエクステンション層52を形成する。この注入条件は、注入エネルギー1keV～50keV、ドーズ量 $1 \times 10^{13} \sim 4 \times 10^{15} / \text{cm}^2$ である。

【0043】

1対のエクステンション層52はゲート電極42の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。なお、ゲート電極42の下部のシリコン基板1の領域がチャネル領域となる。

50

【0044】

ここで、エクステンション層は、後に形成されるソース・ドレイン主要層よりも浅い接合となるように形成される不純物導入層であり、ソース・ドレイン主要層と同一導電型であり、ソース・ドレイン層として機能するのでソース・ドレインエクステンション層と呼称すべきであるが、便宜的にエクステンション層と呼称する。

【0045】

なお、エクステンション層52の形成によりポケット層92はその大部分がエクステンション層52に覆われるが、エクステンション層52の先端部の先のチャネル領域においてはポケット層92が残っている。

【0046】

次に、レジストマスクR11を除去した後、図5に示す工程において、写真製版によりPMOS領域PR上を覆うようにレジストマスクR12を形成する。そして、シリコン基板1を最大で60°程度傾け、NMOS領域NRにおいてシリコン基板1内にボロン等のP型不純物をイオン注入してポケット層91を形成する。この注入条件は、注入エネルギー1keV～50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ である。

10

【0047】

ポケット層91はシリコン基板1の正面に対して斜め方向に延在するように形成され、その先端部は ゲート電極41の下部の領域まで延在している。

【0048】

ポケット層91はソース・ドレイン層とは反対の導電型の不純物を含み、パンチスルーを防止する目的で設けられていることは、ポケット層92と同様である。

20

【0049】

次に、図6に示す工程において、シリコン基板1の傾きを元に戻し、ゲート電極41を注入マスクとしてシリコン基板1内にヒ素あるいはリンをイオン注入して、シリコン基板1の表面内に1対のエクステンション層51を形成する。この注入条件は、注入エネルギー1keV～50keV、ドーズ量 $1 \times 10^{13} \sim 4 \times 10^{15} / \text{cm}^2$ である。

【0050】

1対のエクステンション層51はゲート電極41の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。なお、ゲート電極41の下部のシリコン基板1の領域がチャネル領域となる。

30

【0051】

なお、エクステンション層51の形成によりポケット層91はその大部分がエクステンション層51に覆われるが、エクステンション層51の先端部の先のチャネル領域においてはポケット層91が残っている。

【0052】

レジストマスクR12を除去した後、図7に示す工程において、シリコン基板1の全面を覆うように厚さ10～200nmのシリコン酸化膜（図示せず）をCVD法により形成し、当該シリコン酸化膜をゲート電極41および42の側壁部のみに残るように、ゲート電極41および42の側面外方のシリコン基板1上のゲート絶縁膜3とともに異方性エッチングにより除去して側壁保護膜（サイドウォール絶縁膜）6を形成する。なお、側壁保護膜はシリコン酸化膜に限定されず、シリコン窒化膜でも良いし、シリコン酸化膜とシリコン窒化膜との積層膜であっても良い。

40

【0053】

また、側壁保護膜6はゲート電極41および42の側面外方のシリコン基板1上のゲート絶縁膜3の上部にも形成され、当該ゲート絶縁膜3と側壁保護膜6とで2層構造となるが、簡略化のため図7以後においては1層の側壁保護膜6として示している。

【0054】

次に、図8に示す工程において、写真製版によりNMOS領域NR上を覆うようにレジストマスクR13を形成し、PMOS領域PRにおいてはゲート電極42および側壁保護膜6を注入マスクとしてシリコン基板1内にボロンあるいはBF₂等のP型不純物をイオン

50

注入して、シリコン基板1の表面内に1対のソース・ドレイン主要層72を形成する。この注入条件は、注入エネルギー10keV～100keV、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0055】

レジストマスクR13を除去した後、図9に示す工程において、写真製版によりPMOS領域PR上を覆うようにレジストマスクR14を形成し、NMOS領域NRにおいてはゲート電極41および側壁保護膜6を注入マスクとしてシリコン基板1内にヒ素等のN型不純物をイオン注入し、シリコン基板1の表面内に1対のソース・ドレイン主要層71を形成する。この注入条件は、注入エネルギー10keV～100keV、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ である。

10

【0056】

その後、800～1100の温度条件下で、1秒～360分の熱処理を行うことでソース・ドレイン主要層71および72を活性化する。

【0057】

なお、ソース・ドレイン主要層71および72はエクステンション層51および52よりも接合深さが深くなるように形成される。

【0058】

次に、図10に示す工程において、シリコン基板1の全面を覆うように厚さ1～16nmの高融点金属膜、例えばコバルト膜(図示せず)を形成し、高温処理によりシリサイド化して、シリコン基板1、ゲート電極41および42の露出面とコバルト膜との接触部分にコバルトシリサイド膜8Åおよび10Åを形成する。その後、シリサイド化されずに残ったコバルト膜を除去することで、CMOSトランジスタ100が得られる。

20

【0059】

< A - 2 . 作用効果 >

以上説明したように、CMOSトランジスタにおいてエクステンション層およびソース・ドレイン主要層を形成するには、NMOS領域およびPMOS領域のそれぞれにおいて、レジストマスクの形成のために2回の写真製版工程を行う。

【0060】

そして、レジストマスクの除去においてはアンモニア過水(アンモニア、過酸化水素水、水の混合液)をエッティング液として使用するのでシリコン基板1が僅かながらもエッティングされる。NMOS領域NRのエクステンション層51は、図6に示す工程でエクステンション層51を形成した後に、側壁保護膜6の形成前までは、図7に示す工程でPMOS領域PRのレジストマスクR12を除去する際にエッティングを被るだけである。従って、側壁保護膜6の形成までにエクステンション層51が2回のエッティングを被っていた従来の製造方法に比べてエッティング量は少なくなる。

30

【0061】

この結果、CMOSトランジスタ100において最終的に残るエクステンション層51の接合深さが浅くなつて、抵抗値すなわち、寄生抵抗値が増大することが防止され、電流駆動能力の低下が防止されて、半導体集積回路の動作速度の低下が防止されることになる。

【0062】

なお、PMOS領域PRのエクステンション層52は、レジストマスクR11およびR12の除去によって2回のエッティングを被ることになるが、P型不純物は、N型不純物に比べて拡散量が大きく、P型不純物拡散層であるエクステンション層52はN型不純物拡散層であるエクステンション層51よりも深く形成されている。従って、エッティングにより除去される量がエクステンション層52よりも多くても、それによってエクステンション層51の抵抗がエクステンション層52よりも大きくなるということはない。すなわち、エッティングに対する余裕度は、エクステンション層52の方が大きい。

40

【0063】

なお、エクステンション層51および52の接合深さは、設計ルールやゲート長等で定義される半導体装置の集積度によって異なるが、本発明はエクステンション層の接合深さが

50

0.1 μm 以下、その最大不純物濃度が $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の半導体装置への適用を想定している。

【0064】

図11にエクステンション層51および52における不純物濃度分布を示す。図11において、横軸に基板表面からの深さを、縦軸に不純物濃度を示し、この例では基板表面近傍で最大不純物濃度が $1 \times 10^{21} / \text{cm}^3$ 、深さ 0.1 μm の位置での不純物濃度が $1 \times 10^{15} / \text{cm}^3$ となっている。

【0065】

図11に示されるようにエクステンション層51および52においては、基板表面近傍において不純物濃度が最大となり、基板内深くになるにつれて濃度が下がるような分布となっている。なお、このような構成のエクステンション層を使用することで、抵抗値を低くでき、また短チャネル効果の抑制を効果的に行うことができる。

10

【0066】

また、先に説明したようにN MOSトランジスタとP MOSトランジスタでは、使用するキャリアの移動度の違いから、N MOSトランジスタの方がチャネル抵抗が低く、寄生抵抗である拡散層の抵抗の増大による影響はP MOSトランジスタよりも大きいので、エクステンション層51の抵抗値の増大を優先的に防止することは、半導体集積回路の動作速度の低下を防止するという点でより有効である。

【0067】

なお、N MOS領域NRのソース・ドレイン主要層71はレジストマスクR14の除去に際して、またP MOS領域PRのソース・ドレイン主要層72はレジストマスクR13およびR14の除去に際してエッチングを被るが、ソース・ドレイン主要層71および72の表面には、図10を用いて説明したようにコバルトシリサイド膜8Aが形成され、抵抗値は低く保たれるので、エッチングにより接合深さが浅くなることによる影響は小さくなる。

20

【0068】

< B . 実施の形態 2 >

以上説明した本発明に係る実施の形態1においては、N MOS領域のエクステンション層51をP MOS領域のエクステンション層52よりも後に形成することで、N MOS領域のエクステンション層51がエッチングを被る回数を低減して、エクステンション層が浅くなることを防止する方法について説明したが、以下に説明する本発明に係る実施の形態2においては、エクステンション層を保護絶縁膜で覆うことでエクステンション層のエッチングを防止する方法について説明する。

30

【0069】

< B - 1 . 製造方法 >

以下、図12～図19を用いて本発明に係る実施の形態2として、CMOSトランジスタ200の製造方法について説明する。なお、CMOSトランジスタ200の構成は、最終工程を説明する図19において示される。なお、実施の形態1と同一の構成については同一の符号を付し、重複する説明は省略する。

40

【0070】

まず、図1および図2を用いて説明した工程を経て、N MOS領域NRおよびP MOS領域PR上にゲート電極41および42をパターニングする。

【0071】

次に、図12に示す工程において、写真製版によりP MOS領域PR上を覆うようにレジストマスクR15を形成する。そして、シリコン基板1を最大で60°程度傾け、N MOS領域NRにおいてシリコン基板1内にボロン等のP型不純物をイオン注入してポケット層91を形成する。この注入条件は、注入エネルギー1keV～50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ である。

【0072】

ポケット層91はシリコン基板1の主面に対して斜め方向に延在するように形成され、そ

50

の先端部は ゲート電極 4 1 の下部の領域まで延在している。

【 0 0 7 3 】

次に、図 1 3 に示す工程において、シリコン基板 1 の傾きを元に戻し、ゲート電極 4 1 を注入マスクとしてシリコン基板 1 内にヒ素あるいはリンをイオン注入して、シリコン基板 1 の表面内に 1 対のエクステンション層 5 1 を形成する。この注入条件は、注入エネルギー $1 \text{ k e V} \sim 50 \text{ k e V}$ 、ドーズ量 $1 \times 10^{13} \sim 4 \times 10^{15} / \text{cm}^2$ である。

【 0 0 7 4 】

次に、レジストマスク R 1 5 を除去した後、図 1 4 に示す工程において、シリコン基板 1 の全面に、CVD 法によりシリコン酸化膜で厚さ $1 \sim 20 \text{ nm}$ の保護絶縁膜 1 4 を形成する。なお、CVD 法により形成したシリコン酸化膜はステップカバレッジの良好な保護絶縁膜 1 4 となる。

10

【 0 0 7 5 】

次に、図 1 5 に示す工程において、写真製版により NMOS 領域 PR 上を覆うようにレジストマスク R 1 6 を形成する。そして、シリコン基板 1 を最大で 60° 程度傾け、PMOS 領域 PR においてシリコン基板 1 内にヒ素 (As) あるいはリン等の N 型不純物をイオン注入してポケット層 9 2 を形成する。この注入条件は、注入エネルギー $1 \text{ k e V} \sim 50 \text{ k e V}$ 、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ である。ポケット層 9 2 はシリコン基板 1 の正面に対して斜め方向に延在するように形成され、その先端部は、ゲート電極 4 2 の下部の領域まで延在している。

【 0 0 7 6 】

20

次に、図 1 6 に示す工程において、シリコン基板 1 の傾きを元に戻し、ゲート電極 4 2 を注入マスクとしてシリコン基板 1 内にボロンあるいは BF_2 をイオン注入して、シリコン基板 1 の表面内に 1 対のエクステンション層 5 2 を形成する。この注入条件は、注入エネルギー $1 \text{ k e V} \sim 50 \text{ k e V}$ 、ドーズ量 $1 \times 10^{13} \sim 4 \times 10^{15} / \text{cm}^2$ である。

【 0 0 7 7 】

レジストマスク R 1 6 を除去した後、図 1 7 に示す工程において、保護絶縁膜 1 4 の上部全面を覆うように厚さ $10 \sim 200 \text{ nm}$ のシリコン酸化膜 6 を CVD 法により形成する。

【 0 0 7 8 】

次に、図 1 8 に示す工程において、保護絶縁膜 1 4 およびシリコン酸化膜 6 がゲート電極 4 1 および 4 2 の側壁部に残るように、ゲート電極 4 1 および 4 2 の側面外方のシリコン基板 1 上のゲート絶縁膜 3 とともに保護絶縁膜 1 4 およびシリコン酸化膜 6 を異方性エッティングにより除去して、側壁保護膜 (サイドウォール絶縁膜) 1 6 を形成する。

30

【 0 0 7 9 】

側壁保護膜 1 6 は保護絶縁膜 1 4 とシリコン酸化膜 6 とで 2 層構造となり、ゲート電極 4 1 および 4 2 の側面外方のシリコン基板 1 上のゲート絶縁膜 3 の上部にも形成される。

【 0 0 8 0 】

以後は、図 8 を用いて説明した工程と同様の工程を経て、PMOS 領域 PR においてゲート電極 4 2 および側壁保護膜 1 6 を注入マスクとしてシリコン基板 1 内にボロンあるいは BF_2 等の P 型不純物をイオン注入して、シリコン基板 1 の表面内に 1 対のソース・ドレイン主要層 7 2 を形成し、また、図 9 を用いて説明した工程と同様の工程を経て、NMOS 領域 PR においてゲート電極 4 1 および側壁保護膜 1 6 を注入マスクとしてシリコン基板 1 内にヒ素等の N 型不純物をイオン注入し、シリコン基板 1 の表面内に 1 対のソース・ドレイン主要層 7 1 を形成する。なお、ソース・ドレイン主要層 7 1 および 7 2 の形成順序は、上記に限定されるものではない。

40

【 0 0 8 1 】

その後、 $800 \sim 1100$ の温度条件下で、1 秒～360 分の熱処理を行うことでソース・ドレイン主要層 7 1 および 7 2 を活性化する。

【 0 0 8 2 】

そして、図 1 9 に示す工程において、シリコン基板 1 の全面を覆うように厚さ $1 \sim 16 \text{ nm}$ の高融点金属膜、例えばコバルト膜 (図示せず) を形成し、高温処理によりシリサイド

50

化して、シリコン基板1、ゲート電極41および42の露出面とコバルト膜との接触部分にコバルトシリサイド膜8Åおよび10Åを形成する。その後、シリサイド化されずに残ったコバルト膜を除去することで、CMOSトランジスタ200が得られる。

【0083】

<B-2.作用効果>

以上説明したように、本実施の形態においては、N MOS領域NRのエクステンション層51はPMOS領域PRのエクステンション層52よりも先に形成することになるが、図13に示す工程でエクステンション層51を形成した後に、PMOS領域PRのレジストマスクR15を除去する際にエッチングを被るだけであり、その後は保護絶縁膜14で覆われて保護されるのでエッチングを被ることはなく、エクステンション層51が2回のエッチングを被っていた従来の製造方法に比べてエッチング量は少なくなる。

10

【0084】

この結果、エクステンション層51の接合深さが浅くなつて、抵抗値すなわち、寄生抵抗値が増大することが防止され、電流駆動能力の低下が防止されて、半導体集積回路の動作速度の低下が防止されることになる。

【0085】

また、エクステンション層51を構成するヒ素やリンは、エクステンション層52を構成するボロンに比べて拡散係数が小さく、エクステンション層52を形成後にエクステンション層51を形成する場合には、エクステンション層51の活性化のための熱処理を行うと、その条件ではエクステンション層52のボロンが拡散し過ぎるので、エクステンション層52の活性化に十分な熱処理（高温、長時間）ができないが、本実施の形態においては、エクステンション層51を先に形成できるので、エクステンション層51形成直後に、エクステンション層51の活性化のための熱処理を行うことができ、イオン注入による基板の損傷回復や不純物の拡散を確実に行うことができる。

20

【0086】

なお、熱処理は、エクステンション層52の形成後にも行うので、その際にもエクステンション層51の活性化が促進されることを考慮して、エクステンション層51形成直後の熱処理条件が設定される。

【0087】

なお、N MOS領域NRおよびPMOS領域PR上にゲート電極41および42をパターニングした直後に保護絶縁膜14を形成し、N MOS領域NRおよびPMOS領域PRに、エクステンション層51および52を形成するようにしても良い。この場合、エクステンション層51を構成するヒ素あるいはリンは、エクステンション層52を構成するボロンやBF₂と同様に保護絶縁膜14およびゲート絶縁膜3中に注入され、熱処理により拡散してシリコン基板1中に浅い拡散層であるエクステンション層51および52を形成することになる。但し、特にヒ素はシリコン酸化膜中を拡散しにくいので、よりシリコン基板1に近い位置に注入する、エクステンション層51を先に形成して熱処理を行い、エクステンション層52の形成後に、エクステンション層52の拡散のための熱処理を利用して再度熱処理を行うなどの工夫が望ましい。

30

【0088】

<B-3.変形例>

以上の説明においては、保護絶縁膜14をCVD法により形成したが、CVD法に限定されるものではなく、熱酸化法により形成しても良い。基板表面の保護絶縁膜である保護絶縁膜14を膜厚制御の容易な熱酸化により形成することで、膜厚のばらつきによるデバイス特性のばらつきを低減できる。

40

【0089】

また、基板表面の保護絶縁膜としてはシリコン酸化膜に限定されるものではなく、シリコン酸化膜の代わりにCVD法により形成したシリコン窒化膜を用いても良い。

【0090】

シリコン窒化膜はシリコン酸化膜に比べて、アンモニア過水に対してエッチングされにく

50

いので、シリコン酸化膜を使用する場合よりも薄く、厚さ 1 ~ 15 nm に設定され、デバイス特性への影響を軽減することができる。

【0091】

また、上記シリコン窒化膜は熱窒化法により形成しても良い。膜厚制御の容易な熱窒化法により形成することで、膜厚のばらつきによるデバイス特性のばらつきを低減できる。

【0092】

< C . 実施の形態 3 >

以上説明した実施の形態 1 および 2 においては、1 種類の CMOS トランジスタを例に採り、特に NMOS 領域での半導体基板のエッチングを防止する方法について説明したが、本発明に係る実施の形態 3 においては、異なる電源電圧で動作する 2 種類の CMOS トランジスタを例に採り、NMOS 領域での半導体基板のエッチングを防止する方法について説明する。

10

【0093】

< C - 1 . 製造方法 >

以下、図 20 ~ 図 33 を用いて本発明に係る実施の形態 3 として、低電圧 CMOS トランジスタ 100A および高電圧 CMOS トランジスタ 100B を有する半導体装置の製造方法について説明する。なお、低電圧 CMOS トランジスタ 100A および高電圧 CMOS トランジスタ 100B の構成は、最終工程を説明する図 33 において示される。なお、実施の形態 1 と同一の構成については同一の符号を付し、重複する説明は省略する。

20

【0094】

まず、図 20 に示す工程において、シリコン基板 1 の表面内に素子分離絶縁膜 2 を選択的に形成して、低電圧 NMOS トランジスタおよび低電圧 PMOS トランジスタを形成する低電圧 NMOS 領域 LNR および低電圧 PMOS 領域 LPR を規定するとともに、高電圧 NMOS トランジスタおよび高電圧 PMOS トランジスタを形成する高電圧 NMOS 領域 HNR および高電圧 PMOS 領域 HPR を規定する。

20

【0095】

そして、低電圧 NMOS 領域 LNR および高電圧 NMOS 領域 HNR、低電圧 PMOS 領域 LPR および高電圧 PMOS 領域 HPR に対応して、シリコン基板 1 の表面内に P 型不純物を含んだ P ウエル領域 PW、N 型不純物を含んだ N ウエル領域 NW とを形成する。

30

【0096】

さらに、シリコン基板 1 の低電圧 NMOS 領域 LNR および低電圧 PMOS 領域 LPR 上全面に、シリコン酸化膜、シリコン窒化膜、金属酸化膜あるいはこれらの組み合わせで構成される多層膜によってゲート絶縁膜 3A を形成する。また、シリコン基板 1 の高電圧 NMOS 領域 HNR および高電圧 PMOS 領域 HPR 上全面にはシリコン酸化膜、シリコン窒化膜、金属酸化膜あるいはこれらの組み合わせで構成される多層膜でゲート絶縁膜 3B を形成する。

30

【0097】

ここで、ゲート絶縁膜 3A の厚さはシリコン酸化膜への換算膜厚が 1 nm ~ 4 nm 程度となるように設定され、ゲート絶縁膜 3B の厚さはシリコン酸化膜への換算膜厚が 5 nm ~ 10 nm 程度となるように設定される。

40

【0098】

そして、ゲート絶縁膜 3A および 3B の上部全面に CVD 法により厚さ 50 ~ 300 nm のポリシリコン膜 4 を形成する。

【0099】

次に、図 21 に示す工程においてポリシリコン膜 4 上全面にレジスト（図示せず）を配設し、写真製版により当該レジストをパターニングしてレジストマスクを形成する。そして、レジストマスクを用いてポリシリコン膜 4 をパターニングし、低電圧 NMOS 領域 LNR および低電圧 PMOS 領域 LPR 上にはゲート電極 41 および 42 を形成し、高電圧 NMOS 領域 HNR および高電圧 PMOS 領域 HPR 上にはゲート電極 43 および 44 を形成する。

50

【0100】

次に、図22に示す工程において写真製版により、低電圧N MOS領域LNR、低電圧PMOS領域LPRおよび高電圧PMOS領域HPR上を覆うようにレジストマスクR21を形成する。そして、高電圧N MOS領域HNRにおいては、ゲート電極43を注入マスクとしてシリコン基板1内にヒ素あるいはリンをイオン注入して、シリコン基板1の表面内に1対のエクステンション層25を形成する。この注入条件は、注入エネルギー1keV～50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^2$ である。

【0101】

1対のエクステンション層25はゲート電極43の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。なお、ゲート電極43の下部のシリコン基板1の領域がチャネル領域となる。

10

【0102】

レジストマスクR21を除去した後、図23に示す工程において写真製版により、低電圧N MOS領域LNR、低電圧PMOS領域LPRおよび高電圧N MOS領域HNR上を覆うようにレジストマスクR22を形成する。そして、高電圧PMOS領域HPRにおいては、ゲート電極44を注入マスクとしてシリコン基板1内にボロンあるいはBF₂をイオン注入して、シリコン基板1の表面内に1対のエクステンション層26を形成する。この注入条件は、注入エネルギー1keV～50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^2$ である。

【0103】

20

1対のエクステンション層26はゲート電極44の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。なお、ゲート電極44の下部のシリコン基板1の領域がチャネル領域となる。

【0104】

ここで、高電圧CMOSトランジスタのエクステンション層25および26は、深さ約0.1μmにおいて不純物のピークを有し、そのピーク濃度が $1 \times 10^{18} / \text{cm}^3$ 程度となるように設定される。これは、高い電源電圧に起因するホットキャリアの発生を抑制するための設定であり、LDD(Lightly Doped Drain)層と呼称することもできる。

【0105】

30

レジストマスクR22を除去した後、図24に示す工程において、写真製版により、低電圧N MOS領域LNR、高電圧N MOS領域HNRおよび高電圧PMOS領域HPR上を覆うようにレジストマスクR23を形成する。

【0106】

そして、シリコン基板1を最大で60°程度傾け、低電圧PMOS領域LPRにおいてシリコン基板1内にヒ素あるいはリンのN型不純物をイオン注入してポケット層92を形成する。この注入条件は、注入エネルギー1keV～50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ である。

【0107】

ポケット層92はシリコン基板1の主面に対して斜め方向に延在するように形成され、その先端部はゲート電極42の下部の領域まで延在している。

40

【0108】

次に、図25に示す工程において、シリコン基板1の傾きを元に戻し、ゲート電極42を注入マスクとしてシリコン基板1内にボロンあるいはBF₂をイオン注入して、シリコン基板1の表面内に1対のエクステンション層52を形成する。この注入条件は、注入エネルギー1keV～50keV、ドーズ量 $1 \times 10^{13} \sim 4 \times 10^{15} / \text{cm}^2$ である。

【0109】

1対のエクステンション層52はゲート電極42の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。なお、ゲート電極42の下部のシリコン基板1の領域がチャネル領域となる。

【0110】

50

次に、レジストマスク R 2 3 を除去した後、図 2 6 に示す工程において、写真製版により、低電圧 PMOS 領域 L P R、高電圧 NMOS 領域 H N R および高電圧 PMOS 領域 H P R 上を覆うようにレジストマスク R 2 4 を形成する。そして、シリコン基板 1 を最大で 60° 程度傾け、低電圧 NMOS 領域 L N Rにおいてシリコン基板 1 内にボロン等の P 型不純物をイオン注入してポケット層 9 1 を形成する。この注入条件は、注入エネルギー 1 keV ~ 50 keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ である。

【 0 1 1 1 】

ポケット層 9 1 はシリコン基板 1 の正面に対して斜め方向に延在するように形成され、その先端部は、ゲート電極 4 1 の下部の領域まで延在している。

【 0 1 1 2 】

次に、図 2 7 に示す工程において、シリコン基板 1 の傾きを元に戻し、ゲート電極 4 1 を注入マスクとしてシリコン基板 1 内にヒ素あるいはリンをイオン注入して、シリコン基板 1 の表面内に 1 対のエクステンション層 5 1 を形成する。この注入条件は、注入エネルギー 1 keV ~ 50 keV、ドーズ量 $1 \times 10^{13} \sim 4 \times 10^{15} / \text{cm}^2$ である。

【 0 1 1 3 】

1 対のエクステンション層 5 1 はゲート電極 4 1 の下部のシリコン基板 1 の領域を間に挟んで、対向するように配設されている。なお、ゲート電極 4 1 の下部のシリコン基板 1 の領域がチャネル領域となる。

【 0 1 1 4 】

レジストマスク R 2 4 を除去した後、図 2 8 に示す工程において、シリコン基板 1 の全面を覆うように厚さ 10 ~ 200 nm のシリコン酸化膜（図示せず）を CVD 法により形成し、当該シリコン酸化膜がゲート電極 4 1 ~ 4 4 の側壁部のみに残るように、ゲート電極 4 1 および 4 2 の側面外方のシリコン基板 1 上のゲート絶縁膜 3 A、およびゲート電極 4 3 および 4 4 の側面外方のシリコン基板 1 上のゲート絶縁膜 3 B とともに異方性エッティングにより除去して側壁保護膜（サイドウォール絶縁膜）6 を形成する。なお、側壁保護膜はシリコン酸化膜に限定されず、シリコン窒化膜でも良いし、シリコン酸化膜とシリコン窒化膜との積層膜であっても良い。

【 0 1 1 5 】

また、側壁保護膜 6 はゲート電極 4 1 および 4 2 の側面外方のシリコン基板 1 上のゲート絶縁膜 3 A の上部およびゲート電極 4 3 および 4 4 の側面外方のシリコン基板 1 上のゲート絶縁膜 3 B の上部にも形成され、当該ゲート絶縁膜 3 A および 3 B と側壁保護膜 6 とで 2 層構造となるが、簡略化のため図 2 8 以後においては 1 層の側壁保護膜 6 として示している。

【 0 1 1 6 】

次に、図 2 9 に示す工程において、低電圧 NMOS 領域 L N R、低電圧 PMOS 領域 L P R および高電圧 PMOS 領域 H P R 上を覆うようにレジストマスク R 2 5 を形成する。そして、ゲート電極 4 3 および側壁保護膜 6 を注入マスクとしてシリコン基板 1 内にヒ素等の N 型不純物をイオン注入し、シリコン基板 1 の表面内に 1 対のソース・ドレイン主要層 2 7 を形成する。この注入条件は、注入エネルギー 10 keV ~ 100 keV、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【 0 1 1 7 】

レジストマスク R 2 5 を除去した後、図 3 0 に示す工程において写真製版により、低電圧 NMOS 領域 L N R、低電圧 PMOS 領域 L P R および高電圧 NMOS 領域 H N R 上を覆うようにレジストマスク R 2 6 を形成する。そしてゲート電極 4 4 および側壁保護膜 6 を注入マスクとしてシリコン基板 1 内にボロンあるいは B F₂ 等の P 型不純物をイオン注入して、シリコン基板 1 の表面内に 1 対のソース・ドレイン主要層 2 8 を形成する。この注入条件は、注入エネルギー 10 keV ~ 100 keV、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【 0 1 1 8 】

次に、レジストマスク R 2 6 を除去した後、図 3 1 に示す工程において、写真製版により

10

20

30

40

50

、低電圧N MOS領域L NR、高電圧N MOS領域H NRおよび高電圧PMOS領域H PR上を覆うようにレジストマスクR 27を形成する。そして、低電圧PMOS領域L PRにおいてはゲート電極42および側壁保護膜6を注入マスクとしてシリコン基板1内にボロンあるいはBF₂等のP型不純物をイオン注入して、シリコン基板1の表面内に1対のソース・ドレイン主要層72を形成する。この注入条件は、注入エネルギー10keV～100keV、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0119】

レジストマスクR 27を除去した後、図32に示す工程において、写真製版により、低電圧PMOS領域L PR、高電圧N MOS領域H NRおよび高電圧PMOS領域H PR上を覆うようにレジストマスクR 28を形成する。そして、低電圧N MOS領域L NRにおいてはゲート電極41および側壁保護膜6を注入マスクとしてシリコン基板1内にヒ素等のN型不純物をイオン注入し、シリコン基板1の表面内に1対のソース・ドレイン主要層71を形成する。この注入条件は、注入エネルギー10keV～100keV、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ である。

10

【0120】

その後、800～1100の温度条件下で、1秒～360分の熱処理を行うことでソース・ドレイン主要層71、72および27および28を活性化する。

【0121】

次に、図33に示す工程において、シリコン基板1の全面を覆うように厚さ1～16nmの高融点金属膜、例えばコバルト膜（図示せず）を形成し、高温処理によりシリサイド化して、シリコン基板1、ゲート電極41～44の露出面とコバルト膜との接触部分にコバルトシリサイド膜8Åおよび10Åを形成する。その後、シリサイド化されずに残ったコバルト膜を除去することで、低電圧CMOSトランジスタ100Aおよび高電圧CMOSトランジスタ100Bが得られる。

20

【0122】

< C - 2 . 作用効果 >

以上説明したように、異なる電源電圧で動作する2種類のCMOSトランジスタにおいてエクステンション層およびソース・ドレイン主要層を形成するには、低電圧CMOSトランジスタおよび高電圧CMOSトランジスタのそれぞれにおいて、レジストマスクの形成のために4回の写真製版工程が必要となる。

30

【0123】

しかし、低電圧N MOS領域L NRのエクステンション層51の形成を、最後に行うように行することで、CMOSトランジスタ100Aにおいて最終的に残るエクステンション層51は、レジストマスクR 24を除去する際にエッチングを被るだけとなり、エッチング量は少なくなる。

【0124】

この結果、エクステンション層51の接合深さが浅くなつて、抵抗値すなわち、寄生抵抗値が増大することが防止され、電流駆動能力の低下が防止されて、半導体集積回路の動作速度の低下が防止されることになる。

【0125】

なお、低電圧PMOS領域L PRのエクステンション層52は、レジストマスクR 23およびR 24の除去によって2回のエッチングを被ることになるが、P型不純物は、N型不純物に比べて拡散量が大きく、P型不純物拡散層であるエクステンション層52はN型不純物拡散層であるエクステンション層51よりも深く形成されている。従つて、エッチングにより除去される量がエクステンション層52よりも多くても、それによってエクステンション層51の抵抗がエクステンション層52よりも大きくなるということはない。すなわち、エッチングに対する余裕度は、エクステンション層52の方が大きい。

40

【0126】

また、低電圧CMOSトランジスタのエクステンション層51および52は、高電圧CMOSトランジスタ25および26よりも浅いのでエッチングによる影響を受けやすいので

50

、高電圧CMOSトランジスタ25および26よりも後に低電圧CMOSトランジスタのエクステンション層51および52を形成することで、エクステンション層51および52がエッティングを被る回数を低減して、寄生抵抗が増大することを防止できる。また、低電圧CMOSトランジスタのチャネル抵抗は、高電圧CMOSトランジスタのチャネル抵抗よりも低く、寄生抵抗である拡散層の抵抗の増大による影響は高電圧CMOSトランジスタよりも大きいので、低電圧CMOSトランジスタのエクステンション層51および52の抵抗値の増大を優先的に防止することは、半導体集積回路の動作速度の低下を防止するという点でより有効である。

【0127】

なお、本実施の形態では異なる電源電圧で動作する2種類のCMOSトランジスタを例に採って説明したが、電源電圧が3種類あるいはそれ以上であっても本発明の適用は可能である。すなわち、電源電圧が最低のCMOSトランジスタおよび、それに次ぐCMOSトランジスタを、低電圧CMOSトランジスタ100Aおよび高電圧CMOSトランジスタ100Bとして想定し、上述した製造方法を採用すれば、電源電圧が最低のCMOSトランジスタのエクステンション層が被るエッティングの回数を削減できることは言うまでもない。

10

【0128】

<D. 実施の形態4>

以上説明した本発明に係る実施の形態1においては、低電圧N MOS領域のエクステンション層51を最後に形成することで、低電圧N MOS領域のエクステンション層51がエッティングを被る回数を低減して、エクステンション層が浅くなることを防止する方法について説明したが、以下に説明する本発明に係る実施の形態4においては、エクステンション層を保護絶縁膜で覆うことでエクステンション層のエッティングを防止する方法について説明する。

20

【0129】

<D-1. 製造方法>

以下、図34～図41を用いて本発明に係る実施の形態4として、低電圧CMOSトランジスタ200Aおよび高電圧CMOSトランジスタ200Bを有する半導体装置の製造方法について説明する。なお、低電圧CMOSトランジスタ200Aおよび高電圧CMOSトランジスタ200Bの構成は、最終工程を説明する図41において示される。なお、実施の形態3と同一の構成については同一の符号を付し、重複する説明は省略する。

30

【0130】

まず、図20～図23を用いて説明した工程を経て、高電圧N MOS領域HNRのシリコン基板1の表面内に1対のエクステンション層25を形成し、また、高電圧PMOS領域HPRにおいては、シリコン基板1の表面内に1対のエクステンション層26を形成する。

【0131】

そして、図34に示す工程において、写真製版により低電圧PMOS領域LPR、高電圧N MOS領域HNRおよび高電圧PMOS領域HPR上を覆うようにレジストマスクR31を形成する。そして、シリコン基板1を最大で60°程度傾け、N MOS領域NRにおいてシリコン基板1内にボロン等のP型不純物をイオン注入してポケット層91を形成する。この注入条件は、注入エネルギー1keV～50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ である。

40

【0132】

ポケット層91はシリコン基板1の主面に対して斜め方向に延在するように形成され、その先端部は、ゲート電極41の下部の領域まで延在している。

【0133】

次に、図35に示す工程において、シリコン基板1の傾きを元に戻し、ゲート電極41を注入マスクとしてシリコン基板1内にヒ素あるいはリンをイオン注入して、シリコン基板1の表面内に1対のエクステンション層51を形成する。この注入条件は、注入エネルギー

50

– 1 k e V ~ 5 0 k e V、ドーズ量 $1 \times 1 0^{13} \sim 4 \times 1 0^{15} / \text{cm}^2$ である。

【 0 1 3 4 】

1対のエクステンション層 5 1 はゲート電極 4 1 の下部のシリコン基板 1 の領域を間に挟んで、対向するように配設されている。なお、ゲート電極 4 1 の下部のシリコン基板 1 の領域がチャネル領域となる。

【 0 1 3 5 】

次に、レジストマスク R 3 1 を除去した後、図 3 6 に示す工程において、シリコン基板 1 の全面に、C V D 法により厚さ 1 ~ 2 0 n m の保護絶縁膜 1 4 を形成する。

【 0 1 3 6 】

次に、図 3 7 に示す工程において、写真製版により、低電圧 N M O S 領域 L N R 、高電圧 N M O S 領域 H N R および高電圧 P M O S 領域 H P R 上を覆うようにレジストマスク R 3 2 を形成する。 10

【 0 1 3 7 】

そして、シリコン基板 1 を最大で 6 0 ° 程度傾け、低電圧 P M O S 領域 L P R においてシリコン基板 1 内にヒ素あるいはリンの N 型不純物をイオン注入してポケット層 9 2 を形成する。この注入条件は、注入エネルギー 1 k e V ~ 5 0 k e V 、ドーズ量 $1 \times 1 0^{13} \sim 1 \times 1 0^{14} / \text{cm}^2$ である。

【 0 1 3 8 】

ポケット層 9 2 はシリコン基板 1 の正面に対して斜め方向に延在するように形成され、その先端部は、ゲート電極 4 2 の下部の領域まで延在している。 20

【 0 1 3 9 】

次に、図 3 8 に示す工程において、シリコン基板 1 の傾きを元に戻し、ゲート電極 4 2 を注入マスクとしてシリコン基板 1 内にボロンあるいは B F₂ をイオン注入して、シリコン基板 1 の表面内に 1 対のエクステンション層 5 2 を形成する。この注入条件は、注入エネルギー 1 k e V ~ 5 0 k e V 、ドーズ量 $1 \times 1 0^{13} \sim 4 \times 1 0^{15} / \text{cm}^2$ である。

【 0 1 4 0 】

1 対のエクステンション層 5 2 はゲート電極 4 2 の下部のシリコン基板 1 の領域を間に挟んで、対向するように配設されている。なお、ゲート電極 4 2 の下部のシリコン基板 1 の領域がチャネル領域となる。

【 0 1 4 1 】

レジストマスク R 3 2 を除去した後、図 3 9 に示す工程において、保護絶縁膜 1 4 の上部全面を覆うように厚さ 1 0 ~ 2 0 0 n m のシリコン酸化膜 6 を C V D 法により形成する。 30

【 0 1 4 2 】

次に、図 4 0 に示す工程において、保護絶縁膜 1 4 およびシリコン酸化膜 6 がゲート電極 4 1 ~ 4 4 の側壁部に残るよう、ゲート電極 4 1 および 4 2 の側面外方のシリコン基板 1 上のゲート絶縁膜 3 A とともに保護絶縁膜 1 4 およびシリコン酸化膜 6 を異方性エッティングにより除去し、また、ゲート電極 4 3 および 4 4 の側面外方のシリコン基板 1 上のゲート絶縁膜 3 B とともに保護絶縁膜 1 4 およびシリコン酸化膜 6 を異方性エッティングにより除去して側壁保護膜 1 6 を形成する。

【 0 1 4 3 】

側壁保護膜 1 6 は保護絶縁膜 1 4 とシリコン酸化膜 6 とで 2 層構造となり、ゲート電極 4 1 および 4 2 の側面外方のシリコン基板 1 上のゲート絶縁膜 3 A の上部、およびゲート電極 4 3 および 4 4 の側面外方のシリコン基板 1 上のゲート絶縁膜 3 B の上部にも形成される。 40

【 0 1 4 4 】

以後は、図 2 9 を用いて説明した工程と同様の工程を経て、高電圧 N M O S 領域 H N R においてゲート電極 4 3 および側壁保護膜 1 6 を注入マスクとしてシリコン基板 1 内にヒ素等の N 型不純物をイオン注入し、シリコン基板 1 の表面内に 1 対のソース・ドレイン主要層 2 7 を形成し、また、図 3 0 を用いて説明した工程と同様の工程を経て、高電圧 P M O S 領域 H P R においてゲート電極 4 4 および側壁保護膜 1 6 を注入マスクとしてシリコン 50

基板 1 内にボロンあるいは $B F_2$ 等の P 型不純物をイオン注入して、シリコン基板 1 の表面内に 1 対のソース・ドレイン主要層 2 8 を形成し、また、図 3 1 を用いて説明した工程と同様の工程を経て、低電圧 PMOS 領域 L PR においてゲート電極 4 2 および側壁保護膜 1 6 を注入マスクとしてシリコン基板 1 内にボロンあるいは $B F_2$ 等の P 型不純物をイオン注入して、シリコン基板 1 の表面内に 1 対のソース・ドレイン主要層 7 2 を形成し、また、図 3 2 を用いて説明した工程と同様の工程を経て、低電圧 NMOS 領域 L NR においてゲート電極 4 1 および側壁保護膜 1 6 を注入マスクとしてシリコン基板 1 内にヒ素等の N 型不純物をイオン注入し、シリコン基板 1 の表面内に 1 対のソース・ドレイン主要層 7 1 を形成する。なお、ソース・ドレイン主要層 7 1、7 2、2 7 および 2 8 の形成順序は上記に限定されるものではない。

10

【 0 1 4 5 】

その後、800 ~ 1100 の温度条件下で、1秒 ~ 360 分の熱処理を行うことでソース・ドレイン主要層 7 1、7 2、2 7 および 2 8 を活性化する。

【 0 1 4 6 】

そして、図 4 1 に示す工程において、シリコン基板 1 の全面を覆うように厚さ 1 ~ 16 nm の高融点金属膜、例えばコバルト膜（図示せず）を形成し、高温処理によりシリサイド化して、シリコン基板 1、ゲート電極 4 1 および 4 2 の露出面とコバルト膜との接触部分にコバルトシリサイド膜 8 A および 10 A を形成する。その後、シリサイド化されずに残ったコバルト膜を除去することで、低電圧 CMOS トランジスタ 200 A および高電圧 CMOS トランジスタ 200 B が得られる。

20

【 0 1 4 7 】

< D - 2 . 作用効果 >

以上説明したように、本実施の形態においては、低電圧 NMOS 領域 L NR のエクステンション層 5 1 は低電圧 PMOS 領域 L PR のエクステンション層 5 2 よりも先に形成することになるが、図 3 5 に示す工程でエクステンション層 5 1 を形成した後に、レジストマスク R 3 1 を除去する際にエッチングを被るだけであり、その後は保護絶縁膜 1 4 で覆われて保護されるのでエッチングを被ることはなく、エッチング量は少なくなる。

【 0 1 4 8 】

この結果、エクステンション層 5 1 の接合深さが浅くなつて、抵抗値すなわち、寄生抵抗値が増大することが防止され、電流駆動能力の低下が防止されて、半導体集積回路の動作速度の低下が防止されることになる。

30

【 0 1 4 9 】

なお、本実施の形態においても、実施の形態 2 と同様に NMOS 領域 NR および PMOS 領域 PR 上にゲート電極 4 1 ~ 4 4 をパターニングした直後に保護絶縁膜 1 4 を形成し、NMOS 領域 NR および PMOS 領域 PR に、エクステンション層 5 1、5 2、2 5 および 2 6 を形成するようにしても良いが、エクステンション層 5 1 および 2 6 の形成においては注入条件および熱処理に工夫が望ましいことは言うまでもない。

【 0 1 5 0 】

なお、本実施の形態では異なる電源電圧で動作する 2 種類の CMOS トランジスタを例に採って説明したが、電源電圧が 3 種類あるいはそれ以上であつても本発明の適用は可能である。すなわち、電源電圧が最低の CMOS トランジスタおよび、それに次ぐ CMOS トランジスタを、低電圧 CMOS トランジスタ 200 A および高電圧 CMOS トランジスタ 200 B として想定し、上述した製造方法を採用すれば、電源電圧が最低の CMOS トランジスタのエクステンション層が被るエッチングの回数を削減できることは言うまでもない。

40

【 0 1 5 1 】

< D - 3 . 変形例 >

以上の説明においては、保護絶縁膜 1 4 を CVD 法により形成したが、CVD 法に限定されるものではなく、熱酸化法により形成しても良い。基板表面の保護絶縁膜である保護絶縁膜 1 4 を膜厚制御の容易な熱酸化により形成することで、膜厚のばらつきによる

50

デバイス特性のばらつきを低減できる。

【0152】

また、基板表面の保護絶縁膜としてはシリコン酸化膜に限定されるものではなく、シリコン酸化膜の代わりにCVD法により形成したシリコン窒化膜を用いても良い。

【0153】

シリコン窒化膜はシリコン酸化膜に比べて、アンモニア過水に対してエッチングされにくく、シリコン酸化膜を使用する場合よりも薄く、厚さ1~15nmに設定され、デバイス特性への影響を軽減することができる。

【0154】

また、上記シリコン窒化膜は熱窒化法により形成しても良い。膜厚制御の容易な熱窒化法により形成することで、膜厚のばらつきによるデバイス特性のばらつきを低減できる。

【0155】

【発明の効果】

本発明に係る請求項1ないし請求項3記載の半導体装置の製造方法によれば、N型不純物をイオン注入して形成された第1のエクステンション層の接合深さが浅くなつて、抵抗値すなわち、寄生抵抗値が増大することが防止され、電流駆動能力の低下が防止され、動作速度の低下を防止した半導体装置を得ることができる。また、N型不純物であるヒ素やリンは、P型不純物であるボロンに比べて拡散係数が小さいので、P型不純物をイオン注入して形成された第2のエクステンション層形成後に第1のエクステンション層を形成する場合には、第2のエクステンション層への影響を及ぼすので第1のエクステンション層の活性化のための熱処理を十分に行えないが、本発明においては第1のエクステンション層形成後に第2のエクステンション層を形成するので、第1のエクステンション層の活性化のための熱処理を十分に行うことができ、イオン注入による基板の損傷回復や不純物の拡散を確実に行うことができる。

【0159】

本発明に係る請求項4記載の半導体装置の製造方法によれば、絶縁膜を1nm~20nmの厚さに形成するので、絶縁膜が部分的に残る場合でも、デバイス特性への影響を軽減することができる。

【0160】

本発明に係る請求項5記載の半導体装置の製造方法によれば、絶縁膜をCVD法によりシリコン酸化膜として形成するので、ステップカバレッジの良好な絶縁膜を得ることができる。

【0161】

本発明に係る請求項6記載の半導体装置の製造方法によれば、絶縁膜を熱酸化法によりシリコン酸化膜として形成するので、膜厚制御が容易にでき、膜厚のばらつきによるデバイス特性のばらつきを低減できる。

【0162】

本発明に係る請求項7記載の半導体装置の製造方法によれば、絶縁膜をCVD法によりシリコン窒化膜として形成するのでステップカバレッジの良好な絶縁膜を得ることができるとともに、シリコン窒化膜はアンモニア過水に対してエッチングされにくく、シリコン酸化膜を使用する場合よりも薄くでき、デバイス特性への影響を軽減することができる。

【0163】

本発明に係る請求項8記載の半導体装置の製造方法によれば、絶縁膜を熱窒化法によりシリコン窒化膜として形成するので、膜厚制御が容易にでき、膜厚のばらつきによるデバイス特性のばらつきを低減できる。

【図面の簡単な説明】

【図1】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図2】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図3】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

10

20

30

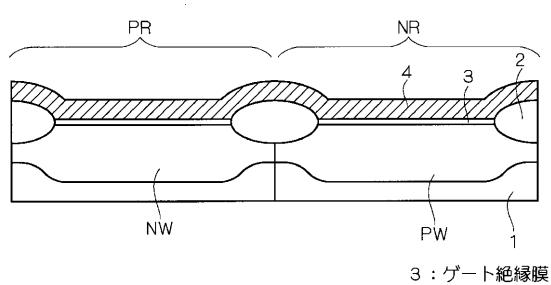
40

50

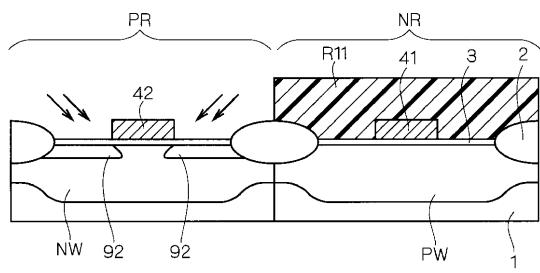
【符号の説明】

3, 3A, 3B ゲート絶縁膜、14 保護絶縁膜、25, 26, 51, 52 エクステンション層、41, 42 ゲート電極。

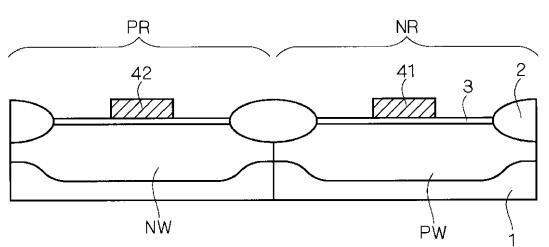
【図1】



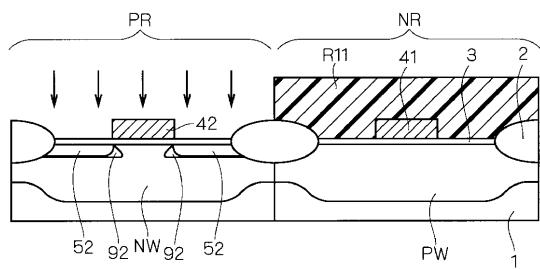
【図3】



【図2】

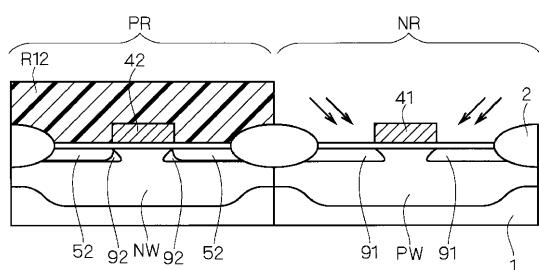


【図4】

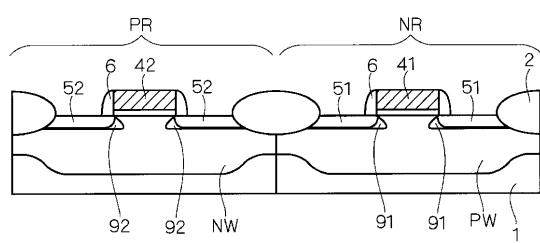


5 2 : エクステンション層

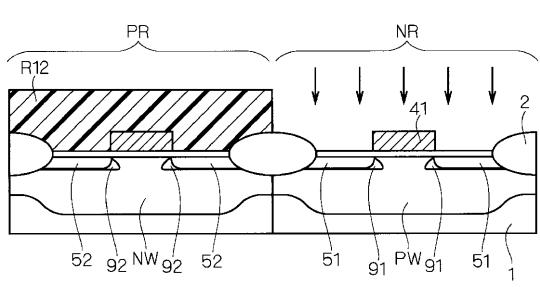
【図5】



【図7】

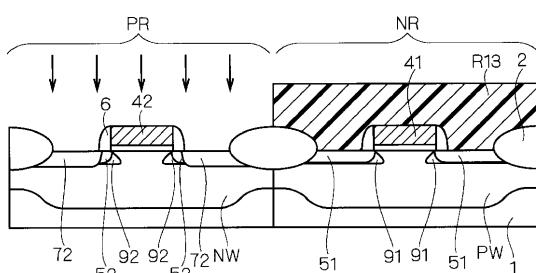


【図6】

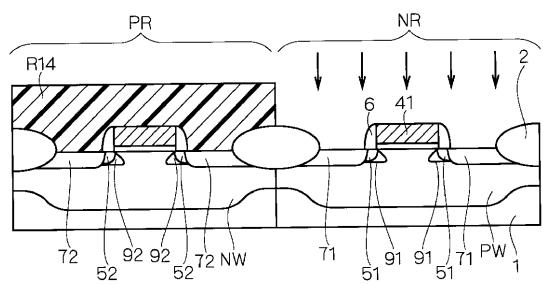


5 1 : エクステンション層

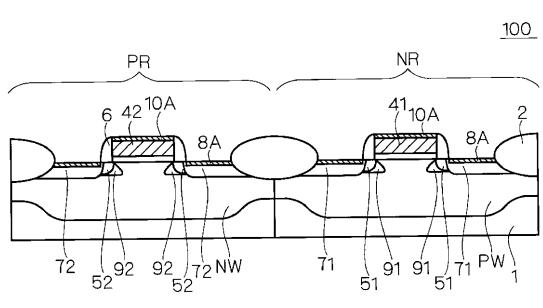
【図8】



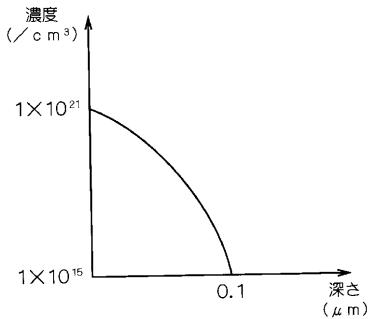
【図 9】



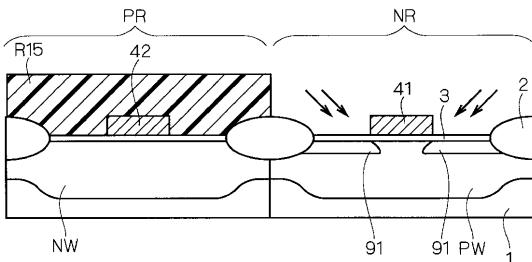
【図 10】



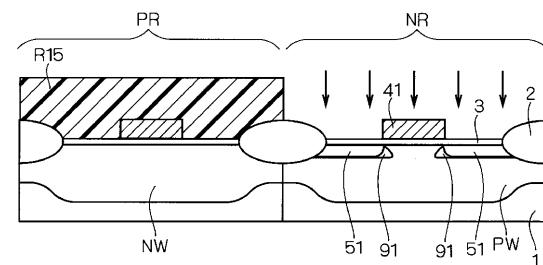
【図 11】



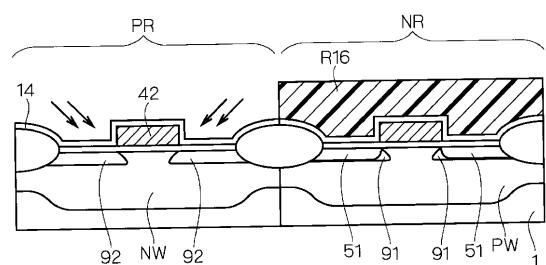
【図 12】



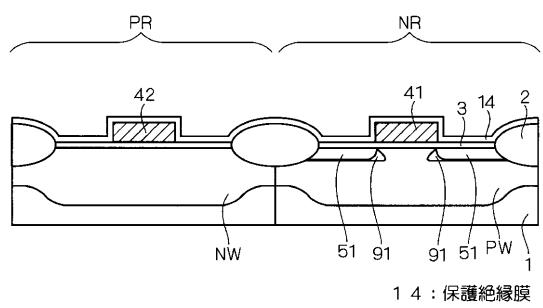
【図 13】



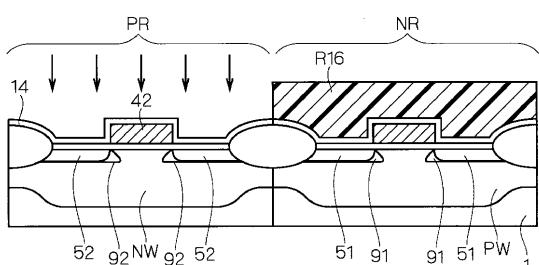
【図 15】



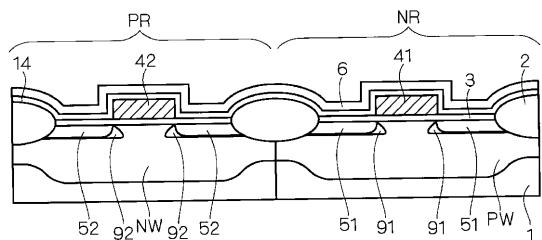
【図 14】



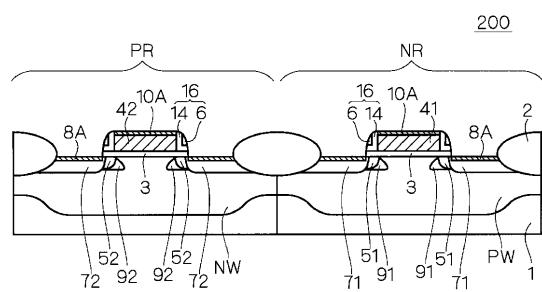
【図 16】



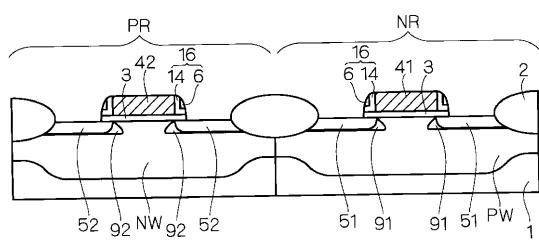
【図17】



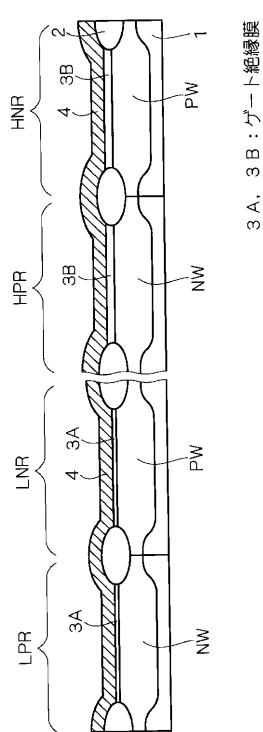
【図19】



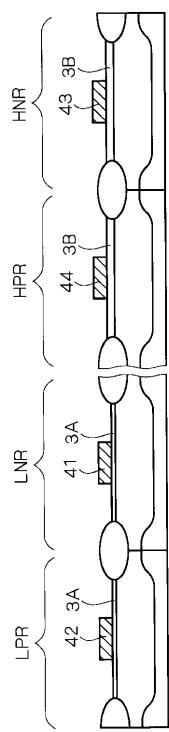
【図18】



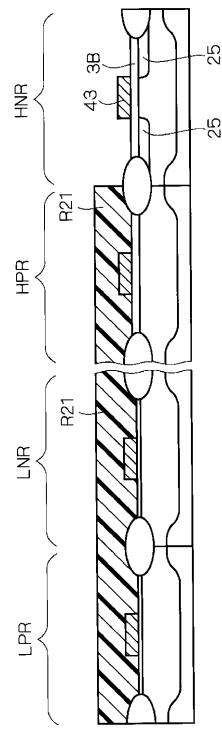
【図20】



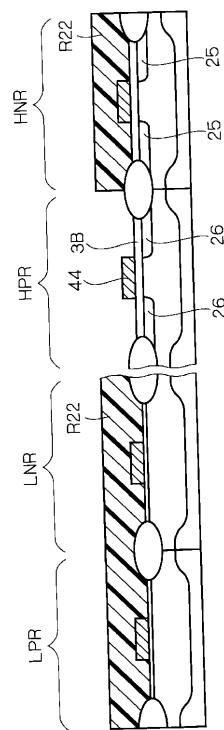
【図21】



【図22】

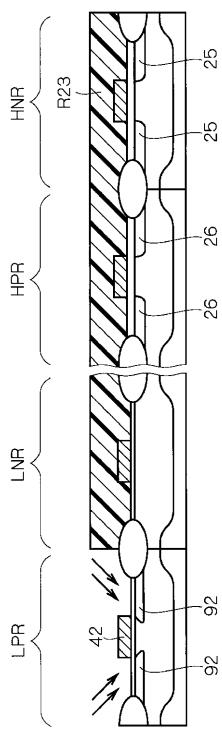


【図23】

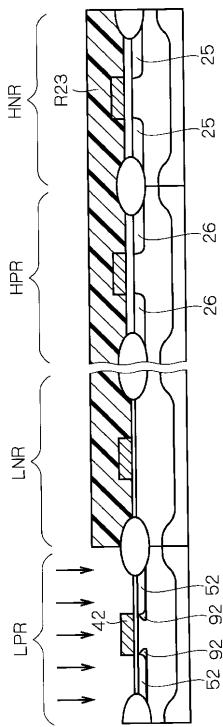


25: エクステンション層

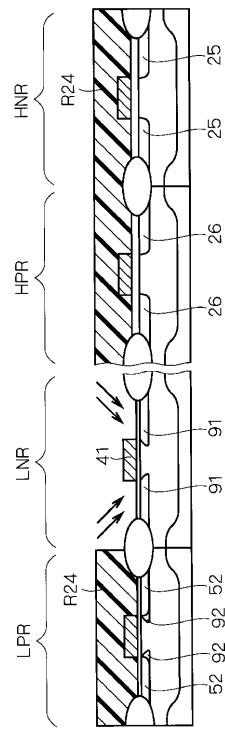
【図24】



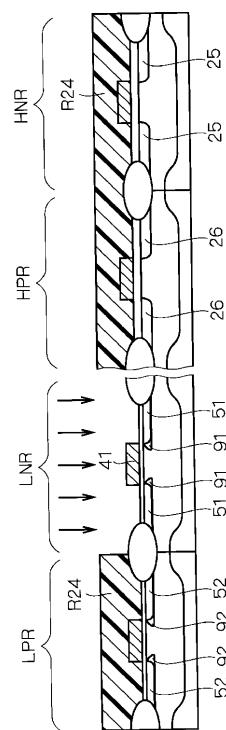
【図25】



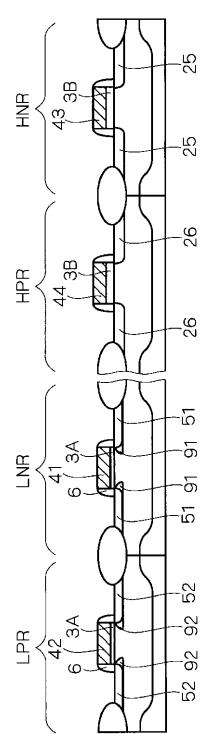
【図26】



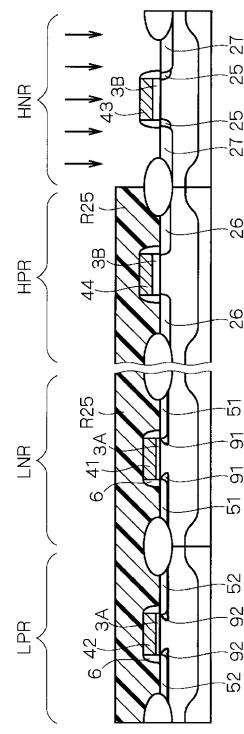
【図27】



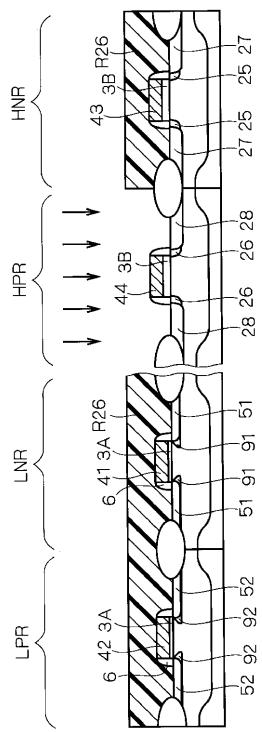
【図28】



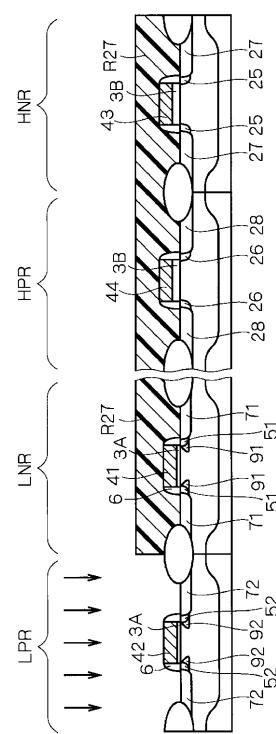
【図29】



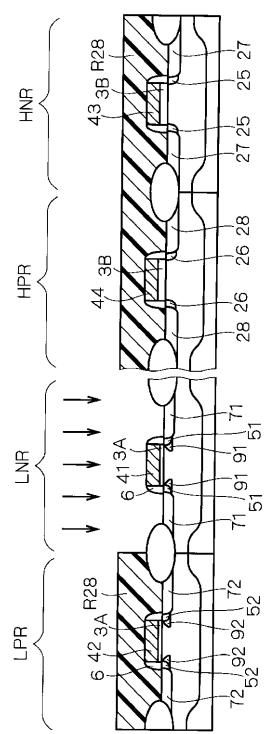
【図30】



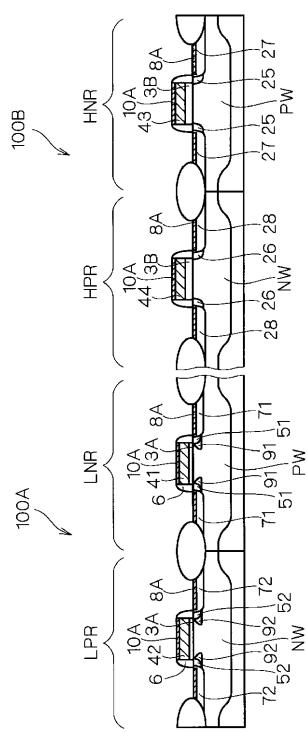
【図31】



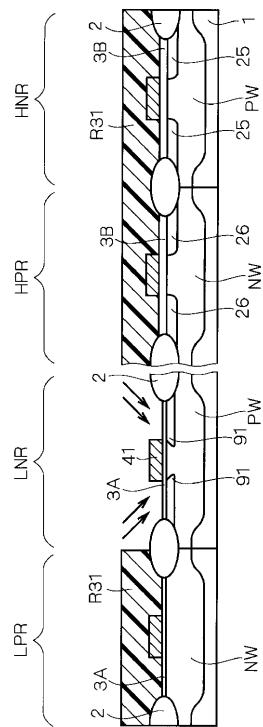
【図32】



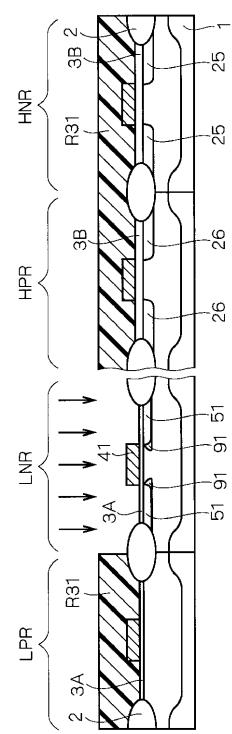
【図33】



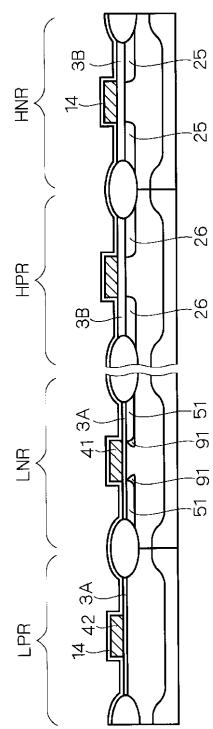
【図34】



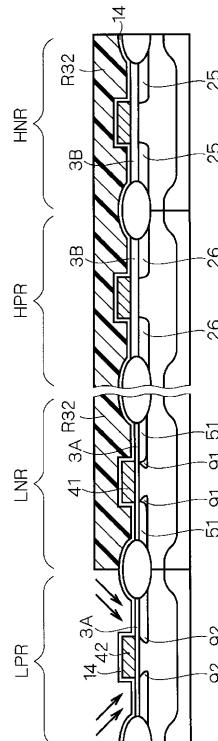
【図35】



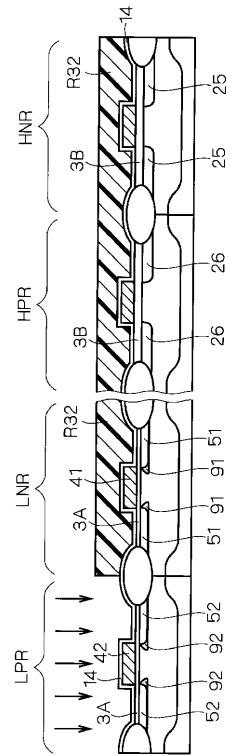
【図36】



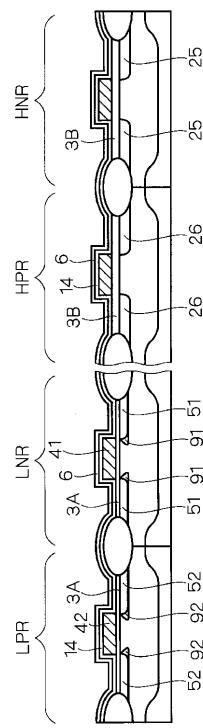
【図37】



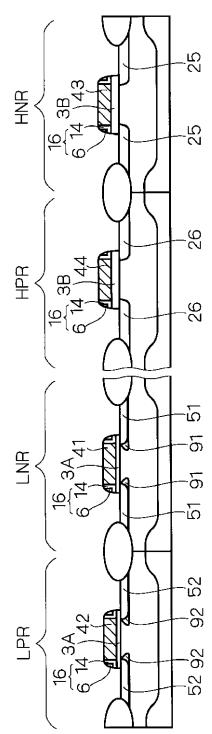
【図38】



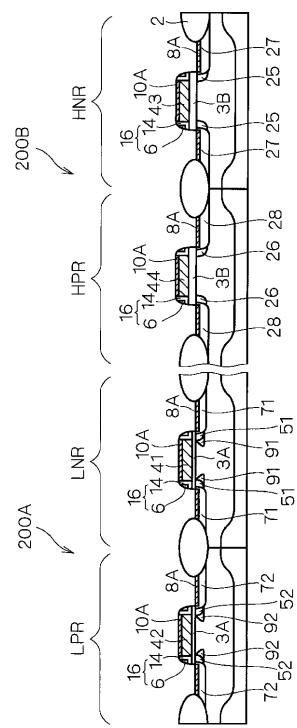
【図39】



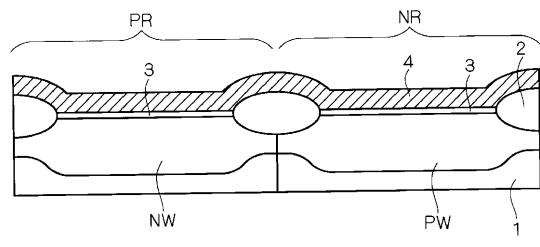
【図40】



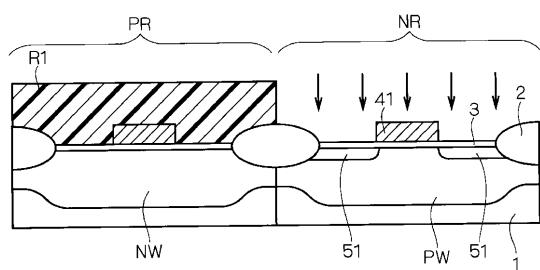
【 図 4 1 】



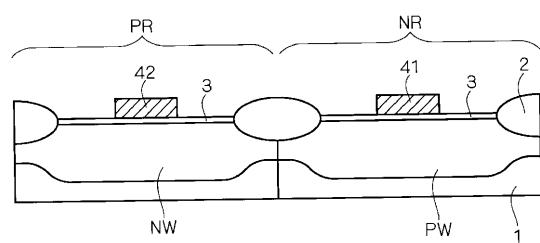
【図42】



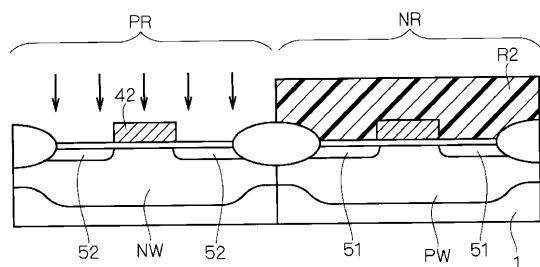
【図44】



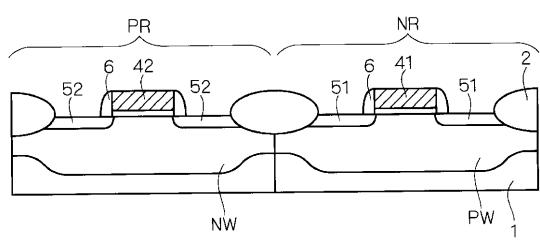
【図43】



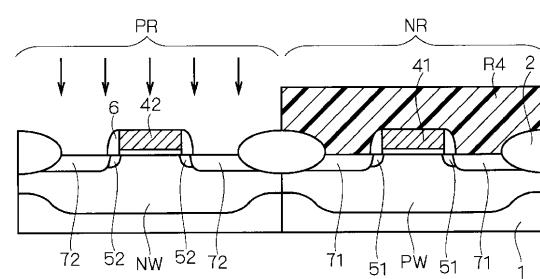
【図45】



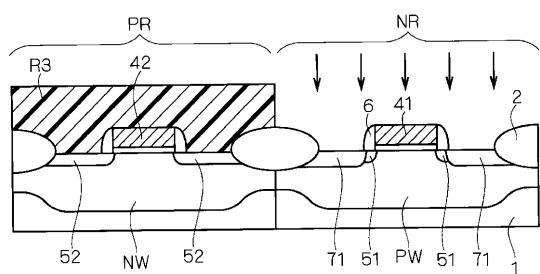
【図46】



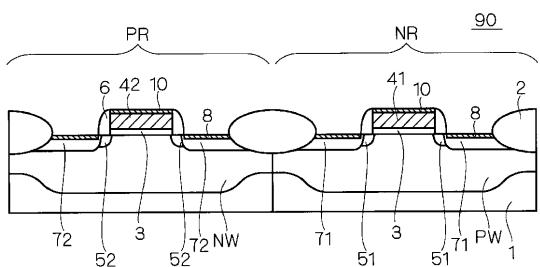
【図48】



【図47】



【図49】



フロントページの続き

(56)参考文献 特開平10-261792(JP, A)
特開平11-074372(JP, A)
特開2000-114197(JP, A)
特開平08-204021(JP, A)
特開平08-241984(JP, A)
特開平08-055914(JP, A)
特開平09-205151(JP, A)
特開平07-307467(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8238

H01L 27/092