(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0158675
(43) 공개일자 2024년11월05일

(51) 국제특허분류(Int. Cl.)
G06N 20/10 (2019.01) *G06F 7/501* (2006.01)
(52) CPC특허분류
G06N 20/10 (2021.08)
G06F 7/501 (2021.08)
(21) 출원번호 10-2023-0055681
(22) 출원일자 2023년04월27일
심사청구일자 2023년04월27일

(71) 출원인
조선대학교산학협력단
광주광역시 동구 조선대길 126(서석동, 산학협력단)
(72) 발명자
이정아
광주광역시 북구 첨단과기로 123
사이드 고긴
광주광역시 동구 필문대로 309(서석동)
나자피 모하마드레자
1347635731 8호, 무아레프반드, 하세미 거리, 테헤란 이란
(74) 대리인
특허법인아이엠

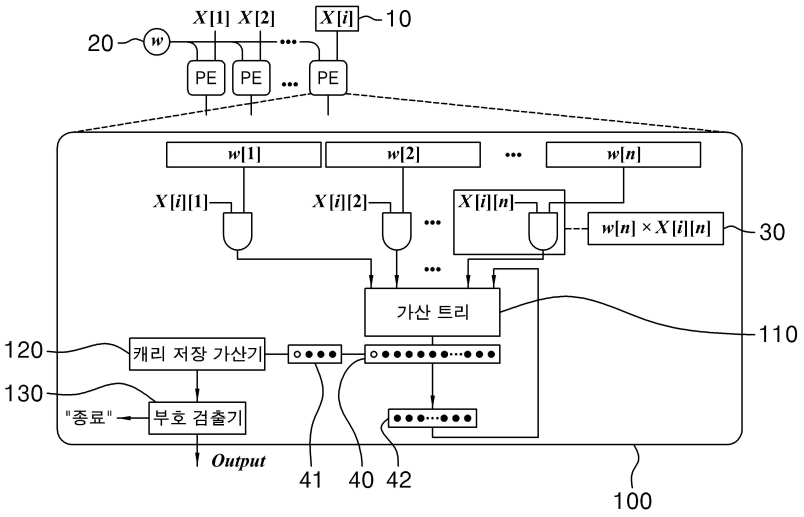
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **서포트 벡터 머신 연산 가속기**

(57) 요 약

본 발명은 서포트 벡터 머신 연산 가속기에 관한 것으로, 더욱 상세하게는 서포트 벡터 머신(Support Vector Machine, SVM)으로 대규모의 데이터셋이 입력되었을 경우, 불필요한 계산을 빠르게 파악한 후 무시할 수 있도록 최상위 자리 우선(Most Significant Digit First, MSDF) 계산을 수행하여 최상위 자릿수를 먼저 처리하여 결론이 도출되면 나머지 자리수의 연산을 수행하지 않아도 되기 때문에 연산량을 최소화하여 성능과 효율성을 향상시킴으로써 서포트 벡터 머신의 견고성과 신뢰성을 향상시킬 수 있는 서포트 벡터 머신 연산 가속기에 관한 것이다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	1345356182
과제번호	LINC3.0-2022-43
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	산학연협력고도화지원
연구과제명	3단계산학연협력선도대학육성사업(LINC3.0)(0.5)
기 여 율	1/2
과제수행기관명	조선대학교
연구기간	2022.03.01 ~ 2023.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1345347227
과제번호	2020R1I1A3063857
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	이공학학술연구기반구축
연구과제명	MSB First 온라인 연산과 응용에 특화된 어림연산 설계공간 탐색을 활용하여 엣지-AI 컴퓨팅의 기계학습 초고속처리와 에너지 효율을 높이기 위한 적응형 어림연산 하드웨어 구조 연구
기 여 율	1/2
과제수행기관명	조선대학교
연구기간	2022.03.01 ~ 2023.02.28

명 세 서

청구범위

청구항 1

이진 분류 알고리즘인 서포트 벡터 머신(Support vector machine, SVM) 연산 속도를 향상시키는 서포트 벡터 머신 연산 가속기에 있어서,

분류를 위해 입력되는 n차원의 입력 데이터와 가중치를 각각 곱한 값(이하, '연산 데이터', 라함)들을 가산하여 비트-직렬 결과값(Results of bit-serial multiplication)을 도출하는 가산 트리(Adder tree);

상기 가산 트리로부터 도출된 비트-직렬 결과값 중 최상위 자리 4비트를 입력받아 이진 부호 비트(Binary Signed-Digit, BSD)를 출력하는 캐리 저장 가산기(Carry-save adder); 및

상기 이진 부호 비트를 입력받아 '0', '-1' 또는 '1'로 인코딩하고 부호가 '+(플러스)'인지 '-(마이너스)'인지 검출하는 부호 검출기(Sign Detection)를 포함하고,

상기 부호 검출기는 인코딩된 값이 '-1' 또는 '1'일 경우, 검출된 결과를 출력하고 종료(Termination) 신호를 생성하며,

상기 인코딩된 값이 '0'일 경우, 상기 '-1' 또는 상기 '1'이 도출될 때까지 상기 가산 트리의 연산을 반복 수행하는 것을 특징으로 하는 서포트 벡터 머신 연산 가속기.

청구항 2

제 1 항에 있어서,

상기 가산 트리는 입력된 n개의 연산 데이터를 순차로 2개의 연산 데이터를 가산하는 연산을 몇단계에 걸쳐 반복 수행하여 최종적으로 하나의 비트-직렬 결과값을 도출하는 것을 특징으로 하는 서포트 벡터 머신 연산 가속기.

청구항 3

제 2 항에 있어서,

상기 가산 트리에서 도출된 비트-직렬 결과값은 최상위 자리 영역과 최하위 자리 영역으로 나누며,

상기 최상위 자리 영역의 비트들은 상기 캐리 저장 가산기의 입력값으로 사용되고, 상기 최하위 자리 영역의 비트들은 상기 가산 트리로 다시 입력되는 이동합(Shifted sum)의 데이터로 사용되는 것을 특징으로 하는 서포트 벡터 머신 연산 가속기.

청구항 4

제 3 항에 있어서,

상기 가산 트리는 첫번째 사이클에서 상기 이동합의 데이터가 도출되지 않아 상기 가산 트리로 다시 입력되는 이동합의 데이터는 0이므로, 임의로 부여한 편향값(bias value)을 상기 이동합의 데이터로 사용하여 상기 가산 트리로 다시 입력시키는 것을 특징으로 하는 서포트 벡터 머신 연산 가속기.

청구항 5

제 1 항에 있어서,

상기 캐리 저장 가산기:는

상기 비트-직렬 결과값의 최상위 자리 4비트 중 최하위 비트와 그 다음 하위 비트를 입력받아 제1 합 비트와 제1 캐리 비트를 출력하는 반가산기;

상기 비트-직렬 결과값의 최상위 자리 4비트 중 그 다음 상위 비트와 상기 반가산기로부터 도출된 제1 합 비트와 제1 캐리 비트를 입력받아 제2 합 비트와 제2 캐리 비트를 출력하는 제1 전가산기; 및

상기 비트-직렬 결과값의 최상위 자리 4비트 중 최상위 비트와 상기 제1 전가산기로부터 도출된 제2 합 비트와 제2 캐리 비트를 입력받아 제3 합 비트와 제3 캐리 비트를 출력하는 제2 전가산기를 포함하며,

상기 제2 전가산기로부터 출력된 제3 합 비트와 제3 캐리 비트는 상기 이진 부호 비트로 상기 부호 감지기로 출력하는 것을 특징으로 하는 서포트 벡터 머신 연산 가속기.

청구항 6

제 1 항에 있어서,

상기 부호 검출기는 상기 캐리 저장 가산기로부터 입력된 이진 부호 비트를 역 인코딩(Inverted Encoding)을 사용하여 인코딩한 값으로 부호를 검출하는 것을 특징으로 하는 서포트 벡터 머신 연산 가속기.

발명의 설명

기 술 분 야

[0001] 본 발명은 서포트 벡터 머신 연산 가속기에 관한 것으로, 더욱 상세하게는 서포트 벡터 머신(Support Vector Machine, SVM)으로 대규모의 데이터셋이 입력되었을 경우, 불필요한 계산을 빠르게 파악한 후 무시할 수 있도록 최상위 자리 우선(Most Significant Digit First, MSDF) 계산을 수행하여 최상위 자릿수를 먼저 처리하여 결론이 도출되면 나머지 자리수의 연산을 수행하지 않아도 되기 때문에 연산량을 최소화하여 성능과 효율성을 향상시킴으로써 서포트 벡터 머신의 견고성과 신뢰성을 향상시킬 수 있는 서포트 벡터 머신 연산 가속기에 관한 것이다.

배 경 기 술

[0003] 최근 정보기술(IT) 산업 뿐만 아니라, 금융, 의료 등 산업 전반에 걸쳐 인공지능에 대한 관심이 급증하는 추세로, 다양한 분야에서 인공 지능 즉, 머신러닝의 도입이 활발하게 이루어지고 있다.

[0004] 일반적으로, 머신 러닝(Machine Learning)은 알고리즘을 이용하여 데이터를 분석하고, 분석 결과를 스스로 학습한 후, 이를 기반으로 어떠한 판단이나 예측을 하는 기술로, 크게 분류와 회귀 알고리즘이 대표적인 지도학습, 클러스터링 및 차원 축소 알고리즘이 대표적인 비지도학습 및 강화학습으로 구분할 수 있다.

[0005] 그 중에서도, 이미지 및 텍스트와 같은 입력 데이터를 입력받아 의사 결정, 예측 및 진단 등의 목적을 위한 분야에서 서포트 벡터 머신(Support Vector Machine, SVM)이 많이 사용되고 있다.

[0006] 서포트 벡터 머신(Support Vector Machine, SVM)은 분류 및 회귀 분석을 위해 사용되는 머신 러닝 알고리즘의 일종으로, 훈련 데이터를 기반으로 n차원 공간에서 최적의 초평면(hyperplane)을 예측하고 이진 분류하는 기술이다.

[0007] 또한, 서포트 벡터 머신(Support Vector Machine, SVM)은 복잡한 데이터를 용이하게 처리하며, 학습한 데이터를 기반으로 과적합에 강하기 때문에 다양한 범위의 적용이 가능하다.

[0008] 이러한, 서포트 벡터 머신(Support Vector Machine, SVM)은 학습을 위한 양질의 데이터가 매우 중요한 역할을 하며, 양질의 데이터를 많이 보유할수록 보다 높은 성능을 나타낼 수 있다.

[0009] 종래에는, 서포트 벡터 머신(Support Vector Machine, SVM)의 정확도를 향상시키기 위해 방대한 양의 데이터를

기반으로 학습시켰으나, 이는 시간이 많이 소요되거나, 에너지 소모가 많이 발생하는 문제점이 있었다.

[0010] 이에 따라, 서포트 벡터 머신(Support Vector Machine, SVM)을 사용하여 이미지 및 텍스트 분류 등의 작업시 정확도를 향상시킬 수 있을뿐만 아니라 에너지 소모를 최소화하여 환경 및 경제적 효과를 향상시킬 수 있는 기술이 필요한 실정이다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 서포트 벡터 머신으로 입력되는 방대한 양의 입력 데이터의 연산량을 최소화하여 에너지 소모를 최소화함으로써 환경 및 경제적 효율을 향상시킬 수 있는 서포트 벡터 머신 연산 가속기를 제공하는데 있다.

[0012] 또한, 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 입력되는 데이터 모두를 연산하는 것이 아닌 입력 데이터 중 유효한 영역의 데이터만으로 연산을 수행하여 결과를 도출하기 때문에 연산 속도를 향상시킬 수 있으며, 더 방대한 양의 데이터를 입력받아 학습이 가능하기 때문에 정확도를 향상시킬 수 있어 서포트 벡터 머신의 견고성과 신뢰성 또한 향상시킬 수 있는 서포트 벡터 머신 연산 가속기를 제공하는데 있다.

과제의 해결 수단

[0014] 상기의 목적을 달성하기 위하여 본 발명은 이진 분류 알고리즘인 서포트 벡터 머신(Support vector machine, SVM) 연산 속도를 향상시키는 서포트 벡터 머신 연산 가속기에 있어서, 분류를 위해 입력되는 n차원의 입력 데이터와 가중치를 각각 곱한 값(이하, '연산 데이터', 라함)들을 가산하여 비트-직렬 결과값(Results of bit-serial multiplication)을 도출하는 가산 트리(Adder tree); 상기 가산 트리로부터 도출된 비트-직렬 결과값 중 최상위 자리 4비트를 입력받아 이진 부호 비트(Binary Signed-Digit, BSD)를 출력하는 캐리 저장 가산기(Carry-save adder); 및 상기 이진 부호 비트를 입력받아 '0', '-1' 또는 '1'로 인코딩하고 부호가 '+(플러스)'인지 '-(마이너스)'인지 검출하는 부호 검출기(Sign Detection)를 포함하고, 상기 부호 검출기는 인코딩된 값이 '-1' 또는 '1'일 경우, 검출된 결과를 출력하고 종료(Termination) 신호를 생성하며, 상기 인코딩된 값이 '0'일 경우, 상기 '-1' 또는 상기 '1'이 도출될 때까지 상기 가산 트리의 연산을 반복 수행하는 것을 특징으로 하는 서포트 벡터 머신 연산 가속기를 제공한다.

[0015] 바람직한 실시예에 있어서, 상기 가산 트리는 입력된 n개의 연산 데이터를 순차로 2개의 연산 데이터를 가산하는 연산을 몇단계에 걸쳐 반복 수행하여 최종적으로 하나의 비트-직렬 결과값을 도출한다.

[0016] 바람직한 실시예에 있어서, 상기 가산 트리에서 도출된 비트-직렬 결과값은 최상위 자리 영역과 최하위 자리 영역으로 나누며, 상기 최상위 자리 영역의 비트들은 상기 캐리 저장 가산기의 입력값으로 사용되고, 상기 최하위 자리 영역의 비트들은 상기 가산 트리로 다시 입력되는 이동합(Shifted sum)의 데이터로 사용한다.

[0017] 바람직한 실시예에 있어서, 상기 가산 트리는 첫번째 사이클에서 상기 이동합의 데이터가 도출되지 않아 상기 가산 트리로 다시 입력되는 이동합의 데이터는 0이므로, 임의로 부여한 편향값(bias value)을 상기 이동합의 데이터로 사용하여 상기 가산 트리로 다시 입력시킨다.

[0018] 바람직한 실시예에 있어서, 상기 캐리 저장 가산기:는 상기 비트-직렬 결과값의 최상위 자리 4비트 중 최하위 비트와 그 다음 하위 비트를 입력받아 제1 합 비트와 제1 캐리 비트를 출력하는 반가산기; 상기 비트-직렬 결과값의 최상위 자리 4비트 중 그 다음 상위 비트와 상기 반가산기로부터 도출된 제1 합 비트와 제1 캐리 비트를 입력받아 제2 합 비트와 제2 캐리 비트를 출력하는 제1 전가산기; 및 상기 비트-직렬 결과값의 최상위 자리 4비트 중 최상위 비트와 상기 제1 전가산기로부터 도출된 제2 합 비트와 제2 캐리 비트를 입력받아 제3 합 비트와 제3 캐리 비트를 출력하는 제2 전가산기를 포함하며, 상기 제2 전가산기로부터 출력된 제3 합 비트와 제3 캐리 비트는 상기 이진 부호 비트로 상기 부호 감지기로 출력한다.

[0019] 바람직한 실시예에 있어서, 상기 부호 검출기는 상기 캐리 저장 가산기로부터 입력된 이진 부호 비트를 역 인코딩(Inverted Encoding)을 사용하여 인코딩한 값으로 부호를 검출한다.

발명의 효과

[0021] 본 발명은 다음과 같은 우수한 효과가 있다.

[0022] 본 발명의 서포트 벡터 머신 연산 가속기에 따르면, 서포트 벡터 머신으로 입력되는 데이터의 전체 영역을 연산하는 것이 아닌 최상위 자리 영역만을 먼저 연산 처리하여 결과를 도출함으로써, 연산의 속도 향상뿐만 아니라 연산의 성능 및 정확성 또한 향상시킬 수 있고, 연산량이 대폭 감소되기 때문에 에너지 소비량 또한 감소시킬 수 있는 장점이 있다.

[0023] 또한, 본 발명의 서포트 벡터 머신 연산 가속기에 따르면, 서포트 벡터 머신으로 입력되는 데이터 중 최상위 자리 영역을 기반으로 결과 도출이 안된 경우, 해당 연산 결과를 다음 연산 처리에 사용하여 결과를 도출함으로써, 연산의 효율을 향상시킬 수 있으며 신뢰성 및 견고성 또한 향상시킬 수 있는 장점이 있다.

도면의 간단한 설명

[0025] 도 1은 본 발명의 일 실시예에 따른 서포트 벡터 머신 연산 가속기를 설명하기 위한 도면,

도 2는 본 발명의 일 실시예에 따른 서포트 벡터 머신 연산 가속기의 가산 트리 연산 방법을 설명하기 위한 도면,

도 3은 본 발명의 일 실시예에 따른 서포트 벡터 머신 연산 가속기의 캐리 저장 가산기 연산 방법을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0026] 본 발명에서 사용되는 용어는 가능한 현재 널리 사용되는 일반적인 용어를 선택하였으나, 특정한 경우는 출원인이 임의로 선정한 용어도 있는데 이 경우에는 단순한 용어의 명칭이 아닌 발명을 실시하기 위한 구체적인 내용에 기재되거나 사용된 의미르 고려하여 그 의미가 파악되어야 할 것이다.

[0027] 이하, 첨부한 도면에 도시된 바람직한 실시예들을 참조하여 본 발명의 기술적 구성을 상세하게 설명한다.

[0028] 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 명세서 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.

[0029] 도 1은 본 발명의 일 실시예에 따른 서포트 벡터 머신 연산 가속기를 설명하기 위한 도면이다.

[0030] 도 1을 참조하면, 본 발명의 서포트 벡터 머신 연산 가속기(100)는 n차원의 입력 데이터(10)를 연산하여 도출된 결과를 기반으로 분류하는 서포트 벡터 머신(Support Vector Machine, SVM)의 연산 속도를 향상시키는 연산 가속기이다.

[0031] 여기서, 상기 입력 데이터(10)는 이미지 또는 텍스트 등을 포함하는 데이터일 수 있다.

[0032] 또한, 본 발명의 서포트 벡터 머신 연산 가속기(100)는 가산 트리(Adder tree, 110), 캐리 저장 가산기(Carry-save adder, 120) 및 부호 검출기(Sign Detection, 130)을 포함하여 이루어진다.

[0033] 상기 가산 트리(110)는 상기 n차원의 입력 데이터(10)와 가중치(20)를 곱한 값(이하, '연산 데이터', 라함, 30)들을 입력받아 가산함으로써 비트-직렬 결과값(Results of bit-serial multiplication, 40)을 도출한다.

[0034] 도 2는 본 발명의 일 실시예에 따른 서포트 벡터 머신 연산 가속기의 가산 트리 연산 방법을 설명하기 위한 도면으로, 도 2를 참조하면, 상기 가산 트리(110)는 입력된 n개의 연산 데이터(30)에서 순차로 2개의 연산 데이터(30)를 가산하는 연산을 여러 단계를 걸쳐 최종적으로 하나의 값이 도출될 때까지 수행한다.

[0035] 상세하게는, 상기 가산 트리(110)는 먼저 상기 n개의 연산 데이터(30)를 순차로 2개씩 가산하여 가산된 n/2개의 연산 데이터(30)들을 도출하고, 도출된 n/2개의 연산 데이터(30)들을 다시 순차로 2개씩 가산하여 두번 가산된 n/4개의 연산 데이터(30)들을 도출하며, 최종적으로 하나의 값이 도출될 때까지 가산 연산을 수행한다.

[0036] 또한, 상기 가산 트리(110)는 도출된 비트-직렬 결과값(40)을 최상위 자리 영역(Most significant part, MSP, 41)과 최하위 자리 영역(Least significant part, LSP, 42)으로 구분한다.

[0037] 또한, 상기 가산 트리(110)는 도출된 비트-직렬 결과값(40) 중 상기 최상위 자리 영역(41)을 상기 캐리 저장 가

산기(120)로 입력되도록 출력하고, 상기 최하위 자리 영역(42)은 상기 가산 트리(110)로 다시 입력되어 연산되도록 출력한다.

[0038] 여기서, 상기 최하위 자리 영역(42)은 상기 가산 트리(110)로 다시 입력되는 이동합(Shifted sum)의 데이터로 정의한다.

[0039] 또한, 상기 가산 트리(110)는 상기 이동합(Shifted sum)의 데이터는 최종 도출된 비트-직렬 결과값(40)의 비트 수에서 상기 최상위 자리 영역(41)의 4비트를 제외한 상기 최하위 자리 영역(42)의 비트 수에 2비트를 가해진 비트 수와 동일한 상기 가산 트리(110)의 가산 단계로 다시 입력된다.

[0040] 이때, 상기 최하위 자리 영역(42)의 비트 수에 가해진 2비트는 상기 최하위 자리 영역(42)의 최상위 자리에 추가로 배치되어 네거비트(Nagabit)를 표현하는 비트와 상기 최하위 자리 영역(42)의 최하위 자리에 추가로 배치되어 비트 자리수를 한 자리 가산하는 비트이다.

[0041] 즉, 상기 가산 트리(110)는 m개의 비트 자리수를 갖는 비트-직렬 결과값(40)에서 상기 최상위 자리 영역(41)의 4비트를 제외(m-4개의 비트 자리수)하고, 다음 사이클로 입력되기 전 2비트를 추가(m-4+2개의 비트 자리수)한 이동합(Shifted sum)의 데이터를 다음 사이클에서 비트 수가 일치하는 가산 단계로 입력시켜 가산 작업을 수행한다.

[0042] 한편, 상기 가산 트리(110)가 상기 연산 데이터(30)를 입력받아 연산을 수행하는 첫번째 사이클에서는 상기 가산 트리(110)로 입력되는 이동합(Shifted sum)의 데이터인 최하위 자리 영역(42)이 도출되지 않아 상기 이동합(Shifted sum)의 데이터값이 0이므로, 원하는 값을 도출할 수 없는 문제점이 있다.

[0043] 이에 따라, 상기 가산 트리(110)의 첫번째 사이클에서는 상기 이동합(Shifted sum)의 데이터로 임의로 부여한 편향값(Bias value)을 사용하여 상기 가산 트리(110)로 다시 입력시킨다.

[0044] 도 3은 본 발명의 일 실시예에 따른 서포트 벡터 머신 연산 가속기의 캐리 저장 가산기 연산 방법을 설명하기 위한 도면으로, 도 3을 참조하면, 상기 캐리 저장 가산기(120)는 상기 가산 트리(110)로부터 출력된 최상위 자리 영역(41)인 4비트를 입력받아 이진 부호 비트(Binary Signed-Digit, BSD, 50)를 출력한다.

[0045] 본 발명에서는, 상기 최상위 자리 영역(41)의 4비트를 최상위비트(41a), 그 다음 상위비트(41b), 그 다음 하위비트(41c) 및 최하위비트(41d)로 정의한다.

[0046] 또한, 상기 이진 부호 비트(50)는 '0'과 '1'로 표현되는 포지비트(Posibit, 51)과 '0̄'과 '1̄'로 표현되는 네거비트(Nagabit, 52)를 포함하여 이루어진다.

[0047] 또한, 상기 캐리 저장 가산기(120)는 반가산기(121), 제1 전가산기(122) 및 제2 전가산기(123)를 포함하여 구성된다.

[0048] 상기 반가산기(121)는 상기 최상위 자리 영역(41)의 4비트 중 상기 그 다음 하위비트(41c) 및 상기 최하위비트(41d)를 입력받아 제1 합 비트(S1)와 제1 캐리 비트(C1)를 도출하여 상기 제1 전가산기(122)로 출력한다.

[0049] 상기 제1 전가산기(122)는 상기 반가산기(121)로부터 입력된 상기 제1 합 비트(S1)와 상기 제1 캐리 비트(C1) 및 상기 최상위 자리 영역(41)의 4비트 중 상기 그 다음 상위비트(41b)를 입력받아 제2 합 비트(S2)와 제2 캐리 비트(C2)를 도출하여 상기 제2 전가산기(123)로 출력한다.

[0050] 상기 제2 전가산기(123)는 상기 제1 전가산기(122)로부터 입력된 상기 제2 합 비트(S2)와 상기 제2 캐리 비트(C2) 및 상기 최상위 자리 영역(41)의 4비트 중 상기 최상위비트(41a)를 입력받아 제3 합 비트(S3)와 제3 캐리 비트(C3)를 도출하여 출력한다.

[0051] 즉, 상기 캐리 저장 가산기(120)로부터 도출된 상기 이진 부호 비트(50)는 상기 제2 전가산기(123)로부터 출력된 제3 합 비트(S3)와 제3 캐리 비트(C3)이며, 더욱 상세하게는, 상기 이진 부호 비트(50)는 상기 포지비트(Posibit, 51)로 도출된 상기 제3 캐리 비트(C3)를, 상기 네거비트(Nagabitj, 52)로 도출된 상기 제3 합 비트(S3)를 출력한다.

[0052] 여기서, 상기 캐리 저장 가산기(120)로부터 출력되는 상기 이진 부호 비트(50)는 '00̄', '01̄', '10̄' 및 '11̄' 중 어느 하나의 값으로 도출된다.

[0053] 상기 부호 감지기(130)는 상기 캐리 저장 가산기(120)로부터 입력된 상기 이진 부호 비트(50)를 '0', '-1' 및

'1'로 인코딩하고 부호가 '+(플러스)'인지 '-(마이너스)'인지 검출한다.

[0054] 한편, 상기 부호 감지기(130)는 상기 이진 부호 비트(50)를 역 인코딩(Inverted Encoding)을 사용하여 '0', '-1' 및 '1'로 인코딩한다.

[0055] 상세하게는, 상기 부호 감지기(130)는 입력된 상기 이진 부호 비트(50)가 '00¯' 또는 '11¯'일 경우, '0'으로 인코딩하고, 상기 이진 부호 비트(50)가 '01¯'일 경우, '-1'로 인코딩하며, 상기 이진 부호 비트(50)가 '10¯'일 경우, '1'로 인코딩한다.

[0056] 이때, 상기 부호 감지기(130)는 인코딩된 값이 '0'일 경우, 상기 인코딩된 값인 '0'을 무시하고, 상기 인코딩된 값이 '-1' 또는 '1'일 때까지 상기 가산 트리(110)의 연산을 반복 수행한다.

[0057] 또한, 상기 부호 감지기(130)는 상기 인코딩된 값이 '-1' 또는 '1'일 경우, 상기 인코딩된 값인 상기 '-1' 또는 '1'을 기반으로 상기 입력 데이터(10)를 상기 '+(플러스)' 또는 상기 '-(마이너스)'로 분류하며, '종료' 신호를 생성하여 상기 서포트 벡터 머신 연산 가속기(100)로 전송하여 해당 입력 데이터(10)에 관한 연산을 종료시킨다.

[0058] 따라서, 본 발명의 서포트 벡터 머신 연산 가속기(100)는 입력되는 연산 데이터(30)의 모든 자리 영역을 연산하여 결과를 도출하는 것이 아닌 최상위 자리 영역(41)만 연산하여 결과를 도출할 수 있어 연산 속도를 향상시킬 수 있을 뿐만 아니라, 상기 최상위 자리 영역(41)으로 결과가 도출되지 않을 경우, 해당 연산 결과를 다음 연산 처리에 사용하여 결과를 도출함으로써, 연산의 성능 및 정확도 또한 향상시킬 수 있어 방대한 양의 데이터를 처리하여도 연산량을 최소화하기 때문에 연산 효율을 증대시키고 연산에 사용되는 에너지 소모를 절감할 수 있으며, 서포트 벡터 머신의 신뢰성과 견고성 또한 향상시킬 수 있는 장점이 있다.

[0059] 이상에서 살펴본 바와 같이 본 발명은 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

부호의 설명

[0061] 10 : 입력 데이터 20 : 가중치

30 : 연산 데이터 40 : 직렬-비트 결과값

41 : 최상위 자리 영역 41a : 최상위 비트

41b : 그 다음 상위 비트 41c : 그 다음 하위 비트

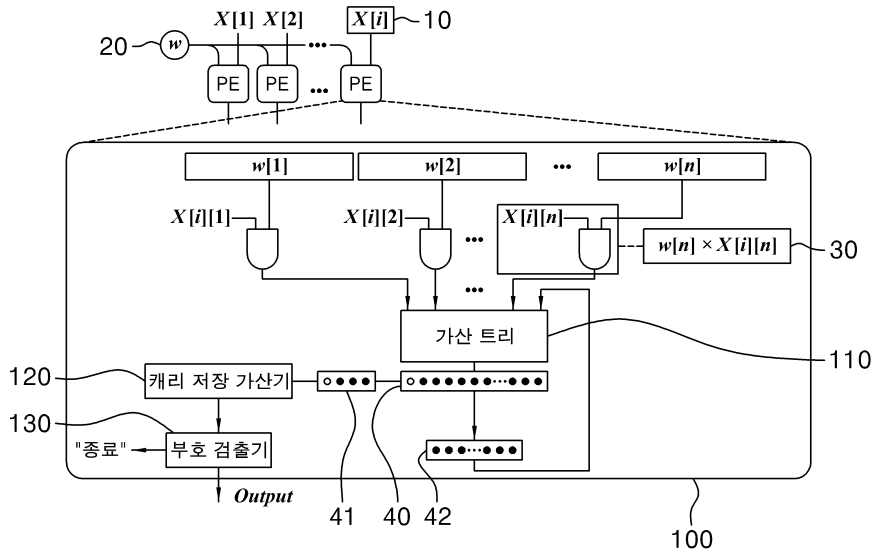
41d : 최하위 비트 42 : 최하위 자리 영역

50 : 이진 부호 비트 51 : 네거비트

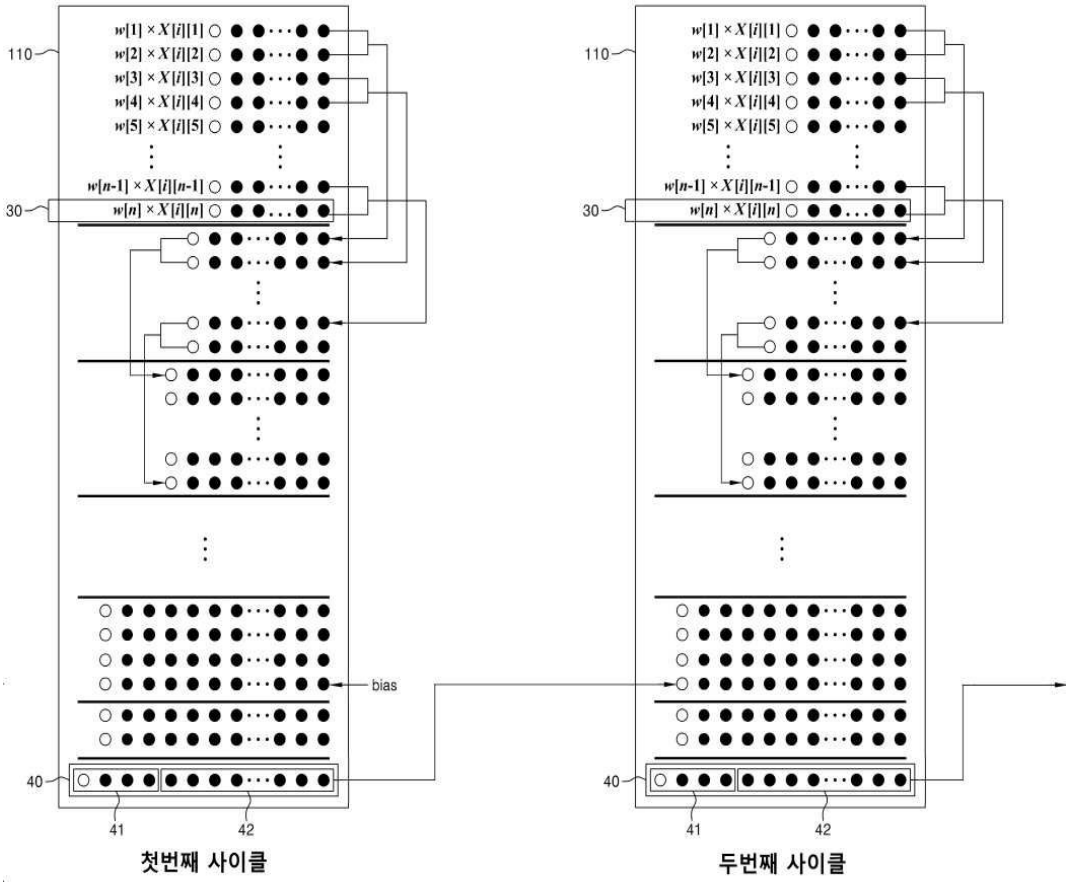
52 : 파지비트

도면

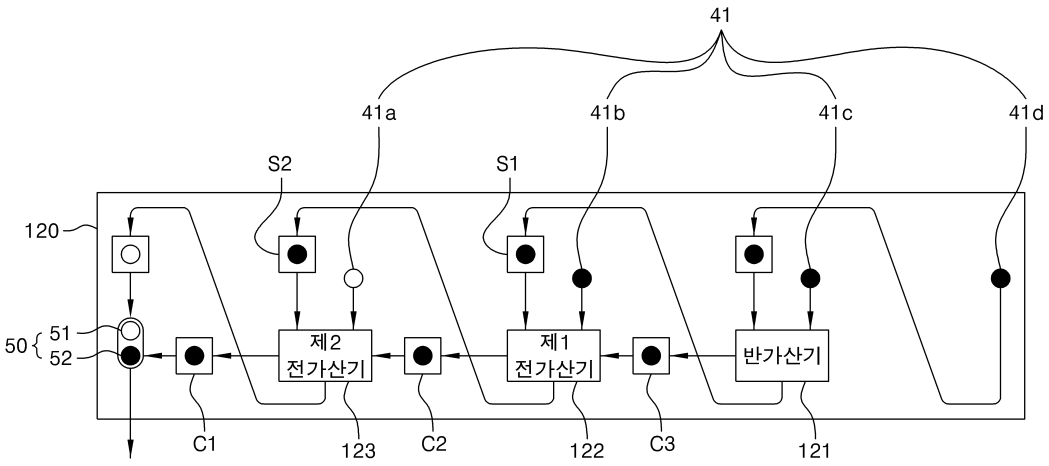
도면1


X[1] X[2]
X[i]
10
20
w
PE
PE
PE
w[1]
w[2]
w[n]
X[i][1]
X[i][2]
X[i][n]
w[n] × X[i][n]
30
가산 트리
110
120
캐리 저장 가산기
130
"종료"
부호 검출기
Output
41
40
42
100

도면2


110
w[1] × X[i][1]
w[2] × X[i][2]
w[3] × X[i][3]
w[4] × X[i][4]
w[5] × X[i][5]
w[n-1] × X[i][n-1]
30
w[n] × X[i][n]
bias
40
41
42
첫번째 사이클
두번째 사이클

도면3


41
41a
41b
41c
41d
S2
S1
120
50
51
52
제2
전가산기
제1
전가산기
반가산기
C1
123
C2
122
C3
121