

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月5日(05.12.2024)



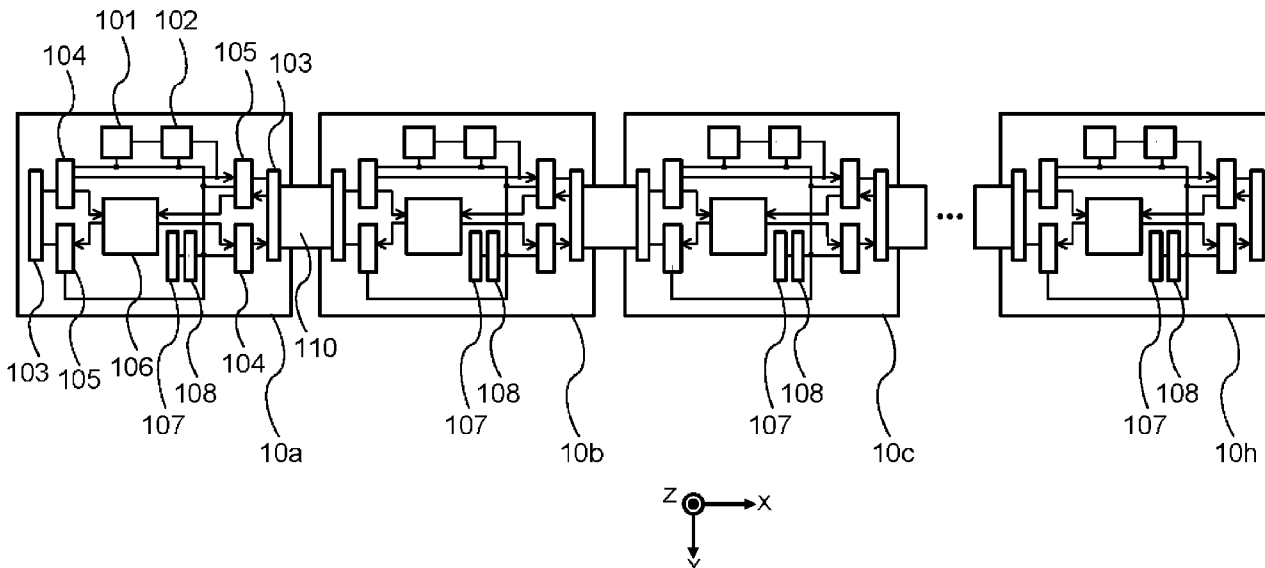
(10) 国際公開番号
WO 2024/247464 A1

- (51) 国際特許分類:
H04N 1/028 (2006.01) *H04N 23/54* (2023.01)
H03K 19/173 (2006.01) *H05K 1/18* (2006.01)
- (21) 国際出願番号: PCT/JP2024/012173
- (22) 国際出願日: 2024年3月27日(27.03.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-091875 2023年6月2日(02.06.2023) JP
- (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 重田 博昭 (SHIGETA Hiroaki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東京都千代田区神田錦町二丁目7番地 協販ビル2階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: CIRCUIT BOARD, IMAGE SENSOR, AND IMAGE SENSOR MANUFACTURING METHOD

(54) 発明の名称: 回路基板、イメージセンサ及びイメージセンサの製造方法

図2



(57) Abstract: Each of circuit boards functioning as boards (10a-10h) comprises: a switch (107) including four or more selection pins; a logic circuit (108) for outputting an ON signal from a single output terminal selected from among four or more output terminals, which are independent of each other, when an ON signal is input from only one predetermined selection pin among the selection pins and an OFF signal is input from the remainder of the selection pins; and an electrical component which switches between enabled and disabled on the basis of the output of the logic circuit (108).

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 基板 (10a ~ 10h) として機能する回路基板のそれぞれは、4以上の選択ピンを含むスイッチ (107) と、選択ピンのうち予め定めた1の選択ピンのみからON信号が入力され、その他全ての選択ピンからOFF信号が入力されたときに、互いに独立の4以上の出力端子より選択された1の出力端子からON信号を出力する論理回路 (108) と、論理回路 (108) の出力に基づいて、有効と無効とを切り替える電気部品と、を備える。

明 細 書

発明の名称：

回路基板、イメージセンサ及びイメージセンサの製造方法

技術分野

[0001] 本開示は、回路基板、イメージセンサ及びイメージセンサの製造方法に関する。

背景技術

[0002] 長手方向に配列されたセンサＩＣ（Integrated Circuit）を用いて画像の読取を行うイメージセンサは、センサ部の長尺化及び高速化に伴い、信号処理部はＦＰＧＡ（Field Programmable Gate Array）、ＡＦＥ（Analog Front End）等の多数の信号処理ＩＣを含む。１つの回路基板に実装できる信号処理ＩＣは、数が限られるため、複数の回路基板に分けて実装される。複数の回路基板は互いに同期され、各センサＩＣから読み出された画像信号の処理を行う。

[0003] 信号処理部を構成する複数の回路基板は、機能、配列順等により実装部品の種類及び基板の長さが互いに異なる場合があり、その場合、部品管理及び実装が複雑になり、コストアップ又は実装ミスを誘発する原因となっている。これに対し、基板種類を減らすために、スイッチにより部品の有効と無効との切替又は配線の切替を行う方法が用いられている（例えば、特許文献１）。

[0004] 特許文献１に記載の半導体集積回路は、３つの論理演算回路の出力論理を保持するキーパ回路と論理演算回路の各出力端子に接続された３つのインバータを備えることにより、いずれか１つの第１論理演算回路の出力がローレベルのときに他の第１論理演算回路の出力を強制的にハイレベルに設定する。これにより、いずれか１つの出力端子のみをハイレベルに設定することができる」と説明されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2001-244808号公報

発明の概要

発明が解決しようとする課題

[0006] イメージセンサは単一の同期信号を用いて1ライン分の画像を読み出す必要があり、複数の基板が同期してセンサ信号を取得し、画像信号が出力される。このため、少なくとも源信クロック及び同期信号を出力する基板と、受け取る基板との2種類が必要となる。また、一度に画像を読み取る長手方向の長さを画像読取装置の仕様に適合した長さにするために、信号処理が可能な長手方向の画素数が異なる複数種類の基板が必要となる。

[0007] 特許文献1に記載の半導体集積回路は、Q1～Q8の8つの入力された信号をもとに、3端子のうち1端子を選択して出力する論理回路を含む。これに対し、イメージセンサにおいて、共通の基板を用いて部品又は配線の選択を行い、機能の異なる複数種類の基板を製造する場合には、特許文献1に例示される論理回路では入力数に対して出力数が少ないため不十分である。

[0008] 本開示は、上述のような事情に鑑みてなされたものであり、部品又は配線の異なる複数種類の基板として機能することのできる回路基板、イメージセンサ及びイメージセンサの製造方法を提供することを目的とする。

課題を解決するための手段

[0009] 上記目的を達成するため、本開示の回路基板は、4以上の選択ピンを含むスイッチと、選択ピンのうち予め定めた1の選択ピンのみからON信号が入力され、その他全ての選択ピンからOFF信号が入力されたときに、互いに独立の4以上の出力端子より選択された1の出力端子からON信号を出力する論理回路と、論理回路の出力に基づいて、有効と無効とを切り替える電気部品と、を備える。

発明の効果

[0010] 本開示によれば、スイッチの選択ピンからの入力に基づく論理回路の出力

により、電気部品の有効と無効とを切り替えるため、回路基板が部品又は配線の異なる複数種類の基板として機能することが可能となる。

図面の簡単な説明

[0011] [図1]本開示の実施の形態1に係るイメージセンサの基板間配線を示した断面図

[図2]イメージセンサの画像処理用の一連の基板の上面図

[図3]イメージセンサの画像処理用の基板の上面図

[図4]論理回路の全体回路図

[図5]第1論理回路の回路図

[図6]第1論理回路の真理値表を示す図

[図7A]第2論理回路の第1ピンと第5ピンの真理値表を示す図

[図7B]第2論理回路の第2ピンと第6ピンの真理値表を示す図

[図7C]第2論理回路の第3ピンと第7ピンの真理値表を示す図

[図7D]第2論理回路の第4ピンと第8ピンの真理値表を示す図

[図8]第3論理回路の真理値表を示す図

[図9]第4論理回路の真理値表を示す図

[図10]論理回路の入出力を示す図

[図11]実施の形態2に係る論理回路の回路図

[図12]他の例のイメージセンサの基板間配線を示した断面図

発明を実施するための形態

[0012] (実施の形態1)

以下、この開示の実施の形態に係るイメージセンサ1について、図面を参照して説明する。イメージセンサ1は、センサICを直線状に配列した任意のラインセンサであって、例えば、センサICと光源とレンズアレイを一体化した密着イメージセンサ(Contact Image Sensor ; CIS)である。

[0013] 図1は、本実施の形態に係るイメージセンサ1の基板間配線を例示した断面図である。イメージセンサ1の長手方向をX軸方向とし、短手方向をY軸方向とし、長手方向及び短手方向に垂直の高さ方向をZ軸方向として示して

いる。本実施の形態に係るイメージセンサ１における長手方向及び短手方向は、それぞれイメージセンサ１における主走査方向及び副走査方向に相当する。

[0014] 図１に例示するように、イメージセンサ１は、光学部品と信号処理用の基板２１、２２を保持するフレーム７０、及び、フレーム７０の全体を覆うカバー８０を備える。カバー８０には、例えば、各基板に電源供給するコネクタ５１と照明を制御する信号を出力するコネクタ５２を含む各種コネクタと、空冷用のＦＡＮ５３と、イメージセンサ１の制御を行う基板４０、４１と、が固定されている。フレーム７０及びカバー８０は、例えば、アルミニウムで形成されている。

[0015] フレーム７０に固定されている基板２１、２２は、センサ１Ｃが出力するアナログ信号をデジタル信号に変換するＡ／Ｄ（Analog to Digital）変換回路を有する基板である。１以上の基板２１と１以上の基板２２が、主走査方向に配列されている。イメージセンサ１の主走査方向の長さを予め定めた長さにするために、基板２１と基板２２の主走査方向の長さは互いに異なり、基板２１の長さよりも基板２２の長さの方が長い。

[0016] 基板２１、２２のそれぞれには、スペーサーを介して基板１０ａ～１０ｈ（以下、まとめて基板１０と呼称する場合もある）が固定されている。基板１０ａ～１０ｈは、基板２１、２２が出力するデジタル信号に必要な画像処理を加える基板であり、基板１０ａ～１０ｈのそれぞれが源信クロック、同期信号又は制御信号の入出力を行う。

[0017] 基板１０ａ～１０ｈは、互いに同じ大きさ、部品及び配線を有し、物理スイッチによって、機能を切り替える。基板１０の枚数は任意であるが、源信クロックに基づく同期信号を送信する基板と、受信する基板と、の少なくとも２枚以上である。また、一度に画像を読み取る主走査方向の長さを予め定めた長さにするために、信号処理が可能な主走査方向の画素数が異なる複数種類の基板が２枚以上配列される。本実施の形態では、物理スイッチが８チャンネルのディップスイッチであり、基板１０が基板１０ａ～１０ｈの８枚で

ある場合について説明する。基板 10a～10hの詳細は後述する。

[0018] 基板 10a～10hのそれぞれには、スペーサー 31を介して基板 30が固定されている。基板 30は、基板 10a～10hのそれぞれに対して、電源を供給すると共に通信信号の送受信を行う。

[0019] イメージセンサ 1のフレーム 70には、更に読取対象物に光を照射する光源及び光源の制御基板を備えてもよい。光源は例えば、LED (Light Emitting Diode) である。

[0020] カバー 80に固定されている基板 40は、基板 10a～10hに配線で接続されており、基板 10a～10hで画像処理された画像信号を、予め定められた規格に変換して外部に出力する。外部に出力する信号の規格は、任意であり、例えば、Camera Link (登録商標)、CoaXPress (登録商標)、GigEVision (登録商標)、USB3Vision (登録商標) である。

[0021] また、カバー 80に固定されている基板 41は、イメージセンサ 1全体を一元管理するマイコンを有する基板であり、基板 30に配線で接続されており、基板 10、30及び外部と制御信号の送受信を行う。

[0022] イメージセンサ 1の動作は以下のとおりである。まず、光源から照射した光の読取対象での透過光又は反射光をセンサ ICが受光し、アナログ信号を出力する。基板 21、22のA/D変換回路は、センサ ICから入力されるアナログ信号をデジタル信号に変換する。変換されたデジタル信号は、基板 10a～10hにおいて、画像データの並び替えを含む信号処理が行われ、配線を通じて基板 40に伝送される。基板 40は受信した画像信号を、予め定められた規格に変換して外部に出力する。

[0023] また、基板 40は、外部から入力された制御信号を受信し、基板 41のマイコンに出力する。基板 41のマイコンは受信した制御信号に基づいて、配線及び基板 30を通じて基板 10a～10hに制御信号を送信し、基板 10a～10hを制御する。本実施の形態に係るイメージセンサ 1の基板 10a～10hは1種類の回路基板であることを特徴とする。

- [0024] 図2は、画像処理用の一連の基板10a～10hが主走査方向に配列し、隣り合った基板が互いに接続された状態の上面図であり、図3は、1枚の基板10を示した上面図である。基板10a～10hは互いに同じ部品を実装し、同じ配線を有する1種類の回路基板において、スイッチ107の切り替えにより部品の有効と無効とを切り替えるものである。
- [0025] 図2, 3に示すように、例えば、基板10には、メインクロック101と、メインクロック101から出力される源信クロック信号を整えるバッファ102と、基板間を電氣的に接続するケーブル用のコネクタ103と、前段基板から入力される信号を整えるバッファ104と、前段基板に送信する信号を整えるバッファ105と、信号処理ICと、が実装されている。信号処理ICは、例えばFPGA (Field Programmable Gate Array) である。
- [0026] 基板10には、更に、基板10の電気部品の有効／無効を含む状態を選択するスイッチ107と、スイッチ107の出力を論理演算して出力する論理回路108と、が実装されている。図3に示すように、論理回路108の4以上の出力端子は、メインクロック101及び各バッファ102, 104, 105のイネーブル端子に配線109を介して接続されている。基板10のコネクタ103は、ケーブル110により隣り合う基板10のコネクタ103に接続されている。
- [0027] スイッチ107と論理回路108について、図4～10を用いて詳細に説明する。スイッチ107は、4以上のチャネルを有する物理スイッチであり、例えば、8チャネルのディップスイッチ（図中DIP-SWと記載する）である。スイッチ107の一方の端子はGNDに接続され、他方の端子である選択ピンはプルアップされている。選択ピンである第1ピン P_1 ～第8ピン P_8 は、スイッチ107がON（短絡）されたときにLowレベルとなり、スイッチ107がOFF（開放）されたときにHighレベルとなる。
- [0028] 論理回路108は、スイッチ107の4以上の選択ピンのうち1ピンのみからON信号が入力され、その他全てのピンからOFF信号が入力されたときに、論理演算により、互いに独立した4以上の出力端子より選択された、

いずれか1つの出力端子からON信号を出力する回路である。本実施の形態では、スイッチ107が8チャネルである場合について説明する。すなわち、論理回路108は、スイッチ107の第1ピン P_1 ～第8ピン P_8 のうち1ピンのみからLowレベルのON信号が入力され、その他全てのピンからHighレベルのOFF信号が入力されたときに、論理演算により、互いに独立した出力端子 S_1 ～ S_8 より選択された、いずれか1つの出力端子からLowレベルのON信号を出力する。論理回路108のLow又はHighの出力をイネーブル信号として、バッファ102, 104, 105のイネーブル端子に入力することで、バッファの有効又は無効を制御する。

[0029] 例えば、論理回路108は、スイッチ107の第1ピン P_1 をLowにしたときに、論理回路108の出力端子 S_1 のみがLowとなる論理演算を行う。この場合、スイッチ107の第1のチャネルのみをONにすることにより、論理回路108の出力端子 S_1 から出力されるON信号をバッファ102に入力することにより、バッファ102は有効になり、メインクロック101のクロック信号が回路内に出力される。

[0030] 一方、第1の基板10aのスイッチ107の第2～8のチャネルの少なくともいずれか1つのチャネルをONにした場合には、論理回路108の出力端子 S_1 はHighとなるため、バッファ102は無効となりクロック信号は回路内に出力されない。これにより、スイッチ107を用いて、クロック信号を出力する基板を確実に選択できる。また、誤ってスイッチ107の複数のチャネルをONにした場合には、論理回路108の出力はHighとなるため、誤操作により信号が衝突する問題を回避することができる。

[0031] 同様に、論理回路108の出力をメインクロック101のイネーブル端子に入力して、クロックの発振又は停止を制御してもよい。また、バッファ104, 105のイネーブル端子に、論理回路108の出力を入力して、基板間の信号の伝送を制御することができる。

[0032] 論理回路108の構成例について、図4～10を用いて説明する。図4は論理回路108の全体構成を示す図であり、図5は論理回路108の一部で

ある第1論理回路1081の構成を示す図である。図4に示すように、論理回路108は、第1論理回路1081、第2論理回路1082、第3論理回路1083及び第4論理回路1084を含む。図6は第1論理回路1081の真理値表であり、図7A～図7Dは第2論理回路1082の真理値表であり、図8は第3論理回路1083の真理値表であり、図9は第4論理回路1084の真理値表である。図10は、論理回路108の入出力を示した図である。

[0033] スイッチ107の各チャネルの選択ピンである第1ピン P_1 ～第8ピン P_8 は、第1論理回路1081の入力に接続される。図5に示すように第1論理回路1081の一段目の4つの論理積（AND）回路1101には、互いに離隔した第1ピン P_1 と第5ピン P_5 、第2ピン P_2 と第6ピン P_6 、第3ピン P_3 と第7ピン P_7 、第4ピン P_4 と第8ピン P_8 が接続される。

[0034] 論理積回路1101の出力は否定（NOT）回路1102で反転されて、論理積回路1103及び否定論理和（NOR）回路1104に入力される。論理積回路1103の出力は否定論理和回路1105に入力され、否定論理和回路1105の出力は否定回路1106で反転されて否定論理和回路1108に入力される。

[0035] 否定論理和回路1104の出力は論理積回路1107に入力され、その出力は否定論理和回路1108に入力される。否定論理和回路1108の出力は否定回路1109で反転された後、否定論理和回路1110に入力され、その出力は否定回路1111で反転されて、第1論理回路1081の出力端子 S_{L1} から出力される。

[0036] このような構成を有する第1論理回路1081の真理値表を、図6に示す。図6の真理値表において縦軸の4桁の各桁がそれぞれスイッチ107の第3ピン P_3 、第7ピン P_7 、第4ピン P_4 、第8ピン P_8 の値に対応している。また、横軸の4桁の各桁がそれぞれスイッチ107の第1ピン P_1 、第5ピン P_5 、第2ピン P_2 、第6ピン P_6 の値に対応している。ここで、値0がLowの値であり値1がHighの値である。

[0037] 図6に示すように、第1ピン P_1 及び第5ピン P_5 の少なくともいずれか一方のみがLowの時、第2ピン P_2 及び第6ピン P_6 の少なくともいずれか一方のみがLowの時、第3ピン P_3 及び第7ピン P_7 の少なくともいずれか一方のみがLowの時、第4ピン P_4 及び第8ピン P_8 の少なくともいずれか一方のみがLowの時、の12通りの場合に、第1論理回路の出力端子 S_{L1} の値はLowになる。それ以外の場合は、第1論理回路の出力端子 S_{L1} の値はHighになる。

[0038] 図4に示すように、第2論理回路1082は、4つの排他的論理和（XOR）回路1201を備え、各排他的論理和回路1201の入力には、それぞれ、第1ピン P_1 と第5ピン P_5 、第2ピン P_2 と第6ピン P_6 、第3ピン P_3 と第7ピン P_7 、第4ピン P_4 と第8ピン P_8 が接続される。排他的論理和回路1201の出力は否定回路1202で反転され、第3論理回路1083に出力される。

[0039] 図7A～図7Dの真理値表から明らかなように、第2論理回路1082の出力は、第1ピン P_1 と第5ピン P_5 、第2ピン P_2 と第6ピン P_6 、第3ピン P_3 と第7ピン P_7 、第4ピン P_4 と第8ピン P_8 の値が、互いに同じであるときにHighの値となり、互いに異なるときにLowの値となる。

[0040] 図4に示すように、第3論理回路1083は、4つの否定論理和（NOR）回路1301を備え、各否定論理和回路1301の入力には、第1論理回路1081の出力と第2論理回路1082の出力が入力される。否定論理和回路1301の出力は否定回路1302で反転されて第4論理回路1084に出力される。

[0041] 図8の真理値表から明らかなように、第1論理回路1081と第2論理回路1082の出力がともにLowであるときに、第3論理回路1083の出力はLowの値となり、第1論理回路1081と第2論理回路1082の出力の少なくとも一方がHighであるときに、第3論理回路1083の出力はHighの値となる。

[0042] 図4に示すように、第4論理回路1084は、8つの否定論理和（NOR）

）回路１４０１を備え、各否定論理和回路１４０１の入力には、第３論理回路１０８３の出力と第１ピン P_1 ～第８ピン P_8 とが接続される。否定論理和回路１４０１の出力は否定回路１４０２で反転されて出力される。

[0043] 図９の真理値表から明らかなように、第３論理回路１０８３の出力とスイッチ１０７の各選択ピンの値が共にLowのときに、第４論理回路１０８４の出力、つまり、論理回路１０８の出力はLowの値になり、第３論理回路１０８３の出力とスイッチ１０７の各選択ピンの値の少なくとも一方がHighであるときに、第４論理回路１０８４の出力はHighの値となる。

[0044] 以上説明した構成を有する論理回路１０８の入出力を、図１０に示す。論理回路１０８において、スイッチ１０７の第１のチャンネルのみONすることにより第１ピン P_1 のみからLowレベルのON信号が入力されたとき、出力端子 S_1 からLowレベルのON信号が出力される。同様に、第５ピン P_5 のみ、第２ピン P_2 のみ、第６ピン P_6 のみ、第３ピン P_3 のみ、第７ピン P_7 のみ、第４ピン P_4 のみ、第８ピン P_8 のみ、からLowレベルのON信号が入力されたときに、それぞれ、出力端子 S_5 、出力端子 S_2 、出力端子 S_6 、出力端子 S_3 、出力端子 S_7 、出力端子 S_4 、出力端子 S_8 からLowレベルのON信号が出力される。一方、スイッチ１０７の２チャンネル以上がONの場合、又は、全てのチャンネルがOFFの場合には、いずれの出力端子からもHighレベルのOFF信号が出力される。換言すると、論理回路１０８は、スイッチ１０７の第１チャンネル～第８チャンネルのうち１チャンネルのみがONされることにより、互いに独立した出力端子 S_1 ～ S_8 より選択された、いずれか１つの出力端子からON信号が出力される。

[0045] このように動作する論理回路１０８の出力により、基板１０ａ～１０ｈのメインクロック１０１を含む電気部品の有効／無効を制御することができる。また、論理回路１０８を有さず、スイッチ１０７から直接各電気部品のイネーブル端子に接続した構成であった場合には、スイッチ１０７の８チャンネルのうち、誤って複数のチャンネルをONにすることにより誤作動させてしまうが、論理回路１０８を用いることによりこのような誤作動を回避すること

ができる。

[0046] なお、図4～9に示した論理回路108の構成は一例であり、置き換えも可能である。例えば、否定論理和（NOR）回路と否定（NOT）回路との組合せを論理和（OR）回路に置き換えてもよい。また、論理積（AND）回路と否定回路との組合せを否定論理積（NAND）回路に置き換えてもよい。また、排他的論理和（XOR）回路と否定回路との組合せを否定排他的論理和（NXOR）回路に置き換えてもよい。

[0047] 以上のように構成されたイメージセンサ1の製造方法を、図1，2を参照して説明する。

[0048] まず、図1に示したセンサ1Cが固定されたフレーム70に、A/D変換回路を有する基板21，22を、センサ1Cの配列方向、つまり主走査方向に沿って固定する。次に、基板21，22のそれぞれに、スペーサ25を介して基板10a～10hを固定する（基板固定ステップ）。

[0049] その後、図2に示した基板10a～10hのそれぞれのスイッチ107を操作する。具体的には、各基板10a～10hのスイッチ107の予め定めた1の選択ピンのみをONとし、その他の選択ピンをOFFにする。これにより、論理回路108の互いに独立の8の出力から選択された1の出力からON信号を出力させて、対応する電気部品を有効に切り替える（スイッチ設定ステップ）。

[0050] 次に、基板10a～10hにスペーサ31を介して基板30を固定する。その後、カバーに固定される基板40，41、コネクタ51，52、FAN53と、フレーム70に固定されている基板10，30と、の間を配線で接続する。その後、カバー80をフレーム70に対して固定する。

[0051] 以上説明したように、本実施の形態に係るイメージセンサ1は、センサ1Cから取得した画像信号を処理する基板として、互いに同じ部品及び配線を有する基板10を用いる。基板10には、スイッチ107と、スイッチ107からの入力信号を論理演算して出力する論理回路108と、が実装されている。論理回路108は、スイッチ107の第1ピンP₁～第8ピンP₈のう

ち1ピンのみがLowになったときに、互いに独立した出力端子 $S_1 \sim S_8$ より選択された、いずれか1つの出力端子からLowを出力する論理演算を行う。論理回路108の出力は、バッファ102, 104, 105のインエーブル端子に入力することによりバッファの有効又は無効を制御することとした。これにより、長尺のイメージセンサを実現するために、画像処理用の回路基板を複数種類用いる必要がなく、1種類の回路基板で実現することが可能となる。また、1種類の回路基板を用いるため、製造工程を簡易化することができる。

[0052] また、基板機能の選択にマイコン又はFPGAを用いた場合、電源投入後に数ミリ〜数秒の立ち上がり時間を要するが、本実施の形態では、論理素子の組み合わせにより基板機能の選択を行うため、立ち上がり時間を大幅に短縮することができる。また、基板機能の選択を、スイッチ107及び論理回路108という簡易な構成で実現するため、コストも削減できる。

[0053] (実施の形態2)

本開示の実施の形態2に係るイメージセンサ1は、実施の形態1に係るイメージセンサ1と同様の構成を有する、センサICを直線状に配列したラインセンサである。基板10に実装される論理回路128の構成が実施の形態1と異なる。実施の形態2に係るイメージセンサ1について、図面を参照して詳細に説明する。

[0054] 図11は、本実施の形態2に係る論理回路128の一部の構成を示す図である。論理回路128は、実施の形態1の論理回路108に加えて、論理回路108と特定の電気部品との間に、多段の論理積回路である全論理積回路1281を備える。つまり、論理回路128は、図11に示すように、第4論理回路1084の出力端子 $S_1 \sim S_8$ のうちから選択した1の出力端子以外の全ての出力端子からの出力信号の論理積を出力する全論理積回路1281を含む。図11では、出力端子 S_1 以外の出力端子 $S_2 \sim S_8$ からの出力信号の論理和を順次求める。その結果、論理回路128は、出力端子 $S_2 \sim S_8$ の値のいずれかがLowのときに出力端子 S_A からLowを出力し、出力端子 S_2

～ S_8 の値が全てHighのとき出力端子 S_A からHighを出力する。

[0055] 論理回路128の出力 S_A は、イネーブル信号として特定の電気部品のイネーブル端子に入力されることにより、特定の電気部品を有効又は無効に制御できる。特定の電気部品は例えば、メインクロック101であり、出力 S_A に基づいて、クロックの発振又は停止を制御する。

[0056] なお、他の電気部品であるバッファ102, 104, 105には、第4論理回路1084の出力端子 $S_1 \sim S_8$ のうちから選択された1の出力端子が直接接続され、有効又は無効に制御される。

[0057] このように、スイッチ107と論理回路128を備えることにより、長尺のイメージセンサ1を実現するために、画像処理用の回路基板を複数種類用いる必要がなく、1種類の回路基板で実現することが可能となる。また、1種類の回路基板を用いるため、製造工程も簡易化することができる。

[0058] 以上説明したように、本実施の形態に係るイメージセンサ1において、イネーブル信号を出力する論理回路128が、第4論理回路1084の出力端子 $S_1 \sim S_8$ のうちから選択した1の出力端子以外の全ての出力端子からの出力信号の論理積を出力する全論理積回路1281を含むとした。これにより、全論理回路1281の出力端子 S_A からの信号もイネーブル信号として用いるため、確実に電気部品の有効と無効とを切り替えることができる。

[0059] なお、上記実施の形態1, 2において、スイッチ107が8チャンネルであり、論理回路108が8出力である場合について説明したが、スイッチ107が4～7チャンネルであり、論理回路108が4～7出力の場合も同様に実施できる。

[0060] 例えば、スイッチ107が4チャンネルの場合には、第1論理回路1081の第5ピン P_5 、第6ピン P_6 、第7ピン P_7 、第8ピン P_8 をすべてHighに固定することにより（プルアップ）、実施できる。同様に、スイッチ107が5チャンネルの場合には、第1論理回路1081の第6ピン P_6 、第7ピン P_7 、第8ピン P_8 をHighに固定し、スイッチ107が6チャンネルの場合には、第1論理回路1081の第7ピン P_7 、第8ピン P_8 をHighに固定

し、スイッチ107が7チャンネルの場合には、第1論理回路1081の第8ピン P_8 をHighに固定することにより、実施できる。

[0061] スイッチ107が4～7チャンネルの場合には、第1論理回路1081の第5ピン P_5 、第6ピン P_6 、第7ピン P_7 、第8ピン P_8 のうちHighに固定されたピンに対応する第4論理回路1084の出力端子 S_5 、 S_6 、 S_7 、 S_8 は、Highとなるため、これらの出力端子をHighに固定する（プルアップ）。

[0062] また、上記実施の形態1，2において、イネーブル信号を出力する論理回路の例として、論理回路108の構成を説明したが、4以上のON又はOFFの入力信号に対し、互いに独立した4以上の出力端子より選択された、いずれか1つの出力端子からON又はOFFの信号を出力する論理演算を行う論理回路であれば、他の任意の論理回路を用いてもよい。

[0063] また、上記実施の形態1，2において、基板10a～10hを1種類の回路基板で構成し、スイッチ107及び論理回路108，128により基板10の機能を切り替えるとしたが、これに限られない。例えば、基板10は、基板30の機能を含んでもよい。つまり、図12に示すように、基板10及び基板30の機能を含む基板11（11a～h）を1種類の回路基板で構成し、スイッチ107及び論理回路108，128により基板11の機能を切り替えてもよい。図12は、他の例のイメージセンサ2を示す図である。これにより更に基板種類を減らすことができる。

[0064] 以下、本開示の諸態様を付記としてまとめて記載する。

[0065] （付記1）

4以上の選択ピンを含むスイッチと、

前記選択ピンのうち予め定めた1の前記選択ピンのみからON信号が入力され、その他全ての前記選択ピンからOFF信号が入力されたときに、互いに独立の4以上の出力端子より選択された1の出力端子からON信号を出力する論理回路と、

前記論理回路の出力に基づいて、有効と無効とを切り替える電気部品と、

を備える回路基板。

[0066] (付記 2)

前記スイッチは、8 の選択ピンを含む物理スイッチであって、

前記論理回路は、前記選択ピンのうち予め定めた 1 の選択ピンと、前記 1 の選択ピンから離隔した他の選択ピンと、の少なくともいずれか一方のみから ON 信号が入力されたときに、ON 信号を出力する第 1 論理回路を含む、
付記 1 に記載の回路基板。

[0067] (付記 3)

前記論理回路は、前記 1 の選択ピンからの入力と前記他の選択ピンからの入力の排他的論理和を求める第 2 論理回路と、前記第 1 論理回路の出力と前記第 2 論理回路の出力との論理和を求める第 3 論理回路と、前記 8 の選択ピンのそれぞれからの入力と前記第 3 論理回路の出力との論理和を求める第 4 論理回路と、を更に含む、

付記 2 に記載の回路基板。

[0068] (付記 4)

前記論理回路は、選択された前記 1 の出力端子以外の全ての出力端子からの出力の論理積を出力する全論理積回路を含み、

前記電気部品の少なくとも 1 つは、前記全論理積回路の出力に基づいて、有効と無効とを切り替える、

付記 1 から 3 のいずれか 1 つに記載の回路基板。

[0069] (付記 5)

前記電気部品は、クロック又はバッファである、

付記 1 から 4 のいずれか 1 つに記載の回路基板。

[0070] (付記 6)

付記 1 から 5 のいずれか 1 つに記載の回路基板を複数備えるイメージセンサであって、

各回路基板の前記スイッチの前記選択ピンの選択により有効にした前記電気部品を用いて、センサ IC の出力信号に対して画像処理を実行する、

イメージセンサ。

[0071] (付記 7)

センサ IC が固定されたフレームに対して、4 以上の選択ピンを含むスイッチと、前記選択ピンからの入力に対して論理演算を行う論理回路と、前記論理回路の出力に基づいて有効と無効とを切り替える電気部品と、が実装された画像処理用の複数の基板を、前記センサ IC の配列方向に沿って固定する基板固定ステップと、

前記選択ピンのうち予め定めた 1 の前記選択ピンのみを ON に設定し、その他全ての前記選択ピンを OFF に設定することにより、前記論理回路の互いに独立の 4 以上の出力端子より選択された 1 の出力端子から、前記電気部品を有効にする信号を出力させるスイッチ設定ステップと、を有する、

イメージセンサの製造方法。

[0072] 本開示は、本開示の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本開示を説明するためのものであり、本開示の範囲を限定するものではない。すなわち、本開示の範囲は、実施形態ではなく、請求の範囲によって示される。そして、請求の範囲内及びそれと同等の開示の意義の範囲内で施される様々な変形が、本開示の範囲内とみなされる。

[0073] 本出願は、2023 年 6 月 2 日に提出された、日本国特許出願特願 2023-091875 号に基づく。本明細書中に日本国特許出願特願 2023-091875 号の明細書、特許請求の範囲、図面全体を参照として取り込むものとする。

符号の説明

[0074] 1, 2 イメージセンサ、10, 10a~10h, 11, 11a~11h, 21, 22, 30 基板、25, 31 スペーサー、40, 41 基板、51, 52 コネクタ、53 FAN、70 フレーム、80 カバー、101 メインクロック、102, 104, 105 バッファ、103 コネクタ、106 FPGA、107 スイッチ、108, 128 論理回路、1

09 配線、110 ケーブル、1081 第1論理回路、1082 第2論理回路、1083 第3論理回路、1084 第4論理回路、1101, 1103, 1107 論理積回路、1102, 1106, 1109, 1111 否定回路、1104, 1105, 1108, 1110 否定論理和回路、1201 排他的論理和回路、1202, 1302, 1402 否定回路、1301, 1401 否定論理和回路、1501 論理積回路。

請求の範囲

- [請求項1] 4以上の選択ピンを含むスイッチと、
前記選択ピンのうち予め定めた1の前記選択ピンのみからON信号が入力され、その他全ての前記選択ピンからOFF信号が入力されたときに、互いに独立の4以上の出力端子より選択された1の出力端子からON信号を出力する論理回路と、
前記論理回路の出力に基づいて、有効と無効とを切り替える電気部品と、
を備える回路基板。
- [請求項2] 前記スイッチは、8の選択ピンを含む物理スイッチであって、
前記論理回路は、前記選択ピンのうち予め定めた1の選択ピンと、前記1の選択ピンから離隔した他の選択ピンと、の少なくともいずれか一方のみからON信号が入力されたときに、ON信号を出力する第1論理回路を含む、
請求項1に記載の回路基板。
- [請求項3] 前記論理回路は、前記1の選択ピンからの入力と前記他の選択ピンからの入力の排他的論理和を求める第2論理回路と、前記第1論理回路の出力と前記第2論理回路の出力との論理和を求める第3論理回路と、前記8の選択ピンのそれぞれからの入力と前記第3論理回路の出力との論理和を求める第4論理回路と、を更に含む、
請求項2に記載の回路基板。
- [請求項4] 前記論理回路は、選択された前記1の出力端子以外の全ての出力端子からの出力の論理積を出力する全論理積回路を含み、
前記電気部品の少なくとも1つは、前記全論理積回路の出力に基づいて、有効と無効とを切り替える、
請求項1から3のいずれか1項に記載の回路基板。
- [請求項5] 前記電気部品は、クロック又はバッファである、
請求項1から4のいずれか1項に記載の回路基板。

[請求項6] 請求項1から5のいずれか1項に記載の回路基板を複数備えるイメージセンサであって、

各回路基板の前記スイッチの前記選択ピンの選択により有効にした前記電気部品を用いて、センサICの出力信号に対して画像処理を実行する、

イメージセンサ。

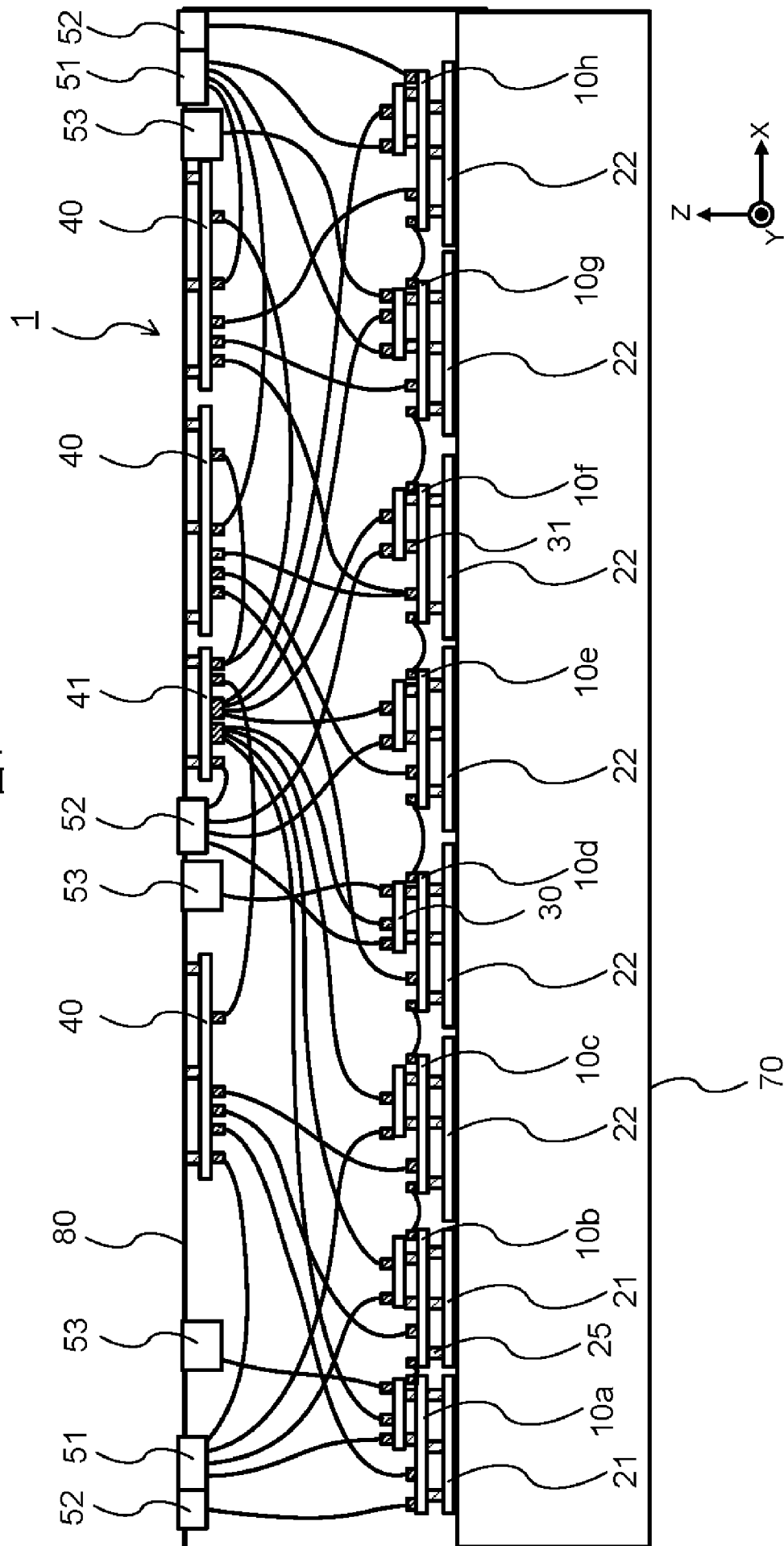
[請求項7] センサICが固定されたフレームに対して、4以上の選択ピンを含むスイッチと、前記選択ピンからの入力に対して論理演算を行う論理回路と、前記論理回路の出力に基づいて有効と無効とを切り替える電気部品と、が実装された画像処理用の複数の基板を、前記センサICの配列方向に沿って固定する基板固定ステップと、

前記選択ピンのうち予め定めた1の前記選択ピンのみをONに設定し、その他全ての前記選択ピンをOFFに設定することにより、前記論理回路の互いに独立の4以上の出力端子より選択された1の出力端子から、前記電気部品を有効にする信号を出力させるスイッチ設定ステップと、を有する、

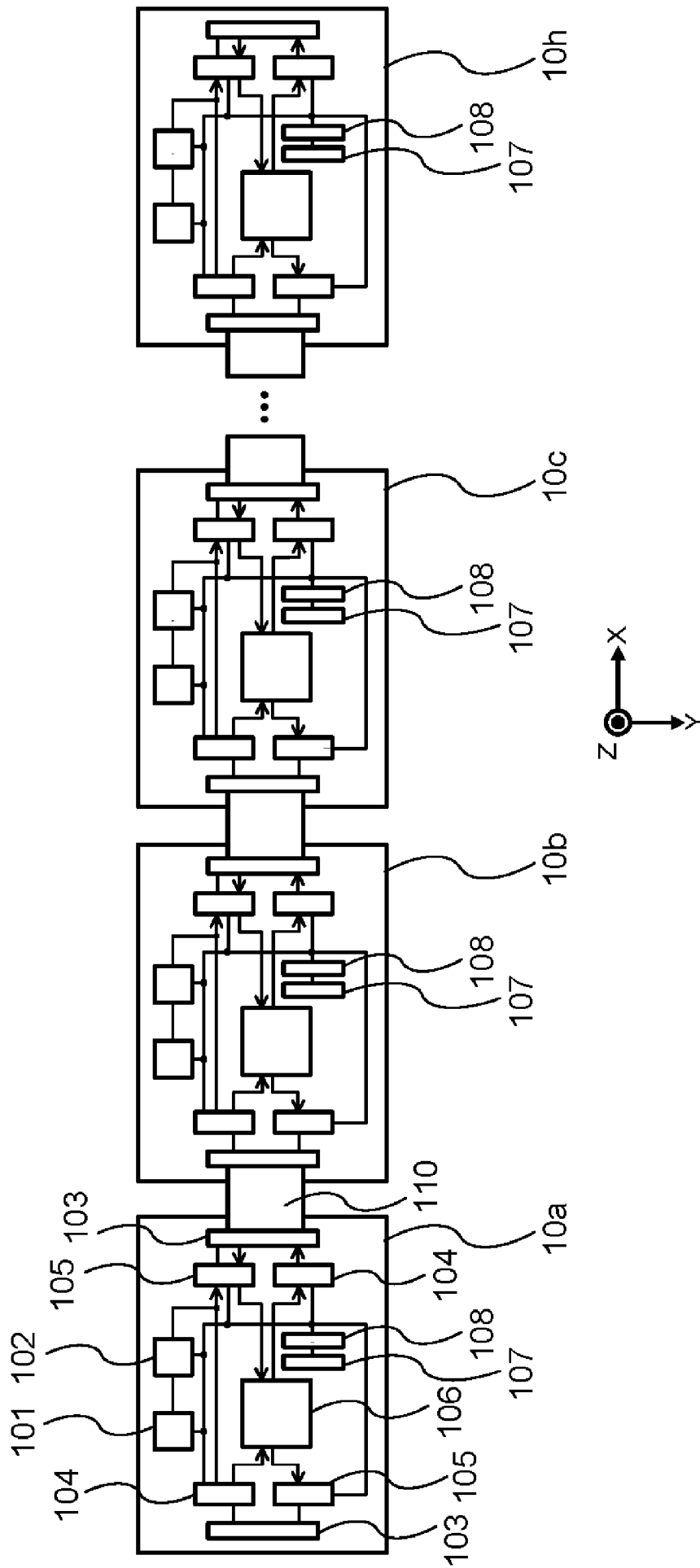
イメージセンサの製造方法。

[図1]

図1

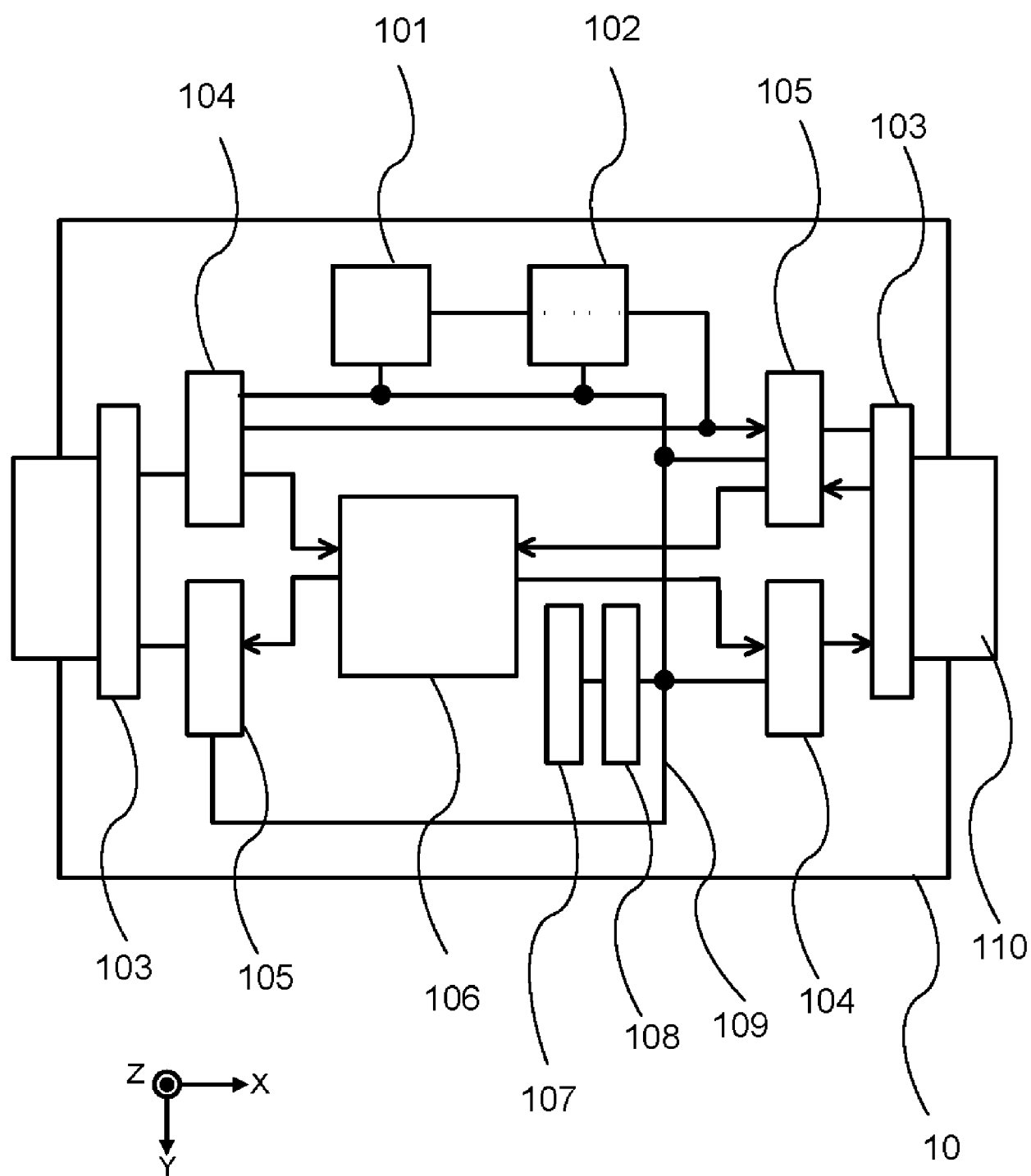


[図2]



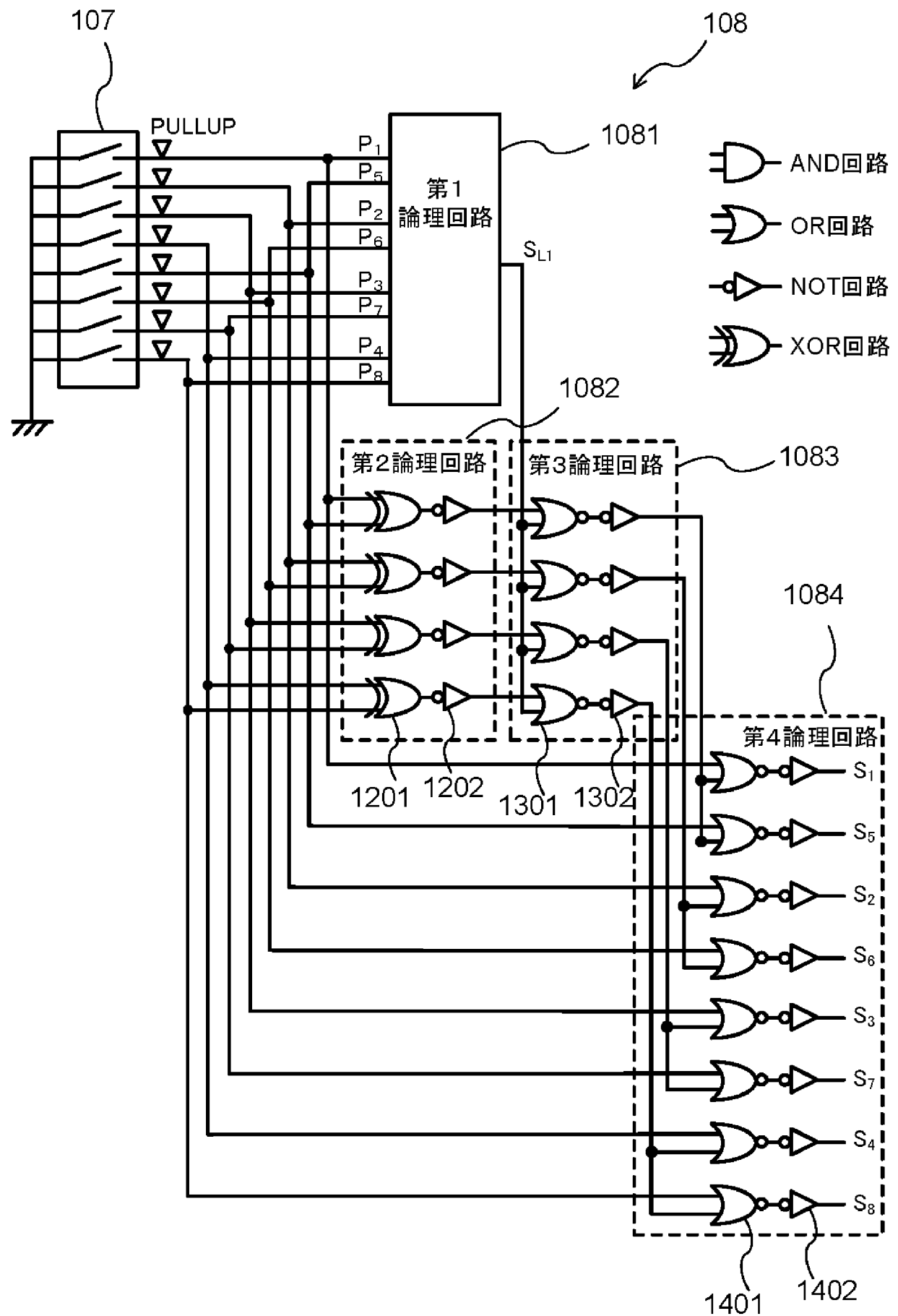
[図3]

図3



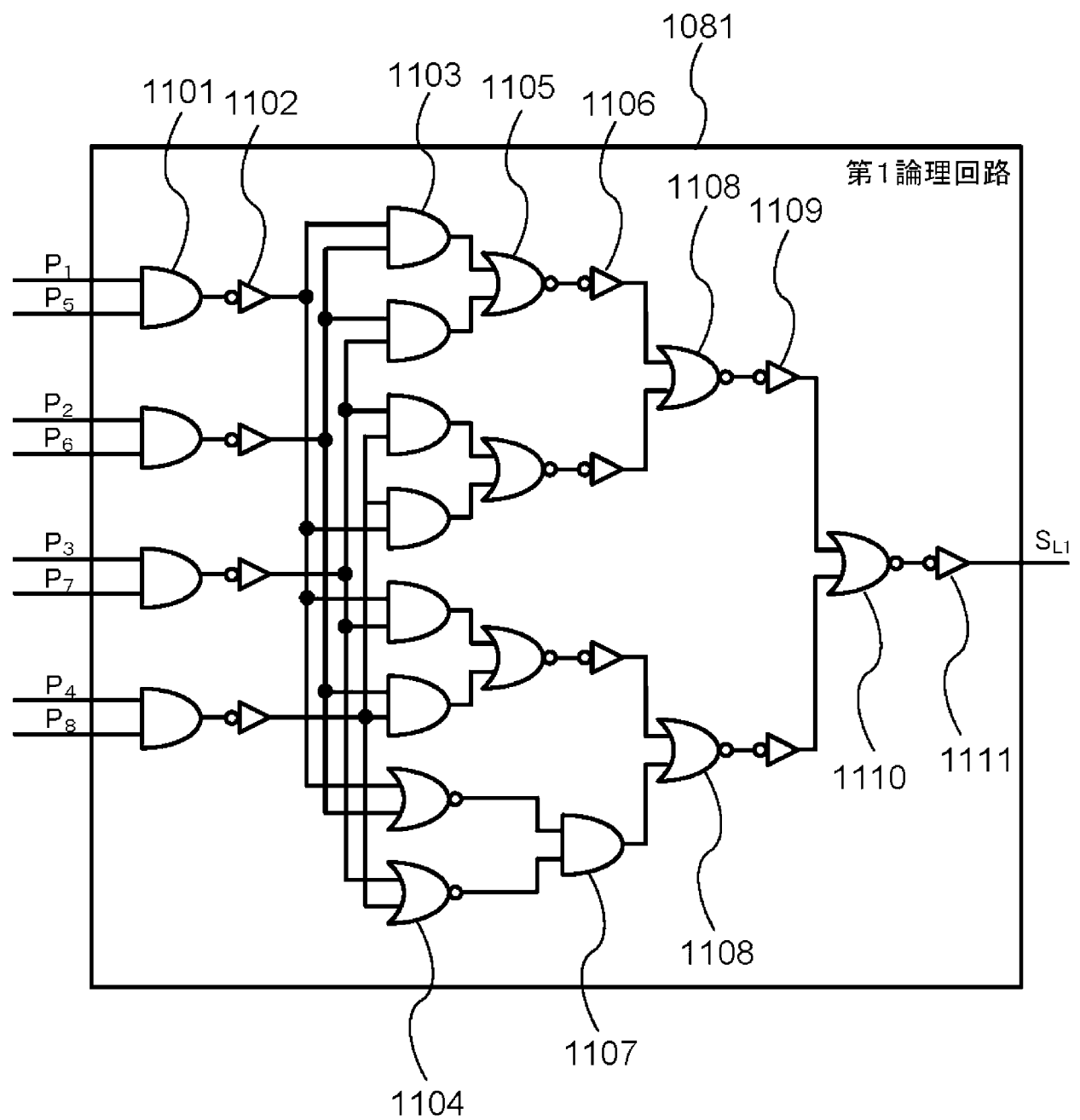
[図4]

図4



[図5]

図5



AND回路

NOT回路

OR回路

XOR回路

[図6]

図6

		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
		0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
0	0000	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
1	0001	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
2	0010	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
3	0011	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
4	0100	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
5	0101	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
6	0110	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
7	0111	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
8	1000	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
9	1001	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
10	1010	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
11	1011	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
12	1100	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
13	1101	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
14	1110	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
15	1111	H	H	H	L	H	H	H	L	H	H	H	L	L	L	L	H

縦軸：DIP-SWのP₃, P₇, P₄, P₈に対応 横軸：DIP-SWのP₁, P₅, P₂, P₆に対応

[図7A]

図7A

		DIP-SW P ₅	
DIP-SW P ₁		L	H
	L	H	L
	H	L	H

[図7B]

図7B

		DIP-SW P ₆	
DIP-SW P ₂		L	H
	L	H	L
	H	L	H

[図7C]

図7C

		DIP-SW P ₇	
DIP-SW P ₃		L	H
	L	H	L
	H	L	H

[図7D]

図7D

		DIP-SW P ₈	
DIP-SW P ₄		L	H
	L	H	L
	H	L	H

[図8]

図8

		第1論理回路	
第2論理回路		L	H
	L	L	H
	H	H	H

[図9]

図9

		第3論理回路	
DIP-SW P ₁ ~ P ₈		L	H
	L	L	H
	H	H	H

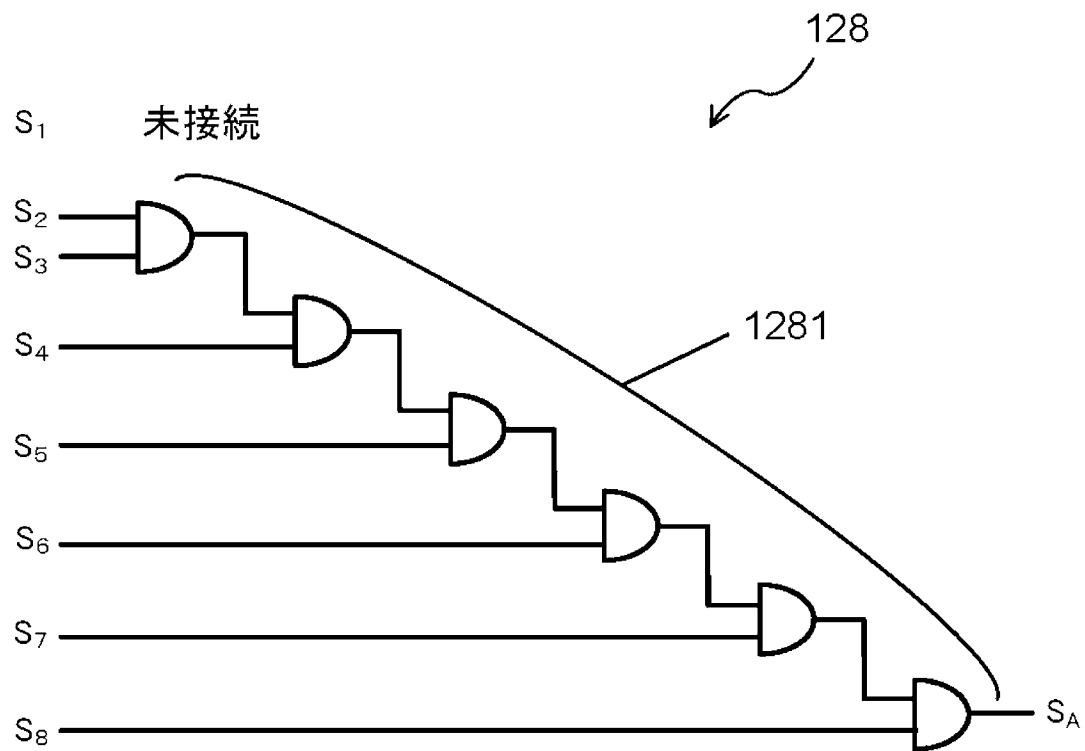
[図10]

図10

論理回路出力	DIP-SW	出力値
S_1	P_1 のみL (ON)	L
S_5	P_5 のみL (ON)	L
S_2	P_2 のみL (ON)	L
S_6	P_6 のみL (ON)	L
S_3	P_3 のみL (ON)	L
S_7	P_7 のみL (ON)	L
S_4	P_4 のみL (ON)	L
S_8	P_8 のみL (ON)	L

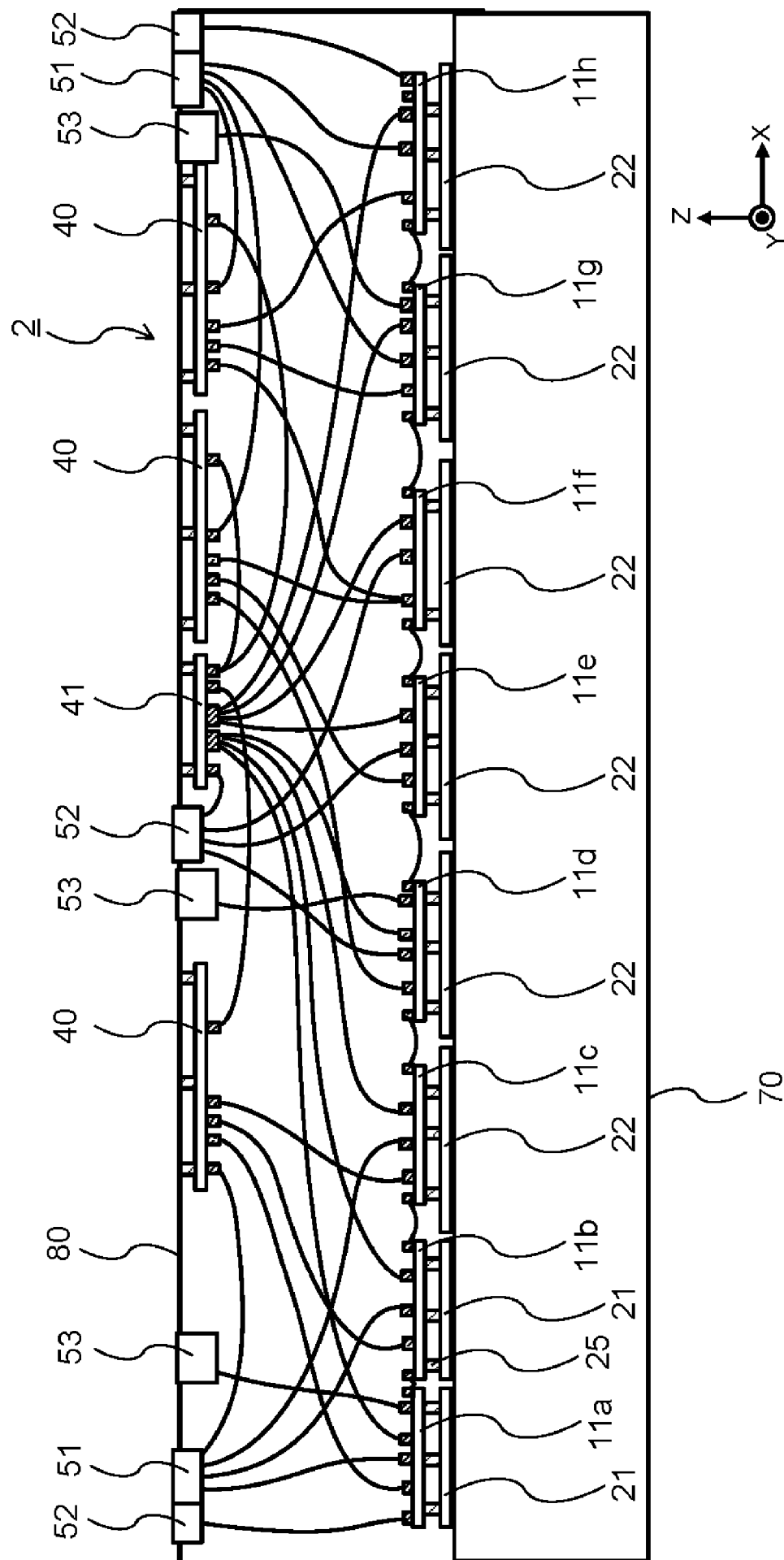
[図11]

図11



[図12]

図12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/012173

A. CLASSIFICATION OF SUBJECT MATTER**H04N 1/028**(2006.01)i; **H03K 19/173**(2006.01)i; **H04N 23/54**(2023.01)i; **H05K 1/18**(2006.01)i

FI: H04N1/028 Z; H04N23/54; H05K1/18 Z; H03K19/173 130

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N1/028; H03K19/173; H04N23/54; H05K1/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 67055/1979 (Laid-open No. 167595/1980) (TOKYO SHIBAURA ELECTRIC CO., LTD.) 02 December 1980 (1980-12-02), p. 2, line 2 to p. 8, line 7, fig. 1	1-5
Y	p. 2, line 2 to p. 8, line 7, fig. 1	6-7
Y	JP 10-214952 A (ROHM CO., LTD.) 11 August 1998 (1998-08-11) paragraph [0051], fig. 7	6-7

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 May 2024

Date of mailing of the international search report

18 June 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/012173

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	55-167595	U1	02 December 1980	(Family: none)	
JP	10-214952	A	11 August 1998	US 6184513 B1	
				column 7, lines 5-22, fig. 7	
				EP 908955 A1	
				BR 9805960 A	
				CA 2249977 A	
				CN 1216160 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H04N 1/028(2006.01)i; H03K 19/173(2006.01)i; H04N 23/54(2023.01)i; H05K 1/18(2006.01)i
FI: H04N1/028 Z; H04N23/54; H05K1/18 Z; H03K19/173 130

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H04N1/028; H03K19/173; H04N23/54; H05K1/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	日本国実用新案登録出願54-67055号(日本国実用新案登録出願公開55-167595号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム（東京芝浦電気株式会社）02.12.1980（1980-12-02）第2頁第2行-第8頁第7行, 第1図	1-5
Y	第2頁第2行-第8頁第7行, 第1図	6-7
Y	JP 10-214952 A（ローム株式会社）11.08.1998（1998 - 08 - 11）段落[0051], 図7	6-7

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

22.05.2024

国際調査報告の発送日

18.06.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

宮島 潤 5P 8420

電話番号 03-3581-1101 内線 3539

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/012173

引用文献			公表日	パテントファミリー文献			公表日
JP	55-167595	U1	02.12.1980	(ファミリーなし)			
JP	10-214952	A	11.08.1998	US	6184513	B1	
				第7欄第5-22行, 第7図			
				EP	908955	A1	
				BR	9805960	A	
				CA	2249977	A	
				CN	1216160	A	