

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
G11C 11/34

(45) 공고일자 1993년 10월 04일  
(11) 공고번호 93-009463

(21) 출원번호	특1989-0017968	(65) 공개번호	특1990-0010778
(22) 출원일자	1989년 12월 05일	(43) 공개일자	1990년 07월 09일
(30) 우선권 주장	63-309241 1988년 12월 06일 일본(JP)		
(71) 출원인	미쓰비시 덴끼 가비시끼가이샤	시기 모리야	
	일본국 도오교도 지요다구 마루노우찌 2쵸메 2-3		
(72) 발명자	기시다 사도루		
	일본국 효고켄 이다미시 미즈하라 4쵸메 1번지 미쓰비시 덴끼 가부시끼 가이샤 엘. 에스. 아이 켄규쇼내		
	마쓰모도 히사시		
	일본국 효고켄 이다미시 미즈하라 4쵸메 1번지 미쓰비시 덴끼 가부시끼 가이샤 엘. 에스. 아이 켄규쇼내		
(74) 대리인	김영길		

**심사관 : 김정국 (책자공보 제3423호)**

**(54) 반도체 메모리장치와 감지 증폭기**

**요약**

내용 없음.

**대표도**

**도1**

**명세서**

[발명의 명칭]

반도체 메모리장치와 감지 증폭기

[도면의 간단한 설명]

제 1 도는 본 발명의 1실시예를 표시하는 감지 증폭기의 회로도.

제 2 도는 제 1 도에 표시된 감지 증폭기에 의한 판독 동작을 설명하는 타이밍 차트.

제 3 도는 종래 마스크 ROM을 표시하는 회로도.

제 4 도는 종래 감지 증폭기의 예를 표시하는 회로도.

제 5 도는 제 4 도에 표시된 감지 증폭기에 의해 판독 동작을 설명하는 타이밍 차트.

[발명의 상세한 설명]

이 발명은 일반적으로 반도체 기억 장치에 관한 것으로, 특히 고속 동작을 위해 개선된 반도체 기억 장치에 관한 것이다.

비록 본 발명이 판독 전용 기억 장치(ROM)와 임의 접근 기억장치(RAM) 양쪽에 적절한 것이다. 설명은 본 발명을 이후에 ROM에 적용하는 방법에 의해 이루어진다.

제 3 도는 종래 마스크 ROM을 표시하는 회로도이다. 이 도면에서 오로지 16개의 메모리셀을 가지는 마스크 ROM의 예가 설명을 간단화하기 위해 표시된다.

제 3 도를 참조하여, 이 마스크 ROM은 16개 메모리셀(15)을 가지는 메모리셀(11)의 어레이, 로우 어드레스 신호(A, A1)를 받도록 접속된 로우디코더 컬럼, 어드레스 신호(A2, A3)를 받도록 접속된 컬럼 디코더(24), 그리고 메모리셀(15)에서 판독된 신호를 증폭하는 전류형 감지 증폭기를 포함한다.

워드선(13)을 구동하기 위한 워드선 드라이버(20)가 로우디코더(22)의 출력과 메모리셀(11)의 어레이 사이에 연결된다.

컬럼 셀렉터(38)는 메모리셀(H)의 어레이와 감지 증폭기 사이에 연결된다.

컬럼 셀렉터(38)는 각 비트선(14)과 감지 증폭기(1)의 입력 사이에 연결된다.

이러한 4개 트랜지스터는 컬럼 디코더(24)에서 출력 신호에 응답하여 선택적으로 온이 된다.

동작에 있어서, 로우디코더(22)는 어드레스 신호(A0, A1)에 응답하고 워드선(13)중의 하나를 고레벨에 설정한다.

컬럼 디코더(24)는 어드레스 신호(A2, A3)에 응답하고 Y게이트의 하나의 트랜지스터를 온이되게 한다. 결과로서, 16개 메모리셀중의 한개의 기억된 데이터 신호는 감지 증폭기(1)의 입력에 Y게이트(38)를 통하여 제공된다.

감지 증폭기(1)는 이 신호를 증폭하고 증폭된 신호를 출력한다.

제 4 도는 종래의 전류형 감지 증폭기의 예를 표시하는 회로도 이다.

이 감지 증폭기는 예를들면 1987년에 개최된 IEEE International Solid State Circuits Conference의 Digest of Technical Paper의 70페이지와 71페이지에 보여진다.

제 4 도를 참조하여 감지 증폭기(11)는 입력노드(node)(N1)에 접속된 인버터(2), 인버터(2)의 출력 전압에 응답하고 노드(N1)를 소정의 전위까지 충전하는 전하 공급회로(4), 그리고 인버터(2)의 출력 전압에 응답하여 증폭된 신호를 출력하는 증폭수단인 출력회로(3)를 포함한다.

인버터(2)는 전원전위(Vcc)와 접지 전위 사이에 직렬로 접속된 PMOS 트랜지스터(Q4)와 NMOS 트랜지스터(Q5)를 포함한다.

각 트랜지스터(Q4, Q5)는 입력노드(N1)에 함께 접속된 게이트를 가진다.

전하 공급 회로(4)는 전원 전위(VCC)와 노드(N1) 사이에 접속된 NMOS 트랜지스터(Q8)를 포함하여, 상기 인버터(2)의 출력전위에 응답하여 동작하기 때문에 스위칭 수단이라 칭할 수 있다.

트랜지스터(Q8)는 인버터(2)의 출력노드에 접속된 게이트를 가지고, 이후 상기 출력노드를 노드(N2)라고 칭한다.

출력회로(3)는 전원전위(VCC)와 노드(N1)사이에 직렬로 접속된 PMOS 트랜지스터(Q6)와 NMOS 트랜지스터(Q7)를 포함한다.

트랜지스터(Qb)는 접지전원에 접속되는 게이트를 가진다.

트랜지스터(Q7)는 노드(N2)에 접속되는 게이트를 가진다. 이 감지 증폭기(1)의 출력신호는 트랜지스터(Q6, Q7)의 공통접속노드를 통하여 출력된다.

상기 트랜지스터(Q7, Q8)는 상기 인버터(2)의 출력전위를 반전하여 출력하는 인버터로서 기능한다. 제 4 도에서는 감지 증폭기(1)의 동작을 설명하기 위해 메모리셀(11)중의 어레이의 4개 메모리셀(Q1, Q2, Q11, Q12)이 표시된다.

트랜지스터(Q1, Q2)에 접속된 비트선(BL1)은 Y게이트 회로를 구성하는 NMOS 트랜지스터(Q3)를 통하여 감지 증폭기의 입력노드(N1)에 접속된다.

동일하게 트랜지스터(Q11, Q12)에 접속된 비트선(BL11)은 NMOS 트랜지스터(Q13)를 통하여 노드(N1)에 접속된다.

마스크 ROM에서는, ROM에 기억되어야 하는 데이터 신호는 제조공정에 있어서 기록된다. 기록 방법은 예를들면 메모리셀을 구성하는 전계 효과 트랜지스터의 드레인(drain)에 접속하기 위한 창을 설정하는가 없게하는가에 의해 데이터가 기록되는 컨택트 기록 방법과 이온주입에 의해 디프테이션형 또는 인핸스먼트형 트랜지스터를 선택적으로 형성하는 것에 의해 데이터를 기록하는 이온 주입 기록 방법을 포함한다.

어떤 방법이 적용되어도, 메모리셀에 기록된 데이터 신호는 선택된 메모리셀을 구성하는 트랜지스터가 온으로 되는가 아닌가를 검출하는 것에 의해 판독된다.

다음 설명에서, 메모리셀이 선택될 때, 그 속의 트랜지스터가 온이 될때, 그 데이터 "0"이 메모리셀에 기억되고, 한편 트랜지스터가 오프가 될 때, 데이터 "1"은 메모리셀에 기억된다고 추정한다. 이 선행기술회로의 동작은 이하 설명한다.

다음 설명에서는 트랜지스터(Q1)를 포함하는 메모리셀 데이터 "1"이 기억되고, 그리고 트랜지스터(Q2)를 포함하는 메모리셀에는 데이터 "0"이 기억된다고 가정한다.

판독동작 개시전, 즉 트랜지스터(Q3, Q13)가 오프되어있을 때의 감지 증폭기의 동작이 우선 설명된다.

노드(N1)가 저레벨 전위에 있을때, 트랜지스터(Q4)가 온이되고, 트랜지스터(Q5)가 오프로 된다. 이하하여 인버터(2)는 고레벨 전압을 출력하고 노드(N2)를 고레벨에 설정한다.

트랜지스터(Q7, Q8)는 노드(N2)의 전압에 응답하고 온이 된다.

트랜지스터(Q8)가 온이되면, 노드(N1)의 전위가 상승을 개시한다.

인버터(2)에서는 트랜지스터(Q4, Q5)는 각각 노드(N1)의 상승된 전위에 응답하고 오프와 온이 된다. 그 결과, 노드(N2)의 전압과 트랜지스터(Q8)의 한계전압의 합계보다 낮은 전압까지 저하될 때, 트랜지스터(Q8)는 오프한다. 따라서 노드(N1)의 전위는 상승을 중지하고, 이것에 응답하고, 노드(N2)의 전위도 역시 저하를 중지한다.

이때의 노드(N1)의 전위를 V01, 노드(N2)의 그것은 V02로 표시된다.

반면에, 노드(N1)가 V01보다 더 높은 전위에 설정될 때, 인버터(2)는 노드(N2)에 V02 보다 낮은 전압을 제공한다.

트랜지스터(Q7, Q8)가 V02보다 낮은 전압에 응답하고 오프가 되기 때문에 노드(N1)의 전위는 변화하지 않는다.

이상의 설명에서 명백한 것과 같이 판독동작전에 노드(N1)는 V01보다 낮지 않는 전위에 설정되고, 그리고 노드(N2)는 V02보다 높지 않는 전위에 설정된다.

일반적으로 비트선이 저레벨전위에 사전에 설정되는 것을 설명한다.

예를들면, 트랜지스터(Q12)를 포함하는 메모리셀이 액세스 될 때, 고레벨 전압이 로우디코더에서 워드선(WL2)에 제공된다.

트랜지스터(Q12)는 기억된 데이터 신호에 의거하여 온 또는 오프한다.

반면에, 트랜지스터(Q2)는 신호 "0"이 트랜지스터(Q2)를 포함하는 메모리셀에 기억되기 때문에 역시 온이 된다.

결과로서 비트선(BL1)은 트랜지스터(Q2)를 통하여 접지전위에 접속된다.

일반적으로, 메모리셀(11)의 어레이가 데이터 신호 "0"가 기억되는 적어도 약간의 메모리셀을 포함하기 때문에, 비트선의 과반수는 저레벨 전위의 사전에 통상적으로 설정된다.

제 5 도는 제 4 도에 표시된 감지 증폭기에 의한 판독동작을 설명하는 타이밍 차트이다.

제 4 도와 제 5 도를 참조하여, 판독 동작은 트랜지스터(Q1)를 포함하는 메모리셀과 트랜지스터(Q2)를 포함하는 메모리셀에 기억된 데이터 신호가 이러한 메모리셀에서 연속적으로 판독되는 경우에 설명된다.

트랜지스터(Q1)가 액세스될 때, 워드선(WL1)이 로우디코더에 의해 고레벨에 설정되고, 컬럼 디코더는 고레벨 신호(Y1)를 출력한다.

트랜지스터(Q3)은 신호(Y1)에 응답하고 온이된다. 트랜지스터(Q1)는 데이터 "1"이 거기에 기억되어 있기 때문에 온이 되지 않는다. 비트선(BL1)이 저레벨 전위에 사전에 설정되기 때문에, 비트선(BL1)은 트랜지스터(Q3)가 온이된 후에 감지 증폭기에 의해 급속히 충전된다. 따라서, 노드(N1)의 전위는 일시적으로 저하된다. 노드(N2)의 전위가 인버터(2)에 의해 일시적으로 상승되는 노드(N1)의 전위에서 변화에 응답하기 때문에 트랜지스터(Q8)는 거기에 응답하고 온이된다.

트랜지스터(Q8)의 온에 의해 노드(N1)와 비트선(BL1)은 급속히 충전된다.

노드(N1)의 전위가 이 충전에 의해 상승될 때, 위에서 언급한 바와같이 일시적으로 상승된 노드(N2)의 전위는 인버터(2)의 동작하에서 급히 하강되기 시작한다.

인버터(2)가 지연을 수반하는 발전된 전압을 출력하기 때문에 노드(N2)의 전위는 노드(N1)의 전위가 V에 도달할 때 V02에 하강되지 않는다.

따라서, 트랜지스터(Q8)가 온으로 남아 있어서, 노드(N1)는 더욱 충전되어, V01보다 높은 전위에 설정된다.

노드(N2)의 전위가 V02에 인버터에 의해 하강될때, 트랜지스터(Q8)는 오프가 된다.

이때에, 노드(N1)는 이미 V01을 넘어서는 전위에 설정된다.

노드(N1)의 전위가 V01인 경우와 비교하면, 이때의 노드(N1)의 전압에 응답하고, 트랜지스터의 채널 저항이 높고 그리고 트랜지스터(Q5)의 채널 저항은 낮다.

그 결과, 노드(N2)의 저하가 트랜지스터(Q5)를 통하여 방전되고, 노드(N2)의 전위를 접지 레벨을 가 까이까지 하강한다.

출력회로(3)는 노드(N2)의 전압에 응답하고 고레벨 출력신호(So)를 출력한다.

이 상태는 트랜지스터(Q3)가 오프된 후에도 변화하지 않는다.

비록 상기의 예에서는 노드(N1)가 초기상태에 있어서 V01의 전위에 있다고 가정했으나, 노드(N1)의 전압이 V01보다 높은 전위에 있을때에도 비트선(BL1)이 충전된 후의 노드(N1)의 전위는 이에와 대략 같은 값이 된다.

그 이유는, 노드(1)가 가지는 용량치와 비교하여 비트선(BL1)에 기생하는 용량치가 충분히 크게 때문이다.

이 상태후 트랜지스터(Q2)가 액세스되는 경우가 설명된다.

트랜지스터(Q2)에 액세스하기 위해 로우디코더에 의해 워드선(WL2)이 고레벨에 설정되어 컬럼 디코더는 고레벨 신호(Y1)를 출력한다.

트랜지스터(Q3)는 신호(Y1)에 응답하고 온이된다. 트랜지스터(Q2)도 워드선(WL2)에 제공된 전압에 응답하여 온이 되기 때문에 트랜지스터(Q3) 비트선(BL1), 그리고 트랜지스터(Q2)에 의해 노드(N1)를 접지 전위에 접속하는 전류 경로가 형성된다. 따라서 노드(N1)과 비트선(BL1)의 전위는 하강 한다.

인버터(2)는 노드(N1)의 전위에 응답하고 노드(N2)의 전위 상승하게 한다.

그 결과, 트랜지스터(Q8, Q7)는 온이되고 그리고 출력회로(3)는 저레벨 출력신호(So)를 출력한다.

위에서 언급한 바와같이, 노드(N2)는 트랜지스터(Q1)에의 액세스에 의해 접지전위 가까이에 설정되어서, 트랜지스터(Q2)가 액세스 될 때 인버터(2)에 의해 노드(N2)의 전위가 상승할 때 까지 약간의 시간이 걸린다.

그 결과, 출력회로(3)에서의 트랜지스터(Q7)는 온이 되는 것이 지연된다.

즉 제 5 도에 표시한 것과 같이, 워드선(W2)의 전압 또는 컬럼 디코더의 출력신호(Y1)가 솟아오르고서 출력신호(So)가 하락하는데 까지 오랜 시간이 경과된다.

이것은 판독 속도가 늦다는 것을 뜻한다.

이 발명에 특히 흥미가 있는 선행기술은 특개소 13049211983에 보인다.

이 선행 기술에서는 감지 증폭기가 개지된다. 이 감지 증폭기는 비트선에 접속된 감지 증폭기의 입력노드, 즉 제 4 도에 표시되는 노드(N1)에 대응하는 노드를 소정 전위에 유지하는 회로를 포함한다.

본 발명의 목적은 반도체 기억 장치에서 감지 증폭기의 동작속도를 올리는 것이다.

본 발명의 또하나의 다른 목적은 전류형 감지 증폭기에서 증폭속도를 더욱 증가하는 것이다.

본 발명의 또 다른 목적은 입력노드와 제 2 노드가 인버터에 의해 상호접속되고 제 2 노드는 전류 경로를 입력노드에 제어하는 제 2 노드에 의해 구동되는 출력회로와 입력회로를 가지는 형의 감지 증폭기의 동작속도를 개량하는 것이다.

간단하게 말하자면, 본 발명에 따른 반도체 기억 장치는 비트선과 소정의 제 1 전위 사이에 접속되고 비트선에 거기에 기억된 데이터 신호를 제공하기 위해 어드레스 신호에 응답하는 복수의 메모리 셀 비트선에서 전압을 증폭하는 감지 증폭기 그리고 비트선과 감지 증폭기 사이에 접속되고 어드레스 신호에 응답하는 제 1스위칭 소자를 포함한다. 감지 증폭기는 제 1 노드의 비트선에 제 1 스위칭 소자를 통하여 접속되는 입력을 가지고 있다. 감지 증폭기는 제 1 노드의 전압에 응답하고 반전된 전압을 수반하여 출력하는 인버터 소정의 제 2 전위와 제 1 노드 사이에 접속되어 인버터 출력의 전위에 응답하고 동작하는 제 2 스위칭 소자 소정의 제 2 전위보다 실제로 낮지 않는 전위에 인버터 출력을 유지하는 전위유지 회로소자 그리고 증폭된 신호를 출력하는 인버터 출력 전위에 응답하는 증폭 회로 소자를 포함한다.

제 3 전위는 제 1 과 제 2 전위 사이의 중간전위이다. 동작에 있어서 비트선은 제 1 스위칭소자가 온이되기전에 제 1 전위 가까이에 왕왕 설정된다.

이 경우에는 제 1 노드는 스위칭 소자가 온이된 후 제 2 전위 가까이에 이 영향에 의해 설정된다. 이때에 인버터 출력의 전위는 인버터 동작하에서 제 1 전위에 향하여 변화하려고 한다.

그러나 전위 유지 회로소자는 인버터 출력에 접속되어 있기 때문에 인버터 출력은 제 3 전위보다 실제로 낮지 않는 전위에서 유지된다. 그 결과, 판독동작중에 인버터에서 출력되는 전압에서의 변화의 폭이 감소된다.

그 결과, 인버터 출력 전압에 응답하여 동작하여 동작하는 증폭회로는 보다 빨리 증폭된 신호를 출력한다.

다른 국면에서 본 발명의 감지 증폭기는 입력노드에 공급되는 입력신호를 증폭한다.

입력노드는 입력신호가 거기에 공급되기 전에 소정의 제 1 전위에 이따금 가져오게 된다.

이 감지 증폭기는 제 1 노드의 전압에 응답하여 반전된 전압을 지연을 수반하여 출력하는 인버터 소정의 제 2 전위와 제 1 노드사이에 접속되어 그리고 인버터 출력의 전위에 응답하여 동작하는 스위칭 수단 인버터 출력을 소정의 제 3 전위 보다도 실제로 낮지 않는 전위에서 유지하는 전위 유지수단, 그리고 인버터 출력 전위에 응답하여 증폭된 신호를 출력하는 증폭 회로 소자를 포함한다.

제 3 전위는 제 1 과 제 2 전위사이의 중간 전위이다.

본 발명의 상기 목적, 특징, 양상 그리고 장점은 첨부도면에 의해 본 발명의 다음의 상세한 설명으로 더욱 명백하게 된다.

#### [실시예]

제 1 도는 본 발명의 1실시예에 따른 전류형 감지 증폭기를 표시하는 회로도이다.

제 1 도를 참조하여 제 4 도에 표시된 종래의 회로와 비교하여 다른점은 이 감지 증폭기(1)에 추가 전하 공급회로(5)가 설정되어 있는 것이다.

즉, 전하 공급회로(5)는 인버터(2)의 출력노드(N2)가 접속되어서, 인버터(2)의 출력전위를 소정 레벨의 전위로 유지하는 회로로서, 전위유지수단으로 칭할 수 있다.

전하공급회로 또는 전위유지수단은 전원전위(Vcc)와 노드(N2)사이에 직렬로 접속된 2개의 NMOS 트랜지스터(Q9, Q10)를 포함하여 상기 인버터(2)의 출력전위에 응답하여 도통되는 스위칭수단으로서 기능한다.

각 트랜지스터(Q9, Q10)는 그의 드레인에 접속된 그의 게이트를 가지고 있다.

각 트랜지스터(Q9, Q10)는 또한 그의 소스와 게이트 사이의 전압이 한계전압(Vcc)이상이면 온으로 되고 소스와 드레인 사이의 전압이 한계전압 이상이 되는 것을 억제하는 다이오드수단으로서 기능한다.

그 결과 상기 전위유지수단 또는 전하공급회로(5)는 노드(N2)의 전위가 전원전위( $V_{cc}$ )에서 2개의 트랜지스터(Q9, Q10)의 한계전압이 합계 또는  $2V_{th}$ 를 뺀 값의 전위보다도 저하하는 것을 방지하고, 이 하에서는 상기 합계의 전압을 전위(VR)로서 칭한다.

판독동작전의 감지 증폭기의 상태에 대해 설명한다.

이때 트랜지스터(Q3, Q13)는 오프가 되고 감지 증폭기(1)는 비트선(BL1, BL2)에 접속되어 있지 않다. 노드(N1)가 저레벨에 설정되어 질때, 노드(N2)는 인버터(2)에 의해 고레벨에 설정된다.

트랜지스터(Q7, Q8)는 노드(N2)의 전위에 응답하고 온이된다. 노드(N1)의 전위는 트랜지스터(Q8)의 온에 응답하여 상승한다.

반면에 노드(N2)의 전위는 인버터(2)의 동작에 의해 저하된다.

노드(N2)의 전위가 노드(N1)의 전위와 트랜지스터(Q8)의 한계전압( $V_{th}$ )의 합계보다 낮은 값에 저하될 때 트랜지스터(Q8)는 오프가 된다.

전하공급회로(5)가 미리 정해진 전압(VR)은 이때의 노드(N2)의 전위보다 약간 낮게 설정된다.

그 결과, 노드(N1)의 전위는 상승되는 것을 중단하고 노드(N2)의 전위도 저하되는 것을 중단한다. 이때의 노드(N1)의 전위는  $V_{o1}$ 로서 표시되고, 그리고 노드(N2)의 그것은  $V_{o2}$ 로서 표시된다. 반면에 노드(N1)가 고레벨에 설정될 때 노드(N2)는 인버터(2)에 의해 저레벨에 설정되도록 한다.

그러나 노드(N2)의 전위가 인버터에 의해 VR보다 낮게 변화될 때 전하공급회로(5)의 트랜지스터(Q9, Q10)는 온이된다.

이리하여 전원전위에서 트랜지스터(Q9, Q10, Q5)를 통하여 접지에 흐른다.

그 결과 노드(N2)의 전위는 트랜지스터(Q9, Q10)의 온 저항의 비에 의해 결정된다.

제 2 도는 제 1 도에 표시된 감지 증폭기에 의해 판독동작에 설명하는 타이밍 차트이다.

그리고 나서 제 1 도와 제 2 도를 참조하여 트랜지스터(Q1)를 포함하는 메모리 셀과 트랜지스터(Q2)를 포함하는 메모리 셀이 연속적으로 액세스 될 때의 회로의 동작에 대해 설명한다.

다음 설명에 있어서 트랜지스터(Q1)를 포함하는 메모리 셀에 신호 "1"이 기억되어 그리고 트랜지스터(Q2)를 포함하는 메모리셀에 신호 "0"이 기억된다고 추정한다.

즉, 트랜지스터(Q1)가 액세스 될 때 트랜지스터(Q1)가 오프가 되고 그리고 트랜지스터(Q2)가 액세스 될 때 트랜지스터(Q2)가 온이된다고 추정한다. 트랜지스터(Q1)가 액세스 될 때 워드선(WL1)은 로우 디코더에 의해 고레벨에 설정되어 컬럼 디코더에서 그레벨 신호(Y1)가 출력된다.

트랜지스터(Q3)는 신호(Y1)에 응답하고 온이 되고 트랜지스터(Q1)이 온이 되지 않는다.

위에서 언급한 바와 같이 비트선(BL1)은 이미 대략 접지전위에 설정되어 있다.

트랜지스터(Q3)가 온이된 후 비트선(BL1)은 감지 증폭기(1)에 의해 급속히 충전된다.

이리하여 노드(N1)의 전위는 일시적으로 하강하고 노드(N2)의 전위는 일시적으로 급속히 상승한다. 트랜지스터(Q8)이 노드(N2)의 전위 변화에 응답하고 온이되기 때문에 노드(N1)와 비트선(BL1)은 트랜지스터(Q8)를 경유하여 급속히 충전된다.

노드(N1)의 전위가 그러한 충전에 의해 상승될 때 노드(N2)의 전위변화가 상승해서 급격히 하강으로 반전한다.

노드(N1)의 전위가  $V_{o1}$ 에 도달할 때, 노드(N2)의 전위는 인버터(2)의 지연의 영향에 의해  $V_{o2}$ 까지 하강하지 않는다.

이리하여 트랜지스터(Q8)은 온을 계속하기 때문에 노드(N1)는 더욱 충전하여 그의 전위가 상승한다. 노드의 전위가  $V_{o2}$ 가 하강될 때 트랜지스터(Q8)는 오프가 된다.

이때에 노드(N1)는 이미  $V_{o1}$ 보다 높은 전위에 설정되어 있다.

그 결과 인버터(2)에서의 트랜지스터(Q4, Q5)의 온저항이 노드(N1)의 전위가  $V_{o1}$ 인 경우에 보다 각각 더 높고 그리고 더 낮다.

노드(N2)에서의 전하는 트랜지스터(Q5)를 통하여 방전하기 때문에 노드(N2)의 전위도  $V_{o2}$ 보다도 저하한다. 노드(N2)의 전위가 VR에 도달할 때 전하 공급회로(5)의 트랜지스터(Q9, Q10)의 온이된다.

이러한 방법으로 노드(N2)의 전위는 저하가 억제되고 환언하면 노드(N2)는 대략 VR의 전위로 유지된다.

다음은 트랜지스터(Q2)가 액세스 된다.

워드선(WL2)의 고레벨에 설정되고 그리고 고레벨 신호(Y1)는 공급되어 트랜지스터(Q3, Q2)가 온이 된다.

노드(N1)의 전하는 트랜지스터(Q3), 비트선(BL1) 그리고 트랜지스터(Q2)를 통하여 방전된다. 따라서 노드(N1)와 비트선(BL1)이 전위는 저하되고 노드(N2)의 전위는 인버터(2)의 동작에 의해 상승한다.

노드(N2)의 전위가 인버터(2)의 동작에 의해 VR가까이의 전위에서 올라가기 때문에 트랜지스터(Q7)가 노드(N2)의 전위에 응답하여 온이되기 까지의 시간이 단축된다.

출력회로(3)는 트랜지스터(Q7)의 타이밍 온에 의해 저레벨신호(So)를 출력한다.

제 2 도에서 표시한 것과 같이 워드선(WL2)의 전압의 상승 또는 컬럼 디코더의 출력신호(Y1)의 상승에서 출력신호(So)의 하강까지에 요하는 시간(T1)은 제 5 도에 표시된 시간(T2)보다 짧다.

이것은 전하공급회로(5)에 의해 노드(N2)의 전위가 대략 VR에 유지되어 있는것에 의한다.

즉 노드(N2)의 전위가 인버터(2)에 의해 VR에서 급속히 변화되기 때문에 트랜지스터(Q7)는 급속히 온이된다.

그 결과 저레벨 출력신호(So)가 종래의 회로에 있어서 보다 더욱 빨리 출력된다.

비록 전하 공급회로(5)가 상기 실시예에서 2개의 NMOS 트랜지스터(Q9, Q10)에 의해 구성되어도 이러한 트랜지스터는 다이오드를 적용하는 것도 가능하고 그 경우에는 그 다이오드는 순방향전류가 노드(N2)를 향하여 전원전위(Vcc)에서 흐르도록 접속된다.

비록 감지증폭기가 상기 실시예에서 CMOS 회로에 의해 구성되어도 파워캇용의 각종 트랜지스터가 제공되는 NMOS 회로에 의해 구성되어도 좋다. 그리고 노드(N1)에서 접지전위에 전류누설로가 제공되어도 좋고 예를들면 작은 NMOS 트랜지스터가 노드(N1)와 접지 전위에 사이에 접속된다. 트랜지스터는 노드(N2)에 접속되는 그의 게이트를 가진다.

최종적으로 비록 상기 실시예의 설명이 감지 증폭기(1)가 ROMs를 위해 사용되는 경우 만들어 졌어도 이 감지 증폭기(1)는 일반적으로 임의 접근 기억장치(RAMS)에서 작용가능 한 것이다.

제 1 도에 표시된 감지 증폭기에 있어서 트랜지스터(Q3)의 제 1 액세스를 위해 회전후 노드(N1)는 트랜지스터(Q8)의 온에 의해 추가 고전위레벨에 설정된다.

그러므로 인버터(2)의 동작에 의해 노드(N2)는 접지전위에 향해 변화하려고 한다.

그러나 전하공급회로(5)가 VR에 동등한 전위에서 노드(N2)를 유지하기 때문에 노드(N2)의 전위는 제 2 액세스 시간에서 단시간에 상승한다.

그 결과, 트랜지스터(Q1)는 급속히 온이 된다. 즉, 이 전류형 감지 증폭기(1)의 증폭속도 또는 반도체 기억 장치에서의 감지 증폭기의 동작 속도는 종래의 회로에서 보다 더 높게 만들어진다. 비록 본 발명이 상세하게 설명되었어도 설명과 예의 방법은 같고 그리고 첨부 청구범위에 의하여 오로지 제한되는 본 발명의 제한 정신과 범위의 방법에 의해 취해지지 않은 것이 명백하게 이해된다.

## (57) 청구의 범위

### 청구항 1

외부에서 어드레스 신호(A1-A4)를 받는 수단(22, 24)과, 비트선(BL1, BL11)과, 각각이 상기 비트선(BL1, BL11)과 제 1 전위노드(GND) 사이에 접속되어, 어드레스 신호(A0, A1)를 받는 수단(22)에서의 출력에 응답하고 그 중에 기억된 데이터 신호를 상기 비트선(BL1, BL11)으로 제공하는 복수의 메모리 셀(15, Q1, Q2, Q11, Q12)과, 상기 비트선(BL1, BL2)에 있는 전압을 증폭하는 감지 증폭기(1)와, 상기 비트선(BL1, BL11)과 상기 감지 증폭기(1) 사이에 접속되고, 어드레스 신호(A2, A3)를 받는 수단(24)에서의 출력에 응답하여 동작하는 제 1 스위칭수단(Q3, Q13)을 구비하되, 상기 감지 증폭기(1)는, 상기 제 1 스위칭 수단(Q3, Q13)을 통하여 상기 비트선(BL1, BL11)에 접속되는 제 1 노드(N1)와, 상기 제 1 노드(N1)에 있는 전위가 입력되고 이 입력된 전위에 대해 반전한 전위를 출력하는 제 1 인버터수단(2)과, 제 2 전위 (Vcc)와 상기 제 1 노드(N1)사이에 접속되어 상기 제 1 인버터수단(2)의 출력전위에 응답하여 동작하는 제 2 스위칭 수단(4)과, 상기 제 1 인버터수단(2)의 출력전위를 제 3 전위(VR)로 유지하는 전위 유지 수단(5)과, 상기 제 1 인버터 수단(2)의 출력전위에 응답하여 증폭된 신호를 출력하는 증폭 수단(3)을 포함하는 반도체 메모리 장치.

### 청구항 2

제 1 항에 있어서, 상기 전위유지수단(5)은, 상기 제 2 전위노드(Vcc)와 상기 제 1 인버터수단(2)의 출력사이에 접속되는 반도체 메모리 장치.

### 청구항 3

제 2 항에 있어서, 상기 전위유지수단(5)은, 상기 제 2 전위노드(Vcc)와 상기 제 1 인버터수단(2)사이에 접속되고, 상기 제 1 인버터수단(2)의 출력신호에 응답하여 도통상태로 되게 하는 제 3 스위칭수단(Q9, Q10)을 포함하는 반도체 메모리 장치.

### 청구항 4

제 3 항에 있어서, 상기 제 3 스위칭 수단(Q9, Q10)은 상기 제 2 전위노드(Vcc)의 상기 제 1 인버터수단(2)의 출력노드사이에 접속되는 다이오드 수단(Q9, Q10)을 포함하고, 상기 다이오드 수단(Q9, Q10)은 상기 제 1 인버터(2)의 출력에 상기 제 2 전위노드(Vcc)를 접속하는 방향으로 접속되는 반도체 메모리 장치.

### 청구항 5

제 4 항에 있어서, 상기 다이오드수단(Q9, Q10)은 소스전극, 드레인 전극 그리고 게이트 전극을 가지는 적어도 하나의 제 1 전계효과 트랜지스터(Q9, Q10)를 포함하고, 상기 제 1 전계효과 트랜지스터(Q9, Q10)의 드레인전극 및 게이트 전극은 상기 제 2 전위노드(Vcc)의 전위를 받기위해 공통으로 접속되고, 상기 제 1 전계효과 트랜지스터(Q9, Q10)의 소스전극은 상기 제 1 인버터수단(2)의 출력

전위를 받도록 접속되는 반도체 메모리 장치.

#### 청구항 6

제 1 항 내지 제 5 항중 어느 한 항에 있어서, 상기 제 2 스위칭수단(4)은 소스전극, 드레인 전극 그리고 게이트 전극을 가지는 제 2 전계효과 트랜지스터(Q8)를 포함하되, 상기 제 2 전계효과 트랜지스터(Q8)의 드레인전극은 상기 제 2 전위노드(Vcc)에 접속되고, 상기 제 2 전계효과 트랜지스터(Q8)의 소스전극은 상기 제 1 노드(N1)에 접속되고, 상기 제 2 전계효과 트랜지스터(Q8)의 게이트 전극은 상기 제 1 인버터수단(2)의 출력노드에 접속되는 반도체 메모리 장치.

#### 청구항 7

제 1 항 내지 제 5 항중 어느 한 항에 있어서, 상기 증폭수단(3)은 상기 제 1 인버터수단(2)의 출력 전위가 입력되고 이 입력된 출력전위에 대하여 반전하는 전위를 출력하는 제 2 인버터수단(3)을 포함하는 반도체 메모리 장치.

#### 청구항 8

제 7 항에 있어서, 상기 제 1 과 제 2 인버터수단(2, 3)은 각각 상보형 인버터에 의해 구성되는 반도체 메모리 장치.

#### 청구항 9

제 1 항 내지 제 5 항중 어느 한 항에 있어서, 상기 제 1 전위노드(GND)에 공급되는 전위는 접지전위(GND)이고, 상기 제 2 전위노드(Vcc)에 공급되는 전위는 전원전위(Vcc)인 반도체 메모리 장치.

#### 청구항 10

제 1 항 내지 제 5 항중 어느 한 항에 있어서, 상기 반도체 메모리 장치는 판독전용 기억장치인 반도체 메모리 장치.

#### 청구항 11

입력신호가 입력되는 입력노드(N1)와, 이 입력노드(N1)에 있는 전위가 입력되고, 이 입력된 전위에 대하여 반전한 전위를 출력하는 인버터수단(2)과, 전위노드(Vcc)와 상기 입력노드(N1)와의 사이에 접속되고, 상기 제 1 인버터수단(2)의 출력전위에 응답하여 동작하는 제 1 스위칭수단(4)과, 상기 인버터수단(2)의 출력전위를 제 3 전위로 유지하기 위한 전위유지수단(5)과, 상기 인버터수단(2)의 출력전위에 응답하여 증폭된 신호를 출력하는 증폭수단(3)을 포함하는 감지 증폭기.

#### 청구항 12

제 11 항에 있어서, 상기 전위유지수단(5)은, 전위노드(Vcc)와 상기 인버터수단(2)의 출력노드사이 에 접속되는 감지 증폭기.

#### 청구항 13

제 11 항에 있어서, 상기 전위유지수단(5)은, 전위노드(Vcc)와 상기 인버터수단(2)의 출력노드사이 에 접속되고, 상기 인버터수단(2)의 출력전위에 응답하여 도통상태로 되는 제 2 스위칭수단(Q9, Q10)을 구비하는 감지 증폭기.

#### 청구항 14

제 13 항에 있어서, 상기 제 2 스위칭 수단(Q9, Q10)은, 상기 전위노드(Vcc)의 상기 인버터수단(2)의 출력노드사이 에 접속되는 다이오드 수단(Q9, Q10)을 갖고, 상기 다이오드 수단(Q9, Q10)은 전위 노드(Vcc)를 인버터수단(2)의 출력노드에 접속하는 방향으로 접속되는 감지 증폭기.

#### 청구항 15

제 14 항에 있어서, 상기 다이오드수단(Q9, Q10)은 소스전극, 드레인전극 및 게이트전극을 가지는 적어도 하나의 제 1 전계효과 트랜지스터(Q9, Q10)을 갖고, 상기 제 1 전계효과 트랜지스터(Q9, Q10)의 드레인전극 및 게이트전극은 제 2 전위노드(Vcc)의 전위를 받도록 공통으로 접속되며, 상기 제 1 전계효과 트랜지스터(Q9, Q10)의 소스전극은 상기 인버터수단(2)의 출력전위를 받도록 접속되는 감지 증폭기.

#### 청구항 16

제 11 항, 제 12 항, 제 13 항, 제 14 항, 또는 제 15 항에 있어서, 상기 제 1 스위칭수단(4)은 소스전극, 드레인전극 및 게이트전극을 가지는 제 2 전계효과 트랜지스터(Q8)를 갖고, 상기 제 2 전계효과 트랜지스터(Q8)의 소스전극은 상기 입력노드(N1)에 접속되며, 상기 제 2 전계효과 트랜지스터(Q8)의 게이트전극은 상기 인버터수단(2)의 출력노드에 접속되는 감지 증폭기.

#### 청구항 17

제 11 항, 제 12 항, 제 13 항, 제 14 항, 또는 제 15 항에 있어서, 상기 증폭수단(3)은, 상기 인버터수단(2)의 출력전위가 입력되고, 이 입력된 출력전위에 대하여 반전한 전위를 출력하는 제 2 인버터수단(3)을 구비한 감지 증폭기.

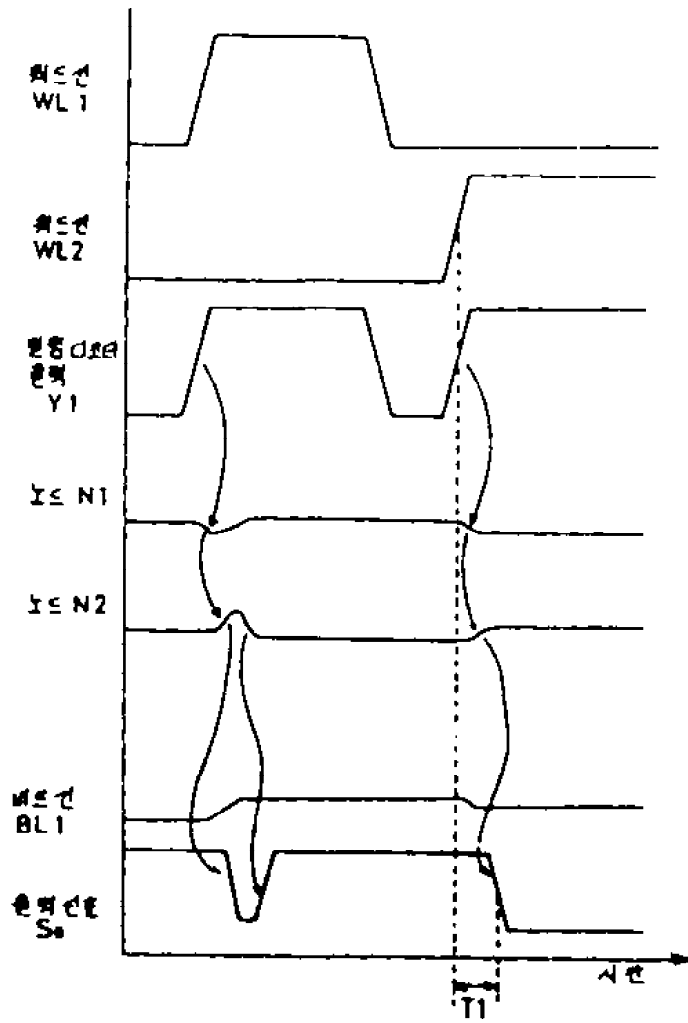
#### 청구항 18

제 17 항에 있어서, 상기 인버터수단(2) 및 상기 제 2 인버터수단(3)은 각각 상보형 인버터에 의해

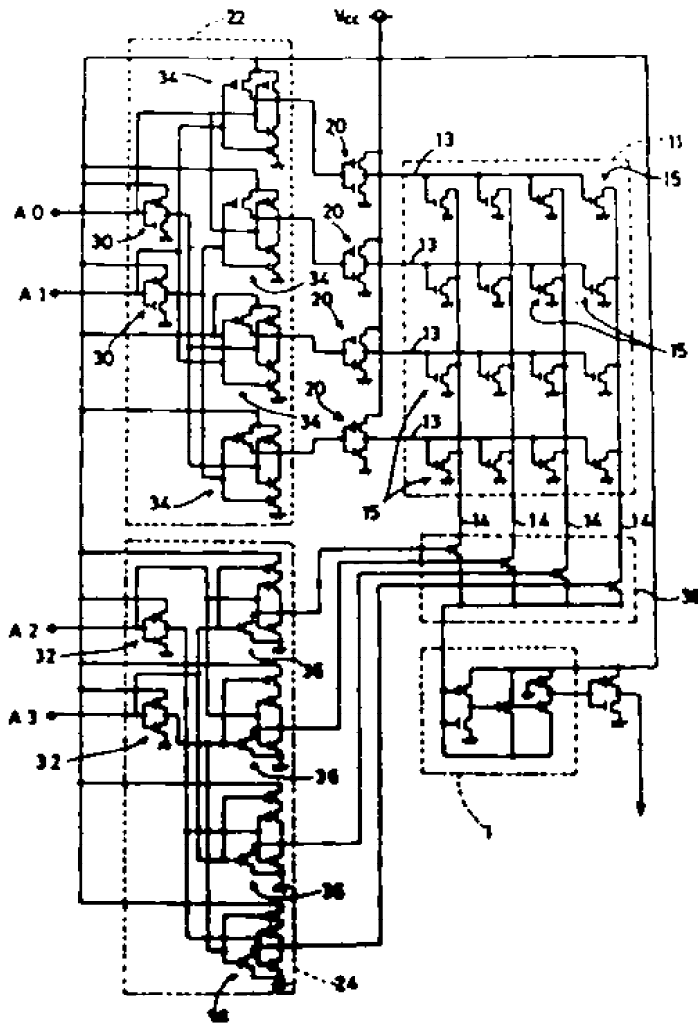




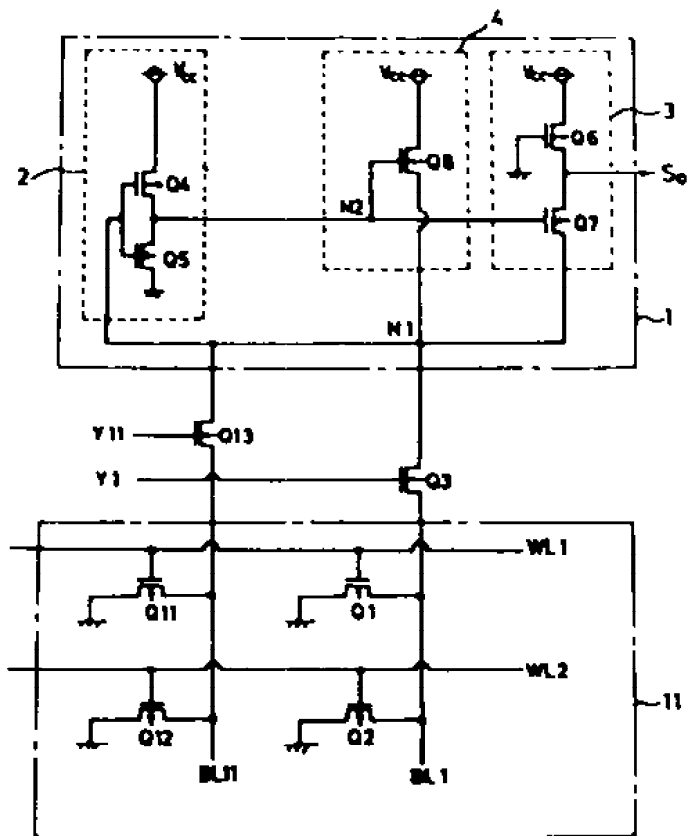
## 도면2



도면3



도면4



도면5

