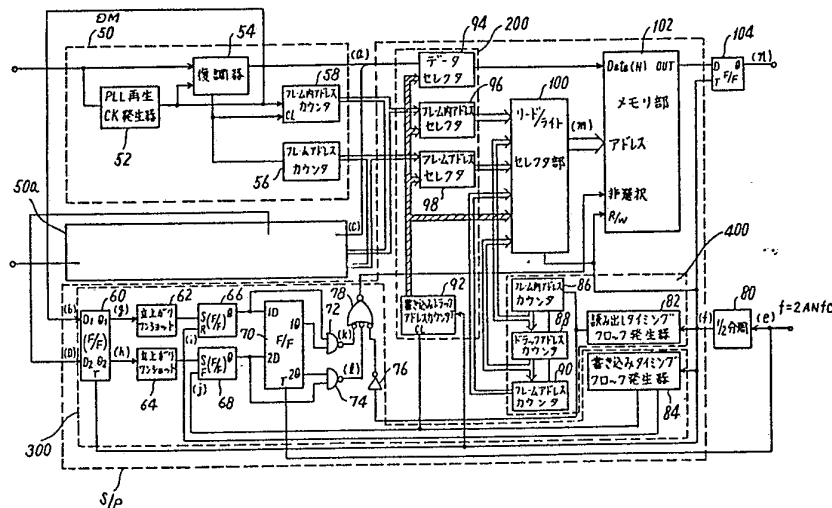


特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 ³ G11B 5/09, 5/43; H04B 1/00		A1	(11) 国際公開番号 WO 84/ 04622
			(43) 国際公開日 1984年11月22日 (22. 11. 84)
(21) 国際出願番号 (22) 国際出願日 (31) 優先権主張番号 (32) 優先日 (33) 優先権主張国 (71) 出願人 (米国を除くすべての指定国について) 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP] 〒100 東京都千代田区丸の内2丁目2番3号 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてののみ) 井戸喜平 (IDO, Kihei) [JP/JP] 〒617 京都府長岡京市馬場園所1番地 三菱電機株式会社 電子商品開発研究所内 Kyoto, (JP) (74) 代理人 弁理士 大岩増雄 (OIWA, Masuo) 〒100 東京都千代田区丸の内2丁目2番3号 三菱電機株式会社内 Tokyo, (JP) (81) 指定国		PCT/JP84/00242 1984年5月15日 (15. 05. 84) 特願昭58-85409 1983年5月16日 (16. 05. 83) JP DE, US.	
添付公開書類		国際調査報告書	

(54) Title: APPARATUS FOR REPRODUCING DIGITAL SIGNAL

(54) 発明の名称 デイジタル信号再生装置



(57) Abstract

A digital signal reproducing apparatus is arranged such that a signal to be written is selected by a write track selector unit (200) from a plurality track signals demodulated by a demodulator unit (50). The track signal selected by the track selector unit (200) is stored in a memory unit (102), during this time, the timing for writing the track signal selected by the track selector unit (200) into the memory unit (102) is determined by a write timing setting unit (300). The read timing is determined by a read setting unit (400) so that a signal stored in the memory unit (102) is read out during a period between two write-timing periods set by the write timing setting unit (300), and the signal to be read out is determined. In accordance with output signals from the write timing setting unit (300) and the read setting unit (400), a read/write selector unit (100) selectively designates either a write or read for the memory unit (102), so that a write or read is executed every 1/2 ANfc. This arrangement makes it possible to reduce the circuit size.

(57) 要約

復調部(50)により復調された各トラックの信号のうち、書き込むべき信号を書き込みトラック選択部(200)により選択し、トラック選択部(200)により選択されたトラックの信号をメモリ部(102)により記憶し、その記憶に際しトラック選択部(200)により選択されたトラックの信号をメモリ部(102)に書き込むタイミングを書き込みタイミング設定部(300)により決定し、メモリ部(102)に記憶された信号を上記書き込みタイミング設定部(300)により設定される2つの書き込みタイミング期間中に読み出すように読み出し設定部(400)によりタイミングを決定し、かつ読み出すべき信号を決定し書き込みタイミング設定部(300)及び読み出し設定部(400)からの出力信号に基づき、リード/ライトセレクタ部(100)によりメモリ部(102)に対し書き込みあるいは読み出しの一方を選択的に指示し、1/2ANfc毎に書き込み又は読み出しを行なうように構成し、回路規模の縮小化を図ったものである。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	KR	大韓民国
AU	オーストラリア	LI	リヒテンシュタイン
BE	ベルギー	LK	スリランカ
BR	ブラジル	LU	ルクセンブルグ
BU	ブルガリア	MC	モナコ
CF	中央アフリカ共和国	MG	マダガスカル
CG	コンゴ	MR	モーリタニア
CH	スイス	MW	マラウイ
CM	カメルーン	NL	オランダ
DE	西ドイツ	NO	ノルウエー
DK	デンマーク	RO	ルーマニア
FI	フィンランド	SD	スーダン
FR	フランス	SE	スウェーデン
GA	ガボン	SN	セネガル
GB	イギリス	SU	ソビエト連邦
HU	ハンガリー	TD	チャード
JP	日本	TO	トーゴ
KP	朝鮮民主主義人民共和国	US	米国

明 細 書

発 明 の 名 称

ディジタル信号再生装置

技 術 分 野

この発明はマルチトラック方式のディジタル処理装置特に、ディジタル信号再生装置に関する。

背 景 技 術

マルチトラック方式のディジタル信号再生装置を含んだシステムとしては、一般的に第1図に示される構成である。

第1図において、各トラックの再ヘッドPHより再生されたアナログ信号は、再生アンプRAにより、2進データに変換するに十分な値まで増巾された後、データ検出回路DDにより2進データに変換される。その後、ディジタル記録する為にディジタル変調されている2進データは復調部DMにより元の2進データに復号され、その後、シリアルパラレル変換部S/Pにおいてシリアルパラレル変換された各トラックのデータが出力され、誤り訂正部CCにおいて誤り訂正が行なわれた後、D/A変換部でD/A変換され元のアナログ信号として装置より出力される。

なお、第1図において、2重斜線を施した矢印はマルチラインを示し、2重斜線が施されていない矢印はシングルラインを示す。



シリアルパラレル変換部 S/P では，テープ走行変動に伴う再生データの時間軸の変動を吸収するように構成されるのが一般的である。

第 1 図における復調部 D M 及びシリアルパラレル変換部 S/P からなるディジタル信号再生装置の一例としては，例えば，特開昭 57 - 135413 号に示されたものがありこれを第 2 図に示す。

同図に示すものは，再生回路 (10)，PLL 再生クロック回路 (12)，復調回路 (14)，書込アドレスカウンタ (20)，メモリ（記憶装置）(22)，(24)，(26)，マルチプレクサ (28)，(30)，(32)，(34)，(44)，読出アドレスカウンタ (38)，読出フレームカウンタ (40)，トラック選択カウンタ (46) などを有する。

第 1 図において，先ず，再生回路 (10) は，磁気ヘッドなどで再生されたデータをデジタル化する。PLL 再生クロック回路 (12) は，その再生データに同期したクロックを再生する。

復調回路 (14) は，再生回路 (10) によってデジタル化されたデータから元のデジタルデータを復調する。また，この復調データからフレーム同期信号の検出を行なう。復調データはライン (16) に，フレーム同期信号はライン (18) にそれぞれ出力される。

書込アドレスカウンタ (20) は，上記再生クロックに基づいてアドレスデータを生成する。さらに，時間軸変動吸収メモリ (22)，(24)，(26) の書込アドレス指定を行なう。

マルチプレクサ (28) , (30) , (32) は読出 / 書込状態の指定およびアドレス指定の切換を行なう。

読出アドレスカウンタ (38) は、ライン (36) から入力される、時間軸変動が極めて小さい基準クロックに基づいて読出アドレスを生成する。また、フレームアドレスカウンタ (40) は読出フレームアドレスを生成する。

さらに、マルチトラックにおいては、上記符号 (10) ~ (32) で示した構成要素を有するブロック (48) が各トラック毎に必要である。そこで、同様の構成要素を有するブロック (48a) , (48b) , (48c) がさらに設けられている。

各トラックからの出力 (42) , (42a) , (42b) , (42c) はトラック切換マルチプレクサ (44) に入力される。読出トラックはトラック読出カウンタ (46) によって制御される。

次に動作について説明する。

復調回路 (14) から出力されたフレーム同期信号によって、マルチプレクサ (28) , (30) , (32) が各メモリを書込もしくは読出状態にセットする。

第3図に示すように、第N回目のフレーム同期信号によって、メモリ (24) , (26) が読出状態に、メモリ (22) が書込状態にそれぞれセットされる。さらに、N+1回目のフレーム同期信号によって、メモリ (24) が書込状態にセットされ、メモリ (26) が読出状態にそれぞれセットされる。

さらに、N+2回目のフレーム同期信号によって、メモリ (22) , (24) が読出状態に、メモリ (26) が書込状態にそれぞれ

れセットされる。

以後，フレーム同期信号毎に上記3状態が繰返される。ただし，上記は一例であり，読出状態から書込状態へのセットは，同期信号毎とは限らない。これは，記録装置の持つジッタ量やメモリ容量に依存する。例えば，2あるいは3フレーム毎のように，複数フレーム毎にセットされることもある。

書込状態にセットされたメモリには1フレーム分のデータが書込まれる。次のフレーム同期信号によって，そのメモリは2フレーム分が読出状態にセットされる。このときの読出は，上記基準クロックを用いて行なわれる。この基準クロックは，水晶発振子などを用いて発生される非常に周波数安定性の高い高周波信号に基づいて生成される。したがって，その基準クロックの時間軸変動は極めて小さい。

書込が完了すると，先に書込んだ1フレーム分のデータが $1/2 \sim 1 \cdot 1/4$ フレーム分遅れて読出され，これにより次の書込が始まる $1/2$ フレーム前に読出が完了する。

つまり，各トラック当り3つのメモリを並列に使用することにより， $1/2$ フレーム分までのジッタ余裕を持った時間軸変動が吸収されるような回路となっている。

ところで，以上のような構成を有する従来の回路では，各トラック毎に時間軸変動吸収メモリが複数個（通常



3 個以上) ずつ必要となる。さらに，マルチトラック化すると，メモリの数はさらにその N 倍も必要となる。このため，回路規模が拡大し，装置のコンパクト化，低消費電力化，低価格化などが妨げられていた。

発明の開示

この発明は，複数本のトラックを用いてデジタル信号列をフレーム単位で記録・再生する装置の時間軸変動を吸収するにあたり，メモリの書込アドレス指定を，時間軸変動の極めて少ない基準クロック（再生データ伝送クロック f_c の $2AN$ 倍，ただし A は 1 以上の有理数， N はトラック数）により同期を取り，復調部により復調された各トラックの信号のうち，書き込むべき信号を書き込みトラック選択部により選択し，トラック選択部により選択されたトラックの信号をメモリ部により記憶し，その記憶に際しトラック選択部により選択されたトラックの信号をメモリ部に書き込むタイミングを書き込みタイミング設定部により決定し，メモリ部に記憶された信号を上記書き込みタイミング設定部により設定される 2 つの書き込みタイミング期間中に読み出すように読み出し設定部によりタイミングを決定し，かつ読み出すべき信号を決定し，書き込みタイミング設定部及び読み出し設定部からの出力信号に基づき，リード／ライトセレクト部によりメモリ部に対し書き込みあるいは読み出しの一方を選択的に指示し， $\frac{1}{2} AN f_c$ 毎に書き込みまたは読み

出しを行なうように構成したディジタル信号再生装置を提供するものである。

この発明によれば時間軸変動吸収メモリを共通のメモリで行なうため、これにより回路規模の縮小化が実現できる。

図面の簡単な説明

第1図はディジタル信号再生装置を備えた一般的なシステムの概要を示す図、第2図は従来のディジタル信号再生装置の一例を示す回路図、第3図はその動作例を示すタイミングチャート図、第4図はこの発明によるディジタル信号再生装置の一実施例を示す回路図、第5図はその動作例を示すタイミングチャート図、第6図は第4図に示した回路の動作例を示すタイミングチャート図である。

発明を実施するための最良の形態

第4図はこの発明の一実施例を示す図で、第4図において、磁気ヘッドなどにより再生されたデータは、復調部50にデジタル信号として入力される。この復調部50内には、PLL（フェーズロックループ）52、復調部54、フレームアドレスカウンタ56、フレーム内アドレスカウンタ58などが含まれている。

PLL 52は上記入力データに同期したクロックを発生する。この同期クロックによって、復調器54が上記入力データをバイナリーデータ（2進データ）に復調する。

さらに、復調器 54 はフレーム同期信号を検出する。このフレーム同期信号は、フレームアドレスカウンタ 56 およびフレーム内アドレスカウンタ (58) の各リセット端子にそれぞれ入力される。

フレームアドレスカウンタ 56 およびフレーム内アドレスカウンタ (58) はそれぞれ、後述するアドレスデータを生成するためのものである。

以上の符号 52 ~ (58) で示した構成要素は、ブロック 50、(50a) として、複数のトラックの各トラック毎に配設されている。

さらに、各ブロック内の PLL 52 にてそれぞれ生成された伝送ブロック f_c (Hz) は、書込タイミングを生成するための書き込みタイミング設定部 (200) に入力される。この書き込みタイミング設定部 (200) はフリップフロップ 60、ワンショットマルチバイブレータ 62 64、フリップフロップ 66 68 70、論理ゲート 72 74 76 78 及び書き込みタイミングクロック発生回路 84 等から構成されている。

他方、時間軸変動が極めて小さい $2ANf_c$ (Hz) の基準クロックが、 $1/2$ 分周回路 80 に入力され、これにより書込／読出時間が設定される。分周回路 80 の出力は、読出タイミングクロックおよび書込タイミングクロックを生成するため、読出タイミングクロック発生器 82 及び書込タイミング発生器 84 に入力される。

読出タイミング発生器 82 の出力はフレーム内アドレス



カウンタ(86)に入力される。書込タイミング発生器(84)の出力はセット／リセットのフリップフロップ(66)，(68)のリセット端子に入力される。セット／リセットのフリップフロップ(66)，(68)はそれぞれ，上記発生器(84)の出力と上記伝送クロックfcとによって，トラック間の書込タイミングを生成する。

書込タイミング発生器(84)の出力は，書込トラックアドレスカウンタ(92)のリセット端子にも入力される。書込トラックアドレスカウンタ(92)の出力は，データセクタ(94)，フレーム内アドレスセクタ(96)，およびフレームアドレスセクタ(98)の選択入力に入力される。そして，書込トラックアドレスカウンタ(92)，データセクタ(94)，フレーム内アドレスセクタ(96)及びフレームアドレスセクタ(98)は書き込みトラック選択部(300)を構成している。

データセクタ(94)，フレーム内アドレスセクタ(96)，およびフレームアドレスセクタ(98)には，フレーム内アドレスカウンタ(58)，フレームアドレスカウンタ(56)の出力もそれぞれ入力される。書込トラックアドレスカウンタ(92)の出力は，フレーム内アドレスセクタ(96)及びフレームアドレスセクタ(98)の選択出力と共に，リード／ライトセクタ(100)に入力される。これにより，リード／ライトセクタ(100)は書込トラックのアドレス指定を行なう。リード／ライトセクタ(100)には，フレーム内アドレスカウンタ(86)，トラックアドレスカウンタ(88)，フレームア

ドレスカウンタ(90)の各カウンタ出力も入力される。

ここで、読出タイミング発生器(82)、フレーム内アドレスカウンタ(86)、トラックアドレスカウンタ(88)及びフレームアドレスカウンタ(90)は読出設定部(400)を構成している。

リード/ライトモードは1/2分周回路(80)の出力クロックによって指定される。メモリ(102)のアドレス端子には、トラック指定された書込アドレスもしくは読出アドレスのいずれかが入力される。また、リード/ライトモード指定によってメモリ(102)から読出されたデータは、フリップフロップ(104)によって同期が取り直され、連続したデータとしてCRCチェックなどの回路に入力されるようになっている。

以上のような構成によって、読出に同期した書込が可能になる。そして、これにより、全トラックに対して1つのメモリでもって、時間軸の変動を吸収する回路が構成されるようになっている。

次に、この発明の動作について説明する。

まず、従来の方法では、書込アドレス指定と読出アドレス指定との同期が取れていなかった。このため、1つのメモリでもって書込と読出をデータ伝送タイミング毎に行なったり、データ伝送の1周期内に複数トラックを1つのメモリによって多重分割処理したりすることは、書込エラーもしくは読出エラーを誘発する可能性を大き

くする。そこで、メモリを各トラック当り複数個並列に設けていた。そして、フレーム単位でPLL再生クロックによる書込アドレス指定の書込専用領域およびジッタマージンを見込み、これによって時間軸変動のないクロックによる読出アドレス指定の読出専用領域を設けるようにしていた。

これに対し、この発明では、書込アドレス指定の同期を、読出アドレス指定を行なうクロックによって取る。これにより、1つのメモリでもってN本のトラックの書込と読出を、読出データ伝送タイミング毎に行なうことができるようにしたものである。第5図はその動作タイミングの一例を示す。

なお、第4図中の符号(a)～(m)は第5図の(a)～(m)に対応している。

第5図において、(a)は第4図の回路ブロック50からの復調データを示す。(b)はその復調データの伝送クロックを示す。(c)は回路ブロック(50a)の復調データを示す。(d)はその伝送クロックを示す。(a)と(b)または(c)と(d)の間ではそれぞれ同期が取れている。しかし、(b)と(d)のクロックは、別々のトラックからの再生データに基づいて生成されるものであるため、非同期状態であって、両者の周波数は必ずしも同じとは言えない。

(e)は時間軸変動が極めて小さいクロック f_{osc} を示す。このクロックは、例えば周波数安定性の優れた水晶発振



子を用いて発生される。このクロック f_{osc} は、もちろん上記 (b), (d) のクロックと非同期である。このため、データをその f_{osc} に対して同期させる必要がある。その手段として、先ず、メモリにおける読出タイミングと書込タイミングを f_{osc} に基づいて決定するようにする。このとき、読出と書込のタイミング決定は、第 3 図に示すように、 f_{osc} を $1/2$ 分周した ANf_c (A は係数で $A > 1$, N はトラック数, f_c はマルチ (複数) トラック状態におけるデータ記録・再生のためのデータ伝送クロック周波数をそれぞれ示す。) Hz のクロック (第 5 図の (f) にて示されるタイミング) によって、メモリのリード/ライト選択入力およびリード/ライトセクタのコントロール入力を制御することにより行なわれる。これによって、読出時間と書込時間は同じになる。すなわち、 $1/2 ANf_c$ (sec) になる。また、読出周期は、再生データ伝送クロック f_c の AN 倍になっている。

次に、書込状態の設定は、先ず、各トラックのデータ伝送クロック f_c を、(f) に示すタイミングクロックによって同期を取る。そして、伝送タイミング毎に $1/2 ANf_c$ 以下のパルス幅を持つクロック (第 5 図の (g), (h) で示す) を生成して、セッターリセットフリップフロップ (60), (68) のセット端子に入力する。さらに書込みタイミング作成の方法として、フリップフロップ (60) の T 入力 (f) を (e) の立ち下りで同期を取ったクロックにし、フリップフ

ロップ (60) の出力, Q_1 , Q_2 をフリップフロップ (60), (68) へのセット端子へ入力するのではなく, D タイプフリップフロップ (70) のクロック端子 T に入力して Data を H にラッチする為のクロックパルスとする方法によっても同様の結果が得られる。また, 各トラックにおける書込タイミングを決定するために生成された状態変化が, 書込タイミングの立上がりと一致しており, $1 / Afc$ (sec) の周期のクロック (第 5 図の (i) もしくは (j) として, 上記フリップフロップ (60), (68) のリセット端子に入力される。

上記フリップフロップ (60), (68) の出力は, これがフリップフロップ (70) とゲート (72), (74) に入力されることにより, 各トラックに対して, 再生データ伝送 1 周期 ($1 / fc$ (sec)) 内に $1/2 ANfc$ (sec) の書込エリアを A 倍のマージンをもって 1 回設けることができる (第 5 図の (k) と (l))。

各トラック間において, 書込タイミングが一致しないようにするため, 各トラックにおけるセッターリセットタイプのフリップフロップのリセット端子に入力される書込タイミングを決定するための周期が $1 / Afc$ (sec) であるクロックは, 各トラック間において $1 / ANfc$ (sec) ずつずらしたものになっている (第 5 図の (i) と (j))。

以上のような手段によって, 各トラックに対して, 読出タイミングに同期した書込エリアが確保されている。



次に、各トラック間のセレクト手段を示す。

先ず、各トラックには、再生データ伝送クロック f_c に同期したデータ出力、およびその f_c によって生成されるフレーム内アドレスカウンタ出力、およびフレーム同期信号によって生成されるフレームアドレスカウンタ出力がある。これらは、データセクタ、フレーム内アドレスセクタ、およびフレームアドレスセクタにそれぞれ入力される。これらのセクタには、 ANf_c のクロックによって生成されるトラックアドレスカウンタの出力が、トラック選択入力として入力される。トラックアドレスカウンタのリセットに $1 / Af_c (\text{sec})$ の周期である書込タイミングの決定をするためのいずれか1つのトラックのクロックを用いることにより、 N (トラック数) カウントが $1 / f_e$ 周期の間に A 回行なわれるとともに、これらはメモリのリード/ライト切換モードに同期したものとなる。

さらに、書込側のセクタ出力は、リード/ライトセクタに入力される。 ANf_c のクロックによって、メモリのリード/ライトタイミングに同期して、読出アドレスカウンタと交互にメモリのアドレスに入力される。

以上の手段により、1つのメモリでもって、マルチトラックにおける1データ伝送周期内に AN 回の読出と、 A 倍の書込余裕を持たせて N トラック分の書込を分割多重化することが可能になる。

さらに、再生データ1フレーム分における書込と読出の関係は、第5図に示すようになっている。書込は、1フレーム内において、再生1データ伝送周期内に各トラックともAの書込余裕を持たせて、1回のみ $1/2ANf_c$ (sec)の書込を行ない、再生データごとにさらに書込まれていく(第6図の(a))。

他方、読出は、ジッタマージンを見込んで(見積もって)、各トラックとも、 $1/2$ フレーム程度以上よりも前のデータを読出し、再生1データ伝送周期内にAN回の読出を行ない、再生データ1フレーム内に読出期間の(A-1)倍の読出禁止期間を設けて、Nトラック分のデータを読出す(第6図の(b))。

さらに、読出データを連続したものとするため、 ANf_c のクロックによって同期を取る(第6図の(c))。

なお、この発明は、第4図、第5図、第6図にて示した実施例に限られるものではなく、例えば、読出タイミングクロック発生器および書込タイミングクロック発生器の多少の変更によって、1データ伝送期間の前半(もしくは後半)に読出を連続してNデータ分行ない、後半(もしくは前半)に連続してNトラック分のデータを分割多重により書込むようにすることも可能である。さらに、読出タイミングは、各トラック当り1ブロックで示しているが、Nトラック分連続して読出すようにすることも可能である。



請求の範囲

- (1) 複数本のトラックを用いてデジタル信号列をフレーム単位で記録・再生する装置であって、マルチトラック化されたデジタル信号を、復調部より元の2進データに復調し、この復調された信号を、パラレル／シリアル変換して誤り訂正回路に出力するものにおいて、復調部により復調された各トラックの信号のうち、書き込むべき信号を選択する書き込みトラック選択部、トラック選択部により選択されたトラックの信号を記憶するメモリ部、トラック選択部により選択されたトラックの信号をメモリ部に書き込むタイミングを決定する書き込みタイミング設定部、メモリ部に記憶された信号を、上記書き込みタイミング部により設定される2つの書き込みタイミングの期間中に読み出すようにタイミングを決定し、かつ読み出すべき信号を決定する読み出し設定部、書き込みタイミング設定部、及び、読み出し設定部からの出力信号に基づき、メモリに対し書き込みあるいは読み出しの一方を選択的に指示するリード／ライトセクタ部とを備え、 $1 / 2 \cdot A \cdot N \cdot f_c$ (但し、 A は1以上の有理数、 N はトラック数、 f_c はデータ伝送クロック) 時間毎に書き込みまたは、読み出しを行なうように構成したデジタル信号再生装置。
- (2) 復調部は、再生データに同期したクロックを発生するPLL再生クロック発生器、デジタル変調された信号

を元の2進データに復調すると共に、フレーム同期信号を検出する復調器、フレーム内のデータアドレスを指定するため、再生PLLクロックによりカウントするフレーム内アドレスカウンタ、フレームアドレスを指定するためフレーム同期信号毎にカウントするフレームアドレスカウンタからなることを特徴とする、請求の範囲第1項記載のデジタル信号再生装置。

(3) 書き込みトラック選択部は、各トラックの再生データ信号を選択的にメモリのデータ入力ラインに与えるデータセクタ、各トラックの書き込みフレーム内アドレスを選択的にリード/ライトセクタに与えるフレーム内アドレスセクタ、各トラックの書き込みフレームアドレスを選択的にリード/ライトセクタに与えるフレームアドレスセクタ、上記3つのセクタに対し、選択すべきトラックを指示すると共に、リード/ライトセクタに、書き込みトラックアドレスを与えるための書き込みトラックアドレスカウンタからなることを特徴とする請求の範囲第1項記載のデジタル信号再生装置。

(4) 書き込みタイミング設定部は、再生データを読み出しタイミングに同期して書き込むようにするため各トラックの再生クロックを読み出しタイミングを決定する基準クロックにより同期をとるフリップフロップ、各トラックに対して、1再生データ周期内に1回のみの書き込みを行なうためのフリップフロップ、各トラックの書き

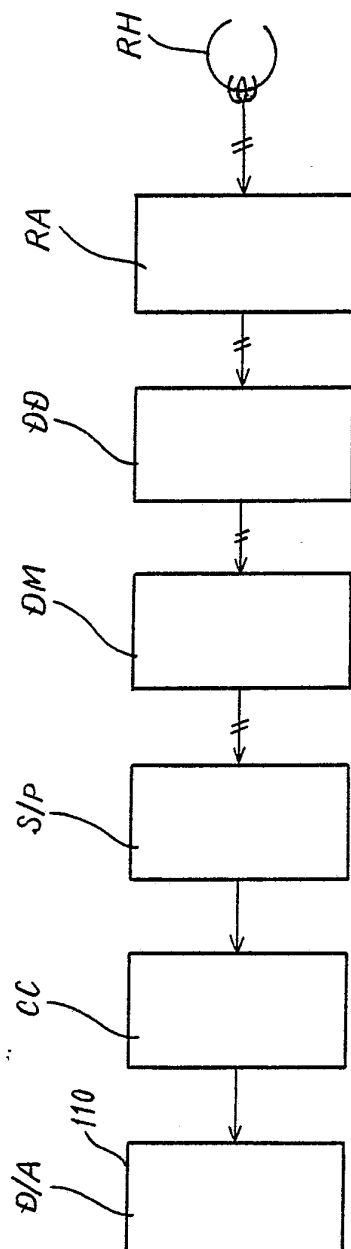
込み時間を決定するためのフリップフロップ、および、ゲート回路からなることを特徴とする、請求の範囲第1項記載のデジタル信号再生装置。

(5) 読み出し設定部は、パラレル状態にてメモリに入力された各トラックの信号を、時間的に圧縮し、各トラックごとのフレーム単位毎のシリアル状態にてメモリより出力する為の、読み出しタイミングクロック発生器、上記読み出しタイミングクロックにて、読み出しフレーム内アドレスを指定するためのフレーム内アドレスカウンタ、上記読み出しタイミングクロックにて、読み出しトラックを指定するためのトラックアドレスカウンタ、上記読み出しタイミングクロックにて、読み出しフレームを指定するフレームアドレスカウンタからなることを特徴とする請求の範囲第1項記載のデジタル信号再生装置。



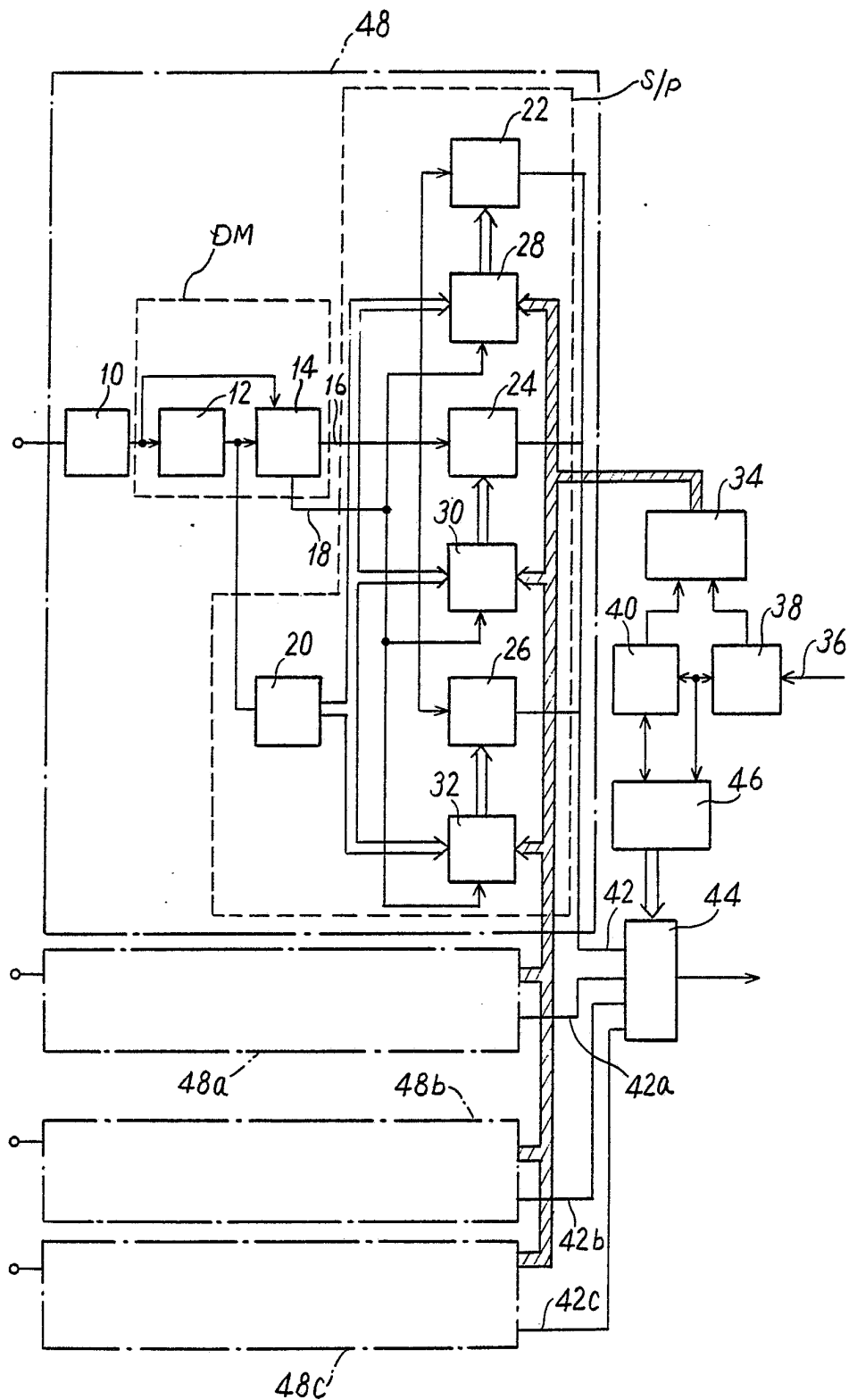
1

第 1 図

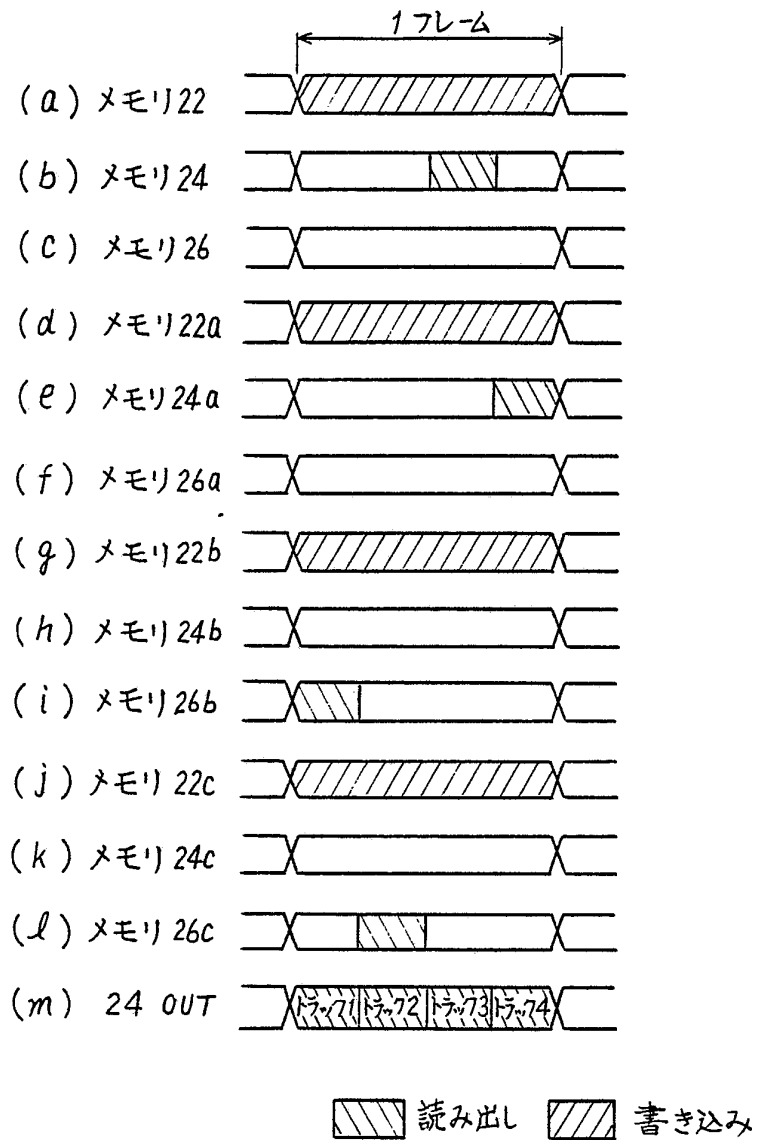


2

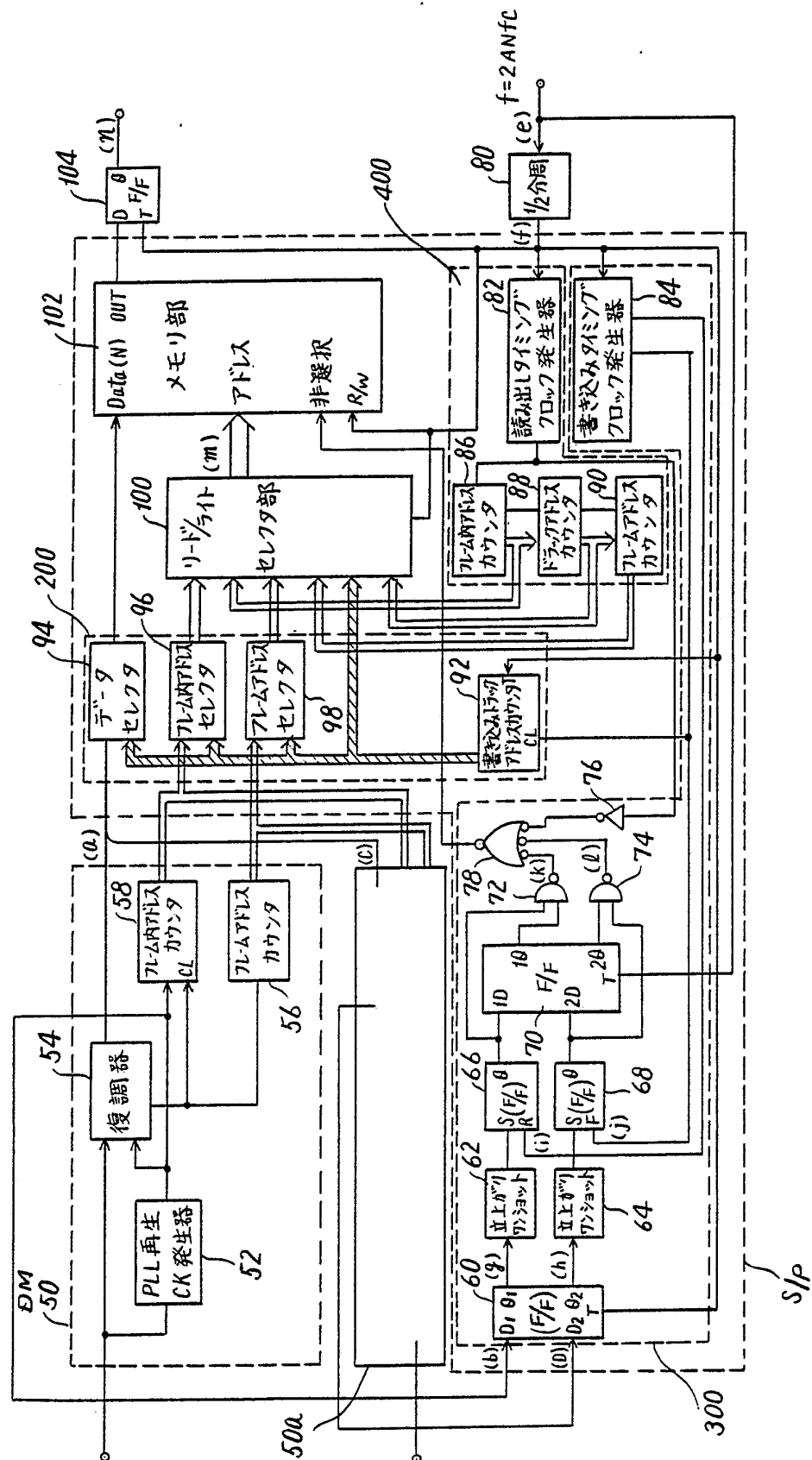
第 2 図



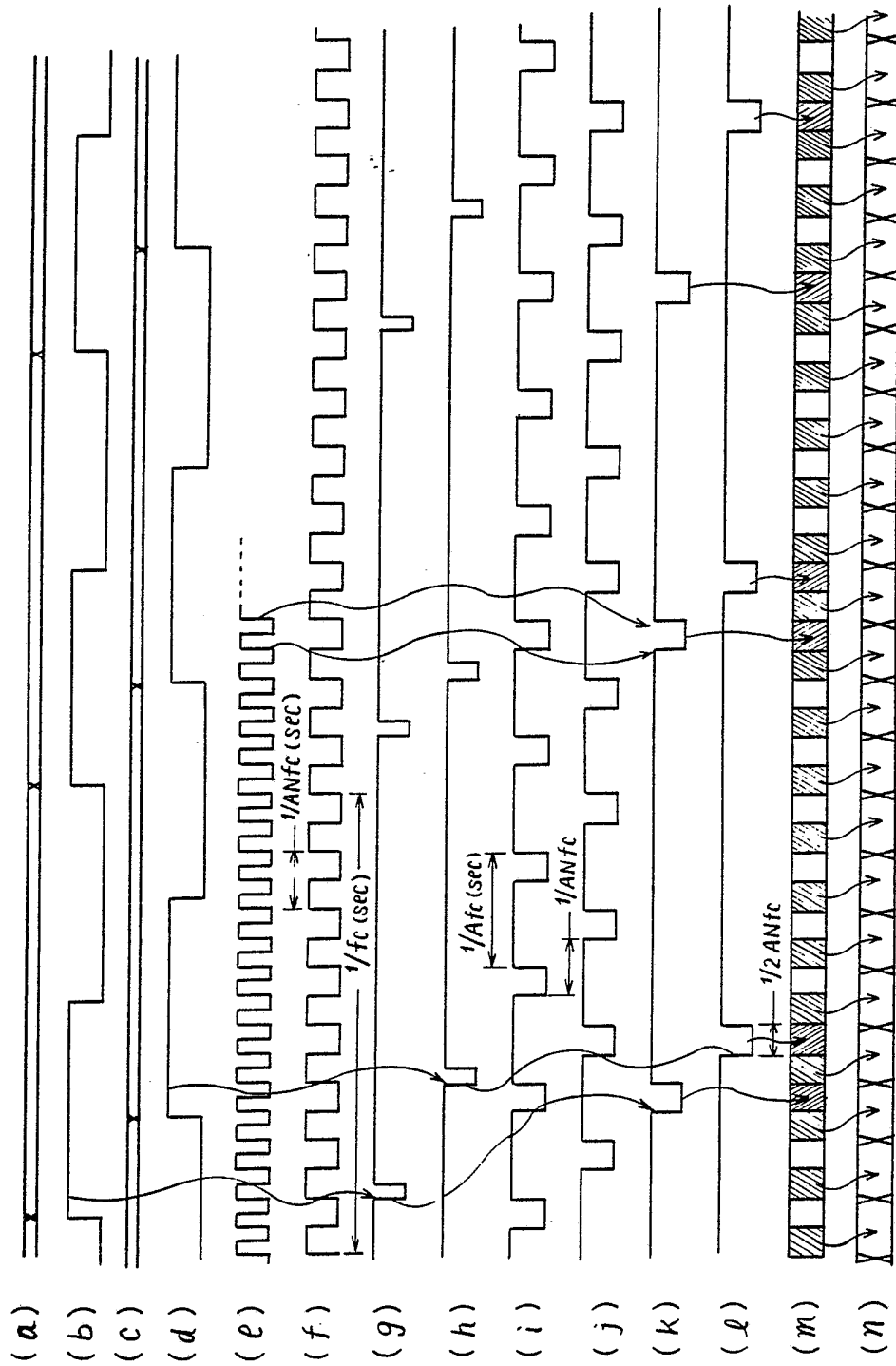
第 3 図



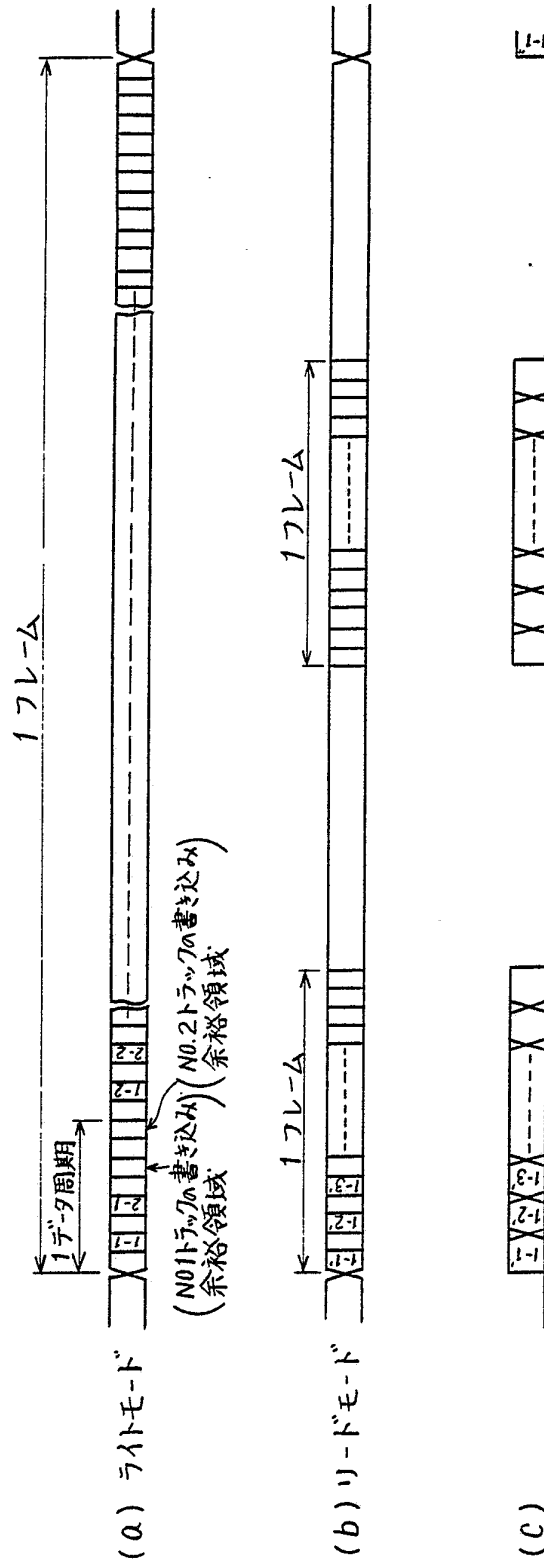
第 4 図



第 5 图



第 6 図



INTERNATIONAL SEARCH REPORT

International Application No. PCT/JP 84/00242

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ³		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int. Cl ³ G11B5/09, 5/43, H04B1/00		
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁴		
Classification System	Classification Symbols	
I P C	G11B5/09, 5/43, H03K13/256-13/258, H04B1/00, G06F5/06	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁵		
Jitsuyo Shinan Koho 1926 - June, 1984 Kokai Jitsuyo Shinan Koho 1971 - June, 1984		
III. DOCUMENTS CONSIDERED TO BE RELEVANT ¹⁴		
Category*	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸
A	JP, A, 55-97016 (Mitsubishi Denki Kabushiki Kaisha) 23. July 1980 (23. 07. 80)	1 - 5
A	JP, A, 56-137520 (Sharp Corp.) 27. October 1981 (27. 10. 81)	1 - 5
A	JP, A, 58-64622 (Victor Company of Japan, Ltd.) 18. April 1983 (18. 04. 83) & GB, A, 2111804 & DE, A, 3237848 & FR, A, 2514542	1 - 5
¹⁵ Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search ²		Date of Mailing of this International Search Report ²
July 30, 1984 (30.07.84)		August 6, 1984 (06.08.84)
International Searching Authority ¹		Signature of Authorized Officer ²⁰
Japanese Patent Office		

国際調査報告

国際出願番号 PCT/JP 84/00242

I. 発明の属する分野の分類		
国際特許分類 (IPC)		
Int. Cl. G11B 5/09, 5/43, H04B 1/00		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
I P O	G11B 5/09, 5/43, H03K 13/256-13/258, H04B 1/00, G06F 5/06	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報 1926-1984年6月 日本国公開実用新案公報 1971-1984年6月		
III. 関連する技術に関する文献		
引用文献の カテゴリ *	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
A	JP, A, 55-97016 (三菱電機株式会社) 23.7月.1980 (23.07.80)	1-5
A	JP, A, 56-137520 (シャープ株式会社) 27.10月.1981 (27.10.81)	1-5
A	JP, A, 58-64622 (日本ビクター株式会社) 18.4月.1983 (18.04.83) & GB, A, 2111804 & DE, A, 3237848 & FR, A, 2514542	1-5
※引用文献のカテゴリ 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリーの文献		
IV. 認 証		
国際調査を完了した日	国際調査報告の発送日	
30.07.84	06.08.84	
国際調査機関	権限のある職員	5, D 8, 3, 2, 2
日本国特許庁 (ISA/JP)	特許庁審査官 木屋野 忠	®