

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4874656号
(P4874656)

(45) 発行日 平成24年2月15日 (2012.2.15)

(24) 登録日 平成23年12月2日 (2011.12.2)

(51) Int.Cl.	F 1
A 6 3 F	7/02
(2006.01)	
A 6 3 F	7/02 3 1 5 Z
A 6 3 F	7/02 3 0 4 Z
A 6 3 F	7/02 3 3 4

請求項の数 13 (全 146 頁)

(21) 出願番号	特願2006-9193 (P2006-9193)	(73) 特許権者	000144153
(22) 出願日	平成18年1月17日 (2006.1.17)		株式会社三共
(65) 公開番号	特開2007-190097 (P2007-190097A)		東京都渋谷区渋谷三丁目29番14号
(43) 公開日	平成19年8月2日 (2007.8.2)	(74) 代理人	100103090
審査請求日	平成20年12月24日 (2008.12.24)		弁理士 岩壁 冬樹
		(74) 代理人	100124501
			弁理士 塩川 誠人
		(74) 代理人	100134692
			弁理士 川村 武
		(74) 代理人	100135161
			弁理士 眞野 修二
		(72) 発明者	鶴川 詔八
			群馬県桐生市相生町1丁目164番地の5

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項1】

各々を識別可能な複数種類の識別情報を可変表示可能な可変表示手段を備え、あらかじめ定められている可変表示の実行条件が成立した後、可変表示の開始条件の成立にもとづいて識別情報の可変表示を開始し、前記識別情報の可変表示の表示結果が特定表示結果となったときに遊技者にとって有利な特定遊技状態に移行させる遊技機であって、

遊技制御処理を実行する遊技制御用CPUと、前記遊技制御用CPU以外のCPUを内蔵したマイクロコンピュータとシリアル通信を行うシリアル通信回路とを内蔵した遊技制御用マイクロコンピュータと、

遊技媒体の払い出しを行う払出手段と、

前記払出手段を制御する払出制御処理を実行する払出制御用マイクロコンピュータと、

遊技機で用いられる所定の電源の状態を監視して、遊技機への電力の供給停止にかかわる検出条件が成立したことにともづいて検出信号を出力する電源監視手段と、

予め定められた監視時間を計測するタイマ手段と、

該タイマ手段により前記監視時間が経過したことが計測されたときに、前記遊技制御用マイクロコンピュータをリセットするリセット手段とを備え、

前記遊技制御用マイクロコンピュータは、

前記タイマ手段により計測された時間を初期化させるための初期化処理を前記遊技制御処理において前記監視時間よりも短い期間で定期的に行う初期化処理手段と、

遊技機への電力供給が停止しても所定期間は記憶内容を保持することが可能であり、遊

技の進行に応じて変動する変動データを記憶する変動データ記憶手段と、

前記電源監視手段からの検出信号が出力されたことにもとづいて制御状態を復旧させるために必要なデータを前記変動データ記憶手段に保存するための電力供給停止時処理を実行する電力供給停止時処理実行手段と、

前記電力供給停止時処理が終了した後、前記初期化処理を実行しない待機状態に移行させる停止時待機状態移行手段と、

所定の初期設定処理が実行されるときに、前記電源監視手段からの検出信号が出力されているか否かを判定する検出信号判定手段と、

前記検出信号判定手段により検出信号が出力されていると判定された後、該検出信号判定手段による検出信号が出力されているか否かの判定を行わず、かつ、前記初期化処理を実行しない待機状態に移行させる待機状態移行手段と、

10

前記初期化処理を実行しない待機状態に移行されているときに、前記リセット手段によるリセットがなされたことにもとづいて、前記初期化処理を実行しない待機状態から前記所定の初期設定処理を開始する初期設定処理開始手段と、

前記検出信号判定手段により検出信号が出力されていないと判定されたときに、所定の復旧条件が成立したことを条件に前記変動データ記憶手段に記憶されている記憶内容にもとづいて制御状態を電力供給停止時処理が実行される前の状態に復旧させる電力供給開始時処理を実行する電力供給開始時処理手段とを含み、

前記シリアル通信回路は、複数の割込要求条件のいずれかが成立したときに、前記遊技制御用CPUに対して、成立した割込要求条件に応じた割込要求を発生させる割込要求手段を含み、

20

前記遊技制御用CPUは、前記割込要求手段からの割込要求にもとづいて割込処理を実行可能であり、

前記割込要求手段が発生させる割込要求は、前記シリアル通信回路において通信エラーが発生したときに割込要求条件が成立して発生するエラー時割込要求を含み、

前記遊技制御用CPUは、

前記割込要求手段により複数の割込要求が同時に発生させられたときに、前記エラー時割込要求にもとづく割込処理を、前記エラー時割込要求以外の割込要求にもとづく割込処理に優先して実行可能であり、

前記エラー時割込要求にもとづく割込処理において、シリアル通信を禁止可能であることを特徴とする遊技機。

30

【請求項2】

割込処理の実行を許可する割込許可手段を備え、

割込要求手段が発生させる割込要求は、シリアル通信回路が遊技制御用CPU以外のCPUを内蔵したマイクロコンピュータから信号を受信したときに割込要求条件が成立して発生する受信時割込要求を含み、

遊技制御用マイクロコンピュータは、前記割込許可手段により割込処理の実行が許可される前に、前記遊技制御用CPUが実行する割込処理の優先順位を変更する優先順位変更手段を含み、

前記遊技制御用CPUは、前記優先順位変更手段により、割込処理の優先順位がエラー時割込要求にもとづく割込処理より前記受信時割込要求にもとづく割込処理を優先して実行するように変更されているときには、前記受信時割込要求にもとづく割込処理を、前記エラー時割込要求にもとづく割込処理に優先して実行する

40

請求項1記載の遊技機。

【請求項3】

遊技制御用マイクロコンピュータは、

遊技機への電力供給が開始されたときに、所定時間毎にタイマ割込を発生させるための設定を行うタイマ割込設定手段と、

前記タイマ割込設定手段によりタイマ割込の設定がされる前に、シリアル通信回路の初期設定を行うシリアル通信回路初期設定手段と、

50

定期的に発生するタイマ割込条件が成立したときに、遊技制御用CPUに対してタイマ割込要求を発生させるタイマ割込要求手段とを含み、

前記遊技制御用CPUは、タイマ割込要求が発生したときに、タイマ割込処理を実行するタイマ割込処理実行手段を含み、

前記遊技制御用マイクロコンピュータは、タイマ割込要求と割込要求手段による割込要求とが同時に発生したときに、前記タイマ割込処理実行手段が実行する前記タイマ割込処理と、前記遊技制御用CPUが実行する割込処理との優先順位を、前記タイマ割込設定手段によりタイマ割込の設定がされる前に設定する割込優先順位設定手段を含み、

前記遊技制御用CPUは、前記割込優先順位設定手段により前記タイマ割込処理実行手段が実行する前記タイマ割込処理よりも前記割込処理を優先して実行するように設定されていることを条件に、前記タイマ割込と前記割込要求手段による前記割込要求とが同時に発生したときには、前記タイマ割込処理を実行するよりも先に前記割込要求手段による前記割込要求にもとづく前記割込処理を実行する

10

請求項1または請求項2記載の遊技機。

【請求項4】

遊技制御用マイクロコンピュータは、乱数を発生する乱数回路を内蔵し、

前記乱数回路は、

所定の信号の入力にもとづいて、数値データを更新可能な所定の範囲において、所定の初期値から所定の最終値まで予め定められた順序に従って数値データを更新する数値更新手段と、

20

前記数値更新手段によって更新された数値データを乱数値として記憶する乱数記憶手段とを含み、

前記遊技制御用マイクロコンピュータは、遊技機への電力供給が開始されたときに、タイマ割込設定手段によりタイマ割込の設定がされる前に、前記乱数回路の初期設定を行う乱数回路初期設定手段を含み、

前記遊技制御用CPUは、

前記タイマ割込が発生したときに、可変表示の実行条件が成立したか否かを判定する実行条件判定手段と、

前記実行条件判定手段により前記可変表示の実行条件が成立したと判定されたときに、前記乱数記憶手段が記憶する乱数値を読み出す乱数読出手段と、

30

前記乱数読出手段によって読み出された乱数値が所定の判定値と合致するか否かを判定することによって、前記識別情報の可変表示の表示結果を特定表示結果とするか否かを決定する表示結果決定手段とを含み、

前記乱数回路初期設定手段は、前記初期設定において、前記数値更新手段が更新する数値データの前記所定の初期値を、前記遊技制御用マイクロコンピュータ毎に付与された前記遊技制御用マイクロコンピュータを識別するためのマイコン識別情報にもとづいて設定する

請求項1から請求項3のうちのいずれかに記載の遊技機。

【請求項5】

遊技制御用マイクロコンピュータは、数値更新手段が更新可能な数値データの所定の範囲が異なる乱数回路を複数内蔵し、

40

乱数回路初期設定手段は、

初期設定において、前記遊技制御用マイクロコンピュータが内蔵する複数の乱数回路の中から使用可能な乱数回路を設定する乱数回路設定手段と、

前記乱数回路初期設定手段により使用可能と設定された乱数回路以外の乱数回路の機能を停止させる乱数回路停止手段とを含む

請求項4記載の遊技機。

【請求項6】

乱数回路初期設定手段は、

初期設定において、数値データが更新される所定の範囲の最大値としての値が設定され

50

る数値最大値レジスタに、数値更新手段により更新可能な数値データの範囲内において所定の最大値を設定する最大値設定手段と、

前記最大値設定手段により設定された前記所定の最大値が、所定の下限値以下であるか否かを判定する設定値判定手段と、

前記設定値判定手段によって前記数値最大値レジスタに設定された前記所定の最大値が前記所定の下限値以下であると判定されたときに、前記数値最大値レジスタに、前記数値更新手段により更新可能な数値データの範囲内の所定値を設定しなおす最大値再設定手段を含む

請求項 4 または請求項 5 記載の遊技機。

【請求項 7】

10

所定周期のクロック信号を生成し、乱数回路に出力するクロック信号生成手段を備え、数値更新手段は、前記クロック信号を所定回数入力したことを条件に、数値データを更新し、

乱数回路初期設定手段は、初期設定において、前記数値更新手段が数値データを更新する条件であるクロック信号の入力回数を設定する

請求項 4 から請求項 6 のうちのいずれかに記載の遊技機。

【請求項 8】

遊技制御用マイクロコンピュータは、乱数回路初期設定手段によって設定される数値データの所定の初期値を、マイコン識別情報を用いて演算する数値演算手段を含み、

前記乱数回路初期設定手段は、前記数値演算手段による演算によって算出された値にもとづいて初期値を設定する

20

請求項 4 から請求項 7 のうちのいずれかに記載の遊技機。

【請求項 9】

所定の領域に遊技媒体が入賞したことにもとづいて始動信号を出力する始動信号出力手段を備え、

乱数回路は、前記始動信号出力手段からの始動信号が入力されたことにもとづいて、数値更新手段が更新する数値データを乱数記憶手段に記憶させるためのラッチ信号を出力するラッチ信号出力手段を含み、

前記ラッチ信号出力手段は、前記始動信号出力手段から始動信号が所定期間継続して入力されたことを条件に、前記ラッチ信号を出力する

30

請求項 4 から請求項 8 のうちのいずれかに記載の遊技機。

【請求項 10】

実行条件判定手段は、始動信号出力手段からの始動信号が所定回数のタイマ割込処理が実行されるに亘って入力されたことを条件に、可変表示の実行条件が成立したと判定し、

所定期間は前記所定回数の前記タイマ割込処理が実行される期間よりも短い

請求項 9 記載の遊技機。

【請求項 11】

乱数回路初期設定手段は、初期設定において、数値更新手段によって所定の最終値まで数値データが更新されたときに、前記乱数回路初期設定手段が設定した所定の初期値を変更するか否かを設定する初期値変更設定手段を含み、

40

乱数回路は、

前記数値更新手段によって前記所定の最終値まで数値データが更新されたときに、数値データが前記所定の最終値まで更新された旨を示す通知信号を出力する通知信号出力手段と、

前記通知信号が出力されたことにもとづいて、前記初期値変更設定手段によって初期値を変更する設定がされていることを条件に、前記所定の初期値の値を変更する初期値変更手段を含む

請求項 4 から請求項 10 のうちのいずれかに記載の遊技機。

【請求項 12】

乱数回路初期設定手段は、初期設定において、前記数値更新手段が更新する数値データ

50

の所定の初期値から所定の最終値までの値の並び順を変更するか否かを設定する数値順設定手段を含み、

乱数回路は、

前記数値更新手段によって所定の最終値まで数値データが更新されたときに、数値データが前記所定の最終値まで更新された旨を示す通知信号を出力する通知信号出力手段と、

前記通知信号が出力されたことにもとづいて、前記数値順設定手段によって、数値データの前記所定の初期値から前記所定の最終値までの並び順を変更する設定がされていることを条件に、前記数値更新手段が更新する数値データの前記所定の初期値から前記所定の最終値までの並び順を変更する数値順変更手段とを含む

請求項 4 から請求項 11 のうちのいずれかに記載の遊技機。

10

【請求項 13】

電力供給停止時処理実行手段は、電力供給停止時処理において、制御状態を復旧させるためのデータとして変動データ記憶手段の記憶内容にもとづいてチェックデータを作成して該変動データ記憶手段に保存するチェックデータ作成手段を含み、

前記変動データ記憶手段に保存されているチェックデータにもとづいて前記変動データ記憶手段の記憶内容が正常であるか否かの判定を行う記憶判定手段を備え、

電力供給開始時処理実行手段は、前記記憶判定手段により正常と判定されたときに所定の復旧条件が成立したとして前記変動データ記憶手段の記憶内容にもとづいて制御状態を前記電力供給停止時処理を実行する前の状態に復旧させる電力供給開始時処理を実行し、

遊技制御用マイクロコンピュータは、

20

所定の初期設定処理を実行するときに、制御プログラム内における所定の範囲を繰り返し実行することにより、遊技制御処理の実行開始を遊技制御用マイクロコンピュータ以外のマイクロコンピュータにおける制御処理が実行可能となる時期よりも遅延させる遅延処理を実行する遅延処理実行手段を含み、

前記所定の初期設定処理を実行するまでの間は前記電力供給停止時処理の実行を禁止し、

検出信号判定手段は、前記遅延処理が実行される制御プログラム内における所定の範囲内において、検出信号が出力されているか否かの判定を繰り返し実行する

請求項 1 から請求項 12 のうちのいずれかに記載の遊技機。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、各々を識別可能な複数種類の識別情報を可変表示可能な可変表示手段を備え、あらかじめ定められている可変表示の実行条件が成立した後、可変表示の開始条件の成立にもとづいて識別情報の可変表示を開始し、識別情報の可変表示の表示結果が特定の表示結果となったときに遊技者にとって有利な特定遊技状態に移行する遊技機に関する。

【背景技術】

【0002】

遊技機として、遊技球などの遊技媒体を発射装置によって遊技領域に発射し、遊技領域に設けられている入賞口などの入賞領域に遊技媒体が入賞すると、所定個の賞球が遊技者に払い出されるものがある。さらに、識別情報を可変表示（「変動」ともいう。）可能な可変表示装置が設けられ、可変表示装置において識別情報の可変表示の表示結果が特定表示結果となった場合に遊技者にとって有利な特定遊技状態に制御可能になるように構成されたものがある。

40

【0003】

特定遊技状態とは、所定の遊技価値が付与された遊技者にとって有利な状態を意味する。具体的には、特定遊技状態は、例えば特別可変入賞装置の状態を打球が入賞しやすい遊技者にとって有利な状態（大当り遊技状態）、遊技者にとって有利な状態になるための権利が発生した状態、景品遊技媒体払出の条件が成立しやすくなる状態などの所定の遊技価値が付与された状態である。

50

【0004】

そのような遊技機では、識別情報としての特別図柄を表示する可変表示装置における表示結果があらかじめ定められた特定の表示態様の組合せ（特定表示結果）になることを、通常、「大当たり」という。大当たりが発生すると、例えば、大入賞口が所定回数開放して打球が入賞しやすい大当たり遊技状態に移行する。そして、各開放期間において、所定個（例えば10個）の大入賞口への入賞があると大入賞口は閉成する。そして、大入賞口の開放回数は、所定回数（例えば15ラウンド）に固定されている。なお、各開放について開放時間（例えば29.5秒）が決められ、入賞数が所定個に達しなくても開放時間が経過すると大入賞口は閉成する。また、大入賞口が閉成した時点で所定の条件（例えば、大入賞口内に設けられているVゾーンへの入賞）が成立していない場合には、大当たり遊技状態は終了するように構成されていることもある。

10

【0005】

下記の特許文献1には、電源投入時に停電検出信号の状態を監視し、停電検出信号の状態が非停電検出状態になるまで監視処理をループして繰り返し実行し、制御状態を進行させないように構成された遊技機が開示されている。

【0006】

【特許文献1】特開2001-190743号公報（0052、図5）

【発明の開示】

【発明が解決しようとする課題】

【0007】

20

特許文献1に記載された遊技機では、停電検出信号の状態が非停電検出状態のときに、停電検出信号の状態を監視する処理を繰り返し実行しているが、直ちに停電検出信号の状態を監視してもその信号の状態が変化しないことがある。このため、ある程度の期間をおいてから再度監視処理を実行する方が、比較的電圧が安定した状態で停電検出信号の状態を監視することができるので好ましい。しかし、ソフトウェアによる処理で所定期間をおいてから監視処理を実行するためには、そのためのプログラム（監視処理を遅延させるためのプログラム）を作成する必要がある。従って、その分だけ電源投入時に実行されるプログラムの容量が大きくなってしまう。また、ハードウェアによる回路を特別に設けることで所定期間をおいてから監視処理を実行するためには、その回路を設ける分のコストがかかってしまう。

30

【0008】

そこで、本発明は、電力の供給が開始されたときに電源の状態を監視する遊技機において、プログラム容量を大きくせずかつコストをかけずに、電源の状態が異常であるときに所定期間経過後に電源の状態を再び監視することができる遊技機を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明による遊技機は、各々を識別可能な複数種類の識別情報（例えば、飾り図柄）を可変表示可能な可変表示手段（例えば、可変表示装置9）を備え、あらかじめ定められている可変表示の実行条件が成立（例えば、始動入賞口14への遊技球の入賞）した後、可変表示の開始条件の成立（例えば、特別図柄の最終停止および大当たり遊技の終了）にもとづいて識別情報の可変表示を開始し、識別情報の可変表示の表示結果が特定表示結果（例えば、大当たり図柄）となったときに遊技者にとって有利な特定遊技状態に移行する遊技機であって、遊技制御処理を実行する遊技制御用CPU（例えば、CPU56）と、遊技制御用CPU以外のCPU（例えば、払出制御用CPU371など）を内蔵したマイクロコンピュータ（例えば、払出制御用マイクロコンピュータ370など）とシリアル通信を行うシリアル通信回路（例えば、シリアル通信回路505）とを内蔵した遊技制御用マイクロコンピュータ（例えば、遊技制御用マイクロコンピュータ560）と、遊技媒体の払い出しを行う払出手段（例えば、球払出装置97）と、払出手段を制御する払出制御処理を実行する払出制御用マイクロコンピュータ（例えば、払出制御用マイクロコンピュ

40

50

タ 3 7 0) と、遊技機で用いられる所定の電源の状態を監視して、遊技機への電力の供給停止にかかわる検出条件が成立したこと（例えば + 3 0 V 電源の電圧値が + 2 2 V まで低下したこと）にもとづいて検出信号（例えば電源断信号）を出力する電源監視手段（例えば電源監視回路 9 2 0) と、予め定められた監視時間（例えばタイムアウト時間）を計測するタイマ手段（例えば、ウォッチドッグタイマ 6 0) と、該タイマ手段により監視時間が経過したことが計測されたときに、遊技制御用マイクロコンピュータをリセットするリセット手段（例えば、遊技制御用マイクロコンピュータ 5 6 0 に内蔵されているリセット／割込みコントローラ 5 0 2) とを備え、遊技制御用マイクロコンピュータは、タイマ手段により計測された時間を初期化させるための初期化処理を遊技制御処理において監視時間よりも短い期間で定期的に行う初期化処理手段（例えば、遊技制御用マイクロコンピュータ 5 6 0 におけるステップ S 3 6 を実行する部分) と、遊技機への電力供給が停止しても所定期間は記憶内容を保持することが可能であり、遊技の進行に応じて変動する変動データを記憶する変動データ記憶手段（例えば、電源バックアップされた R A M 5 5) と、電源監視手段からの検出信号が出力されたことにもとづいて制御状態を復旧させるために必要なデータを変動データ記憶手段に保存するための電力供給停止時処理を実行する電力供給停止時処理実行手段（例えば、遊技制御用マイクロコンピュータ 5 6 0 におけるステップ S 4 5 0 ~ S 4 8 1 の処理を実行する部分) と、電力供給停止時処理が終了した後、初期化処理を実行しない待機状態に移行させる停止時待機状態移行手段（例えば、遊技制御用マイクロコンピュータ 5 6 0 におけるステップ S 4 8 1 の後に無限ループの処理を実行する部分) と、所定の初期設定処理（例えば、ステップ S 1 ~ S 1 6 の処理) が実行されるときに、電源監視手段からの検出信号が出力されているか否かを判定する検出信号判定手段（例えば、遊技制御用マイクロコンピュータ 5 6 0 におけるステップ S 8 3 を実行する部分) と、検出信号判定手段により検出信号が出力されていると判定された後、検出信号判定手段による検出信号が出力されているか否かの判定を行わず、かつ、初期化処理を実行しない待機状態に移行させる待機状態移行手段（例えば、遊技制御用マイクロコンピュータ 5 6 0 におけるステップ S 8 3 の後に無限ループの処理を実行する部分) と、初期化処理を実行しない待機状態に移行されているときに、リセット手段によるリセットがなされたことにもとづいて、初期化処理を実行しない待機状態から所定の初期設定処理を開始する初期設定処理開始手段（例えば、遊技制御用マイクロコンピュータ 5 6 0 がタイムアウト信号の出力にもとづいてメイン処理をステップ S 1 から開始する処理を実行する部分) と、検出信号判定手段により検出信号が出力されていないと判定されたときに（ステップ S 8 3 の Y)、所定の復旧条件が成立したことを条件に変動データ記憶手段に記憶されている記憶内容にもとづいて制御状態を電力供給停止時処理が実行される前の状態に復旧させる電力供給開始時処理を実行する電力供給開始時処理手段（例えば、遊技制御用マイクロコンピュータ 5 6 0 におけるステップ S 7 ~ S 9, S 9 1 ~ S 9 3 を実行する部分) とを含み、シリアル通信回路は、複数の割込要求条件のいずれかが成立（例えば、シリアル通信回路 5 0 5 で通信エラーが発生したことや、送信データの送信を完了したこと、制御基板から受信データを受信したこと) したときに、遊技制御用 C P U に対して、成立した割込要求条件に応じた割込要求を発生させる割込要求手段（例えば、割り込み制御回路 7 1 4) を含み、遊技制御用 C P U は、割込要求手段からの割込要求にもとづいて割込処理を実行可能であり（例えば、遊技制御用マイクロコンピュータ 5 6 0 の C P U 5 6 がステップ S 2 1 ~ S 3 7 のタイマ割込処理を実行可能である)、割込要求手段が発生させる割込要求は、シリアル通信回路において通信エラーが発生したときに割込要求条件が成立して発生するエラー時割込要求（例えば、通信エラー時割込要求) を含み、遊技制御用 C P U は、割込要求手段により複数の割込要求が同時に発生させられたときに、エラー時割込要求にもとづく割込処理を、エラー時割込要求以外の割込要求（例えば、受信時割込要求や送信時割込要求) にもとづく割込処理に優先して実行可能であり（例えば、遊技制御用マイクロコンピュータ 5 6 0 の C P U 5 6 が、ステップ S 1 5 c を実行しエラー時割込優先実行フラグをセットしたことにもとづいて、通信エラー割込処理を優先して実行可能である)、エラー時割込要求にもとづく割込処理において、シリアル通信を禁止

10

20

30

40

50

可能である（例えば、遊技制御用マイクロコンピュータ560が、ステップS41で通信エラーフラグがセットされたことにもとづいて、ステップS1241，S1251，S1261，S1271，S1291で通信エラーフラグがセットされていると判断すると、処理をそのまま終了可能である）ことを特徴とする。

【0010】

遊技機は、割込処理の実行を許可する割込許可手段（例えば、遊技制御用マイクロコンピュータ560のCPU56におけるステップS20を実行する部分）を備え、割込要求手段が発生させる割込要求は、シリアル通信回路が遊技制御用CPU以外のCPUを内蔵したマイクロコンピュータ（例えば、払出制御用マイクロコンピュータ370）から信号を受信したときに割込要求条件が成立して発生する受信時割込要求（例えば、受信時割り込み要求）を含み、遊技制御用マイクロコンピュータは、割込許可手段により割込処理の実行が許可される前に、遊技制御用CPUが実行する割込処理の優先順位を変更する優先順位変更手段（例えば、遊技制御用マイクロコンピュータ560が、ステップS15bを実行する際に、受信時割込優先実行フラグを設定する部分）を含み、遊技制御用CPUは、優先順位変更手段により、割込処理の優先順位がエラー時割込要求にもとづく割込処理より受信時割込要求にもとづく割込処理を優先して実行するように変更されているときには、受信時割込要求にもとづく割込処理を、エラー時割込要求にもとづく割込処理に優先して実行する（例えば、遊技制御用マイクロコンピュータ560のCPU56が、ステップS15cを実行し受信時割込優先実行フラグをセットしたことにもとづいて、受信時割込処理を優先して実行する）ように構成されていてもよい。

【0011】

遊技制御用マイクロコンピュータは、遊技機への電力供給が開始されたときに、所定時間毎にタイマ割込を発生させるための設定を行うタイマ割込設定手段（例えば、遊技制御用マイクロコンピュータ560におけるステップS16を実行する部分）と、タイマ割込設定手段によりタイマ割込の設定がされる前に、シリアル通信回路の初期設定を行うシリアル通信回路初期設定手段（例えば、遊技制御用マイクロコンピュータ560におけるステップS15bを実行する部分）と、定期的に発生するタイマ割込条件が成立したときに、遊技制御用CPUに対してタイマ割込要求を発生させるタイマ割込要求手段（例えば、CPU56に割込要求信号（タイマ割込による割込要求信号）を送出するCTC504）とを含み、遊技制御用CPUは、タイマ割込要求が発生したときに、タイマ割込処理を実行するタイマ割込処理実行手段（例えば、遊技制御用マイクロコンピュータ560におけるステップS21～S36を実行する部分）を含み、遊技制御用マイクロコンピュータは、タイマ割込要求と割込要求手段による割込要求とが同時に発生したときに、タイマ割込処理実行手段が実行するタイマ割込処理と、遊技制御用CPUが実行する割込処理との優先順位を、タイマ割込設定手段によりタイマ割込の設定がされる前に設定する割込優先順位設定手段（例えば、遊技制御用マイクロコンピュータ560によるステップS15cを実行する部分）を含み、遊技制御用CPUは、割込優先順位設定手段によりタイマ割込処理実行手段が実行するタイマ割込処理よりも割込処理を優先して実行するように設定されていることを条件に、タイマ割込と割込要求手段による割込要求とが同時に発生したときには、タイマ割込処理を実行するよりも先に割込要求手段による割込要求にもとづく割込処理を実行する（例えば、遊技制御用マイクロコンピュータ560のCPU56が、通信エラー時割込優先実行フラグがセットされていることにもとづいて、通信エラー割込処理を優先して実行する）ように構成されていてもよい。

【0012】

遊技制御用マイクロコンピュータは、乱数を発生する乱数回路（例えば乱数回路503）を内蔵し、乱数回路は、所定の信号（例えば、クロック信号）の入力にもとづいて、数値データ（例えば、カウント値）を更新可能な所定の範囲において、所定の初期値から所定の最終値まで予め定められた順序に従って数値データを更新する数値更新手段（例えば、カウンタ521）と、数値更新手段によって更新された数値データを乱数値として記憶する乱数記憶手段（例えば、乱数値記憶回路531）とを含み、遊技制御用マイクロコン

ピュータは、遊技機への電力供給が開始されたときに、タイマ割込設定手段によりタイマ割込の設定がされる前に、乱数回路の初期設定を行う乱数回路初期設定手段（例えば、遊技制御用マイクロコンピュータ560におけるステップS2～S4，S5を実行する部分）を含み、遊技制御用CPUは、タイマ割込が発生したときに、可変表示の実行条件が成立したか否かを判定する実行条件判定手段（例えば、遊技制御用マイクロコンピュータのCPU56におけるステップS311，S312を実行する部分）と、実行条件判定手段により可変表示の実行条件が成立したと判定されたときに、乱数記憶手段が記憶する乱数値を読み出す乱数読出手段（例えば、遊技制御用マイクロコンピュータ560のCPU56におけるステップS3204を実行する部分）と、乱数読出手段によって読み出された乱数値が所定の判定値と合致するか否かを判定することによって、識別情報の可変表示の表示結果を特定表示結果とするか否かを決定する表示結果決定手段（例えば、遊技制御用マイクロコンピュータ560におけるステップS56Bを実行する部分）とを含み、乱数回路初期設定手段は、初期設定において、数値更新手段が更新する数値データの所定の初期値を、遊技制御用マイクロコンピュータ毎に付与された遊技制御用マイクロコンピュータを識別するためのマイコン識別情報（例えば、遊技制御用マイクロコンピュータ560固有のIDナンバ）にもとづいて設定する（例えば、遊技制御用マイクロコンピュータ560におけるステップS154を実行する）ように構成されていてもよい。

10

【0013】

遊技制御用マイクロコンピュータは、数値更新手段が更新可能な数値データの所定の範囲が異なる乱数回路（例えば、12ビット乱数回路503aと16ビット乱数回路503b）を複数内蔵し、乱数回路初期設定手段は、初期設定において、遊技制御用マイクロコンピュータが内蔵する複数の乱数回路の中から使用可能な乱数回路を設定する乱数回路設定手段（例えば、遊技制御用マイクロコンピュータ560がステップS151を実行する部分）と、乱数回路初期設定手段により使用可能と設定された乱数回路以外の乱数回路の機能を停止させる乱数回路停止手段（例えば、遊技制御用マイクロコンピュータ560が、ステップS151で使用する乱数回路503を設定すると、使用しないように設定した方の乱数回路のカウンタ521がカウント値Cを更新しないように制御する部分）とを含む構成とされていてもよい。

20

【0014】

乱数回路初期設定手段は、初期設定において、数値データが更新される所定の範囲の最大値としての値が設定される数値最大値レジスタ（例えば、乱数最大値設定レジスタ535）に、数値更新手段により更新可能な数値データの範囲内において所定の最大値（例えば、乱数最大値）を設定する最大値設定手段（例えば、遊技制御用マイクロコンピュータ560におけるステップS152を実行する部分）と、最大値設定手段により設定された所定の最大値が、所定の下限値以下（例えば、12ビット乱数回路503aを設定した場合における「256」）であるか否かを判定する設定値判定手段（例えば、遊技制御用マイクロコンピュータ560におけるステップS153bを実行する部分）と、設定値判定手段によって数値最大値レジスタに設定された所定の最大値が所定の下限値以下であると判定されたときに、数値最大値レジスタに、数値更新手段により更新可能な数値データの範囲内の所定値（例えば、12ビット乱数回路503aを設定した場合における「4095」）を設定しなおす最大値再設定手段（例えば、遊技制御用マイクロコンピュータ560におけるステップS153cを実行する部分）とを含むように構成されていてもよい。

30

40

【0015】

遊技機は、所定周期のクロック信号を生成し、乱数回路に出力するクロック信号生成手段（例えば、クロック回路501）を備え、数値更新手段は、クロック信号を所定回数入力したことを条件に、数値データを更新し（例えば、クロック信号出力回路524が基準クロック信号CLKを16分周した乱数発生用クロック信号SIを入力すると、カウンタ521がカウント値Cを更新する部分）、乱数回路初期設定手段は、初期設定において、数値更新手段が数値データを更新する条件であるクロック信号の入力回数を設定する（例えば、遊技制御用マイクロコンピュータ560がステップS156を実行する）ように構

50

成されていてもよい。

【0016】

遊技制御用マイクロコンピュータは、乱数回路初期設定手段によって設定される数値データの所定の初期値を、マイコン識別情報を用いて演算する数値演算手段（例えば、遊技用マイクロコンピュータにおけるステップS154bの処理を実行する際に、遊技制御用マイクロコンピュータ560のIDナンバと所定値とを演算して（例えば、IDナンバに所定値を加算して）演算値を求める部分）を含み、乱数回路初期設定手段は、数値演算手段による演算によって算出された値にもとづいて初期値を設定する（例えば、遊技用マイクロコンピュータがステップS154bの処理を実行する際に、求めた演算値をカウンタの初期値として設定する）ように構成されていてもよい。

10

【0017】

遊技機は、所定の領域に遊技媒体が入賞（例えば、始動入賞口14への遊技球の入賞）したことにともづいて始動信号（例えば、入賞検出信号SS）を出力する始動信号出力手段（例えば、始動口スイッチ14a）を備え、乱数回路は、始動信号出力手段からの始動信号が入力されたことにともづいて、数値更新手段が更新する数値データを乱数記憶手段に記憶させるためのラッチ信号を出力するラッチ信号出力手段（例えば、ラッチ信号生成回路533）を含み、ラッチ信号出力手段は、始動信号出力手段から始動信号が所定期間継続して入力されたことを条件（例えば、タイマ回路534が所定期間（例えば、3ms）を計測したときに、乱数値読取信号出力回路526から出力される乱数値読取信号を入力したこと）に、ラッチ信号を出力する（例えば、ラッチ信号生成回路533が、乱数値読取信号出力回路526から出力される乱数値読取信号を、反転回路532から出力される反転クロック信号SI2の立ち上がりエッジに同期させて、ラッチ信号SLとして乱数値記憶回路531に出力する部分）ように構成されていてもよい。

20

【0018】

実行条件判定手段は、始動信号出力手段からの始動信号が所定回数のタイマ割込処理が実行されるに亘って入力されたことを条件に、可変表示の実行条件が成立したと判定し（例えば、遊技制御用マイクロコンピュータ560が、ステップS311でYesと判断したときにステップS312の処理に移行し、ステップS3202で割込回数カウンタに示されるタイマ割込処理の実行回数が所定回数（例えば、3回）に達しているか否かを判断する部分）、所定期間（例えば、3ms）は所定回数のタイマ割込処理が実行される期間（例えば、6ms）よりも短いように構成されていてもよい。

30

【0019】

乱数回路初期設定手段は、初期設定において、数値更新手段によって所定の最終値まで数値データが更新されたときに、乱数回路初期設定手段が設定した所定の初期値を変更するか否かを設定する初期値変更設定手段（例えば、遊技制御用マイクロコンピュータ560がステップS157を実行する部分）を含み、乱数回路は、数値更新手段によって所定の最終値まで数値データが更新されたときに、数値データが所定の最終値まで更新された旨を示す通知信号を出力する通知信号出力手段（例えば、カウンタ521）と、通知信号が出力されたことにともづいて、初期値変更設定手段によって初期値を変更する設定がされていることを条件に、所定の初期値の値を変更する初期値変更手段（例えば、遊技制御用マイクロコンピュータ560におけるステップS220～S226を実行する部分）とを含むように構成されていてもよい。

40

【0020】

乱数回路初期設定手段は、初期設定において、数値更新手段が更新する数値データの所定の初期値から所定の最終値までの値の並び順（例えば、カウンタ521が更新するカウンタ値Cの順列）を変更するか否かを設定する数値順設定手段（例えば、遊技制御用マイクロコンピュータ560におけるステップS158を実行する部分）を含み、乱数回路は、数値更新手段によって所定の最終値まで数値データが更新されたときに、数値データが所定の最終値まで更新された旨を示す通知信号を出力する通知信号出力手段（例えば、カウンタ521）と、通知信号が出力されたことにともづいて、数値順設定手段によって、

50

数値データの所定の初期値から所定の最終値までの並び順を変更する設定がされていることを条件に、数値更新手段が更新する数値データの所定の初期値から所定の最終値までの並び順を変更する数値順変更手段（例えば、遊技制御用マイクロコンピュータ５６０におけるステップＳ２４を実行する部分）とを含むように構成されていてもよい。

【００２１】

電力供給停止時処理実行手段は、電力供給停止時処理において、制御状態を復旧させるためのデータとして変動データ記憶手段の記憶内容にもとづいてチェックデータ（例えば、チェックサム）を作成して該変動データ記憶手段に保存するチェックデータ作成手段（例えば、遊技制御用マイクロコンピュータ５６０におけるステップＳ４５４～Ｓ４６３を実行する部分）を含み、変動データ記憶手段に保存されているチェックデータにもとづいて変動データ記憶手段の記憶内容が正常であるか否かの判定を行う記憶判定手段（例えば、遊技制御用マイクロコンピュータ５６０におけるステップＳ９を実行する部分）を備え、電力供給開始時処理実行手段は、記憶判定手段により正常と判定されたときに所定の復旧条件が成立したとして変動データ記憶手段の記憶内容にもとづいて制御状態を電力供給停止時処理を実行する前の状態に復旧させる電力供給開始時処理を実行し（例えば、遊技制御用マイクロコンピュータ５６０においてステップＳ９のＹのときにステップＳ９１～Ｓ９３を実行し）、遊技制御用マイクロコンピュータは、所定の初期設定処理を実行するときに、制御プログラム内における所定の範囲を繰り返し実行することにより、遊技制御処理の実行開始を遊技制御用マイクロコンピュータ以外のマイクロコンピュータ（例えば、払出制御用マイクロコンピュータ３７１、図柄制御用マイクロコンピュータ１００ａ、音／ランプ制御用マイクロコンピュータ１００ｂ）における制御処理が実行可能となる時期よりも遅延させる遅延処理（例えば、ソフトウェア遅延処理）を実行する遅延処理実行手段（例えば、遊技制御用マイクロコンピュータ５６０におけるステップＳ８１，Ｓ８４～８８を実行する部分）を含み、所定の初期設定処理を実行するまでの間は電力供給停止時処理の実行を禁止し（例えば、図４６のメイン処理のループ処理（ステップＳ１８）または図５５のタイマ割込処理において電源断処理が実行され）、検出信号判定手段は、遅延処理が実行される制御プログラム内における所定の範囲内において、検出信号が出力されているか否かの判定を繰り返し実行する（例えば、ステップＳ８１からＳ８８までの間にステップＳ８３の処理を実行する）ように構成されていてもよい。

【発明の効果】

【００２４】

請求項１記載の発明では、遊技機で用いられる所定の電源の状態を監視して、遊技機への電力の供給停止にかかわる検出条件が成立したことにともづいて検出信号を出力する電源監視手段と、予め定められた監視時間を計測するタイマ手段と、タイマ手段により監視時間が経過したことが計測されたときに、遊技制御用マイクロコンピュータをリセットするリセット手段とを備え、遊技制御用マイクロコンピュータが、タイマ手段により計測された時間を初期化させるための初期化処理を遊技制御処理において監視時間よりも短い期間で定期的に行う初期化処理手段と、遊技機への電力供給が停止しても所定期間は記憶内容を保持することが可能であり、遊技の進行に応じて変動する変動データを記憶する変動データ記憶手段と、電源監視手段からの検出信号が出力されたことにともづいて制御状態を復旧させるために必要なデータを変動データ記憶手段に保存するための電力供給停止時処理を実行する電力供給停止時処理実行手段と、電力供給停止時処理が終了した後、初期化処理を実行しない待機状態に移行させる停止時待機状態移行手段と、所定の初期設定処理が実行されるときに、電源監視手段からの検出信号が出力されているか否かを判定する検出信号判定手段と、検出信号判定手段により検出信号が出力されていると判定された後、検出信号判定手段による検出信号が出力されているか否かの判定を行わず、かつ、初期化処理を実行しない待機状態に移行させる待機状態移行手段と、初期化処理を実行しない待機状態に移行されているときに、リセット手段によるリセットがなされたことにともづいて、初期化処理を実行しない待機状態から所定の初期設定処理を開始する初期設定処理開始手段と、検出信号判定手段により検出信号が出力されていないと判定されたとき

に、所定の復旧条件が成立したことを条件に変動データ記憶手段に記憶されている記憶内容にもとづいて制御状態を電力供給停止時処理が実行される前の状態に復旧させる電力供給開始時処理を実行する電力供給開始時処理手段とを含む構成とされているので、プログラム容量を大きくせずかつコストをかけずに、電源の状態が異常であるときに所定期間経過後に電源の状態を再び監視することができる。

【0025】

また、シリアル通信回路が割り込み要求を行った場合に、通信エラーを割込要求条件とする場合の割込処理を優先的に実行し、通信を禁止可能であるように構成されているので、通信エラーが発生した状態で遊技機に搭載されている制御基板と通信を行うことを防止できる。よって、通信エラーによる誤動作を防止することができる。

10

【0026】

請求項2記載の発明では、割込要求を許可する状態となる前に、割込処理の優先順位を確実に設定するように構成されているので、複数種類の割込要求条件に対応する割込処理のうち、優先して実行させるべき割込処理を確実に実行することができる。また、優先して実行させる割込処理を初期設定できるので、遊技制御用マイクロコンピュータに実行させるプログラムの自由度を向上させることができる。

【0027】

請求項3記載の発明では、タイマ割込を許可する状態となる前に、タイマ割込処理とシリアル通信回路による割込要求に対応する割込処理とのいずれを優先して実行するかを確実に設定するように構成されているので、タイマ割込とシリアル通信回路からの割込要求とが同時に発生した場合に、優先して実行させるべき割込処理を確実に実行することができる。また、優先して実行させる割込処理を初期設定できるので、遊技制御用マイクロコンピュータに実行させるプログラムの自由度を向上させることができる。

20

【0028】

請求項4記載の発明では、遊技制御用マイクロコンピュータが、遊技機への電源投入が開始されてからタイマ割込設定を行うまでに乱数回路の初期設定を行うとともに、初期設定においてマイコン識別情報にもとづく値を乱数の初期値として設定するように構成されているので、乱数回路が生成する乱数のランダム性を向上させることができる。また、乱数のランダム性を向上させることができるので、乱数生成のタイミングを遊技者や遊技店に認識されにくくすることができ、無線信号を用いた取り込み信号を遊技機に対して発生させることによって、特定遊技状態への移行条件を不正に成立させられてしまうことを防止することができる。

30

【0029】

請求項5記載の発明では、更新可能な数値データの所定の範囲が異なる複数の乱数回路について、それぞれ使用可能とするか否かを設定するように構成されているので、使用する乱数回路だけを設定することによって、生成する乱数の値の範囲を適切に設定することができる。

【0030】

請求項6記載の発明では、数値データが更新される所定の範囲の最大値としての値をあらかじめ設定するように構成されているので、タイマ割込処理の実行中に用いる乱数の範囲より大きい値の乱数を生成してしまうことを防止でき、乱数回路および遊技制御用マイクロコンピュータの処理負担を軽減することができる。また、設定された所定の最大値が所定の下限値以下である場合には、所定の最大値を設定しなおすように構成されているので、遊技制御用マイクロコンピュータの誤動作や、無線信号を用いた取り込み信号を遊技機に対して発生させるなどの行為によって、過度に小さい値が乱数の最大値として設定されてしまうことを防止することができる。

40

【0031】

請求項7記載の発明では、数値更新手段が数値データを更新する条件であるクロック信号の入力回数をあらかじめ設定するように構成されているので、乱数回路が生成する乱数のランダム性をより向上させることができる。

50

【0032】

請求項8記載の発明では、マイコン識別情報を用いた演算によって算出された値にもとづいて初期値を設定するように構成されているので、乱数回路が生成する乱数のランダム性をより向上させることができる。そのため、マイコン識別情報を見ただけでは乱数の初期値を認識しにくくすることができ、セキュリティ性を向上させることができる。

【0033】

請求項9記載の発明では、ラッチ信号が出力されたことにもとづいて乱数記憶手段が乱数を記憶するにあたって、所定期間に亘って継続して入賞検出信号が入力されたことを条件にラッチ信号を出力するように構成されているので、ノイズの発生を入力検出信号の入力と誤認識してラッチ信号を出力し、生成した乱数を記憶してしまうことを防止できる。また、無線信号を用いた取り込み信号を遊技機に対して発生させるなどの行為によってラッチ信号が出力され、不正なラッチ信号によって生成された乱数を記憶させられてしまう可能性を低減することができる。

10

【0034】

請求項10記載の発明では、乱数記憶手段から乱数を読み出すにあたって、タイマ割込処理が所定回数実行される間継続して入賞検出信号が入力されたことを条件に乱数記憶手段から乱数を読み出すように構成されているので、乱数を読み出してから、乱数記憶手段に記憶される乱数の値が更新される前に再び乱数を読み出してしまうことを防止することができる。そのため、前回乱数記憶手段から読み出した乱数と同じ値の乱数を再び読み出してしまうことを防止することができる。

20

【0035】

請求項11記載の発明では、数値データを所定の最終値まで更新したときに、所定の初期値を更新するように構成されているので、乱数回路が生成する乱数のランダム性をより向上させることができる。

【0036】

請求項12記載の発明では、数値データを所定の最終値まで更新したときに、所定の初期値から所定の最終値までの並び順を更新するように構成されているので、乱数回路が生成する乱数のランダム性をより向上させることができる。

【0037】

請求項13記載の発明では、電力供給停止時処理実行手段が、電力供給停止時処理において、制御状態を復旧させるためのデータとして変動データ記憶手段の記憶内容にもとづいてチェックデータを作成して該変動データ記憶手段に保存するチェックデータ作成手段を含み、変動データ記憶手段に保存されているチェックデータにもとづいて変動データ記憶手段の記憶内容が正常であるか否かの判定を行う記憶判定手段を備え、電力供給開始時処理実行手段が、記憶判定手段により正常と判定されたときに所定の復旧条件が成立したとして変動データ記憶手段の記憶内容にもとづいて制御状態を電力供給停止時処理を実行する前の状態に復旧させる電力供給開始時処理を実行し、遊技制御用マイクロコンピュータが、所定の初期設定処理を実行するときに、制御プログラム内における所定の範囲を繰り返し実行することにより、遊技制御処理の実行開始を遊技制御用マイクロコンピュータ以外のマイクロコンピュータにおける制御処理が実行可能となる時期よりも遅延させる遅延処理を実行する遅延処理実行手段を含み、所定の初期設定処理を実行するまでの間は電力供給停止時処理の実行を禁止し、検出信号判定手段が、遅延処理が実行される制御プログラム内における所定の範囲内において、検出信号が出力されているか否かの判定を繰り返し実行するように構成されているので、遊技制御用マイクロコンピュータ以外のマイクロコンピュータがコマンドを取りこぼしてしまうのを回避することができる。また、変動データ記憶手段の記憶内容が破壊され、電力供給停止時の状態に制御状態を復旧させることができなくなるのを防止することができる。

30

40

【発明を実施するための最良の形態】

【0040】

実施の形態1.

50

以下、本発明の一実施形態を図面を参照して説明する。まず、遊技機の一例であるパチンコ遊技機の全体の構成について説明する。図1はパチンコ遊技機を正面からみた正面図である。なお、以下の実施の形態では、パチンコ遊技機を例に説明を行うが、本発明による遊技機はパチンコ遊技機に限られず、スロット機などの他の遊技機に適用することもできる。

【0041】

パチンコ遊技機1は、縦長の方形状に形成された外枠（図示せず）と、外枠の内側に開閉可能に取り付けられた遊技枠とで構成される。また、パチンコ遊技機1は、遊技枠に開閉可能に設けられている額縁状に形成されたガラス扉枠2を有する。遊技枠は、外枠に対して開閉自在に設置される前面枠（図示せず）と、機構部品等が取り付けられる機構板と、それらに取り付けられる種々の部品（後述する遊技盤を除く。）を含む構造体である。

10

【0042】

図1に示すように、パチンコ遊技機1は、額縁状に形成されたガラス扉枠2を有する。ガラス扉枠2の下部表面には打球供給皿（上皿）3がある。打球供給皿3の下部には、打球供給皿3に収容しきれない遊技球を貯留する余剰球受皿4が設けられている。ガラス扉枠2の背面には、遊技盤6が着脱可能に取り付けられている。なお、遊技盤6は、それを構成する板状体と、その板状体に取り付けられた種々の部品とを含む構造体である。また、遊技盤6の前面には遊技領域7が形成されている。

20

【0043】

また、打球供給皿3の下部には、打球発射装置が遊技球を発射する速さ（すなわち、遊技球を弾くバネの強さ）を調整する打球操作ハンドル（操作ノブ）5が設けられている。遊技者は、操作ノブ5を回転させることにより、打球発射装置から発射される遊技球の勢いを調整することが可能となる。具体的には、操作ノブ5を右に回転させていくことにより、打球発射装置から発射される遊技球の速さが徐々に増していき、所定の速さを超えると、発射された遊技球は打球レールを通過して上方より遊技領域7の左側領域に入る。さらに操作ノブ5を右に回転させていくと、発射された遊技球は上方より遊技領域7の右側領域に入る。

【0044】

遊技領域7の中央付近には、各々を識別可能な複数種類の演出用の飾り図柄を可変表示する複数の可変表示部を含む可変表示装置（飾り図柄表示装置）9が設けられている。可変表示装置9には、例えば「左」、「中」、「右」の3つの可変表示部（図柄表示エリア）がある。飾り図柄の可変表示を行う可変表示装置9は、図柄制御基板に搭載されている図柄制御用マイクロコンピュータによって制御される。

30

【0045】

また、可変表示装置9には、始動入賞口14に入った有効入賞球数すなわち始動記憶数を表示する4つの飾り図柄始動記憶表示エリア（始動記憶表示エリア）18が設けられている。有効始動入賞がある毎に、表示色が変化する（例えば青色表示から赤色表示に変化）始動記憶表示エリアを1増やす。そして、可変表示装置9の可変表示が開始される毎に、表示色が変化している始動記憶数表示エリアを1減らす（すなわち表示色をもとに戻す）。この例では、図柄表示エリアと始動記憶表示エリアとが区分けされて設けられているので、可変表示中でも始動記憶数が表示された状態にすることができる。なお、始動記憶表示エリアを図柄表示エリアの一部に設けるようにしてもよい。また、可変表示中は始動記憶数の表示を中断するようにしてもよい。また、この例では、始動記憶数の上限を4としているが、4以上であっても4以下であってもよい。なお、図1には示されていないが、特別図柄の始動記憶数を表示する表示器（特別図柄始動記憶表示器）が遊技領域7の所定位置に設けられているものとする。特別図柄始動記憶表示器は、4つのランプの点灯個数によって特別図柄の始動記憶数を表示するものであって、後述する遊技制御基板（主基板）に搭載された遊技制御用マイクロコンピュータによって表示制御される。

40

【0046】

50

可変表示装置 9 の上部には、識別情報としての特別図柄を可変表示する特別図柄表示器（特別図柄表示装置） 8 が設けられている。この実施の形態では、特別図柄表示器 8 は、例えば 0 ～ 9 の数字を可変表示可能な簡易で小型の表示器（例えば 7 セグメント L E D）で実現されている。特別図柄表示器 8 は、遊技者に特定の停止図柄を把握しづらくさせるために、0 ～ 9 9 など、より多種類の数字を可変表示するように構成されていてもよい。また、可変表示装置 9 は、特別図柄表示器 8 による特別図柄の可変表示期間中に、装飾用（演出用）の図柄としての飾り図柄の可変表示を行う。すなわち、特別図柄表示器 8 における特別図柄の可変表示と可変表示装置 9 における飾り図柄の可変表示とは同期している。同期とは、図柄の変動開始時と変動終了時が同じであることをいう。

【0047】

可変表示装置 9 の下方には、始動入賞口 1 4 としての可変入賞球装置 1 5 が設けられている。始動入賞口 1 4 に入った入賞球は、遊技盤 6 の背面に導かれ、始動口スイッチ 1 4 a によって検出される。また、始動入賞口 1 4 の下部には開閉動作を行う可変入賞球装置 1 5 が設けられている。可変入賞球装置 1 5 は、ソレノイド 1 6（図 2 参照）によって開状態とされる。

【0048】

可変入賞球装置 1 5 の下部の左側には、特定遊技状態（大当たり遊技状態）においてソレノイド 2 4 1 によって開状態とされる開閉板 2 0 1 が設けられている。また、可変入賞球装置 1 5 の下部の右側には、特定遊技状態においてソレノイド 2 4 2 によって開状態とされる開閉板 2 0 2 が設けられている。開閉可能な 2 つの開閉板 2 0 1，2 0 2 によって 2 つの大入賞口（特別可変入賞球装置）が形成される。左側の大入賞口を第 1 大入賞口といい、右側の大入賞口を第 2 大入賞口という。第 1 大入賞口に入賞し遊技盤 6 の背面に導かれた入賞球はカウントスイッチ 2 3 1 で検出される。同様に、第 2 大入賞口に入賞し遊技盤 6 の背面に導かれた入賞球はカウントスイッチ 2 3 2 で検出される。

【0049】

この実施の形態では、大当たり遊技中に第 1 大入賞口および第 2 大入賞口のいずれか一方が所定回数開放される。具体的には、大当たりの種別として、大入賞口が 2 回開放される 2 ラウンドの大当たりと、大入賞口が 7 回開放される 7 ラウンドの大当たりと、大入賞口が 1 5 回開放される 1 5 ラウンドの大当たりとが設けられている。そして、この実施の形態では、2 ラウンドの大当たりのときに第 2 大入賞口（右側の大入賞口）が開放され、7 ラウンドの大当たりのときに第 1 大入賞口（左側の大入賞口）が開放され、1 5 ラウンドの大当たりのときに第 2 大入賞口（右側の大入賞口）が開放される。

【0050】

第 1 大入賞口（左側の開閉板 2 0 1）の左方には、第 1 大入賞口が最初に開放される前に、大当たり遊技において第 1 大入賞口を開放することを遊技者に報知するための第 1 大入賞口表示灯 3 8 が設けられている。また、第 2 大入賞口（右側の開閉板 2 0 2）の右方には、第 2 大入賞口が最初に開放される前に、大当たり遊技において第 2 大入賞口を開放することを遊技者に報知するための第 2 大入賞口表示灯 3 9 が設けられている。遊技者は、第 1 大入賞口表示灯 3 8 が点灯することによって第 1 大入賞口が開放されることを認識し、第 2 大入賞口表示灯 3 9 が点灯することによって第 2 大入賞口が開放されることを認識することができる。これにより、遊技者がいずれの大入賞口（特別可変入賞装置）が開放状態になるかについて認識できずに不利益を受けてしまうのを防止することができる。

【0051】

ゲート 3 2 に遊技球が入賞しゲートスイッチ 3 2 a で検出されると、普通図柄表示器 1 0 の表示の可変表示が開始される。この実施の形態では、左右のランプ（点灯時に図柄が視認可能になる）が交互に点灯することによって可変表示が行われ、例えば、可変表示の終了時に左側のランプ（○）が点灯すれば当たりとなり、右側のランプ（×）が点灯すればはずれとなる。そして、普通図柄表示器 1 0 における停止図柄が所定の図柄（当り図柄）である場合に、可変入賞球装置 1 5 が所定回数、所定時間だけ開状態になる。普通図柄表示器 1 0 の近傍には、ゲート 3 2 に入った入賞球数を表示する 4 つの L E D による表示

部を有する普通図柄始動記憶表示器 41 が設けられている。ゲート 32 への入賞がある毎に、普通図柄始動記憶表示器 41 は点灯する L E D を 1 増やす。そして、普通図柄表示器 10 の可変表示が開始される毎に、点灯する L E D を 1 減らす。

【0052】

遊技盤 6 には、複数の入賞口 29, 30 が設けられ、遊技球の入賞口 29, 30 への入賞は、それぞれ入賞口スイッチ 29a, 30a によって検出される。各入賞口 29, 30 は、遊技媒体を受け入れて入賞を許容する領域として遊技盤 6 に設けられる入賞領域を構成している。なお、始動入賞口 14 や大入賞口も、遊技媒体を受け入れて入賞を許容する入賞領域を構成する。

【0053】

遊技領域 7 の左右周辺には、遊技中に点滅表示される装飾ランプ 25 が設けられ、下部には、入賞しなかった遊技球を吸収するアウト口 26 がある。また、遊技領域 7 の外側の左右上部には、効果音を発する 2 つのスピーカ 27 が設けられている。遊技領域 7 の外周には、天枠ランプ 28a、左枠ランプ 28b および右枠ランプ 28c が設けられている。天枠ランプ 28a、左枠ランプ 28b および右枠ランプ 28c は、遊技機に設けられている装飾発光体の一例である。

【0054】

そして、この例では、左枠ランプ 28b の近傍に、賞球払出中に点灯する賞球 L E D 51 が設けられ、天枠ランプ 28a の近傍に、補給球が切れたときに点灯する球切れ L E D 52 が設けられている。上記のように、この実施の形態のパチンコ遊技機 1 には、発光体としてのランプや L E D が各所に設けられている。さらに、プリペイドカードが挿入されることによって球貸しを可能にするプリペイドカードユニット（以下、カードユニットという。）が、パチンコ遊技機 1 に隣接して設置される（図示せず）。

【0055】

打球発射装置から発射された遊技球は、打球レールを通過して遊技領域 7 に入り、その後、遊技領域 7 を下りてくる。遊技球が始動入賞口 14 に入り始動口スイッチ 14a で検出されると、図柄の可変表示を開始できる状態であれば、特別図柄表示器 8 において特別図柄の可変表示（変動）を開始するとともに、可変表示装置 9 において飾り図柄の可変表示（変動）を開始する。図柄の可変表示を開始できる状態でなければ、始動記憶数が 4（上限値）に達していないことを条件に、始動記憶数を 1 増やす（つまり、始動記憶表示エリアを 1 増やす）。

【0056】

特別図柄表示器 8 における特別図柄および可変表示装置 9 における飾り図柄の可変表示は、一定時間が経過したときに停止する。停止時の特別図柄が大当たり図柄（特定表示結果）であると、大当たり遊技状態（特定遊技状態）に移行する。すなわち、開閉板 201, 202 のいずれか一方が、一定時間経過するまで、または、所定個数（例えば 10 個）の遊技球が入賞するまで開放する。開閉板 201, 202 のいずれか一方が開放されてから一定期間経過するまで、または、所定個数の打球が入賞するまでが大当たり遊技状態における 1 ラウンドである。所定個数の遊技球が大入賞口に入賞すると、または大入賞口が開放されてから一定期間経過すると、継続権が発生し特別可変入賞球装置の開放が再度行われる。上述したように、継続権の発生は、大当たりの種別に応じて所定回数（例えば、2 ラウンド、7 ラウンド、15 ラウンド）許容される。なお、大入賞口に V 入賞領域を設け、大入賞口の開放中に打球が V 入賞領域に入賞したことを条件に、継続権が発生するようにしてもよい。

【0057】

この実施の形態では、特別図柄の停止図柄が大当たり図柄になると決定されたときには、その後大当たりの種別が決定される。大当たりの種別としては、上述したように、2 ラウンドの大当たりと、7 ラウンドの大当たりと、15 ラウンドの大当たりとが設けられているが、さらに、大当たり遊技の終了後の遊技状態に応じて、確変大当たりと、時短大当たりと、通常大当たりとが設けられている。確変大当たりは、大当たり遊技の終了後に遊技状態が確変状態（次に

10

20

30

40

50

大当たりとなる確率が通常遊技状態および時短状態よりも高い確率変動状態（高確率状態ともいう）に移行する大当たりである。時短大当たりは、大当たり遊技の終了後に遊技状態が時短状態（特別図柄および飾り図柄の変動時間が短縮される時間短縮状態）に移行する大当たりである。通常大当たりは、大当たり遊技の終了後に遊技状態が（大当たり遊技の開始前に遊技状態が確変状態でない場合に関し）通常遊技状態に移行する大当たりである。具体的に、この実施の形態では、2ラウンドの確変大当たり、2ラウンドの時短大当たり、7ラウンドの通常大当たり、15ラウンドの通常大当たり、15ラウンドの確変大当たり、および15ラウンドの時短大当たりが設けられている。

【0058】

大当たりの種別として確変大当たりになると決定された場合は、大当たり遊技の終了後に確変状態（遊技者にとって有利な特別遊技状態の一例）に制御される。特別遊技状態としての確変状態では、上述したように、特別図柄表示器8において可変表示される特別図柄の停止図柄が大当たり図柄（特定表示結果：例えば、0～9のうちの奇数）になる確率が通常状態および時短状態より高められる。また、この実施の形態では、大当たり終了後の特別図柄の変動回数が所定回数（100回）になるまで、普通図柄表示器10において、停止図柄が当り図柄になる確率が通常状態より高められるとともに、可変入賞球装置15における開放時間と開放回数とのうちの一方または双方が通常状態よりも高められ、遊技者にとってさらに有利な状態になる。さらに、この実施の形態では、大当たり終了後の特別図柄の変動回数が所定回数（100回）になるまで、特別図柄表示器8における特別図柄の可変表示時間（変動時間）が通常遊技状態よりも短縮される。その場合には、頻繁に特別図柄の可変表示が実行されるようになる。

【0059】

なお、確変状態において、大当たり終了後の特別図柄の変動回数が所定回数（100回）になるまで、普通図柄表示器10における普通図柄の可変表示時間（変動時間）が通常状態よりも短縮されるようにしてもよい。その場合には、始動入賞口14への始動入賞が起こりやすくなり、所定期間内での特別図柄表示器8における特別図柄の可変表示回数が増加して特別図柄が大当たり図柄になる可能性が通常状態よりも高まり、遊技者にとってさらに有利な状態になる。

【0060】

大当たりの種別として時短大当たりになると決定された場合は、大当たり遊技の終了後に時短状態（遊技者にとって有利な特別遊技状態の一例）に制御される。特別遊技状態としての時短状態では、上述したように、大当たりが発生する確率は高くならないが、特別図柄の可変表示時間（変動時間）が通常遊技状態よりも短縮される。このように、特別図柄の可変表示時間が短縮されることにより、頻繁に特別図柄の可変表示が実行されるようになり、所定時間当たりの大当たり発生の可能性が高まる。さらに、時短状態では、普通図柄表示器10において、停止図柄が当り図柄になる確率が通常状態より高められるとともに、可変入賞球装置15における開放時間と開放回数とのうちの一方または双方が通常状態よりも高められ、遊技者にとってさらに有利な状態になる。

【0061】

なお、時短状態において、普通図柄表示器10における普通図柄の可変表示時間（変動時間）が通常遊技状態よりも短縮されるようにしてもよい。その場合には、可変入賞球装置15の所定時間当たりの開放回数が高まり、遊技者にとってさらに有利な状態になる。なお、この実施の形態では、時短状態は、大当たり終了後の特別図柄の変動回数が所定回数（100回）になるまで継続される。

【0062】

次に、遊技状態の遷移について説明する。この実施の形態では、通常遊技状態または時短状態のときに確変大当たりが発生すると、遊技状態が通常遊技状態または時短状態から確変状態に移行される。確変状態は、次に通常大当たりまたは時短大当たりが発生するまで継続される。確変状態のときに確変大当たりが発生すると、その後も確変状態が継続される。ところで、確変状態のときは、上述したように、特別図柄の変動時間が短縮され、普通図柄

10

20

30

40

50

の停止図柄が当り図柄になる確率が高められ、可変入賞球装置 15 における開放時間と開放回数とのうちの一方または双方が高められる特別状態となるが、このような特別状態は、大当たり終了後からの特別図柄の変動回数が所定回数（100回）になるまでしか継続されない。

【0063】

通常遊技状態または確変状態のときに時短大当たりが発生すると、遊技状態が通常遊技状態または確変状態から時短状態に移行され、また、確変状態のときに通常大当たりが発生すると、遊技状態が確変状態から時短状態に移行される。時短状態のときに時短大当たりが発生すると、その後も時短状態が継続される。時短状態は、大当たり終了後からの特別図柄の変動回数が所定回数（100回）になるまで継続される。時短状態のときは、確変状態のときと同様に、特別図柄の変動時間が短縮され、普通図柄の停止図柄が当り図柄になる確率が高められ、可変入賞球装置 15 における開放時間と開放回数とのうちの一方または双方が高められる特別状態となる。

10

【0064】

以上のように、大当たり終了後の特別図柄の変動回数が所定回数（100回）になるまでは、確変状態および時短状態のいずれのときでも特別状態となる。従って、遊技者は、確変状態または時短状態のどちらの状態に移行されたかについて特別図柄の変動時間などにもとづいて認識することができない。さらに、この実施の形態では、確変状態および時短状態のいずれのときも、大当たり終了後の特別図柄の変動回数が所定回数になるまでは、可変表示装置 9 において通常遊技状態に制御されているときの通常の遊技演出（通常遊技演出）とは異なる態様の特別な遊技演出（特別遊技演出）が実行される。例えば、画面の背景や色が通常遊技状態のときと変わったり、チャンスモードのような特別なモードの演出が実行されたりする。従って、遊技者は、確変状態または時短状態のどちらの状態に移行されたかについて可変表示装置 9 において実行される遊技演出の態様にもとづいて認識することができない。

20

【0065】

確変状態のときに、大当たり終了後の特別図柄の変動回数が所定回数になると、確変状態（大当たりになる確率が向上された状態）は維持されるが、特別状態は終了する。特別状態が終了すると、可変表示装置 9 において実行される遊技演出も特別遊技演出から通常遊技演出に切り替えられる。このように、通常遊技状態や時短状態よりも高い確率で特別図柄の停止図柄として大当たり図柄が決定されるが、可変表示装置 9 において通常遊技演出が実行される状態を高確率潜伏状態という。また、時短状態のときに、大当たり終了後の特別図柄の変動回数が所定回数になると、遊技状態が時短状態から通常遊技状態に移行され、その結果、特別状態も終了する。このときも、確変状態の場合と同様に、特別状態が終了すると、可変表示装置 9 において実行される遊技演出も特別遊技演出から通常遊技演出に切り替えられる。

30

【0066】

以上のように、大当たり終了後の特別図柄の変動回数が所定回数になると、確変状態および時短状態のいずれのときでも特別状態が終了し、また、可変表示装置 9 において実行される遊技演出も特別遊技演出から通常遊技演出に切り替えられる。従って、遊技者は、高確率潜伏状態または通常遊技状態のどちらの状態に移行されたかについて特別図柄の変動時間や遊技演出の態様などにもとづいて認識することができない。よって、遊技状態がいずれの状態に移行されたかについて遊技者に興味を持たせることができる。

40

【0067】

なお、この実施の形態では、通常大当たりのときは、「1」「5」「9」のいずれかの特別図柄が導出表示され、確変状態および時短状態のときは、「3」「7」のいずれかの特別図柄が導出表示されるものとする。また、通常大当たりのときは、偶数の同一飾り図柄（例えば「2」）が揃った状態で導出表示され、確変状態および時短状態のときは、奇数の同一飾り図柄（例えば「7」）が導出表示されるものとする。従って、特別図柄および飾り図柄の停止図柄によって、遊技者が大当たり遊技終了後に移行される遊技状態を認識する

50

ことはできない。

【0068】

次に、リーチ表示態様（リーチ）について説明する。この実施の形態におけるリーチ表示態様（リーチ）とは、停止した飾り図柄が大当たり図柄の一部を構成しているときに未だ停止していない飾り図柄については可変表示（変動表示）が行われていること、および全てまたは一部の飾り図柄が大当たり図柄の全てまたは一部を構成しながら同期して変動表示している状態である。

【0069】

例えば、可変表示装置9の左、右の表示領域には大当たり図柄の一部になる飾り図柄（例えば、「7」）が停止表示されている状態で中の表示領域は未だ変動表示が行われている状態、および表示領域の全てまたは一部の図柄が大当たり図柄の全てまたは一部を構成しながら同期して変動表示している状態（例えば、左、中、右の表示領域の全てに変動表示が行われ、常に同一の図柄が揃っている状態で変動表示が行われている状態）がリーチ表示態様またはリーチになる。

【0070】

また、リーチの際に、通常と異なる演出がランプや音で行われる。その演出と可変表示装置9におけるリーチ表示態様とをリーチ演出という。また、リーチの際に、キャラクタ（人物等を模した演出表示であり、図柄とは異なるもの）を表示させたり、可変表示装置9の背景（図柄およびキャラクタとは異なる地の色や模様など）の表示態様（例えば、色等）を変化させたりすることがある。

【0071】

図2は、遊技制御基板（主基板）の構成例を示すブロック図である。なお、図2には、遊技機に搭載されている払出制御基板37、インタフェース基板66、中継基板77、音／ランプ制御基板80bおよび図柄制御基板80aも示されている。主基板31には、プログラムに従ってパチンコ遊技機1を制御する基本回路（遊技制御手段に相当）53と、ゲートスイッチ32a、始動口スイッチ14a、カウントスイッチ231、232および入賞口スイッチ29a、30aからの信号を基本回路53に与える入力ドライバ回路58と、可変入賞球装置15を開閉するソレノイド16、開閉板201を開閉するソレノイド241および開閉板202を開閉するソレノイド242を基本回路53からの指令に従って駆動する出力回路59とが搭載されている。

【0072】

なお、ゲートスイッチ32a、始動口スイッチ14a、カウントスイッチ231、232、および入賞口スイッチ29a、30aのスイッチは、センサと称されているものでもよい。すなわち、遊技球を検出できる遊技媒体検出手段（この例では遊技球検出手段）であれば、その名称を問わない。入賞検出を行う始動口スイッチ14a、カウントスイッチ231、232、および入賞口スイッチ29a、30aの各スイッチは、入賞領域への遊技球の入賞を検出する入賞検出手段でもある。なお、ゲート32のような通過ゲートであっても、賞球の払い出しが行われるものであれば、通過ゲートへ遊技球が進入することが入賞になり、通過ゲートに設けられているスイッチ（例えばゲートスイッチ32a）が入賞検出手段になる。

【0073】

基本回路53は、ゲーム制御（遊技進行制御）用のプログラム等を記憶するROM54、ワークメモリとして使用される記憶手段（変動データを記憶する変動データ記憶手段）としてのRAM55、プログラムに従って制御動作を行うCPU56、およびプログラムが正常に実行されているか否かを監視するウォッチドッグタイマ（WDT）60を有する遊技制御用マイクロコンピュータ560を含む。なお、この実施の形態では、CPU56とは、基本回路53のうち、プログラムに従って動作する中央処理装置（ROM54やRAM55などの記憶手段、I/Oポート部57などを除いた部分）を指し、後述するメイン処理や割込処理（タイマ割込処理や、シリアル通信回路505からの割り込み要求による割込処理）を実行する。また、遊技制御用マイクロコンピュータ560とは、基本回路

53のうち、CPU56に加えて、ROM54やRAM55などの記憶手段、ウォッチドッグタイマ60、乱数回路503、シリアル通信回路505、I/Oポート部57などを含む部分を指し、各基板（払出制御基板37や音／ランプ制御基板80b）が搭載するマイクロコンピュータと各種データの送受信を行う。

【0074】

なお、本実施の形態では、「マイクロコンピュータが送受信する」等の表現を用いるが、具体的には、例えば、データ送信を行う場合、CPUがシリアル通信回路の送信データレジスタにデータをセットし、シリアル通信回路が送信データレジスタにセットされたデータを送信する。また、CPUがI/Oポート部を介してデータを送信する。また、例えば、データ受信を行う場合、受信データがシリアル通信回路の受信データレジスタに書き込まれ、CPUが受信データレジスタから受信データを読み込む。また、CPUがI/Oポート部を介してデータを受信する。

10

【0075】

なお、本実施の形態では、遊技制御用マイクロコンピュータ560が、払出制御基板37が搭載する払出制御用マイクロコンピュータ370とシリアル通信を行う場合を説明する。

【0076】

この実施の形態では、図2に示すように、遊技制御用マイクロコンピュータ560にはウォッチドッグタイマ60が内蔵されている。ウォッチドッグタイマ60は、遊技制御用マイクロコンピュータ560がプログラムを正常に実行できなくなった場合に遊技制御用マイクロコンピュータ560をリセット状態にして再起動させる。ウォッチドッグタイマ60の詳しい内容については後述する（図37参照）。なお、図2に示す例では、ウォッチドッグタイマ60は、遊技制御用マイクロコンピュータ560に内蔵されているが、遊技制御用マイクロコンピュータ560に外付けされてもよい。

20

【0077】

この実施の形態では、ROM54、ワークメモリとしての記憶手段であるRAM55およびI/Oポート部57は遊技制御用マイクロコンピュータ560に内蔵されている。すなわち、遊技制御用マイクロコンピュータ560は、1チップマイクロコンピュータである。1チップマイクロコンピュータは、少なくともRAM55が内蔵されていればよく、ROM54は外付けであっても内蔵されていてもよい。

30

【0078】

なお、遊技制御用マイクロコンピュータ560においてCPU56がROM54に格納されているプログラムに従って制御を実行するので、以下、遊技制御用マイクロコンピュータ560が実行する（または、処理を行う）ということは、具体的には、CPU56がプログラムに従って制御を実行することである。このことは、主基板31以外の他の基板に搭載されているマイクロコンピュータについても同様である。また、遊技制御手段は、遊技制御用マイクロコンピュータ560を含む基本回路53で実現されている。

【0079】

また、RAM55は、その一部または全部が電源基板910において作成されるバックアップ電源によってバックアップされている不揮発性記憶手段としてのバックアップRAMである。すなわち、遊技機に対する電力供給が停止しても、所定期間（バックアップ電源としてのコンデンサが放電してバックアップ電源が電力供給不能になるまで）は、RAM55の一部または全部の内容は保存される。特に、少なくとも、遊技状態すなわち遊技制御手段の制御状態に応じたデータ（特別図柄プロセスフラグ等）と未払出賞球数を示すデータは、バックアップRAMに保存される。遊技制御手段の制御状態に応じたデータとは、停電等が生じた後に復旧した場合に、そのデータにもとづいて、制御状態を停電等の発生前に復旧させるために必要なデータである。また、制御状態に応じたデータと未払出賞球数を示すデータとを遊技の進行状態を示すデータと定義する。なお、この実施の形態では、RAM55の全部が、電源バックアップされているとする。

40

【0080】

50

遊技制御用マイクロコンピュータ560のリセット端子には、電源基板910からのリセット信号が入力される。また、払出制御用マイクロコンピュータのリセット端子にも、電源基板910からのリセット信号が入力される。なお、リセット信号がハイレベルになると遊技制御用マイクロコンピュータ560および払出制御用マイクロコンピュータは動作可能状態になり、リセット信号がローレベルになると遊技制御用マイクロコンピュータ560および払出制御用マイクロコンピュータは動作停止状態になる。従って、リセット信号がハイレベルである期間は、遊技制御用マイクロコンピュータ560および払出制御用マイクロコンピュータの動作を許容する許容信号が出力されていることになり、リセット信号がローレベルである期間は、遊技制御用マイクロコンピュータ560および払出制御用マイクロコンピュータの動作を停止させる動作停止信号が出力されていることになる。なお、リセット回路をそれぞれの制御基板（主基板31を含む）に搭載してもよいし、複数の制御基板のうちの一つまたは複数にリセット回路を搭載し、そこからリセット信号を他の制御基板に供給するようにしてもよい。

10

【0081】

さらに、基本回路53の入力ポートには、払出制御基板37を経由して、電源基板910からの電源電圧が所定値以下に低下したことを示す電源断信号が入力される。また、基本回路53の入力ポートには、RAMの内容をクリアすることを指示するためのクリアスイッチが操作されたことを示すクリア信号が入力される。

【0082】

クリア信号は、電源基板910から払出制御基板37に入力され（図38参照）、払出制御基板37において分岐され、主基板31に供給される。なお、クリア信号が、電源基板910から主基板に入力され、主基板31において分岐され、払出制御基板37にも供給されるようにしてもよい。また、遊技制御用マイクロコンピュータ560が入力ポートを介して入力したクリア信号の状態を、出力ポートを介して払出制御基板37に出力してもよい。また、電源基板910においてクリア信号を分岐して主基板31および払出制御基板37に供給するようにしてもよい。さらに、電源断信号も、電源基板910において分岐され、主基板31および払出制御基板37に供給されるようにしてもよい。

20

【0083】

なお、この実施の形態では、払出制御用マイクロコンピュータに内蔵されているRAMも電源バックアップされている。

30

【0084】

この実施の形態では、音／ランプ制御基板80bに搭載されている音／ランプ制御手段（音／ランプ制御用マイクロコンピュータで構成される。）が、中継基板77を介して遊技制御用マイクロコンピュータ560からの演出制御コマンドを受信し、スピーカ（音出力装置）27の音出力制御や、各ランプ25, 28a, 28b, 28cの表示制御等を行う。また、音／ランプ制御手段は、受信した演出制御コマンドを図柄制御基板80aに搭載されている図柄制御手段（図柄制御用マイクロコンピュータで構成される。）に転送する。また、受信した演出制御コマンドにもとづいてコマンド（演出内容コマンド）を生成し、生成したコマンドを図柄制御手段に送信する。図柄制御手段は、音／ランプ制御手段からのコマンドを受信し、飾り図柄を可変表示する可変表示装置9の表示制御を行う。このように、この実施の形態では、スピーカ27の音出力制御や、各ランプ25, 28a, 28b, 28cの表示制御、可変表示装置9の表示制御が行われることによって、各種の遊技演出が実行される。

40

【0085】

また、この実施の形態では、払出制御基板37に搭載されている払出制御手段（払出制御用マイクロコンピュータ370で構成される。）が、遊技制御用マイクロコンピュータ560からの賞球コマンドを受信し、球払出装置97に駆動信号を出力して球払出装置97に払出モータを回転させることにより、賞球の払出処理を実行させる。

【0086】

図3は、中継基板、音／ランプ制御基板および図柄制御基板の回路構成例を示すブロッ

50

ク図である。図3に示すように、音／ランプ制御基板80bは、音／ランプ制御用CPU101bおよびRAMを含む音／ランプ制御用マイクロコンピュータ100bを搭載している。なお、RAMは外付けであってもよい。音／ランプ制御基板80bにおいて、音／ランプ制御用マイクロコンピュータ100bは、内蔵または外付けのROM（図示せず）に格納されたプログラムに従って動作し、中継基板77を介して入力される主基板31からのストロブ信号（演出制御INT信号）に応じて、入力ドライバ102および入力ポート103を介して演出制御コマンドを受信する。

【0087】

演出制御コマンドおよび演出制御INT信号は、音／ランプ制御基板80bにおいて、まず、入力ドライバ102に入力する。入力ドライバ102は、中継基板77から入力された信号を音／ランプ制御基板80bの内部に向かう方向にしか通過させない（音／ランプ制御基板80bの内部から中継基板77への方向には信号を通過させない）信号方向規制手段としての単方向性回路でもある。

10

【0088】

中継基板77には、主基板31から入力された信号を音／ランプ制御基板80bに向かう方向にしか通過させない（音／ランプ制御基板80bから中継基板77への方向には信号を通過させない）信号方向規制手段としての単方向性回路が搭載されている。単方向性回路として、例えばダイオードやトランジスタが使用される。図3には、ダイオードが例示されている。また、単方向性回路は、各信号毎に設けられる。

【0089】

20

音／ランプ制御用マイクロコンピュータ100bは、ランプドライバ352に対してランプを駆動する信号を出力する。ランプドライバ352は、ランプを駆動する信号を増幅して天枠ランプ28a、左枠ランプ28b、右枠ランプ28c、ボタンランプ130などの枠側に設けられている各ランプに供給する。また、枠側に設けられている装飾ランプ25に供給する。

【0090】

また、音／ランプ制御用マイクロコンピュータ100bは、音声合成用IC173に対して音番号データを出力する。音声合成用IC173は、音番号データに応じた音声や効果音を発生し増幅回路175に出力する。増幅回路175は、音声合成用IC173の出力レベルを、ボリューム176で設定されている音量に応じたレベルに増幅した音声信号をスピーカ27に出力する。音声データROM174には、音番号データに応じた制御データが格納されている。音番号データに応じた制御データは、所定期間（例えば飾り図柄の変動期間）における効果音または音声の出力態様を時系列的に示すデータの集まりである。

30

【0091】

なお、ランプを駆動する信号および音番号データは、音／ランプ制御用マイクロコンピュータ100bとランプドライバ352および音声合成IC173との間で、双方向通信（信号受信側から送信側に応答信号を送信するような通信）によって伝達される。

【0092】

また、音／ランプ制御用マイクロコンピュータ100bは、受信した演出制御コマンドを入出力ポート104を介して図柄制御基板80aに転送するとともに、受信した演出制御コマンドにもとづいてコマンドを生成し、生成したコマンドを入出力ポート104を介して図柄制御基板80aに送信する。

40

【0093】

図3に示すように、図柄制御基板80aは、図柄制御用CPU101aおよびRAMを含む図柄制御用マイクロコンピュータ100aを搭載している。なお、RAMは外付けであってもよい。図柄制御基板80aにおいて、図柄制御用マイクロコンピュータ100aは、内蔵または外付けのROM（図示せず）に格納されたプログラムに従って動作し、音／ランプ制御基板80bからのストロブ信号（図柄制御INT信号）に応じて、入出力ポート702を介してコマンドを受信する。そして、図柄制御用マイクロコンピュータ1

50

00aは、受信したコマンドにもとづいて、VDP（ビデオディスプレイプロセッサ）109に、LCDを用いた可変表示装置9の表示制御を行わせる。

【0094】

すなわち、図柄制御用マイクロコンピュータ100aは、受信したコマンドに従ってVDP109に対して画像の描画指示（展開指示）を行う。VDP109は、図柄制御用マイクロコンピュータ100aからの指示にもとづいてキャラクタROM（図示せず）から必要なデータを読み出し、読み出したデータをVRAM（図示せず）に展開する。

【0095】

VRAMは、VDP109によって生成された画像データを展開するためのバッファメモリである。そして、VDP109は、VRAM内の画像データを可変表示装置9に出力する。これによって、画像が可変表示装置9の表示画面に表示される。

10

【0096】

図4は、主基板31における回路構成および主基板31から音／ランプ制御基板80に送信される演出制御コマンドの信号線を示すブロック図である。図4に示すように、この実施の形態では、主基板31に搭載されている遊技制御用マイクロコンピュータ560は、演出制御信号送信用の8本の信号線CD0～CD7を用いて、演出制御コマンドを音／ランプ制御基板80bに送信する。また、主基板31と音／ランプ制御基板80bとの間には、ストロブ信号を送受するための演出制御INT信号の信号線も配線されている。

【0097】

主基板31には、図4に示すように、始動口スイッチ14aからの配線が接続されている。また、主基板31には、2つの大入賞口やその他の入賞口への遊技球の入賞等を検出するための各種スイッチ29a、30aからの配線も接続されている。さらに、主基板31には、可変入賞球装置15を開閉するソレノイド16および開閉板201、202を開閉するソレノイド241、242への配線が接続されている。

20

【0098】

主基板31は、遊技制御用マイクロコンピュータ560、入力ドライバ回路58および出力回路59を搭載する。遊技制御用マイクロコンピュータ560は、クロック回路501、システムリセット手段として機能するリセット／割込みコントローラ502、乱数回路503a、503b、ゲーム制御用のプログラム等を記憶するROM54、ワークメモリとして使用されるRAM55、プログラムに従って動作するCPU56、CPU56に割込要求信号（タイマ割込による割込要求信号）を送出するCTC504、払出制御基板37などが備えるマイクロコンピュータと非同期シリアル通信を行うシリアル通信回路505およびI/Oポート部57を内蔵する。なお、図4には示されていないが、遊技制御用マイクロコンピュータ560には、ウォッチドッグタイマ60も内蔵されている。

30

【0099】

なお、この実施の形態では、シリアル通信回路505を内蔵するマイクロコンピュータを搭載した基板（例えば、主基板31）とは異なる基板（例えば、払出制御基板37）のマイクロコンピュータとの通信にシリアル通信回路505を用いる場合を説明するが、シリアル通信回路505は、シリアル通信回路505を内蔵するマイクロコンピュータを搭載した基板が備える別のマイクロコンピュータとシリアル通信を行ってもよい。例えば、同じ構成の2つのマイクロコンピュータが同じ基板に搭載されている場合に、各マイクロコンピュータが内蔵するシリアル通信回路が相互にシリアル通信を行ってもよい。

40

【0100】

クロック回路501は、システムクロック信号を 2^7 （＝128）分周して生成した所定の周期の基準クロック信号CLKを、各乱数回路503a、503bに出力する。リセット／割込みコントローラ502は、ローレベルの信号が一定期間入力されたとき、CPU56および各乱数回路503a、503bに所定の初期化信号を出力して、遊技制御用マイクロコンピュータ560をシステムリセットする。

【0101】

また、この実施の形態では、図4に示すように、遊技制御用マイクロコンピュータ56

50

0は、発生可能な乱数の値の範囲が異なる2つの乱数回路503a, 503bを搭載する。乱数回路503aは、12ビットの疑似乱数を発生する乱数回路（以下、12ビット乱数回路ともいう）である。12ビット乱数回路503aは、12ビットで発生できる範囲（すなわち、0から4095までの範囲）の値の乱数を発生する機能を備える。また、乱数回路503bは、16ビットの疑似乱数を発生する乱数回路（以下、16ビット乱数回路ともいう）である。16ビット乱数回路503bは、16ビットで発生できる範囲（すなわち、0から65535までの範囲）の値の乱数を発生する機能を備える。なお、この実施の形態では、遊技制御用マイクロコンピュータ560が2つの乱数回路を内蔵する場合を説明するが、遊技制御用マイクロコンピュータ560は、3以上の乱数回路を内蔵してもよい。また、この実施の形態では、12ビット乱数回路503aおよび16ビット乱数回路503bを包括的に表現する場合、または、12ビット乱数回路503aと16ビット乱数回路503bとのうちいずれかを指す場合に、乱数回路503という。

10

【0102】

次に、乱数回路503の構成について説明する。図5は、乱数回路503の構成例を示すブロック図である。なお、この実施の形態において、12ビット乱数回路503aと16ビット乱数回路503bとの基本的な構成は同じである。図5に示すように、乱数回路503は、カウンタ521、比較器522、カウント値順列変更回路523、クロック信号出力回路524、カウント値更新信号出力回路525、乱数値読取信号出力回路526、乱数更新方式選択信号出力回路527、セレクタ528、乱数回路起動信号出力回路530、乱数値記憶回路531、反転回路532、ラッチ信号生成回路533およびタイマ回路534とを含む。

20

【0103】

この実施の形態では、乱数回路503は、複数種類の識別情報の可変表示の表示結果を特定の表示結果とするか否か（すなわち、特別図柄表示器8の特別図柄の停止図柄を大当り図柄とするか否か）を判定するための大当り判定用の乱数を発生する。そして、遊技制御用マイクロコンピュータ560のCPU56は、乱数回路503が発生した乱数にもとづいて特定の表示結果にすると判定すると、遊技状態を遊技者にとって有利な特定遊技状態（大当り遊技状態）に移行させる。

【0104】

カウンタ521は、セレクタ528によって選択された所定の信号を入力し、セレクタ528から入力する信号に応答してカウント値Cを出力する。この場合、カウンタ521は、所定の初期値を入力し、カウント値Cを一定の規則に従って初期値から所定の最終値まで循環的に更新して出力する。また、カウンタ521は、カウント値Cを最終値まで更新すると、カウント値Cを最終値まで更新した旨を示す通知信号をCPU56に出力する。この実施の形態では、カウンタ521から通知信号が出力されると、CPU56によって初期値が更新される。

30

【0105】

この実施の形態において、カウンタ521は、セレクタ528から信号を入力するごとに（セレクタ528からの信号における立ち上がりエッジが入力されるごとに）、カウント値Cを「0」から「4095」まで1ずつカウントアップする。また、カウンタ521は、カウント値Cを「4095」までカウントアップすると、カウント値Cを最終値まで更新した旨を示す通知信号をCPU56に出力する。すると、CPU56は、カウンタ521から通知信号を入力し、初期値を更新する。そして、カウンタ521は、CPU56によって更新された初期値から「4095」まで、再びカウント値Cをカウントアップする。また、「4095」までカウントアップすると、カウンタ521は、再び「0」からカウントを開始する。そして、カウンタ521は、更新後の初期値の1つ前の値（最終値）までカウントアップすると、通知信号をCPU56に出力する。なお、この実施の形態では、比較器522は、後述するように、全てのカウント値を入力すると通知信号をカウンタ521に出力する。この場合、カウンタ521は、比較器522から通知信号を入力すると、カウント値をリセットして「0」にする。

40

50

【0106】

なお、比較器522は、入力したカウント値が乱数最大値設定レジスタ535に設定されている乱数最大値より大きいかなかを判断し、カウント値が乱数最大値より大きい（乱数最大値を超えた）と判断すると、通知信号をカウンタ521に出力してもよい。この場合、例えば、比較器522は、カウント値が乱数最大値を超えたと判断すると、クロック信号出力回路524が次に乱数発生用クロック信号S I 1を出力する前に、通知信号をカウンタ521に出力する。例えば、乱数最大値設定レジスタ535に乱数最大値「256」が設定されている場合を考える。この場合、カウンタ521が「0」から「256」までカウントアップし、さらにカウント値「257」を出力すると、比較器522は、入力したカウント値「257」が乱数最大値「256」を超えたと判断し、カウンタ521に通知信号を出力する。比較器522から通知信号を入力すると、カウンタ521は、クロック信号出力回路524からの乱数発生用クロック信号S I 1の入力を待つことなく、カウント値を「258」に更新し出力する。以上の処理を繰り返し実行することによって、比較器522は、カウント値「257」から「4095」まで入力している間、カウント値が乱数最大値を超えていると判断して、繰り返しカウンタ521に通知信号を出力する。そして、カウンタ521は、比較器522から通知信号を入力している間、クロック信号出力回路524からの乱数発生用クロック信号S I 1の入力を待つことなく、カウント値を繰り返し更新し出力する。そのようにすることによって、クロック信号出力回路524が次に乱数発生用クロック信号S I 1を出力するまでの間に、「257」から「4095」までカウント値を高速にカウントアップさせるように制御し、「257」から「4095」までの乱数値を読み飛ばす（乱数値記憶回路531に記憶させない）ように制御する。

10

20

【0107】

カウント値順列変更回路523は、カウント値順列変更レジスタ(RSC)536、更新規則選択レジスタ(RRC)542および更新規則メモリ543を含む。カウント値順列変更レジスタ536は、カウンタ521がカウントアップするカウント値Cの更新順である順列（初期値から最終値までの並び順）を変更させるためのカウント値順列変更データ「01h」を格納する。カウント値順列変更回路523は、カウント値順列変更レジスタ536に数値順列変更データ「01h」が格納されているとき、カウンタ521がカウントアップして更新するカウント値Cの順列を、カウント値順列変更データ「01h」が格納されていないときとは異なる順列に変更する。この場合、カウント値順列変更回路523は、数値順列変更データ「01h」が格納されているとき、カウント値の順列の変更に用いる更新規則を切り換える。また、カウント値の順列の変更に用いる更新規則を切り換えた後に、カウンタ521がカウント値の更新を開始すると、カウント値順列変更レジスタ536のカウント値順列変更データは、CPU56によって、「01h」から初期値である「0（＝00h）」に戻される（クリアされる）。

30

【0108】

なお、CPU56によってカウント値順列変更データをクリアするのでなく、乱数回路503側でカウント値順列変更データをクリアするようにしてもよい。例えば、カウント値順列変更レジスタ536にカウント値順列変更データ「01h」が書き込まれたことにもとづいて、更新規則選択レジスタ(RRC)542にレジスタ値が設定されると、カウント値順列変更回路523は、カウント値順列変更レジスタ536のレジスタ値をクリアするようにしてもよい。

40

【0109】

図6は、更新規則選択レジスタ542の例を示す説明図である。更新規則選択レジスタ542は、カウンタ521が出力するカウント値の並び順の並べ替え（順列の変更）に用いる更新規則を設定するレジスタである。この実施の形態では、更新規則選択レジスタ542にレジスタ値が設定されることによって、カウンタ521が出力するカウント値の順列の変更に用いる更新規則が設定される。図6に示すように、更新規則選択レジスタ542は、8ビットレジスタであり、初期値が「0（＝00h）」に設定されている。また、

50

更新規則選択レジスタ542は、ビット0～ビット3が書込および読出ともに可能な状態に構成されている。また、更新規則選択レジスタ542は、ビット4～ビット7が書込および読出ともに不可能な状態に構成されている。したがって、更新規則選択レジスタ542のビット4～ビット7に値を書き込む制御を行っても無効とされ、ビット4～ビット7から読み出す値は全て「0 (= 0000b)」である。

【0110】

更新規則選択レジスタ542の値（レジスタ値）は、カウント値順列変更レジスタ536にカウント値順列変更データ「01h」が書き込まれたことに応じて、レジスタ値が「0 (= 00h)」から「15 (= 0Fh)」まで循環的に更新される。すなわち、カウント値順列変更レジスタ536にカウント値順列データ「01h」が書き込まれるごとに、更新規則選択レジスタ542のレジスタ値は、「0」から「1」ずつ加算され、「15」になると再び「0」に戻る。

10

【0111】

図7は、更新規則メモリ543の例を示す説明図である。図7に示すように、更新規則メモリ543は、更新規則選択レジスタ542の値（レジスタ値）と、カウント値の更新規則とを対応付けて格納している。図7に示す例では、例えば、更新規則選択レジスタ542にレジスタ値1が設定されている場合、更新規則Bを用いて、カウンタ521が出力するカウント値の順列が変更されることが分かる。なお、図7において、更新規則Aは、カウンタ521がカウント値Cを更新する規則と同一の更新規則であり、レジスタ値「0」に対応付けて更新規則メモリ543に格納される。また、更新規則メモリ543には、カウンタ521がカウント値Cを更新する更新規則とは異なる更新規則B～Pが、レジスタ値「1」～「15」に対応付けて格納される。

20

【0112】

カウント値順列変更回路523は、カウント値順列変更レジスタ536にカウント値順列変更データ「01h」が書き込まれている場合、まず、カウンタ521からカウント値の最終値「4095」が最初に入力されるまで、現在設定されている更新規則に従って、そのままカウント値を出力する。そして、カウント値順列変更回路523は、カウンタ521からカウント値の最終値「4095」を入力すると、カウント値の更新規則を変更する。なお、CPU56によって初期値が変更されている場合には、カウント値順列変更回路523は、カウンタ521から変更後の最終値（初期値の1つ前の値）まで入力すると、カウント値の更新規則を変更することになる。

30

【0113】

カウント値順列変更回路523は、更新規則選択レジスタ542のレジスタ値に対応する更新規則を更新規則メモリ543から選択し、カウント値の順列の変更に用いる更新規則として設定する。また、カウント値順列変更回路523は、カウンタ521によって再び初期値「0」から順にカウント値の更新が開始されると、設定した更新規則に従って、カウント値の初期値から最終値までの順列を変更する。なお、CPU56によって初期値が変更されている場合には、カウント値順列変更回路523は、カウンタ521によって変更後の初期値から順にカウント値の更新が開始されると、設定した更新規則に従って、カウント値の初期値から最終値までの順列を変更することになる。そして、カウント値順列変更回路523は、変更した順列に従ってカウント値を出力する。

40

【0114】

なお、この実施の形態では、後述する乱数最大値設定レジスタ535に乱数最大値が設定されていることによって、発生させる乱数の最大値が制限されている場合、カウント値順列変更回路523は、カウント値Cを乱数最大値以下に制限して順列を変更して出力する。例えば、乱数最大値設定レジスタ535に乱数最大値「256」が設定されているものとし、カウント値順列変更回路523が、更新規則Aから更新規則Bに変更して、カウント値の順列を変更するものとする。この場合、カウント値順列変更回路523は、比較器522の乱数最大値設定レジスタ535に設定されている乱数最大値「256」にもとづいて、更新規則Bに従って、カウント値の順列を「256 → 255 → … → 0」に変

50

更して出力する。なお、カウント値順列変更回路523が最大値以下のカウント値を出力するのではなく、カウント値順列変更回路523はカウント値に応じた値を出力し、比較器522が最大値以上か否かを判定して、最大値以上であるときは、乱数値を読み飛ばす（乱数値記憶回路531に記憶させない）ように制御する構成であってもよい。

【0115】

以上のように、カウント値順列変更回路523は、カウント値順列変更レジスタ536にカウント値順列変更データ「01h」が書き込まれている場合、更新規則を切り替えて用いることによって、カウント値Cの順列を変更して出力する。そのため、乱数回路503が生成する乱数のランダム性を向上させることができる。

【0116】

図8は、カウント値順列変更回路523が、カウンタ521が出力するカウント値の順列を変更する場合の例を示す説明図である。図8に示すように、CPU56は、所定のタイミングで、カウント値順列変更データ「01h」をカウント値順列変更レジスタ536に書き込む。すると、更新規則選択レジスタ542のレジスタ値が1加算される。例えば、更新規則選択レジスタ542のレジスタ値が「0」から「1」に更新される。レジスタ値が更新されると、カウント値順列変更回路523は、カウンタ521から最初にカウント値の最終値「4095」が入力されるまで、更新前のレジスタ値「0」に対応する「更新規則A」に従ってカウント値を更新して出力する。このとき、カウント値順列変更回路523は、更新規則Aに従って、「0→1→・・・→4095」の順列でカウント値を出力する。

【0117】

カウンタ521からカウント値の最終値「4095」が入力されると、カウント値順列変更回路523は、更新規則メモリ543から、更新後のレジスタ値「1」に対応する「更新規則B」を選択して設定する。カウント値順列変更回路523は、カウンタ521から再び初期値「0」以降のカウント値の入力を開始すると、選択設定した「更新規則B」に従って、カウント値の順列を変更して出力する。本例では、カウント値順列変更回路523は、順列を「0→1→・・・→4095」から「4095→4094→・・・→0」に変更して、カウント値を出力する。

【0118】

その後、カウント値順列変更レジスタ536は、後述するように、カウント値順列変更回路523が切り替え後の更新規則に従ってカウント値の更新動作を開始したことに応じてリセットされる。そして、次にカウント値順列変更データ「01h」がカウント値順列変更レジスタ536に書き込まれるまで、カウント値順列変更回路523は、「4095→4094→・・・→0」のままの順列で、カウント値を出力し続ける。

【0119】

CPU56によってカウント値順列変更データ「01h」がカウント値順列変更レジスタ536に再度書き込まれると、カウント値順列変更レジスタ536のレジスタ値が「1」から「2」に更新される。そして、カウンタ521からカウント値の最終値「4095」を入力すると、カウント値順列変更回路523は、更新規則メモリ543から、レジスタ値「2」に対応する「更新規則C」を選択して設定する。カウント値順列変更回路523は、カウンタ521から再び初期値「0」以降のカウント値の入力を開始すると、選択設定した「更新規則C」に従って、カウント値の順列を更新して出力する。本例では、カウント値順列変更回路523は、順列を「4095→4094→・・・→0」から「1→3→・・・→4095→0→・・・→4094」に変更して、カウント値を出力する。

【0120】

以上のように、カウント値順列変更レジスタ536をリセットした後、カウント値順列データ「01h」をカウント値順列変更レジスタ536に再度書き込むことによって、カウント値の順列をさらに変更することができる。

【0121】

図9は、カウント値順列変更レジスタ536の例を示す説明図である。カウント値順列

10

20

30

40

50

変更レジスタ536は、カウンタ521がカウントアップするカウント値の順列を変更させるためのカウント値順列変更データ「01h」を設定するレジスタである。図9に示すように、カウント値順列変更レジスタ536は、読出可能な8ビットレジスタであり、初期値が「0 (= 00h)」に設定されている。また、カウント値順列変更レジスタ536は、ビット0だけが書込および読出ともに可能な状態に構成されている。すなわち、カウント値順列変更レジスタ536は、ビット1～ビット7が書込および読出ともに不可能な状態に構成されている。したがって、カウント値順列変更レジスタ536のビット1～ビット7に値を書き込む制御を行っても無効とされ、ビット1～ビット7から読み出す値は全て「0 (= 0000000b)」である。

【0122】

10

なお、カウント値順列変更レジスタ536の値は、カウント値順列変更回路523が切り替え後の更新規則に従ってカウント値の更新動作を開始したことに応じて、CPU56によってリセットされる。この場合、CPU56は、カウント値順列変更レジスタ536に書き込まれている値を、カウント値順列変更データ「01h」から初期値である「0 (= 00h)」に戻す。

【0123】

比較器522は、ランダムRの最大値（乱数最大値）を指定するための乱数最大値設定データを格納する乱数最大値設定レジスタ（RMX）535を備える。比較器522は、乱数最大値設定レジスタ535に格納されている乱数最大値設定データに示される乱数最大値に従って、カウンタ521が更新するカウント値の更新範囲を制限する。この実施の形態では、比較器522は、カウンタ521から入力するカウント値と乱数最大値設定レジスタ535に格納されている乱数最大値設定データ（例えば「00FFh」）に示される乱数最大値（例えば「256」）とを比較する。そして、比較器522は、入力したカウント値が乱数最大値以下であると判断すると、入力したカウント値を乱数値記憶回路531に出力する。

20

【0124】

この実施の形態では、比較器522は、具体的には、以下のような制御を行う。比較器522は、カウント値の初期値更新の際に、CPU56からカウント値の初期値をもらい、初期値から乱数最大値までのカウント値の個数を求める。例えば、カウント値の初期値が「157」であり乱数最大値が「256」である場合、比較器522は、初期値から乱数最大値までのカウント値の個数を「100個」と求める。また、比較器522は、カウント値順列変更回路523からカウント値を入力するに従って、初期値からカウント値をいくつ入力したかをカウントアップする。初期値からカウント値を入力した回数が「100回」に達すると、比較器522は、初期値「157」から最大値「256」までの全てのカウント値を入力したと判断する。そして、比較器522は、全てのカウント値を入力した旨の通知信号をカウンタ521に出力する。カウント値の個数で判断することによって、カウント値順列変更回路523によってカウント値の順列が変更されている場合であっても、比較器522は、カウント値の更新範囲を乱数最大値以下に制限し、全てのカウント値を入力した際にカウンタ521に通知信号を出力することができる。

30

【0125】

40

カウント値の更新範囲を比較器522が制限する動作について説明する。なお、本例では、カウント値順列変更回路523が更新規則Aを選択し、乱数最大値設定レジスタ535に乱数最大値「256」が設定されている場合を説明する。

【0126】

カウンタ521が「0」から「256」までカウント値を更新している間、カウント値順列変更回路523は、乱数最大値設定レジスタ535に設定されている乱数最大値「256」にもとづいて、更新規則Aに従って、「0」から「256」までのカウント値をそのまま比較器522に出力する。この場合、カウント値順列変更回路523は、比較器522から乱数最大値「256」の値をもらい、カウンタ521から入力するカウント値が乱数最大値より大きいかな否かを判断し、更新規則が変更されているとき（例えば、更新規

50

則B)であっても、乱数最大値設定レジスタ535に設定されている乱数最大値「256」にもとづいて、「257」から「4095」までのカウント値を比較器522に出力しない。カウンタ521は、例えば、初期値が「0」と設定されているときに、最終値「256」までカウント値を更新すると、通知信号をCPU56に出力する。通知信号を出力すると、CPU56によって、カウンタ521のカウント値の初期値が変更される。本例では、CPU56によって、初期値が「50」に変更されるものとする。

【0127】

なお、カウント値が乱数最大値「256」より大きいかな否かをカウント値順列変更回路523が判断するのでなく、比較器522が判定するようにしてもよい。この場合、例えば、比較器522は、カウント値が乱数最大値設定レジスタ535に設定されている乱数最大値より大きいかな否かを判断し、カウント値が乱数最大値より大きいと判断すると、通知信号をカウンタ521に出力する。そして、比較器522は、カウント値が乱数最大値を超えたと判断すると、クロック信号出力回路524が次に乱数発生用クロック信号SI1を出力する前に、通知信号をカウンタ521に出力する。そのようにすることによって、比較器522は、クロック信号出力回路524が次に乱数発生用クロック信号SI1を出力するまでの間に、「257」から「4095」までカウント値を高速にカウントアップさせるようにカウンタ521を制御する。そのようにすることによって、カウント値順列変更回路523からの値が「257」未満のときだけカウント値を乱数値記憶回路531に出力するようにし、カウント値順列変更回路523からの値が「257」以上のときにはカウント値を高速で更新させるようにすることができる。

【0128】

更新規則Aにもとづいて、カウント値順列変更回路523から、「0」から「255」までカウント値を入力している間、比較器522は、入力するカウント値が乱数最大値「256」以下であるので、入力したカウント値をそのまま乱数値記憶回路531に出力する。次に、カウント値順列変更回路523から入力するカウント値が「256」に達すると、比較器522は、入力したカウント値を乱数値記憶回路531に出力するとともに、初期値から最大値までの全てのカウント値を入力した旨の通知信号をカウンタ521に出力する。具体的には、比較器522は、カウント値の初期値変更の際に、CPU56からカウント値の初期値（本例では、「0」）をもらい、初期値「0」から乱数最大値（本例では、「256」）までのカウント値の個数（本例では、「257個」）を求める。そして、カウント値順列変更回路523から入力したカウント値の個数が257個に達すると、全てのカウント値を入力した旨の通知信号をカウンタ521に出力する。なお、本例では、CPU56によって初期値が「50」に変更されるので、カウンタ521は、比較器522から通知信号を入力しても、カウント値をリセットするとなく、変更後の初期値「50」からカウント値の更新を行う。

【0129】

カウンタ521が変更後の初期値「50」から「256」までカウント値を更新している間、カウント値順列変更回路523は、乱数最大値設定レジスタ535に設定されている乱数最大値「256」にもとづいて、更新規則Aに従って、「50」から「256」までのカウント値をそのまま比較器522に出力する。また、カウント値順列変更回路523は、乱数最大値設定レジスタ535に設定されている乱数最大値「256」にもとづいて、「257」から「4095」までのカウント値を比較器522に出力せず、カウンタ521の更新するカウント値が1周したとき（257回更新したとき）に、カウント値順列変更レジスタ536にカウント値順列変更データが書き込まれた場合には、カウント値順列変更回路523は、カウント値の順列を変更して出力する。例えば、更新規則が更新規則Bに変更された場合、カウント値順列変更回路523は、カウント値の順列を「256→255→・・・→50」に変更して出力する。

【0130】

カウント値順列変更回路523から、「256」から「50」までカウント値を入力している間、比較器522は、入力したカウント値をそのまま乱数値記憶回路531に出力

する。次に、カウント値順列変更回路523から入力するカウント値が「50」に達すると、比較器522は、入力したカウント値を乱数値記憶回路531に出力するとともに、初期値から最大値までの全てのカウント値を入力した旨の通知信号をカウンタ521に出力する。具体的には、比較器522は、カウント値の初期値変更の際に、CPU56からカウント値の初期値（本例では、「50」）をもらい、初期値「50」から乱数最大値（本例では、「256」）までのカウント値の個数（本例では、「207個」）を求める。そして、カウント値順列変更回路523から入力したカウント値の個数が207個に達すると、全てのカウント値を入力した旨の通知信号をカウンタ521に出力する。

【0131】

なお、カウント値順列変更回路523がカウント値の順列を変更した場合であっても、比較器522は、カウント値の個数が207個に達すると、通知信号をカウンタ521に出力する。そのようにすることによって、カウント値の順列が変更された場合であっても、初期値「50」から最大値「256」までの全てのカウント値を入力したことにもとづいて、通知信号をカウンタ521に出力できる。

【0132】

比較器522から通知信号を入力すると、カウンタ521は、カウント値の初期値をリセットし「0」に戻す。そして、カウンタ521は、「0」からカウント値の更新を行う。カウンタ521の値が「0」から再び更新がされると、カウンタ521からのカウント値にもとづいて、カウント値順列変更回路523は「49」～「0」までのカウント値を比較器522に出力し、比較器522はカウント値順列変更回路523からのカウント値の入力にもとづいて乱数値記憶回路531にカウント値を出力する。そして、カウンタ521は、最終値（本例では、「49」）までカウント値を更新すると、通知信号をCPU56に出力する。通知信号を出力すると、CPU56によって、カウンタ521のカウント値の初期値が再び変更される。

【0133】

以上のような動作を繰り返すことにより、比較器522は、カウンタ521に、「0」から乱数最大値「256」まで連続的にカウント値をカウントアップさせ、「0」から「256」までの値を乱数値記憶回路531にランダムR（乱数値）として記憶させる。すなわち、比較器522は、カウント値の更新範囲を乱数最大値「256」以下に制限して、カウンタ521にカウント値を更新させる。

【0134】

図10は、乱数最大値設定レジスタ535の例を示す説明図である。図10（a）は、12ビット乱数回路503aが搭載する乱数最大値設定レジスタ535の例を示す。また、図10（b）は、16ビット乱数回路503bが搭載する乱数最大値設定レジスタ535の例を示す。まず、12ビット乱数回路503aが搭載する乱数最大値設定レジスタ535について説明する。図10（a）に示すように、12ビット乱数回路503aにおいて、乱数最大値設定レジスタ535は、16ビットレジスタであり、初期値が「4095（=0FFFh）」に設定されている。乱数最大値設定レジスタ535は、ビット0～ビット11が書込および読出ともに可能な状態に構成されている。また、乱数最大値設定レジスタ535は、ビット12～ビット15が書込および読出ともに不可能な状態に構成されている。したがって、12ビット乱数回路503aにおいて、乱数最大値設定レジスタ535のビット12～ビット15に値を書き込む制御を行っても無効とされ、ビット12～ビット15から読み出す値は全て「0（=0000b）」である。

【0135】

また、乱数最大値設定レジスタ535に設定される乱数最大値は、所定の下限值が定められている。この実施の形態では、乱数最大値設定レジスタ535に下限値「256」より小さい値を指定する乱数最大値設定データ「0000h」～「00FEh」が書き込まれた場合、CPU56は、乱数最大値設定レジスタ535に、初期値「4095」を指定する乱数最大値設定データ「0FFFh」を設定しなおす。すなわち、乱数最大値設定レジスタ535に設定可能な乱数最大値は「256」から「4095」までであり、CPU

56は、下限値「256」より小さい値が設定されていると判断すると、乱数最大値を所定値「4095」に設定しなおす。なお、CPU56は、リセット／割込みコントローラ502によって遊技制御用マイクロコンピュータ560がシステムリセットされるまで、乱数最大値設定データが書き込まれた乱数最大値設定レジスタ535を書込不可能に制御する。なお、CPU56により書込不可能に制御するのではなく、乱数最大値設定レジスタ535は、データが書き込まれた後にリセット信号を入力するまで書込不可能となるように形成されていてもよい。

【0136】

次に、16ビット乱数回路503bが搭載する乱数最大値設定レジスタ535について説明する。図10(b)に示すように、16ビット乱数回路503bにおいて、乱数最大値設定レジスタ535は、16ビットレジスタであり、初期値が「65535(=FFFFh)」に設定されている。また、16ビット乱数回路503bにおいて、乱数最大値設定レジスタ535は、ビット0～ビット15の全てのビットが書込および読出ともに可能な状態に構成されている。

10

【0137】

また、乱数最大値設定レジスタ535に下限値「512」より小さい値を指定する乱数最大値設定データ「0000h」～「01FEh」が書き込まれた場合、CPU56は、乱数最大値設定レジスタ535に、初期値「65535」を指定する乱数最大値設定データ「FFFFh」を設定しなおす。すなわち、乱数最大値設定レジスタ535に設定可能な乱数最大値は「512」から「65535」までであり、CPU56は、下限値「512」より小さい値が設定されていると判断すると、乱数最大値を所定値「65535」に設定しなおす。なお、CPU56は、リセット／割込みコントローラ502によって遊技制御用マイクロコンピュータ560がシステムリセットされるまで、乱数最大値設定データが書き込まれた乱数最大値設定レジスタ535を書込不可能に制御する。この場合、CPU56により書込不可能に制御するのではなく、乱数最大値設定レジスタ535は、データが書き込まれた後にリセット信号を入力するまで書込不可能となるように形成されていてもよい。

20

【0138】

クロック信号出力回路524は、セクタ528および反転回路532に出力するクロック信号の周期(すなわち、カウント値の更新周期)を指定するための周期設定データを格納する周期設定レジスタ(RPS)537を備える。クロック信号出力回路524は、周期設定レジスタ537に格納されている周期設定データに基づいて、遊技制御用マイクロコンピュータ560が搭載するクロック回路501から入力する基準クロック信号CLKを分周して、乱数回路503内部で乱数値の生成に用いるクロック信号(乱数発生用クロック信号SI1)を生成する。そのようにすることによって、クロック信号出力回路524は、クロック信号を所定回数入力したことを条件に、カウント値Cを更新させるための乱数発生用クロック信号SI1をカウンタ521に出力するように動作する。なお、周期設定データとは、クロック回路501から入力した基準クロック信号CLKを何分周させるかを設定するためのデータである。また、クロック出力回路524は、生成した乱数発生用クロック信号SI1をセクタ528および反転回路532に出力する。例えば、周期設定レジスタ537に周期設定データ「0Fh(=16)」が書き込まれている場合、クロック信号出力回路524は、クロック回路501から入力する基準クロック信号CLKを16分周して乱数発生用クロック信号SI1を生成する。この場合、クロック信号出力回路524が生成する乱数発生用クロック信号SI1の周期は、「システムクロック信号の周期×128×16」となる。

30

40

【0139】

図11は、周期設定レジスタ537の例を示す説明図である。図11に示すように、周期設定レジスタ537は、8ビットレジスタであり、初期値が「256(=FFh)」に設定されている。また、周期設定レジスタ537は、書込および読出ともに可能な状態に構成されている。

50

【0140】

また、周期設定レジスタ537に設定される周期設定データの値は、所定の下限值が定められている。この実施の形態では、周期設定レジスタ537に下限値「システムクロック信号の周期×128×7」より小さい値を指定する周期設定データ「00h～06h」が書き込まれた場合、CPU56は、周期設定レジスタ537に下限値「システムクロック信号の周期×128×7」を指定する周期設定データ「07h」を設定しなおす。すなわち、周期設定レジスタ537に設定可能な周期は「システムクロック信号の周期×128×7」から「システムクロック信号の周期×128×256」までであり、CPU56は、下限値より小さい値が設定されていると判断すると、周期設定データを設定しなおす。なお、CPU56は、リセット／割込みコントローラ502によって遊技制御用マイクロコンピュータ560がシステムリセットされるまで、周期設定データが書き込まれた周期設定レジスタ537を書込不可能に制御する。なお、CPU56により書込不可能に制御するのでなく、周期設定レジスタ537は、データが書き込まれた後にリセット信号を入力するまで書込不可能となるように形成されていてもよい。

10

【0141】

なお、周期設定レジスタ537に下限値としての周期設定データを設定することなく、設定された周期設定データに基づいて、例えばクロック信号出力回路524が基準クロック信号CLKをそのままカウンタ521および反転回路532に出力するようにしてもよい。この場合、CPU56は、周期設定レジスタ537に設定される周期設定データの値を下限値と比較して設定しなおす処理を行う必要がなくなる。また、カウンタ521は、クロック信号出力回路524から基準クロック信号CLKを入力する毎にカウント値Cを更新することになる。

20

【0142】

カウント値更新信号出力回路525は、カウント値更新データ「01h」を格納するカウント値更新レジスタ(RGN)538を備える。カウント値更新データとは、カウント値の更新を要求するためのデータである。カウント値更新信号出力回路525は、カウント値更新レジスタ538にカウント値更新データ「01h」が書き込まれたことに応じて、カウント値更新信号SI3をセレクタ528に出力する。

【0143】

図12は、カウント値更新レジスタ538の例を示す説明図である。図12に示すように、カウント値更新レジスタ538は、読出不能な8ビットレジスタであり、ビット0のみが書込可能な状態に構成されている。したがって、カウント値更新レジスタ538のビット1～ビット7に値を書き込む制御を行っても無効とされる。

30

【0144】

乱数値読取信号出力回路526は、乱数値取込データ「01h」を格納する乱数値取込レジスタ(RLT)539を備える。乱数値取込データとは、乱数値記憶回路531へのカウント値の取込を要求するためのデータである。乱数値読取信号出力回路526は、乱数値取込レジスタ539に乱数値取込データ「01h」が書き込まれたことに応じて、乱数値の読み取りを要求するための乱数値読取信号をラッチ信号生成回路533に出力する。

40

【0145】

図13は、乱数値取込レジスタ539の例を示す説明図である。図13に示すように、乱数値取込レジスタ539は、読出不能な8ビットレジスタである。また、乱数値取込レジスタ539は、ビット0だけが書込可能な状態に構成されている。すなわち、乱数値取込レジスタ539のビット1～ビット7に値を書き込む制御を行っても無効とされる。

【0146】

乱数更新方式選択信号出力回路527は、乱数更新方式選択データを格納する乱数更新方式選択レジスタ(RTS)540を備える。乱数更新方式選択データとは、ランダムRの値を更新する方式である各乱数更新方式のうち、いずれかの乱数更新方式を指定するためのデータである。乱数更新方式選択信号出力回路527は、乱数更新方式選択レジスタ

50

540に乱数更新方式選択データが書き込まれたことに応じて、書き込まれた乱数更新方式選択データにより指定される乱数更新方式に対応する乱数更新方式選択信号を、セクタ528およびラッチ信号生成回路533に出力する。

【0147】

図14(A)は、乱数更新方式選択レジスタ540の例を示す説明図である。図14(A)に示すように、乱数更新方式選択レジスタ540は、8ビットレジスタであり、初期値が「00h」に設定されている。また、乱数更新方式選択レジスタ540は、ビット0～ビット1が書込および読出ともに可能な状態に構成されている。また、乱数更新方式選択レジスタ540は、ビット2～ビット7が書込および読出ともに不可能な状態に構成されている。したがって、乱数更新方式選択レジスタ540のビット2～ビット7に値を書き込む制御を行っても無効とされ、ビット2～ビット7から読み出す値は全て「0(=00000b)」である。

10

【0148】

図14(B)は、乱数更新方式選択レジスタ540に書き込まれる乱数更新方式選択データの一例の説明図である。図14(B)に示すように、乱数更新方式選択データは、2ビットのデータから構成される。乱数更新方式選択データ「01b」は、第1の乱数更新方式を指定するために用いられる。また、乱数更新方式選択データ「10b」は、第2の乱数更新方式を指定するために用いられる。なお、この実施の形態では、第1の乱数更新方式とは、カウント値更新信号出力回路525からカウント値更新信号SI3が出力されたことをトリガとして、カウント値を更新する方式である。また、第2の乱数更新方式とは、クロック信号出力回路524から乱数発生用クロック信号SI1が出力されたことをトリガとして、カウント値を更新する方式である。また、乱数更新方式選択データ「01b」または「10b」が乱数更新方式選択レジスタ540に書き込まれた場合、乱数回路503は起動可能な状態となる。一方、乱数更新方式選択データ「00b」または「11b」が乱数更新方式選択レジスタ540に書き込まれた場合、乱数回路503は起動不能な状態となる。

20

【0149】

セクタ528は、カウント値更新信号出力回路525から出力されるカウント値更新信号SI3、またはクロック信号出力回路524から出力される乱数発生用クロック信号SI1のいずれかを選択してカウンタ521に出力する。セクタ528は、乱数更新方式選択信号出力回路527から第1の乱数更新方式に対応する乱数更新方式選択信号(第1の乱数更新方式選択信号ともいう)が入力されると、カウント値更新信号出力回路525から出力されるカウント値更新信号SI3を選択してカウンタ521に出力する。一方、セクタ528は、乱数更新方式選択信号出力回路527から第2の乱数更新方式に対応する乱数更新方式選択信号(第2の乱数更新方式選択信号ともいう)が入力されると、クロック信号出力回路524から出力される乱数発生用クロック信号SI1を選択してカウンタ521に出力する。なお、セクタ528は、乱数更新方式選択信号出力回路527から第1の更新方式選択信号が入力されると、カウント値更新信号出力回路525から出力されるカウント値更新信号SI3に応じて、クロック信号出力回路524から出力される乱数発生用クロック信号SI1に同期した数値データの更新を指示する数値更新指示信号を、カウンタ521に出力してもよい。

30

40

【0150】

乱数回路起動信号出力回路530は、乱数回路起動データ「80h」を格納する乱数回路起動レジスタ(RST)541を備える。乱数回路起動データとは、乱数回路503の起動を要求するためのデータである。乱数回路起動信号出力回路530は、乱数回路起動レジスタ541に乱数回路起動データ「80h」が書き込まれると、所定の乱数回路起動信号をカウンタ521およびクロック信号出力回路537に出力し、カウンタ521およびクロック信号出力回路524をオンにさせる。そして、カウンタ521によるカウント値の更新動作とクロック信号出力回路524による内部クロック信号の出力動作とを開始させることによって、乱数回路503を起動させる。

50

【0151】

図15は、乱数回路起動レジスタ541の例を示す説明図である。図15に示すように、乱数回路起動レジスタ541は、8ビットレジスタであり、初期値が「00h」に設定されている。乱数回路起動レジスタ541は、ビット7だけが書込および読出ともに可能な状態に構成されている。また、乱数回路起動レジスタ541は、ビット0～ビット6が書込および読出ともに不可能な状態に構成されている。すなわち、乱数回路起動レジスタ541のビット0～ビット6に値を書き込む制御を行っても無効とされ、ビット0～ビット6から読み出す値は全て「0（＝000000b）」である。

【0152】

乱数値記憶回路531は、例えば16ビットレジスタであり、遊技制御処理における大
10
当り判定において用いられる乱数であるランダムRの値を格納する。乱数値記憶回路531は、ラッチ信号生成回路533からラッチ信号SLを入力したことに応じて、カウンタ521から比較器522を介して出力されるカウント値CをランダムRの値として格納する。そして、乱数値記憶回路531は、ラッチ信号生成回路533からラッチ信号SLを入力するごとに、カウンタ521が更新するカウント値Cを読み込んでランダムRの値を記憶する。

【0153】

図16は、乱数値記憶回路531の一構成例を示す回路図である。乱数値記憶回路531は、図16に示すように、2個のAND回路201、203と、2個のNOT回路202、204と、16個のフリップフロップ回路2101～2116と、16個のOR回路
20
2201～2216とを含む。

【0154】

図16に示すように、AND回路201の入力端子は、ラッチ信号生成回路533の出力端子とNOT回路204の出力端子とに接続され、出力端子は、NOT回路202の入力端子とフリップフロップ回路2101～2116のクロック端子C1k1～C1k16とに接続されている。NOT回路202の入力端子は、AND回路201の出力端子に接続され、出力端子は、AND回路203の一方の入力端子に接続されている。

【0155】

AND回路203の入力端子は、NOT回路202の出力端子と遊技制御用マイクロコンピュータ560が搭載するCPU56とに接続され、出力端子は、NOT回路204の入力端子に接続されている。NOT回路204の入力端子は、AND回路203の出力端子に接続され、出力端子は、AND回路201の一方の入力端子とOR回路2201～2216の一方の入力端子とに接続されている。
30

【0156】

フリップフロップ回路2101～2116の入力端子D1～D16は、比較器522の出力端子に接続されている。フリップフロップ回路2101～2116のクロック端子C1k1～C1k16は、AND回路201の出力端子に接続され、出力端子Q1～Q16は、OR回路2201～2216の他方の入力端子に接続されている。

【0157】

OR回路2201～2216の入力端子は、NOT回路204の出力端子とフリップフロップ回路2101～2116の出力端子とに接続され、出力端子は、遊技制御用マイクロコンピュータ560が搭載するCPU56に接続されている。
40

【0158】

乱数値記憶回路531の動作について説明する。図17は、乱数値記憶回路531に各信号が入力されるタイミング、および乱数値記憶回路531が各信号を出力するタイミングを示すタイミングチャートである。図17に示すように、遊技制御用マイクロコンピュータ560が搭載するCPU56から出力制御信号SC（本例では、ハイレベル信号）が入力されていない場合（すなわち、AND回路203の一方の入力端子への入力がローレベルの場合）、ラッチ信号生成回路533からラッチ信号SLが入力されると（図17に示す例では、タイミングT1、T2、T7のとき）、AND回路201の2つの入力端子
50

への入力とともにハイレベルとなる。そのため、AND回路201の出力端子から出力される信号SRはハイレベルとなる。そして、AND回路201から出力された信号SRは、フリップフロップ回路2101～2116のクロック端子C1k1～C1k16に入力される。

【0159】

フリップフロップ回路2101～2116は、クロック端子C1k1～C1k16から入力される信号SRの立ち上がりエッジに応答して、比較器522から入力端子D1～D16を介して入力されるカウント値CのビットデータC1～C16を乱数値のビットデータR1～R16としてラッチして記憶する。また、フリップフロップ回路2101～2116は、記憶するランダムRのビットデータR1～R16を出力端子Q1～Q16から出力する。

10

【0160】

出力制御信号SCが入力されていない場合（図17に示す例では、タイミングT3までの期間およびタイミングT6以降の期間）、AND回路203の一方の入力端子への入力がローレベルとなるので、AND回路203の出力端子から出力される信号SGはローレベルとなる。AND回路203が出力する信号SGは、NOT回路204において反転され、ハイレベルの信号とされる。そして、OR回路2201～2216の一方の入力端子に、NOT回路204からハイレベルの信号が入力される。

【0161】

以上のように、OR回路2201～2216の一方の入力端子への入力がハイレベルとなるので、他方の入力端子に入力される信号がハイレベルであるかローレベルであるかに関わらず、OR回路2201～2216はハイレベルの信号を出力する。すなわち、入力されるランダムRのビットデータR1～R16の値が「0」であるか「1」であるかに関わらず、OR回路2201～2216から出力される信号S01～S016は、全てハイレベル（「1」）となる。そのようにすることによって、乱数値記憶回路531から出力される値は、常に「65535（＝1111111111111111b）」となり、乱数値記憶回路531からランダムRを読み出すことができない状態となる。すなわち、乱数値記憶回路531から乱数を読み出そうとしても、乱数値記憶回路531から常に同じ値「65535」しか読み出せない状態となり、出力制御信号SCが入力されていない場合、乱数値記憶回路531は、読出不能（ディセイブル）状態となる。なお、16ビット乱数回路503bを用いる場合、乱数値としての値「65535」が用いられる可能性がある。この場合、遊技制御用マイクロコンピュータ560は、値「65535」を読み込んだとしても、その値が乱数であるのか読出不能状態であるのかを判断することができない。そのため、図36に示す各大当り判定用の判定テーブルにおいて、あらかじめランダムRが「65535」である場合には「ハズレ」と判定するように設定しておけばよい。

20

30

【0162】

ラッチ信号生成回路533からラッチ信号SLが入力されていないときに、CPU56から出力制御信号SCが入力されると（図17に示す例では、タイミングT4からタイミングT6までの期間）、AND回路203の2つの入力端子への入力がともにハイレベルとなるので、AND回路203の出力端子から出力される信号SGはハイレベルとなる。AND回路203が出力する信号SGは、NOT回路204において反転され、ローレベルの信号とされる。そして、OR回路2201～2216の一方の入力端子に、NOT回路204からローレベルの信号が入力される。

40

【0163】

以上のように、OR回路2201～2216の一方の入力端子への入力がローレベルとなるので、他方の入力端子に入力される信号がハイレベルの場合、OR回路2201～2216の出力端子からハイレベルの信号が出力される。また、OR回路2201～2216の他方の入力端子に入力される信号がローレベルの場合、OR回路2201～2216からローレベルの信号が出力される。すなわち、OR回路2201～2216の他方の入力端子に入力されるランダムRのビットデータR1～R16の値は、OR回路2201～

50

2216の出力端子からそのまま（すなわち、ビットデータR1～R16の値が「1」のときは「1」が、「0」のときは「0」）出力される。そのようにすることによって、乱数値記憶回路531からのランダムRの読出が可能となる。すなわち、出力制御信号SCが入力されている場合、乱数値記憶回路531は、読出可能（イネイブル）状態となる。

【0164】

ただし、CPU56から出力制御信号SCが入力される前に、ラッチ信号生成回路533からラッチ信号SLが入力されている場合、AND回路203の一方の入力端子への入力がローレベルとなるので、ラッチ信号SLが入力されている状態のままで、出力制御信号SCが入力されても（図17に示す例では、タイミングT3からタイミングT4の期間）、AND回路203の出力端子から出力される信号SGはローレベルのままとなる。AND回路203が出力する信号SGは、NOT回路204において反転され、ハイレベルの信号とされる。そして、OR回路2201～2216の一方の入力端子に、NOT回路204からハイレベルの信号が入力される。

10

【0165】

以上のように、OR回路2201～2216の一方の入力端子への入力がハイレベルとなるので、他方の入力端子に入力される信号がハイレベルであるかローレベルであるかに関わらず、OR回路2201～2216から出力される信号SO1～SO16は全てハイレベルとなる。そして、出力制御信号SCが入力されているにも関わらず、乱数値記憶回路531からランダムRを読み出すことができない状態のままとなる。すなわち、ラッチ信号SLが入力されている場合、乱数値記憶回路531は、出力制御信号SCを受信不可能な状態となる。なお、16ビット乱数回路503bを用いる場合、乱数値としての値「65535」が用いられる可能性がある。この場合、遊技制御用マイクロコンピュータ560は、値「65535」を読み込んだとしても、その値が乱数であるのか読出不能状態であるのかを判断することができない。そのため、図36に示す各大当り判定用の判定テーブルにおいて、あらかじめランダムRが「65535」である場合には「ハズレ」と判定するように設定しておけばよい。

20

【0166】

また、ラッチ信号生成回路533からラッチ信号SLが入力される前に、CPU56から出力制御信号SCが入力されている場合、AND回路201の一方の入力端子への入力がローレベルとなるので、出力制御信号SCが入力されているままの状態、ラッチ信号SLが入力されても（図17に示す例では、タイミングT5）、AND回路201の出力端子から出力される信号SRはローレベルのままとなる。そのため、フリップフロップ回路2101～2116のクロック端子Clk1～Clk16に入力される信号SRは、ローレベルからハイレベルに立ち上がり、フリップフロップ回路2101～2116に格納されているランダムRのビットデータR1～R16は、ラッチ信号SLが入力されているにも関わらず、記憶される乱数は更新されない。すなわち、出力制御信号SCが入力されている場合、乱数値記憶回路531は、ラッチ信号SLを受信不可能な状態となる。

30

【0167】

反転回路532は、クロック信号出力回路524から入力する乱数発生用クロック信号SI1における信号レベルを反転させることによって、クロック信号の極性を反転させた反転クロック信号SI2を生成する。また、反転回路532は、生成した反転クロック信号SI2をラッチ信号生成回路533に出力する。

40

【0168】

なお、乱数回路503は、反転回路532に代えて遅延回路を含んでもよい。この場合、遅延回路は、クロック信号出力回路524から入力する乱数発生用クロック信号SI1を遅延させることによって、クロック信号を遅延させた遅延クロック信号を生成する。また、遅延回路は、生成した遅延クロック信号をラッチ信号生成回路533に出力する。従って、ラッチ信号生成回路533は、乱数発生用クロック信号SI1を遅延させた遅延クロック信号に同期して、乱数値記憶回路531にラッチ信号を出力することになる。

【0169】

50

ラッチ信号生成回路533は、セクタおよびフリップフロップ回路等を用いて構成される。ラッチ信号生成回路533は、乱数値読取信号出力回路526からの乱数値読取信号と反転回路532からの反転クロック信号SI2とを入力し、乱数値記憶回路531に乱数値を記憶させるためのラッチ信号SLを出力する。また、ラッチ信号生成回路533は、乱数更新方式選択信号出力回路527からの乱数更新方式選択信号によって指定された乱数値更新方式に応じて、ラッチ信号SLを出力する。この場合、ラッチ信号生成回路533は、乱数更新方式選択信号出力回路527から第1の乱数更新方式選択信号が入力された場合、反転回路532から出力される反転クロック信号SI2を選択し、ラッチ信号SLとして乱数値記憶回路531に出力する。一方、ラッチ信号生成回路533は、乱数更新方式選択信号出力回路527から第2の乱数更新方式選択信号が入力された場合、乱数値読取信号出力回路526から出力される乱数値読取信号を、反転回路532から出力される反転クロック信号SI2の立ち上がりエッジに同期させて、ラッチ信号SLとして乱数値記憶回路531に出力する。

10

【0170】

タイマ回路534は、始動口14への遊技球の入賞を検出した旨の入賞検出信号SSを始動口スイッチ14aから入力する。また、タイマ回路534は、始動口スイッチ14aから入賞検出信号SSが継続して入力されている時間を計測する。そして、タイマ回路534は、計測時間が所定期間（例えば、3ms）になると、乱数値読取信号出力回路526の乱数値取込レジスタ539に乱数値取込データ「01h」を書き込む。例えば、タイマ回路534は、ハイレベルの信号が入力されたことに応じて起動するアップカウンタまたはダウンカウンタによって構成される。タイマ回路534は、始動口スイッチ14aからの入力がハイレベルとなっている間（すなわち、入賞検出信号SSが継続して入力されている間）、クロック回路501から順次入力する基準クロック信号CLKをアップカウントまたはダウンカウントする。そして、タイマ回路534は、アップカウントまたはダウンカウントするカウント値が3msに対応する値になると、始動口スイッチ14aから入賞検出信号SSが入力されたと判断して、乱数値取込データ「01h」を乱数値取込レジスタ539に書き込む。

20

【0171】

次に、シリアル通信回路505の構成について説明する。シリアル通信回路505は、全二重方式、非同期方式および標準NRZ（ノンリターンゼロ）符号化を用いたデータフォーマットで、各制御基板（例えば、払出制御基板37）のマイクロコンピュータとシリアル通信を行う。シリアル通信回路505は、各制御基板のマイクロコンピュータに各種データ（例えば、賞球個数コマンドや演出制御コマンド）を送信する送信部と、各制御基板のマイクロコンピュータからの各種データ（例えば、賞球ACKコマンド）を受信する受信部とを含む。

30

【0172】

図18は、シリアル通信回路505の送信部の構成例を示すブロック図である。また、図19は、シリアル通信回路505の受信部の構成例を示すブロック図である。シリアル通信回路505は、ボーレートレジスタ702、ボーレート生成回路703、2つのステータスレジスタ705、706、3つの制御レジスタ707、708、709、送信データレジスタ710、受信データレジスタ711、送信用シフトレジスタ712、受信用シフトレジスタ713、割り込み制御回路714、送信フォーマット／パリティ生成回路715および受信フォーマット／パリティチェック回路716を含む。また、図18に示すように、シリアル通信回路505の送信部は、これらの構成要素のうち、ボーレートレジスタ702、ボーレート生成回路703、ステータスレジスタA705、制御レジスタ707、708、709、送信データレジスタ710、送信用シフトレジスタ712、割り込み制御回路714および送信フォーマット／パリティ生成回路715によって構成される。また、図19に示すように、シリアル通信回路505の受信部は、これらの構成要素のうち、ボーレートレジスタ702、ボーレート生成回路703、ステータスレジスタ705、706、制御レジスタ707、708、709、受信データレジスタ711、受信

40

50

用シフトレジスタ713、割り込み制御回路714および受信フォーマット／パリティチェック回路716によって構成される。

【0173】

なお、シリアル通信回路505において、送信部と受信部とは、実際には、共通の回路を用いて構成される。そして、シリアル通信回路505は、上記に示したように、シリアル通信回路505の各構成要素を使い分けて用いることによって、送信回路又は受信回路として機能する。

【0174】

まず、シリアル通信回路505が各制御基板が搭載するマイクロコンピュータと送受信するデータのデータフォーマットを説明する。図20は、シリアル通信505が各制御基板が搭載するマイクロコンピュータと送受信するデータのデータフォーマットの例を示す説明図である。図20に示すように、シリアル通信回路505が送受信するデータのデータフォーマットは、スタートビット、データおよびストップビットを1フレームとして構成される。また、シリアル通信回路505が送受信するデータのデータ長は、後述するシリアル通信回路設定処理において初期設定を行えば、8ビットまたは9ビットのいずれかに設定できる。図20(a)は、データ長を8ビットに設定した場合のデータフォーマットの例である。また、図20(b)は、データ長を9ビットに設定した場合のデータフォーマットの例である。

【0175】

図20に示すように、シリアル通信回路505が送受信するデータのデータフォーマットは、ハイレベル（論理「1」）のアイドルラインのあとに、1フレームの始まりであることを示すスタートビット（論理「0」）を含む。また、データフォーマットは、スタートビットのあとに、8ビットまたは9ビットの送受信データを含む。そして、データフォーマットは、送受信データのあとに、1フレームの終わりであることを示すストップビット（論理「1」）を含む。

【0176】

シリアル通信回路505は、図20に示すデータフォーマットに従って、送受信データの最下位ビット（ビット0）から先にデータを送受信する。また、後述するシリアル通信回路設定処理において初期設定を行えば、送受信データにパリティビットを付加するように設定することもできる。パリティビットを付加するように設定した場合、送受信データの最上位ビットがパリティビット（奇数パリティまたは偶数パリティ）として用いられる。例えば、データ長を8ビットに設定した場合、送受信データのビット7がパリティビットとして用いられる。また、例えば、データ長を9ビットに設定した場合、送受信データのビット8がパリティビットとして用いられる。

【0177】

ボーレート生成回路703は、クロック回路501が出力するクロック信号およびボーレートレジスタ702に設定されている設定値（ボーレート設定値ともいう）にもとづいて、シリアル通信回路505が用いるボーレートを生成する。この場合、ボーレート生成回路703は、クロック信号およびボーレート設定値にもとづいて、所定の計算式を用いてボーレートを求める。例えば、ボーレート生成回路703は、式(1)を用いて、シリアル通信回路505が用いるボーレートを求める。

【0178】

ボーレート＝クロック周波数／（ボーレート設定値×16） 式(1)

【0179】

図21は、ボーレートレジスタ702の例を示す説明図である。ボーレートレジスタ702は、ボーレート生成回路703が生成するボーレートの値を指定するための所定の設定値を設定するレジスタである。例えば、ボーレートレジスタ702が式(1)を用いてボーレートを求めるものとし、クロック周波数が3MHzであるとする。この場合、希望の目標ボーレートが1200bpsであるとする、ボーレートレジスタ702に設定値「156」を設定する。すると、ボーレート生成回路703は、クロック周波数「3MHz

z」およびボーレート設定値「156」にもとづいて、式(1)を用いて、ボーレート「1201.92bps」を生成する。ボーレートレジスタ702は、16ビットレジスタであり、初期値が「0(=00h)」に設定されている。また、ボーレートレジスタ702は、ビット0～ビット12が書込および読出ともに可能な状態に構成されている。また、ボーレートレジスタ702は、ビット13～ビット15が書込および読出ともに不可能な状態に構成されている。したがって、ボーレートレジスタ702のビット13～ビット15に値を書き込む制御を行っても無効とされ、ビット13～ビット15から読み出す値は全て「0(=000b)」である。

【0180】

図22(A)は、制御レジスタA707の例を示す説明図である。制御レジスタA707は、シリアル通信回路505の通信フォーマットを設定するレジスタである。この実施の形態では、制御レジスタA707の各ビットの値が設定されることによって、シリアル通信回路505の通信フォーマットが設定される。制御レジスタA707には、送受信データのデータ形式や各種通信方式等の通信フォーマットを設定するための通信フォーマット設定データが設定される。図22(A)に示すように、制御レジスタA707は、8ビットレジスタであり、初期値が「0(=00h)」に設定されている。また、制御レジスタA707は、ビット0～ビット4が書込および読出ともに可能な状態に構成されている。また、制御レジスタA707は、ビット5～ビット7が書込および読出ともに不可能な状態に構成されている。したがって、制御レジスタA707のビット5～ビット7に値を書き込む制御を行っても無効とされ、ビット5～ビット7から読み出す値は全て「0(=000b)」である。

【0181】

図22(B)は、制御レジスタA707に設定される通信フォーマット設定データの一例の説明図である。図22(B)に示すように、制御レジスタA707のビット4(ビット名「M」)には、送受信データのデータ長を設定するための設定データが設定される。図22(B)に示すように、ビット4を「0」に設定することによって、送受信データのデータ長が8ビットに設定される。また、ビット4を「1」に設定することによって、送受信データのデータ長が9ビットに設定される。

【0182】

制御レジスタA707のビット3(ビット名「WAKE」)には、スタンバイ状態の受信回路(シリアル通信回路505の受信部)をウェイクアップする(オンライン状態にさせる)ウェイクアップ方式を設定するための設定データが設定される。図22(B)に示すように、ビット3を「0」に設定することによって、アイドルラインを認識したときにウェイクアップするアイドルラインウェイクアップ方式が設定される。また、ビット3を「1」に設定することによって、所定のアドレスマークを認識することによってウェイクアップするアドレスマークウェイクアップ方式が設定される。

【0183】

制御レジスタA707のビット2(ビット名「ILT」)には、受信データのアイドルラインの検出方式を選択するための設定データが設定される。図22(B)に示すように、ビット2を「0」に設定することによって、受信データに含まれるスタートビットの後からアイドルラインを検出する検出方式が設定される。また、ビット2を「1」に設定することによって、受信データに含まれるストップビットの後からアイドルラインを検出する検出方式が設定される。

【0184】

制御レジスタA707のビット1(ビット名「PE」)には、パリティ機能を使用するか否かを設定するための設定データが設定される。図22(B)に示すように、ビット1を「0」に設定することによって、パリティ機能を使用しないように設定される。また、ビット1を「1」に設定することによって、パリティ機能を使用するように設定される。

【0185】

制御レジスタA707のビット0(ビット名「PT」)には、パリティ機能を使用する

と設定した場合のパリティの種類を設定するための設定データが設定される。図 2 2 (B) に示すように、ビット 0 を「0」に設定することによって、パリティの種類として偶数パリティが設定される。また、ビット 0 を「1」に設定することによって、パリティの種類として奇数パリティが設定される。

【0186】

図 2 3 (A) は、制御レジスタ B 7 0 8 の例を示す説明図である。制御レジスタ B 7 0 8 は、シリアル通信回路 5 0 5 の割り込み要求を許可するか否かを設定するレジスタである。この実施の形態では、制御レジスタ B 7 0 8 の各ビットの値が設定されることによって、シリアル通信回路 5 0 5 からの割り込み要求を許可するか禁止するかが設定される。制御レジスタ B 7 0 8 には、各種割り込み要求を許可するか否かを示す割り込み要求設定データが主として設定される。なお、制御レジスタ B 7 0 8 には、割り込み要求設定データ以外に、シリアル通信回路 5 0 5 の各種設定を行うための設定データも設定される。図 2 3 (A) に示すように、制御レジスタ B 7 0 8 は、8 ビットレジスタであり、初期値が「0 (= 0 0 h)」に設定されている。また、制御レジスタ B 7 0 8 は、ビット 0 ~ ビット 7 が書込および読出ともに可能な状態に構成されている。

10

【0187】

図 2 3 (B) は、制御レジスタ B 7 0 8 に設定される割り込み要求設定データの一例を示す説明図である。図 2 3 (B) に示すように、制御レジスタ B 7 0 8 のビット 7 (ビット名「T I E」) には、データの送信時に行う割り込み要求である送信割り込み要求を許可するか否かを示す設定データが設定される。図 2 3 (B) に示すように、ビット 7 を「0」に設定することによって、送信割り込み要求を禁止するように設定される。また、ビット 7 を「1」に設定することによって、送信割り込み要求を許可するように設定される。

20

【0188】

制御レジスタ B 7 0 8 のビット 6 (ビット名「T C I E」) には、データの送信完了時に行う割り込み要求である送信完了割り込み要求を許可するか否かを示す設定データが設定される。図 2 3 (B) に示すように、ビット 6 を「0」に設定することによって、送信完了割り込み要求を禁止するように設定される。また、ビット 6 を「1」に設定することによって、送信完了割り込み要求を許可するように設定される。

【0189】

30

制御レジスタ B 7 0 8 のビット 5 (ビット名「R I E」) には、データの受信時に行う割り込み要求である受信割り込み要求を許可するか否かを示す設定データが設定される。図 2 3 (B) に示すように、ビット 5 を「0」に設定することによって、受信割り込み要求を禁止するように設定される。また、ビット 5 を「1」に設定することによって、受信割り込み要求を許可するように設定される。

【0190】

制御レジスタ B 7 0 8 のビット 4 (ビット名「I L I E」) には、受信データのアイドルラインを検出したときに行う割り込み要求であるアイドルライン割り込み要求を許可するか否かを示す設定データが設定される。図 2 3 (B) に示すように、ビット 4 を「0」に設定することによって、アイドルライン割り込み要求を禁止するように設定される。また、ビット 4 を「1」に設定することによって、アイドルライン割り込み要求を許可するように設定される。

40

【0191】

制御レジスタ B 7 0 8 のビット 3 (ビット名「T E」) には、送信回路 (シリアル通信回路 5 0 5 の送信部) を使用するか否かを示す設定データが設定される。図 2 3 (B) に示すように、ビット 3 を「0」に設定することによって、送信回路を使用しないように設定される。また、ビット 3 を「1」に設定することによって、送信回路を使用するように設定される。

【0192】

制御レジスタ B 7 0 8 のビット 2 (ビット名「R E」) には、受信回路を使用するか否

50

かを示す設定データが設定される。図 2 3 (B) に示すように、ビット 2 を「0」に設定することによって、受信回路を使用しないように設定される。また、ビット 2 を「1」に設定することによって、受信回路を使用するように設定される。

【0193】

制御レジスタ B 7 0 8 のビット 1 (ビット名「RWU」) には、受信回路のウェイクアップ機能を使用するか否かを示す設定データが設定される。図 2 3 (B) に示すように、ビット 1 を「0」に設定することによって、ウェイクアップ機能を使用しないように設定される。また、ビット 1 を「1」に設定することによって、ウェイクアップ機能を使用するように設定される。

【0194】

制御レジスタ B 7 0 8 のビット 0 (ビット名「SBK」) には、所定のブレイクコード送信機能を使用するか否かを示す設定データが設定される。図 2 3 (B) に示すように、ビット 1 を「0」に設定することによって、ブレイクコード送信機能を使用しないように設定される。また、ビット 1 を「1」に設定することによって、ブレイクコード送信機能を使用するように設定される。ビット 1 を「1」に設定すると、シリアル通信回路 5 0 5 は、ブレイクコード (例えば、「0」を連続して含む信号) を制御基板 (例えば払出制御基板 3 7) が搭載するマイクロコンピュータに送信する。

【0195】

図 2 4 (A) は、ステータスレジスタ A 7 0 5 の例を示す説明図である。ステータスレジスタ A 7 0 5 は、シリアル通信回路 5 0 5 の各種ステータスを確認するためのレジスタである。この実施の形態では、ステータスレジスタ A 7 0 5 の各ビットの値を確認することによって、CPU 5 6 は、シリアル通信回路 5 0 5 の各種ステータスを確認することができる。図 2 4 (A) に示すように、ステータスレジスタ A 7 0 5 は、8 ビットレジスタであり、初期値が「0 (= 0 0 h)」に設定されている。また、ステータスレジスタ A 7 0 5 は、ビット 0 ~ ビット 7 が読出のみ可能な状態に構成されている。したがって、ステータスレジスタ A 7 0 5 のビット 0 ~ ビット 7 に値を書き込む制御を行っても無効とされる。

【0196】

本実施の形態では、後述するように、送信データレジスタ 7 1 0 に送信データが入っていない状態 (送信データエンプティ) となったり、送信用シフトレジスタ 7 1 2 が格納する送信データの送信を完了すると、割り込み制御回路 7 1 4 によって、ステータスレジスタ A 7 0 5 の対応するビットがセットされる。そして、CPU 5 6 は、ステータスレジスタ A 7 0 5 にセットされた各ビットの値を読み出す。

【0197】

図 2 4 (B) は、ステータスレジスタ A 7 0 5 に格納されるステータス確認データの一例を示す図である。図 2 4 (B) に示すように、ステータスレジスタ A 7 0 5 のビット 7 (ビット名「TDRE」) には、送信データレジスタ 7 1 0 に送信データが入っていない状態であること (送信データエンプティ) を示す送信データエンプティフラグが格納される。図 2 4 (B) に示すように、ビット 7 に「0」が格納されている場合、送信データレジスタ 7 1 0 から送信用シフトレジスタ 7 1 2 に送信データが未だに転送されておらず、送信データレジスタ 7 1 0 に送信データが格納されたままの状態であることを示す。また、ビット 7 に「1」が格納されている場合、送信データレジスタ 7 1 0 から送信用シフトレジスタ 7 1 2 に送信データが転送されており、送信データレジスタ 7 1 0 に送信データが入っていない状態 (送信データエンプティ) であることを示す。

【0198】

ステータスレジスタ A 7 0 5 のビット 6 (ビット名「TC」) には、シリアル通信回路 5 0 5 からの送信データの送信を完了した旨を示す送信完了フラグが格納される。図 2 4 (B) に示すように、ビット 6 に「0」が格納されている場合、送信用シフトレジスタ 7 1 2 が格納する送信データの送信中の状態であり、シリアル通信回路 5 0 5 からの送信データの送信が完了していない状態であることを示す。また、ビット 6 に「1」が格納され

10

20

30

40

50

ている場合、送信用シフトレジスタ712が格納する送信データの転送を完了した状態であり、シリアル通信回路505からの送信データの送信が完了した状態であることを示す。

【0199】

なお、送信データの送信を完了した状態となり、遊技制御用マイクロコンピュータ560は、送信先のマイクロコンピュータからの受信確認信号の待ち状態となる。この実施の形態では、後述する送信時割込の設定が行われると、シリアル通信回路505は、送信データの送信完了を検出すると、ステータスレジスタA705のビット6を「1」とするとともに、受信確認信号の待ち状態になったものとしてCPU56に割り込み要求（送信時割り込み要求という）を行う。

10

【0200】

ステータスレジスタA705のビット5（ビット名「RDRF」）には、受信データレジスタ711に受信データが格納された状態であること（受信データフル）を示す受信データフルフラグが格納される。図24（B）に示すように、ビット5に「0」が格納されている場合、受信データレジスタ711に受信データが入っていない状態であることを示す。また、ビット5に「1」が格納されている場合、送信用シフトレジスタ713の値が受信データレジスタ711に転送され、受信データレジスタ711に受信データが格納されている状態であること（受信データフル）を示す。

【0201】

なお、受信データレジスタ711に受信データが格納された状態となると、CPU56は、受信データを受信データレジスタ711から読み込んで受信処理を行える状態となる。この実施の形態では、シリアル通信回路505は、受信データフルを検出すると、ステータスレジスタA705のビット5を「1」とするとともに、受信処理が可能になったものとしてCPU56に割り込み要求（受信時割り込み要求という）を行う。

20

【0202】

ステータスレジスタA705のビット4（ビット名「IDLE」）には、受信回路がアイドルラインを検出したことを示すアイドルライン検出フラグが格納される。図24（B）に示すように、ビット4に「0」が格納されている場合、シリアル通信回路505の受信部がアイドルラインを検出していない状態であることを示す。また、ビット4に「1」が格納されている場合、シリアル通信回路505の受信部がアイドルラインを検出した状態であることを示す。

30

【0203】

ステータスレジスタA705のビット3（ビット名「OR」）には、CPU56が受信データレジスタ711が格納する受信データを読み込む前に、送信用シフトレジスタ713が次のデータを受信してしまったこと（オーバーラン）を示すオーバーランフラグが格納される。図24（B）に示すように、ビット3に「0」が格納されている場合、受信回路がオーバーランを検出していない状態であることを示す。また、ビット3に「1」が格納されている場合、受信回路がオーバーランを検出した状態であることを示す。

【0204】

なお、オーバーランが発生すると、受信データレジスタ711内の受信データが読み込まれる前に送信用シフトレジスタ713に次の受信データが格納されてしまうので、受信データが上書きされてしまいCPU56が受信データを正しく読み込めなくなってしまう。そのため、各制御基板が搭載するマイクロコンピュータと正しく通信を行えなくなり、CPU56が誤動作をする原因となる。この実施の形態では、シリアル通信回路505は、オーバーランを検出すると、ステータスレジスタA705のビット3を「1」とするとともに、通信時にエラーが発生したものとしてCPU56に割り込み要求を行う。

40

【0205】

ステータスレジスタA705のビット2（ビット名「NF」）には、受信データにノイズを検出したことを示すノイズエラーフラグが格納される。図24（B）に示すように、ビット2に「0」が格納されている場合、受信回路が受信データにノイズを検出していな

50

い状態であることを示す。また、ビット2に「1」が格納されている場合、受信回路が受信データにノイズを検出した状態であることを示す。

【0206】

例えば、シリアル通信回路505は、受信データの各ビットを検出する際に、ボーレート生成回路703が生成したボーレートを用いて、所定ビット長の「1」または「0」を検出する。この場合、検出した「1」または「0」の長さが所定ビット長に満たない場合、シリアル通信回路505は、受信データにノイズが発生したものとしてノイズエラーを検出する。ノイズエラーが発生すると、ノイズによって正しい受信データを受信できない可能性が高く、CPU56が誤動作をする原因となる。この実施の形態では、シリアル通信回路505は、ノイズエラーを検出すると、ステータスレジスタA705のビット2を「1」にするとともに、通信時にエラーが発生したものとしてCPU56に割り込み要求を行う。

10

【0207】

ステータスレジスタA705のビット1（ビット名「FE」）には、受信データのストップビットの位置が「0」（本来、ストップビットは「1」）であることを検出したこと（フレーミングエラー）を示すフレーミングエラーフラグが格納される。図24（B）に示すように、ビット1に「0」が格納されている場合、受信回路が受信データにフレーミングエラーを検出していない状態であることを示す。また、ビット1に「1」が格納されている場合、受信回路がフレーミングエラーを検出した状態であることを示す。

20

【0208】

フレーミングエラーが発生すると、受信データのストップビットを正しく受信できなかった状態であるので、正しい受信データを受信できない可能性が高く、CPU56が誤動作をする原因となる。この実施の形態では、シリアル通信回路505は、フレーミングエラーを検出すると、ステータスレジスタA705のビット1を「1」にするとともに、通信時にエラーが発生したものとしてCPU56に割り込み要求を行う。

【0209】

ステータスレジスタA705のビット0（ビット名「PF」）には、受信データから求めたパリティの値と、受信データに含まれるパリティの値とが一致しなかったこと（パリティエラー）を示すパリティエラーフラグが格納される。図24（B）に示すように、ビット0に「0」が格納されている場合、受信回路が受信データにパリティエラーを検出していない状態であることを示す。また、ビット0に「1」が格納されている場合、受信回路がパリティエラーを検出した状態であることを示す。

30

【0210】

パリティエラーが発生すると、受信データの各データビットまたはパリティビットを正しく受信できなかった状態であるので、正しい受信データを受信できない可能性が高く、CPU56が誤動作をする原因となる。この実施の形態では、シリアル通信回路505は、パリティエラーを検出すると、ステータスレジスタA705のビット0を「1」にするとともに、通信時にエラーが発生したものとしてCPU56に割り込み要求を行う。

【0211】

図25（A）は、ステータスレジスタB706の例を示す説明図である。ステータスレジスタB706は、シリアル通信回路505の受信状態（受信ステータス）を確認するためのレジスタである。この実施の形態では、ステータスレジスタB706のビットの値を確認することによって、CPU56は、シリアル通信回路505の受信ステータスを確認することができる。図25（A）に示すように、ステータスレジスタB706は、8ビットレジスタであり、初期値が「0（＝00h）」に設定されている。また、ステータスレジスタB706は、ビット0が読出のみ可能な状態に構成されている。したがって、ステータスレジスタA705のビット0に値を書き込む制御を行っても無効とされる。また、ステータスレジスタB706は、ビット1～ビット7が書込および読出ともに不可能な状態に構成されている。したがって、ステータスレジスタA705のビット1～ビット7に値を書き込む制御を行っても無効とされ、ビット1～ビット7から読み出す値は全て「0

40

50

(= 0 0 0 0 b)」である。

【0 2 1 2】

図 2 5 (B) は、ステータスレジスタ B 7 0 6 に格納されるステータス確認データの一例を示す図である。図 2 5 (B) に示すように、ステータスレジスタ B 7 0 6 のビット 0 (ビット名「R A F」) には、受信回路が受信データを受信中であること (受信アクティブ) を示す受信アクティブフラグが格納される。図 2 5 (B) に示すように、ビット 0 に「0」が格納されている場合、受信回路が受信データを受信中でないことを示す。また、ビット 0 に「1」が格納されている場合、受信回路が受信データを受信中であることを示す。なお、シリアル通信回路 5 0 5 は、スタートビットを検出すると、受信データの受信が開始されたものとして、ステータスレジスタ B 7 0 6 のビット 0 を「1」にする。

10

【0 2 1 3】

図 2 6 (A) は、制御レジスタ C 7 0 9 の例を示す説明図である。制御レジスタ C 7 0 9 は、シリアル通信回路 5 0 5 の通信エラー時の割り込み要求を許可するか否かを設定するレジスタである。この実施の形態では、制御レジスタ C 7 0 9 の各ビットの値が設定されることによって、シリアル通信回路 5 0 5 からの通信時の割り込み要求を許可するか禁止するかが設定される。制御レジスタ C 7 0 9 には、通信エラー時の各種割り込み要求を許可するか否かを示すエラー割り込み要求設定データが主として設定される。なお、制御レジスタ C 7 0 9 には、エラー割り込み要求設定データ以外に、データ長を 9 ビットに設定した場合の 9 ビット目のデータが格納される。シリアル通信回路 5 0 5 の各種設も設定される。図 2 6 (A) に示すように、制御レジスタ C 7 0 9 は、8 ビットレジスタであり、初期値が「0 (= 0 0 h)」に設定されている。また、制御レジスタ C 7 0 9 は、ビット 0 ~ ビット 3 およびビット 6, 7 が書込および読出ともに可能な状態に構成されている。また、制御レジスタ C 7 0 9 は、ビット 4, 5 が書込および読出ともに不可能な状態に構成されている。したがって、制御レジスタ C 7 0 9 のビット 4, 5 に値を書き込む制御を行っても無効とされ、ビット 4, 5 から読み出す値は全て「0 (= 0 0 0 0 b)」である。

20

【0 2 1 4】

図 2 6 (B) は、制御レジスタ C 7 0 9 に設定されるエラー割り込み要求設定データの一例を示す説明図である。図 2 6 (B) に示すように、制御レジスタ C 7 0 9 のビット 7 (ビット名「R 8」) には、データ長を 9 ビットに設定した場合の受信データの 9 ビット目のデータが格納される。また、制御レジスタ C 7 0 9 のビット 6 (ビット名「T 8」) には、データ長を 9 ビットに設定した場合の送信データの 9 ビット目のデータが格納される。

30

【0 2 1 5】

制御レジスタ C 7 0 9 のビット 3 (ビット名「O R I E」) には、オーバーランを検出した場合に行う割り込み要求であるオーバーランフラグ割り込み要求を許可するか否かを示す設定データが設定される。図 2 6 (B) に示すように、ビット 3 を「0」に設定することによって、オーバーランフラグ割り込み要求を禁止するように設定される。また、ビット 3 を「1」に設定することによって、オーバーランフラグ割り込み要求を許可するように設定される。

40

【0 2 1 6】

制御レジスタ C 7 0 9 のビット 2 (ビット名「N E I E」) には、ノイズエラーを検出した場合に行う割り込み要求であるノイズエラーフラグ割り込み要求を許可するか否かを示す設定データが設定される。図 2 6 (B) に示すように、ビット 2 を「0」に設定することによって、ノイズエラーフラグ割り込み要求を禁止するように設定される。また、ビット 2 を「1」に設定することによって、ノイズエラーフラグ割り込み要求を許可するように設定される。

【0 2 1 7】

制御レジスタ C 7 0 9 のビット 1 (ビット名「F E I E」) には、フレーミングエラーを検出した場合に行う割り込み要求であるフレーミングエラーフラグ割り込み要求を許可

50

するか否かを示す設定データが設定される。図26(B)に示すように、ビット1を「0」に設定することによって、フレーミングエラーフラグ割り込み要求を禁止するように設定される。また、ビット1を「1」に設定することによって、フレーミングエラーフラグ割り込み要求を許可するように設定される。

【0218】

制御レジスタC709のビット0(ビット名「PEIE」)には、パリティエラーを検出した場合に行う割り込み要求であるパリティエラーフラグ割り込み要求を許可するか否かを示す設定データが設定される。図26(B)に示すように、ビット0を「0」に設定することによって、パリティエラーフラグ割り込み要求を禁止するように設定される。また、ビット0を「1」に設定することによって、パリティエラーフラグ割り込み要求を許可するように設定される。

10

【0219】

図27は、シリアル通信回路505が備えるデータレジスタの例を示す説明図である。データレジスタ701は、シリアル通信回路505が送受信するデータを格納するレジスタである。図27に示すように、データレジスタは、8ビットレジスタであり、初期値が「0(=00h)」に設定されている。また、データレジスタ701は、ビット0～ビット7が書込および読出ともに可能な状態に構成されている。

【0220】

この実施の形態では、シリアル通信回路505が送信データを送信する場合、データレジスタは、送信データレジスタ710として用いられる。なお、データ長を9ビットに設定した場合、データレジスタおよび制御レジスタC709のビット6が送信データレジスタ710として用いられる。この場合、データレジスタのビット0～ビット7が送信データレジスタ710のビット0～ビット7として用いられ、制御レジスタC709のビット6が送信データレジスタ710のビット8として用いられる。

20

【0221】

また、シリアル通信回路505が受信データを受信する場合、データレジスタは、受信データレジスタ711として用いられる。なお、データ長を9ビットに設定した場合、データレジスタおよび制御レジスタC709のビット7が受信データレジスタ711として用いられる。この場合、データレジスタのビット0～ビット7が受信データレジスタ711のビット0～ビット7として用いられ、制御レジスタC709のビット7が受信データレジスタ711のビット8として用いられる。

30

【0222】

割り込み制御回路714は、CPU56に各種割り込み要求を行う。この実施の形態では、割り込み制御回路714は、制御レジスタB708のビット6(TCIE)が「1」に設定されている場合、送信データレジスタ710に送信データの送信を完了した状態となると、CPU56に割り込み信号を出力するとともに、ステータスレジスタA705のビット6(TC)に「1」を設定することによって割り込み要求を行う。なお、ステータスレジスタA705のビットの設定値により割込要因を識別可能とするのではなく、割り込み制御回路714は、割込要因毎に異なる割り込み信号をCPU56に出力するようにしてもよい。

40

【0223】

また、割り込み制御回路714は、制御レジスタB708のビット5(RIE)が「1」に設定されている場合、受信データレジスタ711に受信データが格納されている状態になると(受信データフルを検出すると)、CPU56に割り込み信号を出力するとともに、ステータスレジスタA705のビット5(RDRF)に「1」を設定することによって割り込み要求を行う。

【0224】

また、割り込み制御回路714は、制御レジスタC709のビット0～3のいずれかが「1」に設定されている場合、各種通信エラーが発生すると、CPU56に割り込み信号を出力するとともに、通信エラーの種類に応じて、ステータスレジスタA705のビット

50

0～ビット3に「1」を設定することによって割り込み要求を行う。例えば、制御レジスタC709のビット3（ORIE）が「1」に設定されている場合、オーバーランを検出して割り込み要求を行うときに、ステータスレジスタA705のビット3（OR）に「1」を設定する。また、例えば、制御レジスタC709のビット2（NEIE）が「1」に設定されている場合、ノイズエラーを検出して割り込み要求を行うときに、ステータスレジスタA705のビット2（NF）に「1」を設定する。また、例えば、制御レジスタC709のビット1（FIE）が「1」に設定されている場合、フレーミングエラーを検出して割り込み要求を行うときに、ステータスレジスタA705のビット1（FE）に「1」を設定する。また、例えば、制御レジスタC709のビット0（PEIE）が「1」に設定されている場合、パリティエラーを検出して割り込み要求を行うときに、ステータスレジスタA705のビット0（PF）に「1」を設定する。なお、複数の通信エラーを検出した場合、割り込み制御回路714は、複数の通信エラーにもとづいて割り込み要求を行うときに、ステータスレジスタA705の該当するビットをそれぞれ「1」に設定する。

10

【0225】

送信フォーマット／パリティ生成回路715は、送信データのデータフォーマットを生成する。この実施の形態では、送信フォーマット／パリティ生成回路715は、送信データレジスタ710に格納される送信データにスタートビットおよびストップビットを付加してデータフォーマットを生成し、送信用シフトレジスタ712に転送する。また、制御レジスタA707のビット1（PE）に「1」が設定され、パリティ機能を使用する旨が設定されている場合、送信フォーマット／パリティ生成回路715は、送信データにパリティビットを付加してデータフォーマットを生成する。

20

【0226】

受信フォーマット／パリティチェック回路716は、受信データのデータフォーマットを検出する。この実施の形態では、受信フォーマット／パリティチェック回路716は、受信用シフトレジスタ713に格納される受信データからスタートビットおよびストップビットを検出し、受信データに含まれるデータ部分を検出して受信データレジスタ711に転送する。また、制御レジスタA707のビット1（PE）に「1」が設定され、パリティ機能を使用する旨が設定されている場合、受信フォーマット／パリティチェック回路716は、受信データのパリティを求め、受信データに含まれるパリティと一致するか否かを検出する。また、求めた値が受信データに含まれるパリティと一致しない場合、受信フォーマット／パリティチェック回路716は、パリティエラーを検出する。なお、後述するシリアル通信回路設定処理において通信エラー時割り込み要求を許可する旨が設定されている場合、割り込み制御回路714は、パリティエラーを検出すると、通信エラーの発生を割込原因としてCPU56に割り込み要求を行う。

30

【0227】

図28は、遊技制御用マイクロコンピュータ560における記憶領域のアドレスマップの一例を示す説明図である。図28に示すように、遊技制御用マイクロコンピュータ560の記憶領域のうち、0000h番地～1FFFh番地の領域は、ROM54に割り当てられている。また、7E00h番地～7FFFh番地の領域は、RAM55に割り当てられている。さらに、FD00h番地～FE00h番地の領域は、乱数最大値設定レジスタ535等の内蔵レジスタに割り当てられている。

40

【0228】

また、図28に示すように、ROM54に割り当てられている0000h番地～1FFFh番地の領域は、ユーザプログラムエリアとユーザプログラム管理エリアとを含む。0000h番地～1F7Fh番地の領域のユーザプログラムエリアには、ユーザ（例えば、遊技機の製作者）により予め作成されたプログラム（ユーザプログラム）550が記憶される。また、1F80h番地～1FFFh番地の領域のユーザプログラム管理エリアには、CPU56がユーザプログラム550を実行するために必要となるデータ（ユーザプログラム実行データ）が記憶される。また、RAM55に割り当てられている7E00h番

50

地～7 F F F h 番地の領域のうち、7 E 0 0 h 番地～7 E F F h 番地の領域は未使用領域であり、7 F 0 0 h 番地～7 F F F h 番地の領域はワークエリアとして用いられる。

【0 2 2 9】

図 2 9 は、ユーザプログラム管理エリアにおけるアドレスマップの一例を示す説明図である。図 2 9 に示すように、1 F 9 7 h 番地の領域には、乱数回路 5 0 3 のカウンタ 5 2 1 に入力される初期値を変更するための方式である初期値変更方式のうち、ユーザによって選択された初期値変更方式を指定するための初期値変更方式設定データが記憶される。また、1 F 9 8 h 番地および 1 F 9 9 h 番地の領域には、R A M 5 5 に割り当てられた 7 F 0 0 h 番地～7 F F F h 番地のうち、ユーザによって予め指定された R A M 5 5 における番地（指定 R A M 番地）を特定するための R A M 番地データが記憶される。この場合、指定 R A M 番地を示す値のうち、指定 R A M 番地の下位の値が 1 F 9 8 h 番地に記憶され、指定 R A M 番地の上位の値が 1 F 9 9 h 番地に記憶される。

10

【0 2 3 0】

図 3 0 は、初期値変更方式設定データの一例を示す説明図である。図 3 0 に示すように、初期値変更データは、8 ビットのデータから構成される。初期値変更データ「0 0 h」は、初期値変更方式として、初期値を変更しないことを指定するデータである。この実施の形態では、初期値変更データ「0 0 h」が設定されている場合、乱数回路 5 0 3 のカウンタ 5 2 1 は、予め定められた初期値「0」から所定の最終値までカウント値を更新することになる。また、初期値変更データ「0 1 h」は、初期値変更方式として、カウンタ 5 2 1 に入力する初期値を、遊技制御用マイクロコンピュータ 5 6 0 を識別するための I D ナンバにもとづく値に変更することを指定するデータである。この実施の形態では、初期値変更データ「0 1 h」が設定されている場合、カウンタ 5 2 1 が更新するカウンタ値の初期値が「0」から I D ナンバにもとづく値に変更され、カウンタ 5 2 1 は、変更後の初期値から所定の最終値までカウント値を更新することになる。

20

【0 2 3 1】

ユーザプログラムエリアに記憶されるユーザプログラム 5 5 0 について説明する。図 3 1 は、ユーザプログラム 5 5 0 の構成例を示す説明図である。図 3 1 に示すように、この実施の形態では、ユーザプログラム 5 5 0 は、複数種類のプログラムモジュールから構成される乱数回路設定プログラム 5 5 1 と、表示結果決定プログラム 5 5 2 と、カウント値順列変更プログラム 5 5 4 と、乱数値更新プログラム 5 5 5 と、シリアル通信回路設定プログラム 5 5 6 と、割込優先順位設定プログラム 5 5 7 とを含む。

30

【0 2 3 2】

乱数回路設定プログラム 5 5 1 は、乱数回路 5 0 3 にランダム R の値を更新させるための初期設定を行う乱数回路設定処理を実行させるためのプログラムである。すなわち、C P U 5 6 は、乱数回路設定プログラム 5 5 1 に従って処理を実行することにより、乱数回路初期設定手段として機能する。

【0 2 3 3】

図 3 2 は、乱数回路設定プログラム 5 5 1 の構成例を示す説明図である。図 3 2 に示すように、乱数回路設定プログラム 5 5 1 は、複数種類のプログラムモジュールとして、乱数最大値設定モジュール 5 5 1 a と、乱数更新方式選択モジュール 5 5 1 b と、周期設定モジュール 5 5 1 c と、乱数回路起動モジュール 5 5 1 d と、初期値変更モジュール 5 5 1 e と、乱数回路選択モジュール 5 5 1 f とを含む。

40

【0 2 3 4】

乱数最大値設定モジュール 5 5 1 a は、ユーザ（例えば、遊技機の製作者）によって予め設定されたランダム R の最大値を乱数回路 5 0 3 に設定させるためのプログラムモジュールである。C P U 5 6 は、乱数最大値設定モジュール 5 5 1 a に従って処理を実行することによって、ユーザによって予め設定されたランダム R の最大値を指定する乱数最大値設定データを、乱数最大値設定レジスタ 5 3 5 に書き込む。そのようにすることによって、C P U 5 6 は、ユーザによって予め設定されたランダム R の最大値を乱数回路 5 0 3 に設定する。例えば、ユーザによってランダム R の最大値として予め「2 5 5」が設定され

50

た場合、CPU 56は、乱数最大値設定レジスタ535に乱数最大値設定データ「00Fh」を書き込んで、ランダムRの最大値「255」を乱数回路503に設定する。

【0235】

乱数更新方式選択モジュール551bは、ユーザによって選択された乱数更新方式（第1の乱数更新方式または第2の乱数更新方式）を乱数回路503に設定させるためのプログラムモジュールである。CPU 56は、乱数更新方式選択モジュール551bに従って処理を実行することによって、ユーザによって選択された乱数更新方式を指定する乱数更新方式選択データ「01b」または「10b」を乱数更新方式選択レジスタ540に書き込む。そのようにすることによって、CPU 56は、ユーザによって選択された乱数更新方式を乱数回路503に設定する。よって、遊技制御用マイクロコンピュータ560は、第1の乱数更新方式又は第2の乱数更新方式のうちのいずれかを、乱数回路503が乱数更新に用いる乱数更新方式として選択する機能を備える。

10

【0236】

周期設定モジュール551cは、ユーザによって予め設定された内部クロック信号の周期（すなわち、クロック信号出力回路524がセクタ528および反転回路532にクロック信号を出力する周期）を乱数回路503に設定させるためのプログラムモジュールである。CPU 56は、周期設定モジュール551cに従って処理を実行することによって、ユーザによって予め設定された内部クロック信号の周期を指定するための周期設定データを周期設定レジスタ537に書き込む。そのようにすることによって、CPU 56は、ユーザによって予め設定された内部クロック信号の周期を乱数回路503に設定する。例えば、ユーザによって内部クロック信号の周期が予め「システムクロック信号の周期×128×16」と設定された場合、CPU 56は、周期設定レジスタ537に周期設定データ「0Fh」を書き込んで、内部クロック信号の周期「システムクロック信号の周期×128×16」を乱数回路503に設定する。

20

【0237】

乱数回路起動モジュール551dは、乱数回路503を起動させるためのプログラムモジュールである。CPU 56は、乱数回路起動モジュール551dに従って処理を実行することによって、乱数回路起動データ「80h」を乱数回路起動レジスタ541に書き込むことにより、乱数回路503を起動させる。

【0238】

初期値変更モジュール551eは、カウンタ521が更新するカウント値の初期値を変更させるためのプログラムモジュールである。CPU 56は、初期値変更モジュール551eに従って処理を実行することによって、初期値変更手段として機能する。CPU 56は、初期値変更モジュール551eを実行して、ユーザによって選択された初期値変更方式によって、カウンタ521が更新するカウント値の初期値を変更させる。そのようにすることによって、CPU 56は、初期値変更方式を選択する機能を備える。

30

【0239】

この実施の形態では、ユーザプログラム管理エリアの1F97h番地の領域に初期値変更方式設定データ「01h」が記憶されている場合、CPU 56は、カウント値の初期値を、遊技制御用マイクロコンピュータ560毎に付与された固有のIDナンバにもとづいて算出された値に変更させる。

40

【0240】

例えば、遊技制御用マイクロコンピュータ560は、ROM 54の所定の記憶領域に、遊技制御用マイクロコンピュータ560のIDナンバと、IDナンバにもとづいて所定の演算を行って求めた演算値とを予め対応付けて記憶している。この場合、例えば、遊技制御用マイクロコンピュータ560のIDナンバが「100」とすると、IDナンバ「100」に所定値「50」を加算して求めた演算値「150」を、予めIDナンバに対応付けて記憶している。また、例えば、IDナンバ「100」に所定値「50」を減算して求めた演算値「50」を、予めIDナンバに対応付けて記憶している。また、例えば、予めIDナンバに対応づけて所定値だけを記憶していてもよい。そして、遊技制御用マイ

50

クロコンピュータ560のCPU56は、予め記憶される所定値（例えば、「50」）にIDナンバ（例えば、「100」）を加算して求めた値「150」を、カウント値の初期値としてもよい。また、CPU56は、予め記憶される所定値（例えば、「50」）をIDナンバ（例えば、「100」）から減算して求めた値「50」を、カウント値の初期値としてもよい。なお、遊技制御用マイクロコンピュータ560は、データ書き込みが禁止されている記憶領域であれば、遊技制御用マイクロコンピュータ560のIDナンバを、ROM54の所定の記憶領域に記憶していてもよく、RAM55の所定の記憶領域（ただし、RAM55は遊技機の電力供給が停止されたときでも記憶内容が消去（クリア）されないことが条件となる）に記憶していてもよい。

【0241】

10

そして、初期値変更方式設定データ「01h」が記憶されている場合、CPU56は、予め記憶するIDナンバにもとづく演算値にカウント値の初期値を変更させる。そのようにすれば、乱数回路503が発生する乱数のランダム性をより向上させることができ、遊技制御用マイクロコンピュータ560のIDナンバを見ただけでは乱数の初期値を認識しにくくすることができる。そのため、無線信号を用いた取り込み信号を遊技機に対して発生させるなどの行為によって、大当たり状態への移行条件を不正に成立させられてしまうことをより確実に防止することができ、セキュリティ性を向上させることができる。

【0242】

また、例えば、初期値変更方式設定データ「01h」が記憶されている場合、CPU56は、遊技制御用マイクロコンピュータ560のIDナンバと所定値とを演算して（例えば、IDナンバに所定値を加算して）求めた演算値にカウント値の初期値を変更させる。この場合、例えば、CPU56は、乱数を用いてランダムに変化させた値をIDナンバと演算することによって、演算に用いる値をランダムに更新し初期値を求めてもよい。そのようにすれば、乱数回路503が発生する乱数のランダム性をより向上させることができる。

20

【0243】

乱数回路選択モジュール551fは、遊技制御用マイクロコンピュータ560が内蔵する各乱数回路503の中から、遊技制御処理を含むタイマ割込処理の実行時に用いる乱数回路を設定するためのプログラムモジュールである。CPU56は、乱数回路選択モジュール551fに従って処理を実行することによって、遊技制御用マイクロコンピュータ560が内蔵する2つの乱数回路（12ビット乱数回路503aおよび16ビット乱数回路503b）のうち、いずれの乱数回路をタイマ割込処理の実行時に用いるかを設定する。例えば、CPU56は、ROM54の所定の記憶領域に記憶された所定の設定値（ユーザによって予め設定された値）に従って、タイマ割込処理の実行時に用いる乱数回路として、12ビット乱数回路503aまたは16ビット乱数回路503bを設定する。

30

【0244】

なお、タイマ割込処理の実行時に用いる乱数回路として、12ビット乱数回路503aおよび16ビット乱数回路503bの両方を設定してもよい。この場合、CPU56は、例えば、12ビット乱数回路503aが発生した乱数にもとづいて変動パターンを決定し、16ビット乱数回路503bが発生した乱数にもとづいて大当たり判定を行うようにしてもよい。この実施の形態では、乱数値記憶回路531は、12ビット乱数回路503aと16ビット乱数回路503bとにそれぞれ存在する（すなわち、12ビット用の乱数を記憶する乱数値記憶回路と、16ビット用の乱数を記憶する乱数値記憶回路とが、別個に存在する）。また、12ビット乱数回路503aおよび16ビット乱数回路503bの両方を設定した場合、CPU56は、12ビット乱数回路503aから読み出した乱数と、16ビット乱数回路503bから読み出した乱数とを、RAM55に設けられた別々のバッファ領域にそれぞれ格納する。そのため、12ビット乱数回路503aから乱数を読み出すタイミングと、16ビット乱数回路503bから乱数を読み出すタイミングとが同じであっても、2つの異なる乱数を抽出し別々のバッファ領域に格納することができる。

40

【0245】

50

乱数値更新プログラム５５５は、乱数更新方式として第１の乱数更新方式が選択されているときに、乱数値記憶回路５３１に格納されているランダムＲの値を更新させるためのプログラムである。ＣＰＵ５６は、乱数値更新プログラム５５５に従って処理を実行することによって、乱数値更新手段として機能する。ＣＰＵ５６は、第１の乱数更新方式が選択されているときに、乱数値更新プログラム５５５を実行して、カウンタ値更新データ「０１ｈ」をカウンタ値更新レジスタ５３８に書き込むことにより、カウンタ５２１にカウンタ値を更新させ、乱数値記憶回路５３１に格納されているランダムＲの値を更新させる。なお、乱数更新方式として第２の乱数更新方式が選択されている場合には、クロック信号出力回路５３７が出力する乱数発生用クロック信号によって、カウンタ５２１にカウンタ値を更新させ、乱数値記憶回路５３１に格納されているランダムＲの値を更新させることになる。

10

【０２４６】

表示結果決定プログラム５５２は、特別図柄表示器８における表示結果を大当り図柄とするか否かを決定するためのプログラムである。ＣＰＵ５６は、表示結果決定プログラム５５２に従って処理を実行することによって、表示結果決定手段として機能する。

【０２４７】

この実施の形態では、ＣＰＵ５６は、遊技球が可変入賞球装置１５に入賞して特別図柄の可変表示を実行するための条件（実行条件）が成立したことに応じて、表示結果決定プログラム５５２に従って処理を実行する。そして、ＣＰＵ５６は、乱数値記憶回路５３１から更新後のランダムＲの値を読み出して、特別図柄表示器８における表示結果を大当り図柄とするか否かを決定する。

20

【０２４８】

図３３は、第１の乱数更新方式が選択されている場合に、ＣＰＵ５６がランダムＲの値を更新させたりランダムＲの値を読み出したりする動作を示す説明図である。図３３に示すように、第１の乱数更新方式が選択されている場合、ＣＰＵ５６は、カウンタ値更新データ「０１ｈ」をカウンタ値更新レジスタ５３８に書き込むことによって、乱数値記憶回路５３１が記憶するランダムＲの値（例えば「２」）を更新させる。そして、ＣＰＵ５６は、遊技球が可変入賞球装置１５に入賞して特別図柄の可変表示を実行するための条件（実行条件）が成立したことに応じて、乱数値記憶回路５３１からランダムＲの値（例えば「２」）を読み出す。

30

【０２４９】

なお、乱数値記憶回路５３１が記憶するランダムＲの値をさらに更新させる場合、前回更新時にランダムＲの値を更新したときから、クロック回路５０１が出力するシステムクロック信号の周期以上の間隔を経過したときに、カウンタ値更新レジスタ５３８にカウンタ値更新データ「０１ｈ」を書き込まなければならない。なぜなら、更新後のランダムＲの値を乱数値記憶回路５３１から読み出す時間を確保する必要があるからである。

【０２５０】

図３４は、第２の乱数更新方式が選択されている場合に、ＣＰＵ５６がランダムＲの値を読み出したりする動作を示す説明図である。図３４に示すように、第２の乱数更新方式が選択されている場合、タイマ回路５３４は、乱数値取込データ「０１ｈ」を乱数値取込レジスタ５３９に書き込むことによって、カウンタ５２１が出力するカウンタ値（例えば「２」）を乱数値記憶回路５３１に取り込ませて、乱数値記憶回路５３１が記憶するランダムＲの値を更新させる。そして、ＣＰＵ５６は、乱数値記憶回路５３１から更新後のランダムＲの値（例えば「２」）を読み出す。

40

【０２５１】

具体的には、第２の乱数更新方式が選択されている場合、カウンタ５２１は、乱数発生用クロック信号ＳＩ１を入力したことをトリガとしてカウンタ値Ｃを更新する。その後、乱数値取込データ「０１ｈ」が乱数値取込レジスタ５３９に書き込まれると、ラッチ信号生成回路５３３はラッチ信号ＳＬを乱数値記憶回路５３１に出力する。そして、乱数値記憶回路５３１は、ラッチ信号ＳＬを入力したことをトリガとしてカウンタ５２１が出力す

50

るカウント値を読み込んで記憶する。そして、CPU 56は、乱数値記憶回路531が記憶するランダムRの値を読み出す。

【0252】

なお、タイマ回路534が乱数値取込データ「01h」を乱数値取込レジスタ539に書き込まなければ、カウンタ521がカウント値を更新しても、乱数値記憶回路531は、カウンタ521が更新する乱数値を記憶しない。例えば、タイマ回路534が乱数値取込データ「01h」を乱数値取込レジスタ539に書き込み、カウンタ521が出力するカウント値「3」を乱数値記憶回路531に取り込ませて、乱数値記憶回路531が記憶するランダムRの値「3」を更新させたとする。この場合、タイマ回路534が乱数値取込データ「01h」を再び乱数値取込レジスタ539に書き込まなければ、カウンタ521が出力するカウント値が「3」から「4」や「5」に更新されても、乱数値記憶回路531が記憶する乱数値は更新されず、乱数値記憶回路531から読み出される乱数値は「3」のままである。

10

【0253】

カウント値順列変更プログラム554は、カウント値順列変更レジスタ536にカウント値順列変更データ「01h」を書き込んで、乱数値記憶回路531が記憶するカウント値の順列を変更させるカウント値順列変更処理を実行するためのプログラムである。CPU 56は、カウント値順列変更プログラム554に従って処理を実行することによって、数値データ順列変更手段として機能する。CPU 56は、カウント値順列変更プログラム554を実行して、カウント値順列変更レジスタ536にカウント値順列変更データ「01h」を書き込むことによって、カウント値順列変更回路523が出力し乱数値記憶回路531に入力されるカウント値の順列を変更させる。

20

【0254】

シリアル通信回路設定プログラム556は、シリアル通信回路505に各制御基板に搭載されたマイクロコンピュータ（本例では、払出制御用マイクロコンピュータ）とシリアル通信させるための初期設定を行うシリアル通信回路設定処理を実行させるためのプログラムである。すなわち、CPU 56は、シリアル通信回路設定プログラム556に従って処理を実行することにより、シリアル通信回路初期設定手段として機能する。

【0255】

割込優先順位設定プログラム557は、シリアル通信回路505の割り込み要求に応じて実行する割込処理の優先順位を初期設定するためのプログラムである。すなわち、CPU 56は、割込優先順位設定プログラム556に従って処理を実行することにより、優先順位初期設定手段として機能する。

30

【0256】

また、遊技制御用マイクロコンピュータ560は、図35に示すように、特図保留メモリ570と、大当たり判定用テーブルメモリ571と、フラグメモリ572と、始動入賞口スイッチタイマメモリ573とを備える。

【0257】

特図保留メモリ570は、遊技球が可変入賞球装置15に入賞して特別図柄の可変表示の実行条件は成立したが、未だ可変表示の開始条件が成立していない（例えば、特別図柄表示器8がまだ可変表示を実行中である）可変表示の実行条件の成立回数を含む保留データを記憶するためのメモリ（保存領域）である。特図保留メモリ570は、4つのエントリを備え、各エントリには、遊技球が可変入賞球装置15に入賞した順に、保留番号と、入賞に応じて乱数値記憶回路531から読み出したランダムRの値とが対応付けて格納される。また、特別図柄表示器8における特別図柄の可変表示が1回終了したり、大当たり遊技状態が終了したりするごとに、特図保留メモリ570の最上位の情報にもとづいた可変表示の開始条件が成立し、特図保留メモリ570最上位の情報にもとづいた可変表示が実行される。この場合、特別図柄の可変表示の開始条件が成立すると、特図保留メモリ570の第2位以下に登録されている情報が1位ずつ繰り上がる。また、特別図柄の可変表示中に遊技球が可変入賞球装置15に新たに入賞した場合には、その新たな入賞にもとづい

40

50

て乱数値記憶回路 5 3 1 から読み出されたランダム R の値が、特図保留メモリ 5 7 0 の空エントリに登録される。

【0 2 5 8】

大当たり判定用テーブルメモリ 5 7 1 は、CPU 5 6 が特別図柄表示器 8 の表示結果を大当たり図柄とするか否かを判定するために用いる複数の大当たり判定テーブルを記憶する。具体的には、大当たり判定用テーブルメモリ 5 7 1 は、図 3 6 (A) に示すように、確変状態以外の遊技状態（通常状態という）において用いられる通常時大当たり判定テーブル 5 7 1 a を記憶する。また、大当たり判定用テーブルメモリ 5 7 1 は、図 3 6 (B) に示すように、確変状態において用いられる確変時大当たり判定テーブル 5 7 1 b を格納する。なお、図 3 6 に示す判定テーブルを用いて大当たり判定を行う場合、乱数最大値設定レジスタ 5 3 5 に設定された乱数最大値によって大当たりと判定する確率が大きく変化することになる。この場合、例えば、設定される乱数最大値が小さすぎると、通常時大当たり判定テーブル 5 7 1 a を用いた場合と、確変時大当たり判定テーブル 5 7 1 b を用いた場合とで、大当たりと判定する確率の差が小さくなってしまい、遊技者の遊技に対する興味を減退させてしまうことになる。そのため、乱数回路 5 0 3 および乱数最大値に対応づけて、複数の判定テーブル（複数の通常時大当たり判定用テーブル 5 7 1 a および複数の確変時大当たり判定用テーブル 5 7 1 b）を大当たり判定用テーブルメモリ 5 7 1 に記憶してもよい。そして、CPU 5 6 は、大当たり判定用テーブルメモリ 5 7 1 が記憶する判定テーブルのうち、使用する乱数回路 5 0 3 および乱数最大値に対応する判定テーブル 5 7 1 a, 5 7 1 b を用いて、表示結果決定プログラム 5 5 2 に従って、特別図柄表示器 8 の表示結果を大当たり図柄とするか否かを判定するようにしてもよい。そのようにすることによって、使用する乱数回路 5 0 3 の種類や乱数最大値が異なっても、大当たりと判定する確率がある程度同じになるように制御することができる。

【0 2 5 9】

なお、この実施の形態では、1 6 ビット乱数回路 5 0 3 b を用いることにする。すなわち、ステップ S 1 5 1 の処理で 1 6 ビット乱数回路 5 0 3 b を用いることに決定されたとする。よって、ランダム R として、1 6 ビットで発生できる範囲（0 から 6 5 5 3 5 までの範囲）の値をとりうる。

【0 2 6 0】

フラグメモリ 5 7 2 には、遊技の進行を制御する遊技制御処理において用いられる各種のフラグが設定される。例えば、フラグメモリ 5 7 2 には、遊技状態が確変状態であることを示す確変フラグや、大当たり状態であることを示す大当たりフラグが設定される。

【0 2 6 1】

始動口スイッチタイマメモリ 5 7 3 は、始動口スイッチ 1 4 a から入力される入賞検出信号 S S に応じて加算またはクリアされるタイマ値を記憶する。

【0 2 6 2】

次に、ウォッチドッグタイマ 6 0 について説明する。図 3 7 は、ウォッチドッグタイマの構成例を示すブロック図である。ウォッチドッグタイマ (WDT) 6 0 は、プログラム管理エリアの WDT 設定 (KWDT; 図 2 9 では図示せず) 6 1 にデータが設定されることにより、ウォッチドッグタイマ 6 0 の動作許可／禁止の設定、および動作を許可した場合のクロックの周期の設定が行われる。この実施の形態では、ウォッチドッグタイマ 6 0 を動作させるために、ウォッチドッグタイマ 6 0 の動作許可の設定が行われる。また、ウォッチドッグタイマ 6 0 のタイムアウト時間が所定の時間（具体的には、後述するように電圧が比較的安定した状態で CPU 5 6 が電源断信号の状態を監視するための時間：図 4 2 から図 4 4 参照）になるように、カウントクロック選択回路 6 5 により選択されるクロックの周期が設定される。

【0 2 6 3】

WDT 制御回路 6 3 は、ウォッチドッグタイマ 6 0 の動作を制御する回路である。WDT 制御回路 6 3 は、プログラム管理エリアの WDT 設定 6 1 に動作許可の設定が行われると、ウォッチドッグタイマ 6 0 の動作の制御を実行する。また、WDT 制御回路 6 3 は、

プログラム管理エリアのWDT設定61の設定値にもとづいて、カウントクロック選択回路65が選択するクロックの周期を設定する。カウントクロック選択回路65は、WDT制御回路63による設定に応じてクロック回路からのクロック信号を選択し、選択したクロック信号をカウントクロックとして15ビットアップカウンタに出力する。これにより、ウォッチドッグタイマ60におけるタイムアウト時間（タイムアップ時間）の設定が行われる。

【0264】

ウォッチドッグタイマ60は、内蔵されているWDTクリアレジスタ(WCL)62に所定のデータが設定されることにより、ウォッチドッグタイマ60のカウントクリアおよびリスタートを実行する。具体的には、WDTクリアレジスタ62に「\$55」がCPU56によって書き込まれ、次いで「\$AA」がCPU56によって書き込まれ、次いで「\$33」がCPU56によって書き込まれる。「\$33」が書き込まれた後にWDT制御回路63がクリアおよびリスタートを実行する。すなわち、WDT制御回路63は、クリア&リスタート信号をOR回路64を介して15ビットアップカウンタ66に出力して、カウント値のクリアとカウントアップのリスタートを再開させる。「\$55」「\$AA」が書き込まれたときは、WDT制御回路63は、現在の動作を継続する。

【0265】

なお、CPU56によるWDTクリアレジスタ62の設定は、後述するタイマ割込処理のWDTクリア処理（ステップS36）により定期的（2ms毎）に実行される。

【0266】

15ビットアップカウンタ66は、カウントクロック選択回路65からのカウントクロックをカウントする。CPU56が正常にプログラムを実行しているときは、定期的にWDTクリアレジスタ62の設定が行われることになり、15ビットアップカウンタ66がタイムアウトする前にカウント値のクリアおよびリスタート（再度カウント開始）が実行されることになる。一方、CPU56が正常にプログラムを実行していないとき、具体的には、待機状態（無限ループ）に移行したとき（図45のステップS83のN、図54のステップS481の後）は、WDTクリアレジスタ62の設定が行われず、15ビットアップカウンタ66のカウント値が所定値（タイムアウト時間に相当）に達してタイムアウトとなる。タイムアウトになると、15ビットアップカウンタ66は、タイムアウト信号を出力制御回路67に出力する。出力制御回路67は、15ビットアップカウンタ66からのタイムアウト信号を遊技制御用マイクロコンピュータ560のリセット／割込みコントローラ502に出力する。

【0267】

リセット／割込みコントローラ502は、ウォッチドッグタイマ60がタイムアウト信号を発生すると、このタイムアウト信号を受け付けることにより、ユーザリセットを発生し、ユーザプログラムのベクタテーブルで示されるアドレス（後述するメイン処理の先頭のアドレス）からユーザプログラムをCPU56に再実行させる。ウォッチドッグタイマ60によるユーザリセットを発生すると、CPU56は、外部デバイスへのリセット信号としてロウレベルの信号を出力する。このリセット信号は、ウォッチドッグタイマ60のOR回路64を介して15ビットアップカウンタ66に出力され、カウント値のクリアが行われる。

【0268】

次に、電源基板910の構成を図38のブロック図を参照して説明する。電源基板910には、遊技機内の各電気部品制御基板や機構部品への電力供給を実行または遮断するための電源スイッチ914が設けられている。なお、電源スイッチ914は、遊技機において、電源基板910の外に設けられていてもよい。電源スイッチ914が閉状態（オン状態）では、交流電源（AC24V）がトランス911の入力側（一次側）に印加される。トランス911は、交流電源（AC24V）と電源基板910の内部とを電氣的に絶縁するためのものであるが、その出力電圧もAC24Vである。また、トランス911の入力側には、過電圧保護回路としてのバリスタ918が設置されている。

【0269】

電源基板910は、電気部品制御基板（主基板31、払出制御基板37等）と独立して設置され、遊技機内の各基板および機構部品が使用する電圧を生成する。この例では、AC24V、VSL（DC+30V）、VLP（DC+24V）、VDD（DC+12V）およびVCC（DC+5V）を生成する。また、バックアップ電源（VBB）すなわちバックアップRAMに記憶内容を保持させるための記憶保持手段となるコンデンサ916は、DC+5V（VCC）すなわち各基板上のIC等を駆動する電源のラインから充電される。また、+5Vラインとバックアップ+5V（VBB）ラインとの間に、逆流防止用のダイオード917が挿入される。なお、VSLは、整流平滑回路915において、整流素子でAC24Vを整流昇圧することによって生成される。VSLは、ソレノイド駆動電源となる。また、VLPは、ランプ点灯用の電圧であって、整流回路912において、整流素子でAC24Vを整流することによって生成される。

10

【0270】

電源電圧生成手段としてのDC-DCコンバータ913は、1つまたは複数のレギュレータIC（図38では2つのレギュレータIC924A、924Bを示す）を有し、VSLにもとづいてVDDおよびVCCを生成する。レギュレータIC（スイッチングレギュレータ）924A、924Bの入力側には、比較的大容量のコンデンサ923A、923Bが接続されている。従って、外部からの遊技機に対する電力供給が停止したときに、VSL、VDD、VCC等の直流電圧は、比較的緩やかに低下する。

20

【0271】

図38に示すように、トランス911から出力されたAC24Vは、そのままコネクタ922Bに供給される。また、VLPは、コネクタ922Cに供給される。VCC、VDDおよびVSLは、コネクタ922A、922B、922Cに供給される。

【0272】

コネクタ922Aに接続されるケーブルは、主基板31に接続される。また、コネクタ922Bに接続されるケーブルは、払出制御基板37に接続される。従って、コネクタ922A、922Bには、VBBも供給されている。例えば、コネクタ922Cに接続されるケーブルは、音／ランプ制御基板80bに接続される。なお、図柄制御基板80aには、音／ランプ制御基板80bを経由して各電圧が供給される。

【0273】

30

また、電源基板910には、押しボタン構造のクリアスイッチ921が搭載されている。クリアスイッチ921が押下されるとローレベル（オン状態）のクリア信号が出力され、コネクタ922Bを介して払出制御基板37に送信される。また、クリアスイッチ921が押下されていなければハイレベル（オフ状態）の信号が出力される。なお、クリアスイッチ921は、押しボタン構造以外の他の構成であってもよい。また、クリアスイッチ921は、遊技機において、電源基板910以外に設けられていてもよい。

【0274】

さらに、電源基板910には、電気部品制御基板に搭載されているマイクロコンピュータに対するリセット信号を作成するとともに、電源断信号を出力する電源監視回路920と、電源監視回路920からのリセット信号を増幅してコネクタ922A、922B、922Cに出力するとともに、電源断信号を増幅してコネクタ922Bに出力する出力ドライバ回路925が搭載されている。なお、図柄制御用マイクロコンピュータ100aに対するリセット信号は、音／ランプ制御基板80bを経由して図柄制御基板80aに伝達される。

40

【0275】

電源監視回路920は電源断信号を出力する電源監視手段とリセット信号を生成するリセット信号生成手段とを実現する回路であるが、電源監視回路920として、市販の停電監視リセットモジュールICを使用することができる。電源監視回路920は、遊技機において用いられる所定電圧（例えばVSL+30V）が所定値（例えば+22V）以下になった期間が、あらかじめ決められている時間（例えば56ms）以上継続すると電源断信

50

号を出力する。具体的には、電源断信号をオン状態（ローレベル）にする。また、電源監視回路920は、例えば、VCCが+9V以下になると、リセット信号をローレベルにする。

【0276】

なお、この実施の形態では、電源断信号を出力する機能とリセット信号を出力する機能とが1つの電源監視回路920で実現されているが、それらを別の回路で実現してもよい。その場合、リセット信号を出力する回路として、ウォッチドッグタイマ内蔵ICを使用することができる。

【0277】

電源監視回路920は、遊技機に対する電力供給が停止する際には、電源断信号を出力（ローレベルにする）してから所定期間が経過したことを条件にリセット信号をローレベルにする。所定期間は、主基板31に搭載されている遊技制御用マイクロコンピュータ560および払出制御基板37に搭載されている払出制御用マイクロコンピュータ370が、後述する電源断処理を実行するのに十分な時間である。すなわち、電源監視回路920は、電圧低下検出信号としての電源断信号を出力した後、遊技制御用マイクロコンピュータ560および払出制御用マイクロコンピュータ370が、電源断処理を実行完了した後に、動作停止信号（リセット信号のローレベル）を出力する。また、電源監視回路920は、電圧低下検出信号を出力する第1の電源監視手段と動作停止信号を出力する第2の電源監視手段とを兼ねている。また、遊技機に対する電力供給が開始され、VSLが例えば+5.0Vを越えたとリセット信号をハイレベルにする。そして、VSLが例えば+22Vを超えると電源断信号を出力しない状態にする（ハイレベルにする）。

【0278】

電源監視回路920からの電源断信号すなわち電源監視手段からの検出信号は、払出制御基板37において、入力ポート372gを介して払出制御用マイクロコンピュータ370に入力される。すなわち、払出制御用マイクロコンピュータ370は、入力ポート372gの入力信号を監視することによって遊技機への電力供給の停止の発生を確認することができる。また、主基板31において、電源監視回路920からの電源断信号は、払出制御基板37および主基板31に搭載されている入力ポートを介して遊技制御用マイクロコンピュータ560に入力される。すなわち、遊技制御用マイクロコンピュータ560は、入力ポートの入力信号を監視することによって遊技機への電力供給の停止の発生を確認することができる。

【0279】

なお、この実施の形態では、電源監視手段が所定電位の電源の出力を監視し、外部から遊技機に供給される電力の供給停止に関わる検出条件として、遊技機の外部からの電圧（この実施の形態ではAC24V）から作成された所定の直流電圧が所定値以下になったこと（所定の直流電圧が所定期間基準値以下になった場合でもよい）を用いたが、検出条件は、それに限られず、外部のからの電力が途絶えたことを検出できるのであれば、他の条件を用いてもよい。例えば、交流波そのものを監視して交流波が途絶えたこと（交流波が所定期間、所定の電圧値となっていない場合でもよい）を検出条件としてもよいし、交流波をデジタル化した信号を監視して、デジタル信号が平坦になったこと（デジタル化した信号が所定期間平坦になった場合でもよい）をもって交流波が途絶えたことを検出条件としてもよい。

【0280】

図39は、遊技制御手段における出力ポートの割り当ての例を示す説明図である。図39に示すように、音／ランプ制御基板80bに送信される演出制御コマンドの8ビットのデータ（演出制御信号）は出力ポート1から出力される。なお、図39に示された「論理」（例えば1がオン状態）と逆の論理（例えば0がオン状態）を用いてもよいが、特に、接続確認信号については、主基板31と払出制御基板37との間の信号線において断線が生じた場合やケーブル外れの場合（ケーブル未接続を含む）等に、払出制御用マイクロコンピュータ370では必ずオフ状態と検知されるように「論理」が定められる。具体的に

は、一般に、断線やケーブル外れが生ずると信号の受信側ではハイレベルが検知されるので、主基板 3 1 と払出制御基板 3 7 との間の信号線でのハイレベルが、遊技制御手段における出力ポートにおいてオフ状態になるように「論理」が定められる。従って、必要であれば、主基板 3 1 において出力ポートの外側に、信号を論理反転させる出力バッファ回路が設置される。

【0281】

また、出力ポート 2 から、音／ランプ制御基板 8 0 b に送信される演出制御コマンドについての演出制御 I N T 信号（取込信号）も出力される。演出制御 I N T 信号は、演出制御コマンドの 8 ビットのデータを取り込む（受信する）ことを音／ランプ制御手段に指令するための信号である。また、出力ポート 2 から、大当りの種別を示す信号や遊技状態を示す信号、図柄確定回数を示す信号が情報出力回路（図示せず）を介して外部の装置（管理装置）に出力される。さらに、出力ポート 2 から、主基板 3 1 が接続されていることを示す接続確認信号も出力される。

10

【0282】

また、出力ポート 3 から、開閉板 2 0 1, 2 0 2（第 1 大入賞口、第 2 大入賞口）を開閉するためのソレノイド（大入賞口扉ソレノイド）2 4 1, 2 4 2、および可変入賞球装置 1 5 を開閉するためのソレノイド（普通電動役物ソレノイド）1 6 に対する駆動信号が出力される。また、出力ポート 3 から、大入賞口表示灯 3 8, 3 9 に対する制御信号も出力される。

【0283】

20

なお、賞球コマンドを払出制御基板 3 7 に出力するためのポートが上記の出力ポートに割り当てられていてもよい。この場合、シリアル通信により賞球コマンドが送信されるので、1 ビットのポートを割り当てればよい。

【0284】

図 4 0 は、遊技制御手段における入力ポートのビット割り当ての例を示す説明図である。図 4 0 に示すように、入力ポート 0 のビット 0 ～ 5 には、それぞれ、カウントスイッチ 2 3 1, 2 3 2、ゲートスイッチ 3 2 a、入賞口スイッチ 2 9 a, 3 0 a、始動口スイッチ 1 4 a の検出信号が入力される。また、入力ポート 1 のビット 0, 1 には、それぞれ、払出制御基板 3 7 からの電源断信号およびクリアスイッチ 9 2 1 の検出信号が入力される。また、入力ポート 1 のビット 2 には、乱数回路 5 0 3 が正常に乱数を更新しているかどうかを確認するための乱数確認信号が入力される。

30

【0285】

次に、電力供給開始時における各 C P U およびウォッチドッグタイマ 6 0 の動作について説明する。図 4 1 は、電力供給開始時における各 C P U およびウォッチドッグタイマの動作を示すタイミング図である。なお、図 4 1 は、電源がオン状態となってから所定の電源電圧（VSL）が正常に + 3 0 V まで上昇する場合を示している。

【0286】

図 4 1 に示すように、電源がオン状態になると、VSL の電圧値は上昇していく。電圧値が + 9 V になると、電源監視回路 9 0 2 は、リセット信号をハイレベルにする。リセット信号が入力されるリセット端子の入力レベルがハイレベルになると、各 C P U（C P U 5 6、払出制御用 C P U、音／ランプ制御用 C P U 1 0 1 b、図柄制御用 C P U 1 0 1 a）は動作可能状態となる。そして、C P U（メイン C P U）5 6 は、動作可能状態になると、プログラムの内容が正当か否かを確認するための処理であるセキュリティチェック処理を実行した後、メイン処理を開始する。その他の C P U（サブ C P U）は、動作可能状態になると、直ちにメイン処理を開始する。

40

【0287】

電圧値が + 2 2 V になると、電源監視回路 9 0 2 は、電源断信号をオフ状態（ハイレベル）にする。このとき、図 4 1 に示す例では、C P U 5 6 は未だセキュリティチェック処理を実行している。C P U 5 6 は、セキュリティチェック処理を終了すると、メイン処理を開始する。メイン処理において、C P U 5 6 は、必要な初期設定を行った後、電源断信

50

号がオフ状態であるか否かを確認する。図4-1に示す例では、電源断信号はすでにオフ状態になっている。電源断信号がオフ状態になっているときは、CPU56は、遊技制御処理の実行開始を遅らせるためのソフトウェア遅延処理を実行し、乱数回路503が正常に乱数を更新しているかどうかを確認するために乱数確認信号が入力されているか否かを確認する。乱数確認信号が入力されていれば、CPU56は、RAM55の記憶内容を初期化する初期化処理を実行する。なお、電力供給停止時に後述する電源断処理が実行され、その後に電力供給が再開されたときに所定の復旧条件が成立した場合には、RAM55に所定期間保持されているバックアップデータにもとづいて制御状態を復旧させる復旧処理が実行される。その後、CPU56は、後述するタイマ割込にもとづく遊技制御処理を開始する。

10

【0288】

サブCPU（例えば払出制御用CPU）は、メイン処理を開始すると、初期化処理を実行し、その後にタイマ割込にもとづく制御処理（例えば払出制御処理）を開始する。なお、この実施の形態では、払出制御用マイクロコンピュータに内蔵されているRAMも電源バックアップされるとともに、電力供給停止時に払出制御用マイクロコンピュータは電源断処理を実行する。従って、遊技制御用マイクロコンピュータ560と同様に、払出制御用マイクロコンピュータにおいても、電力供給停止時に電源断処理が実行され、その後に電力供給が再開されたときに所定の復旧条件が成立した場合には、RAMに所定期間保持されているバックアップデータにもとづいて制御状態を復旧させる復旧処理が実行される。その他のサブCPU（音／ランプ制御用CPUなど）は、RAMが電源バックアップされてい

20

【0289】

遊技制御用マイクロコンピュータ560に内蔵されているウォッチドッグタイマ60は、内蔵レジスタにCPU56による初期設定が行われたことにもとづいてカウントアップする動作（タイムアウト時間を計測する動作）を開始する。その後に遊技制御処理が開始されると、CPU56は、遊技制御処理において、内部バスを介してウォッチドッグタイマ60のWDTクリアレジスタにデータを定期的に設定することにより、ウォッチドッグタイマ60のカウント値をクリアしリスタート（カウントの再開）させる処理を実行する。これにより、遊技制御処理の実行中に、ウォッチドッグタイマ60がタイムアウトしてリセットされてしまうことはない。なお、CPU56がソフトウェア遅延処理を実行して

30

【0290】

図4-1に示したように、CPU56においては、遊技制御処理を開始する前にソフトウェア遅延処理を実行しているため、遊技制御処理の実行開始を他のサブCPUにおける制御処理（例えば払出制御処理や音／ランプ制御処理など）が実行可能となる時期よりも遅延させることができる。その結果、CPU56が遊技制御処理にもとづいてサブCPUにコマンドを送信したときに、サブCPUにおける制御処理が開始されていないためにコマ

40

【0291】

図4-2も、図4-1と同様に、電力供給開始時における各CPUおよびウォッチドッグタイマの動作を示すタイミング図である。ただし、図4-2は、電源がオン状態となってから所定の電源電圧（VSL）が正常に+30Vまで上昇しない場合、すなわち、電源電圧の立ち上がりが遅い場合を示している。

【0292】

図4-2に示すように、電源がオン状態になると、VSLの電圧値は上昇していく。電圧値が+9Vになると、電源監視回路902は、リセット信号をハイレベルにする。リセット信号が入力されるリセット端子の入力レベルがハイレベルになると、各CPU（CPU5

50

6、払出制御用CPU、音／ランプ制御用CPU101b、図柄制御用CPU101a)は動作可能状態となる。そして、CPU(メインCPU)56は、セキュリティチェック処理を実行した後、メイン処理を開始し、その他のCPU(サブCPU)は、直ちにメイン処理を開始する。

【0293】

CPU56は、セキュリティチェック処理を終了すると、メイン処理を開始する。メイン処理において、CPU56は、必要な初期設定を行った後、電源断信号がオフ状態であるか否かを確認する。このとき、図42に示す例では、電源電圧の立ち上がりが遅く、電圧値が+2.2Vに達していないため、電源断信号は未だオフ状態になっていない(オン状態のままである)。電源断信号がオン状態のとき、CPU56は、制御状態を待機状態(無限ループ)に移行させる。一方、サブCPU(例えば払出制御用CPU)は、メイン処理を開始すると、初期化処理を実行し、その後にタイマ割込にもとづく制御処理(例えば払出制御処理)を開始する。

10

【0294】

図42に示すように、その後に電圧値が+2.2Vになると、電源監視回路902は、電源断信号をオフ状態(ハイレベル)にする。このとき、CPU56は待機状態に制御されている。

【0295】

遊技制御用マイクロコンピュータ560に内蔵されているウォッチドッグタイマ60は、内蔵レジスタにCPU56による初期設定が行われたことにもとづいてカウントアップする動作を開始する。CPU56が待機状態のときは、ウォッチドッグタイマ60のカウント値をクリアしリスタートさせる処理が実行されない。従って、ウォッチドッグタイマ60のカウント値は所定値に達してタイムアウトとなる。タイムアウトになると、ウォッチドッグタイマ60は、タイムアウト信号を遊技制御用マイクロコンピュータ560のリセット／割込みコントローラ502に出力する。

20

【0296】

リセット／割込みコントローラ502は、ウォッチドッグタイマ60がタイムアウト信号を発生すると、ユーザリセットを発生し、ユーザプログラムのベクタテーブルで示されるアドレス(メイン処理の先頭のアドレス)からプログラムをCPU56に再実行させる。ウォッチドッグタイマ60によるユーザリセットを発生すると、CPU56は、外部デバイスへのリセット信号としてロウレベルの信号を出力する。このリセット信号は、ウォッチドッグタイマ60のOR回路64を介して15ビットアップカウンタ66に出力され、ウォッチドッグタイマ60のカウント値のクリアされる。

30

【0297】

CPU56は、ユーザリセットによりメイン処理が再開されると、必要な初期設定を実行した後、再び電源断信号がオフ状態であるか否かを確認する。このとき、図42に示す例では、電源断信号はオフ状態(ハイレベル)になっている。従って、上述したように、CPU56は、ソフトウェア遅延処理を実行し、乱数確認処理を実行し、初期化処理を実行した後に、タイマ割込にもとづく遊技制御処理を実行する。遊技制御処理が開始されると、CPU56は、遊技制御処理において、内部バスを介してウォッチドッグタイマ60のWDTクリアレジスタにデータを定期的に設定することにより、ウォッチドッグタイマ60のカウント値をクリアしリスタートさせる処理を実行する。また、CPU56がソフトウェア遅延処理を実行している間にウォッチドッグタイマ60がタイムアウトしてしまわないように、ソフトウェア遅延処理の実行中においても、ウォッチドッグタイマ60のカウント値をクリアしリスタートさせる処理を実行する。

40

【0298】

図42に示したように、電源断信号を確認し、電源断信号がオフ状態でないときは所定時間(ウォッチドッグタイマ60のタイムアウト時間)においてから再度電源断信号を確認するように構成されているので、比較的電圧が安定した状態で電源断信号の状態を監視することができるようになる。そして、図42に示した構成では、ソフトウェアによる処理

50

で所定期間後の電源断信号の監視を実行しているわけではないので、そのためのプログラムを作成する必要がなく、プログラム容量が大きくなるわけではない。また、図42に示した構成では、遊技制御用マイクロコンピュータ560に内蔵されているウォッチドッグタイマ60（このウォッチドッグタイマ60は後述する電力供給時における瞬停を検出する場合にも利用される）を利用しているため、ハードウェアによる回路を特別に設けているわけではなく、特別な回路を設ける分のコストがかかってしまうこともない。

【0299】

図43は、電力供給停止時における各CPUおよびウォッチドッグタイマの動作を示すタイミング図である。図43に示すように、VSLの電圧値が+30Vから徐々に低下し、電圧値が+22Vになると、電源監視回路902は電源断信号をオン状態（ローレベル）にする。電源断信号がオン状態になると、CPU56は、制御状態を復旧させるために必要なデータを電源バックアップされたRAM55に保存するための電源断処理を実行し、そして、制御状態を待機状態（無限ループ）に移行させる。その後、電圧値が+9Vに低下すると、電源監視回路902は、リセット信号をローレベルにする。リセット信号が入力されるリセット端子の入力レベルがローレベルになると、各CPU（CPU56、払出制御用CPU、音／ランプ制御用CPU101b、図柄制御用CPU101a）は動作停止状態となる。

【0300】

ウォッチドッグタイマ60は、電源断処理が実行されているときもカウントアップしているが、ウォッチドッグタイマ60の動作可能電圧値（例えば+5V）まで電圧値が低下すると、動作を停止する。このとき、ウォッチドッグタイマ60はタイムアウトしていない。

【0301】

なお、その後に、電力供給が再開されたときに、所定の復旧条件が成立している場合は、CPU56はRAM55の記憶内容にもとづいて復旧処理を実行する。なお、この実施の形態では、払出制御用CPUも電源断信号がオフ状態になったことにもとづいて電源断処理を実行する。

【0302】

図44は、電力供給瞬停時における各CPUおよびウォッチドッグタイマの動作を示すタイミング図である。図44に示すように、VSLの電圧値が+30Vから徐々に低下し、電圧値が+22Vになると、電源監視回路902は電源断信号をオン状態（ローレベル）にする。電源断信号がオン状態になると、CPU56は、電源断処理を実行した後、制御状態を待機状態（無限ループ）に移行させる。その後も電圧値が徐々に低下していくが、図44に示す例では、電圧値が+9Vに至る前に電圧値が上昇していき、再び+30Vに戻っている。このとき、CPU56の制御状態は待機状態に維持されてしまう。

【0303】

一方、ウォッチドッグタイマ60は、電源断処理が開始されたとき（正確には、遊技制御処理におけるクリアおよびリスタートの処理が実行されなくなった時点）からカウントを開始している。そして、制御状態が待機状態に移行された後もカウントを行っている。ウォッチドッグタイマ60は、カウント値が所定値になってタイムアウトすると、タイムアウト信号を遊技制御用マイクロコンピュータ560のリセット／割込みコントローラ502に出力する。

【0304】

リセット／割込みコントローラ502は、ウォッチドッグタイマ60がタイムアウト信号を発生すると、ユーザリセットを発生し、ユーザプログラムのベクタテーブルで示されるアドレス（メイン処理の先頭のアドレス）からプログラムをCPU56に再実行させる。

【0305】

CPU56は、ユーザリセットによりメイン処理が開始されると、必要な初期設定を実行した後、電源断信号がオフ状態であるか否かを確認する。このとき、図44に示す例で

は、電源断信号はオフ状態（ハイレベル）になっている。従って、CPU 56は、ソフトウェア遅延処理を実行し、乱数確認処理を実行し、復旧処理を実行した後に、タイマ割込にもとづく遊技制御処理を実行する。遊技制御処理が開始されると、CPU 56は、遊技制御処理において、ウォッチドッグタイマ60のカウント値をクリアしリスタートさせる処理を実行する。なお、ソフトウェア遅延処理の実行中においても、ウォッチドッグタイマ60のカウント値をクリアしリスタートさせる処理を実行する。

【0306】

図44に示したように、電力供給の瞬停等が発生したことにもとづいて、制御状態が待機状態に移行されたとしても、ウォッチドッグタイマ60により所定期間経過後にユーザーリセットをかけるように構成されているので、制御状態を待機状態から容易に復帰させることができる。

10

【0307】

次に遊技制御用マイクロコンピュータ560の動作について説明する。図45および図46は、遊技機に対して電力供給が開始され遊技制御用マイクロコンピュータ560へのリセット信号がハイレベルになったことに応じて遊技制御用マイクロコンピュータ560のCPU 56が実行するメイン処理を示すフローチャートである。リセット信号が入力されるリセット端子の入力レベルがハイレベルになると、遊技制御用マイクロコンピュータ560のCPU 56は、プログラムの内容が正当か否かを確認するための処理であるセキュリティチェック処理を実行した後、ステップS1以降のメイン処理を開始する。メイン処理において、CPU 56は、まず、必要な初期設定を行う。

20

【0308】

初期設定処理において、CPU 56は、まず、割込禁止に設定する（ステップS1）。次に、マスク可能割込の割込モードを割込モード2に設定し（ステップS2）、スタックポインタにスタックポインタ指定アドレスを設定する（ステップS3）。なお、ステップS2では、遊技制御用マイクロコンピュータ560の特定レジスタ（Iレジスタ）の値（1バイト）と内蔵デバイスが出力する割込ベクタ（1バイト：最下位ビット0）から合成されるアドレスが、割込番地を示すモードに設定する。また、マスク可能な割込が発生すると、CPU 56は、自動的に割込禁止状態に設定するとともに、プログラムカウンタの内容をスタックにセーブする。

【0309】

30

次いで、内蔵デバイスレジスタの設定（初期化）を行う（ステップS4）。ステップS4の処理によって、内蔵デバイス（内蔵周辺回路）であるCTC（カウンタ／タイマ）およびPIO（パラレル入出力ポート）の設定（初期化）がなされる。また、ウォッチドッグタイマ60の内蔵レジスタ（WDT設定61）の設定も行われる。

【0310】

この実施の形態で用いられる遊技制御用マイクロコンピュータ560は、I/Oポート（PIO）およびタイマ／カウンタ回路（CTC）504も内蔵している。

【0311】

次いで、CPU 56は、遊技の進行を制御する遊技装置制御処理（遊技制御処理）の開始タイミングをソフトウェアで遅らせるためのソフトウェア遅延処理を実行する。具体的には、まず、ウェイトカウンタ1に、初期化ウェイト回数指定値1をセットする（ステップS81）。次いで、ウォッチドッグタイマ60のWDTクリアレジスタ62にデータを設定してクリアおよびリスタートさせる処理を実行する（ステップS82）。そして、入力ポート1のビット0の状態によって電源断信号がオフ状態であるか否かを確認する電源断信号確認処理を実行する（ステップS83）。遊技機に対する電力供給が開始されたときに、+3.0V電源などの各種電源の出力電圧は徐々に規定値に達するのであるが、ステップS83の処理によって、すなわち、電源断信号がオフ状態である（ハイレベルになっている）ことを確認することによりCPU 56は電源電圧が安定したことを確認することができる。なお、ノイズなどの影響で誤検出してしまう可能性もあるため、電源断信号の確認は所定回数（例えば5回）連続して実行される。

40

50

【0312】

電源断信号がオン状態（ローレベル）である場合には（ステップS83のN）、CPU56は、無限ループの処理を繰り返し実行させることにより制御状態を待機状態に移行させる。電源断信号がオフ状態（ハイレベル）である場合には（ステップS83のY）、CPU56は、ウェイトカウンタ2に、初期化ウェイト回数指定値2をセットする（ステップS84）。なお、ウェイトカウンタ1、2として、遊技制御用マイクロコンピュータ560が内蔵する汎用のレジスタが用いられる。そして、ウェイトカウンタ2の値が0になるまでウェイトカウンタ2の値を1ずつ減算する（ステップS85、S86）。ウェイトカウンタ2の値が0になったらウェイトカウンタ1の値を1減算し（ステップS87）、ウェイトカウンタ1の値が0になっていなければ（ステップS88）、ステップS82に戻る。ウェイトカウンタ1の値が0になっていれば、ソフトウェア遅延処理を終了する。

10

【0313】

以上のようなソフトウェア遅延処理によって、ほぼ、 $[(\text{初期化ウェイト回数指定値1}) \times (\text{初期化ウェイト回数指定値2}) \times (\text{ステップS83, S84の処理時間})]$ だけ、ソフトウェア遅延処理を実行しない場合に比べて、遊技制御処理の開始タイミングを遅延させることができる。換言すれば、所望の時間だけ遊技制御処理の開始タイミングを遅延させることができるように、初期化ウェイト回数指定値1、2の値が決定される。なお、初期化ウェイト回数指定値1、2の値は、ROM54に設定されている。また、ここで説明したソフトウェア遅延処理は一例であって、他の方法によってソフトウェア遅延処理を実現してもよい。また、遊技制御用マイクロコンピュータ560は、ステップS81、S84でセットされるウェイトカウンタ1およびウェイトカウンタ2の値を入力する手段を備えていてもよい。ウェイトカウンタ1およびウェイトカウンタ2は、遅延時間の長さを定めるパラメータである。従って、ウェイトカウンタ1およびウェイトカウンタ2の値を入力する手段を備えていれば、遅延時間の設定に関する汎用性を向上させることができる。

20

【0314】

ソフトウェア遅延処理を終了すると、CPU56は、内蔵デバイス（内蔵周辺回路）であるCTC（カウンタ／タイマ）およびPIO（パラレル入出力ポート）の設定（初期化）（ステップS5）を行った後、RAM55をアクセス可能状態に設定する（ステップS6）。

30

【0315】

次いで、CPU56は、クリアスイッチがオンされているか否か確認する（ステップS7）。なお、CPU56は、入力ポート1を介して1回だけクリア信号の状態を確認するようにしてもよいが、複数回クリア信号の状態を確認するようにしてもよい。例えば、クリア信号の状態がオフ状態であることを確認したら、所定時間（例えば、0.1秒）の遅延時間をおいた後、クリア信号の状態を再確認する。そのときにクリア信号の状態がオン状態であることを確認したら、クリア信号がオン状態になっていると判定する。また、このときにクリア信号の状態がオフ状態であることを確認したら、所定時間の遅延時間をおいた後、再度、クリア信号の状態を再確認するようにしてもよい。ここで、再確認の回数は、1回または2回に限られず、3回以上であってもよい。また、2回チェックして、チェック結果が一致していなかったときにもう一度確認するようにしてもよい。

40

【0316】

ステップS7でクリアスイッチがオンでない場合には、遊技機への電力供給が停止したときにバックアップRAM領域のデータ保護処理（例えばパリティデータの付加等の電力供給停止時処理（電源断処理））が行われたか否か確認する（ステップS8）。この実施の形態では、電力供給の停止が生じた場合には、バックアップRAM領域のデータを保護するための処理が行われている。そのような電力供給停止時処理が行われていたことを確認した場合には、CPU56は、電力供給停止時処理が行われた、すなわち電力供給停止時の制御状態が保存されていると判定する。電力供給停止時処理が行われていないことを確認した場合には、CPU56は初期化処理を実行する。

50

【0317】

電力供給停止時処理が行われていたか否かは、電力供給停止時処理においてバックアップRAM領域に保存されるバックアップ監視タイマの値が、電力供給停止時処理を実行したことに応じた値（例えば2）になっているか否かによって確認される。なお、そのような確認の仕方は一例であって、例えば、電力供給停止時処理においてバックアップフラグ領域に電力供給停止時処理を実行したことを示すフラグをセットし、ステップS8において、そのフラグがセットされていることを確認したら電力供給停止時処理が行われたと判定してもよい。

【0318】

電力供給停止時の制御状態が保存されていると判定したら、CPU56は、バックアップRAM領域のデータチェック（この例ではパリティチェック）を行う（ステップS9）。この実施の形態では、クリアデータ（00）をチェックサムデータエリアにセットし、チェックサム算出開始アドレスをポインタにセットする。また、チェックサムの対象になるデータ数に対応するチェックサム算出回数をセットする。そして、チェックサムデータエリアの内容とポインタが指すRAM領域の内容との排他的論理和を演算する。演算結果をチェックサムデータエリアにストアするとともに、ポインタの値を1増やし、チェックサム算出回数の値を1減算する。以上の処理が、チェックサム算出回数の値が0になるまで繰り返される。チェックサム算出回数の値が0になったら、CPU56は、チェックサムデータエリアの内容の各ビットの値を反転し、反転後のデータをチェックサムにする。

【0319】

電力供給停止時処理において、上記の処理と同様の処理によってチェックサムが算出され、チェックサムはバックアップRAM領域に保存されている。ステップS9では、算出したチェックサムと保存されているチェックサムとを比較する。不測の停電等の電力供給停止が生じた後に復旧した場合には、バックアップRAM領域のデータは保存されているはずであるから、チェック結果（比較結果）は正常（一致）になる。チェック結果が正常でないということは、バックアップRAM領域のデータが、電力供給停止時のデータとは異なっている可能性があることを意味する。そのような場合には、内部状態を電力供給停止時の状態に戻すことができないので、電力供給の停止からの復旧時でない電源投入時に実行される初期化処理（ステップS10～S14の処理）を実行する。

【0320】

チェック結果が正常であれば、CPU56は、遊技制御手段の内部状態と演出制御手段等の電気部品制御手段の制御状態を電力供給停止時の状態に戻すための遊技状態復旧処理を行う。具体的には、ROM54に格納されているバックアップ時設定テーブルの先頭アドレスをポインタに設定し（ステップS91）、バックアップ時設定テーブルの内容を順次作業領域（RAM55内の領域）に設定する（ステップS92）。作業領域はバックアップ電源によって電源バックアップされている。バックアップ時設定テーブルには、作業領域のうち初期化してもよい領域についての初期化データが設定されている。ステップS91およびS92の処理によって、作業領域のうち初期化してはならない部分については、保存されていた内容がそのまま残る。初期化してはならない部分とは、例えば、電力供給停止前の遊技状態を示すデータ（特別図柄プロセスフラグなど）、出力ポートの出力状態が保存されている領域（出力ポートバッファ）、未払出賞球数を示すデータが設定されている部分などである。

【0321】

また、CPU56は、ROM54に格納されているバックアップ時コマンド送信テーブルの先頭アドレスをポインタに設定し（ステップS93）、ステップS15に移行する。なお、ステップS93において他の制御基板におけるマイクロコンピュータ（音／ランプ制御用マイクロコンピュータ100b、図柄制御用マイクロコンピュータ100a）の制御状態を復旧させるためのコマンド（復旧コマンド）が送信される。復旧コマンドとして、電力供給停止時の遊技状態に応じた遊技演出の実行を指定する通常表示コマンド（E401（H））、特別表示コマンド（E402（H））および高確率潜伏表示コマンド（E

10

20

30

40

50

403(H))が設けられている(図61参照)。CPU56は、遊技状態に応じたフラグ(後述する確変フラグ、時短フラグおよび高確率潜伏状態フラグ)を確認し、電力供給停止時の遊技状態に応じた遊技演出の実行を指定する復旧コマンドを他の制御基板のマイクロコンピュータに送信する。他の制御基板のマイクロコンピュータは、そのような復旧コマンドの受信にもとづいて各種の演出装置(電気部品)を用いて遊技状態に応じた遊技演出を実行する。なお、この実施の形態では、復旧コマンドは、音/ランプ制御用マイクロコンピュータ100bに送信された後に、音/ランプ制御用マイクロコンピュータ100bから図柄制御用マイクロコンピュータ100aに送信される。このとき、音/ランプ制御用マイクロコンピュータ100bは、遊技制御用マイクロコンピュータ560からの復旧コマンドをそのまま図柄制御用マイクロコンピュータ100aに送信してもよいし、遊技制御用マイクロコンピュータ560からの復旧コマンドを加工した後に図柄制御用マイクロコンピュータ100aに送信してもよい。

10

【0322】

初期化処理では、CPU56は、まず、RAMクリア処理を行う(ステップS10)。なお、RAM55の全領域を初期化せず、所定のデータをそのままにしてもよい。また、ROM54に格納されている初期化時設定テーブルの先頭アドレスをポインタに設定し(ステップS11)、初期化時設定テーブルの内容を順次領域に設定する(ステップS12)。

【0323】

ステップS11およびS12の処理によって、例えば、普通図柄判定用乱数カウンタ、普通図柄判定用バッファ、特別図柄バッファ、総賞球数格納バッファ、特別図柄プロセスフラグ、賞球中フラグ、球切れフラグなど制御状態に応じて選択的に処理を行うためのフラグに初期値が設定される。また、出力ポートバッファにおける接続確認信号を出力する出力ポートに対応するビットがセット(接続確認信号のオン状態に対応)される。

20

【0324】

また、CPU56は、ROM54に格納されている初期化時コマンド送信テーブルの先頭アドレスをポインタに設定し(ステップS13)、その内容に従ってサブ基板を初期化するための初期化コマンドをサブ基板に送信する処理を実行する(ステップS14)。初期化コマンドとして、可変表示装置9に表示される初期図柄を示すコマンドや払出制御基板37への初期化コマンド等を使用することができる。

30

【0325】

また、CPU56は、各乱数回路503a、503bを初期設定する乱数回路設定処理を実行する(ステップS15a)。この場合、CPU56は、乱数回路設定プログラム551に従って処理を実行することによって、各乱数回路503a、503bにランダムRの値を更新させるための設定を行う。

【0326】

また、CPU56は、シリアル通信回路505を初期設定するシリアル通信回路設定処理を実行する(ステップS15b)。この場合、CPU56は、シリアル通信回路設定プログラム556に従って処理を実行することによって、シリアル通信回路505に払出制御用マイクロコンピュータとシリアル通信させるための設定を行う。

40

【0327】

シリアル通信回路505を初期設定すると、CPU56は、シリアル通信回路505の割り込み要求に応じて実行する割込処理の優先順位を初期設定する(ステップS15c)。この場合、CPU56は、割込優先順位設定プログラム557に従って処理を実行することによって、割込処理の優先順位を初期設定する。

【0328】

例えば、CPU56は、各割込処理のデフォルトの優先順位を含む所定の割込処理優先順位テーブルに従って、各割込処理の優先順位を初期設定する。図47は、割込処理優先順位テーブルの例を示す説明図である。この実施の形態では、CPU56は、図47に示す割込処理優先順位テーブルに従って、シリアル通信回路505において通信エラーが発

50

生したことを割込原因とする割込処理を優先して実行するように初期設定する。この場合、例えば、CPU 56は、通信エラーが発生したことを割込原因とする割込処理を優先して実行する旨を示す通信エラー時割込優先実行フラグをセットする。

【0329】

なお、この実施の形態では、タイマ割込とシリアル通信回路505からの割り込み要求とが同時に発生した場合、CPU 56は、タイマ割込による割込処理を優先して行う。

【0330】

また、ユーザによって各割込処理のデフォルトの優先順位を変更することもできる。例えば、遊技制御用マイクロコンピュータ560は、ユーザ（例えば、遊技機の製作者）によって設定された割込処理を指定する指定情報を、あらかじめROM 54の所定の記憶領域に記憶している。そして、CPU 56は、ROM 54の所定の記憶領域に記憶された指定情報に従って、割込処理の優先順位を設定する。

【0331】

上記のステップS15a～15cの処理は、ステップS4の内蔵デバイスレジスタの設定の処理において実行されてもよい。

【0332】

また、上述したシリアル通信回路設定処理（ステップS15b）と割り込み優先順位の設定処理（ステップS15c）の実行順序を入れ替えてもよい。すなわち、割り込み優先順位の設定を行った後にシリアル通信回路設定処理（ステップS15b）を行うようにしてもよい。このような構成では、シリアル通信回路505の設定とタイマ割込の設定の前に割り込みの優先順位が決められることになる。

【0333】

次いで、入力ポート1のビット2の状態によって乱数確認信号が入力されているか否かを確認する乱数確認処理を実行する（ステップS89）。この実施の形態において、乱数確認信号は、クロック信号出力回路537から出力されるクロック信号とされている。クロック信号出力回路537からクロック信号が出力されていなければ、乱数回路503において乱数を更新することができなくなるので、乱数回路503に異常が発生していると判断することができる。なお、乱数回路503が正常に動作しているかどうかを確認する別の処理として、クロック信号出力回路537から出力されるクロック信号をウォッチドッグタイマ（待機状態から復帰させるものとは別のウォッチドッグタイマ）に入力させ、そのウォッチドッグタイマはクロック信号出力回路537からのクロック信号が入力されなくなるとカウントを開始し、タイムアウトしたときに乱数回路503の異常を示す信号をCPU 56に出力するようにしてもよい。また、乱数回路503から乱数を複数回抽出し、抽出した乱数値が同一の値であるか否かを判定する処理としてもよい。このような処理によれば、乱数値が同一値であれば、乱数回路503が乱数を更新していないと判断することができる。

【0334】

CPU 56は、乱数確認信号が入力されていないと判断した場合には（ステップS89のN）、乱数回路503の異常を報知する処理を実行する（ステップS90）。例えば、乱数回路503の異常を報知するためのランプ（図示せず）を点灯させる。また、音／ランプ制御基板80bに乱数回路503の異常を報知させるための演出制御コマンドを送信して、乱数回路503の異常を報知するエラー音を音声出力させたり、乱数回路503の異常を報知する所定の点灯パターンでランプを点灯させたりする。また、音／ランプ制御基板80bを介して図柄制御基板80aに乱数回路503の異常を報知させるためのコマンドを送信して、乱数回路503の異常を報知する画面表示を可変表示装置9において実行させたりする。

【0335】

そして、CPU 56は、所定時間（例えば2ms）ごとに定期的にタイマ割込がかかるように遊技制御用マイクロコンピュータ560に内蔵されているCTCのレジスタの設定を行なうタイマ割込設定処理を実行する（ステップS16）。すなわち、初期値として例

えば2msに相当する値が所定のレジスタ(時間定数レジスタ)に設定される。この実施の形態では、2msごとに定期的にタイマ割込がかかるとする。

【0336】

タイマ割込の設定が完了すると、CPU56は、電源断信号が出力されたか否か(オン状態になったか否か)を検出する電源断処理(電源断検出処理)を実行する(ステップS18)。なお、電源断処理は、2ms毎に実行されるタイマ割込処理(遊技制御処理)において実行されてもよい。また、CPU56は、表示用乱数更新処理(ステップS19a)および初期値用乱数更新処理(ステップS19b)を繰り返し実行する。CPU56は、電源断処理、表示用乱数更新処理および初期値用乱数更新処理が実行されるときには割込禁止状態にして(ステップS17)、表示用乱数更新処理および初期値用乱数更新処理の実行が終了すると割込許可状態にする(ステップS20)。

10

【0337】

ステップS20で割込許可状態に設定されると、次にステップS18の処理が実行されて割込禁止状態とされるまで、タイマ割込またはシリアル通信回路505からの割り込み要求を許可する状態となる。そして、割込許可状態に設定されている間に、タイマ割込が発生すると、遊技制御用マイクロコンピュータ560のCPU56は、後述するタイマ割込処理を実行する。また、割込許可状態に設定されている間に、シリアル通信回路505から割り込み要求が発生すると、遊技制御用マイクロコンピュータ560のCPU56は、後述する各割込処理(通信エラー割込処理や、受信時割込処理、送信完了割込処理)を実行する。また、本実施の形態では、ステップS17からステップS20までのループ処理の前にステップS15bを実行することによって、タイマ割込または割り込み要求を許可する状態に設定される前に、割込処理の優先順位を設定または変更する処理が行われる。

20

【0338】

なお、表示用乱数とは、特別図柄表示器8の表示を決定するための乱数である。この実施の形態では、表示用乱数として、特別図柄の変動パターンを決定するための変動パターン決定用乱数や、大当りを発生させない場合にリーチとするか否かを決定するためのリーチ判定用乱数が用いられる。また、表示用乱数更新処理とは、表示用乱数を発生するためのカウンタのカウント値を更新する処理である。

【0339】

また、初期値用乱数更新処理とは、初期値用乱数を発生するためのカウンタのカウント値を更新する処理である。初期値用乱数とは、大当りの種類を決定するための判定用乱数(例えば、大当りを発生させる特別図柄を決定するための大当り図柄決定用乱数や、大当りの種別を決定するための大当り種別決定用乱数、普通図柄にもとづく当りを発生させるか否かを決定するための普通図柄当たり判定用乱数)を発生するためのカウンタ(判定用乱数発生カウンタ)等のカウント値の初期値を決定するための乱数である。後述する遊技制御処理(遊技制御用マイクロコンピュータが、遊技機に設けられている可変表示装置9、可変入賞球装置15、球払出装置97等の遊技用の装置を、自身で制御する処理、または他のマイクロコンピュータに制御させるために指令信号を送信する処理、遊技装置制御処理ともいう)において、判定用乱数発生カウンタのカウント値が1周すると、そのカウンタに初期値が設定される。

30

40

【0340】

なお、表示用乱数更新処理および初期値用乱数更新処理が実行されるときに割込禁止状態にされるのは、表示用乱数更新処理および初期値用乱数更新処理が後述するタイマ割込処理でも実行される(すなわち、タイマ割込処理のステップS24、S25でも同じ処理が実行される)ことから、タイマ割込処理における処理と競合してしまうのを避けるためである。すなわち、ステップS19a、S19bの処理中にタイマ割込が発生してタイマ割込処理中で表示用乱数や初期値用乱数を発生するためのカウンタのカウント値を更新してしまったのでは、カウント値の連続性が損なわれる場合がある。しかし、ステップS19a、S19bの処理中では割込禁止状態にしておけば、そのような不都合が生ずること

50

はない。

【0341】

以上のように、遊技店員等は、クリアスイッチ921をオン状態してクリア信号が出力される状態にしながら遊技機に対する電力供給を開始する（例えば電源スイッチ914をオンする）ことによって、容易に初期化処理を実行させることができる。すなわち、RAMクリア等を行うことができる。

【0342】

次に、メイン処理における乱数回路設定処理（ステップS15a）を説明する。図48は、乱数回路設定処理を示すフローチャートである。乱数回路設定処理において、CPU56は、まず、乱数回路設定プログラム551に含まれる乱数回路選択モジュール551fに従って処理を実行し、遊技制御用マイクロコンピュータ560が内蔵する各乱数回路503a、503bの中から、遊技制御処理を含むタイマ割込処理の実行時に用いる乱数回路を設定する（ステップS151）。例えば、遊技制御用マイクロコンピュータ560は、ユーザ（例えば、遊技機の製作者）によって設定されたタイマ割込処理の実行時に用いる乱数回路503を指定する指定情報を、あらかじめROM54の所定の記憶領域に記憶している。そして、CPU56は、ROM54の所定の記憶領域に記憶された指定情報に従って、12ビット乱数回路503aまたは16ビット乱数回路503bのいずれかを選択し、選択した乱数回路をタイマ割込処理の実行時に用いる乱数回路として設定する。なお、タイマ割込処理の実行時に用いる乱数回路として、12ビット乱数回路503aおよび16ビット乱数回路503bの両方を設定してもよい。

【0343】

上記のように、ステップS151において、更新可能な数値データの所定の範囲が異なる複数の乱数回路（12ビット乱数回路503aと16ビット乱数回路503b）について、それぞれ使用可能とするか否かを設定するので、タイマ割込処理の実行中に不要な乱数を処理することを防止することができ、遊技制御用マイクロコンピュータ560の制御負担を軽減することができる。例えば、遊技制御用マイクロコンピュータ560が、2つの乱数回路503a、503bのうちの一方が発生する乱数のみを用いて遊技制御処理を行う場合、遊技制御処理に用いない方の乱数回路における乱数を更新する処理を行わないようにでき、遊技制御用マイクロコンピュータ560の制御負担を軽減できる。

【0344】

CPU56は、ステップS151で使用する乱数回路503を設定すると、例えば、乱数回路起動レジスタ541にデータを書き込まない等により、カウンタ521やクロック信号出力回路524の動作を停止させることで、使用しないように設定した方の乱数回路のカウンタ521がカウント値Cを更新しないようにする。また、例えば、使用しないように設定した方の乱数回路のカウンタ521はカウント値Cを更新するが、CPU56は出力制御信号SCを出力しないようにし、乱数値記憶回路531から乱数を読み出せないように制御してもよい。また、例えば、CPU56は、タイマ回路534に使用しないように設定した方の乱数回路の乱数値取込レジスタ539に乱数値取込データ「01h」を書き込ませないようにし、ラッチ信号生成回路533がラッチ信号SLを乱数値記憶回路531に出力しないように制御してもよい。

【0345】

上記のように、使用する乱数回路503を設定するようにすることによって、使用する乱数回路503だけを設定することによって、生成する乱数の値の範囲を適切に設定することができる。また、タイマ割込処理の実行中に不要な乱数を処理することを防止することができ、遊技制御用マイクロコンピュータ560の制御負担を軽減することができる。例えば、大当たりとする判定値として離れた値（例えば、「1」と「100」を含む判定テーブルを用いて大当たり判定を行う場合、所定の大当たり確率（例えば、100分の1）で大当たりと判定するようにすると、16ビット乱数回路503bによる乱数を用いるよりも、12ビット乱数回路503aによる乱数を用いた方が、処理すべき判定値の種類数が少なく済み、遊技制御用マイクロコンピュータ560の制御負担が軽減される。

【0346】

また、CPU56は、乱数回路設定プログラム551に含まれる乱数最大値設定モジュール551aに従って処理を実行し、ユーザによって予め設定された乱数最大値を指定する乱数最大値設定データを、乱数最大値設定レジスタ535に書き込む（ステップS152）。そのようにすることによって、ユーザによって予め設定されたランダムRの乱数最大値を乱数回路503に設定する。なお、タイマ割込実行時に用いる乱数回路として12ビット乱数回路503aを設定した場合、CPU56は、乱数最大値（「0」～「4095」のうちのいずれかの値）を指定する乱数最大値設定データを、12ビット乱数回路503aの乱数最大値設定レジスタ535に書き込む。また、タイマ割込実行時に用いる乱数回路として16ビット乱数回路503bを設定した場合、CPU56は、乱数最大値（「0」～「65535」のうちのいずれかの値）を指定する乱数最大値設定データを、16ビット乱数回路503bの乱数最大値設定レジスタ535に書き込む。

10

【0347】

なお、この実施の形態では、乱数最大値として「0」～「255」が設定された場合には、後述する乱数最大値再設定処理において乱数最大値を所定値に設定しなおすことになる。また、乱数最大値として「256」以上の値を書き込む制御を行った場合であっても、データ化けなどの原因によって「0」～「255」の値が乱数最大値設定レジスタ535に設定されてしまった場合には、後述する乱数最大値再設定処理において乱数最大値を所定値に設定しなおす。

20

【0348】

上記のように、ステップS152において、生成する乱数の最大値をあらかじめ乱数最大値設定レジスタ535に設定するので、タイマ割込処理の実行中に用いる乱数の範囲より大きい値の乱数を生成してしまうことを防止でき、乱数回路503および遊技制御用マイクロコンピュータ560の処理負担を軽減することができる。

【0349】

また、CPU56は、ステップS152で乱数最大値設定レジスタ535に設定した乱数最大値が所定の下限值以下でないかを確認し、乱数最大値が下限値以下である場合には、乱数最大値設定レジスタ535に設定されている乱数最大値の再設定を行う乱数最大値再設定処理を実行する（ステップS153）。

30

【0350】

また、CPU56は、乱数回路設定プログラム551に含まれる初期値変更モジュール551eに従って処理を実行し、乱数回路503のカウンタ521が更新するカウント値の初期値を変更させる初期値変更処理を実行する（ステップS154）。

【0351】

また、CPU56は、乱数回路設定プログラム551に含まれる乱数更新方式選択モジュール551bに従って処理を実行し、乱数更新方式選択データを乱数更新方式選択レジスタ540に書き込む（ステップS155）。そのようにすることによって、乱数回路503の乱数更新方式を設定する。なお、この実施の形態では、CPU56は、乱数更新方式選択データ「10h」を乱数更新方式選択レジスタ540に書き込むものとする。すなわち、この実施の形態では、乱数回路503の乱数更新方式として第2の乱数更新方式が設定される。

40

【0352】

また、CPU56は、乱数回路設定プログラム551に含まれる周期設定モジュール551cに従って処理を実行し、ユーザによって予め設定された乱数発生用クロック信号SI1の周期を指定する周期設定データ（基準クロック信号を何分周させるかを設定するためのデータ）を、周期設定レジスタ537に書き込む（ステップS156）。そのようにすることによって、ユーザによって予め設定された乱数発生用クロック信号SI1の周期を乱数回路503に設定する。

【0353】

また、CPU56は、乱数回路503のカウンタ521によって所定の最終値までカウ

50

ント値が更新されたときに、カウンタ521に inputsする初期値を更新するか否かを設定する（ステップS157）。例えば、遊技制御用マイクロコンピュータ560は、カウンタ521によって所定の最終値までカウント値が更新されたときに、カウンタ521に inputsする初期値を更新するか否かを示す設定値を、予めユーザによって設定されROM54の所定領域に記憶している。そして、CPU56は、ROM54の所定の記憶領域に記憶された所定の設定値に従って、カウンタ521によって所定の最終値までカウント値が更新されたときに、カウンタ521に inputsする初期値を更新するか否かを設定する。この実施の形態では、CPU56は、ステップS157において、カウンタ521に inputsする初期値を更新すると判定すると、所定の最終値までカウント値が更新されたとき（カウンタ521から通知信号を入力したとき）に初期値を更新する旨を示す初期値更新フラグをセッ 10
トする。この実施の形態では、ステップS157において、所定の設定値に従って初期値更新フラグをセッ トする場合を説明する。そして、CPU56は、後述する乱数回路初期値更新処理において、初期値更新フラグがセッ トされていることにもとづいて、カウンタ521が出力するカウント値の初期値を更新する。

【0354】

なお、CPU56によってカウント値の初期値を変更するのでなく、最終値までカウント値を更新したことにもとづいて、乱数回路503側でカウント値の初期値を所定値に変更するようにしてもよい。例えば、乱数回路503は、初期値を更新する旨を示す初期値更新データを格納する初期値更新データレジスタ、及び初期値の変更を行う初期値変更回路を備え、CPU56は、ステップS157において、初期値更新データを初期値更新デ 20
ータレジスタに設定する。この場合、カウンタ521は、最終値までカウント値を更新すると、通知信号を初期値変更回路に出力する。すると、初期値変更回路は、初期値更新データレジスタに初期値更新データが設定されているか否かを確認する。そして、初期値変更回路は、初期値更新データが設定されていることを確認すると、カウント値の初期値を所定値に変更する。なお、初期値変更回路は、後述するカウント値順列変更処理において、順列を変更したカウント値の初期値を変更してもよい。

【0355】

また、CPU56は、乱数回路503のカウンタ521によって所定の最終値までカウント値が更新されたときに、カウンタ521が更新するカウント値の順列を変更するか否かを設定する（ステップS158）。例えば、遊技制御用マイクロコンピュータ560は 30
、カウンタ521によって所定の最終値までカウント値が更新されたときに、カウンタ521が出力するカウント値の順列を変更するか否かを示す設定値を、予めユーザによって設定されROM54の所定領域に記憶している。そして、CPU56は、ROM54の所定の記憶領域に記憶された所定の設定値に従って、カウンタ521によって所定の最終値までカウント値が更新されたときに、カウンタ521が出力するカウント値の順列を変更するか否かを設定する。この実施の形態では、CPU56は、ステップS158において、カウンタ521が出力するカウント値の順列を変更すると判定すると、所定の最終値までカウント値が更新されたときにカウント値の順列を変更する旨を示すカウント値順列変更フラグをセッ トする。この実施の形態では、ステップS158において、所定の設定値 40
に従ってカウント値順列変更フラグをセッ トする場合を説明する。そして、CPU56は、後述するカウント値順列変更処理において、カウント値順列変更フラグがセッ トされていることにもとづいて、カウンタ521が出力するカウント値の順列を変更する。

【0356】

なお、CPU56の制御によってカウント値の順列を変更するのでなく、最終値までカウント値を更新したことにもとづいて、乱数回路503側でカウント値の順列変更するようにしてもよい。例えば、乱数回路503は、カウント値の順列を変更する旨を示す順列変更データを格納する順列変更データレジスタを備え、CPU56は、ステップS158 50
において、順列変更データを順列変更データレジスタに設定する。この場合、カウンタ521が最終値までカウント値を更新すると、通知信号をカウント値順列変更回路523に出力し、通知信号を入力したカウント値順列変更回路523は、順列変更データレジスタ

に順列変更データが設定されているか否かを確認する。そして、カウント値順列変更回路523は、順列変更データが設定されていることを確認すると、カウント値の順列を変更する。

【0357】

そして、CPU56は、乱数回路設定プログラム551に含まれる乱数回路起動モジュール551dに従って処理を実行し、乱数回路起動データ「80h」を乱数回路起動レジスタ541に書き込む（ステップS159）。そのようにすることによって、CPU56は、乱数回路503を起動させる。

【0358】

次に、乱数回路設定処理における乱数最大値再設定処理（ステップS153）を説明する。図49は、乱数最大値再設定処理を示すフローチャートである。乱数最大値再設定処理において、CPU56は、乱数最大値設定レジスタ535に設定されている乱数最大値を読み込む（ステップS153a）。なお、タイマ割込処理の実行時に用いる乱数回路として12ビット乱数回路503aを設定した場合、CPU56は、12ビット乱数回路503aの乱数最大値設定レジスタ535に設定されている乱数最大値を読み込む。また、タイマ割込処理の実行時に用いる乱数回路として16ビット乱数回路503bを設定した場合、CPU56は、16ビット乱数回路503bの乱数最大値設定レジスタ535に設定されている乱数最大値を読み込む。

10

【0359】

CPU56は、読み込んだ乱数最大値が所定の下限值以下であるか否かを判定する（ステップS153b）。12ビット乱数回路503aを設定した場合、12ビット乱数回路503aにおいて設定可能な乱数最大値が「256」から「4095」までであるので、CPU56は、12ビット乱数回路503aの乱数最大値設定レジスタ535から読み込んだ乱数最大値が下限値「256」以下であるか否かを判定する。また、16ビット乱数回路503bを設定した場合、16ビット乱数回路503bにおいて設定可能な乱数最大値が「512」から「65535」までであるので、CPU56は、16ビット乱数回路503bの乱数最大値設定レジスタ535から読み込んだ乱数最大値が下限値「512」以下であるか否かを判定する。

20

【0360】

読み込んだ乱数最大値が下限値以下である場合、CPU56は、乱数最大値設定レジスタ535に設定される乱数最大値を所定値に設定しなおす（ステップS153c）。12ビット乱数回路503aを設定した場合、12ビット乱数回路503aの乱数最大値設定レジスタ535から読み込んだ乱数最大値が下限値「256」以下であると判定すると、CPU56は、乱数最大値設定レジスタ535に設定される乱数最大値を所定値「4095」に設定しなおす。また、16ビット乱数回路503bを設定した場合、16ビット乱数回路503bの乱数最大値設定レジスタ535から読み込んだ乱数最大値が下限値「512」以下であると判定すると、CPU56は、乱数最大値設定レジスタ535に設定される乱数最大値を所定値「65535」に設定しなおす。

30

【0361】

以上のように、乱数最大値設定レジスタ535に設定した乱数最大値が所定の下限值以下となっている場合には、乱数最大値を所定値に設定しなおす。そのため、遊技制御用マイクロコンピュータ560の誤動作や、無線信号を用いた取り込み信号を遊技機に対して発生させるなどの行為によって、過度に小さい値が乱数の最大値として設定されてしまうことを防止することができる。従って、最小値から最大値までの値の範囲が過度に小さい乱数を生成する事態が発生することを防止することができる。

40

【0362】

次に、乱数回路設定処理における初期値変更処理（ステップS154）を説明する。図50は、初期値変更処理を示すフローチャートである。初期値変更処理において、CPU56は、まず、ユーザプログラム実行データエリアの1F97h番地の領域に記憶されている初期値変更方式設定データを読み出し、ユーザによって選択された初期値変更方式を

50

特定する。この場合、CPU 56は、読み出した初期値変更方式設定データの値が「01h」であるか否かを判定することによって（ステップS154a）、ユーザによって選択された初期値変更方式を特定する。

【0363】

初期値変更方式設定データの値が「01h」である場合、CPU 56は、乱数回路503のカウンタ521に入力する初期値を、遊技制御用マイクロコンピュータ560固有のIDナンバにもとづいて設定された値に変更する（ステップS154b）。例えば、遊技制御用マイクロコンピュータ560は、ROM 54の所定の記憶領域に、遊技制御用マイクロコンピュータ560のIDナンバと、IDナンバにもとづいて所定の演算を行って求めた演算値とを予め対応付けて記憶している。そして、ステップS154bにおいて、CPU 56は、予め記憶するIDナンバにもとづく演算値にカウント値の初期値を変更させる。また、例えば、ステップS154bにおいて、CPU 56は、遊技制御用マイクロコンピュータ560のIDナンバと所定値とを演算して（例えば、IDナンバ（例えば、「100」）に所定値（例えば、「100」）を加算して）求めた演算値（例えば、「200」）にカウント値の初期値を設定する。また、カウンタ521に入力する初期値を変更すると、CPU 56は、カウント値の初期値を変更した旨を示す初期値変更フラグをセットする（ステップS154c）。

10

【0364】

なお、CPU 56は、ステップS154bにおいてカウンタ521に入力する初期値を変更する際、乱数回路503の比較器522の乱数最大値設定レジスタ535の値を確認し、IDナンバにもとづいて設定された値が乱数最大値以上であるか否かを判断する。そして、IDナンバにもとづいて設定された値が乱数最大値以上であると判断すると、CPU 56は、カウンタ521に入力する初期値を変更しない（例えば、初期値を「0」に設定しなおす）。そのようにすることによって、カウント値の初期値が乱数最大値以上の値に設定されてしまう事態を防止することができる。

20

【0365】

ステップS154aにおいて、初期値変更方式設定データの値が「01h」でない場合（すなわち、ユーザプログラム実行データエリアの1F97h番地の領域に記憶されている初期値変更方式設定データの値が「00h」である場合）、CPU 56は、カウント値の初期値の変更を行わず、そのまま初期値変更処理を終了し、ステップS155に移行する。

30

【0366】

乱数回路設定処理が実行されることによって、遊技制御処理を含むタイマ割込処理の実行時に乱数回路503に各種信号が入力され、乱数回路503内で各種信号が生成される。図51は、乱数回路503に各信号が入力されるタイミング、および乱数回路503内で各信号が生成されるタイミングを示すタイミングチャートである。

【0367】

図51に示すように、クロック回路501は、所定周期ごと（図51に示すタイミングT11, T21, ...）に、出力端子の信号レベルをローレベルからハイレベルに立ち上げることによって、乱数回路503に基準クロック信号CLK（図51（A）参照）を入力する。

40

【0368】

クロック信号出力回路524は、クロック回路501から供給された基準クロック信号CLKを分周し、乱数発生用クロック信号S11（図51（B）参照）を生成する。例えば、クロック信号出力回路524は、タイミングT11, T12, ...で出力端子の信号レベルをローレベルからハイレベルに立ち上げ、タイミングT21, T22, ...で信号レベルをハイレベルからローレベルに立ち下げることによって、乱数発生用クロック信号S11を出力する。

【0369】

なお、図51に示す例では、説明を分かりやすくするために、クロック信号出力回路5

50

24が基準クロック信号CLKを2分周して乱数発生用クロック信号SI1を生成する場合を示している。しかし、実際の乱数回路では、周期設定レジスタ537に設定可能な周期は「システムクロック信号の周期×128×7」から「システムクロック信号の周期×128×256」までである。従って、実際の乱数回路では、クロック信号出力回路524は、「システムクロック信号の周期×128×7」から「システムクロック信号の周期×128×256」までの範囲で周期設定レジスタ537に設定される周期設定データ「07h」～「FFh」に対応した分周比で、基準クロック信号CLKを分周し乱数発生用クロック信号SI1を生成する。クロック信号出力回路524によって生成された乱数発生用クロック信号SI1は、セクタ528と反転回路532とに出力される。

【0370】

10

この実施の形態では、乱数回路設定処理において、第2の乱数更新方式が設定されるので、乱数更新方式選択信号出力回路527から第2の乱数更新方式選択信号がセクタ528に入力される。セクタ528は、乱数更新方式選択信号出力回路527から第2の乱数更新方式選択信号が入力されると、クロック信号出力回路524から入力した乱数発生用クロック信号SI1を選択してカウンタ521に出力する。カウンタ521は、セクタ528から供給される乱数発生用クロック信号SI1の立ち上がりエッジが入力されるごとに、カウント値Cを更新してカウント値順列変更回路523に出力する。

【0371】

反転回路532は、クロック信号出力回路524から入力した乱数発生用クロック信号SI1の信号レベルを反転させることによって、反転クロック信号SI2（図51（C）参照）を生成する。例えば、反転回路532は、タイミングT11、T12、・・・で出力端子の信号レベルをハイレベルからローレベルに立ち下げ、タイミングT21、T22、・・・で信号レベルをローレベルからハイレベルに立ち上げることによって、反転クロック信号SI2を出力する。また、反転回路532によって生成された反転クロック信号SI2は、ラッチ信号生成回路533に出力される。

20

【0372】

ラッチ信号生成回路533には、入賞検出信号SS（図51（D）参照）がタイマ回路534に入力されてから所定時間（例えば3ミリ秒）が経過すると、乱数値読取信号出力回路526から乱数値読取信号が入力される。例えば、乱数値読取信号出力回路526の出力端子の信号レベルがローレベルからハイレベルに立ち上がることによって、ラッチ信号生成回路533に乱数値読取信号が入力される。ラッチ信号生成回路533は、乱数更新方式選択信号出力回路527から第2の乱数更新方式選択信号が入力されたことに応じて、乱数値読取信号出力回路526から入力する乱数値読取信号を反転回路532から供給される反転クロック信号SI2の立ち上がりエッジに同期させて、ラッチ信号SL（図51（E）参照）を出力する。

30

【0373】

以上のように、乱数回路503は、タイミングT11、T12、T13・・・においてカウント値Cを更新し、タイミングT11、T12、T13とは異なるタイミングT22においてラッチ信号SLを出力させ、乱数値記憶回路531に乱数値を記憶する。

【0374】

40

次に、メイン処理におけるシリアル通信回路設定処理（ステップS15a）を説明する。図52は、シリアル通信回路設定処理を示すフローチャートである。シリアル通信回路設定処理において、CPU56は、まず、シリアル通信回路設定プログラム556に従って処理を実行し、シリアル通信回路505のボーレートを設定する（ステップS1511）。この場合、CPU56は、シリアル通信回路505のボーレートレジスタ702に、設定するボーレートに対応する設定値を書き込む。例えば、遊技制御用マイクロコンピュータ560は、ユーザ（例えば、遊技機の製作者）によって設定された設定値を指定する指定情報を、あらかじめROM54の所定の記憶領域に記憶している。そして、CPU56は、ROM54の所定の記憶領域に記憶された指定情報に従って、設定値をボーレートレジスタ702に書き込む。例えば、CPU56によってボーレート設定値「156」が

50

設定された場合、ボーレート生成回路703によって、式(1)およびクロック周波数「3MHz」を用いてボーレート「1201.92bps」が生成される。

【0375】

また、CPU56は、シリアル通信回路505が送受信するデータのデータフォーマットを設定する(ステップS1512)。この場合、CPU56は、制御レジスタA707の各ビットの値を設定することによって、送受信データのデータ長(8ビットまたは9ビット)、パリティ機能の使用の有無を設定する。例えば、遊技制御用マイクロコンピュータ560は、ユーザ(例えば、遊技機の製作者)によって設定された制御レジスタA707の各ビットの値を指定する指定情報を、あらかじめROM54の所定の記憶領域に記憶している。そして、CPU56は、ROM54の所定の記憶領域に記憶された指定情報に従って、制御レジスタA707の各ビットの値を設定する。

10

【0376】

また、CPU56は、シリアル通信回路505が発生する各割込要求を許可するか否かを設定する(ステップS1513)。この場合、CPU56は、制御レジスタB708のビット5、6、7の値を設定することによって、送信時割り込み要求(データの送信時に行う割り込み要求である送信割り込み要求や、送信完了時に行う送信完了割り込み要求)および受信時割り込み要求を許可するか否かを設定する。なお、CPU56は、送信時割り込み要求と受信時割り込み要求との両方を許可するように設定することも可能であり、送信時割り込み要求と受信時割り込み要求とのいずれか一方のみを許可するように設定することも可能である。また、CPU56は、制御レジスタC709のビット0~3の値を設定することによって、各通信エラー時割り込み要求を許可するか否かを設定する。例えば、遊技制御用マイクロコンピュータ560は、ユーザ(例えば、遊技機の製作者)によって設定された制御レジスタB708および制御レジスタC709の各ビットの値を指定する指定情報を、あらかじめROM54の所定の記憶領域に記憶している。そして、CPU56は、ROM54の所定の記憶領域に記憶された指定情報に従って、制御レジスタB708および制御レジスタC709の各ビットの値を設定する。

20

【0377】

図53および図54は、ステップS18の電源断処理の一例を示すフローチャートである。電源断処理において、CPU56は、まず、電源断信号が出力されているか否か(オン状態になっているか否か)を確認する(ステップS450)。オン状態でなければ、RAM55に形成されているバックアップ監視タイマの値を0クリアする(ステップS451)。オン状態であれば、バックアップ監視タイマの値を1増やす(ステップS452)。そして、バックアップ監視タイマの値が判定値(例えば2)と一致すれば(ステップS453)、ステップS454以降の電力供給停止時処理すなわち電力の供給停止のための準備処理を実行する。つまり、遊技の進行を制御する状態から遊技状態を保存させるための電力供給停止時処理(電源断時制御処理)を実行する状態に移行する。なお、「RAMに形成されている」とは、RAM内の領域であることを意味する。

30

【0378】

バックアップ監視タイマと判定値とを用いることによって、判定値に相当する時間だけ電源断信号のオン状態が継続したら、電力供給停止時処理が開始される。すなわち、ノイズ等で一瞬電源断信号のオン状態が発生しても、誤って電力供給停止時処理が開始されるようなことはない。なお、バックアップ監視タイマの値は、遊技機への電力供給が停止しても、所定期間はバックアップ電源によって保存される。従って、メイン処理におけるステップS8では、バックアップ監視タイマの値が判定値と同じ値になっていることによって、電力供給停止時処理の処理結果が保存されていることを確認できる。

40

【0379】

電力供給停止時処理において、CPU56は、パリティデータを作成する(ステップS454~S463)。すなわち、まず、クリアデータ(00)をチェックサムデータエリアにセットし(ステップS454)、電力供給停止時でも内容が保存されるべきRAM領域の先頭アドレスに相当するチェックサム算出開始アドレスをポインタにセットする(ス

50

テップS 4 5 5)。また、電力供給停止時でも内容が保存されるべきRAM領域の最終アドレスに相当するチェックサム算出回数をセットする(ステップS 4 5 6)。

【0 3 8 0】

次いで、チェックサムデータエリアの内容とポインタが指すRAM領域の内容との排他的論理和を演算する(ステップS 4 5 7)。演算結果をチェックサムデータエリアにストアするとともに(ステップS 4 5 8)、ポインタの値を1増やし(ステップS 4 5 9)、チェックサム算出回数の値を1減算する(ステップS 4 6 0)。そして、ステップS 4 5 7～S 4 6 0の処理を、チェックサム算出回数の値が0になるまで繰り返す(ステップS 4 6 1)。

【0 3 8 1】

チェックサム算出回数の値が0になったら、CPU 5 6は、チェックサムデータエリアの内容の各ビットの値を反転する(ステップS 4 6 2)。そして、反転後のデータをチェックサムデータエリアにストアする(ステップS 4 6 3)。このデータが、電源投入時にチェックされるパリティデータとなる。次いで、RAMアクセスレジスタにアクセス禁止値を設定する(ステップS 4 7 1)。以後、内蔵RAM 5 5のアクセスができなくなる。

【0 3 8 2】

さらに、CPU 5 6は、ROM 5 4に格納されているポートクリア設定テーブルの先頭アドレスをポインタにセットする(ステップS 4 7 2)。ポートクリア設定テーブルにおいて、先頭アドレスには処理数(クリアすべき出力ポートの数)が設定され、次いで、出力ポートのアドレスおよび出力値データ(クリアデータ：出力ポートの各ビットのオフ状態の値)が、処理数分の出力ポートについて順次設定されている。

【0 3 8 3】

CPU 5 6は、ポインタが指すアドレスのデータ(すなわち処理数)をロードする(ステップS 4 7 3)。また、ポインタの値を1増やし(ステップS 4 7 4)、ポインタが指すアドレスのデータ(すなわち出力ポートのアドレス)をロードする(ステップS 4 7 5)。さらに、ポインタの値を1増やし(ステップS 4 7 6)、ポインタが指すアドレスのデータ(すなわち出力値データ)をロードする(ステップS 4 7 7)。そして、出力値データを出力ポートに出力する(ステップS 4 7 8)。その後、処理数を1減らし(ステップS 4 7 9)、処理数が0でなければステップS 4 7 4に戻る。処理数が0であれば、すなわち、クリアすべき出力ポートを全てクリアしたら、タイマ割込を停止し(ステップS 4 8 1)、ループ処理に入る。このようにループ処理に入ることにより制御状態が待機状態に移行されたことになる。

【0 3 8 4】

以上の処理によって、電力供給が停止する場合には、ステップS 4 5 4～S 4 8 1の電力供給停止時処理が実行され、電力供給停止時処理が実行されたことを示すデータ(バックアップあり指定値およびチェックサム)がバックアップRAMへストアされ、RAMアクセスが禁止状態にされ、出力ポートがクリアされ、かつ、遊技制御処理を実行するためのタイマ割込が禁止状態に設定される。

【0 3 8 5】

この実施の形態では、RAM 5 5がバックアップ電源によって電源バックアップ(遊技機への電力供給が停止しても所定期間はRAM 5 5の内容が保存されこと)されている。この例では、ステップS 4 5 2～S 4 7 9の処理によって、バックアップ監視タイマの値とともに、電源断信号が出力されたときのRAM 5 5の内容にもとづくチェックサムもRAM 5 5のバックアップ領域に保存される。遊技機への電力供給が停止した後、所定期間内に電力供給が復旧したら、遊技制御手段は、上述したステップS 9 1～S 9 4の処理によって、RAM 5 5に保存されているデータ(電力供給が停止した直前の遊技制御手段による制御状態である遊技状態を示すデータ(例えば、プロセスフラグの状態、大当たり中フラグの状態、確変フラグの状態、出力ポートの出力状態等)を含む)に従って、遊技状態を、電力供給が停止した直前の状態に戻すことができる。なお、電力供給停止の期間が所定期間を越えたらバックアップ監視タイマの値とチェックサムとが正規の値とは異なるは

10

20

30

40

50

ずであるから、その場合には、ステップ S 1 0 ～ S 1 4 の初期化処理が実行される。

【0386】

以上のように、電力供給停止時処理（電力の供給停止のための準備処理）によって、遊技状態を電力供給が停止した直前の状態に戻すためのデータが確実に変動データ記憶手段（この例では R A M 5 5 の一部の領域）に保存される。よって、停電等による電源断が生じて、所定期間内に電源が復旧すれば、遊技状態を電力供給が停止した直前の状態に戻すことができる。

【0387】

また、待機状態中においてウォッチドッグタイマ 6 0 がタイムアウトしたときはステップ S 1 に戻る。この場合も、メイン処理において電源断信号がオフ状態であるか否かが確認される（ステップ S 8 3 参照）。電源供給停止時処理が正常に実行されたときは、電力供給停止時処理が実行されたことを示すデータが設定されているので、ステップ S 9 1 ～ S 9 3 の遊技状態復旧処理が実行される。よって、ウォッチドッグタイマ 6 0 からのタイムアウト信号が入力されたときは、遊技の進行を制御する状態に戻る。従って、電源瞬断等が生じて、遊技制御処理が停止してしまうようなことはなく、自動的に、遊技制御処理が続行される。

【0388】

なお、払出制御基板 3 7 に対して送信される接続確認信号は、出力ポートをクリアする処理によってオフ状態に設定される。また、ステップ 9 2 および S 1 2 の作業領域の設定では、接続確認信号に対応した出力ポートバッファの内容が、接続確認信号のオン状態に対応した値に設定される。そして、ステップ S 3 1 の賞球処理が実行されると、出力ポートバッファの内容が出力ポートに出力されるので、払出制御基板 3 7 への接続確認信号がオン状態になる。従って、接続確認信号は、主基板 3 1 の立ち上がり時に出力される（オン状態になる）ことになる。なお、電源瞬断等から復帰した場合も、接続確認信号が出力される。

【0389】

なお、電源断処理の実行中は、タイマ割込を禁止に設定してもよい。電源断処理の実行中に割込禁止にすると、ステップ S 4 8 1 の処理は不要となる。

【0390】

なお、図 5 3 および図 5 4 に示した電源断処理は、メイン処理におけるステップ S 1 7 において実行されていたが、以降に示すタイマ割込処理において実行するように構成されていてもよい。

【0391】

次に、遊技制御処理について説明する。図 5 5 は、タイマ割込処理を示すフローチャートである。メイン処理の実行中に、具体的には、ステップ S 1 7 ～ S 2 0 のループ処理の実行中における割込許可になっている期間において、タイマ割込が発生すると、遊技制御用マイクロコンピュータ 5 6 0 の C P U 5 6 は、タイマ割込の発生に応じて起動されるタイマ割込処理において遊技制御処理を実行する。タイマ割込処理において、C P U 5 6 は、まず、スイッチ回路 5 8 を介して、ゲートスイッチ 3 2 a、始動口スイッチ 1 4 a、カウントスイッチ 2 3 1、2 3 2 および入賞口スイッチ 2 9 a、3 0 a のスイッチの検出信号を入力し、それらの状態判定を行う（スイッチ処理：ステップ S 2 1）。具体的には、各スイッチの検出信号を入力する入力ポートの状態がオン状態であれば、各スイッチに対応して設けられているスイッチタイマの値を + 1 する。

【0392】

次に、C P U 5 6 は、乱数回路設定処理において所定の最終値までカウント値が更新されたときに初期値を更新する旨の設定がされているか（ステップ S 1 5 7 参照）を確認し、乱数回路 5 0 3 のカウンタ 5 2 1 に入力する初期値を更新する処理を行う（乱数回路初期値更新処理：ステップ S 2 2）。

【0393】

次に、遊技制御に用いられる各判定用乱数を生成するための各カウンタのカウント値を

更新する処理を行う（ステップS23）。また、CPU56は、初期値用乱数を生成するためのカウンタのカウント値を更新する処理を行う（初期値用乱数更新処理：ステップS24）。さらに、CPU56は、表示用乱数を生成するためのカウンタのカウント値を更新する処理を行う（表示用乱数更新処理：ステップS25）。

【0394】

図56は、各乱数を示す説明図である。各乱数は、以下のように使用される。

- (1) ランダム1：特別図柄のはずれ図柄決定用
- (2) ランダム2：大当りを発生させる特別図柄を決定する（大当り図柄決定用）。
- (3) ランダム3：特別図柄の変動パターンを決定する（変動パターン決定用）
- (4) ランダム4：大当りを発生させない場合にリーチとするか否かを決定する（リーチ判定用）
- (5) ランダム5：普通図柄にもとづく当りを発生させるか否かを決定する（普通図柄当り判定用）
- (6) ランダム6：ランダム2の初期値を決定する（ランダム2初期値決定用）
- (7) ランダム7：ランダム5の初期値を決定する（ランダム5初期値決定用）
- (8) ランダム8：大当りの種別を決定する（大当り種別決定用）
- (9) ランダム9：ランダム8の初期値を決定する（ランダム8初期値決定用）

【0395】

図55に示された遊技制御処理におけるステップS23では、CPU56は、(2)の大当り図柄決定用乱数、(5)の普通図柄当り判定用乱数、(8)の大当り種別決定用乱数を生成するためのカウンタのカウントアップ（1加算）を行う。すなわち、それらが判定用乱数であり、それら以外の乱数が表示用乱数または初期値用乱数である。また、遊技効果を高めるために、上記（1）～（9）の乱数以外の普通図柄に関する乱数等も用いられていてもよい。

【0396】

判定用乱数更新処理、初期値更新処理および表示用乱数更新処理を行うと、CPU56は、乱数回路503のカウンタ521が出力するカウント値の順列をカウント値順列変更回路523に変更させるカウント値順列変更処理を行う（ステップS26）。この実施の形態では、乱数回路設定処理のステップS158でカウント値順列変更フラグがセットされているか否かによって、カウント値順列変更処理を実行するか否かが決定されている。そして、CPU56は、カウント値順列変更フラグがセットされていることにもとづいて、カウント値順列変更処理を実行する。

【0397】

さらに、CPU56は、特別図柄プロセス処理を行う（ステップS27）。特別図柄プロセス処理では、遊技状態に応じてパチンコ遊技機1を所定の順序で制御するための特別図柄プロセスフラグに従って該当する処理が選出されて実行される。そして、特別図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。また、普通図柄プロセス処理を行う（ステップS28）。普通図柄プロセス処理では、普通図柄表示器10の表示状態を所定の順序で制御するための普通図柄プロセスフラグに従って該当する処理が選出されて実行される。そして、普通図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。

【0398】

次いで、CPU56は、特別図柄の変動に同期する飾り図柄に関する演出制御コマンドをRAM55の所定の領域に設定して演出制御コマンドを送出する処理を行う（飾り図柄コマンド制御処理：ステップS29）。なお、飾り図柄の変動が特別図柄の変動に同期するとは、変動時間（可変表示期間）が同じであることを意味する。

【0399】

さらに、CPU56は、例えばホール管理用コンピュータに供給される大当り情報、始動情報、確率変動情報などのデータを出力する情報出力処理を行う（ステップS30）。

【0400】

10

20

30

40

50

また、CPU 56は、入賞口スイッチ29a, 30a等の検出信号にもとづく賞球個数の設定などを行う賞球処理を実行する(ステップS31)。具体的には、入賞口スイッチ29a, 30a等がオンしたことにもとづく入賞検出に応じて、払出制御基板37に賞球個数を示す賞球個数コマンド等の払出指令コマンドを出力する。払出制御基板37に搭載されている払出制御用マイクロコンピュータ370は、賞球個数を示す賞球個数コマンドの受信に応じて球払出装置97を駆動する。

【0401】

そして、CPU 56は、保留記憶数の増減をチェックする記憶処理を実行する(ステップS32)。また、遊技機の制御状態を遊技機外部で確認できるようにするための試験信号を出力する処理である試験端子処理を実行する(ステップS33)。また、CPU 56は、2つの大入賞口表示灯38, 39のどちらかに対して点灯を指示する制御信号(指令信号)を出力する出力設定処理を実行する(ステップS34)。なお、出力設定処理において、いずれかの入賞口表示灯38, 39の点灯を指示する設定値をバッファにセットし、出力処理(ステップS35)において、バッファにセットされた設定値にもとづく制御信号を出力するように構成されていてもよい。また、この実施の形態では、出力ポートの出力状態に対応したRAM領域(出力ポートバッファ)が設けられているのであるが、CPU 56は、出力ポート3のRAM領域におけるソレノイドに関する内容を出力ポートに出力する(ステップS35:出力処理)。また、CPU 56は、内部バスを介してウォッチドッグタイマ60のWDTクリアレジスタ62にデータを設定することによってカウント値のクリアおよびリスタートを行わせるWDTクリア処理を実行する(ステップS36)。その後、CPU 56は、割込許可状態に設定し(ステップS37)、処理を終了する。

【0402】

この実施の形態では、遊技制御処理は定期的(例えば2msごと)に起動されることになる。なお、この実施の形態では、タイマ割込処理で遊技制御処理が実行されているが、タイマ割込処理では例えば割込が発生したことを示すフラグのセットのみがなされ、遊技制御処理はフラグがセットされたことにもとづいてメイン処理において実行されるようにしてもよい。

【0403】

また、例えば、タイマ割込処理では遊技制御処理のうちスイッチ処理(ステップS21参照)、初期値用乱数更新処理(ステップS24参照)、飾り図柄コマンド制御処理(ステップS29参照)、及び後述する割込回数カウント処理(ステップS3201a, S3202参照)のみを実行するようにし、遊技制御処理のうちの他の処理をメイン処理において実行するようにしてもよい。この場合、遊技制御用マイクロコンピュータ560のCPU 56は、メイン処理におけるステップS17からステップS20までのループ処理において、遊技制御処理のうち、ステップS22からステップS28(割込回数カウント処理を除く)、及びステップS31からステップS36(ステップS33を除く)の処理を実行する。また、遊技制御用マイクロコンピュータ560のCPU 56は、タイマ割込処理において、割込回数(入賞検出信号を検出したあとにタイマ割込処理を実行した回数)をカウントした(ステップS3201a参照)あとに、タイマ割込処理の実行回数が所定回数(例えば、3回)に達したことを検出すると(ステップS3202参照)、乱数回路503から乱数値を読み出す条件が成立した(可変表示の実行条件が成立した)と判断し、乱数値の読み出し条件が成立した旨を示す乱数読出フラグをセットする。また、遊技制御用マイクロコンピュータ560のCPU 56は、メイン処理において、特別図柄プロセス処理(ステップS27参照)における始動口スイッチ通過処理(ステップS312参照)の実行の際に、乱数読出フラグがセットされているか否かを判断し、乱数読出フラグがセットされていると判断すると、乱数回路503の乱数値記憶回路531に出力制御信号SCを出力し(ステップS3203参照)、乱数値記憶回路531から乱数値として記憶されているランダムRの値を読み出す(ステップS3204参照)。そして、CPU 56は、メイン処理において、特別図柄プロセス処理(ステップS27参照)における特別図

柄通常処理（ステップS300参照）の実行の際に、読み出した乱数値にもとづいて大当たりとするか否かを決定することになる。なお、この実施の形態において、ステップS21～S35の処理（ステップS30およびS33を除く）が、遊技の進行を制御する遊技制御処理に相当する。

【0404】

次に、タイマ割込処理における乱数回路初期値更新処理（ステップS22）について説明する。図57は、乱数回路初期値更新処理を示すフローチャートである。乱数回路初期値更新処理において、CPU56は、乱数回路503のカウンタ521が出力するカウント値Cを最終値まで更新した旨を示す通知信号の状態を確認する（ステップS220）。通知信号がオン状態になっていることを検出した場合には、CPU56は、初期値更新フラグがセットされているか否かを確認する（ステップS221）。すなわち、CPU56は、乱数回路設定処理において、所定の最終値までカウント値が更新されたときに初期値を更新する旨の設定がなされたか否か（ステップS157参照）を確認する。

10

【0405】

初期値更新フラグがセットされている場合、CPU56は、乱数回路503のカウンタ521が所定の最終値までカウント値を更新したときに、カウンタ521に入力する初期値を更新すると判断する。また、初期値更新フラグがセットされている場合、CPU56は、初期値変更フラグがセットされているか否かを確認する（ステップS222）。すなわち、CPU56は、カウント値の初期値が現在変更されているか否か（すなわち、遊技制御用マイクロコンピュータ560のIDナンバにもとづく値に変更されているか否か）を判断する。

20

【0406】

初期値変更フラグがセットされている（すなわち、遊技制御用マイクロコンピュータ560のIDナンバにもとづく値に初期値が現在変更されている）場合、CPU56は、カウンタ521に入力する初期値を、遊技制御用マイクロコンピュータ560のIDナンバにもとづく値から元の値（例えば、「1」）にもどす（ステップS223）。そして、CPU56は、初期値変更フラグをリセットし（ステップS224）、初期値更新処理を終了する。

【0407】

初期値変更フラグがセットされていない（すなわち、初期値が現在変更されていない）場合、CPU56は、カウンタ521に入力する初期値を、遊技制御用マイクロコンピュータ560のIDナンバにもとづく値に変更する（ステップS225）。この場合、例えば、遊技制御用マイクロコンピュータ560のIDナンバが「100」とであるとすると、カウンタ521に入力する初期値を、IDナンバ「100」に所定値「100」を加算して求めた演算値「200」に変更する。また、例えば、カウンタ521に入力する初期値を、IDナンバ「100」に所定値「50」を減算して求めた演算値「50」に変更する。そして、CPU56は、初期値変更フラグをセットし（ステップS226）、初期値更新処理を終了する。

30

【0408】

なお、乱数回路503の乱数の更新速度が高速の場合、通知信号がオンになったタイミングから初期値を変更するタイミングまでに次のカウント値に更新されてしまうおそれがあるが、例えば、クロック信号出力回路524がカウンタ521に出力するクロック信号の周波数を調整して、乱数回路503の乱数の更新速度を調整することにより、通知信号がオンになったタイミングから初期値を変更するタイミングまでに次のカウント値に更新されないようにすることも可能である。

40

【0409】

なお、12ビット乱数回路503aおよび16ビット乱数回路503bの両方を設定した場合、ステップS225において、CPU56は、一方の乱数回路（例えば、12ビット乱数回路503a）から読み込んだ乱数を所定値としてIDナンバに加算して、カウンタ521に入力する初期値を求めてもよい。そして、CPU56は、他の一方（例えば、

50

16ビット乱数回路503b)から読み込んだ乱数を、大当たり判定用の乱数として用いてもよい。

【0410】

なお、CPU56は、ステップS225においてカウンタ521に入力する初期値を更新する際、乱数回路503の比較器522の乱数最大値設定レジスタ535の値を確認し、IDナンバにもとづいて設定された値が乱数最大値以上であるか否かを判断する。そして、IDナンバにもとづいて設定された値が乱数最大値以上であると判断すると、CPU56は、カウンタ521に入力する初期値を所定値のまま更新しない（例えば、所定値「0」のまま更新しない）。そのようにすることによって、カウント値の初期値が乱数最大値以上の値に設定されてしまう事態を防止することができる。

10

【0411】

なお、ステップS220において通知信号がオフ状態であると判断した場合、およびステップS221において初期値更新フラグがセットされていないと判断した場合、CPU56は、カウンタ521に入力する初期値を更新することなく、そのまま乱数回路初期値更新処理を終了し、ステップS23に移行する。

【0412】

次に、タイマ割込処理におけるカウント値順列変更処理（ステップS26）について説明する。図58は、カウント値順列変更処理を示すフローチャートである。CPU56は、カウント値順列変更プログラム554に従って処理を実行することによって、カウント値順列変更処理を行う。カウント値順列変更処理において、CPU56は、乱数回路503のカウンタ521が出力するカウント値Cを最終値まで更新した旨を示す通知信号の状態を確認する（ステップS241）。通知信号がオン状態になっていることを検出した場合には、CPU56は、カウント値順列変更フラグがセットされているか否かを確認する（ステップS242）。すなわち、CPU56は、乱数回路設定処理において、所定の最終値までカウント値が更新されたときにカウンタ521が更新するカウント値の順列を変更する旨の設定がなされたか否か（ステップS158参照）を確認する。

20

【0413】

カウント値順列変更フラグがセットされている場合、CPU56は、乱数回路503のカウンタ521が所定の最終値までカウント値を更新したときに、カウンタ521が更新するカウント値の順列を変更すると判断する。そして、CPU56は、カウント値順列変更レジスタ536にカウント値順列変更データ「01h」を書き込む（ステップS243）。すなわち、CPU56は、カウント値順列変更データ「01h」を書き込むことによって、乱数値記憶回路531に入力されるカウント値Cの順列をカウント値順列変更回路523に変更させる。

30

【0414】

以上のように、カウント値順列変更処理において、乱数を所定の最終値まで更新したときに、カウンタ521が更新するカウント値の順列を変更するので、乱数回路503が生成する乱数のランダム性をより向上させることができる。

【0415】

次に、メイン処理における特別図柄プロセス処理（ステップS27）を説明する。図59は、遊技制御用マイクロコンピュータ560のCPU56が実行する特別図柄プロセス処理のプログラムの一例を示すフローチャートである。遊技制御用マイクロコンピュータ560のCPU56は、遊技盤6に設けられている始動入賞口14に遊技球が入賞したことを検出するための始動口スイッチ14aがオンしていたら、すなわち遊技球が始動入賞口14に入賞する始動入賞が発生していたら（ステップS311）、始動口スイッチ通過処理（ステップS312）を行った後に、内部状態に応じて、ステップS300～S308のうちのいずれかの処理を行う。

40

【0416】

特別図柄通常処理（ステップS300）：特別図柄の可変表示を開始できる状態（例えば、特別図柄表示器8において図柄の変動がなされておらず、特別図柄表示器8における

50

前回の図柄変動が終了してから所定期間が経過しており、かつ、大当たり遊技中でもない状態)になるのを待つ。特別図柄の可変表示が開始できる状態になると、特別図柄についての始動入賞記憶数を確認する。始動入賞記憶数が0でなければ、遊技状態が確変状態または時短状態であるか否かを確認し、遊技状態が確変状態または時短状態のときは大当たり終了後からの変動回数をカウントし、変動回数が所定回数(100回)になったか否かを判定する。変動回数が所定回数になったときは、遊技状態の移行制御を実行する。また、特図保留メモリ570に記憶されている乱数回路503が発生したランダムRにもとづいて、特別図柄の可変表示の表示結果を大当たりとするか否か決定する。可変表示の表示結果を大当たりにすると決定された場合は、大当たりの種別を決定する。そして、内部状態(特別図柄プロセスフラグ)をステップS301に移行するように更新する。

10

【0417】

特別図柄停止図柄設定処理(ステップS301):特別図柄の可変表示後の停止図柄を決定する。そして、内部状態(特別図柄プロセスフラグ)をステップS302に移行するように更新する。

【0418】

変動パターン設定処理(ステップS302):変動パターンを決定し、その変動パターンにおける変動時間(可変表示時間:可変表示を開始してから表示結果が導出表示(停止表示)するまでの時間)を特別図柄の可変表示の変動時間とすることに決定する。そして、内部状態(特別図柄プロセスフラグ)をステップS303に移行するように更新する。

【0419】

20

特別図柄変動中処理(ステップS303):所定時間(ステップS302の変動時間タイマで示された時間)が経過すると、内部状態(特別図柄プロセスフラグ)をステップS304に移行するように更新する。

【0420】

特別図柄停止処理(ステップS304):特別図柄表示器8における特別図柄を停止させる。そして、特別図柄の停止図柄が大当たり図柄である場合には、内部状態(特別図柄プロセスフラグ)をステップS305に移行するように更新する。そうでない場合には、内部状態をステップS300に移行するように更新する。

【0421】

大入賞口開放前処理(ステップS305):大入賞口を開放する制御を開始する。具体的には、カウンタ(例えば大入賞口に入った遊技球数をカウントするカウンタ)やフラグ(入賞口への入賞を検出する際に用いられるフラグ)を初期化するとともに、ソレノイド241、242を駆動して第1大入賞口または第2大入賞口を開放する。また、プロセスタイマによって大入賞口開放中処理の実行時間を設定する。そして、内部状態(特別図柄プロセスフラグ)をステップS306に移行するように更新する。

30

【0422】

大入賞口開放中処理(ステップS306):大入賞口ラウンド表示の演出制御コマンドを音/ランプ制御基板80bに送出する制御や大入賞口の閉成条件(例えば、大入賞口に所定個数(例えば10個)の遊技球が入賞したこと)の成立を確認する処理等を行う。大入賞口の閉成条件が成立したときに、大当たり種別(2ラウンド大当たり、7ラウンド大当たり、15ラウンド大当たり)に応じた最高ラウンド数(2ラウンド、7ラウンド、15ラウンド)に達したか否かを判定し、最高ラウンド数に達していなければ、内部状態(特別図柄プロセスフラグ)をステップS305に移行するように更新し、最高ラウンド数に達していれば、内部状態をステップS307に移行するように更新する。

40

【0423】

大当たり終了処理(ステップS307):大当たり遊技状態が終了したことを遊技者に報知する音声出力制御や表示制御等を音/ランプ制御手段や図柄制御手段に行わせるための制御を行う。そして、内部状態をステップS300に移行するように更新する。

【0424】

図60は、この実施の形態で用いられる変動パターンの一例を示す説明図である。図6

50

0において、「E X T」とは、2 バイト構成の演出制御コマンドにおける2 バイト目のE X T データを示す。また、「時間」は特別図柄の変動時間（識別情報の可変表示期間）を示す。

【0425】

E X T データが「00H」の変動パターンは、通常遊技状態および高確率潜伏状態のときの特別図柄表示器8における特別図柄の通常変動の変動パターンである。E X T データが「01H」～「06H」の変動パターンは、それぞれ、通常遊技状態および高確率潜伏状態のときのリーチを伴う変動パターンである。E X T データが「01H」～「03H」の変動パターンは、特別図柄の停止図柄をはずれ図柄とする場合に用いられる。また、E X T データが「04H」～「06H」の変動パターンは、特別図柄の停止図柄を大当り図柄とする場合に用いられる。なお、リーチAとリーチBとリーチCとは、それぞれ、異なる演出態様のリーチである。

10

【0426】

E X T データが「07H」の変動パターンは、確変状態（高確率潜伏状態を除く）および時短状態のときの特別図柄表示器8における特別図柄の通常変動の変動パターンである。E X T データが「08H」～「0DH」の変動パターンは、それぞれ、確変状態（高確率潜伏状態を除く）および時短状態のときのリーチを伴う変動パターンである。E X T データが「08H」～「0AH」の変動パターンは、特別図柄の停止図柄をはずれ図柄とする場合に用いられる。また、E X T データが「0BH」～「0DH」の変動パターンは、特別図柄の停止図柄を大当り図柄とする場合に用いられる。なお、リーチAとリーチBとリーチCとは、それぞれ、異なる演出態様のリーチである。確変状態（高確率潜伏状態を除く）および時短状態のときの通常変動の変動パターン（「07H」）は、通常遊技状態および高確率潜伏状態のときの通常変動の変動パターン（「00H」）よりも変動時間が短く設定されている。このような変動パターンが確変状態（高確率潜伏状態を除く）および時短状態のときに選択されることにより、特別図柄の変動時間が短縮されることになる。なお、リーチを伴う変動パターンの場合は、確変状態および時短状態のときであっても変動時間が短く設定されていない。

20

【0427】

以上のように、遊技状態が通常遊技状態または高確率潜伏状態であるか確変状態（高確率潜伏状態を除く）または時短状態であるかによって変動パターンが分けられているので、変動パターンを指定する演出制御コマンドを受信した音／ランプ制御用マイクロコンピュータ100bは、変動パターンを指定する演出制御コマンドによって現在の遊技状態を把握することができる。同様に、音／ランプ制御用マイクロコンピュータ100bからのコマンドを受信した図柄制御用マイクロコンピュータ100aは、変動パターンを指定するコマンドによって現在の遊技状態を把握することができる。従って、音／ランプ制御用マイクロコンピュータ100bおよび図柄制御用マイクロコンピュータ100aは、コマンドによって遊技状態を把握し、把握した遊技状態に応じた遊技演出を実行することができる。

30

【0428】

図61は、音／ランプ制御基板80bに送出される演出制御コマンドの内容の一例を示す説明図である。図61に示す例において、コマンド8000(H)～800D(H)は、特別図柄の可変表示に対応して可変表示装置9において可変表示される飾り図柄の変動パターンを指定する演出制御コマンド（変動パターンコマンド）である。なお、変動パターンを指定する演出制御コマンドは、変動開始を指定するためのコマンドでもある。

40

【0429】

コマンド8100(H)は、可変表示装置9の表示結果がはずれ図柄であることを指定する演出制御コマンド（はずれ指定コマンド）である。コマンド8101(H)は、可変表示装置9の表示結果が2ラウンドの確変大当りであることを指定する演出制御コマンド（2R確変大当り指定コマンド）である。コマンド8102(H)は、可変表示装置9の表示結果が2ラウンドの時短大当りであることを指定する演出制御コマンド（2R時短大

50

当り指定コマンド)である。コマンド8103(H)は、可変表示装置9の表示結果が7ラウンドの通常大当りであることを指定する演出制御コマンド(7R通常大当り指定コマンド)である。コマンド8104(H)は、可変表示装置9の表示結果が15ラウンドの通常大当りであることを指定する演出制御コマンド(15R通常大当り指定コマンド)である。コマンド8105(H)は、可変表示装置9の表示結果が15ラウンドの確変大当りであることを指定する演出制御コマンド(15R確変大当り指定コマンド)である。コマンド8106(H)は、可変表示装置9の表示結果が15ラウンドの時短大当りであることを指定する演出制御コマンド(15R時短大当り指定コマンド)である。

【0430】

なお、後述するように、2ラウンドの確変大当りおよび2ラウンドの時短大当りでは、7ラウンドの大当りや15ラウンドの大当りの場合と異なり、各ラウンドの演出が順に進行していくのではなく、突然、遊技状態が確変状態または時短状態(なお、確変状態(高確率潜伏状態を除く)および時短状態のいずれの場合も同じ演出態様の遊技演出が実行される。)に移行したように遊技者に見せる特別な演出が実行される。従って、2ラウンドの確変大当りのことを「突然確変大当り」または単に「突然確変」という。また、2ラウンドの時短大当りのことを「突然時短大当り」または単に「突然時短」という。

【0431】

なお、コマンド8100(H)~8106(H)は可変表示装置9の表示結果を指定する演出制御コマンドであるので、コマンド8100(H)~8106(H)を表示結果コマンドという。

【0432】

コマンドA000(H)は、可変表示装置9における飾り図柄の可変表示(変動)の停止を指定する演出制御コマンド(飾り図柄停止指定コマンド)である。

【0433】

コマンドBXXXX(H)は、大当り遊技開始から大当り遊技終了までの間に送出される演出制御コマンドである。そして、コマンドD000(H)~EXXXX(H)は、飾り図柄の変動および大当り遊技に関わらない可変表示装置9の表示状態に関する演出制御コマンドである。

【0434】

コマンドB000(H)は、2ラウンドの大当り遊技が開始されることを指定する演出制御コマンド(ファンファーレ1コマンド)である。コマンドB001(H)は、7ラウンドの大当り遊技が開始されることを指定する演出制御コマンド(ファンファーレ2コマンド)である。コマンドB002(H)は、15ラウンドの大当り遊技が開始されることを指定する演出制御コマンド(ファンファーレ3コマンド)である。

【0435】

なお、演出用のマイクロコンピュータは、ファンファーレコマンドにもとづいて大当り遊技の開始を報知するが、このとき、大当りの種別が7ラウンドの大当りであるか15ラウンドの大当りであるかについても報知することによって、大当りの種別に対応している大入賞口の開放位置(いずれの大入賞口が開放するか)についても遊技者に報知されることになる。ただし、ファンファーレコマンドとは別に、いずれの大入賞口が開放されるかを示すコマンドを演出用のマイクロコンピュータに送信し、演出用のマイクロコンピュータが、当該コマンドにもとづいて大入賞口の開放位置を報知する(例えば可変表示装置9の表示画面に大入賞口の開放位置を表示する)ように構成されていてもよい。この場合は、ファンファーレコマンドを図61に示すように大当りの種別に応じて分ける必要はない。また、2ラウンドの大当りが発生したときは、いずれの大入賞口が開放されるかを示すコマンドを演出用のマイクロコンピュータに送信しないようにし、演出用のマイクロコンピュータは、当該コマンドが送信されなかったときは、大入賞口の開放位置について遊技者に報知する制御を実行しないようにする。また、演出用のマイクロコンピュータは、大当りの種別を特定可能なファンファーレコマンドが送信されたときでも、表示結果コマンドにもとづいて大当りの種別が2ラウンドの大当りであると判断したときは、大入賞口の

10

20

30

40

50

開放位置について遊技者に報知する制御を実行しないようにしてもよい。さらに、2ラウンドの大当たりが発生したときに、いずれの大入賞口も開放されないことを示すコマンドを演出用のマイクロコンピュータに送信するように構成されていてもよい。

【0436】

コマンドB1XX(H)は、大当たり遊技中のラウンド中の表示を指定する演出制御コマンド(大入賞口開放中表示コマンド)である。なお、「XX」に表示するラウンド数が設定される。コマンドB2XX(H)は、各ラウンド中の大入賞口への入賞球数(カウントスイッチ231, 232の入賞検出数)を指定する演出制御コマンド(カウント数指定コマンド)である。なお、「XX」に入賞球数(カウント数)が設定される。コマンドB3XX(H)は、大当たり遊技中のラウンド後の表示(ラウンド間のインターバルの表示)を指定する演出制御コマンド(大入賞口開放後表示コマンド)である。なお、「XX」に表示するラウンド数が設定される。コマンドB400(H)は、大当たり遊技が終了することを指定する演出制御コマンド(大当たり終了指定コマンド)である。

10

【0437】

コマンドD000(H)は、客待ちデモンストレーションを指定する演出制御コマンドである。また、コマンドE401(H)は、遊技状態が通常遊技状態(低確率状態)のときの遊技演出(通常遊技演出)の実行を指定する演出制御コマンド(通常表示コマンド)である。コマンドE402(H)は、遊技状態が確変状態(高確率状態)および時短状態のときの遊技演出(特別遊技演出)の実行を指定する演出制御コマンド(特別表示コマンド)である。コマンドE403(H)は、遊技状態が高確率潜伏状態のときの遊技演出(通常遊技演出)の実行を指定する演出制御コマンド(高確率潜伏表示コマンド)である。

20

【0438】

音/ランプ制御基板80bに搭載されている音/ランプ制御用マイクロコンピュータ100bは、主基板31に搭載されている遊技制御用マイクロコンピュータ560から上述した演出制御コマンドを受信すると、図61に示された内容に応じてスピーカ27の音声出力制御を実行し、またランプの点灯制御を実行する。また、音/ランプ制御用マイクロコンピュータ100bは、受信した演出制御コマンドを図柄制御用マイクロコンピュータ100aに送信するとともに、受信した演出制御コマンドにもとづいてコマンドを生成し、生成したコマンドを図柄制御用マイクロコンピュータ100aに送信する。図柄制御用マイクロコンピュータ100aは、音/ランプ制御用マイクロコンピュータ100bからのコマンドを受信すると、受信コマンドに従って可変表示装置9の表示制御を実行する。

30

【0439】

なお、図61に示された演出制御コマンド以外の演出制御コマンドも主基板31から音/ランプ制御基板80bに送信される。

【0440】

図62は、始動口スイッチ通過処理(ステップS312)を示すフローチャートである。始動口スイッチ通過処理において、遊技制御用マイクロコンピュータ560のCPU56は、始動入賞カウンタが示す始動入賞記憶数(または特図保留メモリ570が記憶している始動入賞記憶数)が最大値である4に達しているかどうか確認する(ステップS3201)。始動入賞記憶数が4に達していなければ、CPU56は、タイマ割込処理を実行した回数を示す割込回数カウンタの値を1加算する(ステップS3201a)。すなわち、CPU56は、タイマ割込処理を実行した回数をカウントする処理を実行する。この実施の形態では、CPU56は、ステップS3201aを実行することによって、タイマ割込処理を実行するごとに、タイマ割込処理を実行した回数を示す割込回数カウンタをカウントアップする。割込回数カウンタの値を1加算すると、CPU56は、割込実行回数カウンタに示されるタイマ割込処理の実行回数が所定回数(例えば、3回)に達しているか否かを確認する(ステップS3202)。そして、CPU56は、遊技球が始動入賞口14に入賞したあと、割込実行回数カウンタが所定回数に達しているか否かを確認する。なお、遊技球が始動入賞口14に入賞したことを検出すると(すなわち、ステップS3202でYESと判定すると)、CPU56は、割込実行回数カウンタをリセットする。

40

50

【0441】

ステップS3202において所定回数としてあらかじめ設定される値は、以下のように定められる。前述のように、乱数回路503のタイマ回路534は、始動口スイッチ14aから入賞検出信号SSが継続して入力されている時間を計測し、計測時間が所定期間になったことを検出すると、乱数値取り込みデータ「01h」を書き込む。この実施の形態では、タイマ回路534が計測する所定期間（例えば、3ms）が、所定回数のタイマ割込処理が実行される期間（例えば、2msごとのタイマ割込処理を3回実行する場合は6ms）よりも短くなるように、ステップS3202において用いる所定回数（例えば、3回）が設定される。そのように設定することによって、乱数を読み出してから、乱数値記憶回路531に記憶される乱数の値が更新される前に再び乱数を読み出してしまいうことを防止することができ、前回乱数値記憶回路531から読み出した乱数と同じ値の乱数を再び読み出してしまいうことを防止することができる。なお、タイマ回路534が入賞検出信号SSの入力時間を計測するのではなく、CPU56が入賞検出信号SSの入力時間を計測し、乱数値取り込みデータ「01h」を乱数値取込レジスタ539に書き込むようにしてもよい。

10

【0442】

タイマ割込処理の実行回数が所定回数に達している場合、CPU56は、特定した乱数回路503の乱数値記憶回路531に出力制御信号SCを出力し、乱数値記憶回路531を読出可能（イネイブル）状態に制御する（ステップS3203）。

【0443】

20

CPU56は、乱数回路503の乱数値記憶回路531から、乱数値として記憶されているランダムRの値を読み出す（ステップS3204）。また、CPU56は、読み出したランダムRの値を、始動入賞記憶数の値に対応した保存領域（特別図柄判定用バッファ（特図保留メモリ570））に格納する（ステップS3205）。また、CPU56は、ランダムRの値をバッファ領域に格納すると、乱数値記憶回路531への出力制御信号SCの出力を停止し、乱数値記憶回路531を読出不能（ディセイブル）状態に制御する（ステップS3206）。また、CPU56は、割込実行回数カウンタをリセットする（ステップS3207）。そして、CPU56は、所定のバッファ領域に格納したランダムRの値を特図保留メモリ570の空エントリの先頭にセットし（ステップS3208）、始動入賞カウンタのカウント数を1加算することで始動入賞記憶数を1増やす（ステップS3209）。

30

【0444】

また、CPU56は、判定用乱数や表示用乱数などの各乱数（ソフトウェア乱数）の値を抽出し、それらを始動入賞記憶数の値に対応した保存領域（特別図柄判定用バッファ）に格納する（ステップS3210）。なお、乱数を抽出するとは、乱数を生成させるためのカウンタからカウント値を読み出して、読み出したカウント値を乱数値とすることである。ステップS3210では、図56に示された乱数のうち、ランダム1～ランダム4、ランダム8が抽出される。

【0445】

ステップS3201において始動入賞記憶するが最大値である4に達している場合、およびステップS3202においてタイマ割込処理の実行回数が所定回数に達していない場合、そのまま始動口スイッチ通過処理を終了する。

40

【0446】

以上のように、始動口スイッチ通過処理において、乱数値記憶回路531からランダムRを読み出すにあたって、タイマ割込処理が所定回数実行されたこと（すなわち、タイマ割込処理が所定回数実行される間継続して入賞検出信号SSが入力されたこと）を条件に、乱数値記憶回路531から乱数を読み出す。そのため、乱数を読み出してから、乱数値記憶回路531に記憶される乱数の値が更新される前に再び乱数を読み出してしまいうことを防止することができる。また、前回乱数値記憶回路531から読み出した乱数と同じ値の乱数を再び読み出してしまいうことを防止することができる。

50

【0447】

次に、特別図柄プロセス処理における特別図柄通常処理（ステップS300）について説明する。図63は、特別図柄通常処理を示すフローチャートである。特別図柄通常処理において、遊技制御用マイクロコンピュータ560のCPU56は、特別図柄の変動を開始することができる状態（例えば特別図柄プロセスフラグの値がステップS300を示す値となっている場合）には（ステップS51）、始動入賞記憶数（保留記憶数）の値を確認する（ステップS52）。具体的には、始動入賞記憶カウンタのカウント値を確認する。なお、特別図柄プロセスフラグの値がステップS300を示す値となっている場合とは、可変表示装置9において図柄の変動がなされていず、かつ、大当り遊技中でもない場合である。また、ステップS51で変動開始不可能である場合や、ステップS52で保留記憶数が0である場合には、CPU56は、そのまま特別図柄通常処理を終了する。

10

【0448】

保留記憶数が0でなければ、保留記憶数=1に対応する保存領域に格納されている各乱数値（ランダムRや各判定用乱数、表示用乱数）を読み出してRAM55の乱数バッファ領域に格納するとともに（ステップS53）、保留記憶数の値を1減らし（始動入賞記憶カウンタの値を1減らし）、かつ、各保存領域の内容をシフトする（ステップS54）。すなわち、保留記憶数=n（n=2, 3, 4）に対応する保存領域に格納されている各乱数値を、保留記憶数=n-1に対応する保存領域に格納する。よって、各保留記憶数に対応するそれぞれの保存領域に格納されている各乱数値が抽出された順番は、常に、保留記憶数=1, 2, 3, 4の順番と一致している。すなわち、この例では、CPU56は、可変表示の開始条件が成立する毎に、各保存領域の内容をシフトする処理を実行する。

20

【0449】

次に、CPU56は、確変フラグまたは時短フラグがセットされているか否かを確認する（ステップS55A）。確変フラグは、遊技状態が確変状態に移行されてから特別図柄の変動回数が所定回数（100回）以下であることを示すフラグである。確変フラグは、確変状態に移行されたとき、すなわち、確変大当りが発生してその大当り遊技が終了するときにセットされ、確変状態に移行されてから特別図柄の変動回数が所定回数に達したときおよび確変状態に移行されてから特別図柄の変動回数が所定回数に達する前に時短大当りまたは通常大当りが発生してその大当り遊技が終了するときにリセットされる（図70の大当り終了処理等を参照）。また、時短フラグは、遊技状態が時短状態であることを示すフラグである。時短フラグは、時短状態に移行されたとき、すなわち、時短大当りが発生してその大当り遊技が終了したときおよび確変状態のときに通常大当りが発生してその大当り遊技が終了するときにセットされ、時短状態が終了するとき、すなわち、時短大当りに移行されてから特別図柄の変動回数が所定回数に達したときおよび時短状態に移行されてから特別図柄の変動回数が所定回数に達する前に通常大当りが発生してその大当り遊技が終了するときにリセットされる（図70の大当り終了処理等を参照）。

30

【0450】

確変フラグまたは時短フラグがセットされていなければ（ステップS55AのN）、ステップS56Aの処理に移行する。確変フラグまたは時短フラグがセットされていれば（ステップS55AのY）、CPU56は、変動回数カウンタの値を-1する（ステップS55B）。変動回数カウンタは、遊技状態が確変状態または時短状態に移行された後の特別図柄の変動回数をカウントするカウンタである。この変動回数カウンタには、遊技状態が確変状態または時短状態に移行されるときに所定回数（100回）がセットされる（図70の大当り終了処理等を参照）。次いで、CPU56は、変動回数カウンタの値が0であるか否かを確認する（ステップS55C）。このとき、変動回数カウンタの値が0であるということは、遊技状態が確変状態または時短状態に移行されてから変動回数が所定回数に達したことを意味する。CPU56は、変動回数カウンタの値が0であるときは（ステップS55CのY）、確変フラグがセットされているか否かを確認し（ステップS55D）、確変フラグがセットされているときは、高確率潜伏状態フラグをセットする（ステ

40

50

ップS55E)。高確率潜伏状態フラグは、大当たりが発生する確率は高められているが遊技演出は通常遊技演出が実行される高確率潜伏状態、より具体的には、確変状態に移行された後に変動回数が100回以上となった状態であることを示すフラグである。次いで、CPU56は、確変フラグまたは時短フラグをリセットする(ステップS55F)。

【0451】

なお、確変フラグまたは時短フラグがセットされているときは、CPU56は、普通図柄プロセス処理(ステップS28)において、普通図柄の停止図柄が当り図柄になる確率を高めるとともに、可変入賞球装置15における開放時間と開放回数とのうちの一方または双方を高める制御を実行する。

【0452】

次いで、CPU56は、乱数バッファ領域に格納した大当たり判定用乱数(ランダムR)を読み出し(ステップS56A)、読み出した大当たり判定用乱数の値にもとづいて、特別図柄表示器8の表示結果を大当たり図柄とするか否かを判定する(ステップS56B)。この場合、CPU56は、遊技状態が通常遊技状態または時短状態であるとき(遊技状態が確変状態でないとき)は、通常時大当たり判定テーブル(図36(A))を用いて大当たりとするか否かを決定し、遊技状態が確変状態であるときは、確変時大当たり判定テーブル(図36(B))を用いて大当たりとするか否かを決定する。遊技状態が確変状態であるかどうかは、確変フラグまたは高確率潜伏状態フラグがセットされているか否かによって確認することができる。

【0453】

なお、大当たりの判定は、タイマ割込処理における特別図柄プロセス処理(ステップS27)の特別図柄通常処理(ステップS300)において実行されているが、メイン処理におけるループ処理が実行されているとき(例えばステップS17からステップS20の間)に実行されてもよい。

【0454】

大当たりになると決定された場合は(ステップS56CのY)、CPU56は、大当たりになることを示す大当たりフラグをセットする(ステップS57A)。また、大当たり種別決定用乱数(ランダム8)を保存領域から読み出して(ステップS57B)、読み出した大当たり種別決定用乱数の値にもとづいて大当たり種別(2ラウンド確変大当たり、2ラウンド時短大当たり、7ラウンド通常大当たり、15ラウンド通常大当たり、15ラウンド確変大当たり、15ラウンド時短大当たり)を決定する(ステップS57C)。そして、決定した大当たり種別に応じてROM54に設けられているワーク設定テーブルを選択し、選択したワーク設定テーブルに設定されている表示灯指定値をRAM55に設定する(ステップS57D)。ワーク設定テーブルは、遊技制御を実行するための各種の指定値が設定されるテーブルである。CPU56は、遊技制御を実行するときにワーク設定テーブルに設定されている指定値を参照して各種の遊技制御を実行する。表示灯指定値は、2つの大入賞口表示灯38、39のうちいずれの表示灯を表示させるかを示す指定値である。上述したように、2ラウンド大当たりおよび15ラウンド大当たりのときは第2大入賞口が開放されるので、大当たり種別として2ラウンド大当たりまたは15ラウンド大当たりが決定されたときは第2大入賞口表示灯39の点灯を指定する表示灯指定値が設定されたワーク設定テーブルが選択される。7ラウンド大当たりのときは第1大入賞口が開放されるので、大当たり種別として7ラウンド大当たりが決定されたときは第1大入賞口表示灯38の点灯を指定する表示灯指定値が設定されたワーク設定テーブルが選択される。そして、選択されたワーク設定テーブルの表示灯指定値がRAM55に設定される。なお、RAM55に設定された表示灯指定値にもとづく大入賞口表示灯38、39の表示制御は、後述する図66のステップS389にて実行される。

【0455】

次いで、CPU56は、大当たりとするかはずれとするか、また大当たりになると決定された場合の大当たりの種別に応じた表示結果指定コマンドを音／ランプ制御基板80bに送信する制御を実行する(ステップS58)。

【0456】

具体的には、表示結果指定コマンドに応じたコマンド送信テーブルのアドレスをポインタにセットする。表示結果指定コマンドに応じたコマンド送信テーブルのアドレスがポインタにセットされると、飾り図柄コマンド制御処理（ステップS29）において表示結果指定コマンドが送信される。この実施の形態において、「演出制御コマンドを送信する」とは、このような処理が行われることを示す。なお、コマンド送信テーブルとは、図61に例示された各演出制御コマンドが設定されているROM54の領域である。また、ポインタは、その領域において、該当コマンドが格納されているアドレスを指定するために使用されるデータであり、RAM55に形成されている。

【0457】

10

なお、演出制御コマンドに応じたコマンド送信テーブルのアドレスがポインタにセットされたことにもとづいて、飾り図柄コマンド制御処理（ステップS29）において、演出制御コマンドを送信する構成に限られるわけではなく、ステップS58等の処理において、演出制御コマンドを送信する構成であってもよい。この実施の形態におけるコマンド送信処理においても同様である。

【0458】

そして、CPU56は、特別図柄プロセスフラグの値を特別図柄停止図柄設定処理に対応した値に更新する（ステップS59）。

【0459】

なお、上記のステップS57Cでは、大当たり種別決定用乱数の値にもとづいて大当たり種別を決定するように構成されていたが、このような構成に限られず、特別図柄の大当たり図柄と大当たりの種別とを予め対応させておいて、大当たり図柄決定用乱数（ランダム2）の値にもとづいて大当たりの種別を決定するように構成されていてもよい。

20

【0460】

図64は、特別図柄プロセス処理における特別図柄停止図柄設定処理（ステップS301）の例を示すフローチャートである。特別図柄停止図柄設定処理において、遊技制御用マイクロコンピュータ560のCPU56は、まず、大当たりフラグがセットされているか否かを確認する（ステップS361）。大当たりフラグがセットされていない場合は、CPU56は、特別図柄判定用バッファに格納されているはずれ図柄決定用乱数（ランダム1）にもとづいて、特別図柄の停止図柄（はずれ図柄）を決定する（ステップS362）。また、CPU56は、特別図柄判定用バッファに格納されているリーチ判定用乱数（ランダム4）にもとづいて、リーチとするか否かを決定する（ステップS363）。

30

【0461】

リーチとする（すなわち、リーチ態様とした後に飾り図柄の停止図柄を大当たり図柄としない）と決定すると（ステップS364）、CPU56は、リーチフラグをセットする（ステップS365）。

【0462】

大当たりフラグがセットされていれば、CPU56は、特別図柄判定用バッファに格納されている大当たり図柄決定用乱数（ランダム2）にもとづいて、特別図柄の停止図柄（大当たり図柄）を決定する（ステップS366）。このとき、大当たりの種別によって特別図柄の大当たり図柄が異なるので、大当たり種別に応じた大当たり図柄を決定する必要がある。大当たり種別に応じた大当たり図柄を決定するために、大当たり図柄を決定するために用いるテーブルを大当たり種別に応じて切り替えるようにする。

40

【0463】

そして、CPU56は、特別図柄プロセスフラグの値を変動パターン設定処理に対応した値に更新する（ステップS367）。

【0464】

図66は、特別図柄プロセス処理における変動パターン設定処理（ステップS302）の例を示すフローチャートである。変動パターン設定処理において、遊技制御用マイクロコンピュータ560のCPU56は、大当たりフラグ、リーチフラグ、確変フラグおよび時

50

短フラグのセット状況に応じた変動パターンテーブルを用いることに決定する（ステップ S 3 7 1）。

【0 4 6 5】

具体的には、大当たりフラグがセットされ、かつ、確変フラグも時短フラグもセットされていないときは、「0 4 H」～「0 6 H」の変動パターンが設定された変動パターンテーブルを用いることに決定する。リーチフラグがセットされ、かつ、確変フラグも時短フラグもセットされていないときは、「0 1 H」～「0 3 H」の変動パターンが設定された変動パターンテーブルを用いることに決定する。大当たりフラグもリーチフラグもセットされておらず、かつ、確変フラグも時短フラグもセットされていないときは、「0 0 H」の変動パターンが設定された変動パターンテーブルを用いることに決定する。大当たりフラグがセットされ、かつ、確変フラグまたは時短フラグがセットされているときは、「0 B H」～「0 D H」の変動パターンが設定された変動パターンテーブルを用いることに決定する。リーチフラグがセットされ、かつ、確変フラグまたは時短フラグがセットされているときは、「0 8 H」～「0 A H」の変動パターンが設定された変動パターンテーブルを用いることに決定する。大当たりフラグもリーチフラグもセットされておらず、かつ、確変フラグまたは時短フラグがセットされているときは、「0 7 H」の変動パターンが設定された変動パターンテーブルを用いることに決定する。

10

【0 4 6 6】

なお、高確率潜伏状態フラグがセットされているときは、確変フラグも時短フラグもセットされていない場合である。この場合は、通常遊技状態のときの変動パターンを決定するための変動パターンテーブルが選択されることになる。従って、高確率潜伏状態のときは、特別図柄の通常変動の変動パターンとして通常遊技状態のときと同じ通常変動の変動パターンが決定されることになる。

20

【0 4 6 7】

次に、CPU 5 6 は、変動パターン決定用乱数（ランダム 3）を読み出し、読み出した変動パターン決定用乱数の値にもとづき、ステップ S 3 7 1 で決定した変動パターンテーブルを用いて変動パターンを決定する（ステップ S 3 7 2）。そして、決定した変動パターンを指定する変動パターンコマンドを音／ランプ制御基板 8 0 b の音／ランプ制御用マイクロコンピュータ 1 0 0 b に送信する制御を行う（ステップ S 3 7 3）。

【0 4 6 8】

次いで、CPU 5 6 は、特別図柄プロセスタイマに変動パターンの変動時間を設定し（ステップ S 3 7 4）、特別図柄プロセスタイマをスタートさせて特別図柄の変動時間の計測を開始する（ステップ S 3 7 5）。そして、CPU 5 6 は、特別図柄プロセスタイマの値を特別図柄変動処理に対応した値に更新する（ステップ S 3 7 6）。

30

【0 4 6 9】

図 6 6 は、特別図柄停止処理を示すフローチャートである。特別図柄停止処理において、CPU 5 6 は、特別図柄表示器 8 における特別図柄の変動を止めて、停止図柄を導出表示する（ステップ S 3 8 1）。また、CPU 5 6 は、可変表示装置 9 における飾り図柄の変動の停止を指定する飾り図柄変動停止指定コマンドを音／ランプ制御用マイクロコンピュータ 1 0 0 b に送信する制御を行う（ステップ S 3 8 2）。なお、飾り図柄停止指定コマンドを送信すると送信済みであることを示すフラグをセットし、以後の特別図柄停止処理においてそのフラグを確認したときは、ステップ S 3 8 1、S 3 8 2 の処理を実行しないように構成されているものとする。このような構成によって、飾り図柄停止指定コマンドが複数回送信されるのを回避することができる。

40

【0 4 7 0】

また、特別図柄プロセスタイマの値を－1する（ステップ S 3 8 3）。なお、このとき、特別図柄変動中処理（ステップ S 3 0 3）において、特別図柄プロセスタイマに特別図柄を停止表示させる特別図柄停止時間がセットされている。次いで、CPU 5 6 は、特別図柄プロセスタイマがタイムアウトしたか否かを判定する（ステップ S 3 8 4）。特別図柄プロセスタイマがタイムアウトしていなければ、そのまま処理を終了する。

50

【0471】

特別図柄プロセスタイマがタイムアウトしていれば、大当りフラグがセットされているか否かを確認する（ステップS385）。大当りフラグがセットされていなければ、内部状態（特別図柄プロセスフラグ）をステップS300に応じた値に更新する（ステップS386）。

【0472】

大当りフラグがセットされていれば、CPU56は、大入賞口の開放／閉鎖を制御するための時間を計測する大入賞口制御タイマに、大当り遊技が開始されることを遊技者に報知する演出（ファンファーレ演出）の実行時間（大当り表示時間）をセットする（ステップS387）。

10

【0473】

なお、大当りの種別に応じて異なる大当り表示時間をセットするように構成されていてもよい。

【0474】

次いで、CPU56は、大当りの種別に応じたファンファーレコマンドを音／ランプ制御用マイクロコンピュータ100bに送信する制御を行う（ステップS388）。このように、大当りの種別に応じたファンファーレコマンドを送信するように構成されているので、音／ランプ制御用マイクロコンピュータ100bおよび音／ランプ制御用マイクロコンピュータ100bからコマンドを受信する図柄制御用マイクロコンピュータ100aは、ファンファーレコマンドによって大当りの種別を認識することができる。従って、大当りの種別に応じて予め決められているいずれの大入賞口が開放するかについて可変表示装置9などの演出装置を用いて遊技者に報知することができる。例えば、大当り遊技が開始されるときに可変表示装置9の画面に「左の大入賞口（アタッカー）が開く」というような文字を表示したり、開放される大入賞口を示す矢印を表示したりする。

20

【0475】

そして、CPU56は、RAM55に設定されている表示灯指定値（設定値）に応じて、大入賞口表示灯38、39の表示制御を実行する（ステップS389）。具体的には、出力ポートの出力状態に対応したRAM領域（出力ポートバッファ）が設けられており、CPU56は、ステップS389において出力ポートのRAM領域に大入賞口表示灯の点灯／消灯に関する内容を設定する。そして、ステップS34の出力設定処理において出力ポートのRAM領域に設定された内容を出力ポートに出力する。これにより、駆動指令の信号が出力ポートから大入賞口表示灯に出力され、大入賞口表示灯の表示制御が実行される。大入賞口表示灯38、39のいずれが点灯されたかによって、遊技者は、2つの大入賞口のいずれが開放されるかについて知ることができる。なお、この実施の形態では、大入賞口表示灯の表示制御は、大当り図柄が停止表示されてから大入賞口が開放されるまで行われる（ステップS408、S412参照）。そして、CPU56は、内部状態（特別図柄プロセスフラグ）をステップS305に応じた値に更新する（ステップS390）。

30

【0476】

なお、大入賞口表示灯38、39の表示制御は、特別図柄停止処理にて実行（開始）される場合に限られるわけではない。例えば、大入賞口が最初に開放される前の大入賞口開放前処理にて実行（開始）するように構成されていてもよい。

40

【0477】

図67は、特別図柄プロセス処理における大入賞口開放前処理（ステップS305）を示すフローチャートである。大入賞口開放前処理において、CPU56は、大入賞口制御タイマの値を-1し（ステップS401）。そして、大入賞口制御タイマの値が0であるか否かを確認する（ステップS402）。その値が0になっていなければ（ステップS402のN）、そのまま処理を終了する。大入賞口制御タイマの値が0になっていれば（ステップS402のY）、大当りが2ラウンド大当りであるか否かを判定する（ステップS403）。なお、大当りが2ラウンド大当りであるか否かは、例えば、大当りの種別が決定されたときに、大当りの種別を示すフラグをセットしておき、そのフラグを確認するこ

50

とによって実現することができる。

【0478】

2ラウンド大当たりでない場合、つまり、7ラウンド大当たりまたは15ラウンド大当たりである場合（ステップS403のN）、CPU56は、大入賞口の開放中（ラウンド中）におけるラウンド数に応じた表示状態を指定する大入賞口開放中表示コマンドを音／ランプ制御用マイクロコンピュータ100bに送信する制御を行う（ステップS404）。なお、ラウンド数は、大当たり遊技中のラウンド数をカウントするラウンド数カウンタの値を確認することにより認識する。そして、CPU56は、ソレノイド241またはソレノイド242を駆動して大入賞口（開閉板201または開閉板202）を開放する制御を行うとともに（ステップS405）、ラウンド数カウンタの値を+1する（ステップS406）。なお、この実施の形態では、出力ポートの出力状態に対応したRAM領域（出力ポートバッファ）が設けられており、CPU56は、ステップS405において出力ポートのRAM領域におけるソレノイドのオン／オフに関する内容を、駆動するソレノイドの開閉状態に応じて設定する。そして、ステップS35の出力処理において出力ポートのRAM領域に設定された内容を出力ポートに出力する。これにより、駆動指令の信号が出力ポートから出力回路59に出力される。出力回路59は、駆動指令の信号に応じてソレノイドを駆動するための駆動信号をソレノイドに出力して、ソレノイドを駆動させる。以下、ソレノイドを開閉駆動させる処理では、このような動作が行われる。

10

【0479】

また、大入賞口制御タイマに、各ラウンドにおいて大入賞口が開放可能な最大時間（ラウンド時間）セットする（ステップS407）。また、大入賞口表示灯を消灯する制御を実行する（ステップS408）。

20

【0480】

ステップS403において2ラウンドの大当たりであったときは（ステップS403のY）、CPU56は、ソレノイド242を駆動して第2大入賞口を開放するとともに（ステップS409）、ラウンド数カウンタの値を+1する（ステップS410）。また、大入賞口制御タイマにラウンド時間をセットする（ステップS411）。なお、15ラウンド用や7ラウンド用のラウンド時間と異なり、2ラウンド用のラウンド時間は、極めて短い時間であり、例えば0.1秒とされている。従って、2ラウンドの大当たりでは、ラウンド中に大入賞口へ遊技球が入賞する可能性は低い。また、大入賞口表示灯を消灯する制御を実行する（ステップS412）。

30

【0481】

そして、CPU56は、内部状態（特別図柄プロセスフラグ）をステップS306に応じた値に更新する（ステップS413）。

【0482】

図68および図69は、特別図柄プロセス処理における大入賞口開放中処理（ステップS306）を示すフローチャートである。大入賞口開放中処理において、CPU56は、まず、大入賞口制御タイマの値を-1する（ステップS421）。そして、大当たりの種別が2ラウンド大当たりであるか否かを確認する（ステップS422）。

【0483】

40

2ラウンド大当たりであれば（ステップS422のY）、CPU56は、大入賞口制御タイマの値が0であるかどうかを確認し（ステップS423）、大入賞口制御タイマの値が0になっていないときは（ステップS423のN）、そのまま処理を終了する。大入賞口制御タイマの値が0になっているときは（ステップS423のY）、ソレノイド242を駆動して大入賞口（開閉板202）を閉鎖する制御を行う（ステップS424）。次いで、CPU56は、ラウンド数カウンタの値が2になっているかどうかを確認する（ステップS425）。

【0484】

ラウンド数カウンタの値が2になっていなければ（ステップS425のN）、CPU56は、大入賞口制御タイマに、ラウンドが終了してから次のラウンドが開始するまでの時

50

間（インターバル時間）をセットし（ステップS 4 2 9）、特別図柄プロセスフラグの値をステップS 3 0 5（大入賞口開放前処理）に応じた値に更新する（ステップS 4 3 0）。なお、2ラウンド用のインターバル時間は、極めて短い時間であり、例えば0.1秒とされている。

【0485】

ラウンド数カウンタの値が2になっていれば（ステップS 4 2 5のY）、CPU 56は、大当りの終了を指定する大当り終了指定コマンドを音／ランプ制御用マイクロコンピュータ100bに送信する制御を行う（ステップS 4 2 6）。そして、大入賞口制御タイマに大当り終了を遊技者に報知する演出（エンディング演出）の実行時間（大当り終了時間）をセットし（ステップS 4 2 7）、特別図柄プロセスフラグの値をステップS 3 0 7（大当り終了処理）に応じた値に更新する（ステップS 4 2 8）。 10

【0486】

ステップS 4 2 2において2ラウンド大当りでなければ（ステップS 4 2 2のN）、CPU 56は、大入賞口制御タイマの値が0であるかどうかを確認する（ステップS 4 3 1）。大入賞口制御タイマの値が0になっていないときは（ステップS 4 3 1のN）、カウントスイッチ231またはカウントスイッチ232がオンしたか否かを確認することにより、大入賞口への遊技球の入賞があったかどうかを確認する（ステップS 4 3 2）。カウントスイッチ231またはカウントスイッチ232がオンしていなければ（ステップS 4 3 2のN）、そのまま処理を終了する。カウントスイッチ231またはカウントスイッチ232がオンしていれば（ステップS 4 3 2のY）、CPU 56は、大入賞口への遊技球の入賞個数をカウントする入賞個数カウンタの値を+1する（ステップS 4 3 3）。そして、ラウンド中の大入賞口への入賞球数を指定するカウント数指定コマンドを音／ランプ制御用マイクロコンピュータ100bに送信する制御を行う（ステップS 4 3 4）。次いで、CPU 56は、入賞個数カウンタの値が所定数（例えば10個）になっているか否かを確認する（ステップS 4 3 5）。入賞個数カウンタの値が所定数になっていなければ（ステップS 4 3 5のN）、そのまま処理を終了する。 20

【0487】

大入賞口制御タイマの値が0になっているとき（ステップS 4 3 1のY）、または入賞個数カウンタの値が所定数になっているとき（ステップS 4 3 5のY）は、CPU 56は、ソレノイド241またはソレノイド242を駆動して大入賞口（開閉板201または開閉板202）を閉鎖する制御を行う（ステップS 4 3 6）。そして、入賞個数カウンタの値をクリアする（0にする）（ステップS 4 3 7）。 30

【0488】

次いで、CPU 56は、15ラウンド大当りであるか否かを確認し（ステップS 4 3 8）、15ラウンド大当りであるときは、ラウンド数カウンタの値が15であるか否かを確認する（ステップS 4 4 0）。また、15ラウンド大当りでないときは、ラウンド数カウンタの値が7であるか否かを確認する（ステップS 4 3 9）。ステップS 4 4 0においてラウンド数カウンタの値が15でないとき（ステップS 4 4 0のN）およびステップS 4 3 9においてラウンド数カウンタの値が7でないときは（ステップS 4 3 9のN）、CPU 56は、大入賞口の開放後（ラウンドの終了後）におけるラウンド数に応じた表示状態を指定する大入賞口開放後表示指定コマンドを音／ランプ制御用マイクロコンピュータ100bに送信する制御を行う（ステップS 4 4 1）。そして、大入賞口制御タイマに、ラウンドが終了してから次のラウンドが開始するまでの時間（インターバル時間）をセットし（ステップS 4 4 2）、特別図柄プロセスフラグの値をステップS 3 0 5（大入賞口開放前処理）に応じた値に更新する（ステップS 4 4 3）。 40

【0489】

ステップS 4 4 0においてラウンド数カウンタの値が15であるとき（ステップS 4 4 0のY）およびステップS 4 3 9においてラウンド数カウンタの値が7であるときは（ステップS 4 3 9のY）、CPU 56は、大当り終了指定コマンドを送信する制御を行い（ステップS 4 4 4）、大入賞口制御タイマに大当り終了時間をセットする（ステップS 4 50

45)。そして、特別図柄プロセスフラグの値をステップS307（大当たり終了処理）に応じた値に更新する（ステップS446）。

【0490】

図70は、特別図柄プロセス処理における大当たり終了処理（ステップS307）を示すフローチャートである。大当たり終了処理において、CPU56は、まず、大入賞口制御タイマの値を-1する（ステップS501）。そして、大入賞口制御タイマの値が0であるか否かを確認する（ステップS502）。大入賞口制御タイマの値が0でなければ（ステップS502のN）、そのまま処理を終了する。

【0491】

大入賞口制御タイマの値が0になっていれば（ステップS502のY）、大当たりが確変大当たりであったか否かを確認する（ステップS503）。確変大当たりであった場合は（ステップS503のY）、確変フラグをセットする（ステップS504）。なお、すでにフラグがセットされていた場合はセットする必要はない。また、CPU56は、変動回数カウンタに100回をセットする（ステップS505）。そして、大当たりフラグをリセットし（ステップS506）、内部状態（特別図柄プロセスフラグの値）をステップS300（特別図柄通常処理）に応じた値に更新する（ステップS507）。

【0492】

ステップS503において確変大当たりでなかった場合は、時短大当たりであったか否かを確認する（ステップS508）。時短大当たりであった場合は（ステップS508のY）、時短フラグをセットする（ステップS509）。なお、すでにフラグがセットされていた場合はセットする必要はない。次いで、確変フラグがセットされているか否かを確認し（ステップS510）、確変フラグがセットされていれば、そのフラグをリセットする（ステップS511）。その後、上述したステップS505～S507の処理を実行する。

【0493】

ステップS508において時短大当たりでなかった場合は、大当たりが通常大当たりであったことになり、このときは、CPU56は、確変フラグがセットされているか否かを確認する（ステップS512）。確変フラグがセットされているときは、確変フラグをリセットし（ステップS513）、時短フラグをセットする（ステップS514）。その後、上述したステップS505～S507の処理を実行する。

【0494】

確変フラグがセットされていないときは、時短フラグがセットされているか否かを確認する（ステップS515）。時短フラグがセットされているときは、時短フラグをリセットする（ステップS516）。その後、上述したステップS506、S507の処理を実行する。

【0495】

なお、上記のステップS503～S505、S508～S516の処理は、大当たり終了処理にて実行するのではなく、特別図柄停止処理にて実行するようにしてもよい。また、所定の種別の当たりが発生したことにもとづく所定の遊技状態を終了させる処理、すなわち、ステップS511、S513、S516におけるフラグをリセットする処理についてのみ特別図柄停止処理にて実行するようにし、所定の種別の当たりが発生したことにもとづく所定の遊技状態に移行させる処理、すなわち、ステップS504、S509、S514におけるフラグをセットする処理については大当たり終了処理にて実行するようにしてもよい。

【0496】

次に、主基板31と払出制御基板37との間で送受信される払出制御信号および払出制御コマンドについて説明する。図71は、遊技制御手段から払出制御手段に対して出力される制御信号の内容の一例を示す説明図である。この実施の形態では、払出制御等に関する各種の制御を行うために、主基板31と払出制御基板37との間で制御信号として接続確認信号が送受信される。図71に示すように、接続確認信号は、主基板31の立ち上がり時（遊技制御手段が遊技制御処理を開始したとき）に出力され、払出制御基板37に対

10

20

30

40

50

して主基板 31 が立ち上がったことを通知するための信号（主基板 31 の接続確認信号）である。また、接続確認信号は、賞球払出が可能な状態であることを示す。

【0497】

払出制御用マイクロコンピュータ 370 は、遊技制御用マイクロコンピュータ 560 と同様に、シリアル通信回路 375 を内蔵する。また、遊技制御用マイクロコンピュータ 560 が内蔵するシリアル通信回路 505 と、払出制御用マイクロコンピュータ 370 が内蔵するシリアル通信回路 375 との間で、各種払出制御コマンドが送受信される。なお、払出制御用マイクロコンピュータ 370 が内蔵するシリアル通信回路 375 の構成及び機能は、遊技制御用マイクロコンピュータ 560 が内蔵するシリアル通信回路 505 の構成及び機能と同様である。

10

【0498】

図 72 は、遊技制御手段と払出制御手段との間で送受信される制御コマンドの内容の一例を示す説明図である。この実施の形態では、払出制御等に関する各種の制御を行うために、主基板 31 と払出制御基板 37 とのマイクロコンピュータの間で各種制御コマンドが送受信される。

【0499】

賞球個数コマンドは、払出要求を行う遊技球の個数（0～15 個）を指定するために出力されるコマンドである。この実施の形態では、始動口スイッチ 14a で遊技球が検出されると 4 個の賞球払出を行い、入賞口スイッチ 29a, 30a のいずれかで遊技球が検出されると 7 個の賞球払出を行い、カウントスイッチ 231, 232 で遊技球が検出されると 15 個の賞球払出を行う。よって、始動口スイッチ 14a で遊技球が検出された場合、賞球数 4 個を通知するための賞球個数コマンド「04」が送信され、入賞口スイッチ 29a, 30a のいずれかで遊技球が検出された場合、賞球数 7 個を通知するための賞球個数コマンド「07」が送信され、カウントスイッチ 231, 232 で遊技球が検出された場合、賞球数 15 個を通知するための賞球個数コマンド「0F」が送信される。なお、賞球個数コマンドを 2 バイトで構成してもよい。この場合、例えば、CPU 56 は、まず賞球個数コマンドの下位 1 バイトのデータを送信データレジスタ 710 に書き込む。そして、送信用シフトレジスタ 712 から賞球個数コマンドの下位 1 バイトのデータの送信が完了すると、シリアル通信回路 505 からの送信時割り込み要求に応じて、CPU 56 は、賞球個数コマンドの上位 1 バイトのデータを送信データレジスタ 710 に書き込み、送信用シフトレジスタ 712 から賞球個数コマンドの上位 1 バイトのデータが送信される。

20

30

【0500】

賞球 ACK コマンド「D2」は、払出制御手段が賞球個数コマンドを受信したことを遊技制御手段に通知するためのコマンドである。賞球 ACK コマンドは、賞球個数コマンドを受信したことを示す受信確認信号に相当する。

【0501】

図 73 は、図 71 に示す制御信号および図 70 に示す制御コマンドの送受信に用いられる信号線等を示すブロック図である。なお、図 73 には、電源断信号も示されている。図 73 に示すように、接続確認信号は、遊技制御用マイクロコンピュータ 560 によって出力回路 67 を介して出力され、入力回路 373A を介して払出制御用マイクロコンピュータ 370 に入力される。また、電源断信号は、出力回路 373B を介して出力され、入力回路 68 を介して遊技制御用マイクロコンピュータ 560 に入力される。また、賞球個数コマンドは、遊技制御用マイクロコンピュータ 560 が内蔵するシリアル回路 505 から出力され、払出制御用マイクロコンピュータ 370 が内蔵するシリアル回路 375 に入力される。また、賞球 ACK コマンドは、払出制御用マイクロコンピュータ 370 が内蔵するシリアル回路 375 から出力され、遊技制御用マイクロコンピュータ 560 が内蔵するシリアル回路 505 に入力される。

40

【0502】

接続確認信号および電源断信号は、それぞれ 1 ビットのデータであり、1 本の信号線によって送信される。また、主基板 31 と払出制御基板 37 との間で、遊技制御用マイクロ

50

コンピュータ560への電源断信号の信号線と、払出制御に関わる制御信号（接続確認信号）の信号線とをまとめて配線することができる。よって、遊技機において、遊技制御用マイクロコンピュータ560への電源断信号に関する配線スペースを節減することができる。

【0503】

なお、この実施の形態では、遊技制御用マイクロコンピュータ560が賞球個数コマンドを払出制御用マイクロコンピュータ370にシリアル送信し、払出制御用マイクロコンピュータ370が賞球ACKコマンドを遊技制御用マイクロコンピュータ560にシリアル送信する双方向通信を行う場合を説明するが、遊技制御用マイクロコンピュータ560と払出制御用マイクロコンピュータ370とは一方向のシリアル通信を行ってもよい。例えば、遊技制御用マイクロコンピュータ560が賞球個数コマンドを払出制御用マイクロコンピュータ370に送信する一方向のシリアル通信を行い、払出制御用マイクロコンピュータ370は賞球ACKコマンドを送信しないようにしてもよい。

【0504】

図74は、払出制御信号および払出制御コマンドの出力の仕方の一例を示すタイミング図である。図74に示すように、入賞検出スイッチが遊技球の入賞を検出すると、遊技制御手段（遊技制御用マイクロコンピュータ560）は、入賞に応じて払い出される賞球数に応じた賞球個数コマンドを払出制御手段（払出制御用マイクロコンピュータ370）に送信する。なお、具体的には、遊技制御用マイクロコンピュータ560は、遊技球が遊技機に設けられている入賞領域に入賞したことを入賞検出スイッチの検出信号によって検知すると、あらかじめ決められた賞球数をバックアップRAMに形成されている総賞球数格納バッファの内容に加算する。そして、総賞球数格納バッファの内容が0でない値になったら、入賞に応じて払い出される賞球数に応じた賞球個数コマンドを払出制御用マイクロコンピュータ370に送信する。

【0505】

また、この実施の形態では、始動口スイッチ14aで遊技球が検出されると4個の賞球払出を行い、入賞口スイッチ29a、30aのいずれかで遊技球が検出されると7個の賞球払出を行い、カウントスイッチ231、232で遊技球が検出されると15個の賞球払出を行う。具体的には、遊技制御用マイクロコンピュータ560は、払い出される賞球数に応じて、賞球数が4個の場合には賞球数が4個であることを示す賞球個数コマンド「04」を送信し、賞球数が7個の場合には賞球数が7個であることを示す賞球個数コマンド「07」を送信し、賞球数が15個の場合には賞球数が15個であることを示す賞球個数コマンド「0F」を送信する。

【0506】

賞球個数コマンドの送信を完了すると、遊技制御用マイクロコンピュータ560のシリアル通信回路505は、図74に示すように、遊技制御用マイクロコンピュータ560のCPU56に対して送信時割り込み要求を行う。送信時割り込み要求によって、CPU56は、賞球個数コマンドの送信を完了した状態となったことを認識し、払出制御用マイクロコンピュータからの受信確認信号の待ち状態となる。

【0507】

払出制御用マイクロコンピュータ370は、賞球個数コマンドの受信を確認すると、受信した賞球個数コマンドに示される賞球数を、払出制御用マイクロコンピュータ370の受信バッファに格納する。また、払出制御用マイクロコンピュータ370は、RAMの所定領域に設けられた賞球未払出個数カウンタに賞球数を加算する。そして、払出制御用マイクロコンピュータ370は、賞球ACKコマンド「D2」を、遊技制御用マイクロコンピュータ560に送信する。なお、払出制御用マイクロコンピュータ370は、払出制御用マイクロコンピュータ370が内蔵するシリアル通信回路375からの受信時割り込み要求にもとづく割り込処理において賞球数を受信カウンタに格納するようにしてもよい。この場合、払出制御用マイクロコンピュータ370が内蔵するシリアル通信回路375は、賞球個数コマンドを受信すると、払出制御用マイクロコンピュータ370のCPUに受信

時割り込み要求を行う。そして、払出制御用マイクロコンピュータ370のCPUは、シリアル通信回路375からの割り込み要求に応じて割込処理を実行することによって、賞球数を受信バッファに格納する。

【0508】

賞球ACKコマンドを受信し、受信データレジスタ711に賞球ACKコマンドが格納された状態となると、遊技制御用マイクロコンピュータ560のシリアル通信回路505は、図74に示すように、遊技制御用マイクロコンピュータ560のCPU56に対して受信時割り込み要求を行う。受信時割込要求による割込処理を実行することによって、CPU56は、シリアル通信回路505がデータを受信したことを認識し、後述する賞球ACK待ち処理において受信データレジスタ711から賞球ACKコマンドを読み込む。

10

【0509】

図75は、ステップS31の賞球処理の一例を示すフローチャートである。賞球処理において、遊技制御用マイクロコンピュータ560は、賞球個数加算処理（ステップS1201）と賞球制御処理（ステップS1202）とを実行する。そして、RAM55に形成されるポート0バッファの内容をポート0に出力する（ステップS1203）。なお、ポート0バッファの内容は、賞球制御処理において更新される。

【0510】

遊技制御用マイクロコンピュータ560のCPU56は、メイン処理におけるステップS17からステップS19までのループ処理において、割り込み許可状態である間にシリアル通信回路505からの割り込み要求があると、シリアル通信回路505が割り込み要求を行った割り込み原因に応じた割り込み処理を実行する。図76は、シリアル通信回路505が割り込み要求に対して行う割り込み処理の一例を示す流れ図である。図76（a）は、シリアル通信回路505が通信エラーを割り込み原因として割り込み要求を行った場合に、CPU56が実行する通信エラー割込処理である。図76（b）は、シリアル通信回路505が受信データを受信したことを割り込み原因として割り込み要求を行った場合に、CPU56が実行する受信時割込処理である。図76（c）は、シリアル通信回路505が送信データの送信を完了したことを割り込み原因として割り込み要求を行った場合に、CPU56が実行する送信完了割込処理である。

20

【0511】

CPU56は、いずれの割込処理を優先して実行する旨が初期設定されているか否かを判断する。例えば、CPU56は、いずれの割込処理を優先して実行する旨のフラグがセットされているか否かを判断する。この実施の形態では、CPU56は、通信エラー時割込優先実行フラグがセットされていることにもとづいて、シリアル通信回路505で通信エラーが発生したことを割込原因とする割込処理を優先して実行する。

30

【0512】

シリアル通信回路505から割り込み要求があると、CPU56は、シリアル通信回路505のステータスレジスタA705の各ビットを確認し、割り込み原因を特定する。この場合、CPU56は、いずれの割込処理を優先して実行する旨が初期設定されているか否かを判断する。例えば、CPU56は、いずれの割込処理を優先して実行する旨のフラグがセットされているか否かを判断する。この実施の形態では、CPU56は、通信エラー時割込優先実行フラグがセットされていることにもとづいて、シリアル通信回路505で通信エラーが発生したことを割込原因とする割込処理を優先して実行する。

40

【0513】

CPU56は、通信エラー時割込優先実行フラグがセットされていることにもとづいて、ステータスレジスタA705のビット0～ビット3を優先的に確認し、割り込み原因を特定する。すなわち、CPU56は、シリアル通信回路505で通信エラー（オーバーラン、ノイズエラー、フレーミングエラーまたはパリティエラー）が発生したことを割り込み原因として割り込み要求したか否かを、他の割り込み原因（受信データの受信または送信データの送信完了）に優先して判断する。ステータスレジスタA705のビット0～ビット3のうちいずれか1つまたは複数のビットが「1」とであると判断すると、CPU56

50

は、割り込み原因がシリアル通信回路505で通信エラーが発生したことでありと特定する。

【0514】

割り込み原因がシリアル通信回路505で通信エラーが発生したことでありと特定すると、CPU56は、図76(a)に示す通信エラー割込処理を他の割込処理(図76(b)および図76(c)に示す割込処理)に優先して実行する。この場合、CPU56は、シリアル通信回路505で通信エラーが発生していることを示す通信エラーフラグをセットする(ステップS41)。

【0515】

なお、通信エラーを検出すると、CPU56は、演出制御手段に、シリアル通信回路505で通信エラーが発生したことを通知するために、通信エラー発生表示指定の演出制御コマンド(通信エラー表示コマンド)を送信する処理を行う。音/ランプ制御用CPUは、通信エラー表示コマンドを受信すると、音、表示、発光体などを用いた演出を行い、通信エラーが発生している旨の報知を行う。

【0516】

なお、CPU56は、図76(a)の通信エラー割込処理において、払出制御基板37が搭載する払出制御用マイクロコンピュータ370との通信を禁止するように構成されていてもよい。この場合、CPU56は、例えば、シリアル通信回路505の送信部の機能を停止させることによって、払出制御基板37が搭載する払出制御用マイクロコンピュータ370へのデータ送信を禁止するように制御する。また、CPU56は、図76(a)の通信エラー割込処理において、通信エラー発生表示指定の演出制御コマンド(通信エラー表示コマンド)を送信する処理を行うように構成されていてもよい。

【0517】

割り込み原因がシリアル通信回路505で通信エラーが発生したことでなかった場合、CPU56は、ステータスレジスタAのビット5を確認する。すなわち、CPU56は、シリアル通信回路505が受信データを受信したことが割込原因であるか否かを判断する。ステータスレジスタAのビット5が「1」であると判断すると、CPU56は、割り込み原因がシリアル通信回路505が受信データを受信したことでありと特定する。

【0518】

割り込み原因がシリアル通信回路505が受信データを受信したことでありと特定すると、CPU56は、図76(b)に示す受信時割込処理を実行する。この場合、CPU56は、シリアル通信回路505が受信データを受信していることを示す受信時割込フラグをセットする(ステップS42)。

【0519】

なお、ステップS42において、CPU56は、受信時割込フラグをセットするとともに、シリアル通信回路505の受信データレジスタ711からデータを読み込んでもよい。この場合、例えば、CPU56は、読み込んだ受信データが賞球ACKコマンドであるか否かを判断する。また、賞球ACKコマンドであると判断すると、CPU56は、賞球ACKコマンドを受信したことを示す賞球ACK受信フラグをセットする。なお、払出制御用マイクロコンピュータ370のCPUも、図76(b)の受信時割込処理と同様の処理を実行し、その場合、受信時割込処理を実行するときに、シリアル通信回路375の受信データレジスタからデータを読み込んでもよい。そして、この場合は、読み込んだ受信データが賞球コマンドであるか否かを判断し、賞球コマンドであると判断すると、賞球コマンドを受信したことを示すフラグをセットする。

【0520】

また、割り込み原因がシリアル通信回路505で通信エラーが発生したことでなく、受信割込でもなかった場合、CPU56は、ステータスレジスタAのビット6を確認する。すなわち、CPU56は、シリアル通信回路505が送信データの送信を完了したことが割込原因であるか否かを判断する。ステータスレジスタAのビット6が「1」であると判断すると、CPU56は、割り込み原因がシリアル通信回路505が送信データの送信を

完了したことでありと特定する。

【0521】

割り込み原因がシリアル通信回路505が送信データの送信を完了したことでありと特定すると、CPU56は、図76(c)に示す送信完了割込処理を実行する。この場合、CPU56は、シリアル通信回路505が送信データの送信を完了していることを示す送信時割込フラグをセットする(ステップS43)。

【0522】

上記に示す処理を実行することによって、遊技制御用マイクロコンピュータ560のCPU56は、シリアル通信回路505からの割り込み要求があった場合に、割込原因を特定し、特定した割込原因に応じたフラグ(通信エラーフラグ、受信時割込フラグ又は送信時割込フラグ)をセットする。特定した割込原因に応じてフラグがセットされることによって、CPU56によって、シリアル通信回路505で通信エラーが発生した旨や、データを受信した旨、又はデータ送信を完了した旨が認識される。

10

【0523】

なお、払出制御用マイクロコンピュータ370が搭載するCPUも、シリアル通信回路375からの割り込み要求があった場合に、図76に示す処理と同様の処理に従って、割り込み原因を特定し、特定した割込原因に応じたフラグをセットする。

【0524】

例えば、遊技制御用マイクロコンピュータ560から払出制御用マイクロコンピュータ370に、一方向通信で賞球個数コマンドを送信する場合を考える。この場合、遊技制御用マイクロコンピュータ560が払出制御用マイクロコンピュータ370に、例えば2ms毎にタイマ割込が発生する構成となっていて、賞球個数コマンドを送信した後、次の割込処理を行って2ms後に再び賞球個数コマンドを送信したとする。また、払出制御用マイクロコンピュータ370は、例えば4ms毎にタイマ割込が発生する構成となっていて、4ms毎に賞球個数コマンドを受信できるものであるとする。すると、遊技制御用マイクロコンピュータ560が最初に送信した賞球個数コマンドを読み込んでいないのに、払出制御用マイクロコンピュータ370が次の賞球個数コマンドを受信してしまう事態が発生してしまうが、払出制御用マイクロコンピュータ370のCPUがシリアル通信回路375からの受信時割り込み要求に応じて賞球個数コマンドを受信するように設定すれば、遊技制御用マイクロコンピュータ560からの賞球個数コマンドを確実に受信することができる。

20

30

【0525】

賞球個数加算処理では、図77に示す賞球個数テーブルが使用される。賞球個数テーブルは、ROM54に設定されている。賞球個数テーブルの先頭アドレスには処理数(この例では「4」)が設定され、その後に、スイッチオンバッファ(2バイトのスイッチオンバッファのうちの入力ポート0に対応する方)の下位アドレス、入賞により賞球を払い出すことになる入賞口の各スイッチについてのスイッチ入力ビット判定値、賞球数が、入賞口の各スイッチのそれぞれに対応して順次設定されている。なお、スイッチ入力ビット判定値は、入力ポート0における各スイッチの検出信号が入力されるビットに対応した値である。また、スイッチオンバッファの上位アドレスは固定的な値(例えば7F(H))である。また、賞球個数テーブルにおいて、4つのスイッチオンバッファの下位アドレスのそれぞれには、同じデータが設定されている。なお、この実施の形態では、ROM54およびRAM55のアドレスは16ビットで指定される。

40

【0526】

図78は、賞球個数加算処理を示すフローチャートである。賞球個数加算処理において、CPU56は、賞球個数テーブルの先頭アドレスをポインタにセットする(ステップS1211)。そして、ポインタが指すアドレスのデータ(この場合には処理数)をロードする(ステップS1212)。次に、スイッチオンバッファの上位アドレス(8ビット)を2バイトのチェックポインタの上位1バイトにセットする(ステップS1213)。

【0527】

50

そして、ポインタの値を1増やし（ステップS1214）、ポインタが指す賞球個数テーブルのデータ（この場合にはスイッチオンバッファの下位アドレス）をチェックポインタの下位1バイトにセットした後（ステップS1215）、ポインタの値を1増やす（ステップS1216）。次いで、チェックポインタが指すアドレスのデータ、すなわちスイッチオンバッファの内容をレジスタにロードし（ステップS1217）、ロードした内容と、ポインタが指す賞球個数テーブルのデータ（この場合にはスイッチ入力ビット判定値）との論理積をとる（ステップS1218）。この結果、スイッチオンバッファの内容がロードされたレジスタには、検査対象としているスイッチの検出信号に対応したビット以外の7ビットが0になる。そして、ポインタの値を1増やす（ステップS1219）。

【0528】

ステップS1218における演算結果が0でなければ、すなわち、検査対象のスイッチの検出信号がオン状態であれば、ポインタが指す賞球個数テーブルのデータ（この場合には賞球個数）を賞球加算値に設定し（ステップS1220、S1221）、賞球加算値を、RAM55に形成されている16ビットの総賞球数格納バッファの内容に加算する（ステップS1222）。加算の結果、桁上げが発生した場合には、総賞球数格納バッファの内容を65535（=FFFF（H））に設定する（ステップS1223、1224）。

【0529】

ステップS1225では処理数を1減らし、処理数が0であれば処理を終了し、処理数が0でなければステップS1214に戻る（ステップS1226）。また、ステップS1220において、ステップS1218における演算結果が0であること、すなわち、検査対象のスイッチの検出信号がオフ状態であることを確認したら、ステップS1225に移行する。

【0530】

図79は、ステップS1202の賞球制御処理を示すフローチャートである。賞球制御処理では、CPU56は、ステップS1230の賞球異常検出処理を実行した後、賞球プロセスコードの値に応じて、ステップS1231～S1235のいずれかの処理を実行する。

【0531】

図80は、賞球プロセスコードの値が0の場合に実行される賞球送信待ち処理（ステップS1231）を示すフローチャートである。CPU56は、賞球送信待ち処理において、通信エラーフラグがセットされているか否かを確認する（ステップS1241）。すなわち、CPU56は、まず、シリアル通信回路505で通信エラーが発生しているか否かを確認する。通信エラーフラグがセットされている場合、CPU56は、そのまま処理を終了する。すなわち、シリアル通信回路505で通信エラーが発生している状態であるので、CPU56は、払出制御基板37が搭載する払出制御用マイクロコンピュータ370との通信を禁止するように制御する。

【0532】

通信エラーフラグがセットされていなければ、CPU56は、総賞球数格納バッファの内容を確認する（ステップS1242）。その値が0であれば処理を終了し、0でなければ、賞球プロセスコードの値を1にした後（ステップS1243）、処理を終了する。

【0533】

図81は、賞球プロセスコードの値が1の場合に実行される賞球個数コマンド送信処理（ステップS1232）を示すフローチャートである。CPU56は、賞球送信処理において、通信エラーフラグがセットされているか否かを確認する（ステップS1251）。すなわち、CPU56は、まず、シリアル通信回路505で通信エラーが発生しているか否かを確認する。通信エラーフラグがセットされている場合、CPU56は、払出制御基板37が搭載する払出制御用マイクロコンピュータ370との通信を禁止し、そのまま処理を終了する。すなわち、シリアル通信回路505で通信エラーが発生している状態であるので、CPU56は、払出制御用マイクロコンピュータ370との通信を禁止するように制御する。この場合、CPU56は、例えば、シリアル通信回路505の送信部の機能を

10

20

30

40

50

停止させることによって、払出制御基板 37 が搭載する払出制御用マイクロコンピュータ 370 へのデータ送信を禁止するように制御する。例えば、CPU 56 は、シリアル通信回路 505 の制御レジスタ B708 のビット 3 を「0」に設定し、送信回路を使用しないように設定することによって、払出制御用マイクロコンピュータ 370 へのデータ送信を禁止する。なお、例えば、CPU 56 は、図 76 (a) に示す通信エラー割込処理において、制御レジスタ B708 のビット 3 を「0」に設定し、払出制御用マイクロコンピュータ 370 へのデータ送信を禁止してもよい。払出制御用マイクロコンピュータ 370 へのデータ送信が禁止された後は、エラー状態を解除するためのエラー解除スイッチ（図示せず）が操作されたことにもとづいて通信エラーフラグがクリアされてエラー状態から復旧させたり、または CPU 56 がシリアル通信回路 505 のデータレジスタの値を読み込むと通信エラーフラグがクリアされてエラー状態から自動復旧させるようにしてもよい。

10

【0534】

通信エラーフラグがセットされていなければ、CPU 56 は、総賞球数格納バッファの内容が賞球コマンド最大値（この例では「15」）よりも小さいか否かを確認する（ステップ S1252）。総賞球数格納バッファの内容が賞球コマンド最大値以上であれば、賞球コマンド最大値を賞球個数バッファに設定する（ステップ S1253）。また、総賞球数格納バッファの内容が賞球コマンド最大値よりも小さい場合には、総賞球数格納バッファの内容を賞球個数バッファに設定する（ステップ S1254）。

【0535】

その後、CPU 56 は、賞球個数バッファの内容を賞球個数コマンドとしてシリアル通信回路 505 の送信データレジスタ 710 に書き込み（ステップ S1255）、賞球プロセスコードの値を 2 にした後（ステップ S1256）、処理を終了する。この実施の形態では、賞球コマンド最大値は「15」である。従って、最大で「15」の払出数を指定する賞球個数コマンドが送信データレジスタ 710 に書き込まれる。その後、送信データレジスタ 710 に書き込まれた賞球個数コマンドは、送信用シフトレジスタ 712 に転送され、送信用シフトレジスタ 712 から払出制御用マイクロコンピュータに送信される。

20

【0536】

図 82 は、賞球プロセスコードの値が 2 の場合に実行される賞球送信完了待ち処理（ステップ S1233）を示すフローチャートである。CPU 56 は、賞球送信完了待ち処理において、通信エラーフラグがセットされているか否かを確認する（ステップ S1261）。すなわち、CPU 56 は、まず、シリアル通信回路 505 で通信エラーが発生しているか否かを確認する。通信エラーフラグがセットされている場合、CPU 56 は、そのまま処理を終了する。すなわち、シリアル通信回路 505 で通信エラーが発生している状態であるので、CPU 56 は、払出制御基板 37 が搭載する払出制御用マイクロコンピュータ 370 との通信を禁止するように制御する。

30

【0537】

通信エラーフラグがセットされていなければ、CPU 56 は、送信時割込フラグがセットされているか否かを確認する（ステップ S1262）。送信時割込フラグがセットされていれば、CPU 56 は、ステップ S1263 の処理に移行する。また、送信時割込フラグがセットされていなければ、CPU 56 は、そのまま処理を終了する。すなわち、CPU 56 は、賞球個数コマンド送信処理において送信データレジスタ 710 に書き込んだ賞球個数コマンドの送信をシリアル通信回路 505 が既に完了したか否かを判断し、賞球個数コマンドの送信を完了したことを確認すると、ステップ S1263 以降の処理を実行する。

40

【0538】

送信時割込フラグがセットされていれば、CPU 56 は、送信時割込フラグをリセットする（ステップ S1263）。そして、CPU 56 は、総賞球数格納バッファの内容から、賞球個数バッファの内容（払出制御手段に指令した賞球払出個数）を減算する（ステップ S1264）。なお、遊技制御用マイクロコンピュータ 560 は、ステップ S1255 において賞球個数コマンドを送信データレジスタ 710 に書き込む前に、総賞球数格納バ

50

ッファの内容から賞球払出個数を減算してもよい。

【0539】

また、CPU56は、賞球タイマにACK受信完了判定時間値をセットする（ステップS1266）。そして、賞球プロセスコードの値を3にして（ステップS1267）、処理を終了する。なお、ACK受信完了判定時間値は、払出制御手段から賞球ACKコマンドを受信したか否かを監視するための時間値である。

【0540】

図83は、賞球プロセスコードの値が3の場合に実行される賞球ACK待ち処理（ステップS1234）を示すフローチャートである。CPU56は、賞球ACK待ち処理において、通信エラーフラグがセットされているか否かを確認する（ステップS1271）。すなわち、CPU56は、まず、シリアル通信回路505で通信エラーが発生しているか否かを確認する。通信エラーフラグがセットされている場合、CPU56は、払出制御基板37が搭載する払出制御用マイクロコンピュータ370との通信を禁止し、そのまま処理を終了する。すなわち、シリアル通信回路505で通信エラーが発生している状態であるので、CPU56は、払出制御用マイクロコンピュータ370との通信を禁止するように制御する。この場合、CPU56は、例えば、シリアル通信回路505の受信部の機能を停止させることによって、払出制御基板37からのデータ受信を禁止するように制御する。例えば、CPU56は、シリアル通信回路505の制御レジスタB708のビット2を「0」に設定し、受信回路を使用しないように設定することによって、払出制御基板37が搭載する払出制御用マイクロコンピュータ370からのデータ受信を禁止する。なお、例えば、CPU56は、図76（a）に示す通信エラー割込処理において、制御レジスタB708のビット2を「0」に設定し、払出制御用マイクロコンピュータ370からのデータ受信を禁止してもよい。払出制御用マイクロコンピュータ370へのデータ送信が禁止された後は、エラー状態を解除するためのエラー解除スイッチ（図示せず）が操作されたことにもとづいて通信エラーフラグがクリアされてエラー状態から復旧させたり、またはCPU56がシリアル通信回路505のデータレジスタの値を読み込むと通信エラーフラグがクリアされてエラー状態から自動復旧させるようにしてもよい。

【0541】

通信エラーフラグがセットされていなければ、CPU56は、受信時割込フラグがセットされているか否かを確認する（ステップS1272）。すなわち、CPU56は、シリアル通信回路505が受信データを受信し、受信データレジスタ711にデータが格納されている状態になっているか否かを確認する。受信時割込フラグがセットされていれば、CPU56は、ステップS1273の処理に移行する。また、受信時割込フラグがセットされていなければ、CPU56は、ステップS1275の処理に移行する。

【0542】

受信時割込フラグがセットされていれば、CPU56は、シリアル通信回路505の受信データレジスタ711からデータを読み込む（ステップS1273）。また、CPU56は、読み込んだデータが賞球ACKコマンドであるか否か（コマンド「D2」であるか否か）を判断する（ステップS1274）。

【0543】

なお、図76（b）に示す受信時割込処理において、受信時割込フラグをセットするとともに既に受信データを受信データレジスタ711から読み込んでいる場合、ステップS1273、S1274において、CPU56は、賞球ACK受信フラグがセットされているか否かを判断してもよい。そして、賞球ACK受信フラグがセットされている場合、CPU56は、賞球ACKコマンドを受信したと判断するようにしてもよい。

【0544】

ステップS1272で受信時割込フラグがセットされていなかった場合、またはステップS1274で読み込んだデータが賞球ACKコマンドでなかった場合、CPU56は、まだ払出制御用マイクロコンピュータ370から賞球ACKコマンドを受信していない状態であると判断する。この場合、CPU56は、賞球タイマの値を1減らし（ステップS

1 2 7 5)、その値が0でなければ処理を終了する(ステップS 1 2 7 6)。賞球タイマの値が0になったら、払出制御用マイクロコンピュータ3 7 0が賞球A C Kコマンドを送信しなかったと判断して、再送信フラグをセットし(ステップS 1 2 7 7)、賞球プロセスコードの値を4にして(ステップS 1 2 7 8)、処理を終了する。なお、賞球プロセスコードの値が4になると、賞球再送信処理(ステップS 1 2 3 5)が実行される状態になる。また、再送信フラグがセットされると、賞球異常検出処理(ステップS 1 2 3 0)において、払出異常報知開始コマンドが音／ランプ制御基板8 0 bに対して送信される。

【0 5 4 5】

ステップS 1 2 7 4において、受信データレジスタ7 1 1から読み込んだデータが賞球A C Kコマンドであることを確認すると、C P U 5 6は、受信時割込フラグをリセットして(ステップS 1 2 7 9)、賞球プロセスコードの値を0にする(ステップS 1 2 8 0)。また、通信が正常に完了したので、再送信フラグがセットされている場合には、再送信フラグをリセットする(ステップS 1 2 8 1, S 1 2 8 2)。

【0 5 4 6】

以上の処理によって、遊技制御手段は、払出条件の成立にもとづいて払い出される賞球としての遊技球の総数を特定可能に総賞球数格納バッファに記憶する。また、遊技制御手段は、総賞球数格納バッファに記憶されている賞球数にもとづいて払出制御手段に対して所定数の賞球の払出数を指定する払出指令コマンド(賞球個数コマンド)を送信する。ここで、所定数は、総賞球数格納バッファに記憶されている賞球数が1 5個以上であれば1 5であり、1 5個未満であれば、総賞球数格納バッファに記憶されている賞球数である。そして、賞球払出を指定する賞球個数コマンドを送信したときに、総賞球数格納バッファに記憶されている賞球数から賞球個数コマンドで指定した払出数を減算する減算処理を行う。なお、払出制御用マイクロコンピュータ3 7 0は、賞球個数コマンドを受信すると直ちに賞球A C Kコマンドを送信するので、球払出装置9 7からの賞球払出に関わりなく賞球個数コマンドに関する通信を完了でき、遊技制御用マイクロコンピュータ5 6 0は、賞球個数コマンドで指定した払出数の賞球払出が完了する前に、連続的に次の賞球個数コマンドを送信することができる。

【0 5 4 7】

なお、この実施の形態では、払出条件の成立にもとづいて払い出される景品遊技媒体の総数を特定可能に記憶するために、総数そのものを記憶する総賞球数格納バッファを用いる場合を例示したが、各入賞領域への入賞数を記憶したり、賞球数が同じである入賞領域毎の入賞数(例えば4個の賞球数に対応した入賞口1 4、7個の賞球数に対応した入賞口2 9, 3 0、1 5個の賞球数に対応した大入賞口への入賞数であって、未だ賞球払出が終了していない入賞数)を記憶するバッファなどを用いてもよい。その場合には、入賞領域毎の賞球数に応じた数が設定された賞球個数コマンドが遊技制御用マイクロコンピュータ5 6 0から払出制御用マイクロコンピュータ3 7 0に送信される。このような構成において、払出数の多い払出指令コマンドから送信していくように構成されていてもよい。例えば、1 5個の賞球数に対応した大入賞口への入賞が4つ、7個の賞球数に対応した入賞口2 9, 3 0への入賞が1つ発生した状態のとき、最初に1 5個の賞球の払出数を指定する払出指令コマンドを4回送信し、その後に7個の賞球の払出数を指定する払出指令コマンドを送信する。さらには、賞球個数を示す賞球個数コマンドを送信するのではなく、入賞があったことまたは入賞数を示す払出指令コマンドを遊技制御用マイクロコンピュータ5 6 0から払出制御用マイクロコンピュータ3 7 0に送信するようにしてもよい。

【0 5 4 8】

図8 4は、賞球プロセスコードの値が4の場合に実行される賞球再送信処理(ステップS 1 2 3 5)を示すフローチャートである。C P U 5 6は、賞球再送信処理において、通信エラーフラグがセットされているか否か確認する(ステップS 1 2 9 1)。すなわち、C P U 5 6は、まず、シリアル通信回路5 0 5で通信エラーが発生しているか否かを確認する。通信エラーフラグがセットされている場合、C P U 5 6は、払出制御基板3 7が搭載する払出制御用マイクロコンピュータ3 7 0との通信を禁止し、そのまま処理を終了す

る。すなわち、シリアル通信回路505で通信エラーが発生している状態であるので、CPU56は、払出制御用マイクロコンピュータ370との通信を禁止するように制御する。この場合、CPU56は、例えば、シリアル通信回路505の送信部の機能を停止させることによって、払出制御用マイクロコンピュータ370へのデータ送信を禁止するように制御する。例えば、CPU56は、シリアル通信回路505の制御レジスタB708のビット3を「0」に設定し、送信回路を使用しないように設定することによって、払出制御用マイクロコンピュータ370へのデータ送信を禁止する。

【0549】

通信エラーフラグがセットされていなければ、CPU56は、賞球個数バッファの内容を賞球個数コマンドとしてシリアル通信回路505の送信データレジスタ710に再度書き込む（ステップS1292）。また、CPU56は、賞球タイマにACK受信完了判定時間値を再びセットする（ステップS1293）。そして、賞球プロセスコードの値を3にして（ステップS1294）、処理を終了する。

10

【0550】

賞球プロセスコードの値が3に設定されることから、再度、賞球ACK待ち処理が実行される。再度実行される賞球ACK待ち処理において、再び賞球ACKコマンドを受信したことを検出できなかった場合には、具体的には、ステップS1276において賞球タイマがタイムアウトした場合には、再び賞球再送処理が実行されることになる。このように、遊技制御用マイクロコンピュータ560は、払出数データを受信したことを示す受信確認信号としての賞球ACKコマンドが受信できない場合には、賞球ACKコマンドが受信できるまで、賞球個数コマンドの再送を繰り返す。

20

【0551】

図85は、ステップS230の賞球異常検出処理を示すフローチャートである。賞球異常検出処理において、CPU56は、再送信フラグがリセット状態からセット状態になったことを検出すると、払出異常報知開始コマンドを演出制御コマンドとして音／ランプ制御基板80bに対して（具体的には音／ランプ制御用マイクロコンピュータ100bに対して）送信する制御を行う（ステップS1301、S1302）。なお、CPU56は、賞球再送信処理を実行してから払出異常報知開始コマンドを送信するのではなく、払出異常報知開始コマンドを音／ランプ制御基板80bに送信してから賞球再送信処理を実行するようにしてもよい。

30

【0552】

なお、音／ランプ制御用マイクロコンピュータ100bに演出制御コマンドを送信する際に、CPU56は、演出制御コマンドの種類に応じたコマンド送信テーブル（あらかじめROM54にコマンド毎に設定されている）のアドレスをポインタにセットする。そして、演出制御コマンドに応じたコマンド送信テーブルのアドレスをポインタにセットして、飾り図柄コマンド制御処理（ステップS29）において演出制御コマンドを送信する。

【0553】

また、CPU56は、再送信フラグがセット状態からリセット状態になったことを検出する（従って、セット状態が継続している場合には最初のリセット状態になったときのみ検出される。）と、払出異常報知終了コマンドを音／ランプ制御基板80bに対して（具体的には音／ランプ制御用マイクロコンピュータ100bに対して）送信する制御を行う（ステップS1303、S1304）。

40

【0554】

なお、この実施の形態では、CPU56は、再送信フラグがリセットされると、ステップS1304で払出異常報知終了コマンドを送信するが、送信しないように構成してもよい。その場合には、遊技制御用マイクロコンピュータ560の負担が軽減される。また、その場合には、音／ランプ制御用マイクロコンピュータ100bが、例えば所定時間後に、独自に払出異常報知を終了するように構成される。

【0555】

次に、払出制御用マイクロコンピュータ370が各種コマンドを送受信する動作を説明

50

する。図 7 3 に示すように、払出制御用マイクロコンピュータ 3 7 0 は、遊技制御用マイクロコンピュータ 5 6 0 と各種コマンドをシリアル通信するシリアル通信回路 3 7 5 を内蔵している。払出制御用マイクロコンピュータ 3 7 0 は、シリアル通信回路 3 7 5 を用いて、遊技制御用マイクロコンピュータ 5 6 0 から図 7 2 に示す賞球個数コマンドを受信する。また、賞球個数コマンドを受信すると、払出制御用マイクロコンピュータ 3 7 0 は、シリアル通信回路 3 7 5 を用いて、図 7 2 に示す賞球 A C K コマンド「D 2」を受信確認信号として送信する。

【0 5 5 6】

また、払出制御用マイクロコンピュータ 3 7 0 の C P U は、遊技制御用マイクロコンピュータ 5 6 0 の C P U 5 6 と同様に、割り込み許可状態である間にシリアル通信回路 3 7 5 からの割り込み要求があると、シリアル通信回路 3 7 5 が割り込み要求を行った割り込み原因に応じた割り込み処理を実行する。この実施の形態では、払出制御用マイクロコンピュータ 3 7 0 の C P U は、割り込み原因がシリアル通信回路 3 7 5 が受信データを受信したことであると特定すると、図 7 6 (b) と同様の処理に従って受信時割込処理を実行する。この場合、払出制御用マイクロコンピュータ 3 7 0 の C P U は、シリアル通信回路 3 7 5 が受信データを受信していることを示す受信時割込フラグをセットする。

【0 5 5 7】

図 8 6 は、払出制御用マイクロコンピュータ 3 7 0 の C P U が、主基板 3 1 の遊技制御手段（遊技制御用マイクロコンピュータ 5 6 0）と通信を行う主制御通信処理を示すフローチャートである。主制御通信処理において、払出制御用マイクロコンピュータ 3 7 0 の C P U は、接続確認信号がオン状態であるか否かを確認する（ステップ S 5 4 1）。なお、接続確認信号がオン状態であるということは、電力供給がなされ遊技制御手段において遊技の進行を制御可能な状態であることを意味し、接続確認信号がオフ状態であるということは、電力供給停止時処理が開始され遊技制御手段において遊技の進行が不能な状態であることを意味する（接続確認信号は、電力供給停止時処理における出力ポートクリア処理でオフ状態にされる。）。

【0 5 5 8】

払出制御用マイクロコンピュータ 3 7 0 の C P U は、受信時割込フラグがセットされているか否かを確認する（ステップ S 5 4 2）。すなわち、払出制御用マイクロコンピュータ 3 7 0 の C P U は、シリアル通信回路 3 7 5 が受信データを受信し、シリアル通信回路 3 7 5 の受信データレジスタにデータが格納されている状態になっているか否かを確認する。

【0 5 5 9】

受信時割込フラグがセットされていれば、払出制御用マイクロコンピュータ 3 7 0 の C P U は、シリアル通信回路 3 7 5 の受信データレジスタからデータを読み込む（ステップ S 5 4 3）。また、払出制御用マイクロコンピュータ 3 7 0 の C P U は、読み込んだデータが賞球個数コマンドであるか否か（コマンド「0 4」、「0 7」または「0 F」のいずれかであるか否か）を判断する（ステップ S 5 4 4）。

【0 5 6 0】

シリアル通信回路 3 7 5 の受信データレジスタから読み込んだデータが賞球個数コマンドであることを確認すると、払出制御用マイクロコンピュータ 3 7 0 の C P U は、受信時割込フラグをリセットして（ステップ S 5 4 5）、賞球個数コマンドが示す賞球数を賞球未払出個数カウンタに加算する（ステップ S 5 4 6）。そして、払出制御用マイクロコンピュータ 3 7 0 の C P U は、賞球 A C K コマンドをシリアル通信回路 5 0 5 の送信データレジスタ 7 1 0 に書き込み（ステップ S 5 4 7）、処理を終了する。その後、送信データレジスタに書き込まれた賞球 A C K コマンドは、シリアル通信回路 3 7 5 の送信用シフトレジスタに転送され、シリアル通信回路 3 7 5 の送信用シフトレジスタから遊技制御用マイクロコンピュータ 5 6 0 に送信される。

【0 5 6 1】

なお、払出制御用マイクロコンピュータ 3 7 0 の C P U は、球払出装置 9 7 を駆動制御

して賞球未払出個数カウンタに記憶されている未払出個数の賞球の払い出しを行う払出制御処理を実行する。具体的には、賞球未払出個数カウンタの値が0でないことを確認すると、払出モータを駆動して賞球の払い出しを行う。そして、払い出された賞球の個数は払出カウントスイッチでカウントする。全ての未払出の賞球が払い出されるまで払出モータを駆動して払出処理が実行される。

【0562】

次に、音／ランプ制御用マイクロコンピュータ100bの動作を説明する。図87は、音／ランプ制御用マイクロコンピュータ100bが実行するメイン処理を示すフローチャートである。遊技機に対する電力供給が開始され、リセット信号がハイレベルになると、音／ランプ制御用マイクロコンピュータ100bは、メイン処理を開始する。メイン処理では、音／ランプ制御用マイクロコンピュータ100bは、まず、RAM領域のクリアや各種初期値の設定、また演出制御の起動間隔を決めるためのタイマの初期設定等を行うための初期化処理を行う（ステップS781）。その後、音／ランプ制御用マイクロコンピュータ100bは、タイマ割込フラグの監視（ステップS782）の確認を行うループ処理に移行する。タイマ割込が発生すると、音／ランプ制御用マイクロコンピュータ100bは、タイマ割込処理においてタイマ割込フラグをセットする。メイン処理において、タイマ割込フラグがセットされていたら、音／ランプ制御用マイクロコンピュータ100bは、そのフラグをクリアし（ステップS783）、以下の音／ランプ制御処理を実行する。

【0563】

タイマ割込は例えば2ms毎にかかる。すなわち、音／ランプ制御処理は、例えば2ms毎に起動される。また、この実施の形態では、タイマ割込処理ではフラグセットのみがなされ、具体的な音／ランプ制御処理はメイン処理において実行されるが、タイマ割込処理で音／ランプ制御処理を実行してもよい。

【0564】

音／ランプ制御処理において、音／ランプ制御用マイクロコンピュータ100bは、まず、受信した演出制御コマンドを解析する（コマンド解析処理：ステップS784）。次いで、音／ランプ制御用マイクロコンピュータ100bは、演出内容決定処理を行う（ステップS785）。演出内容決定処理では、音／ランプ制御用マイクロコンピュータ100bは、演出制御コマンド（変動パターンコマンドや表示結果指定コマンド）にもとづいて、可変表示装置9を用いて行う演出内容（予告演出を行うか否かや、予告演出の種類）を決定する。また、音／ランプ制御用マイクロコンピュータ100bは、決定した演出内容を示す演出内容指定コマンドを生成する。

【0565】

次いで、音／ランプ制御用マイクロコンピュータ100bは、音出力処理を行う（ステップS786）。この場合、音／ランプ制御用マイクロコンピュータ100bは、音声合成用IC173に対して音番号データ（例えば、変動パターンコマンドに示される変動パターンに対応する音番号データ）を出力する。そして、音声合成用IC173は、音番号データに応じた音声や効果音を発生し増幅回路175に出力する。

【0566】

次いで、音／ランプ制御用マイクロコンピュータ100bは、ランプ表示処理を行う（ステップS787）。この場合、音／ランプ制御用マイクロコンピュータ100bは、プロセスデータ中に設定されているランプ制御実行データにもとづいてランプ制御を行う。

【0567】

なお、プロセスデータは、プロセスタイマ設定値と演出制御実行データの組み合わせが複数集まったデータで構成されている。演出制御実行データは、ランプ制御実行データと音番号データを含む。ランプ制御実行データは、図柄の変動期間中におけるランプの表示状態を示すデータが設定されている。また、音番号データは、図柄の変動期間中における変動音や効果音などの出力タイミングを示すデータが設定されている。そして、図柄の変動期間中において、表示状態を切り替えるタイミング（例えば可変表示装置9において新

10

20

30

40

50

たなキャラクターが登場するタイミング、ランプを点灯状態から消灯状態に切り替えるタイミング）が到来すると、演出制御手段は、プロセスデータにおける次の演出制御実行データに従って、ランプの表示状態やスピーカ２７からの音声出力を制御する。プロセスタイマ設定値には、切替のタイミングに応じた時間が設定されている。

【０５６８】

プロセスデータは、音／ランプ制御基板８０ｂにおけるＲＯＭに格納されている。また、プロセスデータは、図柄の変動パターンのそれぞれに応じて用意されている。なお、このように、音／ランプ制御手段が、ＲＯＭに記憶されているプログラムおよびプロセスデータにもとづいて演出装置を制御し、複数の演出装置（この実施の形態ではスピーカ２７やランプ）の制御に関わるプログラムが、音／ランプ制御基板８０ｂに搭載されているＲＯＭに格納されている。そして、それらのプログラムを格納するＲＯＭを１つのＲＯＭとして構成することができる。

10

【０５６９】

また、音／ランプ制御用マイクロコンピュータ１００ｂは、乱数カウンタを更新する処理を実行する（ステップＳ７８８）。また、音／ランプ制御用マイクロコンピュータ１００ｂは、主基板３１から受信した演出制御コマンドや、ステップＳ７８５の演出内容決定処理で生成した演出内容指定コマンドを、図柄制御基板８０ａに送出する処理を行う（コマンド制御処理：ステップＳ７８９）。その後、ステップＳ７８２のタイマ割込フラグの確認を行う処理に戻る。

【０５７０】

20

主基板３１からの演出制御用のＩＮＴ信号は音／ランプ制御用マイクロコンピュータ１００ｂの割込端子に入力されている。例えば、主基板３１からのＩＮＴ信号がオン状態になると、音／ランプ制御用マイクロコンピュータ１００ｂにおいて割込がかかる。そして、音／ランプ制御用マイクロコンピュータ１００ｂは、割込処理において演出制御コマンドの受信処理を実行する。演出制御コマンドの受信処理において、音／ランプ制御用マイクロコンピュータ１００ｂは、受信した演出制御コマンドデータをコマンド受信バッファに格納する。

【０５７１】

なお、この実施の形態では、音／ランプ制御基板８０ｂにおけるＲＯＭに格納されるプロセスデータ（以下、音／ランプ制御側プロセスデータともいう）は、プロセスタイマ設定値と、音番号データとランプ制御実行データとを含む演出制御実行データの組合せが複数集まったデータで構成されている。また、図柄制御基板８０ａにおけるＲＯＭに格納されるプロセスデータ（以下、図柄制御側プロセスデータともいう）は、プロセスタイマ設定値と、表示制御実行データのみを含む演出制御実行データの組合せが複数集まったデータで構成されている。

30

【０５７２】

図８８は、音／ランプ制御処理で用いる各乱数を示す説明図である。各乱数は、以下のように使用される。

【０５７３】

（１）ランダム１：予告演出を実行するか否かを決定する（予告演出実行決定用）。この実施の形態では、可変表示装置９においてリーチ態様の飾り図柄の可変表示を行う際に、音／ランプ制御用マイクロコンピュータ１００ｂは、例えば、ランダム１があらかじめ決められている判定値と一致した場合には、予告演出を行うと決定する。なお、音／ランプ制御用マイクロコンピュータ１００ｂは、リーチ態様の可変表示を行うか否かに関わらず、ランダム１を用いて予告演出を行うか否かを決定してもよい。

40

（２）ランダム２：予告演出を行う場合に、可変表示装置９を用いて行う予告演出の種類を決定する（予告演出種類決定用）

【０５７４】

図８９は、図８７に示された演出内容決定処理（ステップＳ７８５）を示すフローチャートである。演出内容決定処理において、音／ランプ制御用マイクロコンピュータ１００

50

bは、変動パターン受信フラグがセットされているか否か確認する（ステップS1851）。なお、変動パターン受信フラグは、音／ランプ制御メイン処理のコマンド解析処理（ステップS784）において、変動パターンコマンドを受信したと判定されたときにセットされる。

【0575】

変動パターン受信フラグがセットされていれば、音／ランプ制御用マイクロコンピュータ100bは、変動パターン受信フラグをリセットし、受信した変動パターンコマンドにもとづいて飾り図柄の変動パターンを特定する。また、音／ランプ制御用マイクロコンピュータ100bは、特定した変動パターンにもとづいて、可変表示装置9を用いて実行すべき可変表示がリーチを伴う変動であるか否かを判定する（ステップS1852）。例えば、音／ランプ制御用マイクロコンピュータ100bは、受信した変動パターンコマンドに示される変動パターンがリーチを伴うパターンである場合（例えば、EXTデータ「01H」～「06H」, 「08H」～「0DH」である変動パターンである場合）、音／ランプ制御用マイクロコンピュータ100bは、リーチを伴う変動であると判定する。なお、ステップS1851で変動パターン受信フラグがセットされていなかった場合には、音／ランプ制御用マイクロコンピュータ100bは、そのまま処理を終了する。

【0576】

リーチを伴う変動であると判定した場合、音／ランプ制御用マイクロコンピュータ100bは、予告演出実行決定用乱数（ランダム1）にもとづいて、予告演出を行うか否かを決定する（ステップS1853）。例えば、音／ランプ制御用マイクロコンピュータ100bは、ランダム1が判定値と一致すると、可変表示装置9を用いた予告演出を行うと決定する。なお、ステップS1852でリーチを伴う変動でなかった場合には、音／ランプ制御用マイクロコンピュータ100bは、そのまま処理を終了する。

【0577】

ステップS1854で予告演出を行わないと決定した場合、音／ランプ制御用マイクロコンピュータ100bは、変動パターンコマンドを受信しているとともに表示結果指定コマンドを受信している場合には、変動パターンコマンドおよび表示結果指定コマンドを図柄制御用マイクロコンピュータ100aに転送し、図柄制御用マイクロコンピュータ100aは、可変表示装置9を用いた飾り図柄の可変表示および遊技演出を実行することになる。この場合、音／ランプ制御用マイクロコンピュータ100bは、ステップS1854で予告演出を行わないと決定すると、予告演出を行わない旨を指定する通知コマンドを生成し、図柄制御用マイクロコンピュータ100aに送信する（ステップS1857）。

【0578】

予告演出を行うことに決定すると（ステップS1854）、音／ランプ制御用マイクロコンピュータ100bは、予告演出種類決定用乱数（ランダム2）にもとづいて、可変表示装置9を用いて行わせる予告演出の種類を決定する（ステップS1855）。例えば、音／ランプ制御用マイクロコンピュータ100bは、ランダム2にもとづいて、予告演出において、飾り図柄をどの程度の速度で変動させるかや、飾り図柄をいずれの回転方向に変動させるか、可変表示装置9にいずれのキャラクタを登場させるかを決定する。なお、ステップS1854で予告演出を実行しないと決定した場合には、音／ランプ制御用マイクロコンピュータ100bは、ステップS1857の処理を実行した後、そのまま処理を終了する。

【0579】

なお、この実施の形態では、変動パターンコマンドにもとづいてリーチであるか否かを特定して演出内容を決定する場合を説明するが、音／ランプ制御用マイクロコンピュータ100bは、表示結果指定コマンドにもとづいて非確変大当たりまたは確変大当たりであることを特定して、演出内容を決定してもよい。

【0580】

また、音／ランプ制御用マイクロコンピュータ100bは、決定した演出内容（予告演出を行うか否かや、予告演出の種類）を示す演出内容指定コマンドを生成する。そして、

音／ランプ制御用マイクロコンピュータ100bは、生成した演出内容指定コマンドを、図柄制御基板80aに対して送信する処理を行う（ステップS1856）。なお、音／ランプ制御用マイクロコンピュータ100bは、演出内容指定コマンドとともに、遊技制御用マイクロコンピュータ560から受信した表示結果指定コマンドおよび変動パターンコマンドを図柄制御基板80aに転送（送信）する。そして、図柄制御基板80aの図柄制御用マイクロコンピュータ100aは、音／ランプ制御用マイクロコンピュータ100bから受信した演出内容指定コマンド、表示結果指定コマンドおよび変動パターンコマンドにもとづいて、飾り図柄の可変変動および遊技演出を行う。この場合、図柄制御用マイクロコンピュータ100aは、受信した演出内容指定コマンドにもとづいてROMから表示制御実行データを読み出し、読み出した表示制御実行データにもとづいて、VDP109に可変表示装置9を用いた予告演出を行わせる。

10

【0581】

なお、ステップS1856において、音／ランプ制御用マイクロコンピュータ100bは、演出内容指定コマンドを生成するのではなく、決定した演出内容を、変動パターンコマンドや表示結果指定コマンドに付加してもよい。例えば、音／ランプ制御用マイクロコンピュータ100bは、コマンドのヘッダ部分に演出内容を示す値を付加することによって、演出内容を変動パターンコマンドや表示結果指定コマンドに付加する。この場合、音／ランプ制御用マイクロコンピュータ100bは、変動パターンコマンドのみのヘッダ部分に演出内容を示す値を付加してもよい。そして、音／ランプ制御用マイクロコンピュータ100bは、演出内容を付加した変動パターンコマンドを、図柄制御基板80aに対して送信する処理を行ってもよい。また、音／ランプ制御用マイクロコンピュータ100bは、表示結果コマンドのみのヘッダ部分に演出内容を示す値を付加してもよい。そして、音／ランプ制御用マイクロコンピュータ100bは、演出内容を付加した表示結果コマンドを、図柄制御基板80aに対して送信する処理を行ってもよい。なお、予告演出を行わない場合には、音／ランプ制御用マイクロコンピュータ100bは、遊技制御用マイクロコンピュータ560から受信した変動パターンコマンドまたは表示結果コマンドをそのまま図柄制御用マイクロコンピュータ100aに転送することになる。

20

【0582】

また、この実施の形態では、大当たりか否か、確変大当たりか否か、変動パターン、および予告の有無を示す情報を変動パターンコマンドまたは表示結果コマンドにまとめて付加し、付加したコマンドを図柄制御基板80aに対して送信する処理を行ってもよい。この場合は、1つのコマンドで済むため、図柄制御基板80aに対するコマンド数を削減することができる。

30

【0583】

また、この実施の形態では、ステップS1856で送信テーブルのアドレスがセットされたことにもとづいて、音／ランプ制御メイン処理におけるコマンド制御処理（ステップS790参照）が実行されることによって、演出内容指定コマンドが図柄制御基板80aに送信される。

【0584】

また、ステップS1856で決定した演出内容を変動パターンコマンドや表示結果指定コマンドに付加する場合、音／ランプ制御用マイクロコンピュータ100bは、決定した演出内容（例えば、背景色や登場するキャラクタ）を付加した変動パターンコマンドや表示結果指定コマンドを、図柄制御用マイクロコンピュータ100aに送信してもよい。そして、図柄制御用マイクロコンピュータ100aは、受信した変動パターンコマンドや表示結果指定コマンドにもとづいてROMから表示制御実行データを読み出し、読み出した表示制御実行データにもとづいて可変表示装置9を用いて演出を行ってもよい。

40

【0585】

また、表示制御実行データおよびランプ制御実行データの両方を含むプロセスデータが、音／ランプ制御基板80bにおけるROMに格納されていてもよい。この場合、音／ランプ制御用マイクロコンピュータ100bは、決定した演出内容に応じた表示制御実行デ

50

ータをROMから抽出し、生成した演出内容指定コマンドとともに、図柄制御用マイクロコンピュータ100aに送信してもよい。そして、図柄制御用マイクロコンピュータ100aは、受信した表示制御実行データにもとづいて、可変表示装置9を用いて演出を行ってもよい。

【0586】

また、表示制御実行データおよびランプ制御実行データの両方を含むプロセスデータが、音／ランプ制御基板80bにおけるROMに格納する場合に、音／ランプ制御用マイクロコンピュータ100bは、決定した演出内容に応じた表示制御実行データをROMから抽出して、図柄制御用マイクロコンピュータ100aに送信してもよい。そして、図柄制御用マイクロコンピュータ100aは、受信した表示制御実行データにもとづいて、可変表示装置9を用いて演出を行ってもよい。

10

【0587】

以上に説明したように、この実施の形態では、音／ランプ制御用マイクロコンピュータ100bが、変動パターンコマンドにもとづいて、演出内容（予告演出を行うか否かや、予告演出の種類）を独自に決定する。また、音／ランプ制御用マイクロコンピュータ100bによって決定された演出内容に従って、図柄制御用マイクロコンピュータ100aが可変表示装置9を用いて遊技演出を実行する。そのため、遊技制御用マイクロコンピュータ560が演出内容を決定しなくて済む。従って、遊技制御用マイクロコンピュータ560の処理負担を軽減することができる。

20

【0588】

なお、この実施の形態では、音／ランプ制御用マイクロコンピュータ100bは、飾り図柄の変動時間を示す飾り図柄変動時間指定コマンドを生成して、図柄制御基板80aに送信するようにしてもよい。また、図柄制御基板80aの図柄制御用マイクロコンピュータ100aは、演出内容指定コマンドを受信すると、受信した演出内容指定コマンドにもとづいて、VDP109に、可変表示装置9における飾り図柄の可変表示を実行させ、予告演出を行わせる。

【0589】

また、この実施の形態では、主基板31からの演出制御コマンドを、まず音／ランプ制御基板80bで受信し、さらに音／ランプ制御基板80bから図柄制御基板80aに演出制御コマンドや演出内容指定コマンドが送出される場合を説明したが、主基板31からの演出制御コマンドを、まず図柄制御基板80aで受信するようにしてもよい。

30

【0590】

また、図89に示した例では、変動パターンコマンドを受信したときに、リーチを伴う変動であるかどうかを判定し、リーチを伴う変動である場合に、予告演出の実行の有無などを決定するとともに、演出内容コマンドを生成する処理などを行っていた。しかし、このような構成に限られるわけではなく、例えば、変動パターンコマンドを受信したときに、大当り用の変動パターンであるかどうかを判定し、大当り用の変動パターンである場合に、予告演出の実行の有無などを決定するとともに、演出内容コマンドを生成する処理などを行うようにしてもよい。このような構成によっても、遊技制御用マイクロコンピュータ560の制御負担を軽減することができる。

40

【0591】

次に、図柄制御用マイクロコンピュータ100aの動作について説明する。図90は、図柄制御用マイクロコンピュータ100aが実行するメイン処理を示すフローチャートである。遊技機に対する電力供給が開始され、リセット信号がハイレベルになると、図柄制御用マイクロコンピュータ100aは、メイン処理を開始する。メイン処理では、図柄制御用マイクロコンピュータ100aは、まず、RAM領域のクリアや各種初期値の設定、また演出制御の起動間隔を決めるためのタイマの初期設定等を行うための初期化処理を行う（ステップS771）。その後、図柄制御用マイクロコンピュータ100aは、タイマ割込フラグの監視（ステップS772）の確認を行うループ処理に移行する。タイマ割込が発生すると、図柄制御用マイクロコンピュータ100aは、タイマ割込処理においてタ

50

イマ割込フラグをセットする。メイン処理において、タイマ割込フラグがセットされていたら、図柄制御用マイクロコンピュータ100aは、そのフラグをクリアし（ステップS773）、以下の演出制御処理を実行する。

【0592】

タイマ割込は例えば2ms毎にかかる。すなわち、演出制御処理は、例えば2ms毎に起動される。また、この実施の形態では、タイマ割込処理ではフラグセットのみがなされ、具体的な演出制御処理はメイン処理において実行されるが、タイマ割込処理で演出制御処理を実行してもよい。

【0593】

演出制御処理において、図柄制御用マイクロコンピュータ100aは、まず、受信した演出制御コマンドを解析する（コマンド解析処理：ステップS774）。次いで、図柄制御用マイクロコンピュータ100aは、演出制御プロセス処理を行う（ステップS775）。演出制御プロセス処理では、制御状態に応じた各プロセスのうち、現在の制御状態（演出制御プロセスフラグ）に対応したプロセスを選択して可変表示装置9の表示制御を実行する。また、乱数カウンタを更新する処理を実行する（ステップS776）。その後、ステップS772のタイマ割込フラグの確認を行う処理に戻る。

【0594】

音／ランプ制御基板80bからのINT信号は図柄制御用マイクロコンピュータ100aの割込端子に入力されている。例えば、音／ランプ制御基板80bからのINT信号がオン状態になると、図柄制御用マイクロコンピュータ100aにおいて割込がかかる。そして、図柄制御用マイクロコンピュータ100aは、割込処理において演出制御コマンドや演出内容コマンドの受信処理を実行する。コマンドの受信処理において、図柄制御用マイクロコンピュータ100aは、受信したコマンドデータをコマンド受信バッファに格納する。

【0595】

図91は、コマンド解析処理（ステップS774）の具体例を示すフローチャートである。音／ランプ制御基板80bから受信された演出制御コマンドおよび演出内容コマンドは受信コマンドバッファに格納されるが、コマンド解析処理では、図柄制御用マイクロコンピュータ100aは、コマンド受信バッファに格納されているコマンドの内容を確認する。

【0596】

コマンド解析処理において、図柄制御用マイクロコンピュータ100aは、まず、コマンド受信バッファに受信コマンドが格納されているか否か確認する（ステップS7611）。格納されているか否かは、コマンド受信個数カウンタの値と読出ポインタとを比較することによって判定される。両者が一致している場合が、受信コマンドが格納されていない場合である。コマンド受信バッファに受信コマンドが格納されている場合には、図柄制御用マイクロコンピュータ100aは、コマンド受信バッファから受信コマンドを読み出す（ステップS7612）。なお、読み出したら読出ポインタの値を+1しておく（ステップS7613）。

【0597】

受信した演出制御コマンド等が変動パターン指定の演出制御コマンドであれば（ステップS7614）、図柄制御用マイクロコンピュータ100aは、そのコマンドのEXTデータを変動パターンデータ格納領域に格納する（ステップS7615）。この場合、図柄制御用マイクロコンピュータ100aは、変動パターンコマンドを受信したことを示す変動パターン受信フラグをセットする（ステップS7616）。そして、変動パターンコマンドにもとづいて遊技状態を判定する（ステップS7617）。具体的には、図60に示したように、変動パターンは、通常遊技状態および高確率潜伏状態のときの変動パターンと、確変状態および時短状態のときの変動パターンとが区別されている。従って、図柄制御用マイクロコンピュータ100aは、変動パターンコマンドのEXTデータによって、遊技状態が通常遊技状態／高確率潜伏状態であるか、または確変状態／時短状態であるか

について判断することができる。図柄制御用マイクロコンピュータ100aは、ステップS7617にて行った遊技状態の判定結果に応じて遊技演出の内容（態様）を変更する必要があるときは、遊技状態を示すデータを所定の記憶領域に記憶するとともに、遊技演出の内容を変更する（ステップS7618）。例えば、通常遊技状態／高確率潜伏状態のときの変動パターンから確変状態／時短状態のときの変動パターンに切り替わったときは、遊技演出を通常遊技演出から特別遊技演出に変更する。

【0598】

なお、ステップS7614～S7618の処理は、音／ランプ制御用マイクロコンピュータ100bが実行するコマンド解析処理においても実行される。

【0599】

ステップS7611にて受信していることが確認された演出制御コマンド等が表示結果指定の演出制御コマンドであれば（ステップS7619）、図柄制御用マイクロコンピュータ100aは、そのコマンドのEXTデータを表示結果（特別図柄の表示結果）として表示結果格納領域に格納する（ステップS7620）。次いで、表示結果指定コマンドで指定された表示結果に応じた飾り図柄（左中右の図柄）の停止図柄を決定し、飾り図柄格納領域に格納する（ステップS7621）。なお、飾り図柄の停止図柄は、飾り図柄決定用乱数にもとづいて決定される。なお、変動パターンコマンドで指定される変動パターンがリーチを伴う変動パターンであるか否かを確認し、リーチを伴う変動パターンの場合には、飾り図柄の停止図柄としてリーチ図柄（例えば、左右の飾り図柄が同一図柄で、中の飾り図柄が異なる図柄）を決定する。

【0600】

図柄制御用マイクロコンピュータ100aは、ステップS7612で読み出した受信コマンドがその他の演出制御コマンドである場合には、受信コマンドに対応するコマンド受信フラグをセットし、必要であれば受信コマンドを保存する（ステップS7622）。

【0601】

例えば、受信コマンドが復旧コマンド（通常表示コマンド、特別表示コマンド、または高確率潜伏表示コマンド）であれば、復旧コマンドに応じた遊技状態を示すデータ（例えばフラグ）を記憶する。なお、このような処理は、音／ランプ制御用マイクロコンピュータ100bが実行するコマンド解析処理においても実行される。

【0602】

図92は、図90に示されたメイン処理における演出制御プロセス処理（ステップS775）を示すフローチャートである。演出制御プロセス処理では、図柄制御用マイクロコンピュータ100aは、演出制御プロセスフラグの値に応じてステップS1800～S1806のうちのいずれかの処理を実行する。各処理において、以下のような処理が実行される。

【0603】

飾り図柄通常処理（ステップS1800）：変動パターンコマンドを受信しているか否かを確認する。変動パターンコマンドを受信していれば、図柄制御用マイクロコンピュータ100aは、演出制御プロセスフラグの値をステップS1802（飾り図柄変動開始処理）に対応した値に変更する。

【0604】

飾り図柄変動開始処理（ステップS1802）：変動パターンに応じて予め定められているプロセスタイマを選択し、プロセスタイマをスタートさせるとともに、可変表示装置9の表示制御を開始する。その後、演出制御プロセスフラグの値をステップS1803に応じた値に更新する。

【0605】

飾り図柄変動中処理（ステップS1803）：変動パターンを構成する各変動状態（変動速度等）の切替タイミングを制御するとともに、変動時間の終了を監視する。その後、演出制御プロセスフラグの値をステップS1804に応じた値に更新する。

【0606】

飾り図柄停止処理（ステップS1804）：変動時間が経過したら、図柄の変動を停止し停止図柄（確定図柄）を表示する制御を行う。その後、大当たりとする場合には、演出制御プロセスフラグの値をステップS1805に応じた値に更新する。そうでない場合には、演出制御プロセスフラグの値をステップS1800に応じた値に更新する。

【0607】

大当たり表示処理（ステップS1805）：変動時間の終了後、大当たり表示の制御を行う。その後、演出制御プロセスフラグの値をステップS1806に応じた値に更新する。

【0608】

大当たり遊技中処理（ステップS1806）：大当たり遊技中の制御を行う。例えば、大入賞口開放前表示や大入賞口開放時表示の演出制御コマンドを受信したら、ラウンド中やインターバル中の表示制御等を行う。また、大当たり遊技を終了すると、大当たり遊技を終了した旨を示す所定のエンディング表示を行う。その後、演出制御プロセスフラグの値をステップS1800に応じた値に更新する。

【0609】

図93は、演出制御プロセス処理における飾り図柄通常処理（ステップS1800）を示すフローチャートである。飾り図柄通常処理において、図柄制御用マイクロコンピュータ100aは、変動パターン受信フラグがセットされているか否か確認する（ステップS1811）。変動パターン受信フラグは、変動パターンコマンドを受信したときにコマンド解析処理においてセットされる。

【0610】

変動パターン受信フラグがセットされていれば、図柄制御用マイクロコンピュータ100aは、変動パターン受信フラグをリセットし（ステップS1812）、既に決定されている飾り図柄の停止図柄および変動パターンコマンドの内容にもとづいて飾り図柄の変動パターンを決定する（ステップS1813）。そして、演出制御プロセスフラグの値を飾り図柄変動パターン決定処理に対応した値に変更する（ステップS1814）。

【0611】

図94は、演出制御プロセス処理における飾り図柄変動開始処理（ステップS1802）を示すフローチャートである。飾り図柄変動開始処理において、図柄制御用マイクロコンピュータ100aは、まず、使用する飾り図柄の変動パターンに応じたプロセスデータを選択する（ステップS1821）。なお、このとき、音／ランプ制御用マイクロコンピュータ100bからの演出内容コマンドにもとづいて、予告演出の実行の有無を確認し、予告演出の実行が指定されていたときは、予告演出を含む表示制御を実行するためのプロセスデータが選択される。そして、選択したプロセスデータ1におけるプロセスタイマ設定値をプロセスタイマに設定してプロセスタイマをスタートさせる（ステップS1822）。次いで、図柄制御用マイクロコンピュータ100aは、プロセスデータ1の内容（表示制御実行データ1）に従って可変表示装置9の制御を実行する（ステップS1823）。例えば、可変表示装置9において変動パターンに応じた画像を表示させるために、VDP109に制御信号を出力する。

【0612】

その後、図柄制御用マイクロコンピュータ100aは、変動時間タイマ（飾り図柄の変動時間に応じたタイマ）をスタートし（ステップS1824）、演出制御プロセスフラグの値を飾り図柄変動中処理（ステップS1803）を示す値に更新する（ステップS1825）。

【0613】

図95は、演出制御プロセス処理における飾り図柄変動中処理（ステップS1803）を示すフローチャートである。飾り図柄変動中処理において、図柄制御用マイクロコンピュータ100aは、プロセスタイマがタイムアウトしたか否か確認する（ステップS1841）。タイムアウトしたら、プロセスデータにおける演出制御実行データの切り替えを行う（ステップS1842）。すなわち、プロセスデータにおいて、次に設定されているプロセスタイマをスタートさせるとともに（ステップS1843）、次に設定されている

表示制御実行データにもとづいてLCD制御を行う（ステップS1844）。

【0614】

そして、図柄制御用マイクロコンピュータ100aは、変動時間タイマがタイムアウトしていたら（ステップS1845）、演出制御プロセスフラグの値を飾り図柄停止処理に対応した値にする（ステップS1846）。

【0615】

以上に説明したように、この実施の形態では、遊技機への電源投入が開始されてからタイマ割込設定を行うまでに乱数回路503の初期設定（乱数回路設定処理）を行うとともに、乱数回路設定処理において、遊技制御用マイクロコンピュータ560固有のIDナンバーにもとづく値を乱数の初期値として設定する。そのため、乱数回路503が生成する乱数のランダム性を向上させることができる。また、乱数のランダム性を向上させることができるので、乱数生成のタイミングを遊技者や遊技店に認識されにくくすることができ、無線信号を用いた取り込み信号を遊技機に対して発生させることによって、当たり状態などの特定遊技状態への移行条件を不正に成立させられてしまうことを防止することができる。

10

【0616】

また、この実施の形態では、遊技制御処理に用いる各乱数のうち、当たりの種類を決定するための判定用乱数（当たり種別決定用乱数）として、ソフトウェア乱数を用いる。そして、当たりとするか否かを決定するための当たり判定用乱数のみを乱数回路503を用いて発生させる。例えば、当たり判定用乱数に加えて、当たり種別決定用乱数も乱数回路503を用いて発生させるようにすると、乱数回路503を用いて複数種類の乱数を発生させることとなり、乱数回路503の構成が必要以上に複雑化してしまう。この実施の形態では、当たり判定用乱数のみを乱数回路503を用いて発生させるので、乱数回路503の回路構成が複雑化することを防止することができる。

20

【0617】

また、この実施の形態では、シリアル通信回路505が割り込み要求を行った場合に、通信エラーを割込原因とする場合の割込処理を優先的に実行し、通信を禁止状態に制御する。そのため、通信エラーが発生した状態で遊技機に搭載されている払出制御基板37の払出制御用マイクロコンピュータ370と通信を行うことを防止できる。よって、通信エラーによる誤動作を防止することができる。

30

【0618】

例えば、シリアル通信回路505においてオーバーランが発生すると、受信データレジスタ711内の受信データが読み込まれる前に受信用シフトレジスタ713に次の受信データが格納されてしまうので、受信データレジスタ711の内容が上書きされてしまいCPU56が受信データを正しく読み込めなくなってしまう。そのため、各制御基板が搭載するマイクロコンピュータと正しく通信を行えなくなり、遊技制御用マイクロコンピュータ560が誤動作をする原因となる。この実施の形態では、オーバーランが発生すると、シリアル通信回路505が通信エラー時割込要求を行い、CPU56が通信を禁止状態に制御する。そのため、オーバーランの発生によって遊技制御用マイクロコンピュータ560が誤動作することを防止することができる。

40

【0619】

また、例えば、シリアル通信回路505においてノイズエラーが発生すると、ノイズによって正しい受信データを受信できない可能性が高く、CPU56が誤動作をする原因となる。この実施の形態では、ノイズエラーが発生すると、シリアル通信回路505が通信エラー時割込要求を行い、CPU56が通信を禁止状態に制御する。そのため、ノイズエラーの発生によってCPU56が誤動作することを防止することができる。

【0620】

また、例えば、シリアル通信回路505においてフレーミングエラーが発生すると、受信データのストップビットを正しく受信できなかった状態であるので、正しい受信データを受信できない可能性が高く、CPU56が誤動作をする原因となる。この実施の形態で

50

は、フレーミングエラーが発生すると、シリアル通信回路 505 が通信エラー時割込要求を行い、CPU 56 が通信を禁止状態に制御する。そのため、フレーミングエラーの発生によって CPU 56 が誤動作することを防止することができる。

【0621】

また、例えば、シリアル通信回路 505 においてパリティエラーが発生すると、受信データの各データビットまたはパリティビットを正しく受信できなかった状態であるので、正しい受信データを受信できない可能性が高く、CPU 56 が誤動作をする原因となる。この実施の形態では、パリティエラーが発生すると、シリアル通信回路 505 が通信エラー時割込要求を行い、CPU 56 が通信を禁止状態に制御する。そのため、パリティエラーの発生によって CPU 56 が誤動作することを防止することができる。

10

【0622】

また、この実施の形態では、シリアル通信回路 505 において通信エラーが発生すると、払出制御基板 37 が搭載する払出制御用マイクロコンピュータ 370 への賞球個数コマンドの送信と、払出制御用マイクロコンピュータ 370 からの賞球 ACK コマンドの受信とを禁止するように制御する。例えば、通信エラーの発生時に賞球個数コマンドを払出制御基板 37 が搭載する払出制御用マイクロコンピュータ 370 に送信してしまうと、誤った賞球個数コマンドが送信されてしまう可能性がある。そのため、誤った賞球個数コマンドに示される賞球数にもとづいて誤った数の遊技球が払い出されてしまう可能性があり、遊技結果に影響を及ぼす虞がある。この実施の形態では、通信エラーが発生すると、払出制御基板 37 が搭載する払出制御用マイクロコンピュータ 370 への賞球個数コマンドの送信を禁止するように制御するので、誤った賞球コマンドにもとづいて誤った数の遊技球の払出が行われ、遊技結果に影響を及ぼしてしまうことを防止することができる。

20

【0623】

なお、シリアル通信回路 505 において通信エラーが発生すると、各制御基板が搭載するマイクロコンピュータからのデータの受信のみを防止するようにしてもよい。例えば、遊技制御手段と演出制御手段との間でシリアル通信を行う場合を考える。この場合、遊技制御用マイクロコンピュータ 560 と演出制御用マイクロコンピュータとの間で行われる通信は、遊技制御用マイクロコンピュータ 560 から演出制御用マイクロコンピュータへの演出制御コマンドの送信だけであり、演出制御用マイクロコンピュータから遊技制御用マイクロコンピュータ 560 へのコマンドの送信はない。すなわち、遊技制御用マイクロコンピュータ 560 と演出制御用マイクロコンピュータとの間では、一方向だけの通信が行われる。また、遊技制御用マイクロコンピュータ 560 から音／ランプ制御基板 80b に誤った演出制御コマンドが送信されたとしても、可変表示装置 9 に誤った演出用の表示が行われるだけであり、誤った払出処理を実行してしまう場合と比較して、遊技結果に与える影響が小さい。

30

【0624】

また、この実施の形態では、乱数回路 503 の反転回路 532 が極性を反転させた反転クロック信号 SI2（または、遅延回路が遅延させた遅延クロック信号）を生成し、反転クロック信号 SI2 に同期して乱数の記憶を指示するためのラッチ信号を出力する。そのため、乱数を更新するタイミングと乱数値記憶回路 531 に乱数を記憶させるタイミングとをずらすことができ、生成した乱数を安定して確実に記憶させることができる。

40

【0625】

なお、本実施の形態では、「シリアル通信回路 505 が CPU 56 に割り込み要求を行う」という表現を用いたが、具体的には、データの送受信や通信エラーの発生などの割込要因が発生したときに、シリアル通信回路 505 の割り込み制御回路 714 がステータスレジスタ A705 の対応するビット（割込要因に対応するビット）に設定値をセットするとともに、CPU 56 に割り込み信号（内部 IRQ）を出力することによって、シリアル通信回路 505 による割り込み要求が行われる。例えば、通信エラーが発生したときに、シリアル通信回路 505 の割り込み制御回路 714 がステータスレジスタ A705 の対応するビット（通信エラーに対応するビット 0～3）に設定値をセットするとともに、CP

50

U 5 6 に割り込み信号を出力することによって、シリアル通信回路 5 0 5 による通信エラー時の割り込み要求が行われる。

【0 6 2 6】

また、C P U 5 6 が、メイン処理にて電源断信号を確認し、電源断信号がオフ状態でないときは所定時間（タイムアウト時間）おいてから再度電源断信号を確認するように構成されているので、比較的電圧が安定した状態で電源断信号の状態を監視することができる。そして、ソフトウェアによる処理やハードウェアによる回路を特別に設けることなく、所定期間後の電源断信号の監視を実行しているので、プログラム容量が大きくせずに、また特別な回路を設ける分のコストをかけずに、所定期間後の電源断信号の監視する構成を実現することができる。

10

【0 6 2 7】

また、電源断信号がオン状態になったときに、電源断処理（電力供給停止時処理）を実行し、電力供給停止時処理において、制御状態を復旧させるためのデータとして R A M 5 5 の記憶内容にもとづいてチェックデータを作成して R A M 5 5 に格納する処理を実行する。そして、電力供給が再開されたときに、R A M 5 5 に格納されているチェックデータにもとづいて R A M 5 5 の記憶内容が正常であるか否かの判定を行い、正常であると判定されたことを条件に、R A M 5 5 の記憶内容にもとづいて制御状態を電力供給停止前の状態に復旧させる復旧処理を実行するように構成されている。従って、R A M 5 5 に格納されている正常な記憶内容にもとづいて制御状態を復旧させることができる。

【0 6 2 8】

20

また、電力供給が開始されたときに、メイン処理の一部においてソフトウェア遅延処理を実行するように構成されているので、主基板 3 1 以外の他の制御基板におけるマイクロコンピュータの方が早く制御可能状態にすることができる。その結果、遊技制御用マイクロコンピュータ 5 6 0 以外のマイクロコンピュータが遊技制御用マイクロコンピュータ 5 6 0 からのコマンドを取りこぼしてしまうという事態が発生してしまうのを防止することができる。

【0 6 2 9】

また、ソフトウェア遅延処理中に電源断信号を確認する処理を行っているので、R A M 5 5 の記憶内容が破壊され、電力供給停止時の状態に制御状態を復旧させることができなくなるのを防止することができる。すなわち、電力供給が開始され、ソフトウェア遅延処理の実行前または実行中に V S L が + 2 2 V 以上に上昇し、ソフトウェア遅延処理中に電力供給が停止されるような場合において、仮にソフトウェア遅延処理中に電源断信号を確認しない構成であれば、ソフトウェア遅延処理後に実行される電源断処理（ステップ S 1 8 ；なお、タイマ割込処理において実行される電源断処理であってもよい。）において、チェックサムを作成して R A M 5 5 のデータを保存する処理を実行する前に（あるいは保存しないで）電力供給が完全に停止してしまうことも生じうる。しかし、ソフトウェア遅延処理中に電源断信号を確認する処理を行う構成であれば、電源電圧の低下に応じて電源断信号がオン状態となったことを認識することができ、電源断信号のオン状態を確認したときは、待機状態（無限ループ）に移行される。このとき、まだ R A M 5 5 がアクセス可能に設定されていないため（ステップ S 6 参照）、待機状態において電力供給が完全に停止しても R A M 5 5 の記憶内容が破壊されない。よって、R A M 5 5 のデータを確実に保護することができることになる。

30

40

【0 6 3 0】

また、確変状態に移行された後の変動回数が 1 0 0 回に達したときに、遊技状態として高確率潜伏状態に制御するように構成されているので、遊技者に高確率状態が継続されているかどうかについて興味を持たせることができる。また、遊技制御用マイクロコンピュータ 5 6 0 は、電力供給が停電状態から回復したときに、メイン処理において、演出用のマイクロコンピュータ（音／ランプ制御用マイクロコンピュータ 1 0 0 b や図柄制御用マイクロコンピュータ 1 0 0 a ）に対して、制御状態を復旧させるための復旧コマンドとして通常表示コマンド、特別表示コマンドおよび高確率潜伏表示コマンドのいずれかを送信

50

し、演出用のマイクロコンピュータは復旧コマンドにもとづいて遊技状態に応じた遊技演出を実行するように構成されているので、停電前の遊技状態に応じた遊技演出を演出用のマイクロコンピュータに実行させることができ、遊技者に不信感を与えなくすることができる。また、故意に電力供給が停止されるような不正行為が行われたとしても、電力供給回復時に潜伏高確率状態が不正者に悟られてしまうことはない。

【0631】

なお、演出用のマイクロコンピュータは、変動パターンコマンドにより遊技状態を判定し、判定結果である現在の遊技状態を所定の記憶領域に記憶しているが、停電が発生したときは、演出用のマイクロコンピュータにおけるRAMは電源バックアップされていないので、電力供給回復時に遊技制御用マイクロコンピュータ560が演出用のマイクロコンピュータに対して復旧コマンドを送信する必要がある。なお、上記の実施の形態では、演出用のマイクロコンピュータは、変動パターンコマンドにもとづいて遊技状態を判定していたが、このような構成に限られず、例えば、遊技状態が変更（移行）される度に、遊技制御用マイクロコンピュータ560が遊技状態の変更を示すコマンドを演出用のマイクロコンピュータに送信する構成であってもよい。

10

【0632】

また、大入賞口が2つ設けられ、大当たり遊技が実行されるときは、2つの大入賞口のうちのいずれか一方の大入賞口が開放され、そして、大入賞口が開放される前にいずれの大入賞口が開放されるかについて大入賞口表示灯によって遊技者に報知するとともに、可変表示装置9などの演出装置を用いて遊技者に報知するように構成されている。従って、遊技者がいずれの大入賞口が開放されるかについて認識できずに不利益を受けてしまうのを防止することができる。

20

【0633】

なお、いずれの大入賞口が開放されるかについて大入賞口表示灯によって報知するタイミングは、大当たり図柄が停止表示されているタイミングとしていたが、このような構成に限られず、大入賞口が開放される直前や大入賞口が開放された後（開放中）などであってもよい。また、演出用のマイクロコンピュータがファンファーレコマンドにもとづいて演出装置（可変表示装置9やランプ／LED、スピーカ27）を用いて大当たりの種別を報知することにより、いずれの大入賞口が開放されるかについて報知するように構成されていたが、ファンファーレコマンド以外の演出制御コマンドにもとづいて、いずれの大入賞口が開放されるかについて報知するようにしてもよい。例えば、大当たりの種別を指定可能な（大当たりの種別に応じて分けられている）飾り図柄停止指定コマンド、大入賞口開放中表示コマンドまたは大入賞口開放後表示コマンドを送信し、演出用のマイクロコンピュータがそれらの演出制御コマンドにもとづいて、大入賞口の開放直前や開放後などに大当たりの種別を報知することにより、いずれの大入賞口が開放されるかについて報知するようにしてもよい。また、大当たりの種別に対応させて大入賞口のいずれが開放されるかについて報知するようにしていたが、大当たりの種別と大入賞口の開放位置とを対応させないようにしてもよい。この場合は、いずれの大入賞口が開放されるかについて可変表示装置9の画面に表示するなどの方法によって遊技者に大入賞口の開放位置を報知するようにする。

30

【0634】

また、上記の実施の形態では、大当たりの種別によって予め開放される大入賞口が決まっていたが、大当たりが発生する毎に乱数を用いるなどの方法によって開放される大入賞口を決定するように構成されていてもよい。また、ラウンド毎に異なる大入賞口を開放するように構成してもよく、この場合も、乱数を用いるなどの方法によって開放される大入賞口を決定する。

40

【0635】

また、上記の実施の形態では、ウォッチドッグタイマ60は、遊技制御用マイクロコンピュータ560に内蔵されていたが、遊技制御用マイクロコンピュータ560に外付けされていてもよい。この場合、ウォッチドッグタイマ60のカウント値をクリアする処理において、WDTクリアレジスタ62に所定のデータを設定する代わりに、出力ポートから

50

外付けのウォッチドッグタイマにクリア信号を出力するように構成されていればよい。

【0636】

実施の形態2.

実施の形態1では、演出装置を制御するマイクロコンピュータを搭載した制御基板として音／ランプ制御基板80bと図柄制御基板80aとが設けられ、主基板31の遊技制御用マイクロコンピュータ560が音／ランプ制御基板80bに搭載されている音／ランプ制御用マイクロコンピュータ100bに演出制御コマンドを送信し、音／ランプ制御用マイクロコンピュータ100bが図柄制御基板80aに搭載されている図柄制御用マイクロコンピュータ100aに演出制御コマンドに応じたコマンドを送信するように構成されていた。しかし、この実施の形態2では、遊技制御用マイクロコンピュータ560が図柄制

10

【0637】

図96は、中継基板77、音／ランプ制御基板80bおよび図柄制御基板80aの他の回路構成例を示すブロック図である。図96に示す回路構成を用いる場合、例えば、図柄制御基板80aが搭載する図柄制御用マイクロコンピュータ100aは、ステップS1851～S1856と同様の処理に従って、変動パターンコマンドにもとづいて、演出内容（予告演出を行うか否かや、予告演出の種類）を決定する。そして、図柄制御用マイクロコンピュータ100aは、決定した演出内容に従って、VDP109に、可変表示装置9

20

【0638】

また、この実施の形態では、各演出装置を別々の制御基板を用いて制御する場合として、音／ランプ制御基板80bと図柄制御基板80aとを用いる場合を説明したが、他の制御基板の組合せを用いて各演出装置を制御してもよい。例えば、音出力装置27を制御する音制御基板と、各ランプを制御するランプ制御基板と、可変表示装置9を制御する図柄制御基板とを用いて、各演出装置を制御してもよい。この場合、例えば、主基板31からの演出制御コマンドを、まず音制御基板で受信し、音制御基板に搭載される音制御用マイクロコンピュータが、受信した変動パターンコマンドにもとづいて演出内容（予告演出を行うか否かや、予告演出の種類）を決定してもよい（図87に示す処理と同じ内容の処理）。そして、音制御用マイクロコンピュータが、決定した演出内容を示すコマンドをランプ制御基板と図柄制御基板に送信するようにしてもよい（ランプ制御基板を介して図柄制御基板に送信する構成や図柄制御基板を介してランプ制御基板に送信する構成も含む）。また、音出力装置27および可変表示装置9を制御する音／図柄制御基板と、各ランプを制御するランプ制御基板とを用いて、各演出装置を制御してもよい。この場合、例えば、主基板31からの演出制御コマンドを、音／図柄制御基板で受信し、音／図柄制御基板に搭載される音／図柄制御用マイクロコンピュータが、受信した変動パターンコマンドにもとづいて演出内容を決定してもよい（図87に示す処理と同じ内容の処理）。そして、音／図柄制御用マイクロコンピュータが、決定した演出内容を示すコマンドをランプ制御基板に送信するようにしてもよい。なお、上記の制御基板の組み合わせに限られるけわではなく、主基板31から演出制御コマンドがランプ制御基板に送信され、ランプ制御基板から音／図柄制御基板にコマンドが送信される構成などであってもよい。

30

40

【0639】

また、音制御用マイクロコンピュータが、表示結果指定コマンドにもとづいて飾り図柄のずれ数を特定し、変動パターンコマンドに示される基本時間と、飾り図柄のずれ数とに

50

もとづいて、飾り図柄の変動時間を特定してもよい。そして、音制御用マイクロコンピュータは、決定した演出内容や変動時間を含むコマンドを生成し（または演出制御コマンドに付加し）、ランプ制御基板や図柄制御基板に送信してもよい。なお、主基板 31 からの演出制御コマンドを、まずランプ制御基板や図柄制御基板で受信し、ランプ制御基板や図柄制御基板が搭載するマイクロコンピュータが、演出内容を決定したり変動時間を特定してもよい。

【0640】

実施の形態 3.

上記に示した各実施の形態では、CPU 56 が通信エラー時の割込処理を他の割込処理に優先して実行する場合を説明したが、通信エラー時の割込処理以外の割込処理（例えば、受信時の割込処理）を優先して実行するようにしてもよい。以下、受信時の割込処理を優先して実行する第 3 の実施の形態を説明する。

10

【0641】

なお、本実施の形態において、第 1 の実施の形態と同様の構成および処理をなす部分についてはその詳細な説明を省略し、主として第 1 の実施の形態と異なる部分について説明する。

【0642】

この実施の形態では、CPU 56 は、図 45 および図 46 と同様の処理に従ってメイン処理を実行する。メイン処理において、ステップ S1 からステップ S15b までの処理（ステップ S81～S90，S91～S93 までの処理を含む）は、第 1 の実施の形態で示したそれらの処理と同様である。また、ステップ S16 からステップ S20 までの処理は、第 1 の実施の形態で示したそれらの処理と同様である。

20

【0643】

ステップ S15b のシリアル通信回路設定処理を実行し、シリアル通信回路 505 を初期設定すると、CPU 56 は、シリアル通信回路 505 の割り込み要求に応じて実行する割込処理の優先順位を初期設定する（ステップ S15c）。この実施の形態では、あらかじめ指定情報においてシリアル通信回路 505 が受信データを受信したことを割込原因とする割込処理が指定されている。そして、CPU 56 は、指定情報にもとづいて、受信データを受信したことを割込原因とする割込処理を優先して実行するように初期設定する。すなわち、この実施の形態では、図 47 に示す割込処理優先順位テーブルにおいて、シリアル通信回路 505 において通信エラーが発生したことを割込原因とする割込処理を優先して実行するようにデフォルトで設定されているが、CPU 56 は、ユーザによって設定された指定情報にもとづいて、受信データを受信したことを割込原因とする割込処理を優先して実行するように割込処理の優先順位を変更する。この場合、例えば、CPU 56 は、受信データを受信したことを割込原因とする割込処理を優先して実行する旨を示す受信時割込優先実行フラグをセットする。

30

【0644】

遊技制御用マイクロコンピュータ 560 の CPU 56 は、メイン処理におけるステップ S17 からステップ S20 までのループ処理において、割り込み許可状態である間にシリアル通信回路 505 からの割り込み要求があると、図 76 に示す処理に従って、シリアル通信回路 505 が割り込み要求を行った割り込み原因に応じた割り込み処理を実行する。

40

【0645】

CPU 56 は、いずれの割込処理を優先して実行する旨が初期設定されているか否かを判断する。例えば、CPU 56 は、いずれの割込処理を優先して実行する旨のフラグがセットされているか否かを判断する。この実施の形態では、CPU 56 は、受信時割込優先実行フラグがセットされていることにもとづいて、受信データを受信したことを割込原因とする割込処理を優先して実行する。

【0646】

シリアル通信回路 505 から割り込み要求があると、CPU 56 は、シリアル通信回路 505 のステータスレジスタ A705 の各ビットを確認し、割り込み原因を特定する。こ

50

の実施の形態では、CPU 56は、ステータスレジスタA 705のビット5を優先的に確認し、割り込み原因を特定する。すなわち、CPU 56は、シリアル通信回路505が受信データを受信したことを割り込み原因として割り込み要求したか否かを、他の割り込み原因（通信エラーの発生または送信データの送信完了）に優先して判断する。ステータスレジスタAのビット5が「1」であると判断すると、CPU 56は、割り込み原因がシリアル通信回路505が受信データを受信したことでありと特定する。

【0647】

割り込み原因がシリアル通信回路505が受信データを受信したことでありと特定すると、CPU 56は、図76（b）に示す受信時割込処理を優先して実行する。この場合、CPU 56は、シリアル通信回路505が受信データを受信していることを示す受信時割込フラグをセットする（ステップS42）。 10

【0648】

以上に説明したように、この実施の形態では、遊技制御用マイクロコンピュータ560は、メイン処理において、割込許可状態に設定する前に、割込処理の優先順位を初期設定する。そのため、複数種類の割込原因に対応する割込処理のうち、優先して実行させるべき割込処理を確実に実行することができる。また、優先して実行させる割込処理を初期設定できるので、遊技制御用マイクロコンピュータ560に実行させるプログラムの自由度を向上させることができる。

【0649】

例えば、賞球処理における受信処理（例えば、ステップS1234の賞球ACK待ち処理）において、ステータスレジスタA 705の各ビットを確認し、シリアル通信回路505で通信エラーが発生しているか否かを判断するようなプログラムを組んでいる場合、通信エラーの発生を割込原因とする割込処理を実行しなくても、通信エラーの発生時にコマンドを受信しないように制御できる。従って、受信処理において通信エラーの発生を確認するようなプログラムを組んでいる場合には、データを受信したことを割込原因とする割込処理を優先して実行することによって、遊技制御用マイクロコンピュータ560のCPU 56に実行させるプログラムの自由度を向上させることができる。 20

【0650】

なお、本実施の形態では、「シリアル通信回路505がCPU 56に受信時割り込み要求を行う」という表現を用いたが、具体的には、割込要因（本例では、データ受信）が発生したときに、シリアル通信回路505の割り込み制御回路714がステータスレジスタA 705の対応するビット（データ受信に対応するビット5）に設定値をセットするとともに、CPU 56に割り込み信号を出力することによって、シリアル通信回路505による受信時割り込み要求が行われる。 30

【0651】

実施の形態4.

上記に示した各実施の形態では、CPU 56が、シリアル通信回路505からの割り込み要求に対応する割込処理のうちいずれの割込処理に優先して実行するかを設定または変更する場合を説明したが、さらにタイマ割込とシリアル通信回路505からの割り込み要求とが同時に発生した場合に、いずれの割込処理を優先して実行するかを設定または変更できるようにしてもよい。以下、タイマ割込とシリアル通信回路505からの割り込み要求とのいずれを優先して割込処理を実行するかを設定または変更する第4の実施の形態を説明する。 40

【0652】

なお、本実施の形態において、第1の実施の形態と同様の構成および処理をなす部分についてはその詳細な説明を省略し、主として第1の実施の形態と異なる部分について説明する。

【0653】

まず、第4の実施の形態におけるメイン処理について第1の実施の形態の図45および図46を用いて説明する。 50

【0654】

ステップS15bのシリアル通信回路設定処理を実行し、シリアル通信回路505を初期設定すると、CPU56は、タイマ割込の発生時に実行するタイマ割込処理、およびシリアル通信回路505の割り込み要求に応じて実行する割込処理の優先順位を初期設定する（ステップS15c）。

【0655】

例えば、CPU56は、各割込処理のデフォルトの優先順位を含む所定の割込処理優先順位テーブルに従って、各割込処理の優先順位を初期設定する。図98は、第4の実施の形態における割込処理優先順位テーブルの例を示す説明図である。この実施の形態では、CPU56は、図98に示す割込処理優先順位テーブルに従って、シリアル通信回路505において通信エラーが発生したことを割込原因とする割込処理を優先して実行するように初期設定する。すなわち、CPU56は、シリアル通信回路505からの割り込み要求による割込処理（本例では、通信エラー割込処理）を、タイマ割込処理に優先して実行するようにデフォルトで設定する。この場合、例えば、CPU56は、通信エラーが発生したことを割込原因とする割込処理を優先して実行する旨を示す通信エラー時割込優先実行フラグをセットする。

10

【0656】

また、この実施の形態では、ステップS15cにおいて、図98に示す割込処理優先順位テーブルに従って割込処理の優先順位の初期設定が行われることによって、タイマ割込とシリアル通信回路505からの割り込み要求とが同時に発生した場合、シリアル通信回路505からの割り込み要求に対する割込処理を優先して行うことになる。

20

【0657】

また、ユーザによって各割込処理のデフォルトの優先順位を変更することもできる。例えば、遊技制御用マイクロコンピュータ560は、ユーザ（例えば、遊技機の製作者）によって設定された割込処理を指定する指定情報を、あらかじめROM54の所定の記憶領域に記憶している。そして、CPU56は、ROM54の所定の記憶領域に記憶された指定情報に従って、割込処理の優先順位を設定する。

【0658】

例えば、あらかじめ記憶された指定情報においてタイマ割込処理が指定されている場合を説明する。この場合、CPU56は、指定情報にもとづいて、タイマ割込処理を、シリアル通信回路505からの割り込み要求に対する各割込処理（通信エラー時割込処理、受信時割込処理および送信完了割込処理）に優先して実行するように初期設定する。すなわち、図98に示す割込処理優先順位テーブルにおいて、シリアル通信回路505において通信エラーが発生したことを割込原因とする割込処理を優先して実行するようにデフォルトで設定されているが、CPU56は、ユーザによって設定された指定情報にもとづいて、タイマ割込処理を優先して実行するように割込処理の優先順位を変更する。この場合、例えば、CPU56は、タイマ割込処理を優先して実行する旨を示すタイマ割込優先実行フラグをセットする。

30

【0659】

また、ステップS16からステップS20までの処理は、第1の実施の形態で示したそれらの処理と同様である。ステップS20で割込許可状態に設定されると、次にステップS17の処理が実行されて割込禁止状態とされるまで、タイマ割込またはシリアル通信回路505からの割り込み要求を許可する状態となる。そして、割込許可状態に設定されている間に、タイマ割込が発生すると、遊技制御用マイクロコンピュータ560は、後述するタイマ割込処理を実行する。また、割込許可状態に設定されている間に、シリアル通信回路505から割り込み要求が発生すると、遊技制御用マイクロコンピュータ560のCPU56は、後述する各割込処理（通信エラー割込処理や、受信時割込処理、送信完了割込処理）を実行する。また、本実施の形態では、ステップS17からステップS20までのループ処理の前にステップS15cを実行することによって、タイマ割込または割り込み要求を許可する状態に設定される前に、タイマ割込処理およびシリアル通信回路505

40

50

からの割り込み要求による割込処理の優先順位を設定または変更する処理が行われる。

【0660】

遊技制御用マイクロコンピュータ560のCPU56は、メイン処理におけるステップS17からステップS20までのループ処理において、割り込み許可状態である間にシリアル通信回路505からの割り込み要求があると、図76に示す処理に従って、シリアル通信回路505が割り込み要求を行った割り込み原因に応じた割り込み処理を実行する。また、CPU56は、メイン処理におけるステップS17からステップS20までのループ処理において、タイマ割込が発生すると、図55に示す処理に従ってタイマ割込処理を実行する。

【0661】

この実施の形態では、タイマ割込とシリアル通信回路505からの割り込み要求が同時に発生した場合、CPU56は、いずれの割込処理を優先して実行する旨が初期設定されているか否かを判断する。例えば、CPU56は、いずれの割込処理を優先して実行する旨のフラグがセットされているか否かを判断する。例えば、CPU56は、タイマ割込優先実行フラグがセットされていることにもとづいて、タイマ割込処理を優先して実行する。

【0662】

以上に説明したように、この実施の形態では、CPU56は、メイン処理において、割込許可状態に設定する前に、タイマ割込処理、およびシリアル通信回路505からの割り込み要求に対応する各割込処理の優先順位を初期設定する。そのため、タイマ割込処理や複数種類の割込原因に対応する割込処理のうち、優先して実行させるべき割込処理を確実に実行することができる。また、優先して実行させる割込処理を初期設定できるので、遊技制御用マイクロコンピュータ560のCPU56に実行させるプログラムの自由度を向上させることができる。

【0663】

なお、上記の各実施の形態において、大当たり種別として、2ラウンド確変大当たり、2ラウンド時短大当たり、7ラウンド通常大当たり、15ラウンド通常大当たり、15ラウンド確変大当たりおよび15ラウンド時短大当たりが設けられていたが、このような種別に限られるわけではない。例えば、大入賞口の開放時間が異なる大当たりや、大当たり中の大入賞口への1個の入賞に対する賞球個数が異なる大当たりなどであってもよい。このような大当たりも、大当たり種別決定用乱数にもとづいて決定されることになる。

【0664】

なお、図38に示す電源基板910の構成において、以下のような特徴的構成も開示されている。各基板に搭載されているマイクロコンピュータおよびウォッチドッグタイマ60の動作可能な駆動電圧値は+5Vであり、電源電圧が低下していくときにリセット信号がオフ状態になる（システムリセットがかかる）電圧値は+9Vであり、電源電圧が低下していくときに電源断信号がオン状態になる電圧値は+22Vである。ここで、AC+24Vの交流電圧が正常に供給されているときは、整流平滑回路915はVSL+30Vを出力し続ける。そして、電源監視回路920は、VSL+30Vを監視し、その電圧値が+22Vになったときに電源断信号をオン状態にする（出力する）。また、整流平滑回路915からVSL+30Vの電圧が供給されているときは、スイッチングレギュレータ924Bは、マイクロコンピュータ等の駆動電圧であるVCC+5Vを出力し続ける。なお、スイッチングレギュレータ924Bは、VSLの電圧値として+30V～+7Vが供給されているときは、VCC+5Vを出力し続ける。従って、このときは、マイクロコンピュータ等は駆動可能な状態である。VSLが+5Vまで低下する前の+9Vでシステムリセットをかけるので、マイクロコンピュータが暴走するようなことがなくなり、RAMのデータが破壊されるようなことはない。また、VSL+22V～+9Vの間に電源断処理におけるチェックサムの作成を終了させることができるので、RAMのデータが破壊されて復旧できなくなってしまう事態も発生することはない。

【0665】

なお、上記の各実施の形態では、複数種類の演出装置（可変表示装置 9 やスピーカ 2 7 など）を複数の演出用のマイクロコンピュータ（図 3 に示す例では、音・ランプ制御用マイクロコンピュータ 1 0 0 b と図柄制御用マイクロコンピュータ 1 0 0 a）が制御するように構成されていたが、全ての演出装置を 1 つの演出用のマイクロコンピュータ（例えば演出制御用マイクロコンピュータ）が制御するように構成されていてもよい。

【0 6 6 6】

なお、上述した実施の形態では、以下の（１）～（６）に示すような遊技機の特徴的構成も示されている。

【0 6 6 7】

（１）遊技制御用マイクロコンピュータは、数値更新手段が更新可能な数値データの所定の範囲が異なる乱数回路（例えば、１２ビット乱数回路 5 0 3 a と 1 6 ビット乱数回路 5 0 3 b）を複数内蔵し、乱数回路初期設定手段は、初期設定において、遊技制御用マイクロコンピュータが内蔵する複数の乱数回路の中から使用可能な乱数回路を設定し（例えば、遊技制御用マイクロコンピュータ 5 6 0 がステップ S 1 5 1 を実行する）、乱数回路初期設定手段により使用可能と設定された乱数回路以外の乱数回路の機能を停止させる乱数停止手段（例えば、遊技制御用マイクロコンピュータ 5 6 0 が、ステップ S 1 5 1 で使用する乱数回路 5 0 3 を設定すると、使用しないように設定した方の乱数回路のカウンタ 5 2 1 がカウント値 C を更新しないように制御する部分）を備えるように構成されていてもよい。そのような構成によれば、更新可能な数値データの所定の範囲が異なる複数の乱数回路について、それぞれ使用可能とするか否かを設定するように構成されているので、使用する乱数回路だけを設定することによって、生成する乱数の値の範囲を適切に設定することができ、無駄に乱数を更新しないで済む。

【0 6 6 8】

（２）乱数回路初期設定手段は、初期設定において、数値データが更新される所定の範囲の最大値としての値が設定される数値最大値レジスタ（例えば、乱数最大値設定レジスタ 5 3 5）に、数値更新手段により更新可能な数値データの範囲内において所定の最大値（例えば、乱数最大値）を設定する最大値設定手段（例えば、遊技制御用マイクロコンピュータ 5 6 0 におけるステップ S 1 5 2 を実行する部分）と、最大値設定手段により設定された所定の最大値が、所定の下限値（例えば、１２ビット乱数回路 5 0 3 a を設定した場合における「2 5 6」）以下であるか否かを判定する設定値判定手段（例えば、遊技制御用マイクロコンピュータ 5 6 0 におけるステップ S 1 5 3 b を実行する部分）と、設定値判定手段によって数値最大値レジスタに設定された所定の最大値が所定の下限値以下であると判定されたときに、数値最大値レジスタに、数値更新手段により更新可能な数値データの範囲内の所定値（例えば、１２ビット乱数回路 5 0 3 a を設定した場合における「4 0 9 5」）を設定しなおす最大値再設定手段（例えば、遊技制御用マイクロコンピュータ 5 6 0 におけるステップ S 1 5 3 c を実行する部分）とを含むように構成されていてもよい。そのような構成によれば、数値データが更新される所定の範囲の最大値としての値をあらかじめ設定するように構成されているので、タイマ割込処理の実行中に用いる乱数の範囲より大きい値の乱数を生成してしまうことを防止でき、乱数回路および遊技制御用マイクロコンピュータの処理負担を軽減することができる。また、設定された所定の最大値が所定の下限値以下である場合には、所定の最大値を設定しなおすように構成されているので、遊技制御用マイクロコンピュータの誤動作や、無線信号を用いた取り込み信号を遊技機に対して発生させるなどの行為によって、過度に小さい値が乱数の最大値として設定されてしまうことを防止することができる。

【0 6 6 9】

（３）遊技機は、所定周期のクロック信号を生成し、乱数回路に出力するクロック信号生成手段（例えば、クロック回路 5 0 1）を備え、数値更新手段は、クロック信号を所定回数入力したことを条件に、数値データを更新し（例えば、クロック信号出力回路 5 2 4 が基準クロック信号 CLK を 1 6 分周した乱数発生用クロック信号 SI を入力すると、カウンタ 5 2 1 がカウント値 C を更新する部分）、乱数回路初期設定手段は、数値更新手段

が数値データを更新する条件であるクロック信号の入力回数を設定する（例えば、遊技制御用マイクロコンピュータ560がステップS156を実行する）ように構成されていてもよい。そのような構成によれば、数値更新手段が数値データを更新する条件であるクロック信号の入力回数をあらかじめ設定するように構成されているので、乱数回路が生成する乱数のランダム性をより向上させることができる。

【0670】

（4）遊技制御用マイクロコンピュータは、乱数回路初期設定手段によって設定される数値データの所定の初期値を、マイコン識別情報を用いて演算する数値演算手段（例えば、遊技用マイクロコンピュータにおけるステップS154bの処理を実行する際に、遊技制御用マイクロコンピュータ560のIDナンバと所定値とを演算して（例えば、IDナンバに所定値を加算して）演算値を求める部分）を含み、乱数回路初期設定手段は、数値演算手段による演算によって算出された値にもとづいて初期値を設定する（例えば、遊技用マイクロコンピュータがステップS154bの処理を実行する際に、求めた演算値をカウント値の初期値として設定する）ように構成されていてもよい。そのような構成によれば、マイコン識別情報を用いた演算によって算出された値にもとづいて初期値を設定するように構成されているので、乱数回路が生成する乱数のランダム性をより向上させることができる。そのため、マイコン識別情報を見ただけでは乱数の初期値を認識しにくくすることができる。セキュリティ性を向上させることができる。

【0671】

（5）遊技機は、遊技領域における入賞領域に遊技媒体が入賞（例えば、特別可変入賞球装置20への遊技球の入賞）したことを検出して入賞検出信号（例えば、カウントスイッチ231、232の検出信号）を出力する入賞検出手段（例えば、カウントスイッチ231、232）を備え、乱数回路は、入賞検出手段からの入賞検出信号が入力されたことにもとづいて、数値更新手段が更新する数値データを乱数記憶手段に記憶させるためのラッチ信号を出力するラッチ信号出力手段（例えば、ラッチ信号生成回路533）を含み、ラッチ信号出力手段は、入賞検出手段から入賞検出信号が所定期間継続して入力されたことを条件（例えば、タイマ回路534が所定期間（例えば、3ms）を計測したときに、乱数値読取信号出力回路526から出力される乱数値読取信号を入力したこと）に、ラッチ信号を出力する（例えば、ラッチ信号生成回路533が、乱数値読取信号出力回路526から出力される乱数値読取信号を、反転回路532から出力される反転クロック信号SI2の立ち上がりエッジに同期させて、ラッチ信号SLとして乱数値記憶回路531に出力する部分）ように構成されていてもよい。そのような構成によれば、ラッチ信号が出力されたことにもとづいて乱数記憶手段が乱数を記憶するにあたって、所定期間に亘って継続して入賞検出信号が入力されたことを条件にラッチ信号を出力するように構成されているので、ノイズの発生を入力検出信号の入力と誤認識してラッチ信号を出力し、生成した乱数を記憶してしまうことを防止できる。また、無線信号を用いた取り込み信号を遊技機に対して発生させるなどの行為によってラッチ信号が出力され、不正なラッチ信号によって生成された乱数を記憶させられてしまう可能性を低減することができる。

【0672】

（6）乱数読出手段は、タイマ割込処理実行手段によってタイマ割込処理が所定回数実行される間継続して、入賞検出手段から入賞検出信号が入力されたことを条件（例えば、遊技制御用マイクロコンピュータ560によるステップS3202の処理の実行の際に、割込回数カウンタに示されるタイマ割込処理の実行回数が所定回数（例えば、3回）に達していること）に、乱数記憶手段が記憶する乱数値を読み出し（例えば、CPU56が、乱数回路503の乱数値記憶回路531から、乱数値として記憶されているランダムRの値を読み出し）、所定期間（例えば、3ms）は所定回数のタイマ割込処理が実行される期間（例えば、6ms）よりも短いように構成されていてもよい。そのような構成によれば、乱数記憶手段から乱数を読み出すにあたって、タイマ割込処理が所定回数実行される間継続して入賞検出信号が入力されたことを条件に乱数記憶手段から乱数を読み出すように構成されているので、乱数を読み出してから、乱数記憶手段に記憶される乱数の値が更

10

20

30

40

50

新される前に再び乱数を読み出してしまうことを防止することができる。そのため、前回乱数記憶手段から読み出した乱数と同じ値の乱数を再び読み出してしまうことを防止することができる。

【0673】

なお、上記の実施の形態のパチンコ遊技機は、主として、始動入賞にもとづいて可変表示部に可変表示される特別図柄の停止図柄が所定の図柄になると所定の遊技価値が遊技者に付与可能になるパチンコ遊技機であったが、始動入賞にもとづいて開放する電動役物の所定領域への入賞があると所定の遊技価値が遊技者に付与可能になるパチンコ遊技機や、始動入賞にもとづいて可変表示される図柄の停止図柄が所定の図柄の組み合わせになると開放する所定の電動役物への入賞があると所定の権利が発生または継続するパチンコ遊技機であっても、本発明を適用できる。さらに、遊技メダルを投入して賭け数を設定し遊技を行うスロット機や、遊技メダルではなく遊技球を投入して賭け数を設定し遊技を行う遊技機などにも本発明を適用できる。

10

【産業上の利用可能性】

【0674】

本発明は、パチンコ遊技機およびスロット機などの遊技機に適用可能であり、特に、変動パターンコマンドや表示結果指定コマンドにもとづいて、可変表示装置における飾り図柄の可変表示や遊技演出を行う遊技機に好適に適用できる。

【図面の簡単な説明】

【0675】

20

【図1】パチンコ遊技機を正面からみた正面図である。

【図2】遊技制御基板（主基板）の構成例を示すブロック図である。

【図3】中継基板、音／ランプ制御基板および図柄制御基板の回路構成例を示すブロック図である。

【図4】主基板における回路構成および主基板から音／ランプ制御基板に送信される演出制御コマンドの信号線を示すブロック図である。

【図5】乱数回路の構成例を示すブロック図である。

【図6】更新規則選択レジスタの例を示す説明図である。

【図7】更新規則メモリの例を示す説明図である。

【図8】カウント値順列変更回路が、カウンタが出力するカウント値の順列を変更する場合の例を示す説明図である。

30

【図9】カウント値順列変更レジスタの例を示す説明図である。

【図10】乱数最大値設定レジスタの例を示す説明図である。

【図11】周期設定レジスタの例を示す説明図である。

【図12】カウント値更新レジスタの例を示す説明図である。

【図13】乱数値取込レジスタの例を示す説明図である。

【図14】乱数更新方式選択レジスタ、および乱数更新方式選択レジスタに書き込まれる乱数更新方式選択データの一例の説明図である。

【図15】乱数回路起動レジスタの例を示す説明図である。

【図16】乱数値記憶回路の一構成例を示す回路図である。

40

【図17】乱数値記憶回路に各信号が入力されるタイミング、および乱数値記憶回路が各信号を出力するタイミングを示すタイミングチャートである。

【図18】シリアル通信回路の送信部の構成例を示すブロック図である。

【図19】シリアル通信回路の受信部の構成例を示すブロック図である。

【図20】シリアル通信が各制御基板が搭載するマイクロコンピュータと送受信するデータのデータフォーマットの例を示す説明図である。

【図21】ボーレートレジスタの例を示す説明図である。

【図22】制御レジスタAおよび通信フォーマット設定データの例を示す説明図である。

【図23】制御レジスタBおよび割り込み要求設定データの例を示す説明図である。

【図24】ステータスレジスタAおよびステータス確認データの例を示す図である。

50

【図 2 5】ステータスレジスタ B およびステータス確認データの例を示す図である。

【図 2 6】制御レジスタ C およびエラー割り込み要求設定データの例を示す説明図である。

。

【図 2 7】シリアル通信回路が備えるデータレジスタの例を示す説明図である。

【図 2 8】遊技制御用マイクロコンピュータにおける記憶領域のアドレスマップの一例を示す説明図である。

【図 2 9】ユーザプログラム管理エリアにおけるアドレスマップの一例を示す説明図である。

【図 3 0】初期値変更方式設定データの一例を示す説明図である。

【図 3 1】ユーザプログラムの構成例を示す説明図である。

10

【図 3 2】乱数回路設定プログラムの構成例を示す説明図である。

【図 3 3】第 1 の乱数更新方式が選択されている場合に、ランダム R の値を更新させたりランダム R の値を読出したりする動作を示す説明図である。

【図 3 4】第 2 の乱数更新方式が選択されている場合に、ランダム R の値の更新させたりランダム R の値を読出したりする動作を示す説明図である。

【図 3 5】遊技制御用マイクロコンピュータが備える各メモリを示す説明図である。

【図 3 6】大当たり判定用テーブルメモリの例を示す説明図である。

【図 3 7】ウォッチドッグタイマの構成例を示すブロック図である。

【図 3 8】電源基板の構成例を示すブロック図である。

【図 3 9】遊技制御用マイクロコンピュータにおける出力ポートのビット割り当て例を示す説明図である。

20

【図 4 0】遊技制御用マイクロコンピュータにおける入力ポートのビット割り当て例を示す説明図である。

【図 4 1】電力供給開始時における各 CPU およびウォッチドッグタイマの動作を示すタイミング図である。

【図 4 2】電力供給開始時における各 CPU およびウォッチドッグタイマの動作を示すタイミング図である。

【図 4 3】電力供給停止時における各 CPU およびウォッチドッグタイマの動作を示すタイミング図である。

【図 4 4】電力供給瞬停時における各 CPU およびウォッチドッグタイマの動作を示すタイミング図である。

30

【図 4 5】遊技制御用マイクロコンピュータが実行するメイン処理を示すフローチャートである。

【図 4 6】遊技制御用マイクロコンピュータが実行するメイン処理を示すフローチャートである。

【図 4 7】割込処理優先順位テーブルの例を示す説明図である。

【図 4 8】乱数回路設定処理を示すフローチャートである。

【図 4 9】乱数最大値再設定処理を示すフローチャートである。

【図 5 0】初期値変更処理を示すフローチャートである。

【図 5 1】乱数回路に各信号が入力されるタイミング、および乱数回路内で各信号が生成されるタイミングを示すタイミングチャートである。

40

【図 5 2】シリアル通信回路設定処理を示すフローチャートである。

【図 5 3】電源断処理を示すフローチャートである。

【図 5 4】電源断処理を示すフローチャートである。

【図 5 5】タイマ割込処理を示すフローチャートである。

【図 5 6】各乱数を示す説明図である。

【図 5 7】乱数回路初期値更新処理を示すフローチャートである。

【図 5 8】カウント値順列変更処理を示すフローチャートである。

【図 5 9】特別図柄プロセス処理の一例を示すフローチャートである。

【図 6 0】変動パターンの一例を示す説明図である。

50

- 【図 6 1】演出制御コマンドの内容の一例を示す説明図である。
- 【図 6 2】始動口スイッチ通過処理を示すフローチャートである。
- 【図 6 3】特別図柄通常処理を示すフローチャートである。
- 【図 6 4】特別図柄停止図柄設定処理を示すフローチャートである。
- 【図 6 5】変動パターン設定処理を示すフローチャートである。
- 【図 6 6】特別図柄停止処理を示すフローチャートである。
- 【図 6 7】大入賞口開放前処理を示すフローチャートである。
- 【図 6 8】大入賞口開放中処理を示すフローチャートである。
- 【図 6 9】大入賞口開放中処理を示すフローチャートである。
- 【図 7 0】大当たり終了処理を示すフローチャートである。 10
- 【図 7 1】遊技制御手段から払出制御手段に対して出力される制御信号の内容の一例を示す説明図である。
- 【図 7 2】遊技制御手段と払出制御手段との間で送受信される制御コマンドの内容の一例を示す説明図である。
- 【図 7 3】制御信号および制御コマンドの送受信に用いられる信号線等を示すブロック図である。
- 【図 7 4】払出制御信号および払出制御コマンドの出力の仕方の一例を示すタイミング図である。
- 【図 7 5】賞球処理を示すフローチャートである。
- 【図 7 6】シリアル通信回路が割り込み要求に対して行う割り込み処理の一例を示す流れ 20
図である。
- 【図 7 7】賞球個数テーブルの例を示す説明図である。
- 【図 7 8】賞球個数加算処理を示すフローチャートである。
- 【図 7 9】賞球制御処理を示すフローチャートである。
- 【図 8 0】賞球送信待ち処理を示すフローチャートである。
- 【図 8 1】賞球個数コマンド送信処理を示すフローチャートである。
- 【図 8 2】賞球送信完了待ち処理を示すフローチャートである。
- 【図 8 3】賞球 A C K 待ち処理を示すフローチャートである。
- 【図 8 4】賞球再送信処理を示すフローチャートである。
- 【図 8 5】賞球異常検出処理を示すフローチャートである。 30
- 【図 8 6】主制御通信処理を示すフローチャートである。
- 【図 8 7】音／ランプ制御用マイクロコンピュータが実行するメイン処理を示すフローチャートである。
- 【図 8 8】音／ランプ制御処理で用いる各乱数を示す説明図である。
- 【図 8 9】音／ランプ制御用マイクロコンピュータが実行する演出内容決定処理を示すフローチャートである。
- 【図 9 0】図柄制御用マイクロコンピュータが実行するメイン処理を示すフローチャートである。
- 【図 9 1】図柄制御用マイクロコンピュータが実行するコマンド解析処理の具体例を示すフローチャートである。 40
- 【図 9 2】図柄制御用マイクロコンピュータが実行する演出制御プロセス処理を示すフローチャートである。
- 【図 9 3】演出制御プロセス処理における飾り図柄通常処理を示すフローチャートである。
- 【図 9 4】演出制御プロセス処理における飾り図柄変動開始処理を示すフローチャートである。
- 【図 9 5】演出制御プロセス処理における飾り図柄変動中処理を示すフローチャートである。
- 【図 9 6】中継基板、音／ランプ制御基板および図柄制御基板の他の回路構成例を示すブロック図である。 50

【図 9 7】 他の実施の形態における割込処理優先順位テーブルの例を示す説明図である。

【符号の説明】

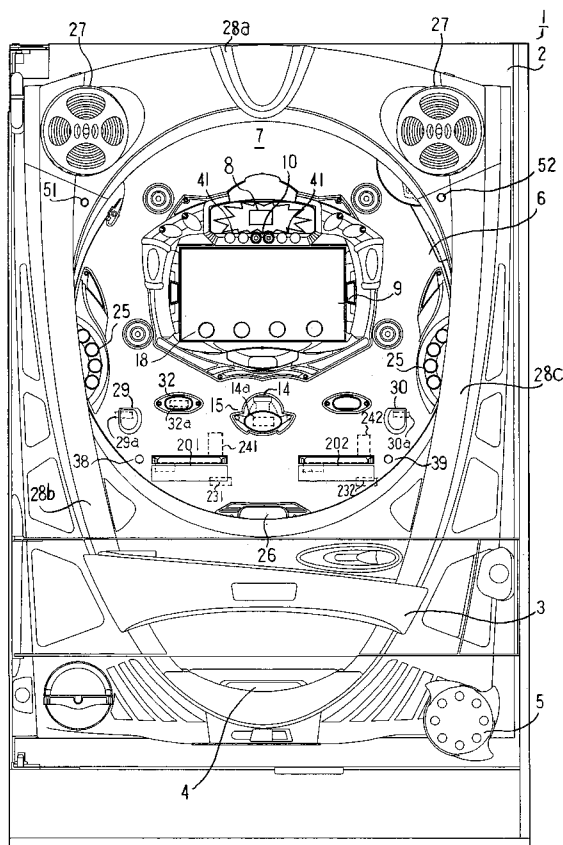
【0 6 7 6】

- | | |
|----------|--------------------|
| 1 | パチンコ遊技機 |
| 9 | 可変表示装置 |
| 1 4 | 始動入賞口 |
| 1 5 | 可変入賞球装置 |
| 3 1 | 遊技制御基板（主基板） |
| 3 7 | 払出制御基板 |
| 3 8, 3 9 | 大入賞口表示灯 |
| 5 6 | C P U |
| 8 0 a | 図柄制御基板 |
| 8 0 b | 音／ランプ制御基板 |
| 1 0 0 a | 図柄制御用マイクロコンピュータ |
| 1 0 0 b | 音／ランプ制御用マイクロコンピュータ |
| 1 0 1 a | 図柄制御用 C P U |
| 1 0 1 b | 音／ランプ制御用 C P U |
| 5 0 3 a | 1 2 ビット乱数回路 |
| 5 0 3 b | 1 6 ビット乱数回路 |
| 5 0 5 | シリアル通信回路 |
| 5 6 0 | 遊技制御用マイクロコンピュータ |

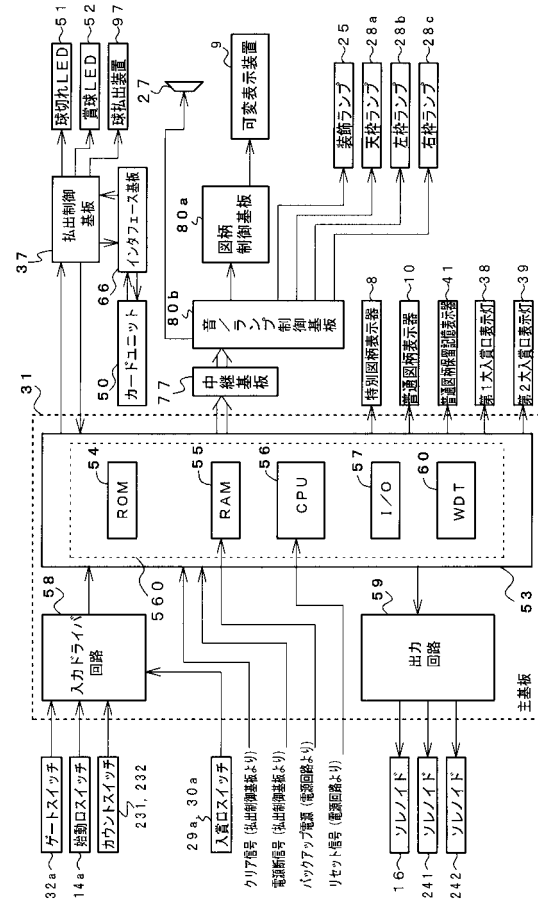
10

20

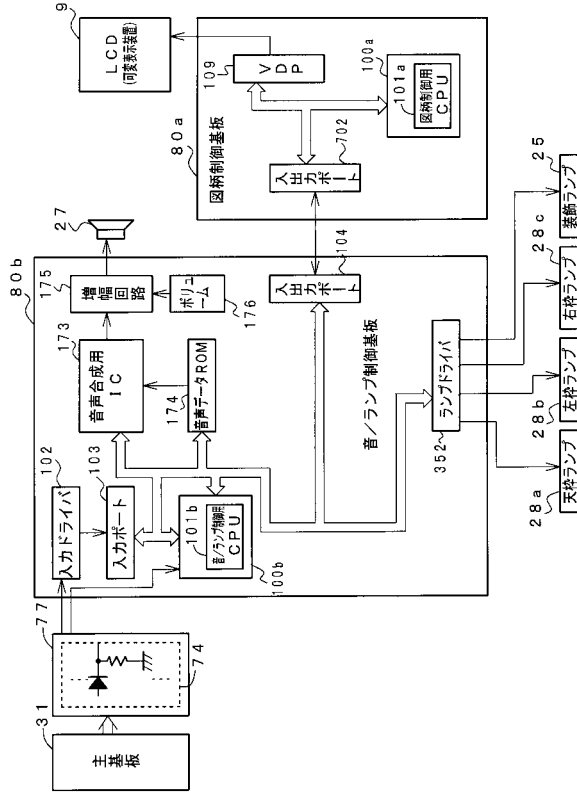
【図 1】



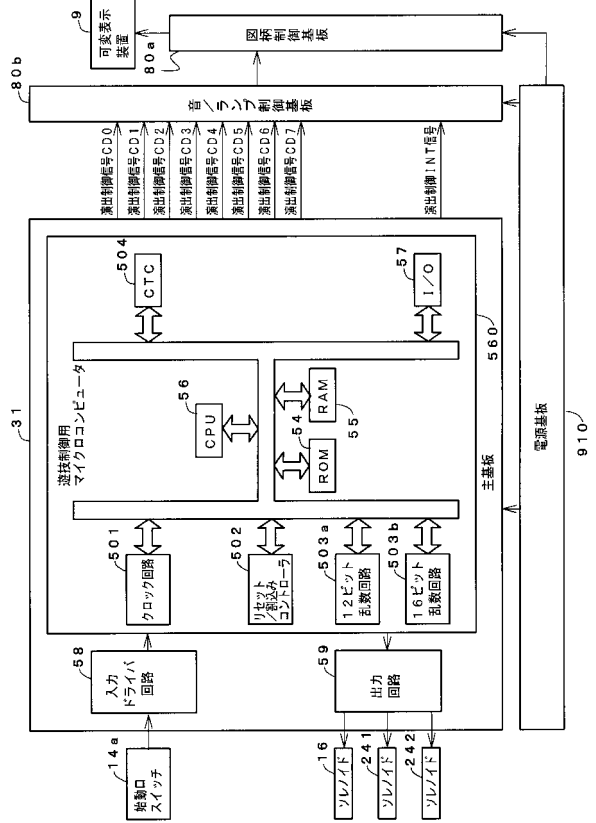
【図 2】



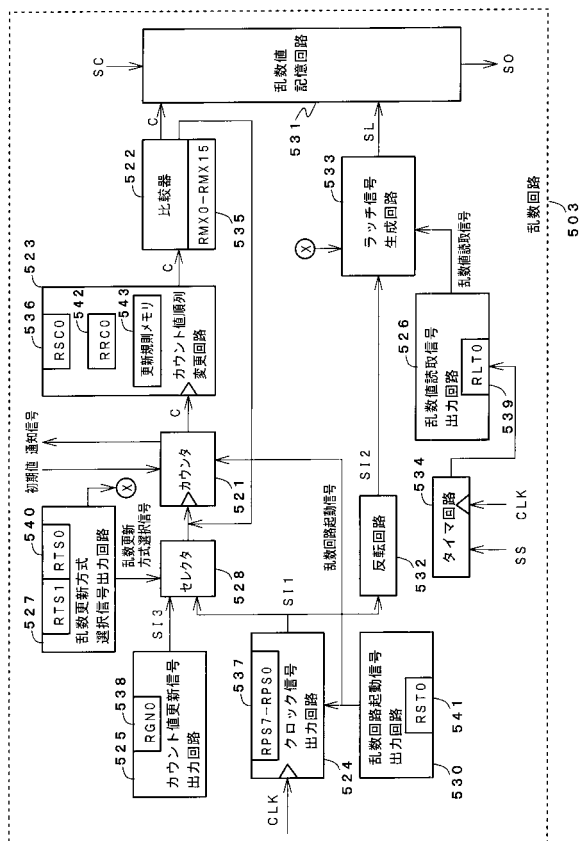
【図 3】



【図 4】



【図 5】



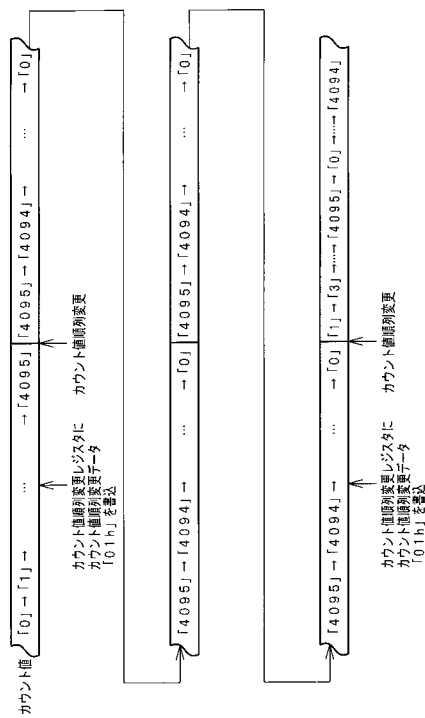
【図 6】

更新規則選択レジスタ (RRC)							
7	6	5	4	3	2	1	0
RRC	-	-	-	-	RRC3	RRC2	RRC1 RRC0

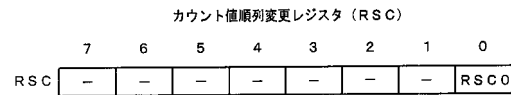
【図 7】

レジスタ値	更新規則
0	更新規則A (「0」→「1」→...→「4095」)
1	更新規則B (「4095」→「4094」→...→「0」)
2	更新規則C (「1」→「3」→...→「4095」→「0」→...→「4094」)
3	更新規則D (「0」→「2」→...→「4094」→「1」→...→「4095」)
4	
5	
6	
7	
8	
9	
10	
11	
12	
13	
14	更新規則O (「1」→「3」→...→「4095」→「4094」→...→「0」)
15	更新規則P (「0」→「2」→...→「4094」→「4095」→...→「1」)

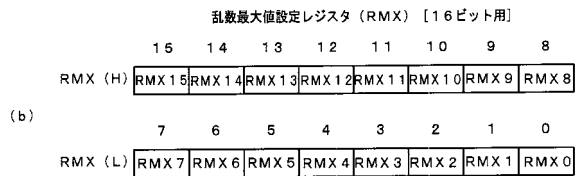
【図 8】



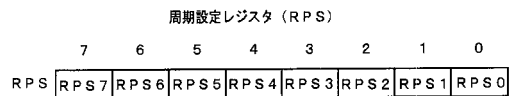
【図 9】



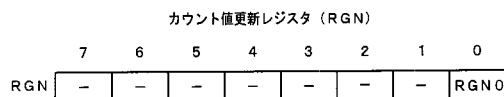
【図 10】



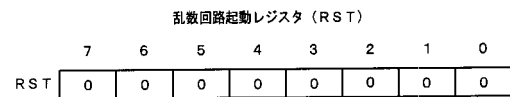
【図 11】



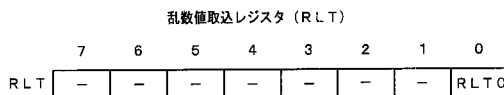
【図 12】



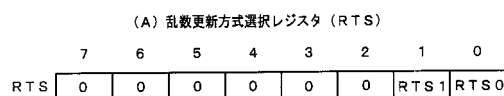
【図 15】



【図 13】



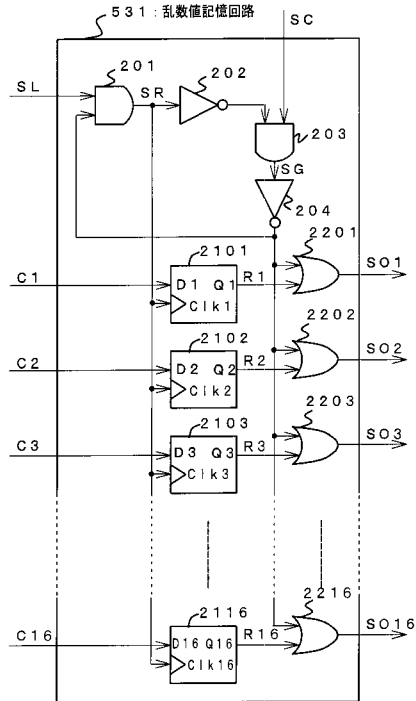
【図 14】



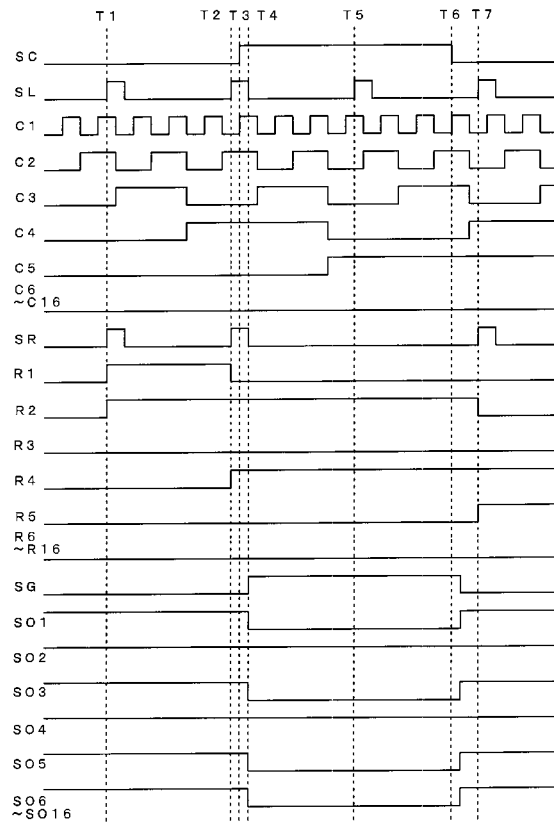
(B) Random Number Update Mode Selection Data

RTS1	RTS0	設定される乱数更新方式
0	0	設定せず
0	1	第1の乱数更新方式を設定
1	0	第2の乱数更新方式を設定
1	1	設定せず

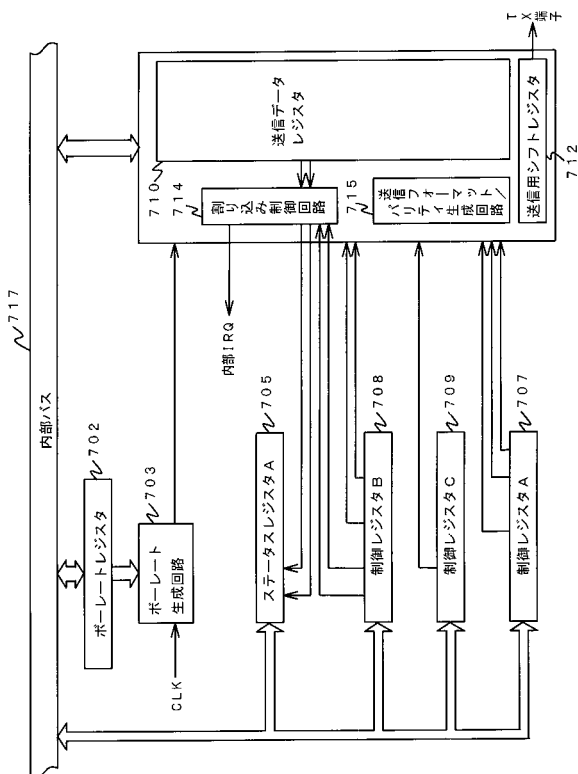
【図 16】



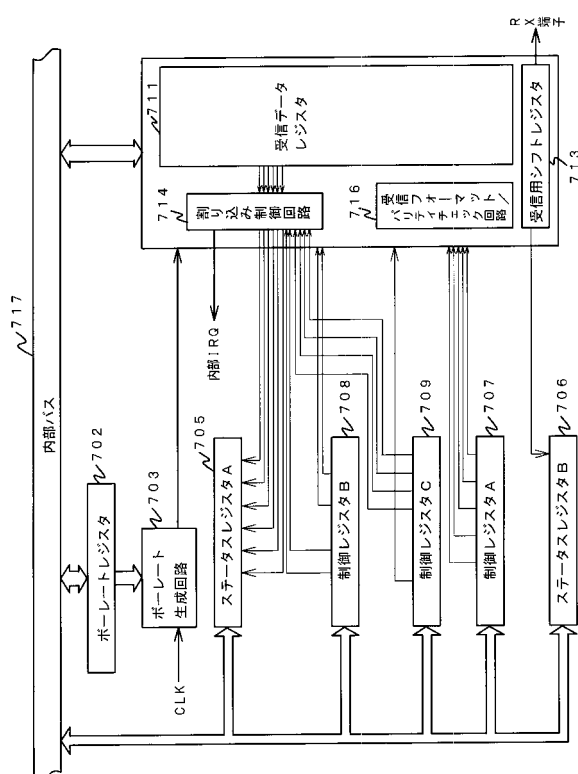
【図 17】



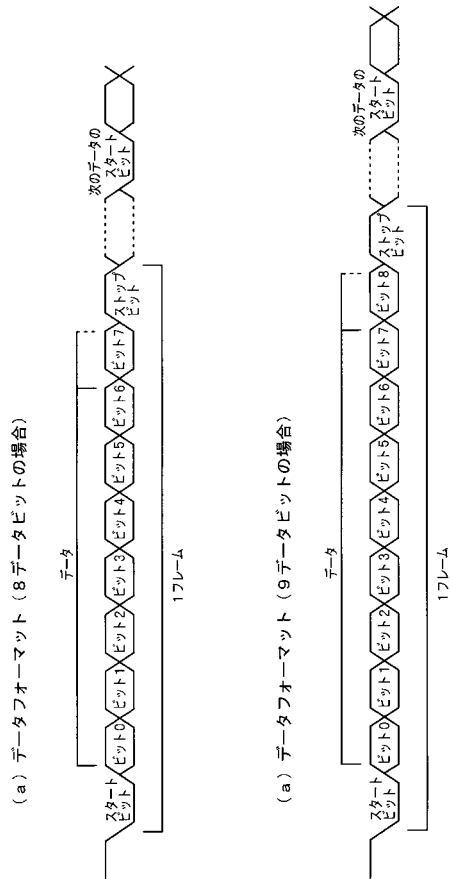
【図 18】



【図 19】



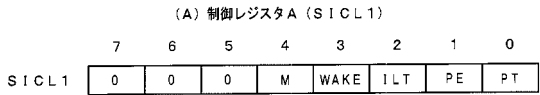
【図 20】



【図 21】



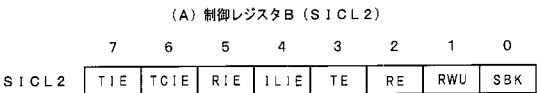
【図 22】



(B) 通信フォーマット設定データ

ビット番号	ビット名	意味
4	M	データ長の選択 0: 1スタートビット, 8データビット, 1ストップビット 1: 1スタートビット, 9データビット, 1ストップビット
3	WAKE	ウエイクアップ方式の選択 0: アイドルラインの認識による 1: アドレスマークの認識による
2	ILT	アイドルライン検出方式の選択 0: スタートビットの後から検出 1: ストップビットの後から検出
1	PE	パリティ機能の使用/未使用の設定 0: パリティ未使用 1: パリティ使用
0	PT	パリティの種類を選択 0: 偶数パリティ 1: 奇数パリティ

【図 23】



(B) 割り込み要求設定データ

ビット番号	ビット名	意味
7	TIE	送信割り込み要求の許可/禁止の設定 0: 割り込み要求禁止 1: 割り込み要求許可
6	TCIE	送信完了割り込み要求の許可/禁止の設定 0: 割り込み要求禁止 1: 割り込み要求許可
5	RIE	受信割り込み要求の許可/禁止の設定 0: 割り込み要求禁止 1: 割り込み要求許可
4	ILIE	アイドルライン割り込み要求の許可/禁止の設定 0: 割り込み要求禁止 1: 割り込み要求許可
3	TE	送信回路の使用/未使用の設定 0: 送信回路の未使用 1: 送信回路の使用
2	RE	受信回路の使用/未使用の設定 0: 受信回路の未使用 1: 受信回路の使用
1	RWU	受信ウエイクアップの使用/未使用の設定 0: 受信ウエイクアップの未使用 1: 受信ウエイクアップの使用
0	SBK	ブ레이크コードの送信の使用/未使用の設定 0: ブ레이크コードの未送信 1: ブ레이크コードの送信

【図 24】



(B) ステータス確認データ

ビット番号	ビット名	意味
7	TDRE	送信データエンプティフラグ 0: 送信データレジスタから送信用シフトレジスタにデータ未転送 1: 送信データレジスタから送信用シフトレジスタにデータ転送済
6	TC	送信完了フラグ 0: 送信シフトレジスタからデータ送信中 1: 送信シフトレジスタからデータ転送完了
5	RDRF	受信データフルフラグ 0: 受信データレジスタにデータ無し 1: 受信データレジスタにデータ有り
4	IDLE	アイドルライン検出フラグ 0: 受信回路がアイドルラインを未検出 1: 受信回路がアイドルラインを検出
3	OR	オーバーランフラグ 0: 受信回路がオーバーランを未検出 1: 受信回路がオーバーランを検出
2	NF	ノイズエラーフラグ 0: 受信回路がノイズを未検出 1: 受信回路がノイズを検出
1	FE	フレーミングエラーフラグ 0: 受信回路がフレーミングエラーを未検出 1: 受信回路がフレーミングエラーを検出
0	PF	パリティエラーフラグ 0: 受信回路がパリティエラーを未検出 1: 受信回路がパリティエラーを検出

【図 25】

(A) ステータスレジスタ B (S1ST2)

	7	6	5	4	3	2	1	0
S1ST2	0	0	0	0	0	0	0	RAF

(B) ステータス確認データ

ビット番号	ビット名	意味
0	RAF	受信アクティブフラグ 0: 受信回路がデータを受信中でない 1: 受信回路がデータ受信中

【図 26】

(A) 制御レジスタ C (S1CL3)

	7	6	5	4	3	2	1	0
S1CL3	R8	T8	0	0	ORIE	NEIE	FEIE	PEIE

(B) エラー割り込み要求設定データ

ビット番号	ビット名	意味
7	R8	9データビット選択時の9ビット目の受信データビット
6	T8	9データビット選択時の9ビット目の送信データビット
3	ORIE	オーバーランフラグ割り込み要求の許可/禁止の設定 0: オーバーランフラグ割り込み要求禁止 1: オーバーランフラグ割り込み要求許可
2	NEIE	ノイズエラーフラグ割り込み要求の許可/禁止の設定 0: ノイズエラーフラグ割り込み要求禁止 1: ノイズエラーフラグ割り込み要求許可
1	FEIE	フレーミングエラーフラグ割り込み要求の許可/禁止の設定 0: フレーミングエラーフラグ割り込み要求禁止 1: フレーミングエラーフラグ割り込み要求許可
0	PEIE	パリティエラーフラグ割り込み要求の許可/禁止の設定 0: パリティエラーフラグ割り込み要求禁止 1: パリティエラーフラグ割り込み要求許可

【図 27】

データレジスタ (S1DA)

	7	6	5	4	3	2	1	0
S1DA	R7/T7	R6/T6	R5/T5	R4/T4	R3/T3	R2/T2	R1/T1	R0/T0

【図 28】

番地	種別	内容
0000h	ROM	ユーザプログラムエリア
1F80h		ユーザプログラム管理エリア
2000h	なし	未使用エリア
7E00h	RAM	未使用エリア
7F00h		ワークエリア
8000h	なし	未使用エリア
FD00h	内蔵レジスタ	内蔵レジスタエリア
FE00h	⋮	⋮
FFFFh	⋮	⋮

【図 29】

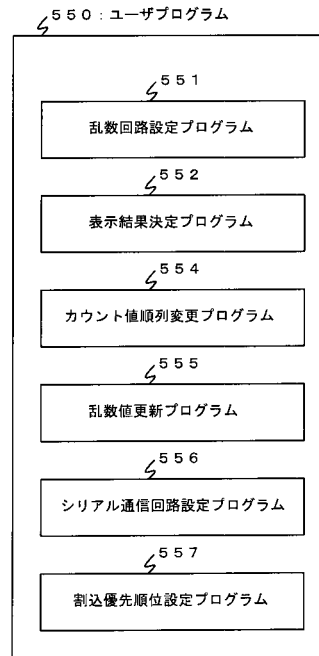
番地	設定データ	エリア名称
1F80h	⋮	⋮
1F97h	00h, 01h	初期値変更方式選択 (KRSS)
1F98h	KRSAの下位バイト	指定RAM番地 (KRSA)
1F99h	KRSAの上位バイト	
⋮	⋮	⋮
1FFFh	⋮	⋮

【図 30】

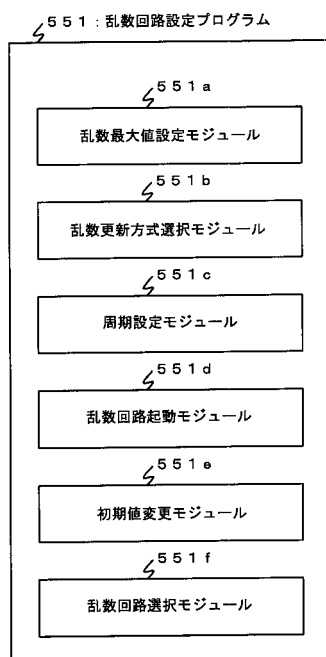
初期値変更方式選択データ

初期値変更方式選択データ	初期値を変更する方式
00h	変更せず
01h	IDにもとづいて変更

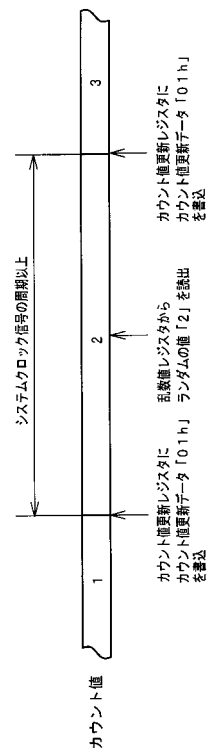
【図 31】



【図 32】



【図 33】



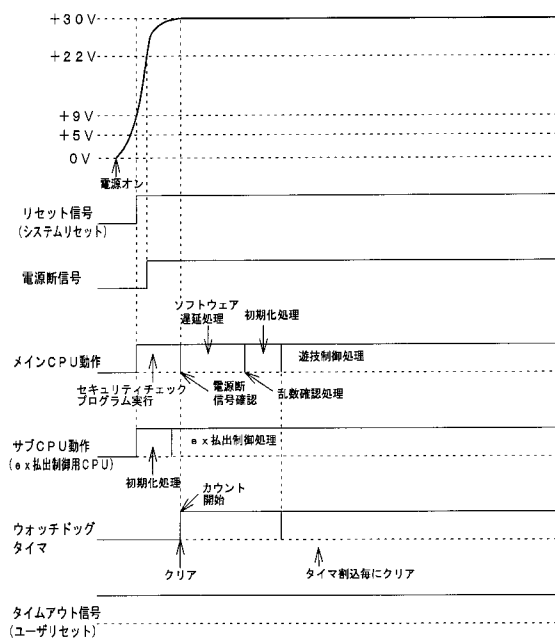
【図 39】

アドレス	ビット	データ内容	論理	状態
出力ポート 1	7	演出制御信号 CD 7	1	オン
	6	演出制御信号 CD 6	1	オン
	5	演出制御信号 CD 5	1	オン
	4	演出制御信号 CD 4	1	オン
	3	演出制御信号 CD 3	1	オン
	2	演出制御信号 CD 2	1	オン
	1	演出制御信号 CD 1	1	オン
	0	演出制御信号 CD 0	1	オン
出力ポート 2	7	接続確認信号	1	オン
	6	図柄確定回数	1	オン
	5	変動時間短縮	1	オン
	4	確率変動	1	オン
	3	大当り 3 (15 R 大当り時)	1	オン
	2	大当り 2 (7 R 大当り時)	1	オン
	1	大当り 1 (2 R 大当り時)	1	オン
	0	演出制御 INT 信号	1	オン
出力ポート 3	7	未使用	—	—
	6	未使用	—	—
	5	未使用	—	—
	4	大入賞口 2 表示灯	1	オン
	3	大入賞口 1 表示灯	1	オン
	2	普通電動役物ソレノイド	1	オン
	1	大入賞口 2 ソレノイド	1	オン
	0	大入賞口 1 ソレノイド	1	オン

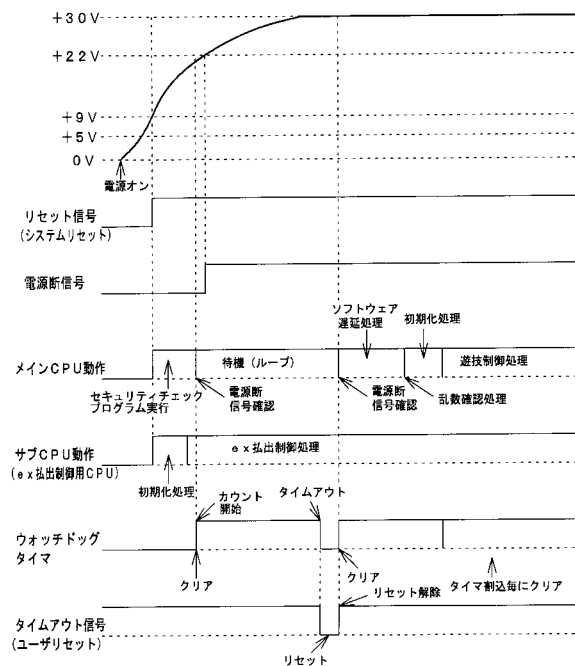
【図 40】

アドレス	ビット	データ内容	論理	状態
入力ポート 0	7	未使用	—	—
	6	未使用	—	—
	5	始動ロスイッチ	1	オン
	4	入賞ロスイッチ (30 a)	1	オン
	3	入賞ロスイッチ (29 a)	1	オン
	2	ゲートスイッチ	1	オン
	1	カウントスイッチ (大入賞口 2)	1	オン
	0	カウントスイッチ (大入賞口 1)	1	オン
入力ポート 1	7	未使用	—	—
	6	未使用	—	—
	5	未使用	—	—
	4	未使用	—	—
	3	未使用	—	—
	2	乱数確認信号	1	オン
	1	クリアスイッチ (払出制御基板より)	1	オン
	0	電源断信号 (払出制御基板より)	0	オン

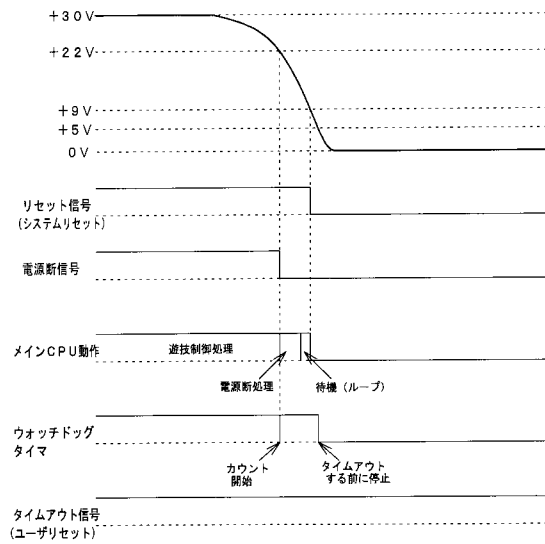
【図 41】



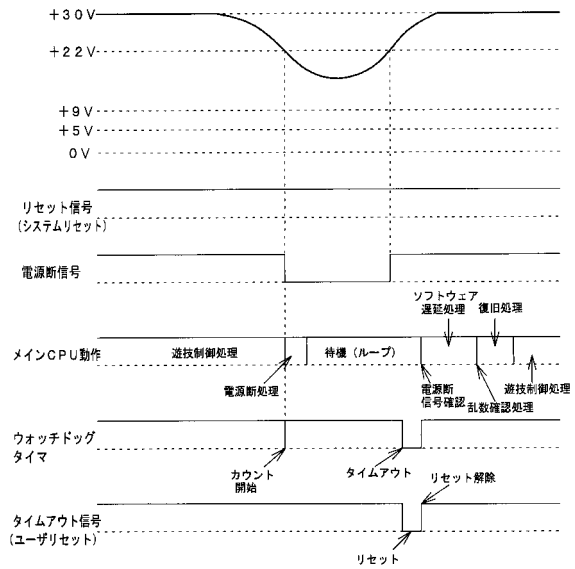
【図 42】



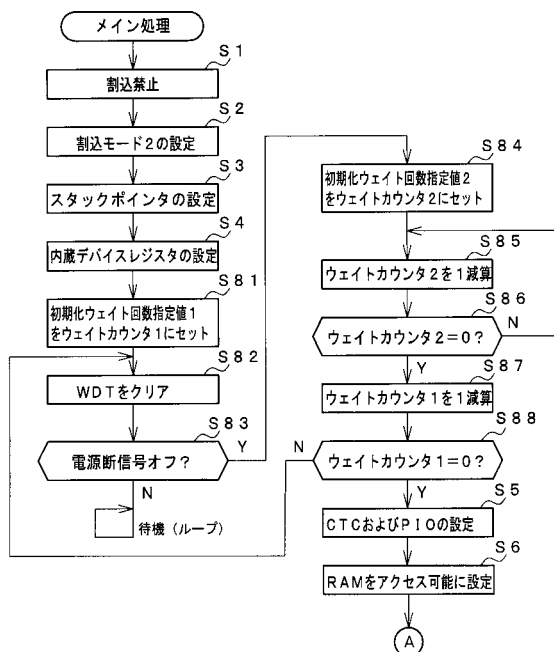
【図 4 3】



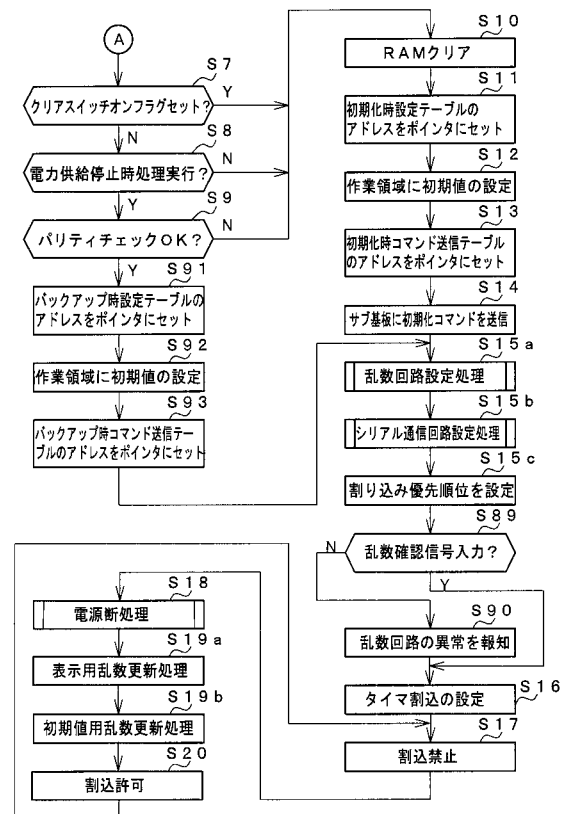
【図 4 4】



【図 4 5】



【図 4 6】

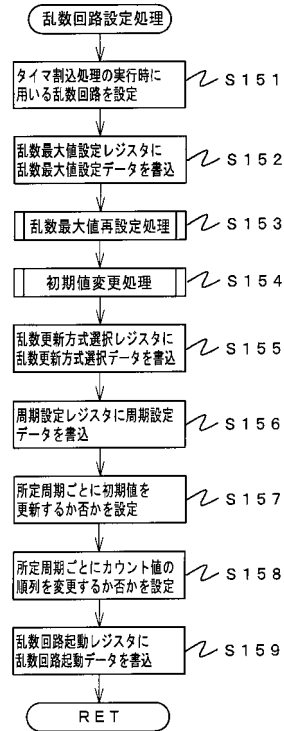


【図 47】

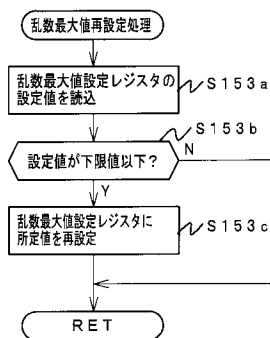
割込処理優先順位テーブル

割込処理	優先順位
通信エラー割込処理	1
受信時割込処理	2
送信完了割込処理	3

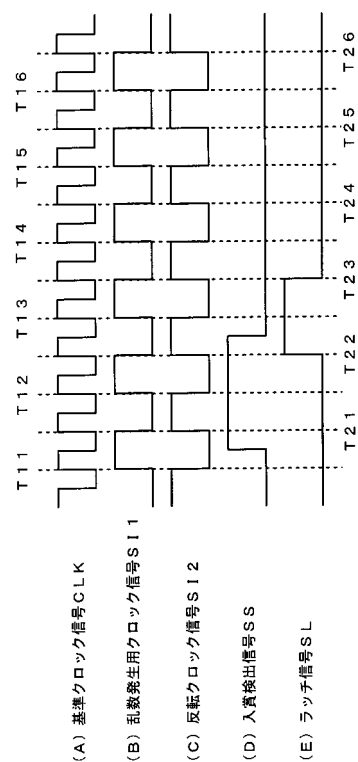
【図 48】



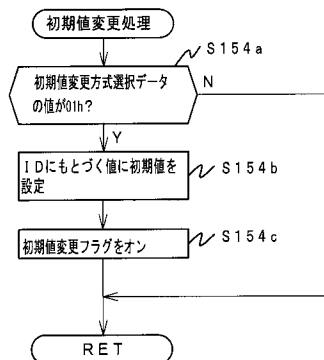
【図 49】



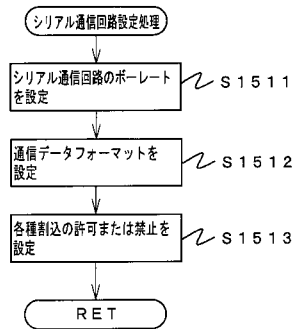
【図 51】



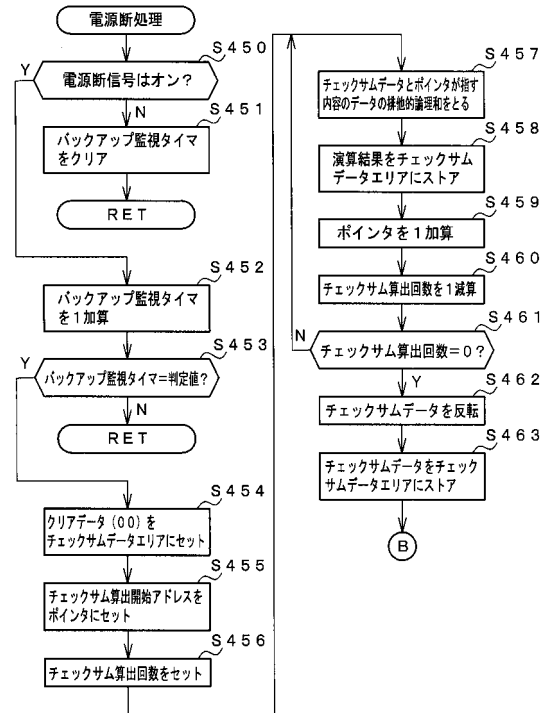
【図 50】



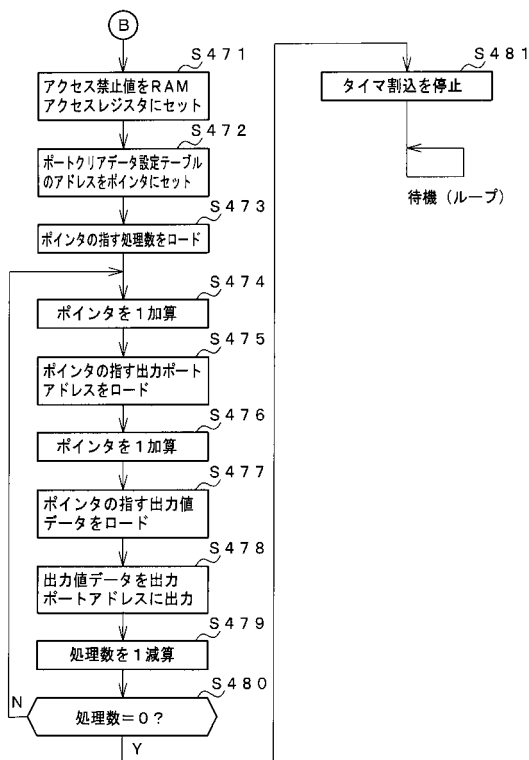
【図 5 2】



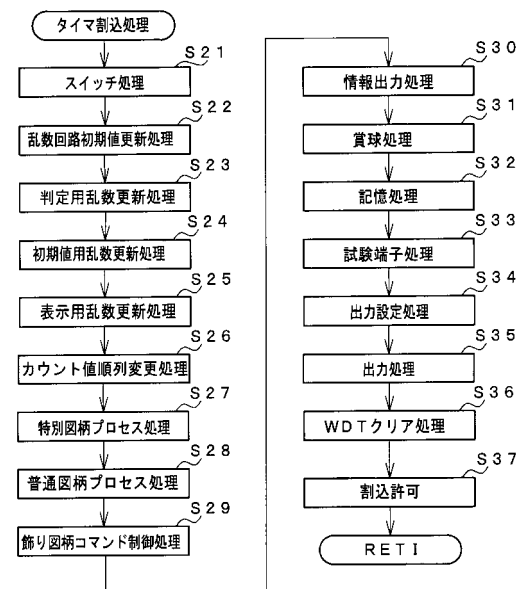
【図 5 3】



【図 5 4】



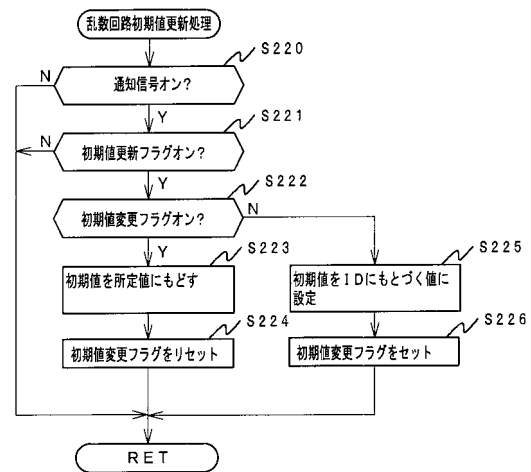
【図 5 5】



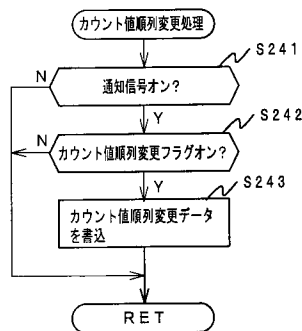
【図 56】

ランダム	範囲	用途	加算
1	0～9	特別図柄 (はずれ図柄決定用)	0.002秒毎および割り込み処理 余り時間に1ずつ加算
2	0～9	特別図柄 (大当り図柄決定用)	0.002秒毎に1ずつ加算
3	0～149	変動パターン決定用	0.002秒毎および割り込み処理 余り時間に1ずつ加算
4	0～13	リーチ判定用	0.002秒毎および割り込み処理 余り時間に1ずつ加算
5	3～13	普通図柄当り判定用	0.002秒毎に1ずつ加算
6	0～9	ランダム2初期値決定用	0.002秒毎および割り込み処理 余り時間に1ずつ加算
7	3～13	ランダム5初期値決定用	0.002秒毎および割り込み処理 余り時間に1ずつ加算
8	0～19	大当り種別決定用	0.002秒毎に1ずつ加算
9	0～19	ランダム8初期値決定用	0.002秒毎および割り込み処理 余り時間に1ずつ加算

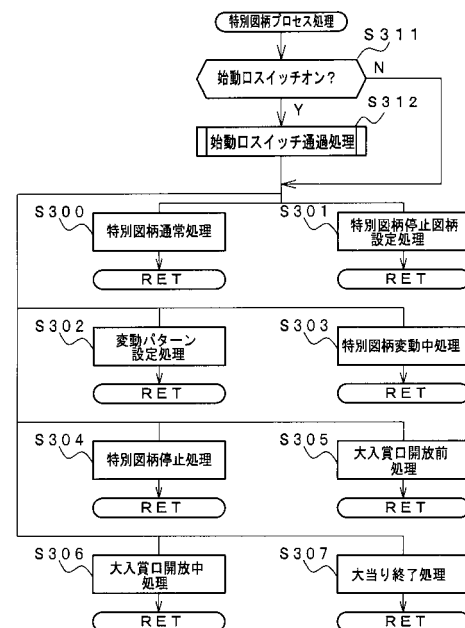
【図 57】



【図 58】



【図 59】



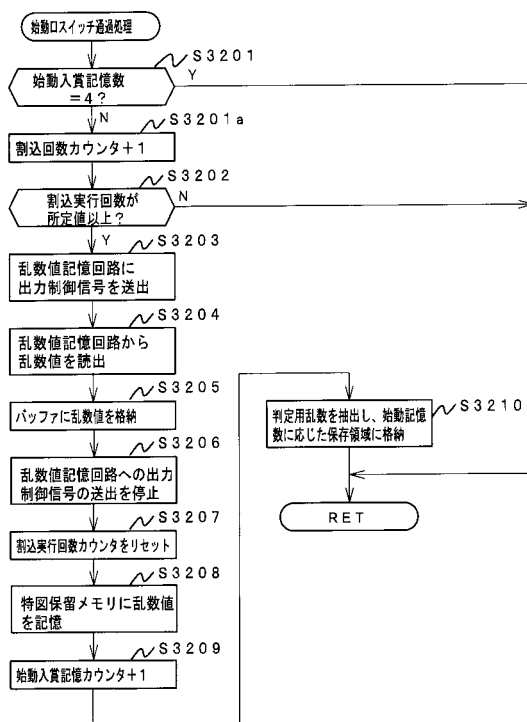
【図 60】

EXT	時間 (秒)	変動パターン
00H	8.1	可変表示装置における通常変動
01H	10.0	可変表示装置におけるリーチAを伴う変動（はずれ）
02H	20.0	可変表示装置におけるリーチBを伴う変動（はずれ）
03H	30.0	可変表示装置におけるリーチCを伴う変動（はずれ）
04H	10.0	可変表示装置におけるリーチAを伴う変動（大当り）
05H	20.0	可変表示装置におけるリーチBを伴う変動（大当り）
06H	30.0	可変表示装置におけるリーチCを伴う変動（大当り）
07H	4.0	可変表示装置における通常変動 【確変・時短】
08H	10.0	可変表示装置におけるリーチAを伴う変動（はずれ） 【確変・時短】
09H	20.0	可変表示装置におけるリーチBを伴う変動（はずれ） 【確変・時短】
0AH	30.0	可変表示装置におけるリーチCを伴う変動（はずれ） 【確変・時短】
0BH	10.0	可変表示装置におけるリーチAを伴う変動（大当り） 【確変・時短】
0CH	20.0	可変表示装置におけるリーチBを伴う変動（大当り） 【確変・時短】
0DH	30.0	可変表示装置におけるリーチCを伴う変動（大当り） 【確変・時短】

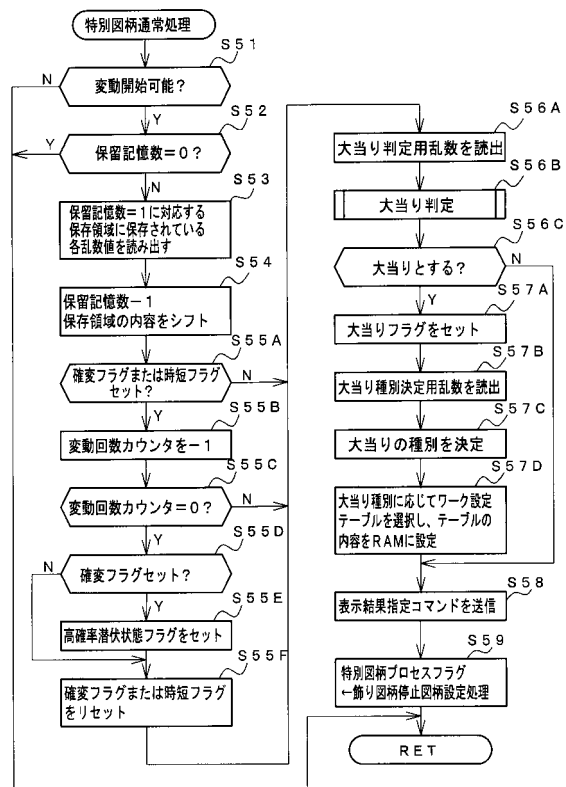
【図 61】

MODE	EXT	名称	内容
8 0	0 0	変動パターン#1指定	変動パターン（変動時間）1の指定
...	...	...	...
8 0	0 D	変動パターン#14指定	変動パターン（変動時間）14の指定
8 1	0 0	はずれ指定	可変表示の表示結果がはずれであることを指定
8 1	0 1	2 R 確変大当り指定	可変表示の表示結果が2 Rの確変大当りであることを指定
8 1	0 2	2 R 時短大当り指定	可変表示の表示結果が2 Rの時短大当りであることを指定
8 1	0 3	7 R 通常大当り指定	可変表示の表示結果が7 Rの通常大当りであることを指定
8 1	0 4	15 R 通常大当り指定	可変表示の表示結果が15 Rの通常大当りであることを指定
8 1	0 5	15 R 確変大当り指定	可変表示の表示結果が15 Rの確変大当りであることを指定
8 1	0 6	15 R 時短大当り指定	可変表示の表示結果が15 Rの時短大当りであることを指定
A 0	0 0	飾り図柄停止指定	飾り図柄の可変表示の停止指定
B 0	0 0	ファンファーレ#1指定	2 Rの大当りを開始することを指定
B 0	0 1	ファンファーレ#2指定	7 Rの大当りを開始することを指定
B 0	0 2	ファンファーレ#3指定	15 Rの大当りを開始することを指定
B 1	X X	大入賞口開放中表示	X Xで示すラウンド中の表示指定
B 2	X X	カウント数指定	ラウンド中の大入賞口への入賞球数の指定
B 3	X X	大入賞口開放後表示	X Xで示すラウンド後の表示指定
B 4	0 0	大当り終了指定	大当りが終了することを指定
D 0	0 0	客待ちデモ表示	客待ちデモンストレーション時の表示指定
E 4	0 1	通常表示（復旧）	通常遊技状態のときの遊技演出の実行を指定
E 4	0 2	特別表示（復旧）	確変状態および時短状態のときの遊技演出の実行を指定
E 4	0 3	高確率潜伏表示（復旧）	高確率潜伏状態のときの遊技演出の実行を指定

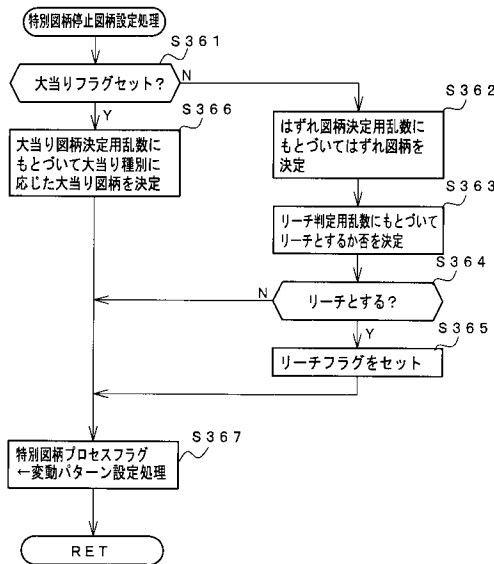
【図 62】



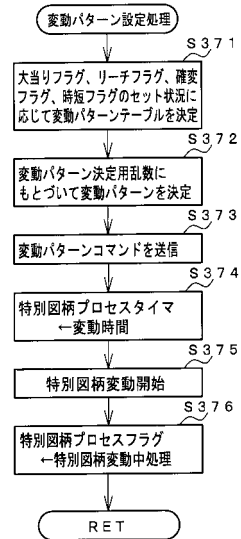
【図 63】



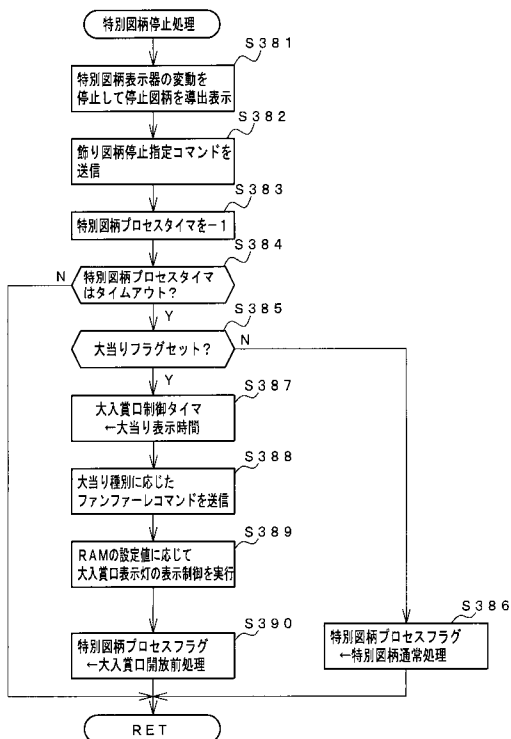
【図 6 4】



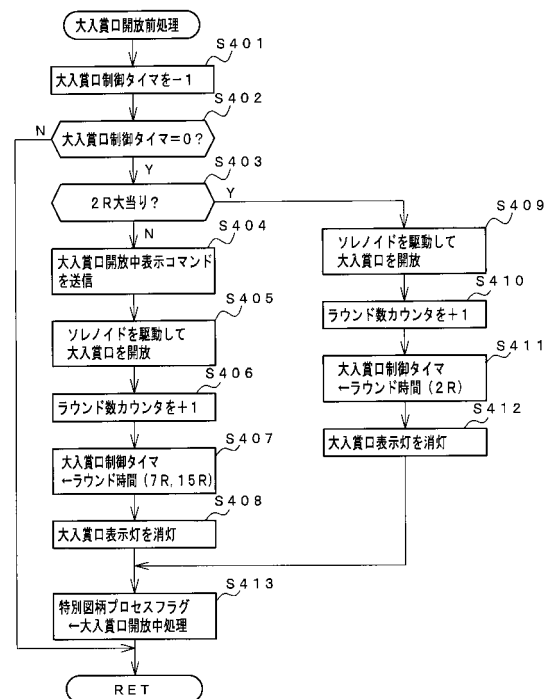
【図 6 5】



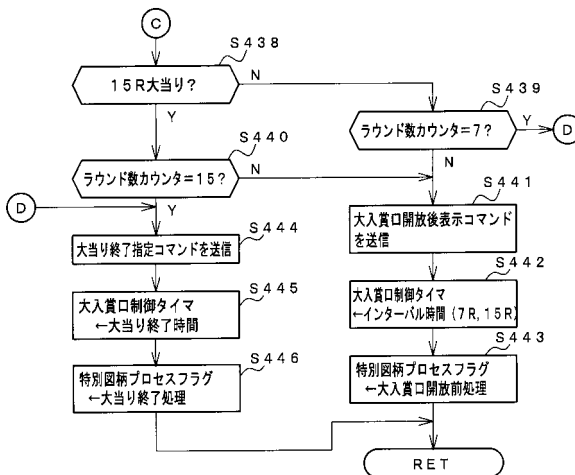
【図 6 6】



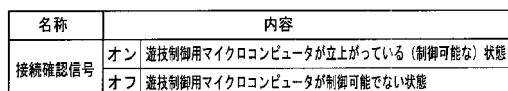
【図 6 7】



【図 6 9】



【图 7-1】



コマンド	名称	内容
O 4	実球個数コマンド	実球個数を通知 (実球数 4)
O 7	実球個数コマンド	実球個数を通知 (実球数 7)
O F	実球個数コマンド	実球個数を通知 (実球数 15)
D 2	実球ACKコマンド	実球個数コマンドを受信したことの通知 (受信確認番号)

主基板 31

遊技制御用マイクロコンピュータ 505

シリアル通信回路 560

出力回路 67

入力回路 68

接続確認信号

賞球回数コマンド

賞球ACKコマンド

電源断信号

37

373A

370

拡張制御用マイクロコンピュータ 375

シリアル通信回路 370

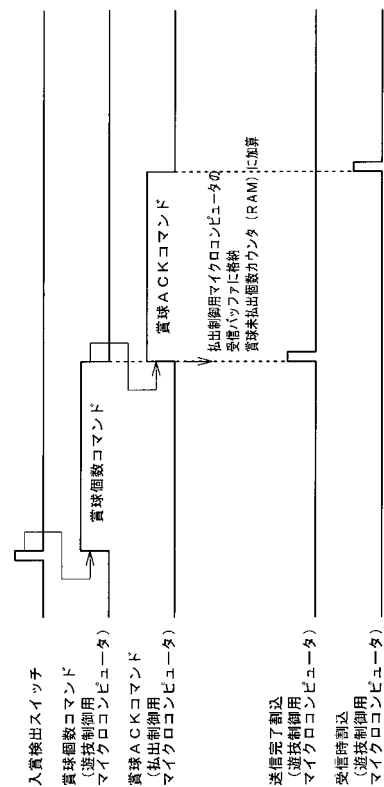
出力回路 373B

入力回路 373A

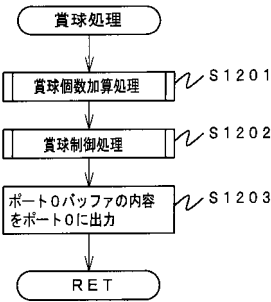
拡張基板 37

電源基板より

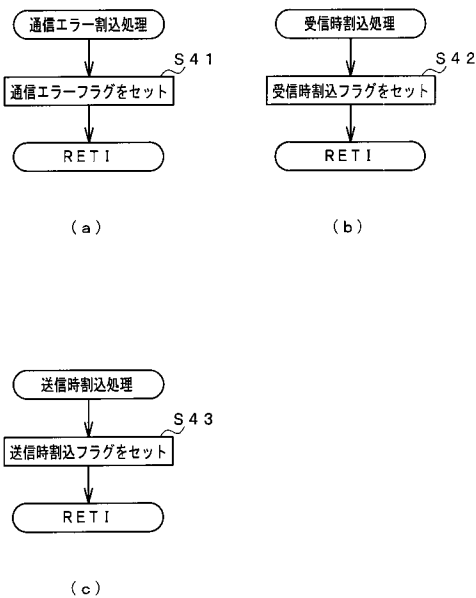
【図 7 4】



【図 7 5】



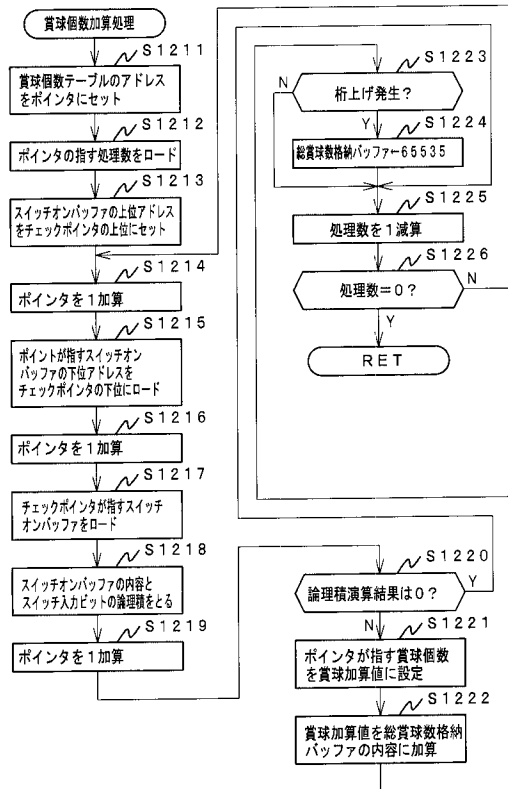
【図 7 6】



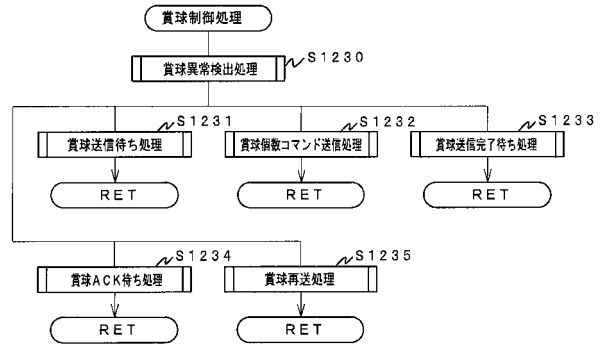
【図 7 7】

処理数 (4)
スイッチオンバッファの下位アドレス
カウントスイッチ入力ビット (02 (H))
賞球個数 (15)
スイッチオンバッファの下位アドレス
左入賞口スイッチ入力ビット (08 (H))
賞球個数 (7)
スイッチオンバッファの下位アドレス
右入賞口スイッチ入力ビット (10 (H))
賞球個数 (7)
スイッチオンバッファの下位アドレス
始動口スイッチ入力ビット (20 (H))
賞球個数 (4)

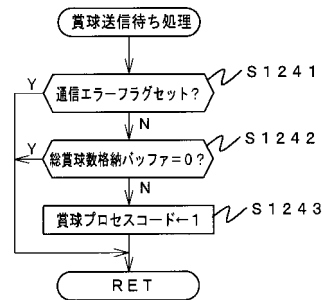
【図 78】



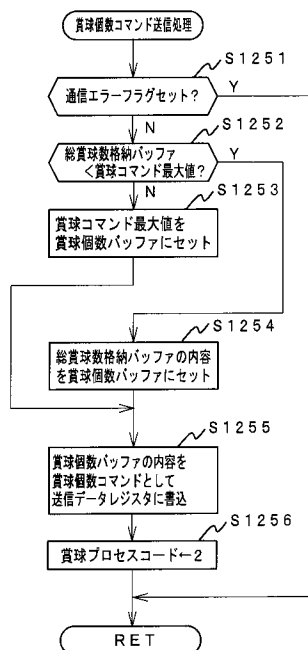
【図 79】



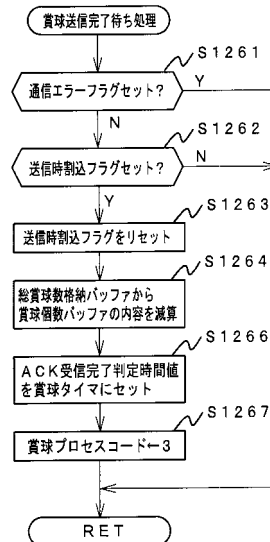
【図 80】



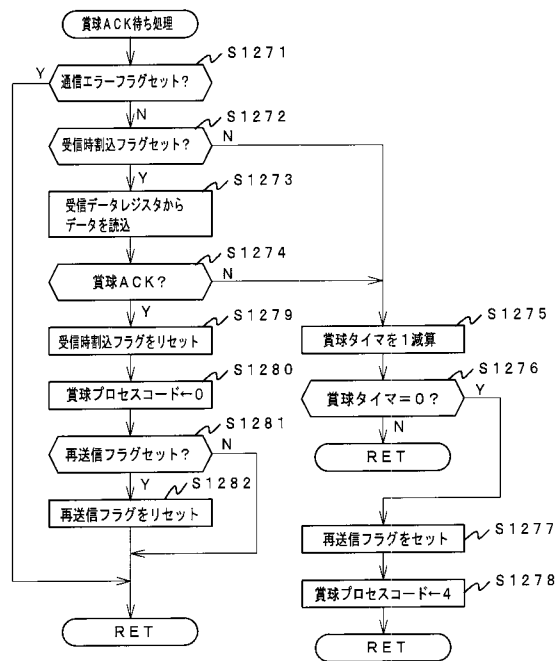
【図 81】



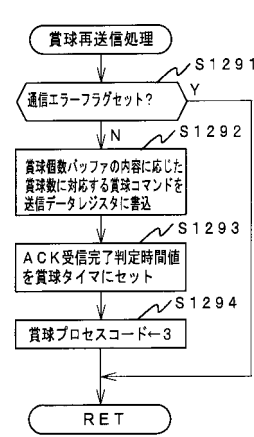
【図 82】



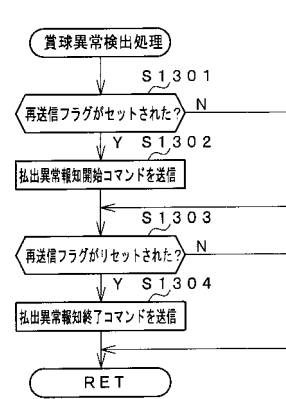
【図 8 3】



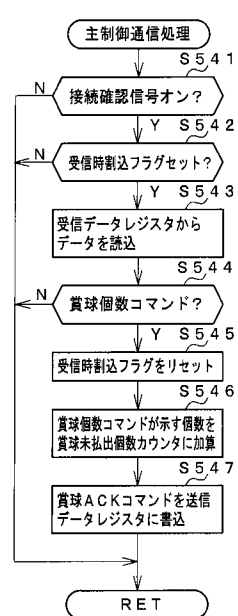
【図 8 4】



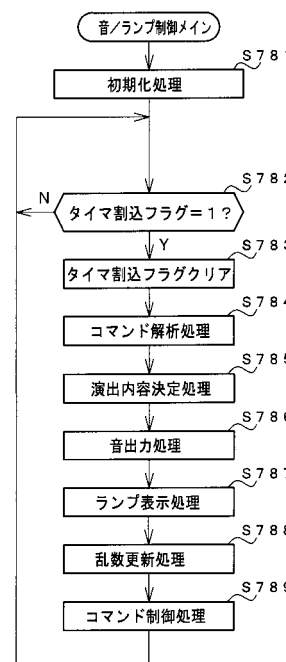
【図 8 5】



【図 8 6】



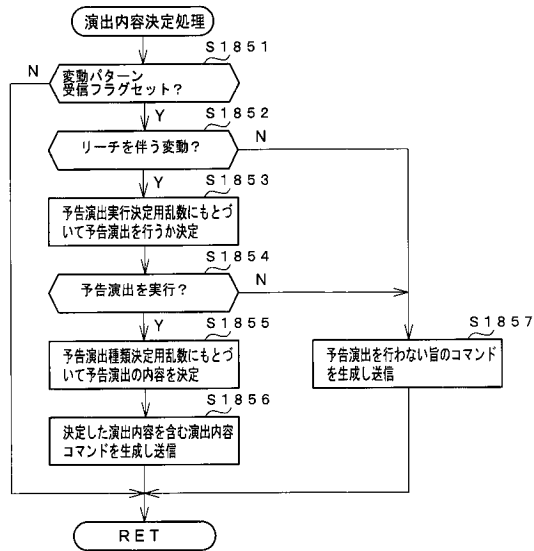
【図 8 7】



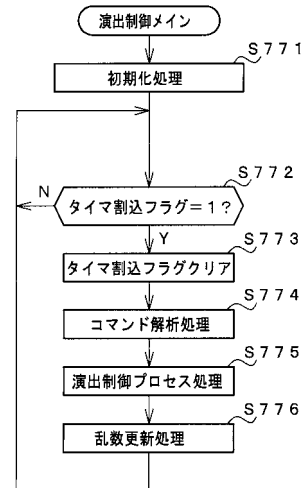
【図 8 8】

ランダム	範囲	用途	加算
1	0~9	予告演出実行決定用	0.002秒毎に1ずつ加算
2	0~9	予告演出種類決定用	0.002秒毎に1ずつ加算

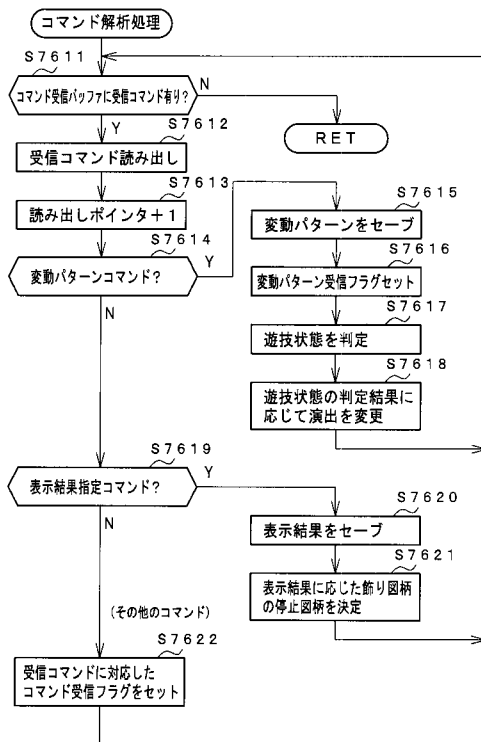
【図 89】



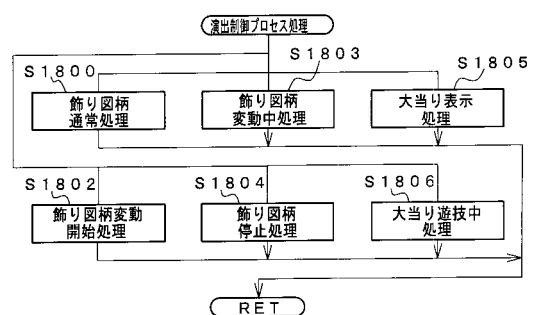
【図 90】



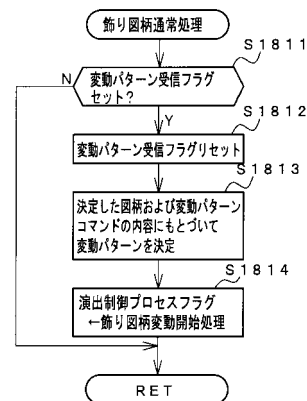
【図 91】



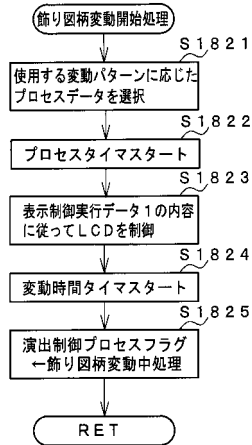
【図 92】



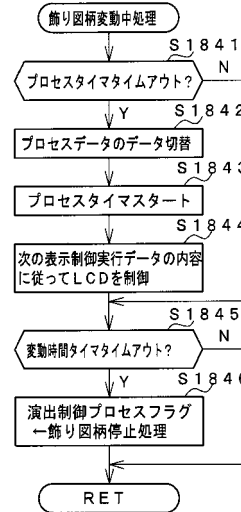
【図 93】



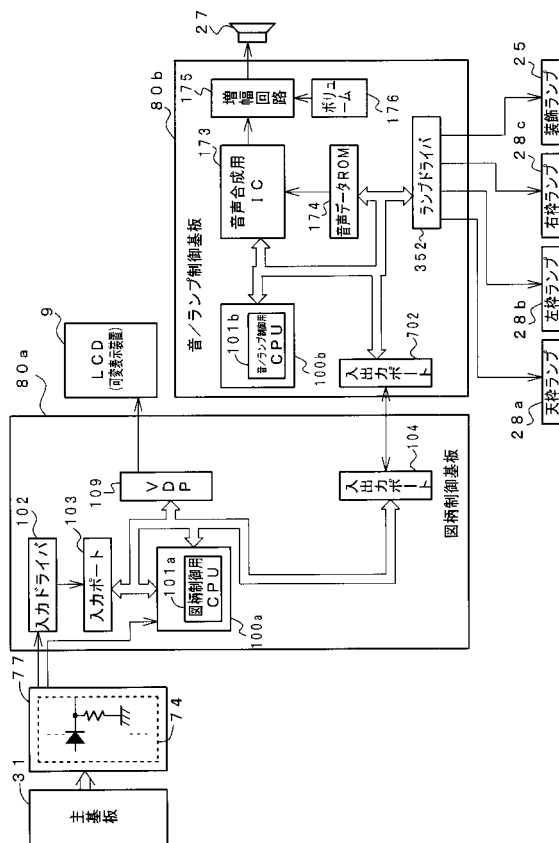
【図 9 4】



【図 9 5】



【図 9 6】



【図 9 7】

割込処理優先順位テーブル

割込処理	優先順位
通信エラー割込処理	1
受信時刻割込処理	2
送信完了割込処理	3
タイマ割込による割込処理	4

フロントページの続き

(72)発明者 渡辺 剛史

群馬県桐生市境野町6丁目460番地 株式会社三共内

審査官 石塚 良一

(56)参考文献 特開2005-304707 (JP, A)

特開2001-232006 (JP, A)

特開2005-192841 (JP, A)

特開2001-252447 (JP, A)

特開2004-242717 (JP, A)

特開2001-079245 (JP, A)

(58)調査した分野(Int.Cl., DB名)

A63F 7/02