

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7597785号
(P7597785)

(45)発行日 令和6年12月10日(2024.12.10)

(24)登録日 令和6年12月2日(2024.12.2)

(51)国際特許分類 F I
H 0 2 H 9/04 (2006.01) H 0 2 H 9/04 A

請求項の数 8 (全14頁)

(21)出願番号	特願2022-501790(P2022-501790)	(73)特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1 番地
(86)(22)出願日	令和3年2月5日(2021.2.5)	(74)代理人	110001933 弁理士法人 佐野特許事務所
(86)国際出願番号	PCT/JP2021/004310	(72)発明者	安坂 信 京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
(87)国際公開番号	WO2021/166679	審査官	滝谷 亮一
(87)国際公開日	令和3年8月26日(2021.8.26)		
審査請求日	令和5年8月7日(2023.8.7)		
(31)優先権主張番号	特願2020-25829(P2020-25829)		
(32)優先日	令和2年2月19日(2020.2.19)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 クランプ回路

(57)【特許請求の範囲】

【請求項 1】

第1 MOS トランジスタと、
前記第1 MOS トランジスタに直列接続される第2 MOS トランジスタと、
を備え、
前記第1 MOS トランジスタのゲートは前記第1 MOS トランジスタのドレインに接続され、
前記第2 MOS トランジスタのゲートは前記第2 MOS トランジスタのドレインに接続され、
前記第1 MOS トランジスタはNチャネル型 MOS トランジスタであり、
前記第2 MOS トランジスタはPチャネル型 MOS トランジスタであり、
前記第1 MOS トランジスタのソースは前記第2 MOS トランジスタのソースに接続され、
前記第1 MOS トランジスタ及び前記第2 MOS トランジスタの両方に基板バイアス効果が生じるように構成される、クランプ回路。

【請求項 2】

前記第1 MOS トランジスタのバックゲートは前記第2 MOS トランジスタのドレインに接続され、
前記第2 MOS トランジスタのバックゲートは前記第1 MOS トランジスタのドレインに接続される、請求項 1 に記載のクランプ回路。

【請求項 3】

10

20

抵抗又はダイオードを備え、

前記第1 MOSトランジスタのソースは前記抵抗又は前記ダイオードを介して前記第2 MOSトランジスタのソースに接続される、請求項1又は請求項2に記載のクランプ回路。

【請求項4】

第3 MOSトランジスタを備え、

前記第3 MOSトランジスタは、前記第1 MOSトランジスタの閾値電圧及び前記第2 MOSトランジスタの閾値電圧に基づく第1クランプ電圧が前記第3 MOSトランジスタのゲートに印加されるように構成され、且つ、前記第1クランプ電圧及び前記第3 MOSトランジスタの閾値電圧に基づく第2クランプ電圧を発生させるように構成される、請求項1～3のいずれか一項に記載のクランプ回路。

10

【請求項5】

第1 MOSトランジスタと、

前記第1 MOSトランジスタに直列接続される第2 MOSトランジスタと、
第3 MOSトランジスタと、

を備え、

前記第1 MOSトランジスタのゲートは前記第1 MOSトランジスタのドレインに接続され、

前記第2 MOSトランジスタのゲートは前記第2 MOSトランジスタのドレインに接続され、

前記第3 MOSトランジスタは、前記第1 MOSトランジスタの閾値電圧及び前記第2 MOSトランジスタの閾値電圧に基づく第1クランプ電圧が前記第3 MOSトランジスタのゲートに印加されるように構成され、且つ、前記第1クランプ電圧及び前記第3 MOSトランジスタの閾値電圧に基づく第2クランプ電圧を発生させるように構成され、

20

前記第1 MOSトランジスタ及び前記第2 MOSトランジスタの少なくとも一方に基板バイアス効果が生じるように構成される、クランプ回路。

【請求項6】

前記第1 MOSトランジスタ及び前記第2 MOSトランジスタの一方のみに基板バイアス効果が生じるように構成される、請求項5に記載のクランプ回路。

【請求項7】

前記第3 MOSトランジスタは、デプレッション型 MOSトランジスタである、請求項4～6のいずれか一項に記載のクランプ回路。

30

【請求項8】

請求項1～7のいずれか一項に記載のクランプ回路を備える、半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書中に開示されている発明は、電圧をクランプするクランプ回路に関する。

【背景技術】

【0002】

図9は、ツェナダイオードを用いたクランプ回路を示す図である。図9に示すクランプ回路は、所定の電圧よりも大きい入力電圧 V_{IN} が電流源1に印加された場合に、電流源1とツェナダイオード $ZD1$ との接続ノードに印加される電圧をツェナダイオード $ZD1$ の降伏電圧 V_z にクランプする。

40

【0003】

図10は、ダイオードを用いたクランプ回路を示す図である。図10に示すクランプ回路は、所定の電圧よりも大きい入力電圧 V_{IN} が電流源1に印加された場合に、電流源1とダイオード $D1$ との接続ノードに印加される電圧を順方向電圧 V_f の m 倍にクランプする。なお、 m は直列接続されるダイオードの個数である。

【0004】

図10に示すクランプ回路において、ダイオード接続されたバイポーラトランジスタ（

50

コレクタとベースとが短絡されたバイポーラトランジスタ)をダイオードD1~Dmそれぞれとして用いてもよく、ダイオード接続されたMOSトランジスタ(ドレインとゲートとが短絡されたMOSトランジスタ)をダイオードD1~Dmそれぞれとして用いてもよい。

【0005】

なお、上記に関連する従来技術の一例としては、特許文献1を挙げることができる。

【先行技術文献】

【特許文献】

【0006】

【文献】特開2012-023912号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0007】

ツェナダイオードをディスクリート部品で構成するのではなく半導体集積回路装置に内蔵する場合、ツェナダイオードの降伏電圧は一般的に固定される。したがって、図9に示すクランプ回路を半導体集積回路装置に内蔵する場合、一般的にクランプ電圧を調整することができない。

【0008】

一方、図10に示すクランプ回路では、直列接続されるダイオードの個数を変えることでクランプ電圧を調整することができる。しかしながら、直列接続されるダイオードの個数が増えるほど、クランプ電圧のばらつき及びクランプ電圧の温度特性が悪化する。また、直列接続されるダイオードの個数が増えるほど、不都合なことに回路面積が大きくなる。

20

【課題を解決するための手段】

【0009】

本明細書中に開示されているクランプ回路は、第1MOSトランジスタと、前記第1MOSトランジスタに直列接続される第2MOSトランジスタと、を備え、前記第1MOSトランジスタのゲートは前記第1MOSトランジスタのドレインに接続され、前記第2MOSトランジスタのゲートは前記第2MOSトランジスタのドレインに接続され、前記第1MOSトランジスタ及び前記第2MOSトランジスタの少なくとも一方に基板バイアス効果が生じるような構成(第1の構成)である。

30

【0010】

上記第1の構成のクランプ回路において、前記第1MOSトランジスタはNチャネル型MOSトランジスタであり、前記第2MOSトランジスタはPチャネル型MOSトランジスタであり、前記第1MOSトランジスタのソースは前記第2MOSトランジスタのソースに接続され、前記第1MOSトランジスタ及び前記第2MOSトランジスタの両方に基板バイアス効果が生じるような構成(第2の構成)であってもよい。

【0011】

上記第2の構成のクランプ回路において、前記第1MOSトランジスタのバックゲートは前記第2MOSトランジスタのドレインに接続され、前記第2MOSトランジスタのバックゲートは前記第1MOSトランジスタのドレインに接続される構成(第3の構成)であってもよい。

40

【0012】

上記第2又は第3の構成のクランプ回路において、抵抗又はダイオードを備え、前記第1MOSトランジスタのソースは前記抵抗又は前記ダイオードを介して前記第2MOSトランジスタのソースに接続される構成(第4の構成)であってもよい。

【0013】

上記第1の構成のクランプ回路において、前記第1MOSトランジスタ及び前記第2MOSトランジスタの一方のみに基板バイアス効果が生じるような構成(第5の構成)であってもよい。

【0014】

50

上記第 1 ~ 第 5 いずれかの構成のクランプ回路において、第 3 MOS トランジスタを備え、前記第 3 MOS トランジスタは、前記第 1 MOS トランジスタの閾値電圧及び前記第 2 MOS トランジスタの閾値電圧に基づく第 1 クランプ電圧が前記第 3 MOS トランジスタのゲートに印加されるように構成され、且つ、前記第 1 クランプ電圧及び前記第 3 MOS トランジスタの閾値電圧に基づく第 2 クランプ電圧を発生させるように構成される構成（第 6 の構成）であってもよい。

【 0 0 1 5 】

上記第 6 の構成のクランプ回路において、前記第 3 MOS トランジスタは、デプレッション型 MOS トランジスタである構成（第 7 の構成）であってもよい。

【 0 0 1 6 】

本明細書中に開示されている半導体集積回路装置は、上記第 1 ~ 第 7 いずれかの構成のクランプ回路を備える構成（第 8 の構成）である。

【 発明の効果 】

【 0 0 1 7 】

本明細書中に開示されているクランプ回路によれば、適切なクランプ電圧を発生させることができる。

【 図面の簡単な説明 】

【 0 0 1 8 】

【 図 1 】 第 1 実施形態に係る半導体集積回路装置の概略構成を示す図

【 図 2 】 基板バイアス効果を説明するための図

【 図 3 】 第 2 実施形態に係る半導体集積回路装置の概略構成を示す図

【 図 4 】 第 3 実施形態に係る半導体集積回路装置の概略構成を示す図

【 図 5 】 第 4 実施形態に係る半導体集積回路装置の概略構成を示す図

【 図 6 】 第 5 実施形態に係る半導体集積回路装置の概略構成を示す図

【 図 7 】 第 6 実施形態に係る半導体集積回路装置の概略構成を示す図

【 図 8 】 第 7 実施形態に係る半導体集積回路装置の概略構成を示す図

【 図 9 】 ツェナダイオードを用いたクランプ回路を示す図

【 図 1 0 】 ダイオードを用いたクランプ回路を示す図

【 発明を実施するための形態 】

【 0 0 1 9 】

本明細書において、MOS トランジスタとは、ゲートの構造が、「導電体または抵抗値が小さいポリシリコン等の半導体からなる層」、「絶縁層」、及び「P 型、N 型、又は真性の半導体層」の少なくとも 3 層からなるトランジスタをいう。つまり、MOS トランジスタのゲートの構造は、金属、酸化物、及び半導体の 3 層構造に限定されない。

【 0 0 2 0 】

< 第 1 実施形態 >

図 1 は、第 1 実施形態に係る半導体集積回路装置 1 0 1（以下、「半導体集積回路装置 1 0 1」と略す）の概略構成を示す図である。

【 0 0 2 1 】

半導体集積回路装置 1 0 1 は、端子 P V I N と、端子 P G N D と、電流源 1 と、低耐圧回路 2 と、第 1 ~ 第 3 MOS トランジスタ M 1 ~ M 3 と、を備える。

【 0 0 2 2 】

半導体集積回路装置 1 0 1 の用途は特に限定されない。例えば、半導体集積回路装置 1 0 1 がスイッチング電源装置用の半導体集積回路装置であれば、半導体集積回路装置 1 0 1 及びその外付け部品によってスイッチング電源装置が構成される。また例えば、半導体集積回路装置 1 0 1 が LED ドライバであれば、半導体集積回路装置 1 0 1 及びその外付け部品によって LED 照明装置が構成される。

【 0 0 2 3 】

端子 P V I N は、入力電圧 V I N が印加されるように構成される。

【 0 0 2 4 】

10

20

30

40

50

端子 P G N D は、入力電圧 V I N よりも低いグランド電位に接続されるように構成される。

【 0 0 2 5 】

第 1 M O S トランジスタ M 1 は、エンハスメント型の N チャネル型 M O S トランジスタである。第 1 M O S トランジスタ M 1 は、ダイオード接続された M O S トランジスタである。つまり、後述するように、第 1 M O S トランジスタ M 1 のゲートは第 1 M O S トランジスタ M 1 のドレインに接続される。

【 0 0 2 6 】

第 2 M O S トランジスタ M 2 は、エンハスメント型の P チャネル型 M O S トランジスタである。第 2 M O S トランジスタ M 2 も、第 1 M O S トランジスタ M 1 と同様に、ダイオード接続された M O S トランジスタである。つまり、後述するように、第 2 M O S トランジスタ M 2 のゲートは第 2 M O S トランジスタ M 2 のドレインに接続される。

10

【 0 0 2 7 】

第 3 M O S トランジスタ M 3 は、デプレッション型の N チャネル型 M O S トランジスタである。

【 0 0 2 8 】

電流源 1 の一端及び第 3 M O S トランジスタ M 3 のドレインは、端子 P V I N に接続される。

【 0 0 2 9 】

電流源 1 の他端は、第 1 M O S トランジスタ M 1 のゲート及びドレインと、第 2 M O S トランジスタ M 2 のバックゲートと、第 3 M O S トランジスタ M 3 のゲートとに接続される。

20

【 0 0 3 0 】

第 1 M O S トランジスタ M 1 のソースは、第 2 M O S トランジスタ M 2 のソースに接続される。

【 0 0 3 1 】

第 2 M O S トランジスタ M 2 のゲート及びドレイン並びに第 1 M O S トランジスタ M 1 のバックゲートは端子 P G N D に接続される。

【 0 0 3 2 】

低耐圧回路 2 は、第 3 M O S トランジスタ M 3 のソースと端子 P G N D との間に設けられる。低耐圧回路 2 は、第 3 M O S トランジスタ M 3 のソース電圧とグランド電位との差に相当する電圧を電源電圧として用いて動作する。低耐圧回路 2 は、入力電圧 V I N の想定される最大値よりも耐圧が低い回路である。そのため、半導体集積回路装置 1 0 1 は、入力電圧 V I N が過大になった場合に、第 3 M O S トランジスタ M 3 のソース電圧をクランプして低耐圧回路 2 の破壊を防止する。

30

【 0 0 3 3 】

所定の電圧よりも大きい入力電圧 V I N が端子 P V I N に印加された場合に、電流源 1 が第 1 M O S トランジスタ M 1 及び第 2 M O S トランジスタ M 2 に電流を出力する。このとき、第 1 M O S トランジスタ M 1 のドレイン電圧は、グランド電位に第 2 M O S トランジスタ M 2 の閾値電圧 V_{th2}' 及び第 1 M O S トランジスタ M 1 の閾値電圧 V_{th1}' を加えた値となる。つまり、所定の電圧よりも大きい入力電圧 V I N が端子 P V I N に印加された場合に、第 1 M O S トランジスタ M 1 のドレイン電圧は、第 1 クランプ電圧 (= グランド電位 + 閾値電圧 V_{th2}' + 閾値電圧 V_{th1}') にクランプされる。

40

【 0 0 3 4 】

ここで、上述した通り第 1 M O S トランジスタ M 1 のバックゲートは第 2 M O S トランジスタ M 2 のドレインに接続されるため、第 1 M O S トランジスタ M 1 のバックゲート電圧は第 1 M O S トランジスタ M 1 のソース電圧より低くなる。したがって、第 1 M O S トランジスタ M 1 に基板バイアス効果が生じる (図 2 参照)。つまり、第 1 M O S トランジスタ M 1 の閾値電圧 V_{th1}' は、第 1 M O S トランジスタ M 1 のバックゲートを第 2 M O S トランジスタ M 2 のドレインではなく第 1 M O S トランジスタ M 1 のソースに接続した

50

場合の第1MOSトランジスタM1の閾値電圧 V_{th1} よりも大きくなる。

【0035】

また、上述した通り第2MOSトランジスタM2のバックゲートは第1MOSトランジスタM1のドレインに接続されるため、第2MOSトランジスタM2のバックゲート電圧は第2MOSトランジスタM2のソース電圧より高くなる。したがって、第2MOSトランジスタM2に基板バイアス効果が生じる(図2参照)。つまり、第2MOSトランジスタM2の閾値電圧 V_{th2}' は、第2MOSトランジスタM2のバックゲートを第1MOSトランジスタM1のドレインではなく第2MOSトランジスタM2のソースに接続した場合の第2MOSトランジスタM2の閾値電圧 V_{th2} よりも大きくなる。

【0036】

さらに、上記閾値電圧 V_{th2}' が上記閾値電圧 V_{th2} よりも大きくなることで第1MOSトランジスタM1における基板バイアス効果の影響がより大きくなり、上記閾値電圧 V_{th1}' が上記閾値電圧 V_{th1} よりも大きくなることで第2MOSトランジスタM2における基板バイアス効果の影響がより大きくなる。

【0037】

その結果、上記閾値電圧 V_{th1} 及び上記閾値電圧 V_{th2} はそれぞれ $0.6[V] \sim 1[V]$ 程度(MOSトランジスタの種類やサイズにより具体的な値は変動)であるのに対して、上記閾値電圧 V_{th1}' 及び上記閾値電圧 V_{th2}' はそれぞれ $1[V] \sim 1.6[V]$ 程度(MOSトランジスタの種類やサイズにより具体的な値は変動)まで大きくなる。これにより、上述した第1クランプ電圧を発生させるために必要な素子の個数を減らすことができる。

【0038】

例えば、上述した第1クランプ電圧を $3[V]$ に設定する場合、半導体集積回路装置101では2つのMOSトランジスタ(第1MOSトランジスタM1、第2MOSトランジスタM2)を直列接続するのに対して、図10に示すクランプ回路においてクランプ電圧を $3[V]$ に設定する場合には5つのダイオードを直列接続する必要がある。

【0039】

そして、一例として、MOSトランジスタの閾値電圧のばらつき及びダイオードの順方向電圧のばらつきがそれぞれ $\pm 0.15[V]$ であり、MOSトランジスタの閾値電圧の温度特性及びダイオードの順方向電圧の温度特性がそれぞれ $-2[mV/^\circ C]$ である場合を考えると、図10に示すクランプ回路ではクランプ電圧のばらつき及び温度特性を $\pm 0.75[V]$ 、 $-1.0[mV/^\circ C]$ であるのに対して、半導体集積回路装置101では、上述した第1クランプ電圧のばらつき及び温度特性を $\pm 0.3[V]$ 、 $-4[mV/^\circ C]$ に抑えることができる。

【0040】

所定の電圧よりも大きい入力電圧 V_{IN} が端子 P_{VIN} に印加された場合に、第3MOSトランジスタM3のソース電圧は、第2クランプ電圧にクランプされる。上述した第2クランプ電圧は、上述した第1クランプ電圧(=グランド電位+閾値電圧 V_{th2}' +閾値電圧 V_{th1}')から第3MOSトランジスタM3の閾値電圧 V_{th3} を引いた値である。したがって、MOSトランジスタの閾値電圧の温度特性が $-2[mV/^\circ C]$ である場合を考えると、上述した第2クランプ電圧の温度特性を $-2[mV/^\circ C]$ に抑えることができる。

【0041】

半導体集積回路装置101では、第3MOSトランジスタM3がデプレッション型のNチャネル型MOSトランジスタであるので、入力電圧 V_{IN} が小さくて電流源1が動作しない場合でも、第3MOSトランジスタM3をオン状態にして低耐圧回路2に電源電圧を供給することができる。

【0042】

なお、本実施形態とは異なり、第3MOSトランジスタM3をエンハンスメント型のNチャネル型MOSトランジスタにしてもよく、NPN形バイポーラトランジスタにしてもよ

10

20

30

40

50

い。さらに、本実施形態とは異なり、電源側にクランプする場合には、第3 MOS トランジスタ M3 として、Pチャネル型 MOS トランジスタ又は PNP 形バイポーラトランジスタを用いてもよい。

【0043】

また、半導体集積回路装置 101 は、上述した第1クランプ電圧を発生させる第1クランプ回路（第1～第2 MOS トランジスタ M1～M2 を備えるクランプ回路）を含み上述した第2クランプ電圧を発生させる第2クランプ回路（第1～第3 MOS トランジスタ M1～M3 を備えるクランプ回路）を備える構成であるが、上述した第1クランプ回路は単独で使用されてもよい。つまり、本実施形態とは異なり、半導体集積回路装置は、上述した第1クランプ回路を備え、第3 MOS トランジスタ M3 を備えない構成であってもよい。

10

【0044】

< 第2実施形態 >

図3は、第2実施形態に係る半導体集積回路装置 102（以下、「半導体集積回路装置 102」と略す）の概略構成を示す図である。

【0045】

半導体集積回路装置 102 は、第1 MOS トランジスタ M1 のバックゲートが第1 MOS トランジスタ M1 のソースに接続される点で半導体集積回路装置 101 と異なっており、それ以外の点で半導体集積回路装置 101 と同じ構成である。

【0046】

半導体集積回路装置 102 では、第2 MOS トランジスタ M2 には基板バイアス効果が生じるが、第1 MOS トランジスタ M1 には基板バイアス効果が生じない。これにより、半導体集積回路装置 102 では、上述した第1クランプ電圧及び上述した第2クランプ電圧を半導体集積回路装置 101 よりも小さくすることができる。つまり、クランプ電圧を低めに設定したい場合には、半導体集積回路装置 101 ではなく例えば半導体集積回路装置 102 を採用すればよい。

20

【0047】

< 第3実施形態 >

図4は、第3実施形態に係る半導体集積回路装置 103（以下、「半導体集積回路装置 103」と略す）の概略構成を示す図である。

【0048】

半導体集積回路装置 103 は、第1 MOS トランジスタ M1 の代わりに第4 MOS トランジスタ M4 を備える点で半導体集積回路装置 102 と異なっており、それ以外の点で半導体集積回路装置 102 と同じ構成である。

30

【0049】

第4 MOS トランジスタ M4 は、エンハスメント型の Pチャネル型 MOS トランジスタである。第4 MOS トランジスタ M4 のソース及びバックゲートは、電流源 1 の他端、第3 MOS トランジスタ M3 のゲート、及び第2 MOS トランジスタ M2 のバックゲートに接続される。第4 MOS トランジスタ M4 のゲート及びドレインは、第2 MOS トランジスタ M2 のソースに接続される。なお、第4 MOS トランジスタ M4 は、請求項中の「第1 MOS トランジスタ」に相当する。

40

【0050】

半導体集積回路装置 103 では、第2 MOS トランジスタ M2 には基板バイアス効果が生じるが、第4 MOS トランジスタ M4 には基板バイアス効果が生じない。これにより、半導体集積回路装置 103 では、上述した第1クランプ電圧及び上述した第2クランプ電圧を半導体集積回路装置 101 よりも小さくすることができる。つまり、クランプ電圧を低めに設定したい場合には、半導体集積回路装置 101 ではなく例えば半導体集積回路装置 103 を採用すればよい。

【0051】

< 第4実施形態 >

図5は、第4実施形態に係る半導体集積回路装置 104（以下、「半導体集積回路装置

50

104」と略す)の概略構成を示す図である。

【0052】

半導体集積回路装置104は、第2MOSトランジスタM2のバックゲートが第2MOSトランジスタM2のソースに接続される点で半導体集積回路装置101と異なっており、それ以外の点で半導体集積回路装置101と同じ構成である。

【0053】

半導体集積回路装置104では、第1MOSトランジスタM1には基板バイアス効果が生じるが、第2MOSトランジスタM2には基板バイアス効果が生じない。これにより、半導体集積回路装置104では、上述した第1クランプ電圧及び上述した第2クランプ電圧を半導体集積回路装置101よりも小さくすることができる。つまり、クランプ電圧を低めに設定したい場合には、半導体集積回路装置101ではなく例えば半導体集積回路装置104を採用すればよい。

10

【0054】

<第5実施形態>

図6は、第5実施形態に係る半導体集積回路装置105(以下、「半導体集積回路装置105」と略す)の概略構成を示す図である。

【0055】

半導体集積回路装置105は、第2MOSトランジスタM2の代わりに第5MOSトランジスタM5を備える点で半導体集積回路装置104と異なっており、それ以外の点で半導体集積回路装置104と同じ構成である。

20

【0056】

第5MOSトランジスタM5は、エンハスメント型のNチャネル型MOSトランジスタである。第5MOSトランジスタM5のソース及びバックゲートは、端子PGND、第1MOSトランジスタM1のバックゲート、及び低耐圧回路2に接続される。第5MOSトランジスタM5のゲート及びドレインは、第1MOSトランジスタM1のソースに接続される。なお、第5MOSトランジスタM5は、請求項中の「第2MOSトランジスタ」に相当する。

【0057】

半導体集積回路装置105では、第1MOSトランジスタM1には基板バイアス効果が生じるが、第5MOSトランジスタM5には基板バイアス効果が生じない。これにより、半導体集積回路装置105では、上述した第1クランプ電圧及び上述した第2クランプ電圧を半導体集積回路装置101よりも小さくすることができる。つまり、クランプ電圧を低めに設定したい場合には、半導体集積回路装置101ではなく例えば半導体集積回路装置105を採用すればよい。

30

【0058】

<第6実施形態>

図7は、第6実施形態に係る半導体集積回路装置106(以下、「半導体集積回路装置106」と略す)の概略構成を示す図である。

【0059】

半導体集積回路装置106は、抵抗R1を備え、第1MOSトランジスタM1のソースが抵抗R1を介して第2MOSトランジスタM2のソースに接続される点で半導体集積回路装置101と異なっており、それ以外の点で半導体集積回路装置101と同じ構成である。なお、クランプ電圧の変動を抑えるために、本実施形態では、電流源1として定電流源を用いることが望ましい。

40

【0060】

本実施形態では、抵抗R1の両端電位差によって第1MOSトランジスタM1及び第2MOSトランジスタM2それぞれにおける基板バイアス効果の影響が第1実施形態より大きくなる。これにより、半導体集積回路装置106では、上述した第1クランプ電圧及び上述した第2クランプ電圧を半導体集積回路装置101よりも大きくすることができる。つまり、クランプ電圧を高めに設定したい場合には、半導体集積回路装置101ではなく

50

例えば半導体集積回路装置 106 を採用すればよい。

【0061】

なお、本実施形態とは異なり、抵抗 R1 の代わりにダイオード（例えば、ダイオード接続されたバイポーラトランジスタ、ダイオード接続された MOS トランジスタ等）を用いてもよい。しかしながら、抵抗 R1 は正の温度特性を有するため、第 1 MOS トランジスタ M1 のソースと第 2 MOS トランジスタ M2 のソースとの間にダイオードではなく抵抗 R1 を設けることで、上述した第 1 クランプ電圧及び上述した第 2 クランプ電圧の温度特性値 $[V /]$ を小さくすることができる。

【0062】

< 第 7 実施形態 >

図 8 は、第 7 実施形態に係る半導体集積回路装置 107（以下、「半導体集積回路装置 107」と略す）の概略構成を示す図である。

【0063】

半導体集積回路装置 107 は、第 2 MOS トランジスタ M2 のバックゲートが端子 PVI N に接続される点で半導体集積回路装置 101 と異なっており、それ以外の点で半導体集積回路装置 101 と同じ構成である。

【0064】

本実施形態では、第 2 MOS トランジスタ M2 のバックゲート電圧が第 1 MOS トランジスタ M1 のドレイン電圧よりも高くなるので第 2 MOS トランジスタ M2 における基板バイアス効果の影響が第 1 実施形態より大きくなる。これにより、半導体集積回路装置 107 では、上述した第 1 クランプ電圧及び上述した第 2 クランプ電圧を半導体集積回路装置 101 よりも大きくすることができる。つまり、クランプ電圧を高めに変更したい場合には、半導体集積回路装置 101 ではなく例えば半導体集積回路装置 107 を採用すればよい。

【0065】

本実施形態では、入力電圧 V I N が変動すれば、第 2 MOS トランジスタ M2 における基板バイアス効果の影響度合いが変動して第 2 MOS トランジスタ M2 の閾値電圧 $V_{th2'}$ が変動する。これにより、入力電圧 V I N が変動すれば、上述した第 1 クランプ電圧及び上述した第 2 クランプ電圧も変動する。したがって、上述した第 1 クランプ電圧及び上述した第 2 クランプ電圧の安定性を重視する場合には、例えば半導体集積回路装置 101 ~ 105 或いは電流源 1 として定電流源を用いた半導体集積回路装置 106 を採用すればよい。

【0066】

< その他 >

なお、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。

【0067】

例えば、或る実施形態において説明した変形例は、回路が問題無く動作するのであれば他の実施形態においても変形例として適用してよい。

【0068】

また、例えば第 7 実施形態と同じように、第 2 実施形態、第 3 実施形態、及び第 6 実施形態において、第 2 MOS トランジスタ M2 のバックゲートを第 1 MOS トランジスタ M1 のドレインではなく端子 PVI N に接続するようにしてもよい。

【0069】

また、端子 PVI N に限らず、半導体集積回路装置内の所定箇所に第 1 MOS トランジスタ M1 のバックゲートを接続して第 1 MOS トランジスタ M1 において基板バイアス効果が生じるようにしてもよい。同様に、半導体集積回路装置内の所定箇所に第 2 MOS トランジスタ M2 のバックゲートを接続して第 2 MOS トランジスタ M2 において基板バイアス効果が生じるようにしてもよい。

【0070】

10

20

30

40

50

このように、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

【符号の説明】

【 0 0 7 1 】

1 電流源

2 低耐圧回路

M 1 ~ M 3 第 1 ~ 第 3 M O S トランジスタ

P V I N、P G N D 端子

10

20

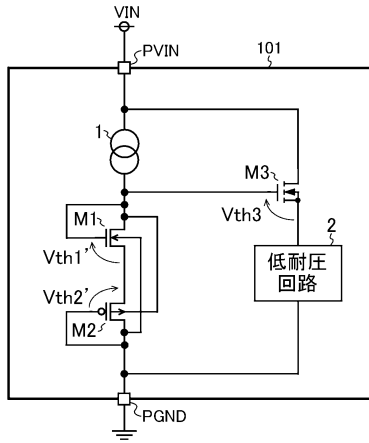
30

40

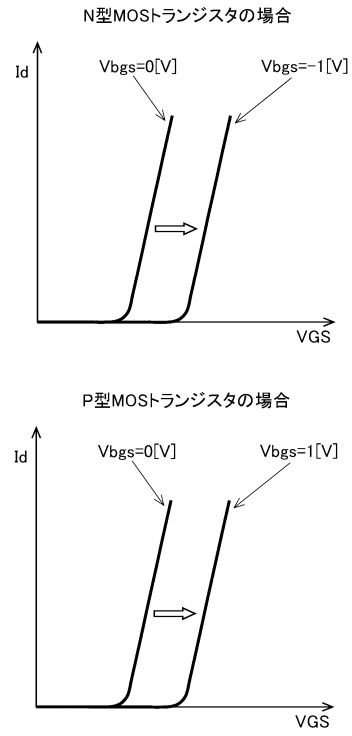
50

【 図面 】

【 図 1 】



【 図 2 】

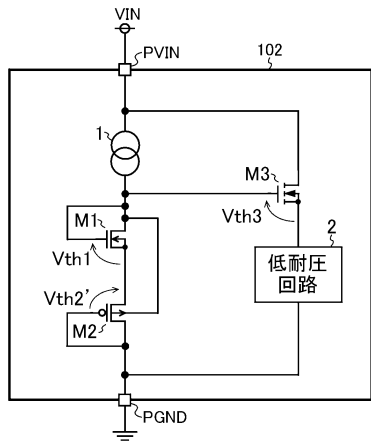


10

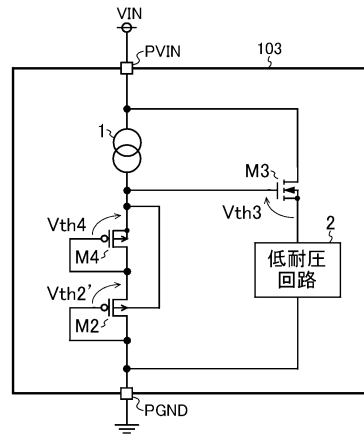
20

Id :ドレイン電圧
 VGS :ゲート・ソース間電圧 (=ゲート電圧 - ソース電圧)
 Vbgs :バックゲート・ソース間電圧 (=バックゲート電圧 - ソース電圧)

【 図 3 】



【 図 4 】

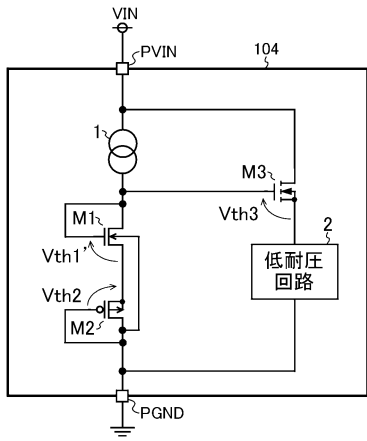


30

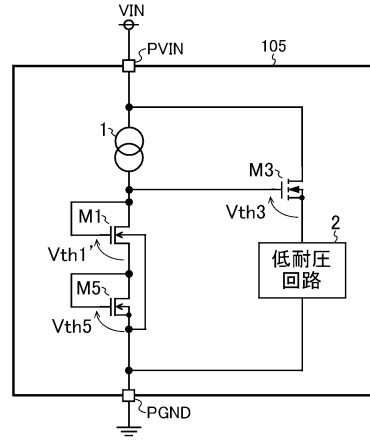
40

50

【 図 5 】

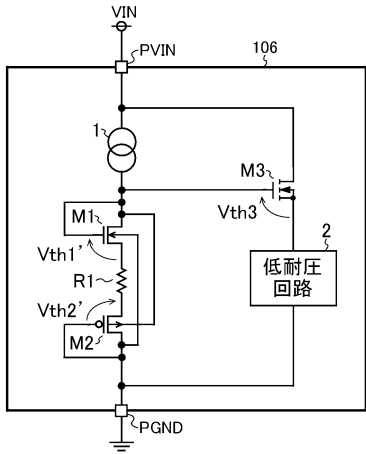


【 図 6 】

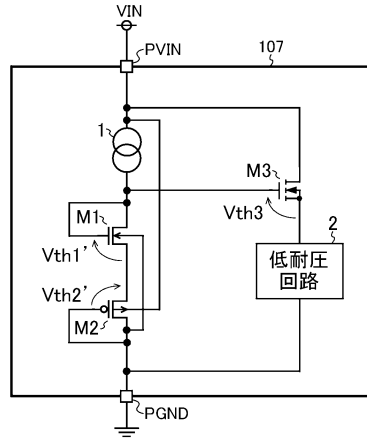


10

【 図 7 】



【 図 8 】



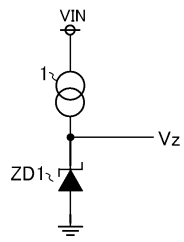
20

30

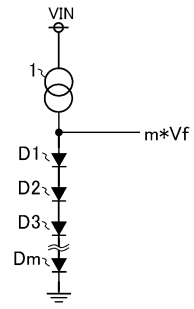
40

50

【 9 】



【 1 0 】



10

20

30

40

50

フロントページの続き

(56)参考文献 特開2013-090278(JP,A)
(58)調査した分野 (Int.Cl., DB名)
H02H 9/04