

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-103733

(P2012-103733A)

(43) 公開日 平成24年5月31日(2012.5.31)

| (51) Int.Cl. | F I | テーマコード (参考) |
|------------------------------|---------------|-------------|
| GO2F 1/1368 (2006.01) | GO2F 1/1368 | 2H092 |
| GO9F 9/30 (2006.01) | GO9F 9/30 338 | 2K103 |
| GO3B 21/00 (2006.01) | GO3B 21/00 E | 5C094 |

審査請求 有 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願2012-28888 (P2012-28888)
 (22) 出願日 平成24年2月13日 (2012. 2. 13)
 (62) 分割の表示 特願2007-106059 (P2007-106059)
 の分割
 原出願日 平成19年4月13日 (2007. 4. 13)
 (31) 優先権主張番号 特願2006-123411 (P2006-123411)
 (32) 優先日 平成18年4月27日 (2006. 4. 27)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100126240
 弁理士 阿部 琢磨
 (74) 代理人 100124442
 弁理士 黒岩 創吾
 (72) 発明者 大村 昌伸
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内

最終頁に続く

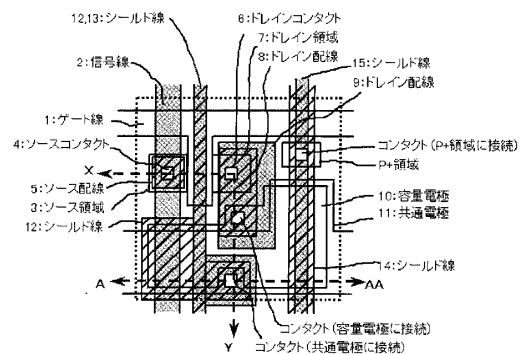
(54) 【発明の名称】 反射型液晶表示装置及び反射型液晶表示装置用の基板

(57) 【要約】

【課題】画素サイズが小さくなったときでも、信号線と保持容量端との間のクロストークを減少させ、良好な出力画像が得られる反射型液晶表示装置を提供する。

【解決手段】各画素に画像信号を伝送する信号線2を第2メタル層で形成し、保持容量を構成する容量電極10と信号線2との間に第1メタル層でシールド線12を配置し、固定電位を与え、シールドを施しクロストークの発生を防ぐ。保持容量は半導体基板上に形成された拡散層からなる共通電極11と容量電極10とで構成される。信号線下に半導体基板上に形成された拡散層からなる容量電極と、固定電位とされた共通電極を配置し、シールドを施しクロストークの発生を防ぐ。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

透明電極を有する光透過性基板と、
液晶層と、

スイッチ素子と保持容量と反射電極とを有する画素と、前記スイッチ素子を介して前記保持容量及び前記反射電極に接続され、且つ前記保持容量の少なくとも一部の上に配置された第 1 の導電層からなる信号線と、を有し、前記液晶層を間に挟んで前記透明電極と前記反射電極とが対向するように配置された半導体基板と、

を含む反射型液晶表示装置であって、

前記保持容量は、前記半導体基板に形成された拡散層からなる第 1 電極と、前記信号線と前記第 1 電極の間に配置された第 2 の導電層からなる第 2 電極とを有し、

前記第 1 電極は前記スイッチ素子に接続され、前記第 2 電極には固定電位が供給されていることを特徴とする反射型液晶表示装置。

10

【請求項 2】

前記スイッチ素子と前記反射電極とは配線パターンを介して接続され、

該配線パターンは前記信号線と同一の前記第 1 の導電層からなり、

前記信号線と前記配線パターンとの間に、固定電位が供給された、前記第 1 の導電層からなるシールド線が配置されていることを特徴とする請求項 1 に記載の反射型液晶表示装置。

20

【請求項 3】

前記画素はマトリクス状に複数配置されており、隣接する画素の配線パターンと前記信号線との間に、固定電位が供給された前記第 1 の導電層からなる前記隣接する画素のシールド線が配置されていることを特徴とする請求項 2 に記載の反射型液晶表示装置。

【請求項 4】

前記反射電極と前記信号線との間に、固定電位が与えられた遮光層が配置されていることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の反射型液晶表示装置。

【請求項 5】

前記第 2 電極と前記シールド線とがスルーホールを介して接続されていることを特徴とする請求項 2 に記載の反射型液晶表示装置。

【請求項 6】

請求項 1 ~ 5 のいずれか 1 項に記載の反射型液晶表示装置を有する液晶プロジェクターシステム。

30

【請求項 7】

スイッチ素子と保持容量と反射電極とを有する画素と、前記スイッチ素子を介して前記保持容量及び前記反射電極に接続され、且つ前記保持容量の少なくとも一部の上に配置された信号線と、を有する半導体基板からなる反射型液晶表示装置用の基板であって、

前記保持容量は、前記半導体基板に形成された拡散層からなる第 1 電極と、前記信号線と前記第 1 電極の間に配置された第 2 の導電層からなる第 2 電極とを有し、前記第 1 電極は前記スイッチ素子に接続され、前記第 2 電極には固定電位が供給されていることを特徴とする反射型液晶表示装置用の基板。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス駆動方式を用いた反射型液晶表示装置、反射型液晶表示装置用基板及び液晶プロジェクターシステムに関する。特に、スイッチ素子と保持容量と反射電極とを有する画素をマトリクス状に複数配置した半導体基板と、透明電極が形成された光透過性基板とを、反射電極と透明電極とが対向するように配置した反射型液晶表示装置に関する。また、スイッチ素子と保持容量と反射電極とを有する画素をマトリクス状に複数配置した半導体基板を用いた反射型液晶表示装置用の基板に関する。更に、その反射型液晶表示装置を用いた液晶プロジェクターシステムに関する。

50

【背景技術】

【0002】

近年、液晶表示装置は、小型表示装置から所謂OA機器の端末用に広く普及しており、特に、OA機器においては映像を大画面に投影する投影型液晶表示装置が盛んに利用されている。

【0003】

この種の投影型液晶表示装置には、大別すると透過型液晶表示装置と反射型液晶表示装置とがある。前者の透過型液晶装置の場合、各画素に設けられたスイッチング素子（トランジスタ）と容量および配線によって、光を透過させる画素の透過領域の面積が減少し開口率を小さくするという課題がある。

10

【0004】

反射型液晶表示装置は、各画素の反射用画素電極（以下反射電極という）を絶縁分離する領域以外を反射電極にすることが可能である。そして、反射電極の下部にアクティブマトリックス駆動に必要なスイッチング素子と容量および配線を配置することができ、液晶表示パネルの小型化、高精細化、高輝度化において、透過型と比較して有利な点が多い。

【0005】

一般的に、上述した反射型液晶装置では、Si基板等の半導体基板上に、MOSトランジスタなどのスイッチング素子に接続された反射電極がマトリクス状に複数配置される。そして複数の反射電極に対向して、全画素共通となる透明な共通電極が配置され、さらに、半導体基板の反射電極と共通電極との間に液晶が注入された構成をとる。このような反射型液晶装置においては、共通電極側から光を入射させて、共通電極と反射電極の間の電位差を画像信号に対応させ、画素ごとに液晶の配向を制御することで反射光を変調している。

20

【0006】

近年、液晶表示装置に対する高精細化が求められており、反射型液晶表示装置は投影して大画面で画像を表示するため高精細画素の要求が強い。したがって、高精細な反射型液晶表示装置を安易な考えで実現していくと半導体基板のチップサイズは巨大化の一途をたどる傾向にある。しかしながら、この巨大化はコストアップに直接繋がる。ゆえに、チップサイズは可能な限り、小さくすることが望ましく、その為には画素サイズの微細化が求められている。

30

【0007】

一般的に、液晶表示装置の液晶に印加する電圧は、焼き付き等の信頼性を考慮して液晶に印加される電圧が例えばフレーム毎に反転させる、所謂、反転駆動を行っている。それ故、液晶表示装置を駆動するために必要な電源電圧は15V程度（あるいはそれ以上）が求められる。言い換えると、半導体基板上に形成された画素や周辺駆動回路を構成する素子（トランジスタや容量）の耐圧が15V程度（あるいはそれ以上）必要になることを意味している。

【0008】

しかし、各素子の耐圧を確保するには、それなりの素子サイズ、あるいは、素子分離スペースが必要である。すなわち、画素サイズを小さくしたいが素子形成のデザインルール（素子サイズや素子分離スペース等のデバイスを形成するときに必要な大きさを定義したもの）は小さくできないことになる。従って、素子サイズを小さくするには、各画素の保持容量を小さくしてしまう傾向にある。

40

【0009】

しかしながら、保持容量を小さくしてしまうと、保持容量端のリークによる電圧降下により画質の低下や信号線からのクロストークを受けやすく、出力画像の画質の低下を招いてしまう。従って、画素の保持容量はできる限り大きいことが望ましい。

画素の保持容量を大きくするには、画素の中で保持容量の容量電極をできるだけ大きくればよい。

【0010】

50

図9は従来例の画素レイアウト図であり、図10は図9のX-Y方向の断面構造図である。本構成は、特許文献1に示されているものである。

【0011】

基台となる半導体基板はP型単結晶シリコン基板（以下、P型Si基板と呼ぶ）を用いており、この基板の上にポリシリコンで形成されたゲート線201が水平方向に配線される。そして、ゲート配線の一部が分離して、スイッチング素子となるスイッチングトランジスタ（ここではNMOSTランジスタ）のゲートになる。スイッチ素子となるスイッチングトランジスタのソース領域202は、ソースコンタクト203を介して第1のメタル層で形成された信号線204と接続されている。スイッチングトランジスタのドレイン領域205は、ドレインコンタクト206を介して第1のメタル層で形成されたドレイン配線207に接続される。ドレイン配線207はコンタクト208を介してポリシリコンで形成された容量電極209に接続されている。

10

【0012】

容量電極209の対向電極は、イオン注入でシリコン基板に形成されたN⁺型の拡散層となり、この拡散層が全画素共通の共通電極210となる。また、容量電極209と共通電極210との間の絶縁膜は、NMOSTランジスタを形成するゲート酸化膜と同じ工程で形成されることが一般的である。

【0013】

図10において、211はP型Si基板であり、図示左側にフィールド酸化膜212a、212bの間にスイッチ素子となるNMOSTランジスタが形成されている。201がNMOSTランジスタのゲート電極（ゲート配線の一部）であり、202がソース領域、205がドレイン領域である。

20

【0014】

ソース領域202はソースコンタクト203を介して第1のメタル層で形成された信号線204と接続されている。ドレイン領域205からはドレインコンタクト206を介して第1のメタル層で形成されたドレイン配線207に接続されている。ドレイン配線207はコンタクト208を介して容量電極209に接続され、さらに、スルーホール213を介して第3のメタル層で形成された反射電極214に接続されている。また、容量電極209の対向電極である共通電極（Vcom電極）210はN⁺型の拡散層で形成されるため、その両サイドはNMOSTランジスタと同様にフィールド酸化膜212b、212cの間に形成されている。また、第1メタル層と反射電極214の間には、隣接する反射電極との隙間から入射する光を遮光するために第2のメタル層で形成された遮光層215が配置されている。そして、遮光層215において、スルーホール213が通るところは電氣的絶縁を得るために穴が開けられている。なお、画素の保持容量を少しでも稼ぐために、遮光層215には固定電位が与えられている。

30

【0015】

液晶層217は、反射電極214上に図示しない保護膜をつけた後、反射電極214の対向電極となる、透明電極で形成された液晶共通電極216との間に所定の間隔をもって挟み込まれる。

【0016】

液晶の光学的特性の変化（偏向率の変化）は、反射電極214と液晶共通電極216との電位差によって起こるものであり、各画素の反射電極214の電位を制御することで、画像を形成している。

40

【先行技術文献】

【特許文献】

【0017】

【特許文献1】特開2004-309681号公報

【発明の概要】

【発明が解決しようとする課題】

【0018】

50

特許文献 1 では、信号線 204 とドレイン配線 207 との間に、信号線 204 およびドレイン配線 207 と同一の層（第 1 メタル層）で第 1 のシールド線 219 を設けている。また、第 1 のシールド線 219 には共通電極 210 と同一の電位を与えている。さらに、隣接する画素の信号線からのクロストークの影響も考慮して第 1 のシールド線 219 が配置されている反対側（図 9 中の右側）にも第 2 のシールド線 220 を配置している。第 2 のシールド線 220 は GND 電位を与え画素中で p 型基板に p⁺ 領域を介して接続されている。この構成では、隣接画素も含めた信号線 204 がドレイン配線 207 に及ぼすクロストークを抑制することが出来るが、信号線 204 が容量電極 209 の上部を通過しているので、クロストークは無くならない。信号線 204 の下部にも容量電極 209 の一部を作り込んでいるのは、保持容量を大きくするためである。

10

【0019】

ここで、信号線 204 が容量電極 209 の端部に与えるクロストークが、どのような影響を与えるか説明する。

【0020】

所定行が選択状態（ゲート線がハイレベルで画素のスイッチングトランジスタが ON 状態）の時、ほかの行の画素は保持容量にその画素を表示するための画像信号電圧を保持している。このとき、所定行の画素に信号線によって画像信号がスイッチングトランジスタを介して保持容量に書き込まれる。このとき、図 9 に示すように、信号線 204 と他の画素の保持容量 209 の端部との間は寄生容量が存在するために、この寄生容量を介して保持状態中の容量電極端に電位の変動を起こす。保持状態中の容量電極の電位が変化すると、液晶の光学的特性を変化するため、本来の画像が表現できなくなり、著しい画質の低下を招くことになる。これをクロストークと呼んでいる。

20

【0021】

クロストークを測定する評価パターンは、例えば、水平方向に 3 分割、垂直方向に 3 分割した 9 分割画面で行う。中央部の分割画面には 100% の輝度を表示させ、周りの 8 つの分割画面にはハーフトーンの輝度（例えば 10% 輝度）を表示させたときに、寄生容量によるクロストークが輝度の境界部分で発生する。

【0022】

このクロストークを回避するために、信号線 204 の下部にポリシリコンで形成された容量電極 209 を配置しない、すなわち、保持容量を形成しない構成が考えられる。このレイアウト構成を用いれば、信号線 204 と容量電極 209 のオーバーラップがないので信号線 204 が容量電極端に与えるクロストークを少なくすることが出来るが、保持容量が小さくなってしまふ。これでは、画素サイズが小さくなったとき、画素電圧の保持能力が低下する。保持能力が低下すると、画像的にはコントラストの小さい画像になってしまふ、画質の低下に繋がる。

30

【0023】

なお、信号線 204 と反射電極 214 との間には反射電極間の隙間から侵入する光を遮光するための遮光層 215 が配置されている。この遮光層 215 には固定電位を与えているので、遮光層 215 がシールド層として機能するため、信号線 204 が反射電極 214 にあたえるクロストークは起こりにくい構成となっている。

40

【0024】

上述したように、通常、クロストークは、人間の目において、隣接画素の相対輝度差 2 ~ 3% 以下であれば認識されないとされている。

【0025】

近年、表示装置の高精細化が進んでおり、これに伴い画素サイズも小さくしなければコストを抑えることが出来ない。しかしながら、液晶の駆動は、前述したように信頼性の面から反転駆動するのが一般的である。そのために必要な駆動電源電圧は 10 ~ 15 V 程度であり、Si 基板上に形成されるトランジスタトランジスタや容量は駆動電源電圧に対して安定動作する耐圧が必要である。それ故、画素サイズが小さくても素子を形成するサイズ（例えば、素子分離幅など）を容易に小さくすることが出来ない。さらに、クロス

50

トークに強い画素構造を得るためには、保持容量は可能な限り大きくすることが望ましい。

【0026】

本発明の目的は、限られた画素サイズの中に、スイッチ素子と大きい保持容量を形成し、信号線が保持容量端（ドレイン配線、容量電極、および、反射電極）に与えるクロストークを減少させることにある。そして、結果として、高品質な画像を得ることができる反射型液晶表示装置を提供することにある。

【課題を解決するための手段】

【0027】

本発明の反射型液晶表示装置は、透明電極を有する光透過性基板と、液晶層と、スイッチ素子と保持容量と反射電極とを有する画素と、前記スイッチ素子を介して前記保持容量及び前記反射電極に接続され、且つ前記保持容量の少なくとも一部の上部に配置された第1の導電層からなる信号線と、を有し、前記液晶層を間に挟んで前記透明電極と前記反射電極とが対向するように配置された半導体基板と、を含む反射型液晶表示装置であって、前記保持容量は、前記半導体基板に形成された拡散層からなる第1電極と、前記信号線と前記第1電極の間に配置された第2の導電層からなる第2電極とを有し、前記第1電極は前記スイッチ素子に接続され、前記第2電極には固定電位が供給されている。

10

【0028】

また本発明の反射型液晶表示装置は、前記スイッチ素子と前記反射電極とは配線パターンを介して接続され、該配線パターンは前記信号線と同一の前記第1の導電層からなり、前記信号線と前記配線パターンとの間に、固定電位が供給された、前記第1の導電層からなるシールド線が配置されていることを特徴とする。また、前記画素はマトリクス状に複数配置されており、隣接する画素の配線パターンと前記信号線との間に、固定電位が供給された前記第1の導電層からなる前記隣接する画素のシールド線が配置されていることを特徴とする。また、前記反射電極と前記信号線との間に、固定電位が与えられた遮光層が配置されていることを特徴とする。前記第2電極と前記シールド線とがスルーホールを介して接続されていることを特徴とする。

20

【0029】

本発明の反射型液晶表示装置用の基板は、スイッチ素子と保持容量と反射電極とを有する画素と、前記スイッチ素子を介して前記保持容量及び前記反射電極に接続され、且つ前記保持容量の少なくとも一部の上部に配置された信号線と、を有する半導体基板からなる反射型液晶表示装置用の基板であって、前記保持容量は、前記半導体基板に形成された拡散層からなる第1電極と、前記信号線と前記第1電極の間に配置された第2の導電層からなる第2電極とを有し、前記第1電極は前記スイッチ素子に接続され、前記第2電極には固定電位が供給されている。

30

【0030】

また本発明の液晶プロジェクターシステムは、上記反射型液晶表示装置を有することを特徴とする。

【発明の効果】

【0031】

本発明によれば、画素サイズが小さくても保持容量の容量値を大きくとることができ、信号線からスイッチングトランジスタのドレイン配線、容量電極、および、反射電極へのクロストークを減少することが可能である。その結果、良好な出力画像を得ることができる反射型液晶表示装置を提供することが出来る。

40

【図面の簡単な説明】

【0032】

【図1】本発明の第1の実施形態を示す1画素の概略平面図である。

【図2】図1のX-Y方向の断面図である。

【図3】図1のA-A方向の断面図である。

【図4】本発明の第2の実施形態を示す1画素の概略平面図である。

50

【図5】図4のX-Y方向の断面図である。

【図6】図4のA-A A方向の断面図である。

【図7】本発明の反射型液晶表示装置におけるアクティブマトリックス駆動回路を説明するブロック図である。

【図8】液晶プロジェクターシステムを示す図である。

【図9】従来の1画素の概略平面図である。

【図10】図9のX-Y方向の断面図である。

【図11】図1の画素を4×4に配列したマトリックスのレイアウト図である。

【図12】画素を4×4に配列した他の例のマトリックスのレイアウト図である。

【図13】画素を4×4に配列した他の例のマトリックスのレイアウト図である。

【図14】画素を4×4に配列した他の例のマトリックスのレイアウト図である。

【発明を実施するための形態】

【0033】

以下、本発明の実施の形態について図面を用いて詳細に説明する。

【0034】

[実施形態1]

図1は本発明の第1の実施形態を示す1画素の概略平面図であり、図2は図1に示すX-Y方向の断面図であり、図3は、図1中のA-A A方向の断面図である。図7は、本発明の反射型液晶表示装置におけるアクティブマトリックス駆動回路を説明するブロック図である。図11は、図1で示した画素を4×4のマトリックス状に複数配置した概略平面図である。なお、図1は、図面を見やすくするために、図2に示す遮光層よりSi基板（半導体基板）側（反射電極、遮光層、および、反射電極に接続されるスルーホールを含まない）のみを表現している。なお、本実施形態では、アクティブマトリックス駆動回路を有する半導体基板としてP型Si基板を使用し、スイッチ素子はNMOSトランジスタからなるスイッチングトランジスタであるとする。

【0035】

まず、液晶表示装置としての回路動作について、図7を用いて説明する。

【0036】

図7では説明の簡略化のため3×3画素を配置し、またそれぞれの画素の回路構成も記載している。

【0037】

図7に示すアクティブマトリックス駆動回路はP型Si基板に形成されているものとする。

【0038】

図7において、101は1つの画素を示し、画素101はスイッチングトランジスタ等からなるスイッチ素子102と保持容量103と反射電極104で構成されている。画素内のスイッチ素子102はNMOSトランジスタで構成されている。同一行の画素内のスイッチ素子102のゲートは、ゲート線105に接続されており、ゲート線105には垂直走査シフトレジスタ106の各レジスタの出力が印加される。同一列の画素内のスイッチ素子102のソース（図示したトランジスタの左側）は信号線107に接続されている。各画素のスイッチ素子102のドレイン（図示した右側）は保持容量103と反射電極104とに接続され、保持容量103のもう一端は、全画素共通のVcom電位に接続されている。信号線107は、転送スイッチ108を介してビデオ線109に接続されている。転送スイッチ108のON/OFFは、水平走査シフトレジスタ110の各レジスタ出力によって制御される。

【0039】

図7に示すアクティブマトリックス駆動回路の動作を簡単に説明する。順次タイミングをずらして入力されたビデオ信号がビデオ線109に出力される。そして、水平走査シフトレジスタ110によって転送スイッチ108を順次ON状態（導通状態）にしていくことで、ビデオ信号電圧がサンプリングされながら信号線107に供給される。この一つの

10

20

30

40

50

信号線 107 と、垂直走査シフトレジスタ 106 によって選択されたゲート線 105 との交差した位置にある所望の画素のスイッチ素子 102 が選択されて ON 状態とされる。すると、スイッチ素子 102 を介して画素の保持容量 103 にビデオ信号電圧が書き込まれる。反射電極 104 は、保持容量 103 に書き込まれた電圧になる。そして、反射電極 104 と透明共通電極（図示していない）との間に生じる電位差が液晶に印加され、液晶の光学特性を変化させている。

【0040】

次に本実施形態の反射型液晶表示装置の 1 画素の構成について図 1 から図 3、及び図 11 を用いて説明する。

【0041】

図 1 及び図 2 において、1 はポリシリコン（第 2 の導電層に相当）で形成されたゲート線であり、その一部が分岐してスイッチングトランジスタのゲートになっている。2 は第 2 メタル層（第 1 の導電層に相当）で形成された信号線であり、列方向に配置された画素のスイッチングトランジスタのソース領域 3 にソースコンタクト 4 を介して接続されている。第 2 メタル層で形成された信号線 2 は、その下層の第 1 メタル層（第 3 の導電層に相当）で形成されたソース配線 5 とスルーホールで接続された後、ソース配線 5 とソース領域 3 とをソースコンタクト 4 を介して接続している。スイッチングトランジスタのドレイン領域 7 はドレインコンタクト 6 を介して第 1 メタル層で形成された第 1 のドレイン配線 8 に接続されている。第 1 のドレイン配線 8 はスルーホールを介して第 2 メタル層で形成された第 2 のドレイン配線（配線パターンとなる）9 に接続されている。さらに、第 2 のドレイン配線 9 はスルーホールを介して、従来技術と同様に遮光層 17 の穴を通して反射電極 16 に接続されている。液晶層 19 は、反射電極 16 上に図示しない保護膜をつけた後、反射電極 16 の対向電極となる、光透過性基板に形成された透明電極となる液晶共通電極 18 との間に所定の間隔をもって挟み込まれる。ここで、第 1 及び第 2 メタル層は、Al などの金属材料が好適に用いられるが、それに限定するものではなく、電気的な導通が可能な材料である導電層であればよい。

【0042】

また、第 1 のドレイン配線 8 は、第 1 のコンタクトを介してその下層のポリシリコン（第 2 の導電層に相当）で形成された容量電極 10 に接続されている。容量電極 10 は、スイッチングトランジスタを形成するゲート酸化膜を同等の酸化膜を挟んで N⁺ 型の拡散領域で形成された共通電極 11（V_{com} 電極）とで各画素の保持容量を形成している。

【0043】

スイッチングトランジスタのゲート電極の上部には、第 1 メタル層（第 3 の導電層に相当）で形成され且つ信号線 2 に接続されているソース配線 5 と、第 1 メタル層で形成されたドレイン配線 8 との間に配置された第 1 のシールド線 12 が設けられている。なお、第 1 のシールド線は固定電位が供給された導電層となる。

【0044】

この第 1 のシールド線 12 に所定の定電圧を印加して固定電位とすることで、ソース配線 5 から第 1 のドレイン配線 8 へのクロストークが起らないようにシールドしている。

【0045】

さらに、第 1 のシールド線 12 の上部には、第 2 メタル層（第 1 の導電層に相当）で形成された第 2 のシールド線 13 がある。そしてシールド線 13 は信号線 2 と第 2 メタル層（第 1 の導電層に相当）で形成された第 2 のドレイン配線 9 との間に配置されている。この第 2 のシールド線 13 に第 1 のシールド線 12 と同様に所定の定電圧を印加し固定電位することで、信号線 2 から第 2 のドレイン配線 9 へのクロストークが起らないようにシールドしている。また、第 1 のシールド線 12 は、第 2 のコンタクトを介して容量を構成する共通電極（N⁺ 拡散層）11 と接続されている。

【0046】

さらに、図 3 に示すように、第 1 のシールド線 12 は、ポリシリコン（第 2 の導電層に相当）で形成された容量電極 10 と第 2 メタル層（第 1 の導電層に相当）で形成された信

10

20

30

40

50

号線 2 との間に配置されるように容量上部は幅広くパターンニングされている。

【 0 0 4 7 】

これにより、信号線 2 と容量電極 1 0 との間をシールドすることになり、信号線からのクロストークの影響を受けにくくしている。

【 0 0 4 8 】

また、図 1 中の右側（画素の右側）には、第 1 メタル層（第 3 の導電層に相当）で形成されたシールド線 1 4 が配置され、容量が形成されていないところで、第 3 のコンタクトを介して P⁺ 領域に接続され P 型 Si 基板の電位をとっている。さらに、図 1 及び図 3 に示すように、シールド線 1 4 の上部には、第 2 メタル層（第 1 の導電層に相当）で形成されたシールド線 1 5 が配置されている。これにより、シールド線 1 4 は、隣接画素のソース配線 5 に対してシールドの役割をしており、シールド線 1 5 は、隣接画素の信号線に対してシールドの役割を果たしている。

10

【 0 0 4 9 】

図 1 1 は、図 1 で示した画素を 4 × 4 のマトリックス状に複数配置したものである。本実施形態においては、全ての画素は略同一の向きで配置されている。図 1 1 に示すように、所定の画素の信号線 2 と、この所定の画素のドレイン配線 9 との間には、その画素のシールド線 1 3 が配置されている。また、所定の画素の信号線 2 と、この所定の画素と隣接する画素のドレイン配線 9 の間には、隣接画素のシールド線 1 5 が配置された構成となっている。更に所定の画素のソース配線 5 と、この所定の画素のドレイン配線 8 との間にはシールド線 1 2 が配置され、所定の画素のソース配線 5 と、この所定の画素と隣接する画素のドレイン配線 8 との間にはシールド線 1 4 が配置されている。このような構成により、クロストークの発生を低減することが出来る。また、液晶層が封止されている反射電極 1 6 から液晶共通電極までは従来と同じ構造なので説明を省く。

20

【 0 0 5 0 】

なお、本実施形態において、画素のマトリックスレイアウトは図 1 1 に示されるものに限られるものではなく、例えば図 1 2 ~ 図 1 4 に示されるマトリックスも好適に適用可能である。

【 0 0 5 1 】

図 1 2 は画素を 4 × 4 のマトリックス状に複数配置したものである。図 1 2 では、奇数列の画素と偶数列の画素が、垂直方向（図面の縦方向）を軸として線対称となるように配置されている。この構成を用いた場合は、2 N 画素単位（N は正の整数）で画素電圧を同時に書き込むこと事が必要である。図 1 2 で示す構成の場合も、信号線 2 とドレイン配線 9 の間には、シールド線 1 3 が配置された構成となっている。また、ソース配線 5 とドレイン配線 8 と間にはシールド線 1 2 が配置される構成となっている。それによりクロストークの発生を低減することが出来る。

30

【 0 0 5 2 】

図 1 3 も画素を 4 × 4 のマトリックス状に複数配置したものである。図 1 2 では、奇数行の画素と偶数行の画素が、水平方向（図面の横方向）を軸として線対称となるように配置されている。図 1 3 で示す構成の場合でも、信号線 2 とドレイン配線 9 の間には、シールド線 1 3 またはシールド線 1 5 が配置された構成となっている。また、ソース配線 5 とドレイン配線 8 と間にはシールド線 1 2 またはシールド線 1 4 が配置される構成となっている。それによりクロストークの発生を低減することが出来る。

40

【 0 0 5 3 】

図 1 4 も画素を 4 × 4 のマトリックス状に複数配置したものである。図 1 4 では、奇数行の画素と偶数行の画素が、水平方向（図面の横方向）に対して線対称で且つ垂直方向（図面の縦方向）に対して線対称となるように配置されている。この構成を用いた場合も図 1 2 で示す構成と同様に、2 N 画素単位（N は正の整数）で画素電圧を同時に書き込むこと事が必要である。図 1 4 で示す構成の場合も、信号線 2 とドレイン配線 9 の間には、シールド線 1 3 が配置された構成となっている。また、ソース配線 5 とドレイン配線 8 と間にはシールド線 1 2 が配置される構成となっている。それによりクロストークの発生を低

50

減することが出来る。

【0054】

ここで、これまでに示した画素のマトリックスのレイアウトは、本実施形態に限定されるものではなく、本発明の他の実施形態にも好適に適用可能である。

【0055】

なお、図2および図3中に示す各層(電極、配線等)の間で特記していないところは絶縁膜が配置されている。

【0056】

さらに、反射電極16も保持容量の一端を形成しているが、信号線2と反射電極16の間には、遮光層17が配置されている。そしてこの遮光層17は、所定の定電圧が印加され、固定電位とされているのでシールド層として機能し、信号線2が反射電極16にクロストークの影響を与えることは抑制される。また、遮光層17に定電圧を印加することで、反射電極16と遮光層17の間も保持容量として使用することが出来る。

10

【0057】

上述したように、本実施形態が示す画素レイアウトを用いることにより、図11、図13の画素レイアウトにおいては、図3に示すように、信号線の上下方向および左右方向に対して、所定の固定電位を持った配線パターンが配置される。また、図12、図14の画素レイアウトにおいては、同じ画素電圧が与えられる信号線群の上下方向、左右方向に対して、所定の固定電位を持った配線パターンが配置される。この構成によって、信号線または同じ画素電圧が与えられる信号線群を4方向(図3の上下方向、左右方向)からシールドした形になり、信号線の下も有効に保持容量として形成することが可能なので容量値を大きくとることができる。さらに、ドレイン配線、容量電極、および、反射電極に与えるクロストークを減少させることができ、画素サイズが小さくても良好な出力画像が得られる。

20

【0058】

また、本実施形態においては、P型Si基板を用いて説明したが、N型Si基板を用いても構わず、どちらの基板を用いても、本実施形態による効果は変わらない。

【0059】

さらに、本実施形態では、ゲート線にポリシリコンを用いたが、必ずしもゲート線がポリシリコンである必要が無い。すなわち、第1メタル層を用いてゲート線を形成し、必要な場所において、コンタクトを介してポリシリコンに接続して、そのポリシリコンがスイッチングトランジスタのゲートを構成する形になっても構わない。

30

【0060】

[実施形態2]

図4は、本発明の第2の実施形態を示す1画素の概略平面図であり、図5は図4に示すX-Y方向の断面図である。また、図6は、図1中のA-A方向の断面図である。

【0061】

本実施形態の第1の実施形態と大きく違う点は、保持容量の第1電極であるN⁺型の拡散層からなる電極がスイッチングトランジスタのドレイン領域と接しており、ドレイン配線と反射電極とに接続されていることである。また保持容量を形成する第2電極である共通電極はポリシリコンで形成されており、シールド線に接続されていることである。本実施形態では、第1の実施形態の第2メタル層に相当する層が要らない。

40

【0062】

以下に、図4に示す画素レイアウト、および、断面構造の説明を行う。

【0063】

1はポリシリコンで形成されたゲート線であり、その一部が分岐して、画素のスイッチングトランジスタのゲートになっている。2aは第1メタル層で形成された信号線であり、列方向に配置された画素のスイッチングトランジスタのソース領域3にソースコンタクト4を介して接続されている。スイッチングトランジスタのドレイン領域7はドレインコンタクト6を介して第1メタル層で形成されたドレイン配線8に接続されており、ドレイ

50

ン配線 8 はスルーホールを介して反射電極 16 に接続されている。

【0064】

また、ドレイン領域 7 は、トランジスタと容量の素子分離を必要とせずに、 N^+ 型の拡散層で形成された容量電極 10a に拡散領域の延長で接続されている。容量電極 10a は、スイッチングトランジスタを形成するゲート酸化膜を同等の酸化膜を挟んでポリシリコンで形成された共通電極 11a (Vcom 電極) とで各画素の保持容量を形成している。

【0065】

スイッチングトランジスタのゲート電極 (ゲート配線の一部) の上部には、第 1 メタル層で形成されたシールド線 12 がある。そして、シールド線 12 は、信号線 2a と第 1 メタル層で形成されたドレイン配線 8 との間に配置されている。シールド線 12 に所定の定電圧を印加することで、信号線 2 からドレイン配線 8 へのクロストークが起らないようにシールドしている。シールド線 12 は、コンタクトを介して容量を構成する共通電極 11a と接続されている。

【0066】

さらに、ポリシリコンで形成された共通電極 11a は、第 1 のメタル層で形成された信号線 2 と N^+ 拡散で形成された容量電極 10a との間に配置されている。よって、信号線 2 と容量電極 10a との間をシールドすることになり、信号線からのクロストークの影響を受けなくなる。

【0067】

また、図 4 中の右側 (画素の右側) には、第 1 メタル層で形成された GND シールド線 14 が配置され、容量が形成されていないところで、コンタクトを介して P^+ 領域に接続され P 型 Si 基板の電位をとっている。これにより、GND シールド線 14 は、隣接画素の信号線に対してシールドの役割をしている。また、遮光層 17 は、実施形態 1 と同様に所望の固定電位をもって配置されているので、信号線 2 が反射電極 16 に及ぼすクロストークは抑制される。また、液晶層 19 が封止されている反射電極 16 から液晶共通電極 18 までは実施形態 1 と同じ構造なので説明を省く。

【0068】

なお、図 5 および図 6 中に示す各層 (電極、配線) の間で特記していないところには絶縁膜が配置されている。

【0069】

上述したように、本実施形態が示す画素レイアウトを用いることにより、信号線の上下方向および左右方向に対して、所定の固定電位を持った配線パターンが配置される。その結果、信号線を 4 方向 (上下、左右) からシールドした形になり、信号線の下も有効に保持容量として形成することが可能なので容量値を大きくとることができる。さらに、ドレイン配線、保持容量電極、および、反射電極に与えるクロストークを減少させることができ、画素サイズが小さくても良好な出力画像が得られる。

【0070】

また、本実施形態においては、 P 型 Si 基板を用いて説明したが、 N 型 Si 基板を用いても構わず、どちらの基板を用いても、本実施形態が示す効果は変わらない。

【0071】

なお、本実施形態の構成では、第 1 の実施形態の構成よりメタル層が一層少なくとも実現できる構成である。

【0072】

[実施形態 3]

図 8 を用いて、本発明に係わるアクティブマトリクス基板を用いた反射型液晶表示装置を使用した液晶プロジェクターシステムについて説明する。図 8 は液晶プロジェクター光学システムの一例である。1101 はランプ、1102 はリフレクター、1103 はロッドインテグレーター、1104 はコリメーターレンズ、1105 は偏光変換系、1106 はリレーレンズ、1107 はダイクロイックミラーである。また、1108 は偏光ビームスプリッター、1109 はクロスプリズム、1110 は本発明に係わるアクティブマト

10

20

30

40

50

リック基板を用いた反射型液晶パネル、1111は投影レンズ、1112は全反射ミラーである。

【0073】

ランプ1101から出た光束はリフレクター1102で反射し、インテグレーター1103の入り口に集光する。このリフレクター1103は楕円リフレクターであり、発光部及びインテグレーター入り口にその焦点が存在する。インテグレーター1103に入った光束はインテグレーター内部で0～数回反射を繰り返し、インテグレーター出口で2次光源像を形成する。2次光源形成法としてはフライアイを用いた方法も有るが、ここでは省略する。2次光源からの光束はコリメーターレンズ1104を通して、おおむね平行光とされ、偏光変換系の偏光ビームスプリッター1105に入射する。P波は偏光ビームスプリッター1105で反射し、 $\lambda/2$ 板を通りS波となり、全てがS波となりリレーレンズ1106に入射する。光束はリレーレンズ1106により、パネルに集光される。パネルに集光される間に、色分解ダイクロミックミラー1107、偏光板（不図示）、偏光ビームスプリッター1108、クロスプリズム1109等で色分解系が構成され、S波がそれぞれ3枚の液晶パネル1110に入射する。液晶パネル1110では液晶シャッターが、映像に合わせて画素ごとに電圧を制御する。液晶の作用によりS波を楕円偏光（もしくは直線偏光）に変調し、偏光ビームスプリッター1108でP波成分を透過させ、クロスプリズム1109で色合成した後投影レンズ1111から投影する形態が一般的である。

10

【産業上の利用可能性】

【0074】

本発明は、液晶を用いて画像、文字を表示する反射型液晶表示装置、反射型液晶表示装置用基板及び液晶プロジェクターシステムに適用できる。

20

【符号の説明】

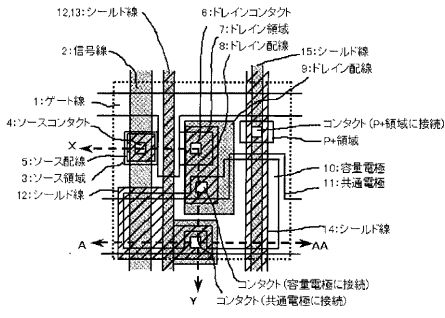
【0075】

- 1 ゲート線
- 2 信号線
- 3 ソース領域
- 4 ソースコンタクト
- 5 ソース配線（第1メタル層）
- 6 ドレインコンタクト
- 7 ドレイン領域
- 8 ドレイン配線（第1メタル層）
- 9 ドレイン配線（第2メタル層）
- 10 容量電極（ポリシリコン）
- 11 共通電極（N+拡散）
- 12 シールド線（第1メタル層）
- 13 シールド線（第2メタル層）
- 14 シールド線（第1メタル層）
- 15 シールド線（第2メタル層）
- 16 反射電極
- 17 遮光層

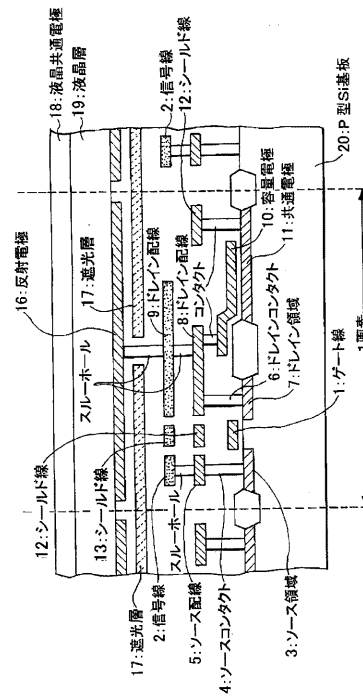
30

40

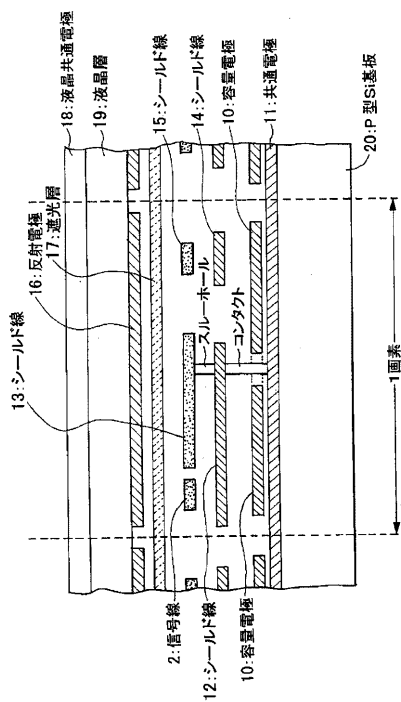
【 図 1 】



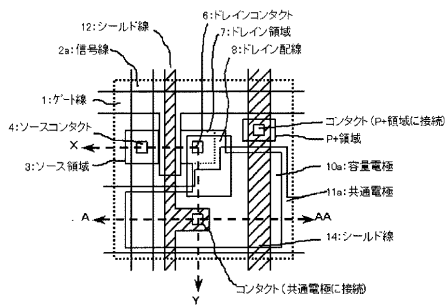
【 図 2 】



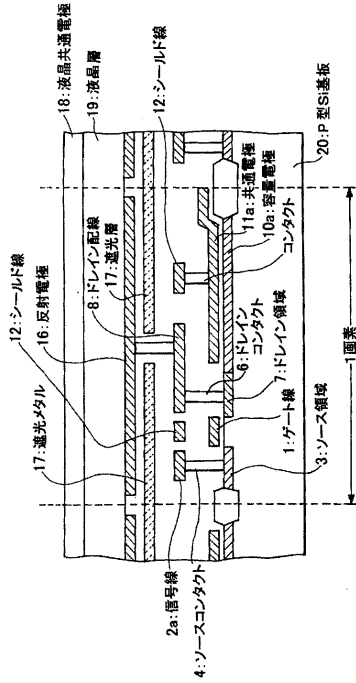
【 図 3 】



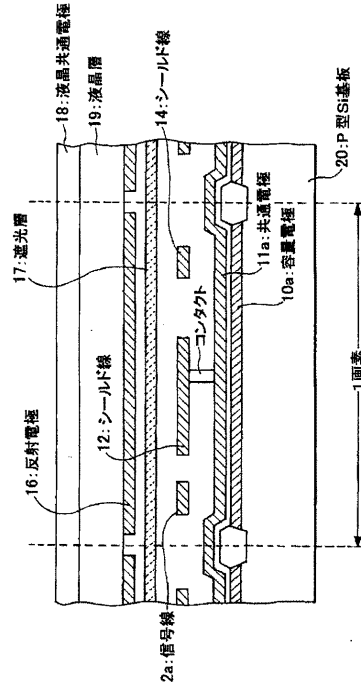
【 図 4 】



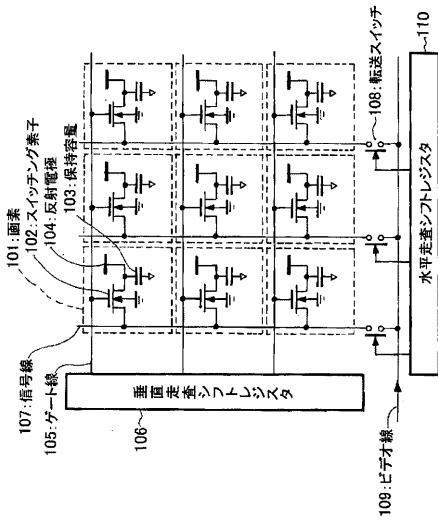
【図5】



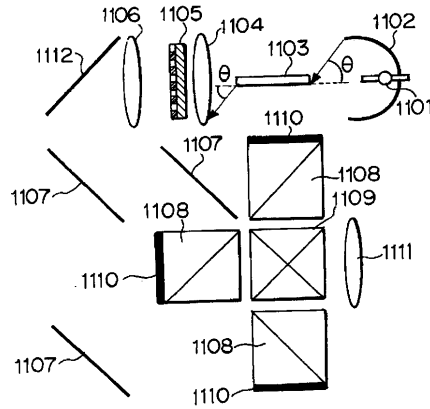
【図6】



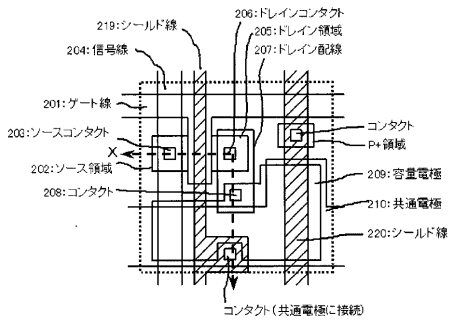
【図7】



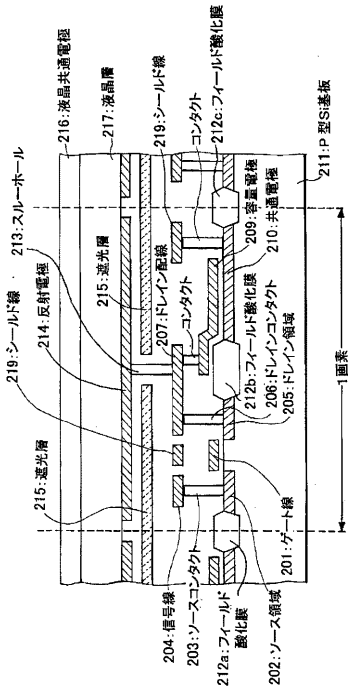
【図8】



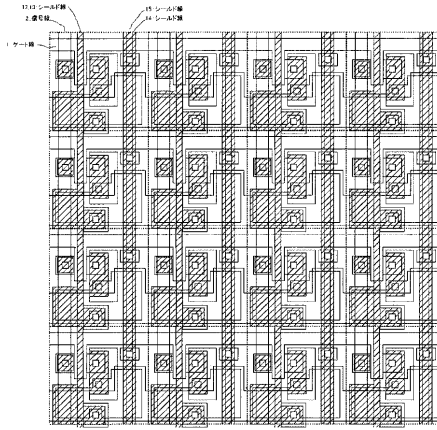
【図9】



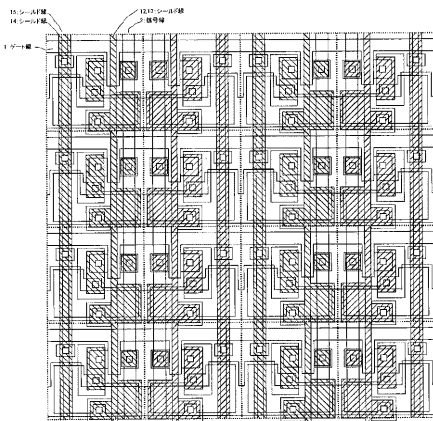
【図 10】



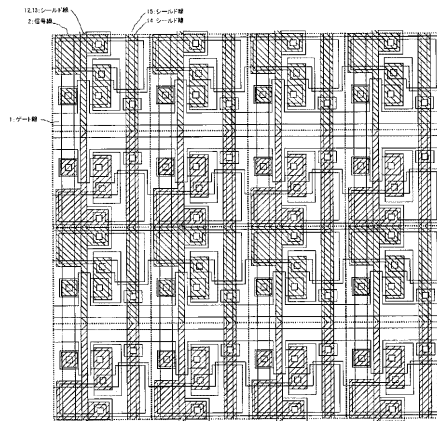
【図 11】



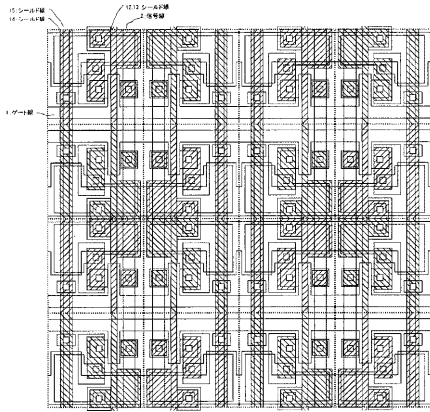
【図 12】



【図 13】



【 図 14 】



フロントページの続き

Fターム(参考) 2H092 GA64 JA23 JA46 JB07 JB23 JB24 JB32 JB33 JB51 JB56
JB64 JB69 KA03 KA12 KA18 KA22 KB04 KB14 KB24 KB25
MA13 NA01 NA25 PA09 PA12 RA05
2K103 AA05 AA11 AA14 AB10 BB02 CA14
5C094 AA02 AA05 AA09 BA03 BA43 CA19 DA13 EA06 EA10 ED15
FB12 FB14