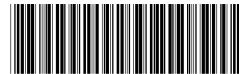


(19) 中华人民共和国国家知识产权局



## (12) 发明专利

(10) 授权公告号 CN 102074537 B

(45) 授权公告日 2013.02.13

(21) 申请号 201010547855.8

CN 1893063 A, 2007.01.10,

(22) 申请日 2008.05.15

审查员 刘佳秋

(62) 分案原申请数据

200810098834.5 2008-05-15

(73) 专利权人 南茂科技股份有限公司

**地址** 中国台湾新竹科学工业园区新竹县研发一路一号

专利权人 百慕达南茂科技股份有限公司

(72) 发明人 黄祥铭 刘安鸿 李宜璋 蔡豪殷  
何淑静

(74) 专利代理机构 上海专利商标事务所有限公司 31100

代理人 任永武

(51) Int. Cl.

H01L 23/488 (2006. 01)

H01L 23/495 (2006, 01)

H011 25/065 (2006, 01)

(56) 对比文件

US 4996587 A 1991-02-26

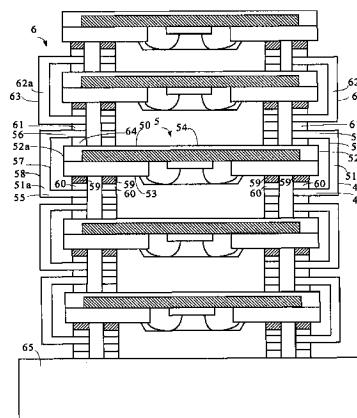
权利要求书 1 页 说明书 7 页 附图 9 页

(54) 发明名称

芯片封装单元

## (57) 摘要

本发明是提供一种芯片封装单元，适以与另一相同结构的芯片封装单元进行电性堆迭。该芯片封装单元包含一芯片及二导电结构。各该导电结构是通过一第一端部区域，以一第一表面与一主动面电性连接，并沿该芯片的其中一端面弯折。该芯片封装单元的一第二端部区域，适可通过一第一表面，与该另一芯片封装单元的相对应导电结构的一第二表面呈电性连接。



1. 一种芯片封装单元，适以与另一相同结构的芯片封装单元进行电性堆迭，该芯片封装单元包含：

一芯片，具有二端面及位于该二端面间的一主动面及一非主动面；二导电结构，各该导电结构具有一第一端部区域、与该第一端部区域相对的一第二端部区域、一第一表面及与该第一表面相对的一第二表面；其中各该导电结构为一可挠性基板，且通过该第一端部区域，以该第一表面与该主动面电性连接，并沿该芯片的其中一端面，弯折至该非主动面上；

多个第一连接件，形成于各该第一端部区域，以及

多个第二连接件，分别形成于各该第二端部区域；

借此，该芯片的该主动面通过这些第一连接件与该导电结构的该第一表面电性连接，且该芯片的第二端部区域，适可通过这些第二连接件，藉由该第二表面与该另一芯片封装单元的相对应导电结构的一第二表面呈电性连接。

2. 根据权利要求 1 所述的芯片封装单元，其特征是各该第一连接件是一平板式锡球、且各该导电结构是一设计为具有 50 欧姆阻抗匹配之可挠性基板，该芯片封装单元还包含多个第一支撑件，形成于各该导电结构的该第二端部与该芯片的该非主动面之间。

3. 根据权利要求 1 所述的芯片封装单元，其特征是各该第一连接件是一平板式锡球、且各该导电结构是一设计为具有 50 欧姆阻抗匹配的导线架。

## 芯片封装单元

[0001] 本申请是申请人于2008年5月15日提交的、申请号为200810098834.5、发明名称为“芯片封装单元”的发明专利申请的分案申请，

### 技术领域

[0002] 本发明是关于一种芯片封装单元；特别是关于可应用于一堆迭封装结构的芯片封装单元。

### 背景技术

[0003] 随着半导体技术的进步，各种封装技术已被广泛使用于各种电子产品中。例如将芯片封装单元与另一基本相同结构的芯片封装单元以电性连接方式堆迭的技术，此先前技术在不增加电路板面积条件下，可置入更高密度的芯片。故当电子产品需要节省电路板所占空间时，芯片封装单元便成为不可或缺的组件。

[0004] 先前技术已提出可实现芯片封装单元应用的封装堆迭架构，目前已知先前技术揭露利用一导线架来作为电性连接芯片封装单元的中介层，请参图1以便说明。

[0005] 图1为已知的一芯片封装单元1与另一芯片封装单元1a堆迭的一实例的示意图，其芯片封装单元1与另一芯片封装单元1a具有基本相同结构。芯片封装单元1包含一芯片10及一导线架11。在该导线架11具有一第一表面12与一第二表面13，且该导线架11包含有多个针通孔(Pin Through Hole, PTH)14，各该针通孔14在第二表面13下有对应的各该焊点凸块15，如此形成一芯片封装单元1。一芯片封装单元1的各该焊点凸块15与另一芯片封装单元1a的多个针通孔16电性连接，其电性连接处用一锡膏17来固接，该锡膏17可辅助并加强连接结构的稳固。并将堆迭之后的芯片封装单元1电性连接于一印刷电路板18上。

[0006] 图2为已知的一芯片封装单元2与另一芯片封装单元2a堆迭时的一实例的示意图，其芯片封装单元2与另一芯片封装单元2a具有基本相同结构。本实施例与前一实施例不同之处在于一芯片封装单元2于导线架21的第一表面22及第二表面23上分别各使用多个焊点凸块24来作为电性连接方式。其方式是为在芯片封装单元2的各该多个针通孔25的第一表面22与第二表面23上分别形成一焊点凸块24，借此与另一相同结构的芯片封装单元2a进行堆迭，各该焊点凸块24与各该针通孔25电性连接处用一锡膏26来辅助与加强结构稳固。并将堆迭之后的芯片封装单元2堆迭的电性连接于一印刷电路板27上。

[0007] 通常来说，芯片封装单元1的堆迭需在导线架11上通过针通孔14使用焊点凸块15来做电性连接，但焊点凸块15的厚度相当厚，其占据了大部分堆迭的空间，使该芯片封装单元1与芯片封装单元1a所进行的堆迭结构具有相当的厚度。同时焊点凸块15在接点处容易造成裂缝，导致品质成本增加。且一般传统芯片封装单元为非芯片级封装(Non Chip Scale Package)，其芯片在封装后的引脚尺寸较大，造成其芯片封装单元面积较大，在堆迭时造成封装结构内部散热不良。

[0008] 有鉴于此，提供一种改良的芯片封装单元，使堆迭后的整体厚度缩减，并使接点处

不易断裂进而减少品质成本,为此一业界亟待解决的问题。

## 发明内容

[0009] 本发明的目的在于提供一种芯片封装单元,于芯片封装单元与芯片封装单元之间采用一导线架,以提供一导电路径。该导线架上使用单面平板焊球来以固接各芯片封装单元间的堆迭,适以与另一基本相同结构的芯片封装单元进行电性堆迭。借此,可达到减低堆迭后芯片封装单元厚度的目的,使堆迭后的整体厚度缩减,同时减少工艺成本。

[0010] 本发明的另一目的在于提供一种芯片封装单元,于芯片封装单元与芯片封装单元之间采用一导线架或一可挠性基板,以提供一导电路径。该导线架上使用双面平板焊球来固接各芯片封装单元间的堆迭,适以与另一基本相同结构的芯片封装单元进行电性堆迭。借此,可达到减低堆迭后芯片封装单元厚度的目的,使堆迭后的整体厚度缩减,并减少制造成本。

[0011] 为达上述目的,本发明揭露一种芯片封装单元,适以与另一基本相同结构的芯片封装单元进行电性堆迭。该芯片封装单元包含一芯片及二导电结构。该芯片具有二端面及位于该二端面间的一主动面。各该导电结构具有一第一端部区域与该第一端部区域相对的一第二端部区域、一第一表面及与该第一表面相对的一第二表面。各该导电结构通过该第一端部区域,以该第一表面与该主动面电性连接,并沿该芯片的其中一端面弯折。借此该芯片封装单元的第二端部区域,适可通过该第一表面,与该另一芯片封装单元的相对应导电结构的一第二表面呈电性连接。

[0012] 本发明还揭露一种芯片封装单元,适以与另一基本相同结构的芯片封装单元进行电性堆迭。该芯片封装单元包含一芯片及二导电结构。该芯片具有二端面及位于该二端面间的一主动面及一非主动面。各该导电结构具有一第一端部区域、与该第一端部区域相对的一第二端部区域、一第一表面及与该第一表面相对的一第二表面。各该导电结构通过该第一端部区域,以该第一表面与该主动面电性连接,并沿该芯片的其中一端面,弯折至该非主动面上。借此该芯片的第二端部区域,适可通过该第二表面,与该另一芯片封装单元的相对应导电结构的一第二表面呈电性连接。

## 附图说明

[0013] 为让本发明的上述目的、技术特征、和优点能更明显易懂,下面将配合附图对本发明的较佳实施例进行详细说明,其中:

[0014] 图1是已知的芯片封装单元与另一芯片封装单元堆迭的一实例的示意图;

[0015] 图2是已知的芯片封装单元与另一芯片封装单元在堆迭时另一不同电性连接方式一实例的示意图;

[0016] 图3是本发明的芯片封装单元的结构的一实施例的示意图;

[0017] 图4是本发明芯片封装单元与另一基本相同结构的芯片封装单元进行电性堆迭的一实施例示意图;

[0018] 图5是本发明另一种芯片封装单元的另一实施例示意图;

[0019] 图6是本发明芯片封装单元与另一基本相同结构的芯片封装单元进行电性堆迭另一实施例示意图;

- [0020] 图 7 是本发明另一芯片封装单元的结构的另一实施例示意图；  
[0021] 图 8 是本发明另一芯片封装单元与另一基本相同结构的芯片封装单元进行电性堆迭的另一实施例示意图；以及  
[0022] 图 9 是本发明另一芯片封装单元的结构的另一实施例示意图。

[0023] 主要元件符号说明：

[0024]	1 芯片封装单元	1a 芯片封装单元
[0025]	10 芯片	11 导线架
[0026]	12 第一表面	13 第二表面
[0027]	14 针通孔	15 焊点凸块
[0028]	16 针通孔	17 锡膏
[0029]	18 印刷电路板	2 芯片封装单元
[0030]	2a 芯片封装单元	21 导线架
[0031]	22 第一表面	23 第二表面
[0032]	24 焊点凸块	25 针通孔
[0033]	26 锡膏	27 印刷电路板
[0034]	3 芯片封装单元	30 芯片
[0035]	31a 导电结构	31b 导电结构
[0036]	32a 端面	32b 端面
[0037]	33 主动面	34 第一端部区域
[0038]	35 第二端部区域	36 第一表面
[0039]	37 第二表面	38 衬垫
[0040]	39 第一连接件	4 芯片封装单元
[0041]	40a 导电结构	40b 导电结构
[0042]	41 第二表面	42 第二连接件
[0043]	43 散热装置	44 印刷电路板
[0044]	5 芯片封装单元	50 芯片
[0045]	51a 导电结构	51b 导电结构
[0046]	52a 端面	52b 端面
[0047]	53 主动面	54 非主动面
[0048]	55 第一端部区域	56 第二端部区域
[0049]	57 第一表面	58 第二表面
[0050]	59 衬垫	6 芯片封装单元
[0051]	60 第一连接件	61 第二连接件
[0052]	62a 导电结构	62b 导电结构
[0053]	63 第二表面	64 第一支撑件
[0054]	65 印刷电路板	7 芯片封装单元
[0055]	70 可挠性基板	70a 导电结构
[0056]	71 第一端部区域	72 第二端部区域
[0057]	73 第一表面	74 第二表面

[0058]	75 芯片	76 非主动面
[0059]	77a 端面	77b 端面
[0060]	78 主动面	79 衬垫
[0061]	8 芯片封装单元	80 第一连接件
[0062]	81 导电结构	82 第二表面
[0063]	83 第二连接件	84 第一支撑件
[0064]	85 印刷电路板	9 芯片封装单元
[0065]	90 晶粒	91 导电结构
[0066]	92 焊垫	93 第一连接件

### 具体实施方式

[0067] 以下将通过实施例来解释本发明内容，其是关于一种芯片封装单元，适以与另一基本相同结构的芯片封装单元进行电性堆迭，以达到减低堆迭后芯片封装单元厚度的目的，并改进先前技术中使用针通孔、焊点凸块来做为导电路径的缺点。然而，本发明的实施例并非用以限制本发明需在如实施例所述的任何特定的环境、应用或特殊方式方能实施。关于实施例的说明仅为阐释本发明的目的，而非用以限制本发明。需说明者，以下实施例及附图中，与本发明非直接相关的组件已省略而未绘示；且为求容易了解起见，各组件间的尺寸关系是以稍夸大的比例绘示出。

[0068] 图3是本发明的芯片封装单元3的一实施例的示意图。须说明的是，该芯片封装单元3可适用至一微间距锡球阵列封装(Fine pitch Ball Grid Array, FBGA)，其为一种芯片级封装的封装类型。一般而言，芯片级封装的定义为封装后芯片的面积与封装前芯片的面积比小于百分之二十。芯片封装单元3包含一芯片30及二导电结构31a及31b。该芯片30具有二端面32a及32b及一主动面33，该主动面33位于该二端面32a及32b间。各该导电结构31a及31b具有一第一端部区域34、与该第一端部区域34相对的一第二端部区域35、一第一表面36及与该第一表面36相对的一第二表面37。具体而言，本实施例中各导电结构31a及31b的材料，是由铜所制成，但在其它实施例中并不以此材料为限，例如其它金属亦可作为导电结构31a及31b的材料如铝、金、银、铬、钯、钨、镍及铂等，以发挥电性传导并可支撑的目的。各该导电结构31a及31b，通过该第一端部区域34，以该第一表面36与该主动面33电性连接，并沿该芯片30的其中一端面32a及32b弯折。在本实施例中，芯片30的主动面33上具有多个衬垫38，导电结构31a及31b即通过这些衬垫，电性连结至芯片30。因此，导电结构31a及31b可具有细指状的外形，以对应这些衬垫38的分布。

[0069] 请继续参考图3，芯片封装单元3的导电结构31a及31b沿该芯片30的其中一端面32a及32b弯折成一钝角后，其第一端部区域及第二端部区域适可位于钝角的两侧，如此弯折后便可与另一基本相同结构的芯片封装单元4进行电性堆迭，其内容将于图4详细说明。需进一步说明的是在图3中多个第一连接件39形成于各该第一端部区域34，以使该芯片的主动面33通过这些第一连接件39与该导电结构31a及31b的该第一表面36电性连接。具体而言于本实施例中，该第一连接件39是单面平板式焊球，用来作为芯片封装单元3中芯片30与导电结构31a及31b的电性连接。

[0070] 请继续参考图4，其是本发明芯片封装单元3与另一基本相同结构的芯片封装单

元 4 进行电性堆迭的一实施例示意图,通过弯折后的芯片封装单元 3 与另一基本相同结构的芯片封装单元 4 进行电性堆迭,其堆迭方式为芯片封装单元 3 的第二端部区域 35,适可通过该第一表面 36,与该另一芯片封装单元 4 的相对应导电结构 40a 及 40b 的一第二表面 41 呈电性连接。

[0071] 进一步说,多个第二连接件 42 形成于该芯片封装单元 3 的各该第二端部区域 35,以使芯片封装单元 3 通过这些第二连接件 42,与该另一芯片封装单元 4 的相对应导电结构 40a 及 40b 的该第二表面 41 呈电性连接。

[0072] 于本实施例中,该第二连接件 42 是一平板式锡球,与先前技术使用的焊点凸块相较下,平板式锡球厚度相对较薄,但可一次完成所有平板式锡球的制造,同时较不易发生锡球断裂或连接不良等状况。需说明的是,视需要可装置一散热装置 43 于芯片封装单元 4 的顶端,以帮助散热,此散热装置 43 可选择性依工艺考量来决定是否附加。

[0073] 堆迭后的该芯片封装单元 3 可设于一印刷电路板 44 上。需注意的是各该芯片封装单元 3 的各该导电结构 31a 及 31b 是设计为具有 50 欧姆阻抗匹配,可与其它电路作阻抗匹配,设计 50 欧姆阻抗匹配的方法与结构并非本发明的重点,在此不再多作说明。

[0074] 图 5 是本发明另一种芯片封装单元 5 的另一实施例示意图,该芯片封装单元 5 包含一芯片 50 及二导电结构 51a 及 51b。须说明的在此实施例中该芯片封装单元 5 为一微间距锡球阵列封装,在前一实施例已经说明在此不再赘述。该芯片具有二端面 52a 及 52b 及位于该二端面 52a 及 52b 间的一主动面 53 及一非主动面 54。各该导电结构 51a 及 51b 具有一第一端部区域 55 与该第一端部区域 55 相对的一第二端部区域 56、一第一表面 57 及与该第一表面 57 相对的一第二表面 58。本实施例中导电结构 51a 及 51b 的材料,是由铜所制成,但在其它实施例中并不以此材料为限,例如其它金属亦可作为导电结构 51a 及 51b 的材料如铝、金、银、铬、钯、钨、镍及铂等,以发挥电性传导并可支撑的目的。各该导电结构 51a 及 51b 通过该第一端部区域 55,以该第一表面 57 与该主动面 53 电性连接,并沿该芯片 50 的其中一端面 52a 及 52b,弯折至该非主动面 54 上。在本实施例中,芯片 50 的主动面 53 上具有多个衬垫 59,导电结构 51a 及 51b 即通过这些衬垫,电性连结至芯片 50。因此,导电结构 51a 及 51b 可具有细指状的外形,以对应这些衬垫的分布。

[0075] 请继续参考图 5,本实施例中的导电结构 51a 及 51b 是一导线架 (Lead frame),但在其它实施例中可为一可挠性基板,但并不以此材料为限,例如其它电路板材料亦可作为导电结构 51a 及 51b 的材料,以发挥电性传导的目的。借此该芯片 50 的第二端部区域 56,适可通过该第二表面 58,与该另一芯片封装单元 6 的相对应导电结构 62a 及 62b 的一第二表面 63 呈电性连接,其详细内容于图 6 说明。需更进一步说明的是芯片封装单元 5 的多个第一连接件 60 形成于各该第一端部区域 55,以使该芯片 50 的该主动面 53 通过这些第一连接件 60 与该导电结构 51a 及 51b 的该第一表面 57 电性连接。本实施例中各该第一连接件 60 是一平板式锡球,可利用一次涂布或者转印的方式将平板式锡球形成于各该第一端部区域 55。第一连接件 60 的材料并不限定为平板式锡球,例如其它方式形成的锡球,或者其它可导电材料,以发挥电性传导并可连接第一连接件 60 与主动面 53 的目的。

[0076] 图 6 是本发明芯片封装单元 5 与另一基本相同结构的芯片封装单元 6 进行电性堆迭的另一实施例示意图,通过弯折后的芯片封装单元 5 与另一基本相同结构的芯片封装单元 6 进行电性堆迭。详细而言,其堆迭方式为芯片封装单元 5 的多个第二连接件 61,形成于

各该第二端部区域 56, 以使芯片封装单元 5 通过这些第二连接件 61 与该另一芯片封装单元 6 的相对应导电结构 62a 及 62b 的该第二表面 63 呈电性连接。本实施例中的芯片封装单元 5, 该第二连接件 61 是一平板式锡球, 可用以作为二芯片封装单元堆迭时的连接材料, 如同前述, 平板式锡球并非作为本发明的限制。

[0077] 该芯片封装单元 5 还包含多个第一支撑件 64, 形成于各该导电结构 51a 及 51b 的该第二端部 56 与该芯片 50 的该非主动面 54 之间。此第一支撑件 64 可用来支持此实例中的导电结构 51a 及 51b。需说明的是堆迭后的该芯片封装单元 5 可设于一印刷电路板 65 上并与其电性连接。且各该芯片封装单元 5 的各该导电结构 51a 及 51b 是设计为具有 50 欧姆, 可与其它电路作阻抗匹配, 设计 50 欧姆阻抗匹配的方法与结构并非本发明的重点, 在此不再多作说明。

[0078] 图 7 是本发明另一芯片封装单元 7 的结构的另一实施例示意图, 该芯片封装单元 7 包含一可挠性基板 70, 其具有一第一表面 73 及与该第一表面 73 相对的一第二表面 74, 第一表面 73 及第二表面 74 上, 各形成有一图案化导电层, 借此, 二导电结构可分别形成于该可挠性基板 70 的两侧。芯片封装单元 7 可为一微间距锡球阵列封装, 其优点如同前述, 在此不再赘述。

[0079] 以左侧的导电结构 70a 为例, 其具有一第一端部区域 71 与相对的一第二端区域 72、第一表面 73 及第二表面 74。该导电结构 70a 通过该第一端部区域 71, 以该第一表面 73 与该芯片 75 的主动面 78 电性连接。该可挠性基板 70 并沿该芯片 75 的二端面 77a 及 77b, 分别弯折至该主动面 78 上。在本实施例中, 芯片 75 的主动面 78 上具有多个衬垫 79, 导电结构 70a 即通过这些衬垫 79, 电性连结至芯片 75。

[0080] 请继续参考图 7, 芯片封装单元 7 还包含多个第一连接件 80, 形成于各该第一表面 73 上, 通过该多个第一连接件 80 与该导电结构 70a 电性连接, 并可在可挠性基板 70 与芯片 75 之间注入芯片粘着材料来固接该可挠性基板 70 与该芯片 75。在此实施例中各该第一连接件 80 是一平板式锡球, 其优点如同前述, 在此不在赘述。芯片封装单元 7 亦包含多个第一支撑件 84, 以导电结构 70a 为例, 第一支称件 84 形成于导电结构 70a 的第二端部 72 与芯片 75 的非主动面 76 之间。

[0081] 图 8 是本发明另一芯片封装单元 7 与另一基本相同结构的芯片封装单元 8 进行电性堆迭的另一实施例示意图。其堆迭方式为弯折后的导电结构 70a 适可通过该第二表面 74, 与该另一芯片封装单元 8 的相对应导电结构 81 的一第二表面 82 呈电性连接。进一步说明此实施例中芯片封装单元 7 及 8 间的电性连接方式, 是通过多个第二连接件 83, 形成于第二表面 74 上, 以使芯片封装单元 7 通过这些第二连接件 83, 与该另一芯片封装单元 8 的相对应导电结构 81 的该第二表面 82 呈电性连接。芯片封装单元 7 中, 各该第二连接件 83 是一平板式锡球, 其优点如同前述, 在此不在赘述。

[0082] 堆迭后的该芯片封装单元 7 可设于一印刷电路板 85 上并与其电性连接。在此实施例中该导电结构 70a 是设计为具有 50 欧姆阻抗匹配, 可与其它电路作阻抗匹配, 设计 50 欧姆阻抗匹配的方法与结构并非本发明的重点, 在此不再多作说明。

[0083] 图 9 是本发明另一芯片封装单元 9 的结构的另一实施例示意图。与前述实施例的主要差异之处在于芯片封装单元 9 的芯片是一晶粒 90。需注意的是, 以导电结构 91 为例, 适应制造过程需要, 在导电结构 91 弯折包覆晶粒 90 前, 可利用在晶粒 90 的焊垫 92 上使用

无电镀镍金工艺技术,形成多个第一连接件 93,再由导电结构 91 弯折包覆成一芯片封装单元 9。

[0084] 通过前述揭露的芯片封装单元,使用导线架与可挠性基板作为电性连接的中介层,在工艺上不需做太大改变,可避免制造成本的增加。

[0085] 本发明于芯片封装单元使用一微间距锡球阵列封装,其可适用于芯片级封装(Chip Scale Package),与先前技术相较之下,该芯片封装单元面积较小,且芯片的引脚尺寸也较小。一般传统芯片封装单元,在堆迭时容易造成封装结构内部散热不良。针对散热问题,本发明在芯片封装单元堆迭后可在最上方放置一散热装置以帮助散热。

[0086] 在先前技术中,该芯片封装单元的堆迭结构用焊点凸块来作为电性连接使该芯片封装单元的堆迭结构具有较厚的厚度,而本发明使用在微间距锡球阵列封装技术的芯片封装单元厚度相对变薄。其主要在电性接合处采用平板式锡球,克服先前技术焊点凸块的缺点,相对减少芯片封装单元的堆迭厚度。同时焊点凸块在接点处容易造成裂缝,导致品质成本增加。本发明平板式锡球较先前技术不容易发生裂缝。

[0087] 上述的实施例仅用来例举本发明的实施态样,以及阐释本发明的技术特征,并非用来限制本发明的保护范畴。任何熟悉此技术者可轻易完成的改变或均等性的安排均属于本发明所主张的范围,本发明的权利保护范围应以本申请权利要求范围为准。

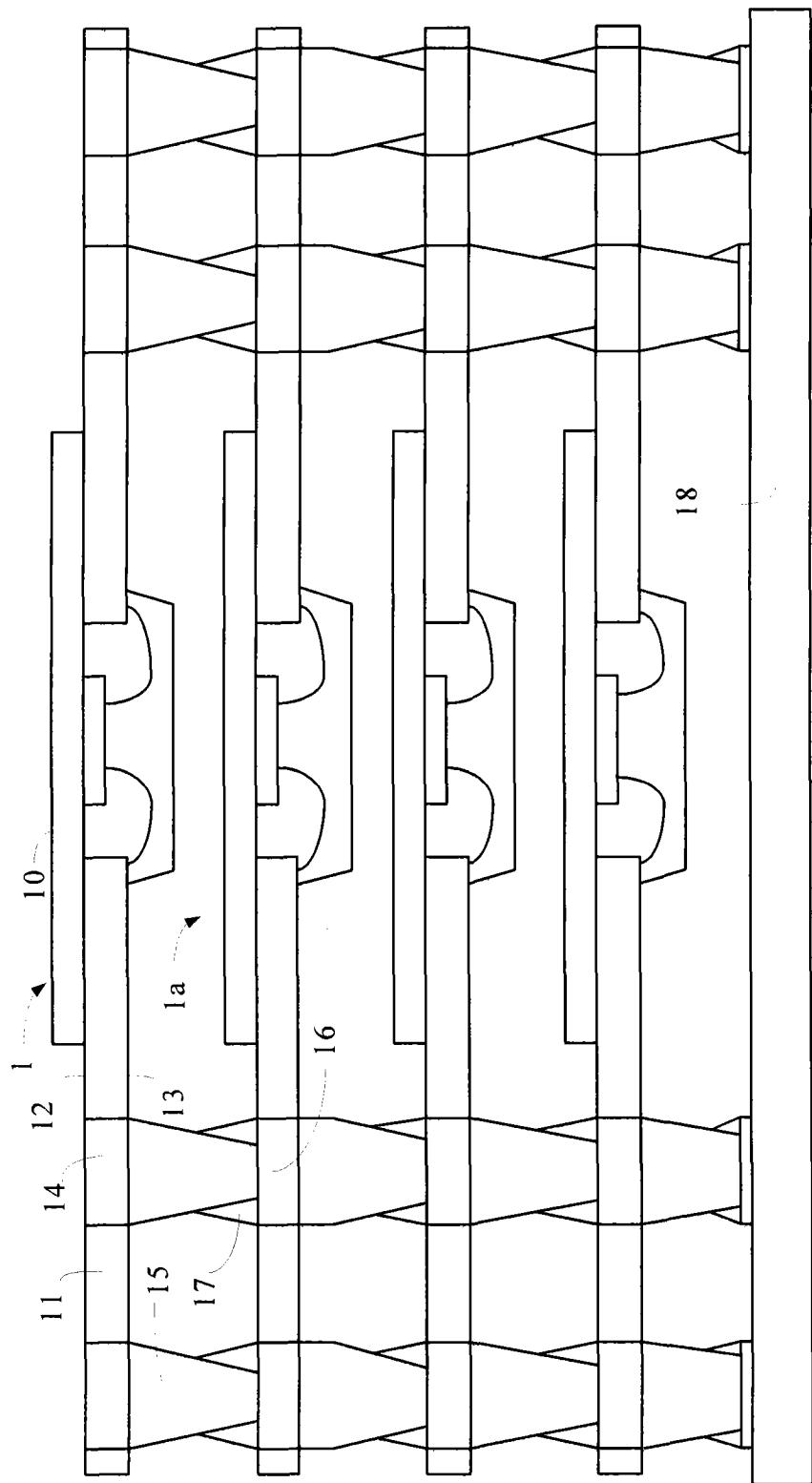


图 1

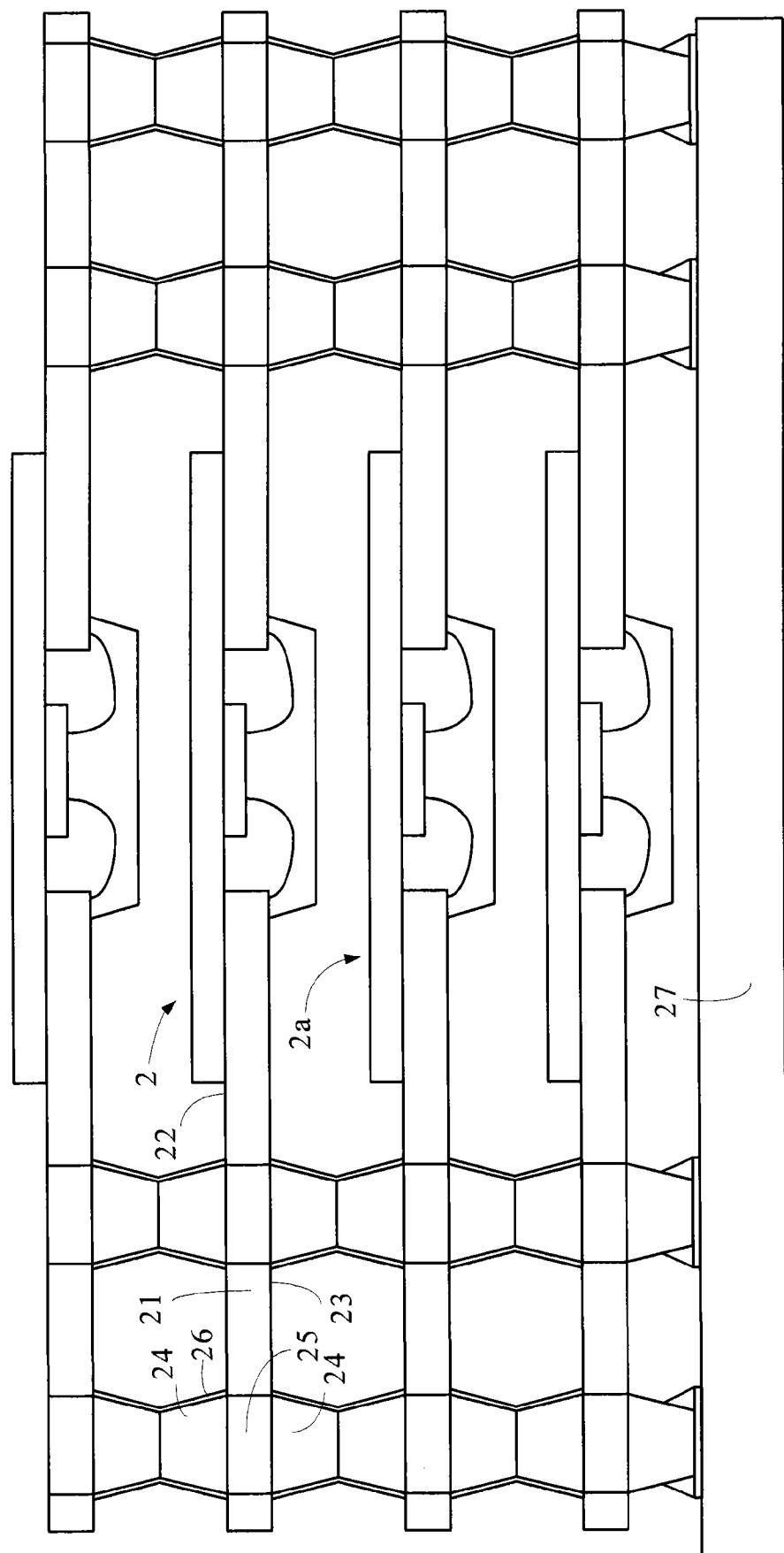


图 2

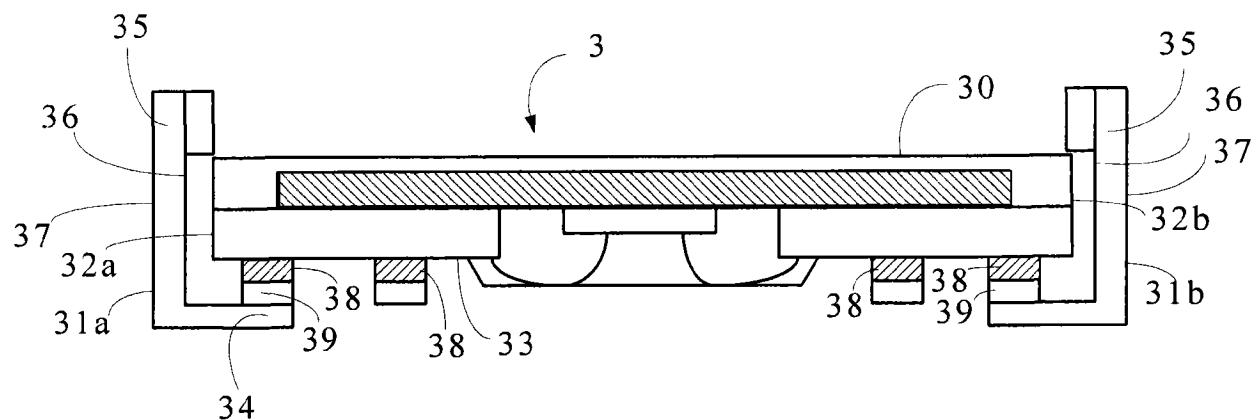


图 3

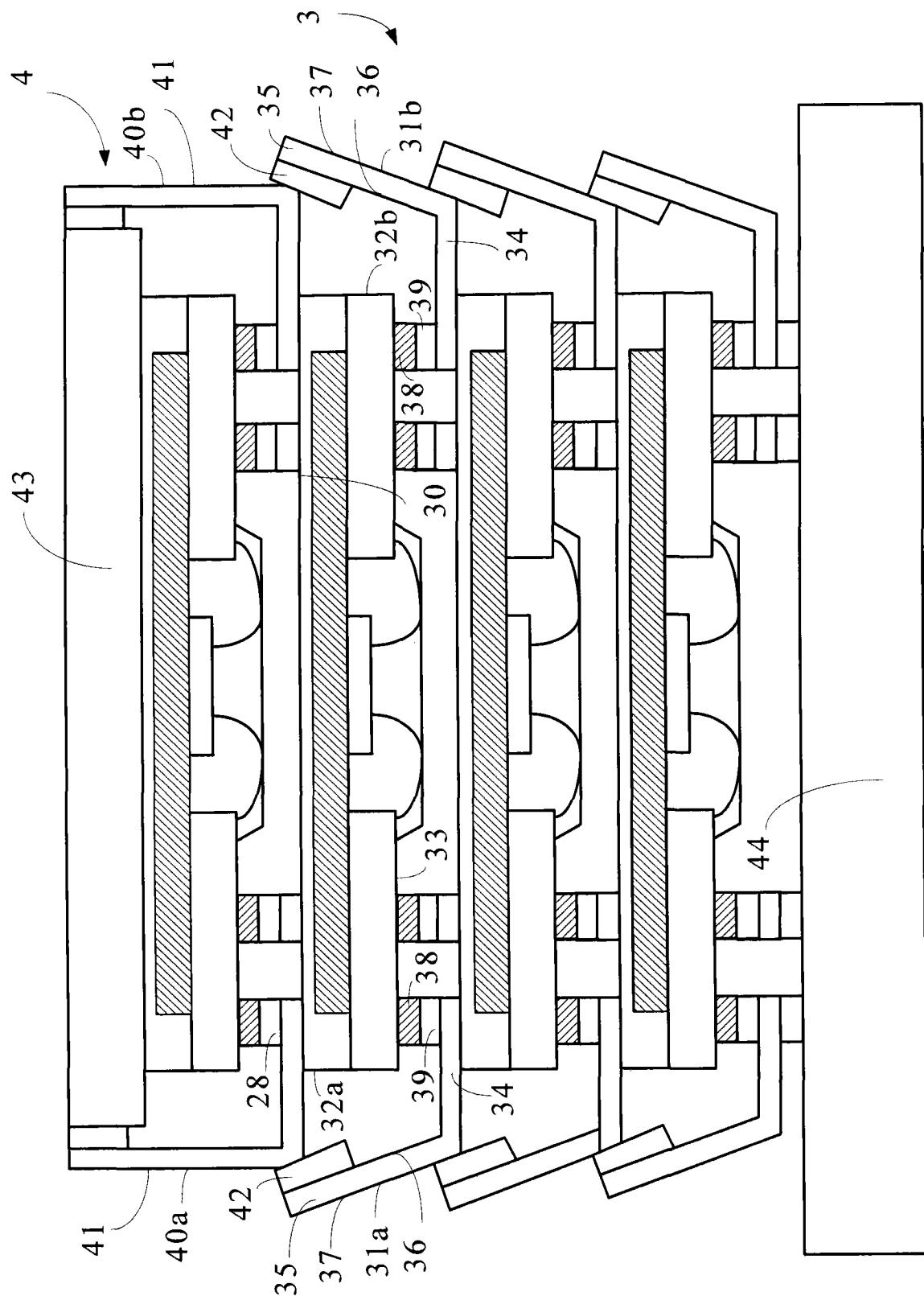


图 4

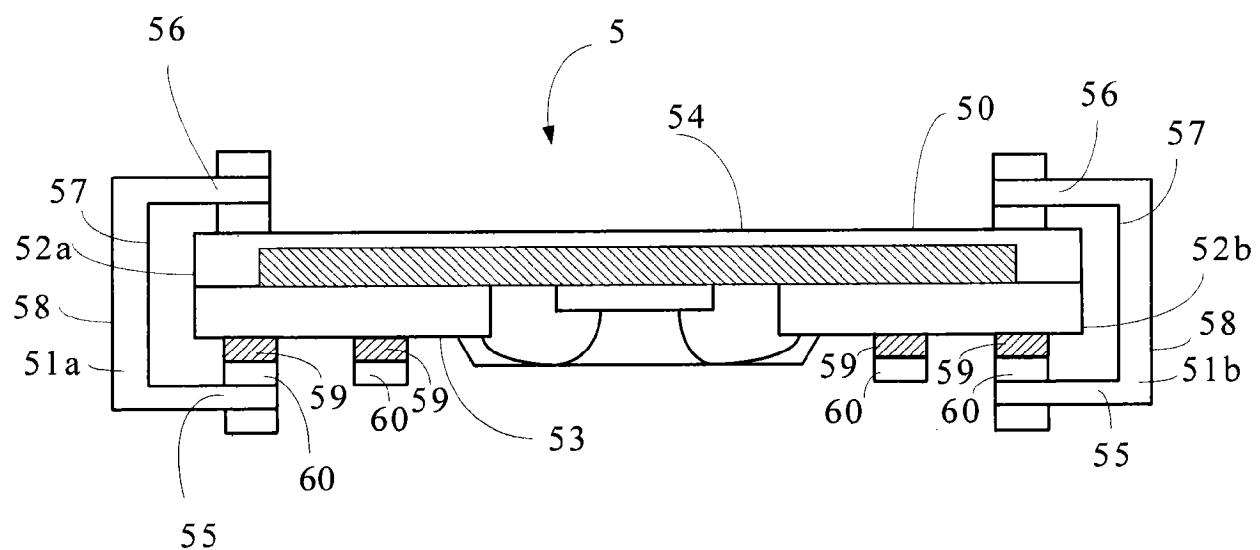


图 5

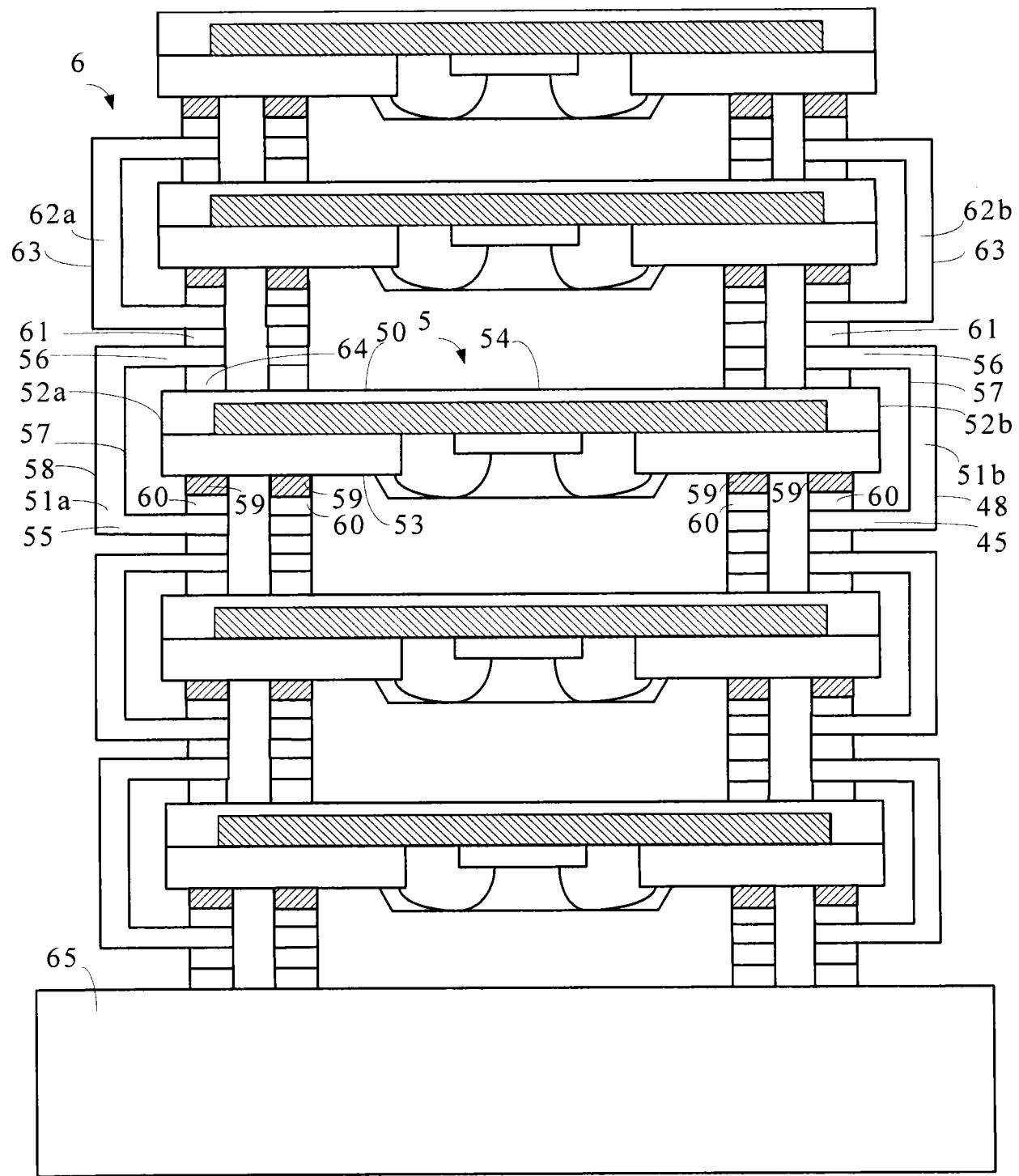


图 6

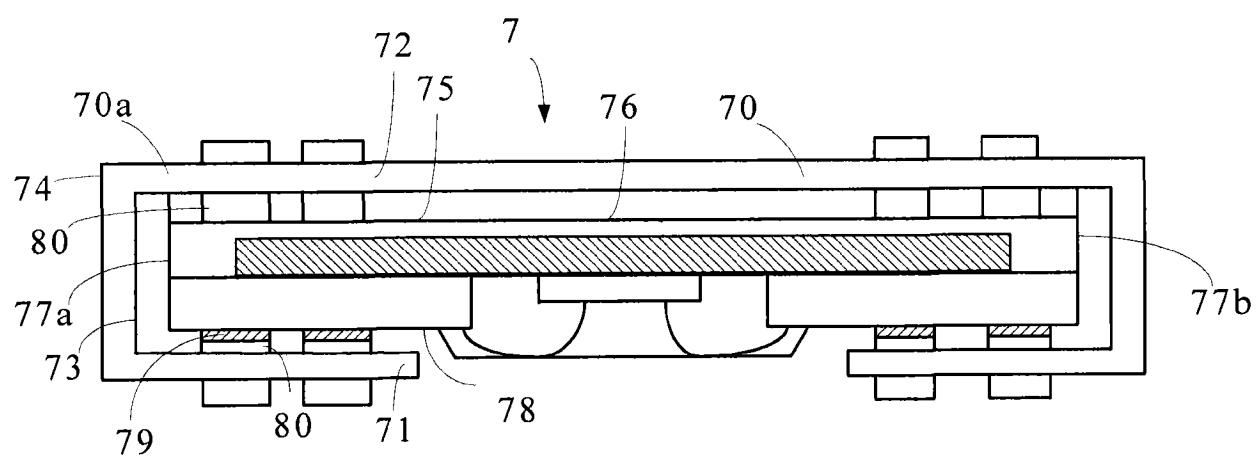


图 7

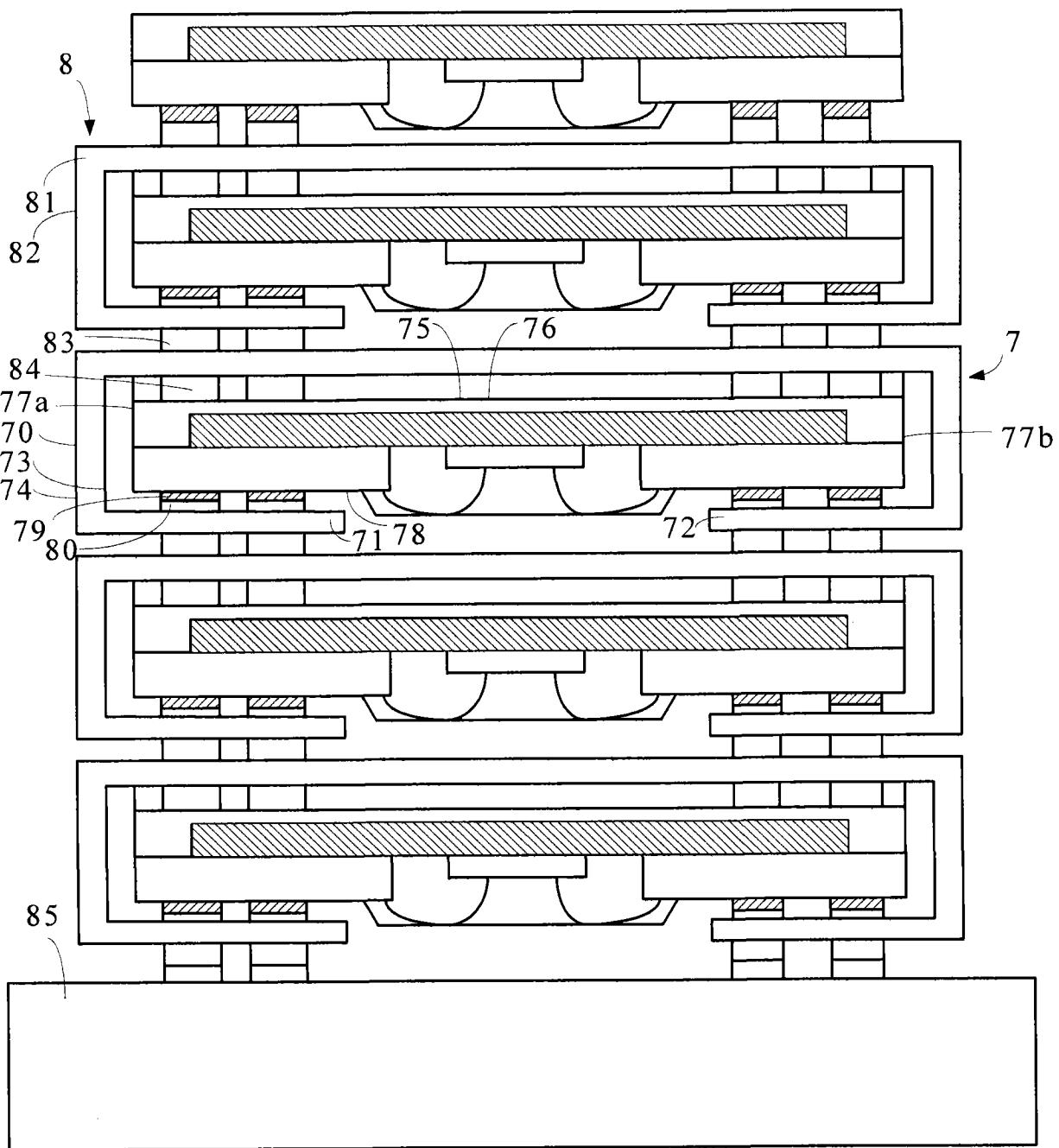


图 8

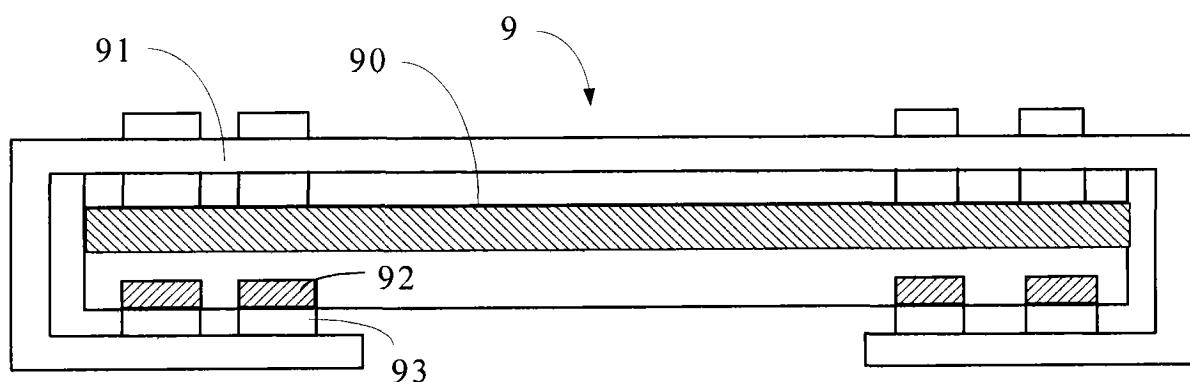


图 9