



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년05월08일
 (11) 등록번호 10-1142555
 (24) 등록일자 2012년04월26일

(51) 국제특허분류(Int. Cl.)
 H01L 29/812 (2006.01) H01L 21/335 (2006.01)
 (21) 출원번호 10-2006-7026207
 (22) 출원일자(국제) 2005년04월21일
 심사청구일자 2010년04월14일
 (85) 번역문제출일자 2006년12월13일
 (65) 공개번호 10-2007-0007967
 (43) 공개일자 2007년01월16일
 (86) 국제출원번호 PCT/US2005/013725
 (87) 국제공개번호 WO 2005/114747
 국제공개일자 2005년12월01일
 (30) 우선권주장
 10/958,945 2004년10월04일 미국(US)
 60/571,342 2004년05월13일 미국(US)
 (56) 선행기술조사문헌
 US06686616 B1
 US20020137318 A1
 US06445038 B1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
크리, 인코포레이티드
 미국 노스 캐롤라이나 27703 더럼 실리콘 드라이브 4600
 (72) 발명자
우 유이팽
 미국 캘리포니아주 93117 골레타 파이어사이드 레인 528
패리크 프리밋
 미국 캘리포니아주 93117 골레타 새도우브룩 드라이브 6832
 (뒷면에 계속)
 (74) 대리인
신정건, 송승필

전체 청구항 수 : 총 16 항

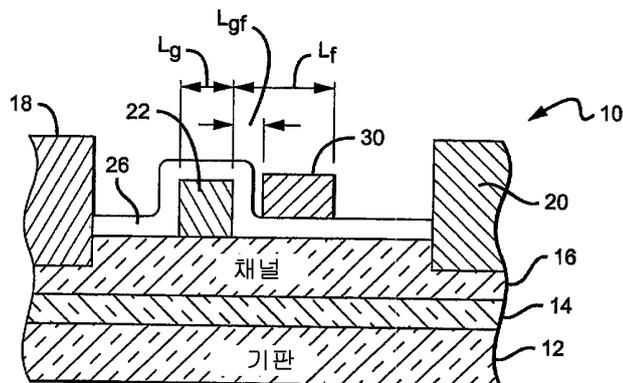
심사관 : 이상호

(54) 발명의 명칭 **소스 접속된 필드 플레이트를 가진 광폭 대역갭 전계 효과트랜지스터**

(57) 요약

본 발명은 기판(12) 상에 연속적으로 형성된 버퍼와 채널층(16)을 포함하는 전계 효과 트랜지스터에 관한 것이다. 소스 전극(18), 드레인 전극(20), 및 게이트(22)는 모두 채널층에 전기적으로 접속된 상태로 형성되는데, 게이트는 소스 전극과 드레인 전극 사이에 위치하고 있다. 스페이서층(26)은 게이트와 드레인 전극 사이의 채널층의 표면의 적어도 일부 상에 형성되고, 필드 플레이트(30)는 게이트와 채널층으로부터 분리된 스페이서층 상에 형성된다. 스페이서층은 적어도 하나의 도전성 경로에 의해 소스 전극과 전기적으로 접속되고, 필드 플레이트는 MESFET의 피크 동작 전계를 감소시킨다.

대표도 - 도2



(72) 발명자

미사라 유메쉬

미국 캘리포니아주 93108 몬테시토 크랙사이드 로
드 2040

무어 마르시아

미국 캘리포니아주 93101 산타 바바라 웨스트 발레
리오 스트리트1438

특허청구의 범위

청구항 1

금속 반도체 전계 효과 트랜지스터(metal semiconductor field effect transistor; MESFET)에 있어서,
 버퍼층;
 상기 버퍼층 상의 채널층;
 상기 채널층과 전기적으로 접촉하는 소스 전극;
 상기 채널층과 전기적으로 접촉하는 드레인 전극;
 상기 소스 전극과 상기 드레인 전극 사이에서 상기 채널층과 전기적으로 접촉하는 게이트;
 상기 게이트와 상기 드레인 전극 사이 및 상기 게이트와 상기 소스 전극 사이에서 상기 채널층의 적어도 일부 위에 형성되는 스페이서층; 및
 상기 채널층 및 상기 게이트로부터 전기적으로 분리되어 상기 스페이서층 상에 형성되는 필드 플레이트
 를 포함하고,
 상기 필드 플레이트는 적어도 하나의 도전성 경로에 의해 상기 소스 전극에 전기적으로 접속되는 것이고, 상기 적어도 하나의 도전성 경로 각각은 상기 스페이서층 상에 형성되며 상기 게이트와 상기 소스 전극 사이의 상기 스페이서층의 표면을 전부 덮지는 않는 것인 금속 반도체 전계 효과 트랜지스터.

청구항 2

제1항에 있어서, 상기 필드 플레이트는 상기 스페이서층 상에서 상기 게이트의 에지(edge)로부터 상기 드레인 전극을 향하여 거리 L_1 만큼 연장되어 있는 것인 금속 반도체 전계 효과 트랜지스터.

청구항 3

제1항에 있어서, 상기 스페이서층은 상기 게이트를 적어도 부분적으로 덮고, 상기 필드 플레이트는 상기 게이트와 적어도 부분적으로 중첩하며 상기 스페이서층 상에서 상기 게이트의 에지로부터 상기 드레인 전극을 향하여 거리 L_1 만큼 연장되어 있는 것인 금속 반도체 전계 효과 트랜지스터.

청구항 4

제1항에 있어서, 상기 적어도 하나의 도전성 경로는 상기 필드 플레이트와 상기 소스 전극 사이에서 뻗어나오며, 상기 도전성 경로 각각은 상기 스페이서층의 외부로 뻗어나가며 상기 필드 플레이트와 상기 소스 전극과의 전기적 접속을 제공하는 것인 금속 반도체 전계 효과 트랜지스터.

청구항 5

제1항에 있어서, 상기 스페이서층은 상기 게이트와 상기 소스 전극 사이에서 상기 채널층의 표면 상에 또한 형성되는 것인 금속 반도체 전계 효과 트랜지스터.

청구항 6

제5항에 있어서, 상기 적어도 하나의 도전성 경로는 상기 스페이서층 위에서 상기 필드 플레이트와 상기 소스 전극 사이에서 뻗어나오며, 상기 필드 플레이트와 상기 소스 전극과의 전기적 접속을 제공하는 것인 금속 반도체 전계 효과 트랜지스터.

청구항 7

제1항에 있어서, 상기 스페이서층은 유전체 재료 또는 유전체 재료의 다중(multiple) 층들을 포함하는 것인 금속 반도체 전계 효과 트랜지스터.

청구항 8

제1항에 있어서, 상기 게이트는 감마(gamma) 형상인 것인 금속 반도체 전계 효과 트랜지스터.

청구항 9

제1항에 있어서, 상기 게이트는 상기 채널층에서 적어도 부분적으로 함몰(recess)되는 것인 금속 반도체 전계 효과 트랜지스터.

청구항 10

전계 효과 트랜지스터에 있어서,

버퍼층 및 채널층을 포함하는 활성 영역;

소스 전극, 드레인 전극 및 게이트 - 상기 소스 전극, 상기 드레인 전극 및 상기 게이트는 모두 상기 채널층과 전기적으로 접촉하고, 상기 게이트는 상기 소스 전극과 상기 드레인 전극 사이에 있음 -;

상기 게이트와 상기 드레인 전극 사이에서 상기 채널층의 적어도 일부 표면 상에 형성되는 스페이서층; 및

상기 게이트와 상기 채널층으로부터 전기적으로 분리되어 상기 스페이서층 상에 형성되고, 적어도 하나의 도전성 경로에 의해 상기 소스 전극에 전기적으로 접속되는 필드 플레이트

를 포함하고,

상기 필드 플레이트는 상기 게이트와 상기 소스 전극 사이에서 상기 스페이서층의 표면을 전부 덮지는 않으며, 상기 필드 플레이트는 상기 트랜지스터에서 피크 동작 전계(electric field)를 감소시키는 것인 전계 효과 트랜지스터.

청구항 11

제10항에 있어서, 상기 피크 동작 전계의 감소는 상기 트랜지스터의 항복 전압(breakdown voltage)을 증가시키는 것인 전계 효과 트랜지스터.

청구항 12

제10항에 있어서, 상기 피크 동작 전계의 감소는 상기 트랜지스터에서 전자 포획(trapping)을 감소시키는 것인 전계 효과 트랜지스터.

청구항 13

제10항에 있어서, 상기 피크 동작 전계의 감소는 상기 트랜지스터의 누설 전류를 감소시키는 것인 전계 효과 트랜지스터.

청구항 14

제10항에 있어서, 상기 스페이서층은 유전체 재료 또는 유전체 재료의 다중 층들을 포함하는 것인 금속 반도체 전계 효과 트랜지스터.

청구항 15

금속 반도체 전계 효과 트랜지스터(MESFET)에 있어서,

버퍼층 및 채널층을 포함하는 활성층들;

소스 전극, 드레인 전극 및 게이트 - 상기 소스 전극, 상기 드레인 전극 및 상기 게이트는 모두 상기 채널층과 전기적으로 접촉하고, 상기 게이트는 상기 소스 전극과 상기 드레인 전극 사이에 있음 -;

상기 게이트의 에지로부터 상기 드레인 전극을 향하여 거리 L_1 만큼 연장되어있으며, 스페이서층에 의해 상기 게이트와 상기 활성층들로부터 전기적으로 분리되어 있는 필드 플레이트; 및

상기 필드 플레이트를 상기 소스 전극에 전기적으로 접속시키는 적어도 하나의 도전성 경로

를 포함하고,

상기 적어도 하나의 도전성 경로 각각은 상기 게이트와 상기 소스 전극 사이에서 상기 트랜지스터의 최상부면 상에 형성되며 상기 트랜지스터의 최상부면을 전부 덮지는 않는 것이고, 상기 도전성 경로 각각은 스페이서층에 의해 상기 활성층들로부터 분리되어 있는 것인 금속 반도체 전계 효과 트랜지스터.

청구항 16

트랜지스터에 있어서,

채널을 갖는 활성 영역;

소스 전극, 드레인 전극 및 게이트 - 상기 소스 전극, 상기 드레인 전극 및 상기 게이트는 모두 상기 활성 영역과 전기적으로 접촉하고, 상기 게이트는 상기 활성 영역 상의 상기 소스 전극과 상기 드레인 전극 사이에 있음 - ;

상기 게이트와 상기 드레인 전극 사이에서 상기 활성 영역의 적어도 일부 위에 형성되는 스페이서층; 및
상기 활성 영역과 상기 게이트로부터 전기적으로 분리되어 상기 스페이서층 상에 형성되는 필드 플레이트를 포함하고,

상기 필드 플레이트는 상기 활성 영역에 의해 덮이며 상기 활성 영역 위에는 형성되지 않는 영역의 외부로 뻗어 나가는 적어도 하나의 도전성 경로에 의해 상기 소스 전극에 전기적으로 접속되는 것이고,

상기 필드 플레이트는 상기 게이트의 에지로부터 상기 드레인 전극을 향하여 측정되는 거리 L_{gf} 에서 시작하여, 상기 게이트의 에지로부터 상기 드레인 전극을 향하여 측정되는 거리 L_f 만큼 상기 스페이서층 상에서 연장되어 있는 것인 트랜지스터.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

명세서

기술분야

[0001] 이 출원은 Wu 등에 의해 2004년 5월 13일자로 출원된 미국 가 특허 출원 번호 제60/571,342호의 우선권 주장에 기초하고 있다.

[0002] 본 발명은 트랜지스터에 관한 것으로, 보다 구체적으로는 필드 플레이트(field plate)를 이용하는 전계 효과 트랜지스터(FET; field effect transistor)에 관한 것이다.

배경기술

[0003] AlGaIn/GaN 반도체 재료의 제조시에는 다수의 개선점들이 고주파수, 고온 및 고전력 애플리케이션용 고전자 이동도 트랜지스터(HEMT)와 같은 AlGaIn/GaN 트랜지스터의 개발을 촉진하도록 지원되고 있다. 이 AlGaIn/GaN 트랜지스터는 큰 대역폭, 높은 피크치 및 포화 전자(saturation electron) 속도 값을 가진다[B. Galmont, K. Kim 과 M. Shur, Monte Carlo simulation of Electron Transport Gallium Nitride, J.Appl.phys. 74, (1993), pp.1818-1821, 을 참조한다].

[0004] 전자 포획(trapping) 및 그에 따른 DC 특성과 RF 특성 간의 차이는 이들 장치의 성능을 제한하는 인자였다. 질화 실리콘(SiN) 패시베이션은 이러한 포획 문제를 완화시키기 위해 성공적으로 사용되었으며, 그 결과 10 GHz에서 10 W/mm를 초과하는 전력 밀도를 갖는 고성능 장치가 얻어졌다. 예를 들어, 그 전체 내용이 참고로 본원 명세서에 통합되어 있는 미국 특허 제6,586,781호는 GaN계 트랜지스터에서의 포획 효과를 감소시키기 위한 방법 및 구조를 개시하고 있다. 그러나, 이들 구조에 존재하는 높은 전계로 인하여, 전하 포획에는 여전히 문제가 될 수 있다.

[0005] 필드 플레이트(FP)는 마이크로파 주파수에서 GaN계 HEMT의 성능을 강화하기 위해서 사용되고 있다[S Kamalkar 및 U.K Mishra의 "Very High Voltage AlGaIn/GaN High Electron Mobility Transistors Using a Field Plate Deposited on a Stepped Insulator, Solid State Electronics 45, (2001), pp. 1645-1662 참조]. 그러나, 이러한 접근 방법에서는 트랜지스터의 게이트에 접속된 필드 플레이트를 포함하고, 상기 필드 플레이트는 채널의 드레인층의 상부에 위치하고 있다. 이것은 드레인 커패시턴스에 상당한 필드 플레이트를 초래하게 되고, 게이트에 접속된 필드 플레이트에는 추가적으로 게이트 드레인 커패시턴스(C_{gd})를 장치에 부가하고 있다. 이것은 이득을 감소시킬 뿐만 아니라, 열악한 입출력 절연(input-output isolation)으로 인하여 불안전성을 야기시킬 수도 있다.

발명의 상세한 설명

[0006] 본 발명은 소스 전극에 접속되어 있는 필드 플레이트를 가진 개선된 전계 효과 트랜지스터를 제공한다. 본 발명에 따른 전계 효과 트랜지스터의 일 실시예는 금속 반도체 전계 효과 트랜지스터(metal semiconductor field effect transistor, MESFET)를 포함하며, 이는 기판 상에 버퍼층과 이 버퍼층 상에 채널층을 포함하며, 이 버퍼층은 기판과 채널층 사이에 개재(sandwiched)되어 있다. 소스 전극은 상기 복수의 채널층과 전기적으로 접촉한 상태로 포함되며, 드레인 전극도 상기 채널층에 전기적으로 접촉된 상태로 포함된다. 게이트는 소스 전극과 드레인 전극 사이에서 채널층과 전기적으로 접촉된 상태로 포함된다. 스페이서층(spacer layer)은 상기 게이트와

드레인 전극 사이에서 채널층의 적어도 일부 상에 형성된다. 필드 플레이트는 스페이서층 상에 형성되고 채널층과 게이트로부터 전기적으로 분리되며, 필드 플레이트는 적어도 하나의 도전성 경로에 의해 소스 전극과 전기적으로 접속된다.

[0007] 본 발명에 따른 전계 효과 트랜지스터의 다른 실시예는 기판 상에 연속적으로 형성되는 버퍼 층과 채널층을 포함한다. 소스 전극, 드레인 전극 및 게이트 전극 모두는 채널층에 전기적으로 접촉된 상태로 형성되고, 게이트는 소스 전극과 드레인 사이에 형성된다. 스페이서층은 게이트와 드레인 전극 사이의 채널층의 적어도 일부의 표면 상에 형성되고, 필드 플레이트는 게이트와 채널층으로부터 분리되는 스페이서층 상에 개별적으로 형성된다. 스페이서층은 적어도 하나의 도전성 경로에 의해 소스 전극에 전기적으로 접속되고, 상기 필드 플레이트는 트랜지스터 내의 피크 동작 전계를 감소시킨다.

[0008] 본 발명에 따른 트랜지스터의 다른 실시예는 기판 상에 연속적으로 형성되는 버퍼층과 채널층을 갖는 MESFET를 포함한다. 소스 전극, 드레인 전극, 게이트 전극 모두는 채널층에 전기적으로 접촉된 상태로 형성되며, 상기 게이트는 소스 전극과 드레인 전극 사이에 형성된다. 필드 플레이트는 게이트의 에지로부터 드레인 전극으로 거리 L_f 만큼 뺀어있고, 필드 플레이트는 게이트와 활성층으로부터 절연되어 있다. 적어도 하나의 도전성 경로는 필드 플레이트를 소스 전극에 전기적으로 접속시키고, 적어도 하나의 도전성 경로는 게이트와 소스 전극 사이의 최상 위면의 적어도 모두를 덮는다.

[0009] 본 발명에 따른 트랜지스터의 다른 실시예는 채널을 갖는 활성 영역을 포함한다. 소스 전극, 드레인 전극 및 게이트 전극 모두는 채널층에 전기적으로 접속되고, 게이트는 활성 영역 상에 소스 전극과 드레인 전극 사이에 있다. 스페이서층은 게이트와 드레인 전극 사이의 활성 영역의 적어도 일부 상에 형성된다. 필드 플레이트는 스페이서층 상에 형성되고 활성 영역 및 게이트와 절연되어 있으며, 필드 플레이트는 적어도 하나의 도전성 경로에 의해 소스 전극과 전기적으로 접속된다. 필드 플레이트는 게이트의 에지로부터 드레인 전극 쪽으로 측정된 거리 L_f 만큼 뺀어 있다.

[0010] 본 발명의 이들 및 다른 추가의 특징 및 이점은 첨부 도면을 참조하여 기술되어 있는 이하의 상세한 설명으로부터 당업자에게는 명백하게 될 것이다.

실시예

[0017] 본 발명에 따른 필드 플레이트(field plate) 구성은 많은 여러가지 트랜지스터 구조에서 사용될 수 있다. 광폭 대역갭 트랜지스터 구조는 일반적으로 활성 영역과, 이 활성 영역과 전기적으로 접촉하여 형성되어 있는 금속 소스 및 드레인 전극과, 상기 활성 영역 내에서의 전계를 변조시키기 위해 소스 접점과 드레인 전극 사이에 형성되어 있는 게이트 전극을 포함한다. 스페이서층(spacer layer)은 활성 영역 상부에 형성되어 있다. 스페이서층은 유전체층 또는 다수의 유전체층의 조합을 포함할 수 있다. 도전성 필드 플레이트는 스페이서층 상부에 형성되고 게이트 전극의 에지로부터 드레인 전극쪽으로 거리 L_f 만큼 뺀어 있다.

[0018] 필드 플레이트는 소스 전극에 전기적으로 접속될 수 있다. 이러한 필드 플레이트 구성은 장치에서의 피크 전계를 감소시킬 수 있으며, 그 결과 항복 전압(breakdown voltage)이 증가되고 포획(trapping)이 감소된다. 전계의 감소는 또한 누설 전류 감소 및 신뢰성 향상 등의 다른 이점을 가져올 수 있다. 필드 플레이트가 소스 전극에 전기적으로 접속됨으로써, 게이트를 필드 플레이트에 접속시켜서 발생하는 이득의 감소 및 불안정성을 감소시킨다. 본 발명에 따라 배치하는 경우, 소스 접속 필드 플레이트의 실드 효과는 C_{gd} 를 감소시킬 수 있고, 입출력 분리를 강화한다.

[0019] 본 발명에 따른 필드 플레이트 구성을 이용할 수 있는 한가지 유형의 트랜지스터는 전계 효과 트랜지스터와 특히 금속 반도체 전계 효과 트랜지스터(MESFET)이며, 이는 일반적으로 버퍼층 및 이 버퍼층 상의 채널층을 포함한다. 게이트 전극은 소스 전극과 드레인 전극 사이의 채널층 상에 형성된다.

[0020] 본 발명에 따르면, 필드 플레이트가 채널층과 전기적으로 분리되는 스페이서층 상에 형성되도록, 스페이서층이 게이트와 드레인 전극 사이의 채널층의 적어도 일부를 덮도록 채널층 상에 형성된다. 다른 실시예에서 게이트와 채널층으로부터 전기 절연 상태를 유지하는 동안 필드 플레이트가 게이트와 중첩되도록, 스페이서층이 게이트의 전체 또는 일부를 덮을 수도 있다. 바람직한 실시예에서 스페이서층은 게이트와, 게이트와 소스 및 드레인 전극 사이의 장벽층의 표면을 덮는다. 스페이서층은 하나의 유전체층 또는 다수의 유전체층의 조합을 포함할 수 있다. 아래에 더 설명한 바와 같이 SiN, SiO₂, Si, Ge, MgOx, MgNx, ZnO, SiNx, SiOx, 합금 또는 이들의 층 순

서 또는 에피택셜 재료와 같은 상이한 유전체 재료들이 사용될 수 있다.

- [0021] 도전성 필드 플레이트는 스페이서층 상에 형성되고 게이트의 에지로부터 드레인 전극쪽으로 측정된 거리 L_1 만큼 뻗어있으며, 필드 플레이트와 게이트는 일반적으로 분리 증착 단계 동안 형성된다. 필드 플레이트는 일반적으로, 다른 방법으로 배치된 도전성 경로에 의해 소스 전극에 전기적으로 접속된다.
- [0022] 소자 또는 층이 다른 소자 또는 층과의 관계에서 "위에(on)", "접속되고(connected to)", "연결되고(coupled to)", 또는 "~와 접속된 상태로(in contact with)" 등으로 언급되는 경우, 그것은 다른 소자 또는 층과 관계에서 직접 위에, 접속되거나, 연결되거나, 또는 접속된 상태 일 수도 있고, 또는 중간 소자나 층이 존재할 수도 있는 것임을 알 수 있을 것이다. 반대로, 소자가 다른 소자 또는 층과의 관계에서 "직접 위에(directly on)", "직접 접속되고(directly connected to)", "직접 연결되고(directly coupled to)", "직접 접속된 상태로 있고(directly in contact with)"로서 언급되는 경우는, 중간 소자 또는 중간층이 존재하지 않고, 제1 소자 또는 제1 층이 제2 소자 또는 제2 층과 "전기적으로 접속되고(in electrical contact with)" 또는 "전기적으로 연결되고(electrically coupled to)"로서 언급되는 경우는, 제1 소자 또는 제1 층과, 제2 소자 또는 제2 층 사이에 전류가 흐르게 하는 전기적인 경로를 의미한다. 전기적인 경로는 커패시터, 연결된 인덕터 및/또는 도전성 소자 사이에서 직접적인 접촉이 없을 때에도 전류가 흐르도록 하는 다른 소자를 포함할 수도 있다.
- [0023] 도 1 및 도 2는 바람직하게 MESFET(10)가 탄화 규소계인 다수의 상이 반도체 재료 시스템으로 제조될 수 있는 본 발명에 따른 MESFET(10)의 일 실시예를 나타낸 도면이다. MESFET(10)는 탄화 규소의 성장을 지원할 수 있는 다수의 상이한 재료로 이루어질 수 있는 기판(12)을 포함한다. 바람직한 기판 재료는 탄화 규소이고, 일부 실시예에서, 기판(12)은 미국 노스캐롤라이나주의 더햄(Durham)에 소재하는 크리 인코포레이티드로부터 입수가 가능한 반절연성(semi-insulating) 4H-SiC를 포함할 수 있다.
- [0024] MESFET(10)는 버퍼 상에 형성된 탄화 규소 채널층(16)을 가진 기판(12) 상에 형성된 탄화 규소 버퍼층(14)을 더 포함하고, 이 버퍼층(14)은 채널층(16)과 기판(12) 사이에 개재되어 있다. 버퍼층(14)과 채널층(16)은, 금속 산화물 화학 기상 증착(MOCVD; metal Oxide chemical vapor deposition), 수소 화합물 기상 증착법(HVPE; hydride vapor phase epitaxy) 또는 분자 빔 결정 성장법(MBE; molecular beam epitaxy)과 같은 공지된 반도체 성장 기술을 사용하여 기판(12) 상에 형성될 수 있다.
- [0025] 핵생성층(nucleation layer)(도시 생략)은 기판(12)과 버퍼(14) 사이에 포함되어, 이들 두 층 간의 격자 부정합을 감소시킬 수 있다. 이 핵생성층은 다수의 상이한 재료를 포함할 수 있고, MOCVD, HVPE 또는 MBE를 사용하여 기판(12) 상에 형성될 수도 있다. 핵생성층의 형성은 기판(12)에 사용된 재료에 따라 좌우된다. 예를 들어, 다양한 기판 상에 핵생성층을 형성하는 방법은 미국 특허 번호 제5,290,393호 및 제5,686,738호에 개시되어 있으며, 이들 각각은 여기에 인용함으로써 그 전체 내용이 본 명세서에 포함된다. 탄화 규소 기판 상에 핵생성층을 형성하는 방법은 미국 특허 번호 제5,393,993, 제5,523,589, 및 제5,739,554에 개시되어 있으며, 이들 각각은 여기에 인용함으로써 그 전체 내용이 본 명세서에 포함된다.
- [0026] 소스 전극(18) 및 드레인 전극(20)은 채널층(16)에 접속된 상태로 형성되고, 게이트(22)는 소스 전극(18)과 드레인 전극(20) 사이의 채널층(16)에 형성된다. 게이트(22)가 적절한 레벨로 바이어스될 때, 채널층(16)을 통해 소스 전극(18)과 드레인 전극(20) 사이에 전류가 흐를 수 있다. 소스 전극(18) 및 드레인 전극(20)은 티타늄, 알루미늄, 금 또는 니켈의 합금(이에 한정되는 것은 아님)을 비롯한 상이한 재료들로 이루어져 있을 수 있으나, 이들 재료로 제한되는 것은 아니다. 게이트(22)는 니켈, 금, 백금, 티타늄, 크롬, 티타늄과 텅스텐의 합금, 또는 백금 실리사이드로 이루어져 있을 수도 있다. 게이트(22)는 여러가지 서로 다른 길이를 가질 수 있지만, 양호한 게이트의 길이(L_g)는 대략 0.5 마이크로이다. 도 1에 잘 도시한 바와 같이, 게이트(22)는 게이트 접점(24)에 접속되어 접속된다.
- [0027] 도 2에 가장 잘 도시된 바와 같이, 제1 스페이서층(26)은 게이트(22)와 소스 전극(18) 및 드레인 전극(20) 사이의 채널층(16)의 표면과 게이트(22) 상에 형성된다. 그러나, 전술한 바와 같이, 스페이서층(26)은 채널층을 거의 덮지 않을 수 있으며, 스페이서층의 충분한 길이만큼 게이트가 마련되어 게이트와 채널층으로부터 필드 플레이트를 분리시킬 수 있다. 스페이서층(26)은 단독으로 또는 유전체 재료의 조합으로 전술한 여러가지 상이한 재료들을 함유할 수 있지만, 바람직하게 위에서 열거된 유전체 재료들 중 하나의 층 또는 다수의 상이한 유전체 재료 층을 포함한다. 스페이서층(26)은 다양한 서로 다른 두께일 수 있으며, 적절한 두께 범위는 대략 0.05 내지 0.5 마이크로이다. 장치들 간의 전기적 분리(electrical isolation)는 MESFET의 활성 영역의 외부에서 메사 에칭(mesa etch) 또는 이온 주입으로 행해진다.

- [0028] 스페이서층(26)이 장치 금속화(Metallization) 전에 형성되는 경우, 스페이서층(26)은 Al, Ga, 또는 In의 합금 등의 다른 III족 원소를 갖는 III족 질화물계 물질과 같은 에피택셜 물질을 포함하고, 알맞은 스페이서층 물질은 $Al_xGa_{1-x}N$ ($0 < x < 1$)이다. 채널층(16)의 에피택셜 성장 이후, 스페이서층(26)은 동일한 에피택셜 성장법을 이용하여 성장될 수 있다. 이후, 스페이서층(26)은 게이트(22), 소스 전극(18), 드레인 전극(20)이 버퍼층(14) 및 2DEG와 접촉한 상태로 형성될 수 있도록 에칭된다. 필드 플레이트는 게이트(22)와 드레인 전극(20) 간의 스페이서층 상에 배치될 수 있다. 이러한 실시예에서 필드 플레이트는 게이트와 중첩되고, 유전체 재료의 추가의 스페이서층은 게이트의 적어도 일부에 포함되어, 필드 플레이트로부터 게이트를 분리할 수 있다.
- [0029] 필드 플레이트(30)는 게이트(22)와 드레인 전극(20) 사이의 스페이서층(26) 상에 형성되고, 이 필드 플레이트(30)는 게이트(22)에 인접하게 배치되지만 게이트와 겹치지는 않는다. 게이트(22)와 필드 플레이트 사이의 공간(L_{gf})은 필드 플레이트(30)로부터 분리시키기에는 충분히 넓게 남아 있는 것이지만, 필드 플레이트(30)에 의해 제공되는 전계 효과를 최대화하기 위해서는 적게 남아 있는 것이다. L_{gf} 가 매우 넓으면 전계 효과는 감소할 수 있다. 본 발명에 따른 일 실시예에서, L_{gf} 는 대략 0.4 마이크로미터거나 조금 적을 수 있지만, 보다 넓은 공간과 보다 적은 공간이 사용될 수도 있다.
- [0030] 필드 플레이트(30)는 게이트(22)의 에지로부터 상이한 거리 L_f 만큼 뺄 수 있지만, 적절한 거리의 범위는 대략 0.1 내지 2 마이크로미터이다. 필드 플레이트(30)는 금속 또는 금속의 조합인 적절한 재료의 여러가지 다른 도전체를 포함하고, 표준 금속화 방법을 사용하여 배치시킨다. 본 발명에 따른 일부 실시예에서 필드 플레이트(30)는 티타늄/금 또는 니켈/금을 포함한다.
- [0031] 필드 플레이트(30)는 소스 접점(18)에 전기적으로 접속되고, 도 1은 본 발명에 따라 사용될 수 있는 2개 접속 구조를 도시하였지만, 다른 접속 구조도 사용될 수 있다는 것을 알 수 있다. 게이트, 및 게이트(22)와 소스 전극(18) 사이의 채널층의 표면과 상기 게이트를 스페이서층이 덮고 있는 다른 실시예에서, 스페이서층(26) 상에는 도전성 버스(32)가 형성되어 필드 플레이트(30)와 소스 전극(18) 사이에서 연장되어 있다. 도전성 버스(32)의 수가 많아질수록 버스에 의해 유도될 수 있는 원하지 않는 커패시턴스도 커지지만 다수의 상이한 도전성 버스(32)를 사용할 수도 있다. 이 도전성 버스는 MESFET의 활성 영역을 너무 많이 덮지 않으면서도 전류가 소스 전극(18)과 필드 플레이트(30) 사이에서 효과적으로 흐르게 하기 위해 충분한 수를 가져야 하며, 적절한 도전성 버스(32)의 수는 2개이다. 일 실시예에서, 도전성 경로는 게이트와 소스 전극 사이의 최상층, 바람직하게는 스페이서층(26)을 모두 덮지 않는다.
- [0032] 다른 방법으로는, 스페이서층(26)은 게이트와 소스 전극 사이의, 도전성 버스(32)를 지지하기에 충분한 넓이를 갖는 스트립(도시 생략)에서 채널층의 표면만을 덮는다. 이후, 도전성 버스(32)는 채널층을 덮는 스페이서층 영역 상에서 필드 플레이트(30)로부터 뺄어 나온다.
- [0033] 또한, 필드 플레이트(30)는 도전성 경로(34)를 통해 소스 접점(18)에 전기적으로 접속될 수 있고, 이 도전성 경로는 활성 영역과 MESFET(10)의 스페이서층(26)의 외부로 뺄어나오고, 소스 접점(18)에 연결된다. 이러한 구조는 다른 실시예에서 사용될 수 있지만, 스페이서층(26)이 게이트(22)와 소스 전극(18) 사이의 채널층(16)을 커버하지 않는 실시예에서 사용하는 데에 특히 적합하다. 도 1에 도시한 바와 같이, 도전성 경로(34)는 게이트(22)의 반대편에서 MESFET의 활성 영역의 외부로 뺄어 있다. 본 발명에 따른 대체예에서, 도전성 경로는 게이트(22)의 측면 상에 MESFET(10)의 활성 영역 외부로 뺄어 있거나, 또는 MESFET(10)가 MESFET(10)의 동일하거나 다른 쪽으로 뺄어 있는 2개 이상의 도전성 경로를 포함할 수 있다.
- [0034] 필드 플레이트(30)의 배치 및 소스 접점(18)에 접속한 후에, 활성 구조는 실리콘 질화물과 같은 유전체 패시베이션층(도시 생략)에 의해 커버될 수 있다. 패시베이션층은 공지된 성장법을 사용하여 형성될 수 있다.
- [0035] 도 3과 도 4는 MESFET(10)와 유사한 많은 특징을 갖는, 본 발명에 따른 MESFET(40)의 또 다른 실시예를 도시하는 도면이다. 유사한 특징에 대해서는 동일 도면 부호를 사용하였고, 이것으로 전체를 설명하지 않고 상기의 특징에 대한 설명으로 MESFET(40)에 동일하게 적용할 수 있음을 이해할 수 있다.
- [0036] MESFET(40)는 탄화규소(SiC)계가 바람직하고, 탄화 규소 기판(12), 탄화 규소 버퍼층(14), 탄화 규소 채널층(16), 소스 접점(18), 드레인 접점(20), 게이트(22), 게이트 접점(24), 스페이서층(26)을 포함한다. MESFET(40)는 필드 플레이트(42)를 더 포함하고, 이 필드 플레이트는 우선 게이트(22)와 드레인 접점(20) 사이의 스페이서층(26) 상에 주로 형성되지만, 게이트(22)의 일부와 오버래핑될 수도 있다. 도 1과 도 2의 MESFET(10)에 있어서, L_{gf} 가 작아서, 제조 공정 중에 어떤 어려움이 존재할 수 있다. 필드 플레이트(42)는 게이

트(22)와 오버랩됨으로써, MESFET(40)는 L_{gr} 의 허용 오차를 충족시키지 않고 제조될 수 있다. 그러나, 필드 플레이트(42)의 중복되는 부분은 추가의 원하지 않는 용량을 유도할 수 있다. 필드 플레이트(30 또는 42)를 사용할지 여부의 결정에 있어서, 필드 플레이트(42)를 사용하여 쉽게 제조하는 것은 도 1과 도 2에서 필드 플레이트(30)에 의해 제공되는 감소된 용량과 균형을 맞추어야만 한다. 또한, MESFET(40)는 버스(44) 또는 도전성 경로(34) 중 어느 하나를 포함하여 필드 플레이트(42)를 소스 접점(18)에 전기적으로 접속시킨다.

[0037] 본 발명에 따른 소스에 접속된 필드 플레이트 배치는 전술된 것 이외의 많은 다른 MESFET를 사용할 수 있다. 예를 들어, 도 5는 기관(12), 버퍼층(14), 채널층(16), 소스 전극(18), 및 드레인 전극(20)을 포함하는, MESFET(10 및 40)의 특징과 유사한 많은 특징을 갖는 본 발명에 따른 MESFET(50)의 다른 실시예를 나타낸 것이다. 그러나, MESFET(50)는 고주파 동작에 특히 적합하게 되어 있는 감마(Γ) 형상의 게이트(52)를 갖는다. 게이트 길이(L_g)는 장치의 속도를 결정하는 데 중요한 장치 치수 중 하나이며, 더 높은 주파수의 장치에서 게이트 길이는 더 짧다. 게이트 길이가 더 짧아지면 저항이 높아지게 되며 이는 고주파 동작에 부정적인 영향을 줄 수 있다. 고주파 동작에서 T-게이트가 통상 사용되지만, 필드 플레이트와 T-게이트의 잘 결합된 배치를 달성하는 것이 어려울 수 있다.

[0038] 감마 게이트(52)는 낮은 게이트 저항을 제공하며, 게이트 풋프린트(gate footprint)의 제어된 정의를 가능하게 해준다. 감마 게이트(52) 및 이 감마 게이트(52)와 소스 전극(18) 및 드레인 전극(20) 사이의 장벽층(18)의 표면을 덮고 있는 스페이서층(54)이 포함되어 있다. 감마 게이트(52)의 수평 부분과 스페이서층(54)의 상부 사이, 및 게이트(52)와 소스 전극 사이에 공간이 남아 있을 수 있다. MESFET(50)는 또한 스페이서층(54) 상에, 그 감마 게이트(52)와 중첩하는 필드 플레이트(56)를 포함하며, 필드 플레이트(56)는 양호하게는 감마 게이트(52)의 측면 상에 배치되고 수평 돌출부를 갖지 않는다. 이 구성은 필드 플레이트(56)와 그 아래의 활성층 사이의 효과적인 결합 및 조밀한 배치를 가능하게 해준다. 다른 감마 게이트 실시예에서, 필드 플레이트는 게이트가 중첩되지 않고 필드 플레이트(56)와 유사하게 배치될 수 있고, 게이트의 에지와 필드 플레이트 사이의 공간은 도 2에 도시한 공간 L_{gf} 와 유사할 수 있다.

[0039] 필드 플레이트(56)는 많은 다른 방법으로 소스 전극(18)에 전기적으로 접속될 수 있다. 게이트(52)의 수평부의 하부면과 스페이서층(54)의 공간 때문에, 도전성 경로를 필드 플레이트(56)와 소스 전극(18) 사이에 직접 제공하는 것이 어려울 수 있다. 대신에, 도전성 경로는 필드 플레이트(56)와, MESFET(50)의 활성 영역의 외부로 뻗어나간 소스 전극(18) 사이에 포함될 수 있다. 다른 방법으로는, 감마 게이트(52)는 게이트의 수평 부분 아래의 공간이 채워진 채로 스페이서층(54)에 의해 완전히 덮여질 수 있다. 이후 도전성 경로는 스페이서층(54) 상에서 필드 플레이트(56)에서 소스 전극으로 직접 이어질 수 있다. 이후 활성 구조는 유전체 패시베이션층(도시 생략)에 의해 덮여질 수 있다.

[0040] 도 6은 필드 플레이트에 소스가 접속되도록 배치될 수도 있는, 본 발명에 따른 다른 MESFET(60)를 도시하였다. 또한, MESFET(60)는 기관(12), 버퍼층(14), 채널층(16), 소스 전극(18) 및 드레인 전극(20)을 포함하는, 도 1 내지 도 4의 MESFET(10, 40)와 많은 유사한 특징을 가진다. 그러나, 게이트(62)는 채널층(16) 내에 삽입될 수 있고, 스페이서층(64)에 의해 덮여있다. 다른 실시예에서 게이트의 하부면이 부분적으로만 삽입될 수 있거나 게이트의 다른 부분이 채널층(16)에서 다른 깊이로 삽입될 수 있다. 필드 플레이트(66)는 스페이서층(64)에 배치되어 있고 소스 전극(18)에 전기적으로 접속되어 있으며, 활성 구조는 유전체 패시베이션층(도시 생략)에 의해 커버될 수 있다. 상기 MESFET(60)에서와 같이, 필드 플레이트(66)는 게이트의 에지와 필드 플레이트 사이에 공간 L_{gf} 이 형성되도록 배치될 수 있다.

[0041] 전술한 실시예는 마이크로파 및 밀리미터파 주파수에서 향상된 전력을 갖는 광폭 대역폭 트랜지스터, 특히 MESFET를 제공한다. MESFET는 보다 높은 입출력 분리에 기인하여 고이득, 고전력 및 보다 안정된 작동을 동시에 보여준다. 이 구조는 보다 낮은 주파수에서 고전압 애플리케이션에 대해 더 넓은 치수로 확장될 수 있다.

[0042] 본 발명이 특정의 바람직한 실시예의 구성을 참조하여 상세히 설명하였지만, 다른 구성도 가능하다. 필드 플레이트의 구성은 많은 다른 장치에서 사용될 수 있다. 필드 플레이트는 또한 많은 다른 형상을 가질 수 있으며 또 많은 다른 방식으로 소스 접점에 연결될 수 있다. 따라서, 본 발명의 정신 및 범위는 상기한 본 발명의 양호한 실시예로 한정되는 것은 아니다.

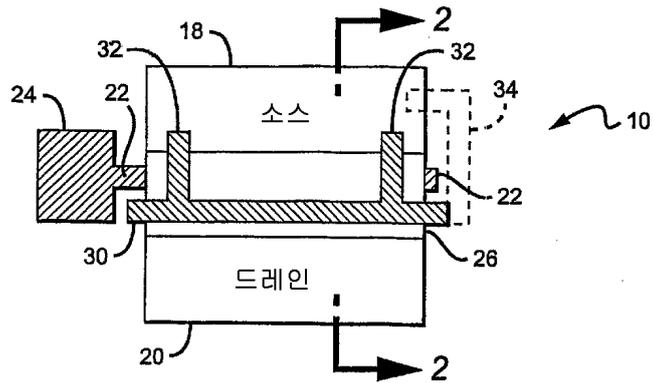
도면의 간단한 설명

[0011] 도 1은 본 발명에 따른 MESFET의 일 실시예의 평면도.

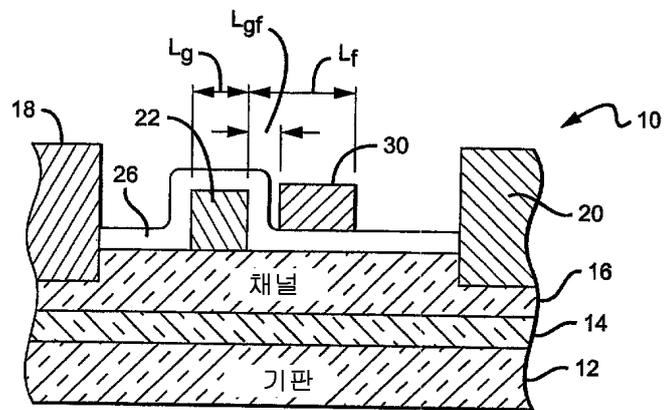
- [0012] 도 2는 도 1의 MESFET의 단면도.
- [0013] 도 3은 본 발명에 따른 MESFET의 다른 실시예의 평면도.
- [0014] 도 4는 도 3의 MESFET의 단면도.
- [0015] 도 5는 감마 게이트를 갖는 본 발명에 따른 MESFET의 다른 실시예의 단면도.
- [0016] 도 6은 함몰된 게이트를 갖는 본 발명에 따른 MESFET의 다른 실시예의 단면도.

도면

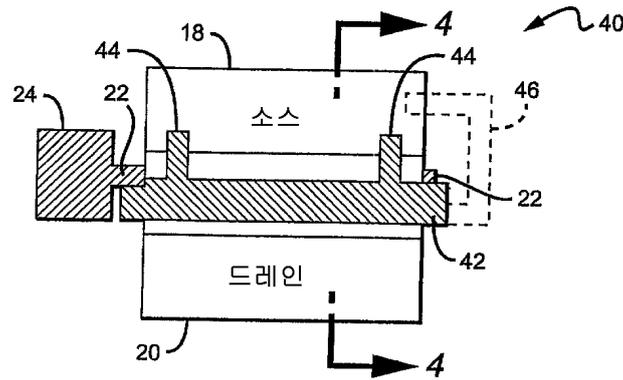
도면1



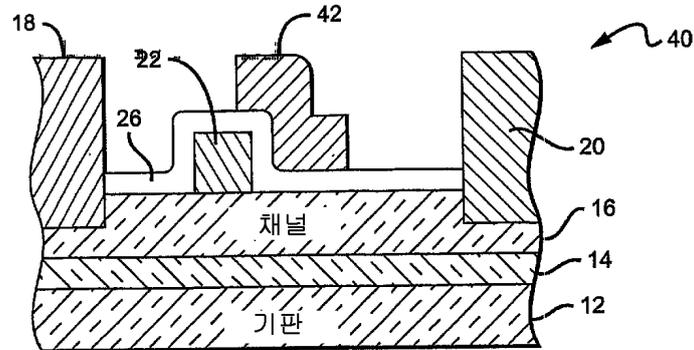
도면2



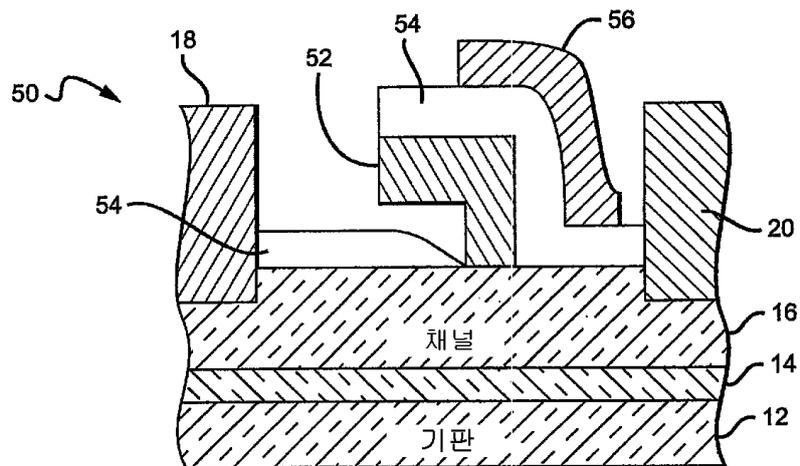
도면3



도면4



도면5



도면6

