



(12) 发明专利申请

(10) 申请公布号 CN 102711374 A

(43) 申请公布日 2012. 10. 03

(21) 申请号 201210154366.5

(22) 申请日 2012.03.02

(30) 优先权数据

13/040,841 2011.03.04 US

(71) 申请人 通用电气公司

地址 美国纽约州

(72) 发明人 D·Z·阿巴维

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 柯广华 朱海煜

(51) Int. Cl.

H05K 1/11 (2006.01)

H05K 1/18 (2006.01)

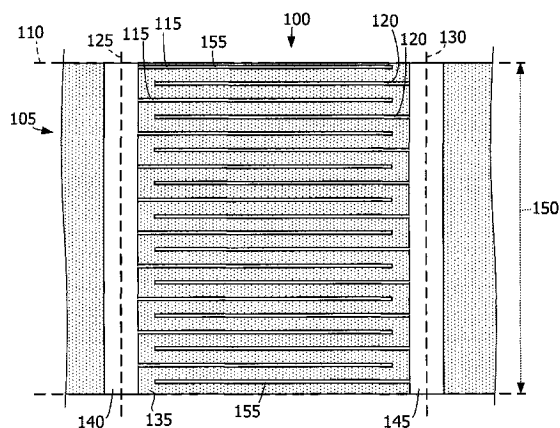
权利要求书 1 页 说明书 6 页 附图 3 页

(54) 发明名称

多盘板嵌入式电容器及其制造方法

(57) 摘要

本发明名称为“多盘板嵌入式电容器及其制造方法”。提供了定义基本平面区域(110)的印刷线路板(PWB)(105)。该PWB包括与平面区域基本平行朝向并从第一垂直轴(125)向第二垂直轴(130)延伸的多个第一导电盘(115),其中第一垂直轴和第二垂直轴与平面区域基本垂直朝向;与平面区域基本平行朝向并从第二垂直轴向第一垂直轴延伸的第二导电盘(120),其中第二导电盘在邻近的第一导电盘的对之间延伸;在第二导电盘和第一导电盘之间延伸非导电材料(135);以及与第一垂直轴在同一直线上基本对准并与第一导电盘中的至少一个接触的多个第一导电通孔(140)。



1. 一种定义了基本平面区域 (110) 的印刷线路板 (PWB) (105), 所述 PWB 包括:
多个第一导电盘 (115), 其与所述平面区域基本平行朝向并从第一垂直轴 (125) 向第二垂直轴 (130) 延伸, 其中所述第一垂直轴和所述第二垂直轴与所述平面区域基本垂直朝向;
第二导电盘 (120), 其与所述平面区域基本平行朝向并从所述第二垂直轴向所述第一垂直轴延伸, 其中所述第二导电盘在邻近的所述第一导电盘的对之间延伸;
非导电材料 (135), 其在所述第一导电盘和所述第二导电盘之间延伸; 以及
多个第一导电通孔 (140), 其与所述第一垂直轴在同一直线上基本对准且与所述第一导电盘中的至少一个接触。
2. 如权利要求 1 所述的 PWB (105), 进一步包括多个第二导电通孔 (145), 其与所述第二垂直轴 (130) 在同一直线上基本对准且与所述第二导电盘 (120) 接触。
3. 如权利要求 1 所述的 PWB (105), 其中, 所述非导电材料 (135) 进一步布置在所述第一导电盘 (115) 的每一个导电盘和所述第二垂直轴 (130) 之间, 以及布置在所述第二导电盘 (120) 和所述第一垂直轴 (125) 之间。
4. 如权利要求 1 所述的 PWB (105), 进一步包括与所述多个第一导电盘 (115) 交错多个第二导电盘 (120)。
5. 如权利要求 4 所述的 PWB (105), 其中, 所述多个第一导电盘 (115) 包括 4 到 40 个第一导电盘, 而所述多个第二导电盘 (120) 包括 4 到 40 个第二导电盘。
6. 如权利要求 1 所述的 PWB (105), 其中, 所述第一导电盘 (115) 通过第一导体 (420) 电联接到电子组件 (410), 所述第二导电盘 (120) 通过第二导体 (425) 电联接到所述电子组件, 并且所述第一导电盘和所述第二导电盘配置成存储由所述第一导体提供的电荷。
7. 如权利要求 1 所述的 PWB (105), 其中, 所述多个第一导电盘 (115) 和所述多个第二导电盘 (120) 堆叠到与所述 PWB 的厚度基本相等的高度 (150)。
8. 一种定义了基本平面区域 (110) 的印刷线路板 (PWB) (105), 并且所述 PWB 包括安装到所述平面区域的 PWB 嵌入式电容器 (415、435), 其中所述 PWB 嵌入式电容器占据所述平面区域的一部分 (405) 并包括:
多个第一导电盘 (115), 其从第一垂直轴 (125) 向第二垂直轴 (130) 延伸, 其中所述第一垂直轴和所述第二垂直轴在所述平面区域的所占据的部分内与所述平面区域基本垂直朝向;
多个第二导电盘 (120), 其从所述第二垂直轴 (130) 向所述第一垂直轴延伸, 并与所述第一导电盘交错;
非导电材料 (135), 其布置在所述第一导电盘和所述第二导电盘之间; 以及
多个第一导电通孔 (140), 其联接所述第一导电盘。
9. 如权利要求 8 所述的 PWB (105), 进一步包括多个第二导电通孔 (145), 其联接所述第二导电盘 (120)。
10. 如权利要求 8 所述的 PWB (105), 其中, 所述 PWB 嵌入式电容器是第一 PWB 嵌入式电容器 (415), 所述 PWB 进一步包括在堆叠朝向中安装至所述第一 PWB 嵌入式电容器的第二 PWB 嵌入式电容器 (435)。

多盘板嵌入式电容器及其制造方法

技术领域

[0001] 本文公开的主题一般涉及电容器,且更具体地涉及嵌入在印刷线路板(PWB)内的多盘电容器,PWB也被称为印刷电路板(PCB)。

背景技术

[0002] 电子器件一般包括多种组件,包括安装到PWB的电容器。至少一些已知的PWB包括使用PWB的导电层(例如,接地平面和功率平面)作为电容器盘(plate)的嵌入式电容器。这样的嵌入式电容器可消除安装电容器到PWB表面的需要。但是,至少一些已知的嵌入式电容器需要PWB的较大部分专用于电容器,或者需要PWB具有充足的尺寸来达到期望的电容。这种设计可能对更小尺寸的PWB不可行,例如设计用于移动电子设备的PWB。在此类PWB中,电容器可能占用太多PWB,以致于不能为其它电子组件安装在PWB上留下足够的空间。此外,已知嵌入式电容器可能表现较高的电感,这样电容器在高频(例如,高于40兆赫)处失效。另外,传统的表面安装电容器在表面安装电容器和下面PWB以不同的速率膨胀时可遭受物理应力,反之,嵌入在PWB内的电容器可能以与其安装到的PWB基本相同的速率膨胀。

发明内容

[0003] 提供本发明概述以通过简化形式介绍在详细描述中、于下文进一步描述的概念的选择。此发明概述无意于识别要求保护的发明主题的关键特征或本质特征,也无意于用来帮助确定要求保护的主题的范围。

[0004] 在一方面中,提供定义了基本平面区域的印刷线路板(PWB)。PWB包括与平面区域基本平行朝向的多个第一导电盘,并且多个第一导电盘从第一垂直轴向第二垂直轴延伸。该第一垂直轴和第二垂直轴的朝向与平面区域基本垂直。PWB还包括与平面区域基本平行朝向的第二导电盘,并且第二导电盘从第二垂直轴向第一垂直轴延伸。第二导电盘在邻近的第一导电盘的对之间延伸。PWB进一步包括非导电材料,其在第二导电盘和第一导电盘之间延伸,并且多个第一导电通孔与第一垂直轴在同一直线上基本对准,且接触第一导电盘中的至少一个。

[0005] 在另一方面中,提供定义了基本平面区域的印刷线路板(PWB),并且其包括一个安装到平面区域的PWB嵌入式电容器。PWB嵌入式电容器占用平面区域的一部分,并且包括从第一垂直轴向第二垂直轴延伸的多个第一导电盘。第一垂直轴和第二垂直轴在平面区域被占用部分内与平面区域基本垂直朝向。PWB嵌入式电容器还包括从第二垂直轴向第一垂直轴延伸的多个第二导电盘,并且与第一导电盘交错。PWB嵌入式电容器进一步包括布置在第一导电盘和第二导电盘之间的非导电材料以及联接第一导电盘的多个第一导电通孔。

[0006] 在又一个方面中,提供一种用于产生嵌入在印刷线路板(PWB)内的电容器的方法。该方法包括:在PWB内创建多个第一基本交叠的导电盘。在PWB内创建多个第二基本交叠的导电盘。第二导电盘与第一导电盘交错,并且和第一导电盘基本交叠。非导电材料

被放置在第一导电盘和第二导电盘之间,以使得第一导电盘不接触第二导电盘。第一导电盘与多个第一导电通孔电联接。

附图说明

[0007] 本文描述的实施例可以参考结合附图的以下描述更好地理解。

[0008] 图 1 是示范嵌入式电容器的截面的简图。

[0009] 图 2 是图示依据一个实施例在 PWB 内形成的多个层的简图。

[0010] 图 3 是用于创建嵌入在 PWB 内的一个或多个电容器的示范方法的流程图。

[0011] 图 4 是包括多个 PWB 嵌入式电容器的示范 PWB 的俯视图。

[0012] 图 5 是具有多个嵌入式电容器的备选 PWB 的截面的简图。

具体实施方式

[0013] 本文使用的印刷电路板 (PWB) (还被称为印刷电路板 (PCB)) 是一种包括一层或多层非导电材料层的结构。电子组件 (例如,集成电路 (IC)、逻辑门、晶体管、和 / 或电容器) 可被联接 (例如,通过焊接) 到 PWB 的表面。这些电子组件可使用导体彼此电联接,导体被称为“走线 (trace)”,放置在非导电材料上。一些 PWB 包括非导电材料的多个层,以使得走线的多个层可通过在 PWB 的不同层上放置走线而被堆叠,同时非导电材料使不同层上的走线彼此隔离。另外,一个或多个导体 (被称为通孔) 可在 PWB 的不同层之间延伸,以便将走线联接到在不同层上的另一走线和 / 或电子组件。

[0014] 本文描述的实施例提供嵌入在 PWB 内的多盘电容器。两组交错的 (或备选为堆叠的) 导电盘可在 PWB 内的非导电材料层上创建。每组导电盘彼此之间可电联接 (例如,使用导电通孔)。因此,当横跨两组导电盘施加电位差 (即,电压) 时,非导电材料用作电介质,并且电能可以静电场的方式存储在该电介质中。

[0015] 本文描述的在 PWB 内嵌入多盘电容器促进减少热膨胀在电容器的性能和 / 或使用期限上的影响。至少部分由于 PWB 内的非导电材料的物理特性 (比如,电容率) 和 / 或由于包括多个导电通孔,提供如本文描述的嵌入式电容器可促进减小电容器表现的电感,并且使得能够在比通过传统电容器可行的更高的转换速率 (即,频率) 上使用这种电容器。举例来说,多盘嵌入式电容器可在 40 兆赫以上有效。

[0016] 图 1 是示范嵌入式电容器 100 的截面的简图。在该示范实施例中,电容器 100 嵌入在 PWB 105 内,PWB 105 定义出平面区域 110 (在图 1 中以水平面来指示的)。电容器 100 包括多个第一导电盘 115 和至少一个第二导电盘 120,它们和平面区域 110 基本平行对准。更具体地,第一导电盘 115 从第一垂直轴 125 向第二垂直轴 130 延伸。每个第二导电盘 120 从第二垂直轴 130 向第一垂直轴 125 延伸。第一垂直轴 125 和第二垂直轴 130 都与平面区域 110 基本垂直。

[0017] 每个第二导电盘 120 被放置在第一导电盘 115 的相应的对之间。在示范实施例中,电容器 100 包括多个第二导电盘 120,它们与第一导电盘 115 交错 (例如,交替放置)。在一个实施例中,电容器 100 包括 n 个第一导电盘和 n 个第二导电盘 120。在这个实施例中, $n-1$ 个第二导电盘 120 放置在第一导电盘 115 的每个相应的对之间,并且单个第二导电盘 120 邻近单个第一导电盘 115 放置。在另一实施例中,电容器 100 包括 n 个第一导电盘 115

和 $n-1$ 个第二导电盘 120。在这个实施例中,每个第二导电盘 120 放置在第一导电盘 115 的对之间。

[0018] 非导电材料 135 在第一导电盘 115 和第二导电盘 120 之间延伸。非导电材料 135 也可放置在第一导电盘 115 和第二垂直轴 130 之间,和 / 或在第二导电盘 120 和第一垂直轴 125 之间。因此,在每个实施例中,第一导电盘 115 并不是直接靠着和 / 或接触第二导电盘 120。在示范实施例中,非导电材料 135 是电介质,比如 FR-4,并且第一导电盘 115 和第二导电盘 120 由铜组成。备选地,第一导电盘 115 和第二导电盘 120 可由任何合适的导电材料组成。

[0019] 在该示范实施例中,电容器 100 还包括至少一个第一导电通孔 140 和至少一个第二导电通孔 145,至少一个第一导电通孔 140 和第一垂直轴 125 在同一直线上基本对准并且接触第一导电盘 115,而至少一个第二导电通孔 145 和第二垂直轴 130 在同一直线上基本对准并且接触第二导电盘 120。

[0020] 第一导电盘 115 和 / 或第二导电盘 120 的数量、形状、尺寸、和 / 或间隔可基于电容器 100 的期望的电容级而变化地选择。举例来说,增加第一导电盘 115 和 / 或第二导电盘 120 的数量和 / 或尺寸一般促进增加电容器 100 的电容。在一些实施例中,电容器 100 包括 4 至 40 个第一导电盘 115 和四至四十个第二导电盘 120。

[0021] 电容器 100 占用 PWB 105 的厚度或高度 150 的至少一部分。在一些实施例中,第一导电盘 115 和第二导电盘 120 被堆叠到近似 PWB 的厚度 150。电容器 100 最外面的导电盘 155 可被非导电材料 135 覆盖,以促进减少意外电接触电容器 100 的风险。

[0022] 在一些实施例中,电容器被创建成包括多层非导电材料 135,其上放置有导电盘。图 2 是显示在 PWB 105 内的示范多个层 200 的简图。图 3 是可用来创建嵌入到 PWB 105 内的电容器 100 的示范方法 300 的流程图。在该示范的实施例中,开始,确定 305 将安装电容器 100 的、PWB 的一个或多个可用区域 405(如图 4 中所示),如下文更加详细描述。如果没有 PWB 的部分分配用来安装电子组件,则整个 PWB 可被认为是可用的。另外,可取决于联接到 PWB 105 的电子组件的位置和 / 或尺寸来选择可用区域 405。

[0023] 然后确定 310 包括在电容器 100 中的导电盘 115,120 的尺寸,数量,和 / 或间隔。举例来说,如果期望的电容已知,则可至少部分地基于期望的电容、电容器 100 将被安装的 PWB 的可用区域、PWB 105 内的层数量、和 / 或 PWB 105 内的非导电材料 135 的物理特性(例如,电容率)来确定 310 导电盘 115、120 的尺寸、数量、和 / 或间隔。

[0024] 在示范的实施例中,创建 315 第一非导电层 205 并且第一导电盘 115 横跨第一非导电层 205 的至少一部分延伸 320。例如,可通过横跨第一非导电层 205 的一部分施加铜材料来创建 320 第一导电盘 115。第一导电盘 115 从第一垂直轴 125 向第二垂直轴 130 延伸。可创建 325 第二非导电层 210。举例来说,电介质可被施加在第一导电盘 115 上方,以创建 325 第二非导电层 210。

[0025] 在第二非导电层 210 上创建 330 第二导电盘 120。在该示范的实施例中,第二导电盘 120 从第二垂直轴 130 向第一垂直轴 125 延伸。

[0026] 第一导电盘 115 和第二导电盘 120 形成导电盘的对,可通过它们自己用作电容器。备选地,通过在第二导电盘 120 上方创建 315 另一导电层、创建 320 另一第一导电盘 115、创建 325 另一非导电层、及创建 330 另一第二导电盘 120,可堆叠多对导电盘。这些工艺可

被重复,以创建任何期望的导电盘数量。可选地,第三非导电层 215 可被施加在顶端导电盘(例如,第二导电盘 120)上方。这个实施例促进隔离顶端导电盘的意外电接触。

[0027] 在示范实施例中,第一导电盘 115 彼此电联接 335,并且第二导电盘 120 彼此电联接 340。举例来说,通过基本沿着或邻近第一垂直轴 125 延伸一个或多个第一导电通孔 140(图 1 和图 4 中所示),可电联接 335 第一导电盘 115,以使得第一导电通孔 140 物理接触第一导电盘 115。类似地,通过基本沿着或邻近第二垂直轴 130 延伸第二导电通孔 145(图 1 和图 4 中所示),可电联接 340 第二导电盘 120。

[0028] 如下文更详细描述,一些实施例促进在单个 PWB 105 中创建多个嵌入式电容器 100。举例来说,多个嵌入式电容器 100 可被堆叠在 PWB 105 中。在一些实施例中,通过一个或多个非导电层分离堆叠的嵌入式电容器 100。这样的分离可减少从一个嵌入式电容器 100 到另一个的电荷传播。附加地或作为备选,多组第一导电盘 115 和第二导电盘 120 可在 PWB 105 的平面区域 110 的不同部分中创建。在这个实施例中,可在第一非导电层 205 上创建 320 每个嵌入式电容器 100 的导电盘,然后创建 325 第二非导电层 210。

[0029] 图 4 是 PWB 400 的平面图,包括多个 PWB 嵌入式电容器 100。在该示范实施例中,PWB 400 的一部分 405 被分配给电子组件 410(例如,存储器件、逻辑门、和 / 或集成电路(IC))。可至少部分地通过识别没有被分配给电子组件 410 的、PWB 400 的一个或多个部分,来确定 305(如图 3 所示)PWB 400 中的可用区域。因此可用区域可表示 PWB400 的、没有被使用的部分。

[0030] 每个嵌入式电容 100 占用 PWB 400 的平面区域的一部分并且安装(例如,焊接)到 PWB 400 的表面。在示范实施例中,第一嵌入式电容器 415 的第一导电盘 115(如图 1 中所示)通过第一导电通孔 140 彼此电联接。第二导电盘 120(如图 1 中所示)通过第二导电通孔 145 彼此电联接。通过多个通孔 140、145 联接导电盘 115、120 促进了减小嵌入式电容器 100 的电感,并且因此可以实现在比传统电容器可操作的频率更高的频率处使用电容器 100。

[0031] 第一导电通孔 140 通过第一导体 420 电联接到电子组件 410,而第二导电通孔 145 通过第二导体 425 电联接到电子组件 410。在一个实施例中,第一导体 420 和第二导体 425 横跨 PWB 400 的内部非导电层的一部分或外表面的一部分延伸。这样的走线可将任何数量的电子组件 410 和 / 或嵌入式电容器 100 彼此电联接。

[0032] 在该示范的实施例中,第一嵌入式电容器 415 将通过第一导体 420 和 / 或第二导体 425 提供的电荷存储为第一导电盘 115 和第二导电盘 120 之间的电场。第一嵌入式电容 415 可随后通过第一导体 420 和 / 或第二导体 425 放出电荷。

[0033] 嵌入式电容器 100 可具有适合结合本文描述的方法来使用的任何形状。举例来说,第一嵌入式电容器 415 是矩形的。第二嵌入式电容器 435 是 L 形的,使得第二嵌入式电容器 435 在分配给电子组件 410 的 PWB 的部分 405 以外的可用区域内提供基本最大可能电容。

[0034] 创建嵌入式电容器 100 使用的材料与创建 PWB 400 使用的材料相似或相同。结果,嵌入式电容器 100 可呈现与 PWB 400 呈现的热膨胀相似或相同的热膨胀。因此,嵌入式电容器 100 促进减小因 PWB 400 的操作温度变化而施加到第一导体 420 和第二导体 425 的物理应力。

[0035] 一些实施例促进堆叠嵌入式电容器 100。图 5 是根据一个实施例的具有多个嵌入式电容器 100 的备选的 PWB 500 的截面的简图。PWB500 具有顶面 505 和底面 510, 在它们之间定义了厚度 150。第一嵌入式电容器 515 占用 PWB 500 内的平面区域 520, 并从底面 510 延伸至 PWB 500 的厚度 150 的大约一半。

[0036] 第二嵌入式电容器 525 占用与由第一嵌入式电容器 515 占用的基本相同的平面区域 520。第二嵌入式电容器 525 从顶面 505 延伸至 PWB 500 的厚度 150 的大约一半, 但并不直接接触第一嵌入式电容器 515。举例来说, 一个或多个层的非导电材料可从第一嵌入式电容器 515 分离第二嵌入式电容器 525。第一嵌入式电容器 515 可占用厚度 150 的任何部分, 并且第二嵌入式电容器 525 可大约延伸至厚度 150 的剩余部分。

[0037] 在另一个实施例中, 第一嵌入式电容器 515 基本延伸穿过整个厚度 150, 从而基本占据整个 PWB 500。第二电容器 525 被嵌入在和 PWB500 相似的第二 PWB (没有示出) 内, 第一电容器 515 的导电通孔电联接到第二电容器 525 的导电通孔。举例来说, 第二电容器 525 可安装到第一电容器 515 的顶面 505, 并且, 第一电容器 515 的底面 510 可安装到包括电子组件的 PWB, 比如 PWB 400 (如图 4 中所示)。

[0038] 本文提供的实施例促进通过多个导电通孔将一个或多个多盘电容器嵌入在 PWB 内。这种电容器可安装到另一个 PWB, 并且可选择这种嵌入式电容器的属性以达到期望的电容。进一步地, 多个电容器 (每个嵌入到 PWB 中) 可堆叠并安装到包括电子组件 (例如, 集成电路) 的 PWB, 并且电子组件可电联接到嵌入式电容器。因此, 本文描述的实施例实现了便宜和有效率地封装电容器, 其呈现与电容器安装到的 PWB 相似的低电感和热性质。本文提供的实施例进一步促进创建 PWB 嵌入式电容器, 其形状和尺寸基于将安装电容器的、PWB 内的未分配区域。

[0039] 本文描述的方法和系统并不局限于本文描述的特定实施例。举例来说, 每个系统的组件和 / 或每个方法的步骤可独立于且分离于本文描述的其它组件和 / 或步骤地来使用和 / 或实践。另外, 每个组件和 / 或步骤也可结合其它装置和方法来使用和 / 或实践。

[0040] 尽管本发明以多种特定实施例的形式进行了描述, 但本领域技术人员将认识到, 在权利要求的精神和范围内, 本发明可带有修改地进行实践。

[0041] 部件列表

[0042] 100 电容器

[0043] 105 印刷线路板 (PWB)

[0044] 110 平面区域

[0045] 115 第一导电盘

[0046] 120 第二导电盘

[0047] 125 第一垂直轴

[0048] 130 第二垂直轴

[0049] 135 非导电材料

[0050] 140 第一导电通孔

[0051] 145 第二导电通孔

[0052] 150 厚度或高度

[0053] 155 最外面导电盘

- [0054] 200 层
- [0055] 205 非导电层
- [0056] 210 非导电层
- [0057] 215 非导电层
- [0058] 300 创建嵌入在 PWB 内的电容器的工艺
- [0059] 305 确定电容器将被安装到的、PWB 的一个或多个可用区域
- [0060] 310 如果期望的电容已知,确定导电盘的尺寸、数量、和 / 或间隔
- [0061] 315 创建第一非导电层
- [0062] 320 创建第一导电盘
- [0063] 325 创建第二导电层
- [0064] 330 创建第二导电盘
- [0065] 335 第一导电盘彼此联接
- [0066] 340 第二导电盘彼此联接
- [0067] 400 印刷线路板 (PWB)
- [0068] 405 部分
- [0069] 410 电子组件
- [0070] 415 第一嵌入式电容器
- [0071] 420 第一导体
- [0072] 425 第二导体
- [0073] 435 第二嵌入式电容器
- [0074] 500 印刷线路板 (PWB)
- [0075] 505 顶面
- [0076] 510 底面
- [0077] 515 第一嵌入式电容器
- [0078] 520 平面区域。

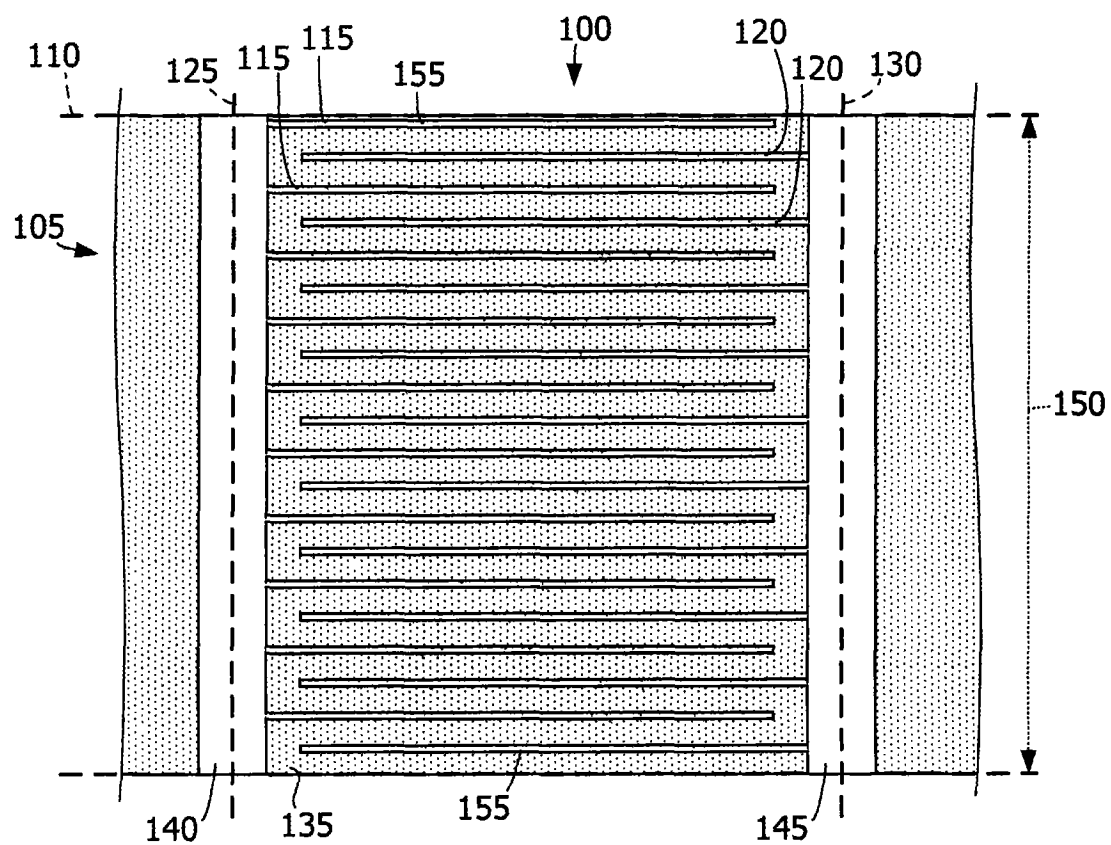


图 1

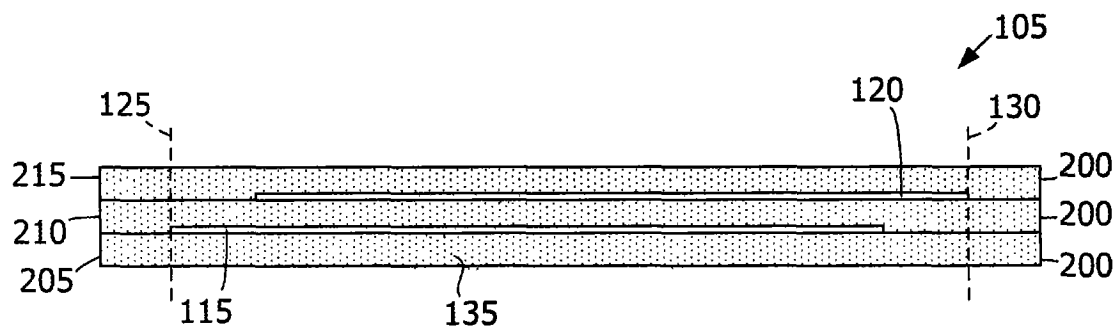


图 2

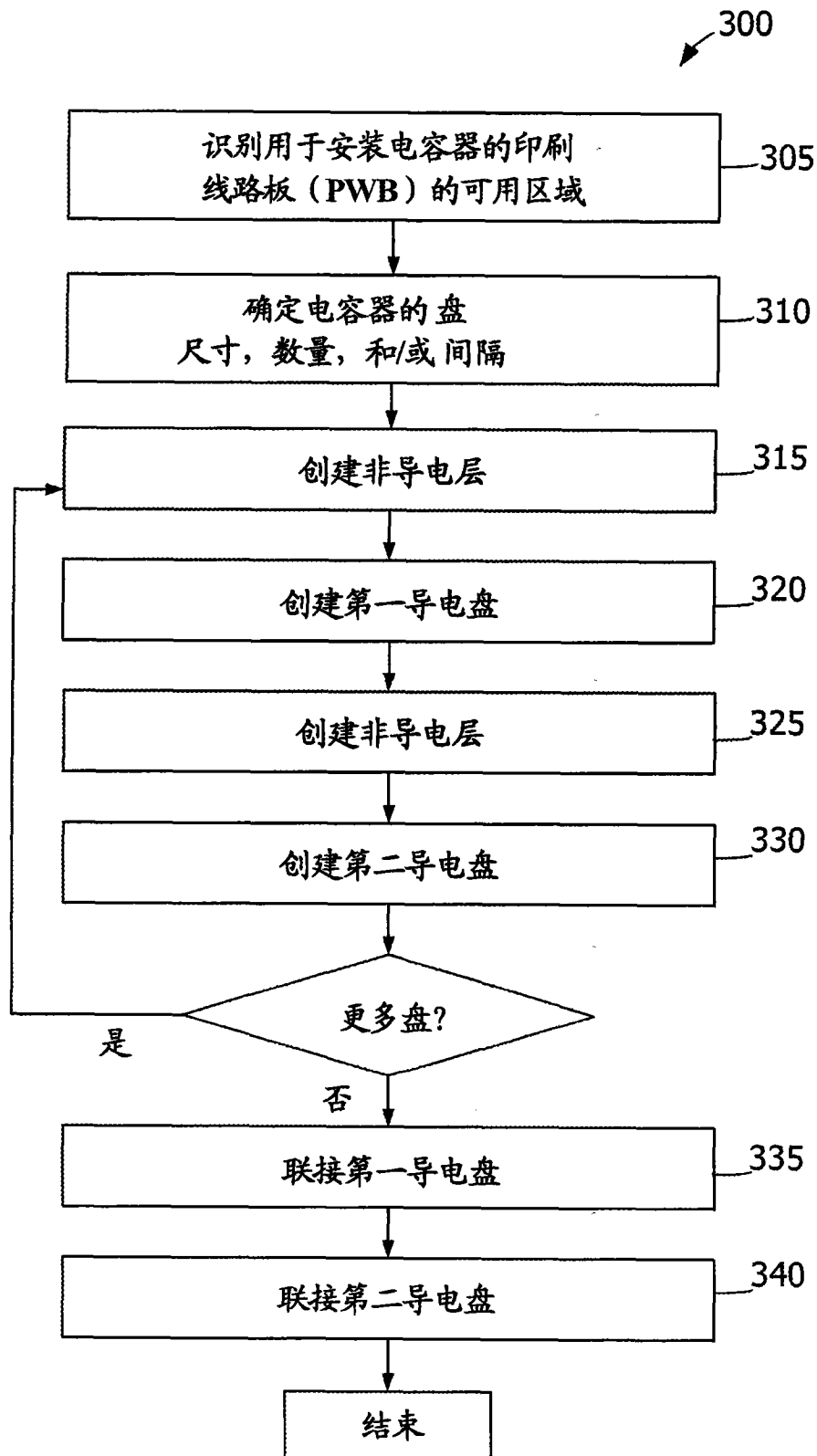


图 3

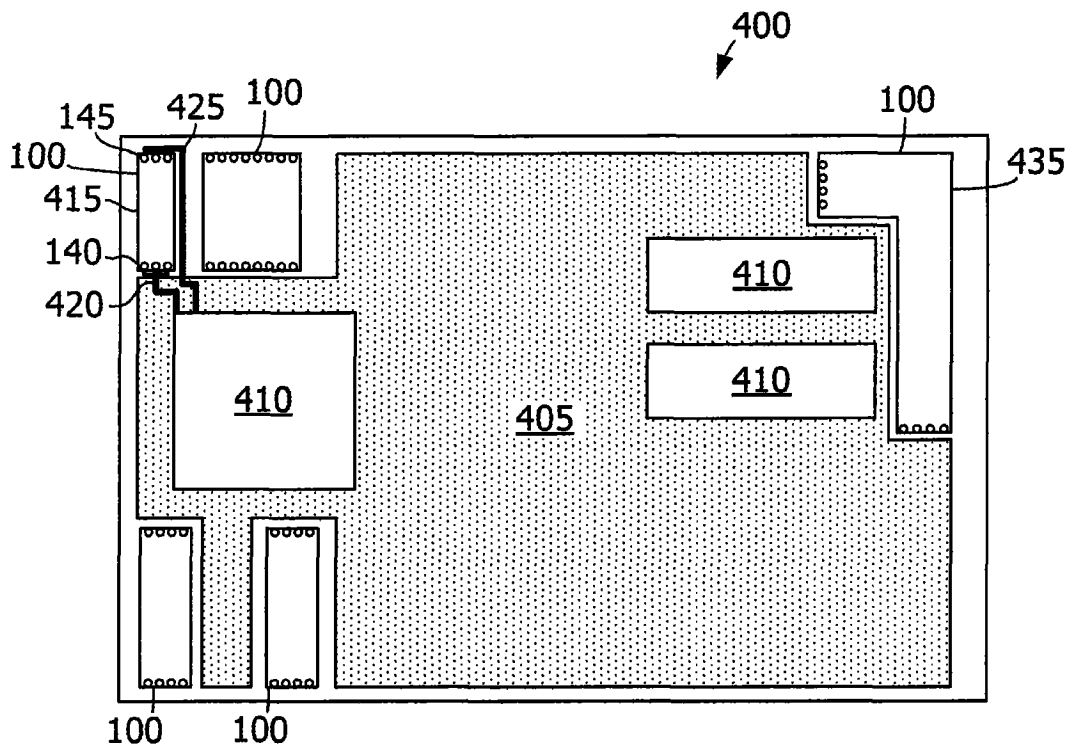


图 4

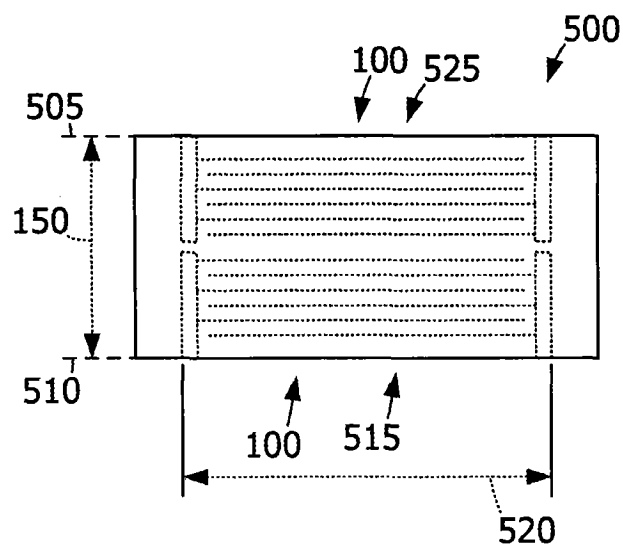


图 5