



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,

GW, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、I/O (Input/Output) シリアルインタフェースを制御するための技術に関し、例えば、種々のP C I (Peripheral Component Interconnect) E x p r e s s (以下、P C I eと呼ぶ。) トポロジに対応したシステム構成を実現可能な半導体装置に関する。

背景技術

[0002] 近年、パーソナルコンピュータなどのデータ処理装置の高機能化、多機能化が進んでおり、様々な種類のインタフェース回路が搭載されるようになってきている。そのようなインタフェースの1つとして、P C I eを挙げることができる。

[0003] P C I eは、従来のP C Iバスが有していた転送速度不足を解消するための次世代インタフェースとして開発されたシリアルインタフェースであり、ソフトウェアレベルでP C Iバスとの完全互換を実現したものである。したがって、P C I eは、従来のP C Iバスが動作できるO S (Operating System) であれば、特に新しくサポートしなくてもそのO S上で動作することが可能である。

[0004] P C I eのシステムを構成する要素として、ルートコンプレックス、エンドポイント、スイッチ、ブリッジなどがあり、これらの要素を接続することによって様々なトポロジを実現可能である。これに関連する技術として、以下のようなものが開示されている。

[0005] 特開平11-288400号公報(特許文献1)には、回路量を低減するP C Iブリッジデバイスが開示されている。P C Iブリッジデバイスは、2次側疑似P C Iバスに接続されるデバイスのコンフィグレーション空間を疑似的に実現する。そのため、2次側疑似P C Iインタフェース部は、リセット直後に、上記デバイスの情報(1次側P C Iバスに見せる機能番号)を取

得する。デコード部は、デバイスの情報と、２次側疑似ＰＣＩバスに出力するＩＤＳＥＬとを対応づける。そして、１次側ＰＣＩインタフェース部は、コンフィグレーションサイクルを検知すると、２次側疑似ＰＣＩインタフェース部とともに、サイクルの中継を行うとともに、デコード部はデバイスの情報の一部ビットの置き換えを行なう。

[0006] 特開平１１－２３８０３０号公報（特許文献２）には、既存のＢＩＯＳ（Basic Input／Output System）により確実にサポートされ、ＤＭＡ（Direct Memory Access）コントローラとＬＳＩ（Large Scale Integrated circuit）コアとを同一チップ上に設けたカスタム化ＰＣＩ－ＰＣＩブリッジが開示されている。カスタム化されたＰＣＩ－ＰＣＩブリッジはタイプ「００」ヘッダを用い、ファンクション番号を用いて２次ＰＣＩデバイスを識別しコンフィギュレーションを可能にする。ＰＣＩ－ＰＣＩブリッジは、演算コア、ＰＣＩエージェントとともにＶＧＡデバイスをサポートするために、起動時と起動後とでメモリマップを切替える。また、ＰＣＩ－ＰＣＩブリッジは、２つのＰＣＩバスが同時に駆動されないようにバス駆動を調停する。

[0007] 特開２００２－０２４１６１号公報（特許文献３）には、内蔵されるＰＣＩエージェントの数量に制限がなく、後から追加及び置き換えが容易で、全体の回路規模を小さくすることができ、しかも信号線の伝播遅延を小さくするようにレイアウト設計することが容易なＰＣＩエージェント集積回路及びその通信方法が開示されている。ＰＣＩエージェント集積回路は、複数のＰＣＩエージェントに共通的に使用される１つのＰＣＩバス制御部と、各々のＰＣＩエージェントの機能制御部と、共通的な使用を目的としてこれらの間に接続される内部共通バスとから構成される。これによりＰＣＩエージェントの構成の変更、もしくは新規に追加する際の設計変更が容易となる。

先行技術文献

特許文献

[0008] 特許文献１：特開平１１－２８８４００号公報

特許文献２：特開平１１－２３８０３０号公報

特許文献3：特開2002-024161号公報

発明の概要

発明が解決しようとする課題

- [0009] P C I e－P C I ブリッジを有するシステム設計において、P C I e デバイスファンクションを増やす場合、製品基板上に複数のL S I を並べるか、またはL S I に内蔵されるI P (Intellectual Property) 数を増やす必要がある。
- [0010] たとえば、P C I e スイッチの下流側にP C I e－P C I ブリッジとP C I e エンドポイントとを並べたトポロジを構成する場合、最低でも3種類のL S I またはI P が必要になる。
- [0011] そのため、そのようなトポロジを複数のL S I で実現する場合、基板面積や部品コストが増大するといった問題点があった。また、L S I に内蔵される複数のI P で実現する場合、ゲート数やパッケージサイズが増大するといった問題点があった。これらは、いずれの場合にも開発コストの増大にもつながる。
- [0012] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

- [0013] 一実施の形態によれば、P C I e のトポロジを構成するデバイスを実現する半導体装置が提供される。R A M は、P C I e デバイスのファンクション情報を定義するコンフィグレーションレジスタを記憶する。L i n k 制御部は、P C I e ホストから受信したリクエストをデコードし、デコード結果をC P U (Central Processing Unit) に出力する。C P U は、L i n k 制御部から受けたデコード結果に応じて対応するコンフィグレーションレジスタをR A M から読み出し、リクエストに対するレスポンスを生成してL i n k 制御部に送信させる。

発明の効果

[0014] 上記一実施の形態によれば、CPUが、Link制御部から受けたデコード結果に応じて対応するコンフィグレーションレジスタをRAMから読み出し、リクエストに対するレスポンスを生成してLink制御部に送信させる。これにより、種々のPCIeトポロジに対応したシステム構成を実現することが可能となる。

図面の簡単な説明

[0015] [図1]PCIeスイッチの下流側にPCIe-PCIブリッジとPCIeエンドポイントとを並べたトポロジを構成する一例を示す図である。

[図2]第1の実施の形態における半導体装置の構成例を示すブロック図である。

[図3]PCIeデバイスハードウェアがリクエストパケットを受け取ったときの、PCIeデバイスハードウェアおよびソフトウェアシーケンサの動作を説明するためのフローチャートである。

[図4]第1の実施の形態における半導体装置のさらに詳細な構成を説明するためのブロック図である。

[図5]第1の実施の形態における半導体装置によってPCIe-PCIブリッジの構成が実現される一例を示す図である。

[図6]第1の実施の形態における半導体装置によってPCIeスイッチおよびPCIe-PCIブリッジの構成が実現される一例を示す図である。

[図7]図4に示す第1の実施の形態における半導体装置によって図5および図6に示すトポロジを実現したときのコンフィグレーションレジスタの読み出しの動作を説明するための図である。

[図8]図4に示す第1の実施の形態における半導体装置によって図5および図6に示すトポロジを実現したときのPCIバスに接続されるデバイスの、コンフィグレーションレジスタの読み出しの動作を説明するための図である。

[図9]図4に示す第1の実施の形態における半導体装置によって図5および図6に示すトポロジを実現したときのPCIバスに接続されるデバイスの、メモリリードの動作を説明するための図である。

[図10]第2の実施の形態における半導体装置の構成例を示すブロック図である。

[図11]第2の実施の形態における半導体装置によってPCL eエンドポイント（汎用デバイス）の構成を実現する一例を示す図である。

[図12]第2の実施の形態における半導体装置によってPCL eエンドポイント（汎用デバイス）の構成を実現する他の一例を示す図である。

[図13]第2の実施の形態における半導体装置によってPCL eスイッチと、2つのPCL eエンドポイントとを有するトポロジの構成を実現する一例を示す図である。

[図14]第2の実施の形態における半導体装置によって3つのPCL eスイッチと、5つのPCL eエンドポイントとを有するトポロジの構成を実現する一例を示す図である。

[図15]第2の実施の形態における半導体装置によって図11～図14に示すトポロジを実現したときのコンフィグレーションレジスタの書き込みの動作を説明するための図である。

[図16]第2の実施の形態における半導体装置によって図11～図14に示すトポロジを実現したときの汎用バスに接続されるデバイスのメモリライトの動作を説明するための図である。

発明を実施するための形態

[0016] 図1は、PCL eスイッチの下流側にPCL e－PCLブリッジとPCL eエンドポイントとを並べたトポロジを構成する一例を示す図である。図1に示すように、PCL eスイッチ101の下流側には、PCL e I/F（Interface）を介してPCL eブリッジ102とPCL eエンドポイント103とが接続される。

[0017] また、PCL e－PCLブリッジ102の下流側には、PCL e I/Fを介してPCL eエンドポイントなどが接続される。このようなトポロジを構成する場合、最低でも3種類のLSIやIPを用いる必要があり、上述のように開発コストが増大するなどの問題が発生する。

[0018] (第1の実施の形態)

図2は、第1の実施の形態における半導体装置の構成例を示すブロック図である。この半導体装置1は、P C I eデバイスハードウェア11と、ソフトウェアシーケンサ12とを含む。また、ソフトウェアシーケンサ12は、C P U 13と、ワークR A M (Random Access Memory) 14と、コードR A M / R O M (Read Only Memory) 15とを含む。半導体装置1は、P C I e I / Fを介して、P C I eホストとの通信を行なう。

[0019] P C I eデバイスハードウェア11は、P C I e I / Fに接続され、主に物理レイヤおよびデータリンクレイヤの制御を行なう。また、C P U 13は、コードR A M / R O M 15に記憶されるプログラムを実行することにより、主にトランザクションレイヤの制御を行なう。なお、ワークR A M 14は、コンフィグレーションレジスタを格納するが、その詳細は後述する。

[0020] トランザクションレイヤは、主にトランザクションレイヤパケット (T L P : Transaction Layer Packet) の生成と、復号とを行なう。T L Pは、リードやライトといったコマンド、アドレス、データなどで構成される。また、トランザクションレイヤは、接続相手とのフロー制御も行なう。

[0021] P C I eのフロー制御はクレジットベースで行なわれる。クレジットベースとは、予め自分が受信できるバッファのサイズを相手に通知しておき、バッファに空きができるたびにその旨を伝える方式である。送信側は、自身が受信したパケットのサイズを積算してゆき、また送信相手からバッファの空きが伝えられるとその分を減算する。これによって、送信相手のバッファサイズを超えることなく、パケットの転送が可能となる。

[0022] トランザクションレイヤは、メモリ空間、I / O空間およびコンフィグレーション空間の3つのアドレス空間をサポートする。

[0023] P C I e (P C I) デバイスを制御する場合、P C I eバス (P C Iバス) のコンフィグレーションレジスタの操作によって当該制御が行なわれる。詳細は、P C Iの仕様書などを参照されたい。

[0024] 図3は、P C I eデバイスハードウェア11がリクエストパケットを受け

取ったときの、P C I e デバイスハードウェア 1 1 およびソフトウェアシーケンサ 1 2 の動作を説明するためのフローチャートである。

[0025] まず、P C I e デバイスハードウェア 1 1 が、P C I e I / F を介して P C I e ホストからリクエストパケット (R e q T L P) を受けると、その T L P をデコードしてどのような要求であるかを判断し、要求に応じた割り込み要求をソフトウェアシーケンサ 1 2 の C P U 1 3 に出力する (S 1 1) 。なお、リクエストパケットは、メモリに対する読み出し／書き込み要求であるメモリリクエスト、I / O に対する読み出し／書き込み要求である I / O リクエスト、コンフィグレーション空間に対する読み出し／書き込み要求であるコンフィグレーションリクエストなどを含む。

[0026] ソフトウェアシーケンサ 1 2 内の C P U 1 3 は、P C I e デバイスハードウェア 1 1 から割り込み要求を受けると、T L P のヘッダおよびデータをチェックし (S 1 2) 、リクエストパケットに対するレスポンスを生成し、レスポンスを生成したことを制御レジスタに設定して通知する (S 1 3) 。このとき、ワーク R A M 1 4 に格納されるコンフィグレーションレジスタの値が適宜参照される。

[0027] P C I e デバイスハードウェア 1 1 は、ソフトウェアシーケンサ 1 2 からレスポンスを生成したことを受けると、P C I e I / F を介してレスポンス (C p I T L P : コンプリーション) を送信する (S 1 4) 。このとき、読み出しの場合には、レスポンスにデータも含まれる。

[0028] 図 4 は、第 1 の実施の形態における半導体装置のさらに詳細な構成を説明するためのブロック図である。半導体装置 1 は、C P U 1 3 と、R A M 1 4 , 1 5 と、P C I e - P h y 部 2 1 と、P C I e - L i n k 部 2 2 と、L i n k 制御部 2 3 と、制御レジスタ 2 4 と、データバッファ 2 5 と、P C I バス制御部 2 6 と、汎用バス制御部 2 7 と、バス選択部 2 8 とを含む。

[0029] P C I e - P h y 部 2 1 は、P C I e I / F を介して P C I e ホスト 2 と接続されており、P C I e の物理レイヤの機能を有している。P C I e - L i n k 部 2 2 は、P C I e のデータリンクレイヤの機能を有している。

- [0030] Link制御部23は、P C I e-L i n k部22から出力される受信T L P（リクエストパケット）をデコードし、どのようなリクエストであるかを判断してC P U 13に割り込み要求を出力する。また、L i n k制御部23は、P C I e-L i n k部22およびP C I e-P h y部21を介して、リクエストパケットに対応したレスポンス（コンプリーション）をP C I eホスト2に送信する。
- [0031] 制御レジスタ24は、半導体装置1自身の制御のために設けられたレジスタ群であり、コンフィグレーションレジスタとは区別される。
- [0032] データバッファ25は、P C Iバスまたは汎用バスを介してデバイスA（3）またはデバイスB（4）に送信するデータ、およびP C Iバスまたは汎用バスを介してデバイスA（3）またはデバイスB（4）から受信したデータを一時的に格納する。
- [0033] P C Iバス制御部26は、リクエストパケットがP C Iバスに接続されるデバイスA（3）に対するメモリリード、メモリライトなどの場合に、デバイスA（3）との間でデータの送受信を行なう。
- [0034] 汎用バス制御部27は、リクエストパケットが汎用バスに接続されるデバイスB（4）に対するメモリリード、メモリライトなどの場合に、デバイスB（4）との間でデータの送受信を行なう。
- [0035] バス選択部28は、ダウンロード5、C P U 13、R A M 14、15および制御レジスタ24に接続されており、バスの切り替えを行なう。たとえば、C P U 13で実行されるプログラムをダウンロード5が、R A M 15にダウンロードする場合、バス選択部28は、ダウンロード5から出力される処理コードがR A M 15に書き込まれるようにバスを切り替える。
- [0036] また、C P U 13がR A M 15に格納されるプログラムを実行する場合、バス選択部28は、C P U 13がR A M 15に格納される処理コードをフェッチできるようにバスを切り替える。また、C P U 13が制御レジスタ24にアクセスする場合、バス選択部28は、C P U 13が制御レジスタ24に対して読み出し／書き込みが行なえるようにバスを切り替える。

[0037] 図5～図6は、第1の実施の形態における半導体装置によって実現されるトポロジの例を示す図である。図5は、第1の実施の形態における半導体装置1によってP C I e－P C Iブリッジの構成が実現される一例を示す図である。このP C I e－P C Iブリッジ30は、3つのデバイスファンクション（F u n c. 1～F u n c. 3）31～33を有しており、それぞれに対応する3つのコンフィグレーションレジスタが、図2および図4に示すR A M 14に配置される。C P U 13がR A M 15に記憶されるプログラムを実行することによって、デバイスファンクション31～33の機能が実現される。

[0038] 図6は、第1の実施の形態における半導体装置1によってP C I eスイッチおよびP C I e－P C Iブリッジの構成が実現される一例を示す図である。P C I eスイッチ41は、上流側ポート（U p s t r e a m）および2つの下流側ポート（D o w n s t r e a m）を有しており、それぞれに対応する3つのコンフィグレーションレジスタが、図2および図4に示すR A M 14に配置される。また、P C I e－P C Iブリッジ42は、1つのコンフィグレーションレジスタを有しており、図2および図4に示すR A M 14に配置される。

[0039] P C I eホスト2は、システム起動時に各デバイスファンクションに対応するコンフィグレーションレジスタを読み出すことでP C I eのトポロジを検索する。R A M 14に定義されたコンフィグレーションレジスタのデバイスファンクション番号に当該各デバイスファンクションにおけるデバイスファンクション番号がヒットしたときに、C P U 13の指示によりL i n k制御部23が、そのデバイスファンクションの存在を意味するコンプリーションを返すことでP C I eホスト2にデバイスファンクションを認識させる。

[0040] 図7は、図4に示す第1の実施の形態における半導体装置1によって図5および図6に示すトポロジを実現したときのコンフィグレーションレジスタの読み出しの動作を説明するための図である。

[0041] まず、L i n k制御部23が、P C I e－P h y部21およびP C I e－

Link部22を介してPCleホスト2からリクエストパケットを受けると(図7の(1))、そのTPLをデコードする。そして、そのTPLがコンフィグレーションリードであることを検出すると、Link制御部23は、CPU13に対してコンフィグレーションリードを受信したことを通知する(図7の(2))。

[0042] この通知は、上述のようにCPU13に対して割り込み要求を出力するようにしてもよいし、Link制御部23がコンフィグレーションリードを受信したことを制御レジスタ24に書き込み、CPU13がそれをポーリングすることによって通知するようにしてもよい。

[0043] CPU13は、Link制御部23から通知を受けると、RAM14から対応するコンフィグレーションレジスタの内容を読み出し(図7の(3))、そのデータをLink制御部23に設定する(図7の(4))。そして、Link制御部23は、PCle-Link部22およびPCle-Phy部21を介してPCleホスト2にコンプリーションを送信すると共に、コンフィグレーションレジスタの内容を送信する。

[0044] たとえば、本実施の形態における半導体装置1によって図5に示すトポロジが構成された場合、RAM14にデバイスファンクション31~33に対応するコンフィグレーションレジスタが格納されている。CPU13は、PCleホスト2から要求があったデバイスファンクションに対応するコンフィグレーションレジスタの内容をRAM14から読み出し、Link制御部23に設定する。

[0045] また、本実施の形態における半導体装置1によって図6に示すトポロジが構成された場合、RAM14に、PCleスイッチ41の上流側ポート(Upstream)および2つの下流側ポート(Downstream)の3つのコンフィグレーションレジスタと、PCle-PCIブリッジ42の1つのコンフィグレーションレジスタとが格納されている。CPU13は、PCleホスト2から要求があったデバイスに対応するコンフィグレーションレジスタの内容をRAM14から読み出し、Link制御部23に設定する

。

[0046] 図8は、図4に示す第1の実施の形態における半導体装置1によって図5および図6に示すトポロジを実現したときのPCIバスに接続されるデバイスのコンフィグレーションレジスタの読み出しの動作を説明するための図である。

[0047] まず、Link制御部23が、PCIe-Phy部21およびPCIe-Link部22を介してPCIeホスト2からリクエストパケットを受けると(図8の(1))、そのTPLをデコードする。そして、そのTPLがデバイスA(3)のコンフィグレーションリードであることを検出すると、Link制御部23は、CPU13に対してコンフィグレーションリードを受信したことを通知する(図8の(2))。

[0048] CPU13は、Link制御部23から通知を受けると、PCIバス制御部26に対してPCIのコンフィグレーションリードサイクルを要求する(図8の(3))。そして、PCIバス制御部26がデバイスA(3)に対してコンフィグレーションリードを発行する(図8の(4))。

[0049] デバイスA(3)は、PCIバス制御部26からコンフィグレーションリードを受けると、コンフィグレーションレジスタの内容をPCIバス制御部26に送信する。そして、PCIバス制御部26は、デバイスA(3)から受信したリードデータをCPU13に通知する(図8の(5))。

[0050] 次に、CPU13がPCIバス制御部26から受けたコンフィグレーションレジスタの内容をLink制御部23に設定する(図8の(6))。そして、Link制御部23は、PCIe-Link部22およびPCIe-Phy部21を介してPCIeホスト2にコンプリーションを送信すると共に、コンフィグレーションレジスタの内容を送信する。

[0051] 図9は、図4に示す第1の実施の形態における半導体装置1によって図5および図6に示すトポロジを実現したときのPCIバスに接続されるデバイスのメモリリードの動作を説明するための図である。

[0052] まず、Link制御部23が、PCIe-Phy部21およびPCIe-

Link部22を介してPCleホスト2からリクエストパケットを受けると(図9の(1))、そのTPLをデコードする。そして、そのTPLがデバイスA(3)のメモリアドレスであることを検出すると、Link制御部23は、PCIBus制御部26に対してメモリアドレスを受信したことを通知する(図9の(2))。

[0053] PCIBus制御部26は、Link制御部23から通知を受けると、デバイスA(3)に対してメモリアドレスを発行する(図9の(3))。そして、PCIBus制御部26がデバイスA(3)からリードデータを受けると、それをデータバッファ25に順次格納する(図9の(4))。

[0054] そして、PCIBus制御部26は、リードデータの受信を完了すると、Link制御部23に対してリードデータの完了を通知する(図9の(5))。Link制御部23がPCIBus制御部26から通知を受けると、PCle-Link部22およびPCle-Phy部21を介してPCleホスト2にコンプリションを送信すると共に、データバッファ25に格納されるリードデータを順次送信する。

[0055] なお、デバイスA(3)に対するメモリアドレスは、後述の図16と同様の動作によって行なわれ、PCIBus制御部26を介してデバイスA(3)にデータを書き込む点のみが異なる。

[0056] 以上説明したように、本実施の形態における半導体装置は、PCleトポロジを構成するPCleデバイスのコンフィグレーションレジスタをRAM14に格納し、PCleホスト2からリクエストを受けたときに、RAM14に格納されるコンフィグレーションレジスタを参照してレスポンスをPCleホスト2に送信する。これによって、種々のPCleトポロジに対応したシステム構成を実現することが可能となった。

[0057] また、本実施の形態における半導体装置によって、PCle-PCIブリッジ、PCleスイッチ、エンドポイントなどの複数のPCleデバイスを任意に組み合わせたトポロジを構成する場合、そのPCleデバイス間の物理レイヤやデータリンクレイヤなどを制御するためのハードウェアを削減す

ることができる。したがって、基板面積や部品コストを削減したり、ゲート数やパッケージサイズを削減したりすることが可能となった。

[0058] また、半導体装置を出荷した後でも、P C I e トポロジやデバイスファンクションを変更することができるため、デバッグ時に判明した不具合の修正や、顧客からの要求仕様の変更などにも対応することが可能となった。

[0059] また、本実施の形態における半導体装置においては、所望のトポロジを実現したときはP C I バスに接続されるデバイスのメモリリードの動作はC P U 1 3 を介さないで実施している。これによってメモリ転送時間の短縮を図っているが、メモリ転送はこの方法に限定されずC P U 1 3 を介してメモリ転送を行わせてもよい。

[0060] (第2の実施の形態)

第2の実施の形態における半導体装置は、汎用バスに接続される汎用デバイスに対応するコンフィグレーションレジスタをR A M 1 4 に記憶し、そのコンフィグレーションレジスタを用いることによって、汎用デバイスを擬似的にP C I e のトポロジに接続されたデバイスとして制御するものである。なお、第2の実施の形態における半導体装置の構成は、図4に示す第1の実施の形態における半導体装置の構成と同様である。したがって、重複する構成および機能の詳細な説明は繰り返さない。

[0061] 図10は、第2の実施の形態における半導体装置の構成例を示すブロック図である。図2に示す第1の実施の形態における半導体装置の構成例と比較して、P C I e デバイスハードウェア11が汎用バスを介して汎用デバイス6および7に接続される点のみが異なる。したがって、重複する構成および機能の詳細な説明は繰り返さない。ここで、汎用バスとは、上述のP C I e バスおよびP C I バス以外のバスを指すものとする。

[0062] 図11～図14は、第2の実施の形態における半導体装置によって実現されるトポロジの例を示す図である。図11は、第2の実施の形態における半導体装置1によってP C I e エンドポイント（汎用デバイス）51の構成を実現する一例を示す図である。このエンドポイントは、1つのデバイスファ

ンクション（F u n c. 1）のみを有しており、対応するコンフィグレーションレジスタが、図2および図4に示すR A M 1 4に配置される。

[0063] 図12は、第2の実施の形態における半導体装置1によってP C I eエンドポイント（汎用デバイス）60の構成を実現する一例を示す図である。このエンドポイントは、3つのデバイスファンクション（F u n c. 1～F u n c. 3）61～63を有しており、3つのデバイスファンクション61～63のそれぞれに対応するコンフィグレーションレジスタが、図2および図4に示すR A M 1 4に配置される。

[0064] 図13は、第2の実施の形態における半導体装置1によってP C I eスイッチ71と、2つのP C I eエンドポイント72および73とを有するトポロジ70の構成を実現する一例を示す図である。P C I eスイッチ71と、2つのP C I eエンドポイント72および73のそれぞれに対応するコンフィグレーションレジスタが、図2および図4に示すR A M 1 4に配置される。この場合、コンフィグレーションレジスタの総数は5となる。

[0065] 図14は、第2の実施の形態における半導体装置1によって3つのP C I eスイッチと、5つのP C I eエンドポイントとを有するトポロジ80の構成を実現する一例を示す図である。3つのP C I eスイッチ1～3（81～83）と、5つのP C I eエンドポイント84～88のそれぞれに対応するコンフィグレーションレジスタが、図2および図4に示すR A M 1 4に配置される。この場合、コンフィグレーションレジスタの総数は14となる。

[0066] 図15は、第2の実施の形態における半導体装置1によって図11～図14に示すトポロジを実現したときのコンフィグレーションレジスタの書き込みの動作を説明するための図である。

[0067] まず、L i n k制御部23が、P C I e－P h y部21およびP C I e－L i n k部22を介してP C I eホスト2からリクエストパケットを受けると（図15の（1））、そのT P Lをデコードする。そして、そのT P Lがコンフィグレーションライトであることを検出すると、L i n k制御部23は、C P U 13に対してコンフィグレーションライトを受信したことを通知

する（図１５の（２））。このとき、Ｌｉｎｋ制御部２３は、ＰＣＩｅホスト２からライトデータも受信して、ＣＰＵ１３に転送する。

[0068] ＣＰＵ１３は、Ｌｉｎｋ制御部２３から通知を受けると、ＲＡＭ１４にＬｉｎｋ制御部２３から受けたコンフィグレーションレジスタの内容を書き込み（図１５の（３））、必要に応じてＣＰＵ１３が汎用バス制御部２７を介してデバイスＢ（４）に動作設定の変更を通知する（図１５の（４））。

[0069] また、ＣＰＵ１３は、そのレスポンスステータスをＬｉｎｋ制御部２３に設定する（図１５の（５））。そして、Ｌｉｎｋ制御部２３は、ＰＣＩｅ－Ｌｉｎｋ部２２およびＰＣＩｅ－Ｐｈｙ部２１を介してＰＣＩｅホスト２にコンプリーションを送信する（図１５の（６））。

[0070] なお、汎用デバイスＢ（４）に対するコンフィグレーションリードの動作は、図７に示すコンフィグレーションレジスタの読み出しの動作と同様であるので、詳細な説明は繰り返さない。

[0071] 図１６は、第２の実施の形態における半導体装置１によって図１１～図１４に示すトポロジを実現したときの汎用バスに接続されるデバイスのメモリライトの動作を説明するための図である。

[0072] まず、Ｌｉｎｋ制御部２３が、ＰＣＩｅ－Ｐｈｙ部２１およびＰＣＩｅ－Ｌｉｎｋ部２２を介してＰＣＩｅホスト２からリクエストパケットを受けると（図１６の（１））、そのＴＰＬをデコードする。そして、そのＴＰＬがデバイスＢ（４）のメモリライトであることを検出すると、Ｌｉｎｋ制御部２３は、ＰＣＩｅホスト２から受けたライトデータをデータバッファ２５に格納する（図１６の（２））。

[0073] 次に、Ｌｉｎｋ制御部２３は、汎用バス制御部２７に対してメモリライトを受信したことを通知する（図１６の（３））。そして、汎用バス制御部２７は、デバイスＢ（４）に対してメモリライトを発行し、データバッファ２５に格納されるライトデータを順次デバイスＢ（４）に送信する（図１６の（４））。

[0074] なお、汎用バスに接続されるデバイスＢ（４）からのメモリリードは、上

述の図9と同様の動作によって行なわれ、汎用バス制御部27を介してデバイスB(4)からデータを読み出す点のみが異なる。

[0075] 以上説明したように、本実施の形態における半導体装置は、汎用バスに接続される汎用デバイスのコンフィグレーションレジスタをRAM14に記憶し、PCIeホスト2からのコンフィグレーションリードに対してこのコンフィグレーションレジスタの内容を返す。したがって、本実施の形態における半導体装置は、第1の実施の形態において説明した効果に加えて、PCIeのトポロジに汎用レジスタを擬似的に接続することが可能である。

[0076] 以上、本発明者等によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

符号の説明

[0077] 1 半導体装置、2 PCIeホスト、3, 4 デバイス、5 ダウンローダ、6, 7

汎用デバイス、11 PCIeデバイスハードウェア、12 ソフトウェアシーケンサ、13 CPU、14 ワークRAM、15 コードRAM/ROM、21 PCIe-Phy部、22 PCIe-Link部、23 Link制御部、24 制御レジスタ、25 データバッファ、26 PCIバス制御部、27 汎用バス制御部、28 バス選択部。

請求の範囲

- [請求項1] シリアルインタフェースバスのトポロジを構成するデバイスを実現する半導体装置であって、
- プロセッサと、
- 前記プロセッサによって参照されるデータを記憶する記憶部と、
- 前記シリアルインタフェースバスの物理レイヤおよびデータリンクレイヤを制御するシリアルインタフェースバス制御部とを含み、
- 前記記憶部は、前記デバイスのファンクション情報を定義するコンフィグレーションレジスタを記憶し、
- 前記シリアルインタフェースバス制御部は、ホストから受信したリクエストをデコードし、デコード結果を前記プロセッサに出力し、
- 前記プロセッサは、前記シリアルインタフェースバス制御部から受けたデコード結果に応じて対応するコンフィグレーションレジスタを前記記憶部から読み出し、前記リクエストに対するレスポンスを生成して前記シリアルインタフェースバス制御部に送信させる、半導体装置。
- [請求項2] 前記シリアルインタフェースバスは、P C I eバスである、請求項1記載の半導体装置。
- [請求項3] 前記プロセッサは、前記記憶部に記憶されるコンフィグレーションレジスタの総数および各コンフィグレーションレジスタごとの機能を変更することで、前記半導体装置によって実現されるデバイスを変更する、請求項1または2記載の半導体装置。
- [請求項4] 前記半導体装置はさらに、P C Iバスに接続されるデバイスとの間のデータの送受信を制御するP C Iバス制御部を含み、
- 前記シリアルインタフェースバス制御部によるデコード結果が前記P C Iバスに接続されるデバイスの制御に関するリクエストである場合、前記P C Iバス制御部は、前記P C Iバスに接続されるデバイスとの間でデータの送受信を行なうことにより、ブリッジの機能を実現

する、請求項 1 または 2 に記載の半導体装置。

[請求項5] 前記記憶部は、上流側ポートおよび下流側ポートのそれぞれのコンフィグレーションレジスタを記憶し、

前記シリアルインタフェースバス制御部によるデコード結果が前記上流側ポートまたは下流側ポートのコンフィグレーションリードの場合、前記プロセッサは対応するコンフィグレーションレジスタを前記記憶部から読み出して前記シリアルインタフェースバス制御部に送信させることにより、前記ブリッジおよびスイッチの機能を実現する、請求項 4 記載の半導体装置。

[請求項6] 前記半導体装置はさらに、汎用バスに接続される汎用デバイスとの間のデータの送受信を制御する汎用バス制御部を含み、

前記記憶部は、前記汎用デバイスに対応するコンフィグレーションレジスタを記憶し、

前記シリアルインタフェースバス制御部によるデコード結果が前記汎用デバイスのコンフィグレーションリードの場合、前記プロセッサは前記汎用デバイスに対応するコンフィグレーションレジスタを前記記憶部から読み出して前記シリアルインタフェースバス制御部に送信させ、前記シリアルインタフェースバス制御部によるデコード結果が前記汎用デバイスの制御に関するリクエストである場合、前記汎用バス制御部は、前記汎用デバイスとの間でデータの送受信を行なうことにより、前記汎用デバイスを擬似的に前記シリアルインタフェースバスのトポロジに接続されたデバイスとして制御する、請求項 1 または 2 に記載の半導体装置。

[請求項7] 前記シリアルインタフェースバス制御部は、前記ホストから受信したリクエストのデコード結果に対応する割込み要求を前記プロセッサに出力し、

前記プロセッサは、前記シリアルインタフェースバス制御部から受けた割込み要求に応じて対応するコンフィグレーションレジスタを参

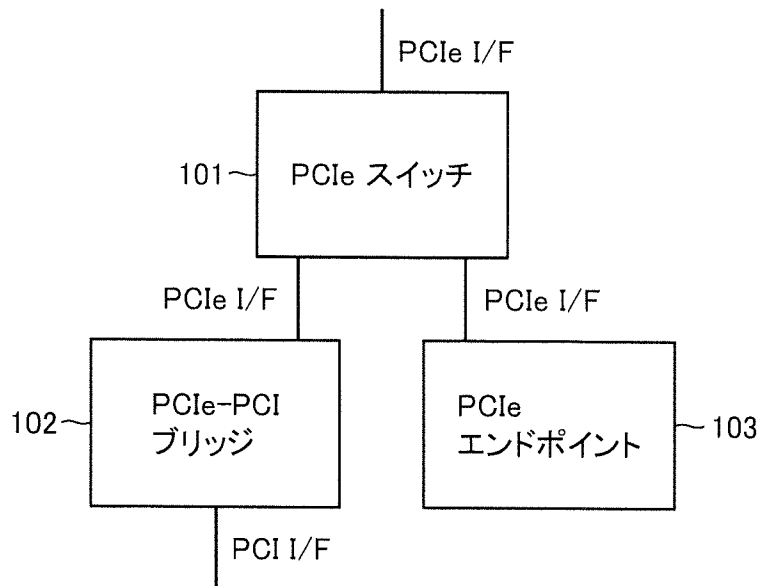
照する、請求項 1 記載の半導体装置。

[請求項 8]

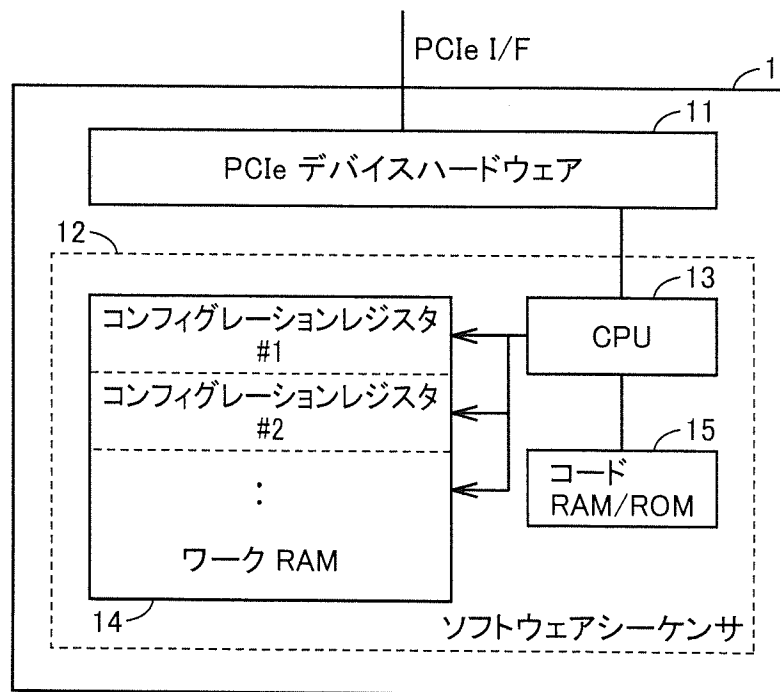
前記シリアルインタフェースバス制御部は、前記ホストから受信したリクエストのデコード結果をレジスタに書き込み、

前記プロセッサは、前記レジスタに書き込まれたデコード結果をポーリングすることによって、前記シリアルインタフェースバス制御部から受けたリクエストを判断し、対応するコンフィグレーションレジスタを参照する、請求項 1 記載の半導体装置。

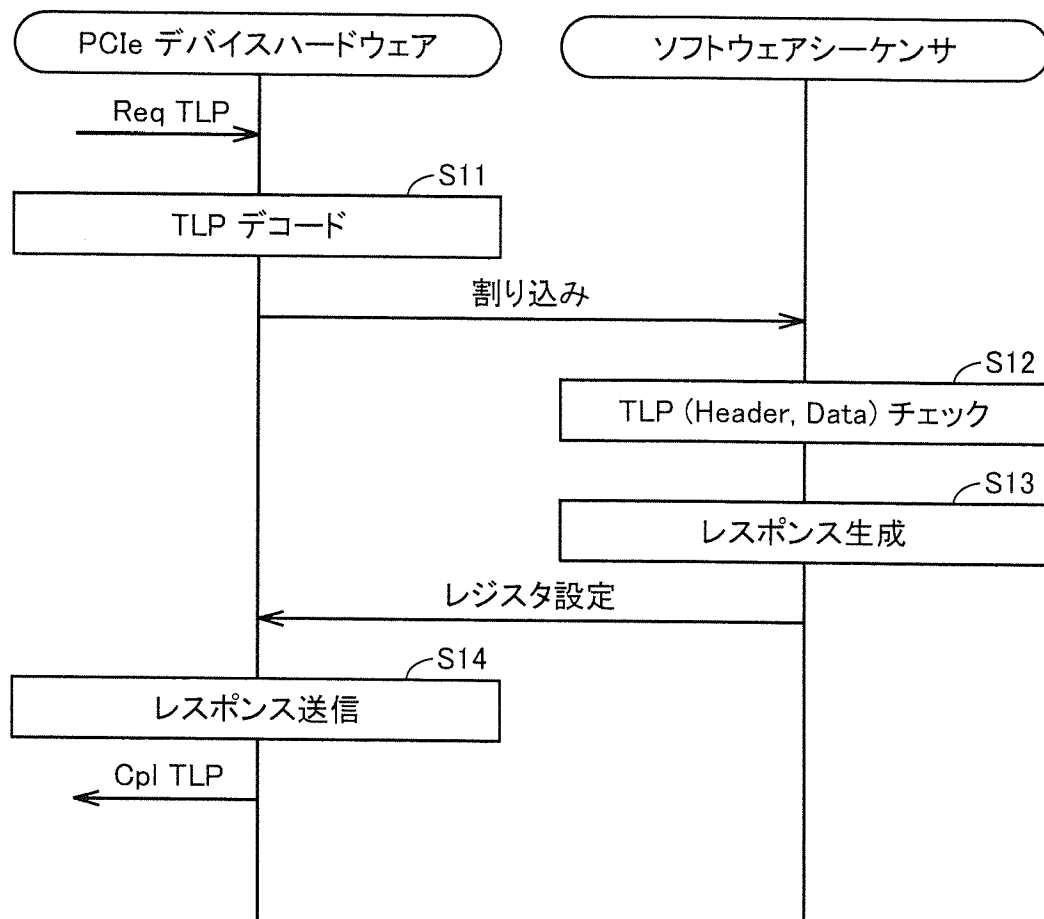
[図1]



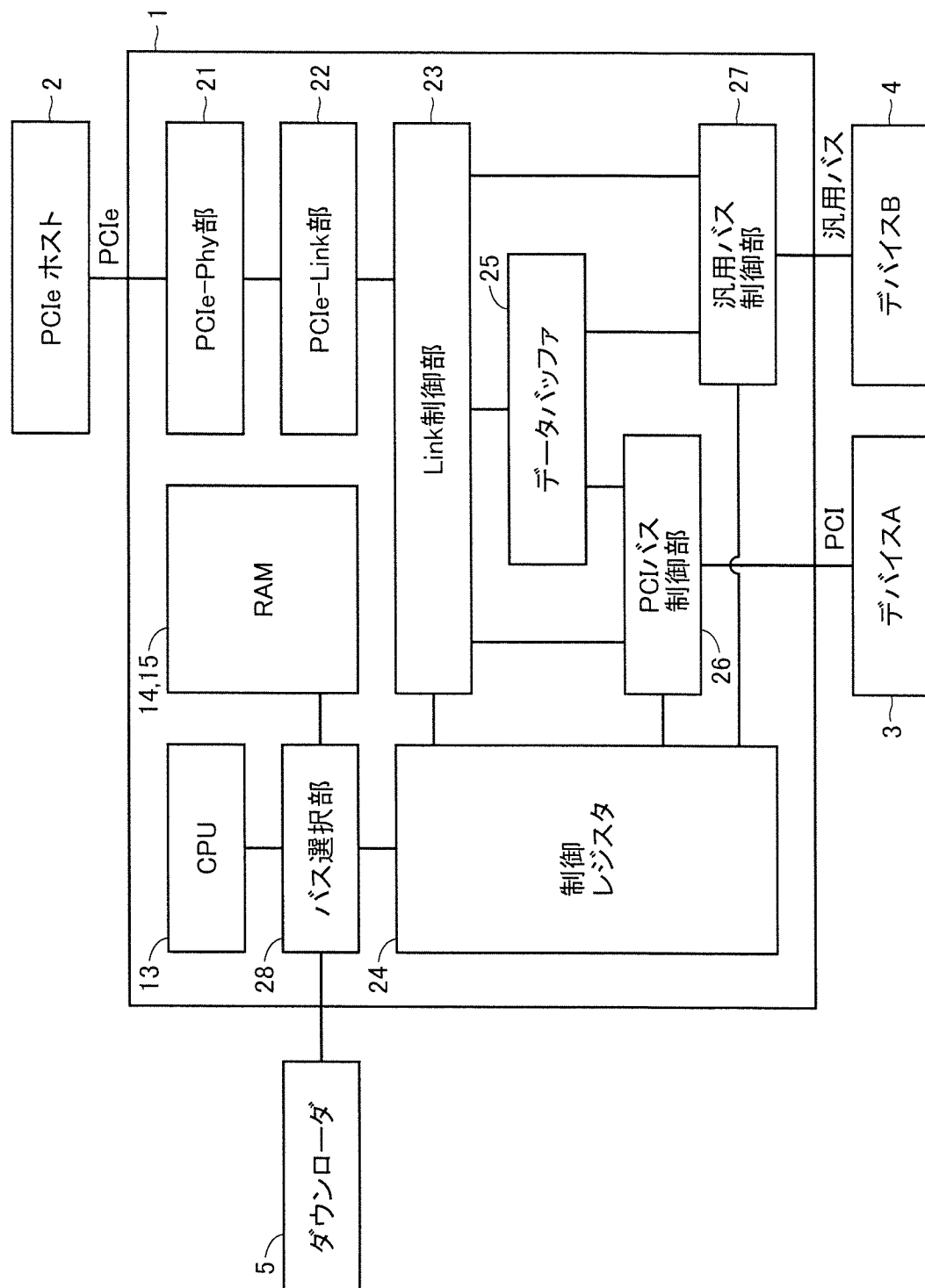
[図2]



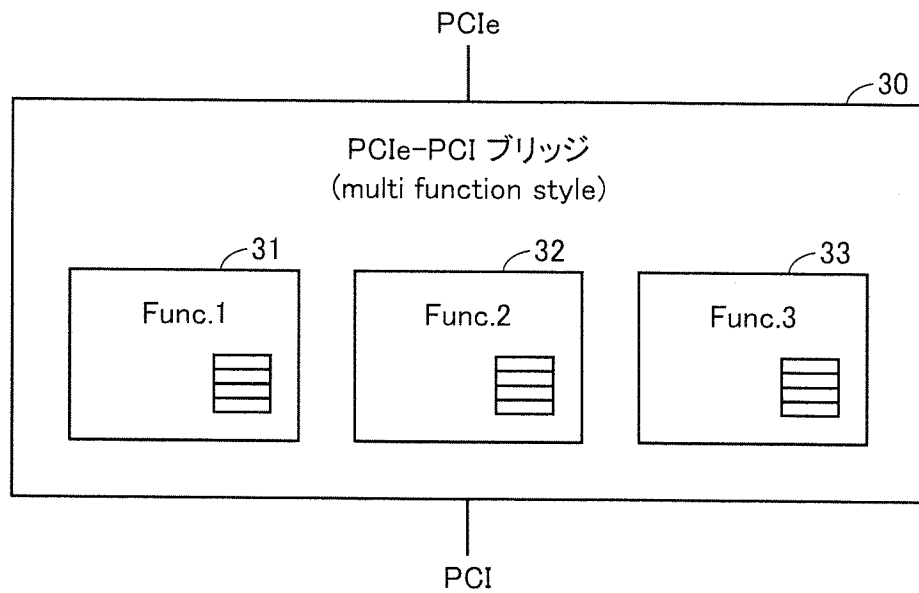
[図3]



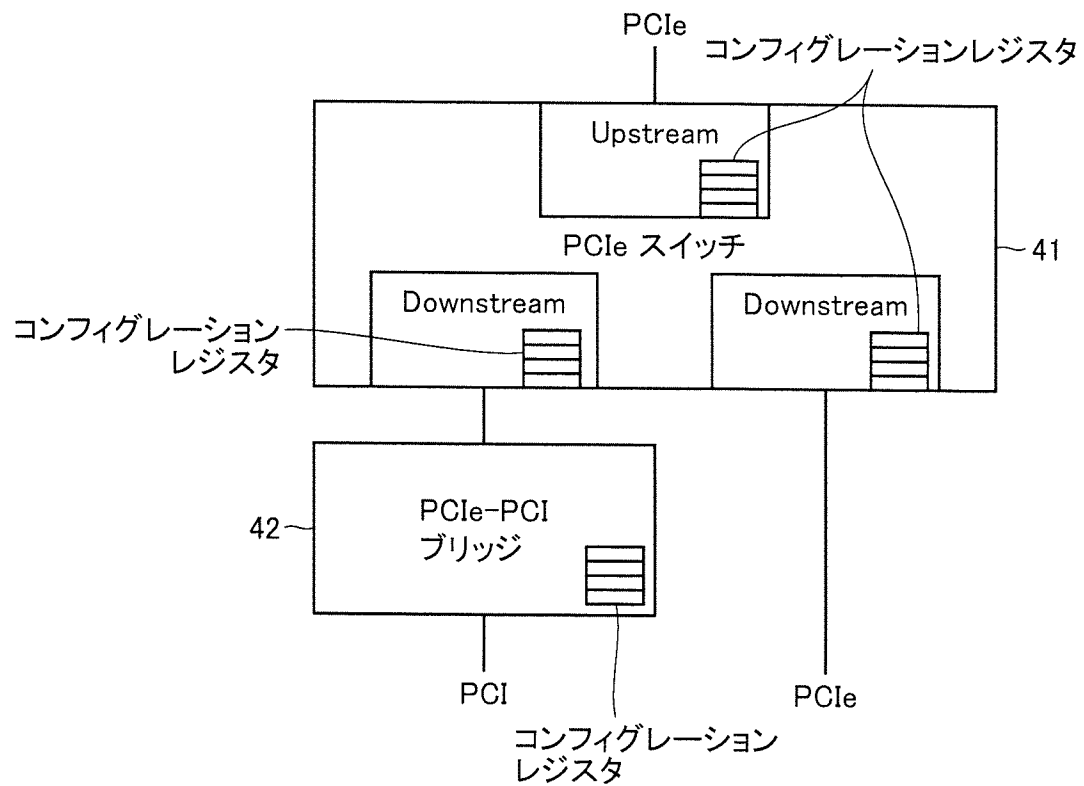
[図4]



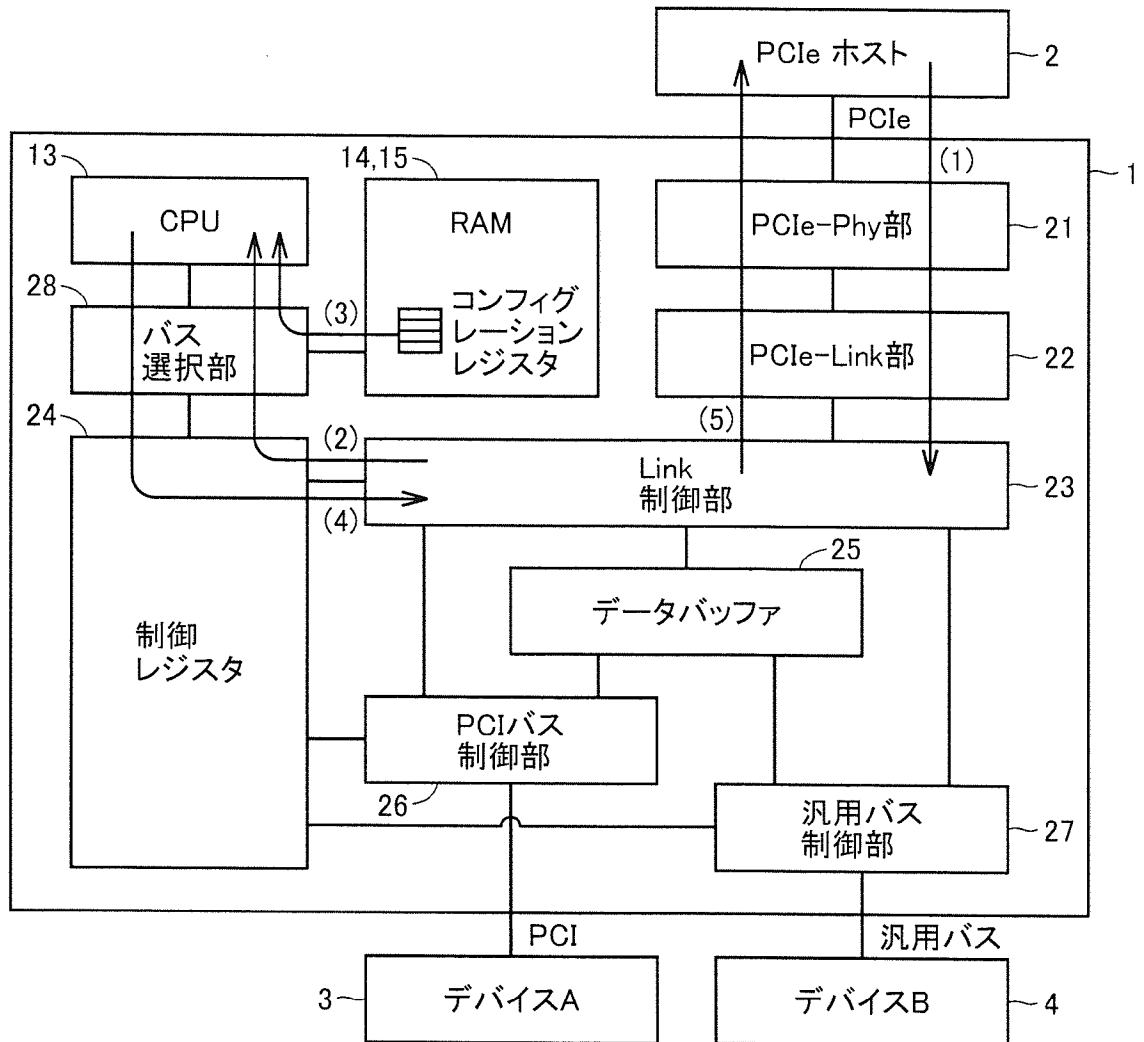
[図5]



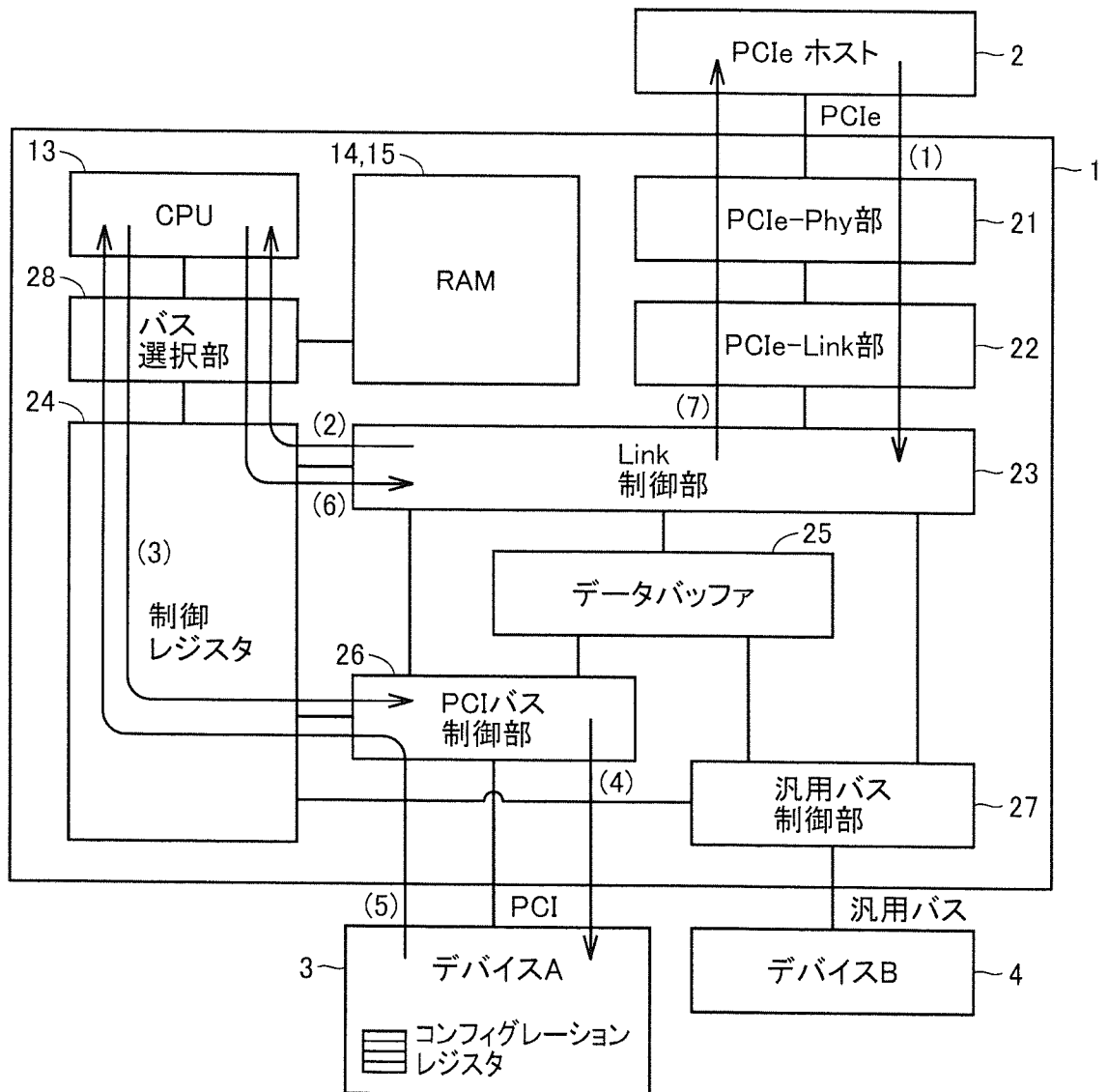
[図6]



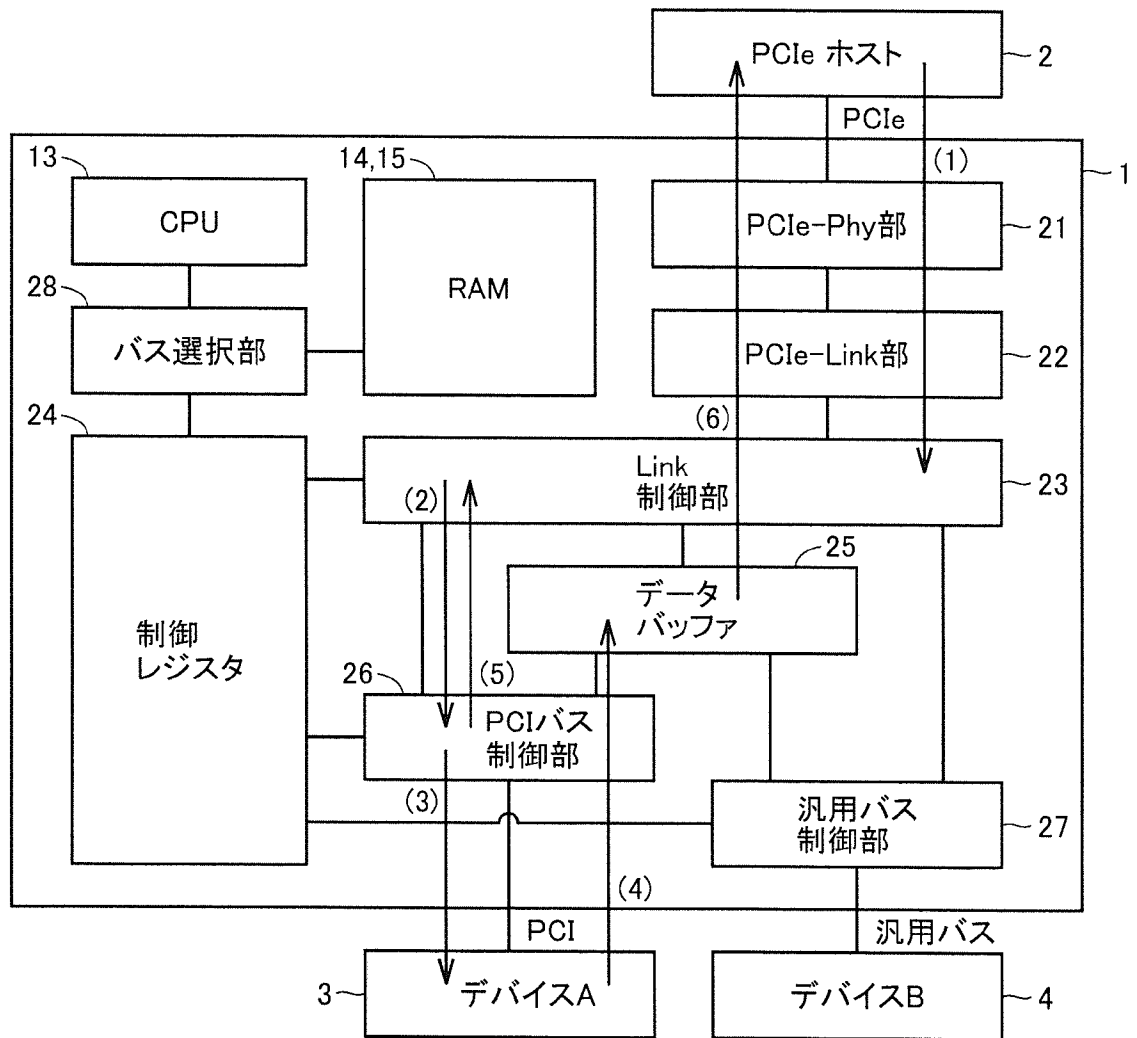
[図7]



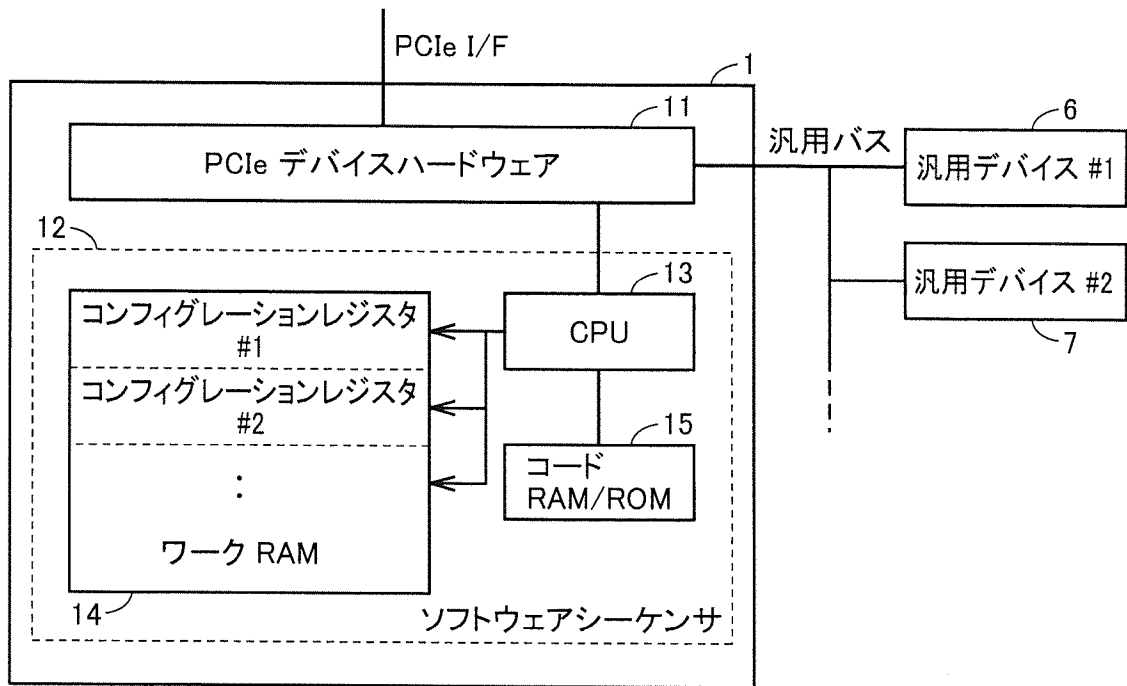
[図8]



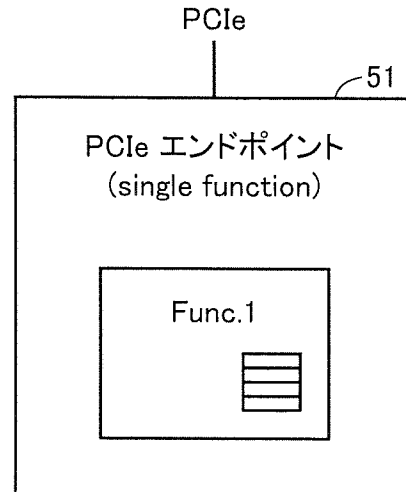
[図9]



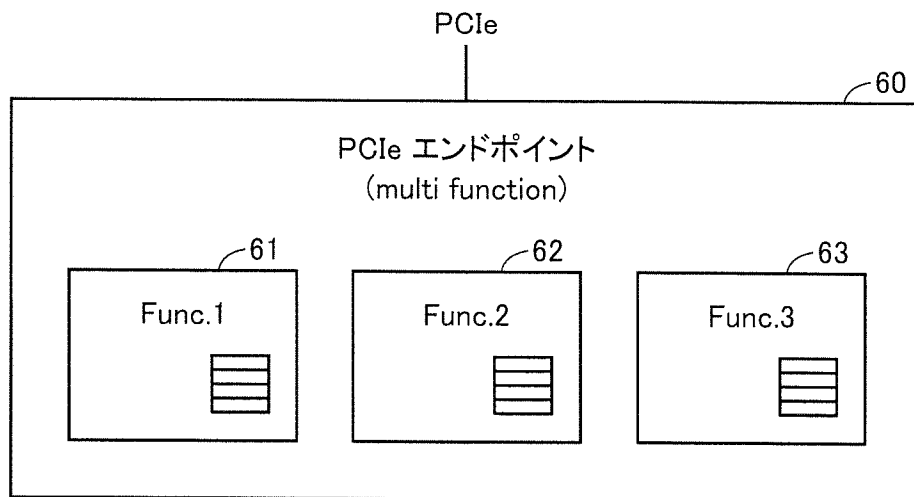
[図10]



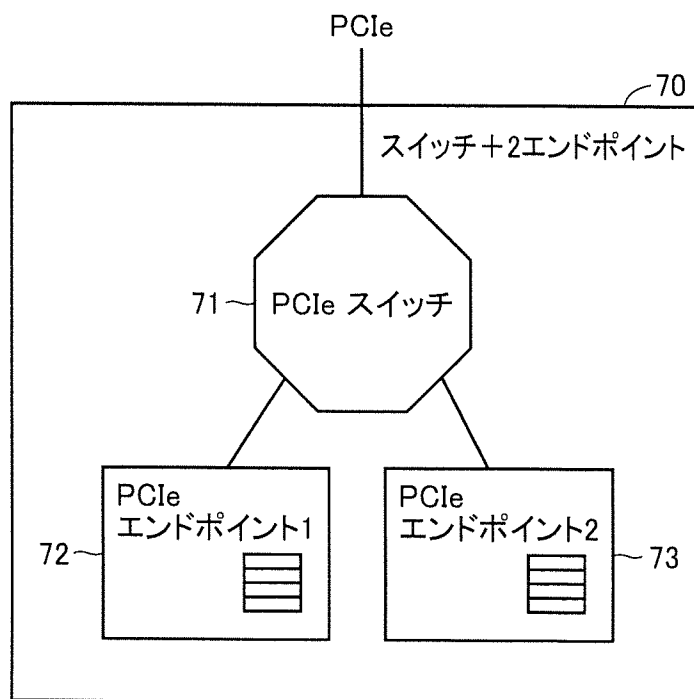
[図11]



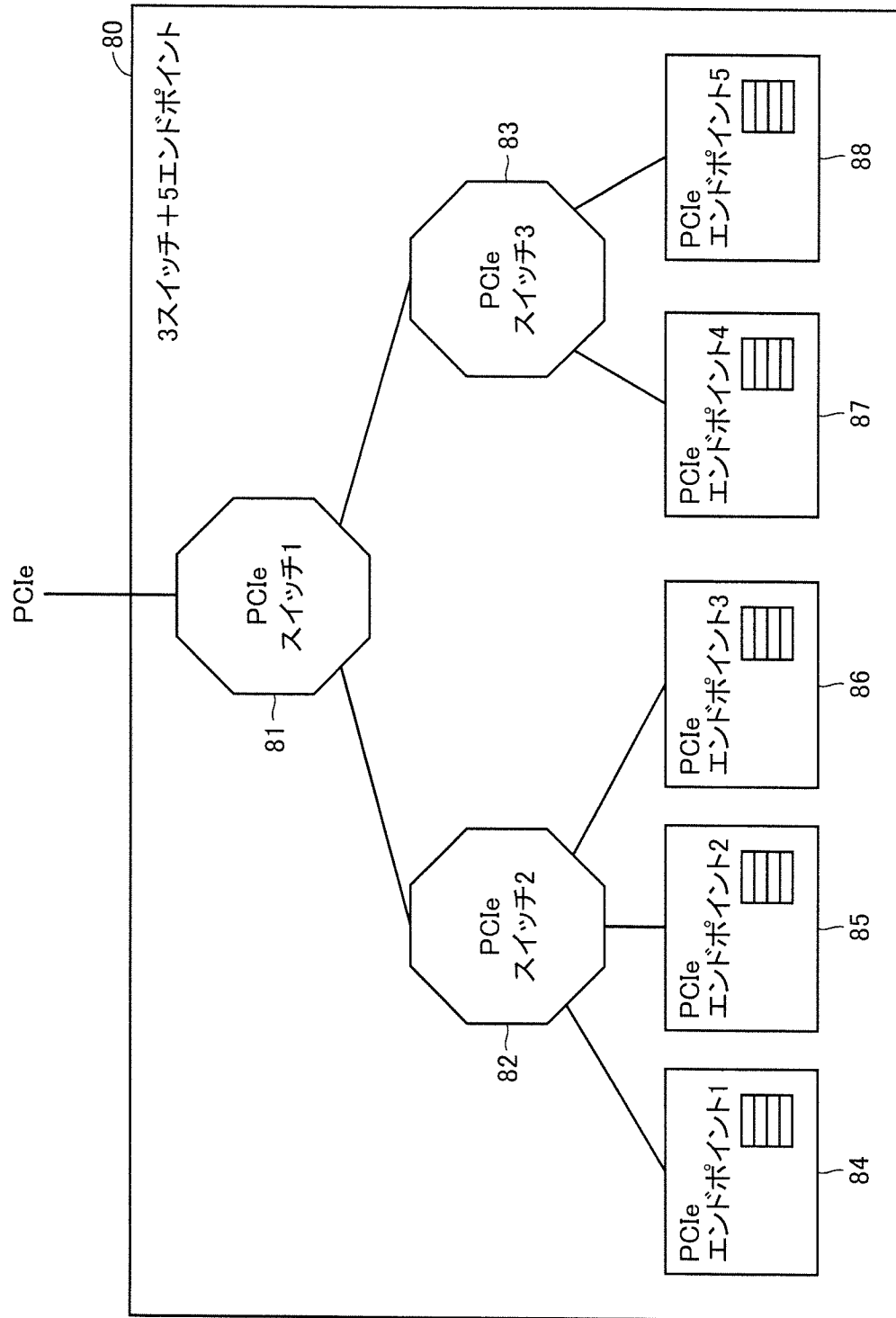
[図12]



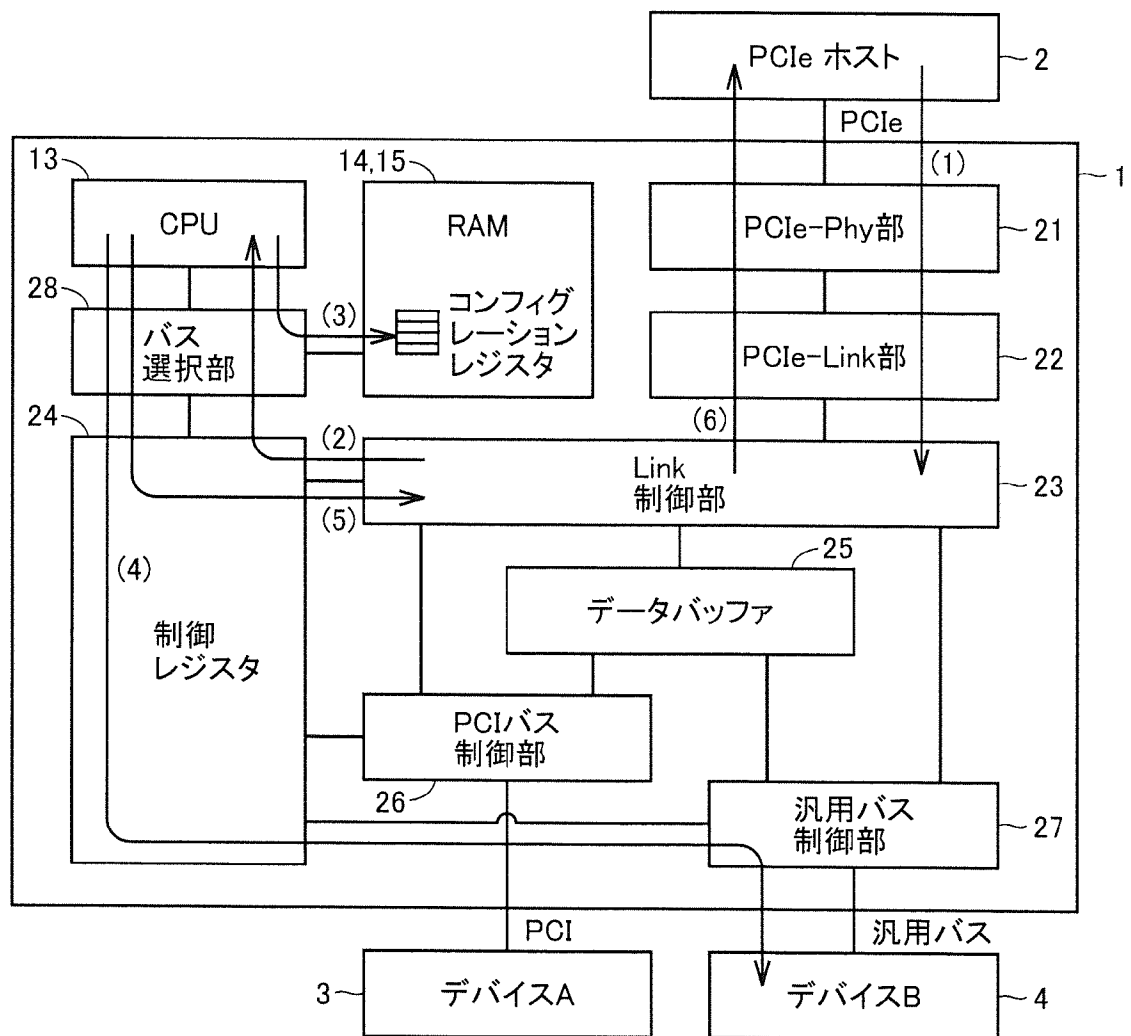
[図13]



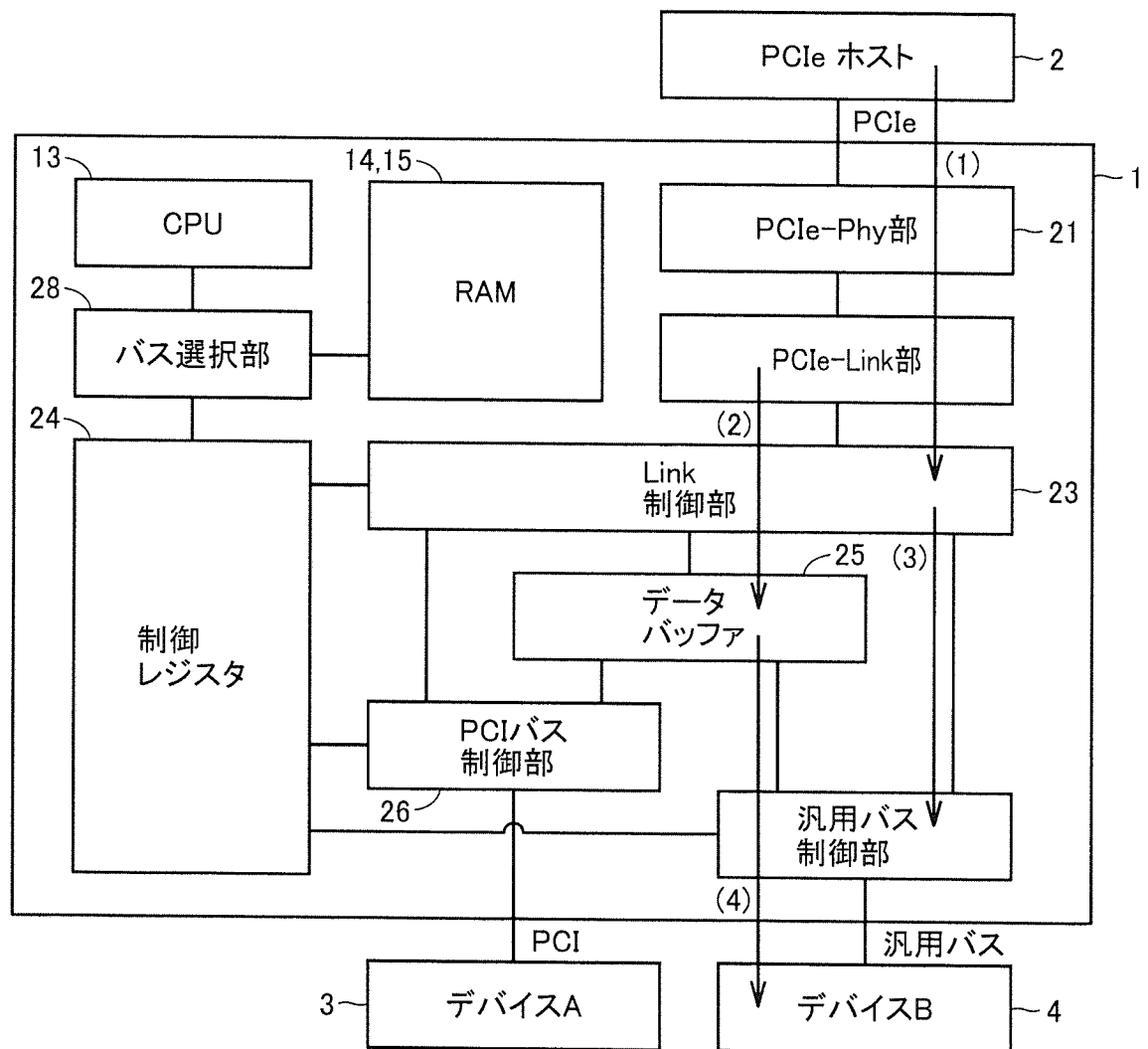
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053761

A. CLASSIFICATION OF SUBJECT MATTER

G06F13/36(2006.01)i, G06F13/14(2006.01)i, G06F13/38(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F13/36, G06F13/14, G06F13/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2006-195870 A (Ricoh Co., Ltd.), 27 July 2006 (27.07.2006), paragraphs [0006] to [0080]; fig. 1 to 23 & US 2006/0209722 A1	1-7 8
Y	JP 2009-169842 A (Hitachi, Ltd.), 30 July 2009 (30.07.2009), paragraphs [0020] to [0088]; fig. 1 to 18 & US 2009/0187694 A1 & EP 2083353 A1 & CN 101488118 A & KR 10-2009-0079784 A	8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
15 March, 2012 (15.03.12)

Date of mailing of the international search report
27 March, 2012 (27.03.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F13/36(2006.01)i, G06F13/14(2006.01)i, G06F13/38(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F13/36, G06F13/14, G06F13/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2006-195870 A (株式会社リコー) 2006.07.27, 【0006】 - 【0080】、図1 - 図23 & US 2006/0209722 A1	1 - 7 8
Y	JP 2009-169842 A (株式会社日立製作所) 2009.07.30, 【0020】 - 【0088】、図1 - 図18 & US 2009/0187694 A1 & EP 2083353 A1 & CN 101488118 A & KR 10-2009-0079784 A	8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 3 . 2 0 1 2

国際調査報告の発送日

2 7 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

木村 貴俊

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 5

5 I

9 8 5 7