

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成23年12月8日(2011.12.8)

【公表番号】特表2010-504698(P2010-504698A)

【公表日】平成22年2月12日(2010.2.12)

【年通号数】公開・登録公報2010-006

【出願番号】特願2009-529261(P2009-529261)

【国際特許分類】

H 04 L 7/00 (2006.01)

H 04 L 25/38 (2006.01)

【F I】

H 04 L 7/00 G

H 04 L 25/38 C

【手続補正書】

【提出日】平成23年10月20日(2011.10.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

データ送信機とデータ受信機の間のバイナリ信号のシリアル通信において、前記バイナリ信号は、第1のバイナリ値を表わす第1の論理レベルと第2のバイナリ値を表わす第2の論理レベルと間で変動する、バイナリ信号のシリアル通信の方法であって、

前記データ受信機から前記データ送信機にクロックチャネルを介してクロック信号を送信すること、ここでクロック信号は所定のクロックレートを有する；

前記データ受信機から前記データ送信機に同期チャネルを介して同期信号を送信すること；

前記データ受信機において前記バイナリデータ信号をデータチャネルを介して受信すること、ここでバイナリデータは、ヘッダコードとそれに続く複数のデータビットを含むフレーム中に送信されるものであり、ヘッダコードのそれぞれのビットおよび前記データビットは、複数のあらかじめ定めたクロックサイクルの幅を有し、前記受信することは、

データチャネルをあらかじめ定めたクロックサイクルに基づいて周期的に、第1ヘッダビットを複数回サンプリングすることを含んでサンプリングすること、

前記フレーム内の他のデータビットに対するデータビットサンプリング時間を、サンプルされた第1ヘッダビット信号のパターンから選択することにより決定すること、ここにおいて、フレーム内の他のデータビットをサンプリングするデータビットサンプリング時間を決定することは：

第一のヘッダービットの検出数を表わすサンプルの総数をカウントすること；および該カウントに応答して、フレーム内の残余のデータビットのためのサンプリング時間、次の2つの規則のうちの1つに基づいて決定すること：

第一のヘッダービットの第二の検出に対応する時間にサンプルすること、

第一のヘッダービットの最後の検出の1つ前の検出に対応する時間にサンプルすること

を含み、

前記データ受信機において、前記データビットサンプリング時間に、それぞれの前記データビットの論理値を検出することを含む、前記方法。

**【請求項 2】**

各ビットが、あらかじめ定めた少なくとも 3 個のクロックサイクルの信号幅で送信される、請求項 1 に記載の方法。

**【請求項 3】**

データ送信機が、フレームを初期化するという要求を示す同期チャネルの論理レベルにおける変化を検出することに応答してフレームの送信を初期化する、請求項 1 に記載の方法。

**【請求項 4】**

同期チャネルの論理レベルのさらなる変化を検出すると、データ送信機がフレームの送信を終了させる、請求項 3 に記載の方法。

**【請求項 5】**

データ信号が、ヘッダーコード内またはその後に、符号化されたフレーム長を含む、請求項 1 に記載の方法。

**【請求項 6】**

データ受信機においてヘッダーコードを検出することが、あらかじめ定められた位相だけそれが位相シフトされており、かつデータ信号幅により決定されるデータビットレートに等しいクロックレートをそれが有する、複数のマスタークロックを生成すること；

前記マスタークロックのそれに従ってデータ信号をサンプリングすること；および前記マスタークロックのうちの1つをフレーム内の後続のデータビットのためのサンプリングクロックとして選択し、データビットを選択したマスタークロックに従ってサンプリングすることを含む、請求項 1 に記載の方法。

**【請求項 7】**

外部源から、外部クロック信号と呼ばれる、クロック信号を受信するステップ、前記外部クロック信号のクロックレートが、所定の最小レートを超えるかどうかを判定し、そうであれば、受信機内で使用するための内部クロック信号として前記外部クロック信号を再生成し、そうでなければ、そのレートが前記所定の最小レートを超えるクロック信号を発生させることによって、前記受信機内で使用するための内部クロック信号を生成するステップ、および前記送信機へと送信されるクロック信号を生成する際に前記内部クロック信号を使用するステップをさらに含む、請求項 1 に記載の方法。

**【請求項 8】**

1 つまたは 2 つ以上のヘッダービットおよび 1 つまたは 2 つ以上のデータビットを含む、データ送信機からのフレーム内の、バイナリ信号のシリアル通信を受信し、該受信したバイナリ信号をバイナリデータに復号して送信されたビットを特定する、データ受信機であって、

前記送信機にあらかじめ定めたクロックレートのクロック信号をクロックチャネルを介して供給するクロック発生器；

フレームを開始するための同期信号を同期チャネルを介して前記送信機に供給する同期信号源；

前記シリアル通信をデータチャネルを介して受信し、ヘッダーコードの第一のヘッダービットを複数回検出し、前記シリアル通信をサンプリングしてそのデータビットを復号するためのデータビットサンプリング時間を決定し、該データビットサンプリング時間に、受信したシリアル通信の論理レベルをサンプリングして、対応するデータビット値を供給する、状態マシンを含み、

該状態マシンは、有限の複数の可能性のあるサンプル時間の中から、第一のヘッダービットの複数回の検出に対応してサンプリング時間を選択することによってデータビットサンプリング時間を決定し、受信ビット値の名目中央値の近傍をサンプリングし、状態マシンは、受信したシリアル通信を、あらかじめ定めたクロックレートでサンプリングし、第 1 のヘッダービットの検出の数を計数し、それから、データビットサンプリ

グ時間を、次の2つの規則のうちの1つに基づいて決定すること：

第一のヘッダービットの第二の検出に対応する時間にサンプルすること、

第一のヘッダービットの最後の検出の1つ前の検出に対応する時間にサンプルすること

に適合したものである、前記データ受信機。

【請求項9】

クロック発生器は、送信機がシリアル通信されるバイナリ信号においてビットを送信するビットレートの、少なくとも3倍のレートでクロック信号を供給する、請求項8に記載のデータ受信機。

【請求項10】

同期信号源が、同期信号の論理レベルを変更することによって送信機からのフレームを要求する、請求項8に記載のデータ受信機。

【請求項11】

同期信号源が、第1の論理レベルから第2の論理レベルに同期信号を変更することによって送信機からフレームを要求するとともに、前記同期信号を第2の論理レベルから第1の論理レベルに変更することによってフレームの終了を要求することをさらに含む、請求項8に記載のデータ受信機。

【請求項12】

ヘッダーコードを検出するために、状態マシンは、データビットレートに等しいクロック速度で、マスタークロックを位相シフトさせることによって追加のクロックを生成し、各クロックにおいてデータ信号をサンプリングし、マスタークロックまたは追加のクロックの1つのいずれかを選択して、データビットサンプリング時間を、次の2つ規則：第一のヘッダービットの2回目の検出に対応する時刻においてサンプリングする、第一のヘッダービットの最後から2つ目の検出に対応する時刻においてサンプリングする、のうちの1つに基づいて指定するように適合されている、請求項8に記載のデータ受信機。

【請求項13】

あらかじめ定めたクロックレートのクロック信号をデータ送信機に供給するクロック発生器と；

データ送信機からの、1つまたは2つ以上のヘッダービットおよび1つまたは2つ以上のデータビットを含むフレーム内の、バイナリ信号のシリアル通信を受信する受信回路とを含むデータ受信機であって、

受信回路は、あらかじめ定めたクロックサイクルに基づいて周期的にロジックレベルをサンプルし、

複数のサンプル時間において第一のヘッダービットを検出し、  
フレームの残余の部分をサンプリングするデータビットサンプリング時間を決定し、  
決定されたデータビットサンプリング時間に、受信したシリアル通信の残余の部分の論理レベルをサンプリングして、対応するデータ値を供給し、

ここにおいて、データビットサンプリング時間は、受信ビットの名目中央値においてサンプルする様に選択されるものであり、

第一のヘッダービットを検出するために、受信回路は、受信したシリアル通信をあらかじめ定めたクロックレートでサンプルし、第一のヘッダービットの検出数をカウントし、それから次の2つの規則のうちの1つに基づいてデータビットサンプリング時間を決定するように構成されている、前記データ受信機：

第一のヘッダービットの第二の検出に対応する時間にサンプルすること、

第一のヘッダービットの最後の検出の1つ前の検出に対応する時間にサンプルすること

。

【請求項14】

クロック発生器は、送信機がシリアル通信されるバイナリ信号においてビットを送信するビットレートの、少なくとも3倍のレートでクロック信号を供給する、請求項13に記載のデータ受信機。

**【請求項 15】**

同期信号をデータ送信機に供給するための同期信号源であって、同期信号の論理レベルを変更することによって、データ送信機にフレームを要求する前記同期信号源をさらに含む、請求項13に記載のデータ受信機。

**【請求項 16】**

同期信号をデータ送信機に供給するための同期信号源であって、同期信号を第1の論理レベルから第2の論理レベルへ変更することによってデータ送信機にフレームを要求し、同期信号を第2の論理レベルから第1の論理レベルへ変更することによってフレームの終了を要求する前記同期信号源をさらに含む、請求項13に記載のデータ受信機。

**【請求項 17】**

第一のヘッダービットを検出するために、マスタークロックをデータビットレートに等しいクロックスピードで位相シフトして追加のクロックを生成し、各クロックにおいてデータ信号をサンプルし、マスタークロックか、または追加のクロックのうちの1つかのいずれかを、データビットサンプリング時間を特定するために、次の2つの規則に基づいて選択するように論理が構成されている、データ受信機：

第一のヘッダービットの第二の検出に対応する時間にサンプルすること、

第一のヘッダービットの最後の検出の1つ前の検出に対応する時間にサンプルすること

。

**【請求項 18】**

論理は、有限状態マシンとして装備されている、請求項15に記載のデータ受信機。