

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-136383

(P2005-136383A)

(43) 公開日 平成17年5月26日(2005.5.26)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 29/786	H O 1 L 29/78 6 1 7 T	4 J 1 0 0
C O 8 F 12/00	C O 8 F 12/00	5 F 1 1 0
C O 8 F 32/08	C O 8 F 32/08	
C O 8 F 220/18	C O 8 F 220/18	
H O 1 L 21/336	H O 1 L 29/78 6 1 8 B	
審査請求 未請求 請求項の数 27 O L (全 26 頁) 最終頁に続く		

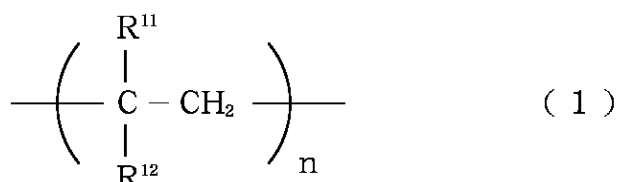
(21) 出願番号	特願2004-264499 (P2004-264499)	(71) 出願人	000001007
(22) 出願日	平成16年9月10日 (2004. 9. 10)		キヤノン株式会社
(31) 優先権主張番号	特願2003-351159 (P2003-351159)		東京都大田区下丸子3丁目30番2号
(32) 優先日	平成15年10月9日 (2003. 10. 9)	(74) 代理人	100069017
(33) 優先権主張国	日本国 (JP)		弁理士 渡辺 徳廣
		(72) 発明者	土井 孝之
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	海野 章
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	佐藤 尚武
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		最終頁に続く	

(54) 【発明の名称】 有機半導体素子、その製造方法および有機半導体装置

(57) 【要約】 (修正有)

【課題】 高い移動度を有する有機半導体素子を提供する。

【解決手段】 ゲート絶縁膜とは別に、高分子層が有機半導体に接して設けられており、該高分子層がメタクリル酸メチルとジビニルベンゼンの共重合体、または一般式(1)等の特定の重合体である有機半導体素子。



(R¹¹ は水素原子またはアルキル基を表し、 R¹² は置換基を有してもよいナフチル基、置換基を有してもよいカルbazoil基、または置換基を有してもよいビフェニル基を表す。 n は重合度を表す。)

【選択図】 なし

【特許請求の範囲】

【請求項 1】

少なくとも、基板、有機半導体、ゲート絶縁膜、導電体から成る有機半導体素子において、ゲート絶縁膜とは別に、高分子層が有機半導体に接して設けられており、該高分子層がメタクリル酸メチルとジビニルベンゼンの共重合体を含むことを特徴とする有機半導体素子。

【請求項 2】

メタクリル酸メチル (A) とジビニルベンゼン (B) の共重合体が、モノマーユニット比率で A : B = 1 : 0.001 ~ 0.04 であることを特徴とする請求項 1 に記載の有機半導体素子。

10

【請求項 3】

前記高分子層の厚さが 5 nm 以上 30 nm 以下であることを特徴とする請求項 1 又は 2 に記載の有機半導体素子。

【請求項 4】

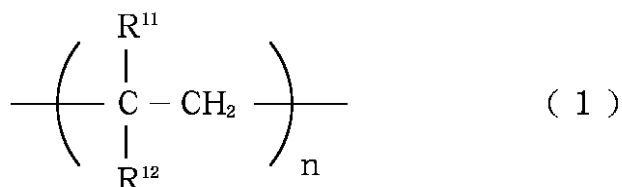
前記高分子層が有機半導体とゲート絶縁膜の間に設けられており、該高分子層と接するゲート絶縁膜の表面粗さ R_a が 5 nm 以下であることを特徴とする請求項 1 乃至 3 のいずれかに記載の有機半導体素子。

【請求項 5】

少なくとも、基板、有機半導体、ゲート絶縁膜、導電体から成る有機半導体素子において、ゲート絶縁膜とは別に、高分子層が有機半導体に接して設けられており、該高分子層が下記一般式 (1) または (2) のいずれかで表される重合体を含むことを特徴とする有機半導体素子。

20

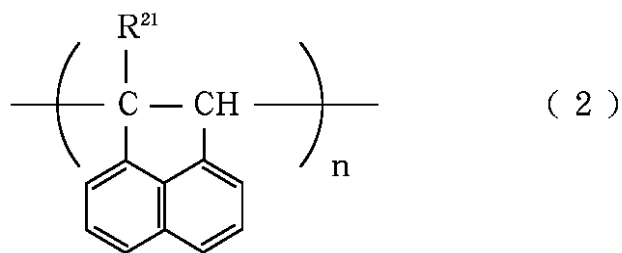
【化 1】



30

(R¹¹ は水素原子またはアルキル基を表し、R¹² は置換基を有してもよいナフチル基、置換基を有してもよいカルバゾイル基、または置換基を有してもよいビフェニル基を表す。n は重合度を表す。)

【化 2】



40

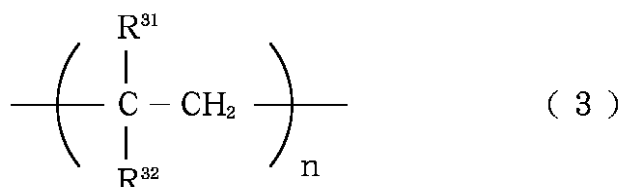
(R²¹ は水素原子またはアルキル基を表し、芳香環上には置換基を有していてもよい。n は重合度を表す。)

【請求項 6】

前記高分子層が下記一般式 (3) で表される重合体を含むことを特徴とする請求項 5 に記載の有機半導体素子。

50

【化 3】



(R^{31} は水素原子またはアルキル基を表し、 R^{32} はナフチル基またはカルバゾイル基を表す。 n は重合度を表す。)

【請求項 7】

前記高分子層の膜厚が 10 nm 以上 100 nm 以下であることを特徴とする請求項 5 または 6 に記載の有機半導体素子。

【請求項 8】

基板に、ゲート電極、ゲート絶縁膜、高分子層、有機半導体、およびソース電極 / ドレイン電極をこの順に有することを特徴とする請求項 1 乃至 7 のいずれかに記載の有機半導体素子。

【請求項 9】

基板に、ゲート電極、ゲート絶縁膜、高分子層、ソース電極 / ドレイン電極、および有機半導体層をこの順に有することを特徴とする請求項 1 乃至 7 のいずれかに記載の有機半導体素子。

【請求項 10】

基板に、ゲート電極、ゲート絶縁膜、ソース電極 / ドレイン電極、高分子層および有機半導体層をこの順に有することを特徴とする請求項 1 乃至 7 のいずれかに記載の有機半導体素子。

【請求項 11】

基板に、ゲート電極、ゲート絶縁膜、ソース電極 / ドレイン電極のいずれか一方、有機半導体、およびソース電極 / ドレイン電極の他方、をこの順に有する有機半導体素子において、前記有機半導体に接して、高分子層を有することを特徴とする請求項 1 乃至 7 のいずれかに記載の有機半導体素子。

【請求項 12】

基板に、ソース電極 / ドレイン電極、高分子層、有機半導体層、ゲート絶縁膜およびゲート電極をこの順に有することを特徴とする請求項 1 乃至 7 のいずれかに記載の有機半導体素子。

【請求項 13】

基板に、高分子層、ソース電極 / ドレイン電極、有機半導体層、ゲート絶縁膜およびゲート電極をこの順に有することを特徴とする請求項 1 乃至 7 のいずれかに記載の有機半導体素子。

【請求項 14】

基板に、高分子層、ソース電極 / ドレイン電極、有機半導体層、ゲート絶縁膜およびゲート電極をこの順に有することを特徴とする請求項 1 乃至 7 のいずれかに記載の有機半導体素子。

【請求項 15】

基板に、ソース電極 / ドレイン電極のいずれか一方、有機半導体、およびソース電極 / ドレイン電極の他方、ゲート絶縁膜、ゲート電極、をこの順に有する有機半導体素子において、前記有機半導体に接して、高分子層を有することを特徴とする請求項 1 乃至 7 のいずれかに記載の有機半導体素子。

【請求項 16】

前記高分子層がスピンコート法、スプレー塗布法、ディップコート法のいずれかにより

形成されていることを特徴とする請求項 1 乃至 15 のいずれかに記載の有機半導体素子。

【請求項 17】

電界効果トランジスタであることを特徴とする請求項 1 乃至 16 のいずれかに記載の有機半導体素子。

【請求項 18】

請求項 1 乃至 17 のいずれかに記載の有機半導体素子を用いた有機半導体装置。

【請求項 19】

少なくとも表面の一部が導電性を有する基板上に絶縁膜を形成する工程と、該絶縁膜上にメタクリル酸メチルとジビニルベンゼンとの共重合体からなる高分子層を形成する工程と、該高分子層上に有機半導体層を形成する工程とを少なくとも有することを特徴とする有機半導体素子の製造方法。

10

【請求項 20】

前記高分子層上の一部に、少なくとも一对の互いに離間した電極を形成する工程を有することを特徴とする請求項 19 に記載の有機半導体素子の製造方法。

【請求項 21】

前記有機半導体層上の一部に、少なくとも一对の互いに離間した電極を形成する工程を有することを特徴とする請求項 19 に記載の有機半導体素子の製造方法。

【請求項 22】

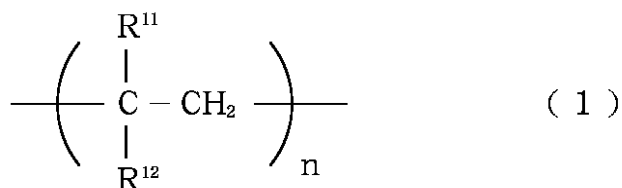
基板上にメタクリル酸メチルとジビニルベンゼンとの共重合体からなる高分子層を形成する工程と、該高分子層上に有機半導体層を形成する工程と、該有機半導体層上に絶縁膜を形成する工程とを少なくとも有することを特徴とする有機半導体素子の製造方法。

20

【請求項 23】

少なくとも表面の一部が導電性を有する基板上に絶縁膜を形成する工程と、該絶縁膜上に下記一般式 (1) または (2) のいずれかで表される重合体からなる高分子層を形成する工程と、該高分子層上に有機半導体層を形成する工程とを少なくとも有することを特徴とする有機半導体素子の製造方法。

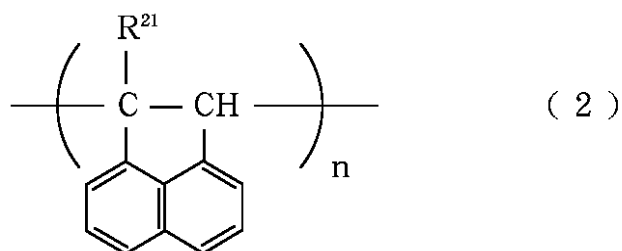
【化 4】



30

(R^{11} は水素原子またはアルキル基を表し、 R^{12} は置換基を有してもよいナフチル基、置換基を有してもよいカルバゾイル基または置換基を有してもよいピフェニル基を表す。 n は重合度を表す。)

【化 5】



40

(R^{21} は水素原子またはアルキル基を表し、芳香環上には置換基を有していてもよい。 n

50

は重合度を表す。)

【請求項 24】

前記高分子層上の一部に、少なくとも一对の互いに離間した電極を形成する工程を有することを特徴とする請求項 23 に記載の有機半導体素子の製造方法。

【請求項 25】

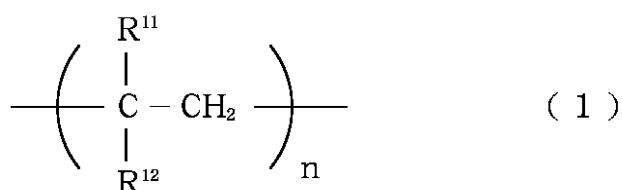
前記有機半導体層上の一部に、少なくとも一对の互いに離間した電極を形成する工程を有することを特徴とする請求項 23 に記載の有機半導体素子の製造方法。

【請求項 26】

基板上に下記一般式 (1) または (2) のいずれかで表される重合体からなる高分子層を形成する工程と、該高分子層上に有機半導体層を形成する工程と、該有機半導体層上に絶縁膜を形成する工程とを少なくとも有することを特徴とする有機半導体素子の製造方法。

10

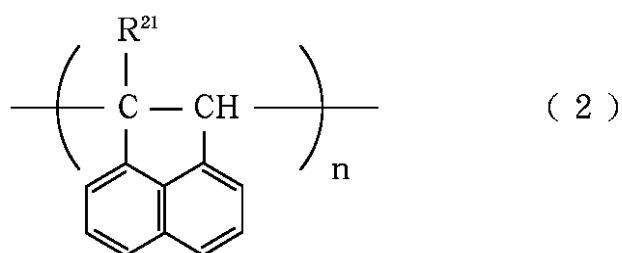
【化 6】



20

(R^{11} は水素原子またはアルキル基を表し、 R^{12} は置換基を有してもよいナフチル基、置換基を有してもよいカルバゾイル基または置換基を有してもよいピフェニル基を表す。 n は重合度を表す。)

【化 7】



30

(R^{21} は水素原子またはアルキル基を表し、芳香環上には置換基を有していてもよい。 n は重合度を表す。)

【請求項 27】

前記高分子層をスピンコート法、スプレー塗布法、ディップコート法のいずれかにより形成することを特徴とする請求項 19 乃至 26 のいずれかに記載の有機半導体素子の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機半導体素子、その製造方法およびその有機半導体素子を有するアクティブマトリクス型表示装置、IC タグ等の有機半導体装置に関する。

【背景技術】

【0002】

近年、有機薄膜トランジスター(以下、有機 TFT と記す)は、大きな進歩を遂げてきている。有機 TFT を用いる利点は、無機 TFT に比べて低温で TFT 製造が可能であり

50

、可撓性基板である安価な樹脂基板が使用できることにある。この利点によって、有機 T F T はスマートカード、電子タグ、およびディスプレイなどの低コスト I C 技術への応用が期待されている。

【 0 0 0 3 】

一般的な有機 T F T は、基板、ゲート電極、ゲート絶縁膜、ソース電極、ドレイン電極及び有機半導体の構成からなる。ゲート電極に印加する電圧（ゲート電圧、 V_g ）を変えることで、ゲート絶縁膜と有機半導体の界面の電荷量を過剰、或いは不足にし、ソース電極 / 有機半導体 / ドレイン電極間を流れるドレイン電流値（ I_d ）を変化させ、スイッチングを行う。

【 0 0 0 4 】

有機 T F T の性能を示す物理量として、移動度、オン / オフ比、ゲート電圧しきい値が用いられる。移動度は、一般的には、 $I_d^{1/2}$ と V_g が線形関係にある飽和領域における、 $I_d^{1/2} - V_g$ 曲線の傾きから算出され、電流の流れ易さの度合いを示す。オン / オフ比は、 V_g を変化させた時の最小 I_d と最大 I_d の強度比で表される。ゲート電圧しきい値は、前記飽和領域における、 $I_d^{1/2} - V_g$ 曲線に接する直線の X 切片で定義され、スイッチングが起こるゲート電圧を示す。

【 0 0 0 5 】

有機 T F T の特性の目標値としては、現行アクティブマトリクス液晶表示装置に用いられている a - S i T F T の値が考えられている。すなわち、移動度が $0.3 \sim 1 \text{ cm}^2 / \text{Vs}$ 、オン / オフ比が 10^6 以上、ゲート電圧しきい値が $1 \sim 2 \text{ V}$ である。

【 0 0 0 6 】

最近の研究により有機 T F T の特性は、有機半導体の結晶性と相関があることがわかってきている。例えば、アモルファス状態の有機半導体を用いた有機 T F T では、高移動度、高オン / オフ比の両立は不可能であることが開示されている（非特許文献 1 参照。）。

【 0 0 0 7 】

有機 T F T の特性向上に向けて、有機半導体の結晶状態や配向の改善に、さまざまな試みがなされている。一例として、有機半導体層の下に下地層を設けて、有機半導体の結晶性を向上させる試みが挙げられる。

【 0 0 0 8 】

特許文献 1 には、下地層にポリテトラフルオロエチレン（P T F E）配向膜を用いて、オリゴチオフェン化合物等の有機半導体を配向させる方法が開示されている。しかし、P T F E 膜形成のためには、固体の P T F E を一定圧力でスライドさせるため、基板の大面積化が難しい。

【 0 0 0 9 】

非特許文献 2 には、ゲート絶縁膜表面に垂直配向膜の一種であるオクタデシルトリクロロシランを塗布した後、2 層のペンタセン蒸着膜を形成し、高性能な有機 T F T を得る方法が開示されている。しかし、この方法は、酸化ケイ素のように塩基性官能基を持つ表面にしか適応できないため、汎用性が低い。

【 0 0 1 0 】

特許文献 2 には、ゲート絶縁膜の表面にディップ法で膜厚 $0.3 \sim 10 \text{ nm}$ のフッ素系ポリマー層を形成し、その上に結晶性の有機半導体を形成する有機半導体装置が示されている。しかしこの方法では有機半導体の結晶が広角 X 線スペクトル中に 2 つのピークを持つことから配向が充分ではないと考えられ、特性も十分でない。

【 0 0 1 1 】

特許文献 3 には、アルミナゲート絶縁膜上をアルキルリン酸類で処理することにより、有機 T F T の移動度を向上させる方法が示されている。この方法も適応できるゲート絶縁膜に限られるため、汎用性が低い。

【 0 0 1 2 】

また、非特許文献 3 には、無機ゲート絶縁膜に、ポリメタクリル酸メチルなどの高分子層を形成することにより、有機半導体の結晶の成長を改善する方法が示されている。しか

10

20

30

40

50

し、この方法で得られる有機 T F T の特性は低く、実用には十分でない。

【 0 0 1 3 】

また、特許文献 4 には、ゲート絶縁膜と有機半導体層との間に厚さ 4 0 0 以下のフッ素を含有しない高分子層を設けた有機 T F T が示されている。

【特許文献 1】特開平 0 7 - 2 0 6 5 9 9 号公報

【特許文献 2】特開 2 0 0 1 - 9 4 1 0 7 号公報

【特許文献 3】米国特許第 6 , 4 3 3 , 3 5 9 号

【特許文献 4】国際公開パンフレット W O 0 3 / 0 4 1 1 8 5 A 2

【非特許文献 1】A . R . B r o w n , D . M . d e L e e u w , E . E . H a v i n g a , a n d A . P o m p , “ S y n t h e t i c M e t a l s ” , V o l . 6 8 , P . P . 6 5 - 7 0 , 1 9 9 4 年 10

【非特許文献 2】Y - Y . L i n , D . J . G u n d l a c h , S . F . N e l s o n , a n d T . N . J a c k s o n , “ I E E E E l e c t r o n D e v i c e s L e t t e r s ” , V o l . 1 8 , N o . 1 2 P . P . 6 0 6 - 6 0 8 , 1 9 9 7 年

【非特許文献 3】M . Y o s h i d a , S . U e m u r a , T . K o d z a s a , T . K a m a t a , M . M a t s u z a w a , T . K a w a i , “ S y n t h e t i c M e t a l s ” , V o l . 1 3 7 , P . P . 9 6 7 - 9 6 8 , 2 0 0 3 年

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 4 】

本発明は、性能の高い有機 T F T の素子構造、および低コストで性能の高い有機 T F T の製造方法を提供するものである。また、上記有機半導体素子を用いた有機半導体装置を提供するものである。

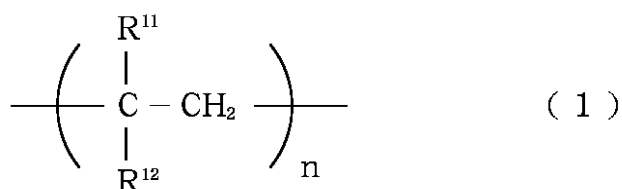
【課題を解決するための手段】

【 0 0 1 5 】

すなわち、本発明は、少なくとも、基板、有機半導体、ゲート絶縁膜、導電体からなり、バイアス印加のための電極を有する有機半導体素子において、ゲート絶縁膜とは別に、高分子層が有機半導体に接して設けられており、該高分子層がメタクリル酸メチルとジビニルベンゼンの共重合体、または一般式 (1) または (2)

【 0 0 1 6 】

【化 1 】



【 0 0 1 7 】

(R ¹¹ は水素原子またはアルキル基を表し、 R ¹² は置換基を有してもよいナフチル基、置換基を有してもよいカルバゾイル基または置換基を有してもよいピフェニル基を表す。 n は重合度を表す。)

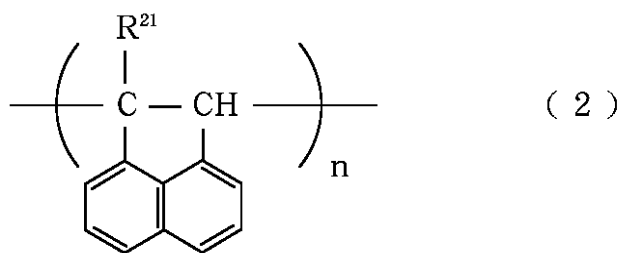
【 0 0 1 8 】

20

30

40

【化 2】



10

【0019】

(R^{21} は水素原子またはアルキル基を表し、芳香環上には置換基を有していてもよい。 n は重合度を表す。)

で表される重合体であることを特徴とする有機半導体素子、その有機半導体素子の製造方法、およびその有機半導体素子を用いた有機半導体装置を提供するものである。ここにいう導電体とは、一般的には、ゲート電極、ソース電極、ドレイン電極であり、この場合、本発明の有機半導体素子は、電界効果型トランジスターとして用いることができる。また、一般式(1)あるいは(2)において、重合度 n は、例えば、10～1000000である。

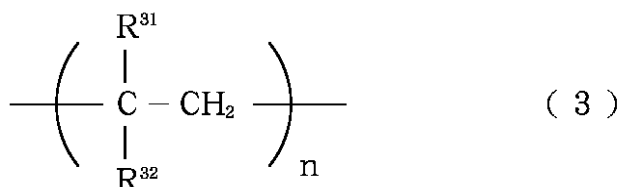
20

【0020】

また、高分子層が、下記一般式(3)で表される重合体であることが好ましい。

【0021】

【化 3】



30

【0022】

(R^{31} は水素原子またはアルキル基を表し、 R^{32} はナフチル基またはカルバゾイル基を表す。 n は重合度を表す。)

【0023】

また、上記有機半導体素子の製造方法としては、少なくとも表面の一部が導電性を有する基板上に絶縁膜を形成する工程と、該絶縁膜上にメタクリル酸メチルとジビニルベンゼンとの共重合体または上記一般式(1)または(2)で表される重合体からなる高分子層を形成する工程と、該高分子層上に有機半導体層を形成する工程とを少なくとも有する有機半導体素子の製造方法、および基板上にメタクリル酸メチルとジビニルベンゼンとの共重合体または上記一般式(1)または(2)で表される重合体からなる高分子層を形成する工程と、該高分子層上に有機半導体層を形成する工程と、該有機半導体層上に絶縁膜を形成する工程とを少なくとも有する有機半導体素子の製造方法、が挙げられる。

40

【0024】

前者の場合、基板の一部の導電性を有する部分は、ゲート電極足り得る。また、後者の場合、絶縁膜上にゲート電極を形成しうる。また、いずれの場合であっても、適当な位置に、少なくとも一對の互いに離間した電極(一般的には、ソース電極/ドレイン電極)を形成しうる。その形成順は、後述するような有機半導体素子の種々の形態に応じた順序となる。

50

【発明の効果】

【0025】

本発明によれば、大面積基板上に均一に作製でき、ゲート電極に印加する電圧によってドレイン電流を大きく変調させることができる高い移動度を有する有機半導体素子を提供することができる。

【0026】

また、本発明は、動作が安定で、低電圧で駆動することが可能で素子の寿命も長く、製造方法も簡便にできる有機半導体素子を提供することができる。

また、上記の有機半導体素子を用いた、アクティブマトリクス型表示装置或いは有機半導体素子をICカード電子タグとして用いた有機半導体装置を提供することができる。

10

【発明を実施するための最良の形態】

【0027】

以下、本発明を詳細に説明する。

まず、本発明で用いられる有機半導体素子の構造について説明する。

本発明で用いられる有機半導体素子の構造の例(a)~(e)を図1に示す。図中、101は基板、102はゲート電極、103はゲート絶縁膜、104は高分子層、105は有機半導体、106はソース電極、107はドレイン電極、108は保護層を示す。保護層は必要に応じ設けられるが、省略も可能である。

【0028】

(a) 基板、ゲート電極、ゲート絶縁膜、高分子層、有機半導体、ソース電極/ドレイン電極および保護層がこの順に設けられている構造(図1(a)参照)。

20

(b) 基板、ゲート電極、ゲート絶縁膜、有機半導体、高分子層、ソース電極/ドレイン電極および保護層がこの順に設けられている構造(図1(b)参照)。

【0029】

(c) 基板、ゲート電極、ゲート絶縁膜、高分子層、ソース電極/ドレイン電極、有機半導体および保護層がこの順に設けられている構造(図1(c)参照)。

(d) 基板、ゲート電極、ゲート絶縁膜、ソース電極/ドレイン電極、高分子層、有機半導体および保護層がこの順に設けられている構造(図1(d)参照)。

【0030】

(e) 基板、ゲート電極、ゲート絶縁膜、ソース電極/ドレイン電極のいずれか一方、高分子層、有機半導体、ソース電極/ドレイン電極のいずれか一方および保護層がこの順に設けられている構造(図1(e)参照)。

30

【0031】

ただし、これらは一例であり、この形成順および配置に限定されるものではない。もっとも、高分子層を形成した後に有機半導体層を形成することが好ましい。このような形成順とすることにより高分子層が有機半導体層の配向制御層として機能するためである。

【0032】

このような好ましい配置の構造としては、例えば、

基板に、ゲート電極、ゲート絶縁膜、高分子層、有機半導体、およびソース電極/ドレイン電極をこの順に有するもの、

40

基板に、ゲート電極、ゲート絶縁膜、高分子層、ソース電極/ドレイン電極、および有機半導体層をこの順に有するもの、

基板に、ゲート電極、ゲート絶縁膜、ソース電極/ドレイン電極、高分子層および有機半導体層をこの順に有するもの、

基板に、ソース電極/ドレイン電極、高分子層、有機半導体層、ゲート絶縁膜およびゲート電極をこの順に有するもの、

基板に、高分子層、ソース電極/ドレイン電極、有機半導体層、ゲート絶縁膜およびゲート電極をこの順に有するもの、

基板に、高分子層、ソース電極/ドレイン電極、有機半導体層、ゲート絶縁膜およびゲート電極をこの順に有するもの、

50

が挙げられる。

【0033】

また、基板に、ゲート電極、ゲート絶縁膜、ソース電極／ドレイン電極のいずれか一方、有機半導体、およびソース電極／ドレイン電極の他方、をこの順に有する有機半導体素子において、前記有機半導体に接して、高分子層を有する構造や、基板に、ソース電極／ドレイン電極のいずれか一方、有機半導体、およびソース電極／ドレイン電極の他方、ゲート絶縁膜、ゲート電極、をこの順に有する有機半導体素子において、前記有機半導体に接して、高分子層を有する構造も、本発明の範囲内であるが、これらの構造においても、高分子層の形成後にその上に有機半導体層が形成される配置とすることが好ましい。

【0034】

次に、本発明の有機半導体素子とその製造方法について説明する。

本発明で用いられる基板材料としては、有機、無機の様々な材料から選択が可能である。具体的には、シリコン、アルミニウム、ガラス、アルミナ焼結体などの無機材料、ポリエチレンテレフタレート、ポリエチレンナフタレート、ポリイミド、ポリエチレン、ポリプロピレン、ポリエーテルエーテルケトン、ポリスルホン、ポリフェニレンスルフィドなどの有機材料、ガラス繊維で強化された有機材料などの複合材料が挙げられる。

【0035】

本発明で用いられるゲート電極材料としては、導電性の材料から選ばれ、具体的には、金、白金、銅、銀、パラジウム、クロム、モリブデン、チタン、ニッケル、アルミなどの金属材料、錫酸化物、酸化インジウム、インジウム・錫酸化物などの非金属無機材料、ポリチオフェン、ポリアニリンなどの有機材料、カーボン材料などが挙げられる。金属材料は合金も使用可能である。基板として導電性の材料を用いた場合には、基板をゲート電極に用いることも可能である。

【0036】

本発明で用いられるゲート絶縁膜材料としては、酸化ケイ素、窒化ケイ素、アルミナ、酸化タンタルなどの無機材料、ポリメタクリル酸メチル、ポリイミド、ポリパラキシレン、ポリクロロピレン、ポリエチレンテレフタレート、ポリオキシメチレン、シルセスキオキサン、ポリビニルクロライド、ポリフッ化ビニリデン、シアノエチルプルラン、ポリサルホン、ポリカーボネイトなどの有機材料が挙げられる。

【0037】

本発明で用いられる高分子層は、メタクリル酸メチルとジビニルベンゼンの共重合体、または一般式(1)または(2)で示される化合物である。

前記高分子層が、メタクリル酸メチルとジビニルベンゼンの共重合体の場合、メタクリル酸メチル(A)とジビニルベンゼン(B)の共重合体比は、モノマーユニットの比率で $A : B = 1 : 0.001 \sim 0.04$ であり、好ましくは $A : B = 1 : 0.001 \sim 0.02$ である。

【0038】

高分子層の膜厚は5nm以上30nm以下が好ましく、該高分子層と接するゲート絶縁膜の表面粗さRaが5nm以下であることが好ましい。

前記高分子層が、一般式(1)または(2)で示される化合物の場合、 R^{11} 、 R^{21} は水素原子またはアルキル基であり、アルキル基の具体的な例としては、メチル基、エチル基、*n*-プロピル基、*iso*-プロピル基、*n*-ブチル基、*sec*-ブチル基、*tert*-ブチル基、*n*-ペンチル基、*n*-ヘキシル基などが挙げられる。

【0039】

また、 R^{12} は、置換基を有してもよいナフチル基、置換基を有してもよいカルバゾイル基または置換基を有してもよいビフェニル基を表す。

一般式(1)または(2)で示される化合物は、芳香環上に置換基を有しても良く、置換基としては、メチル基、エチル基、*n*-プロピル基、*iso*-プロピル基、*n*-ブチル基、*sec*-ブチル基、*tert*-ブチル基、*n*-ペンチル基、*n*-ヘキシル基などのアルキル基、フェニル基、*p*-トリル基などのアリール基、メトキシ基、エトキシ基などの

10

20

30

40

50

アルコキシ基、フッ素原子、塩素原子、臭素原子などのハロゲン原子などが挙げられる。置換基は複数有していてもよい。

【0040】

一般式(1)あるいは(2)で示される化合物からなる高分子層の膜厚は、上限は好ましくは100nm以下であり、より好ましくは50nm以下であり、さらに好ましくは30nm以下である。膜厚は薄いほど好ましい。なぜならば、高分子層の絶縁膜としての機能は必ずしも十分ではなく、誘起電界の効果はゲート絶縁膜と高分子層との界面から離れるほど小さくなってしまふと考えられるからである。一方、高分子層は理論的には単分子レベルまで薄くすることが可能である。もっとも、極めて薄い膜を均一な厚さで作製することは困難である場合が多いため、製膜の容易性の観点からは、前記高分子層の膜厚は下

10

【0041】

本発明での高分子層は、有機溶剤に溶解させ、スピンコート法、スプレー塗布法、またはディップコート法により形成される。使用する有機溶剤としては、高分子が溶解する溶剤であれば特に限定はない。具体的には、ヘキサン、シクロヘキサン、ヘプタン、オクタンなどの炭化水素類、トルエン、キシレン、エチルベンゼンなどの芳香族炭化水素類、ジクロロメタン、クロロホルム、四塩化炭素、1-クロロブタン、クロロベンゼン、ジクロロベンゼンなどのハロゲン化溶剤類、酢酸エチル、酢酸プロピル、酢酸ブチル、酢酸ペンチルなどの有機酸エステル類、ジエチルエーテル、ジイソプロピルエーテル、ジブチルエーテル、アニソール、ジオキサンなどのエーテル類、アセトン、メチルエチルケトン、メチルイソブチルケトン、シクロヘキサノンなどのケトン類、ニトロベンゼン、アセトニトリル、N,N-ジメチルホルムアミド、N-メチル-2-ピロリドンなどの含窒素有機溶剤類、二硫化炭素、ジメチルスルホキシドなどの含硫黄有機溶剤類などが挙げられる。使用する有機溶剤は複数用いてもよい。

20

【0042】

本発明で用いられる有機半導体材料としては、低分子の結晶性材料が挙げられる。具体的には、ペンタセン、テトラセン、フタロシアニン化合物、ポルフィリン化合物、オリゴチオフェン類などが挙げられ、ペンタセンが好ましいが、高分子層により有機半導体の結晶成長が促進されるため、ペンタセン以外の低分子結晶材料を用いた場合でも効果がある

30

【0043】

本発明で用いられるソース電極/ドレイン電極材料としては、前述のゲート電極材料と同様に導電性の材料から選択が可能である。

本発明で用いられる保護層は、有機TFTの特性の劣化を防ぐ目的で形成される。材料には、特に限定はないが、一般的には、エポキシ樹脂、シリコーン樹脂などの有機材料とガラス、アルミなどの無機化合物との複合材料が用いられる。保護層は省略することも可能である。

40

【0044】

本発明の高分子層以外のゲート電極、ゲート絶縁膜、ソース/ドレイン電極および有機半導体は、公知の方法により形成される。具体的には、真空蒸着法、スパッタ法、プラズマCVD法、スピンコート法、ディップコート法、スプレー塗布法、印刷法などが挙げられる。既存のフォトリソグラフィ法とドライエッチング法またはウェットエッチング法の組み合わせでパターン加工を行うことも可能である。

【0045】

次に、本発明は、上記の有機半導体素子をIC情報電子タグとして用いることを特徴とする有機半導体装置である。

本発明のIC情報電子タグとして用いる有機半導体装置の例として電子タグスマートカ

50

ードについて説明する。バーコード又は符号によって品物にタグをつけ光学的な文字の認識を容易にすることは、置き忘れや紛失をしやすい製品目録、手荷物、紙の伝票、又は他の移動可能な品物を識別し探知するために、長い間行われてきた。このような光学的に知覚されるタグは、識別のために見えるように維持される必要があるが、表面のきずあとやその他の損傷によって簡単に読取れなくなってしまう。探知の信頼性を向上するために、無線周波数に基づいた電子タグを使う方法が試みられてきている。このようなタグは典型的には、データの保存のための半導体メモリと、処理ロジックと、データを放送するためのアンテナとを備え、その全てがエポキシ樹脂等の熱硬化性樹脂、熱可塑性樹脂、または他の適切なプラスチックの容器に埋め込まれている。

【 0 0 4 6 】

10

データ保存の容量の範囲は、典型的には数ビットから数キロビットにおよび、典型的には64ビットである。タグは、読み出し専用記録装置（ロム（ROM））、電氣的にプログラム可能又は消去可能ロム（EPROMやEEPROM）、またはフラッシュメモリを含むことができる。電子タグは、長持ちする小さな電池、光起電性電力、熱変換器、外部から加えられた電磁エネルギーに依存する誘導電力変換器、またはその他の適切な電源によって、動力を供給される。これらの電子タグを有機半導体素子を用いた回路で形成することにより、製造プロセスが簡略化され、低価格化が可能となる。

【 0 0 4 7 】

次に、本発明は、上記の有機半導体素子をアクティブ素子として用いることを特徴とするアクティブマトリクス型表示装置である。

20

アクティブマトリクス液晶表示装置とは、表示部を構成している画素ごとにアクティブマトリクス素子が付加され、これを通して液晶に電圧が印加されるものである。駆動法としては以下の方式が取られる。n行の走査線とm列の信号線からなるn×mマトリクス配線の交点に、TFT等のアクティブマトリクス素子が設けられ、TFTのゲート電極は走査線に、ドレイン電極は信号線に、ソース電極は画素電極に接続される。走査線にはアドレス信号、信号線には表示信号が供給され、オン/オフ信号が乗畳されたアドレス信号で制御されるTFTスイッチを介して、画素電極上の液晶を動作させる。有機半導体素子をスイッチング素子に適用した場合、製造プロセスが簡易化され、低価格が可能となる。

【 実施例 】

【 0 0 4 8 】

30

以下、実施例を示し本発明をさらに具体的に説明する。

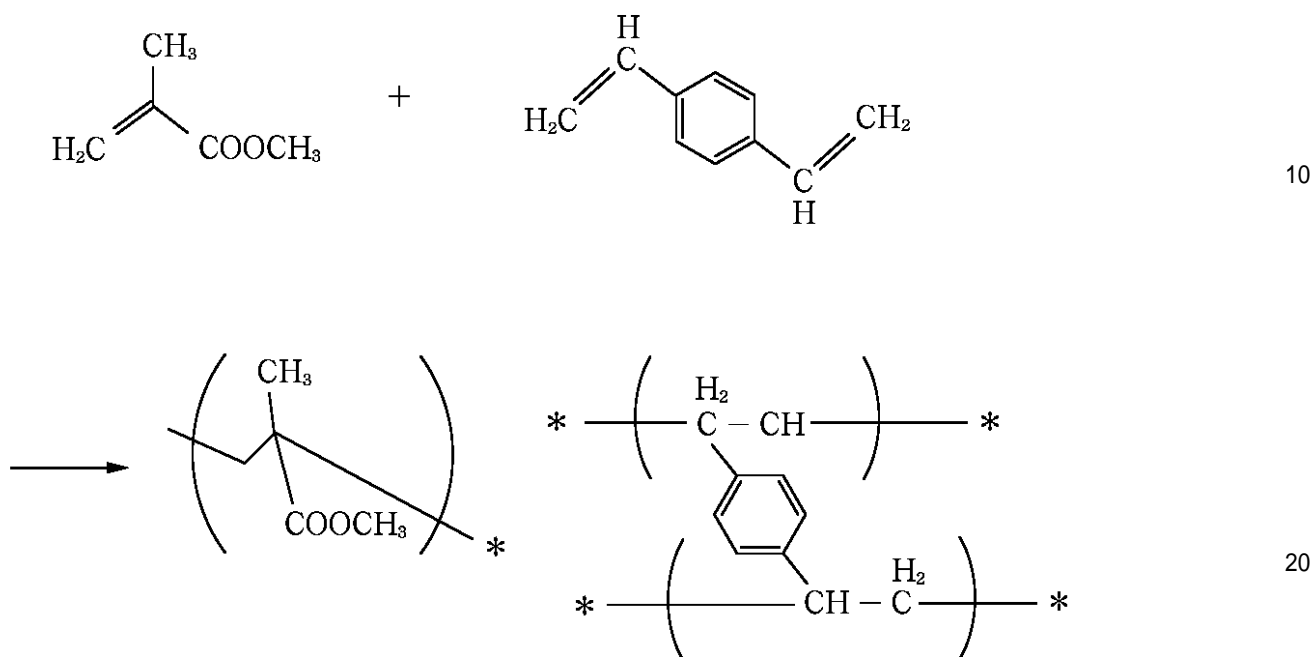
合成例 1

本発明の有機半導体素子に用いるメタクリル酸メチルおよびジビニルベンゼンの共重合体の合成法の一例を下記の反応式（1）に示す。

【 0 0 4 9 】

【化 4】

反応式 (1)



【0050】

トルエンの還流温度下（110 ～ 120 ）にメタクリル酸メチルおよびジビニルベンゼン、重合開始剤の混合液を滴下した。その後、80 まで降温させ、3 時間保温した。放冷した後、メタノール中へ再沈殿させ、デカンテーションしてメタノールで洗浄後、ろ過し、減圧加熱乾燥により目的の高分子を得た。

30

【0051】

得られた高分子の¹H-NMR（日本電子社製、共鳴周波数400MHz、溶媒CDCl₃、外部基準物質TMS、室温で測定）スペクトルの解析結果よりメタクリル酸メチル（A）/ジビニルベンゼン（B）の共重合比（モノマーユニット比）は、A：B = 1：0.011であった。

上記の方法を用いて共重合化率 A：B = 1：0.001 から 0.05 の範囲の共重合体を作成した

【0052】

実施例 1

本実施例で使用した基板は、ポリイミド基板である。基板の厚みは125 μmで宇部興産製のユーピロン（商品名）を使用した。

40

【0053】

次に、電極は銅をスパッタリングにて成膜しフォトリソグラフィーにてパターニング加工してゲート電極配線を作成した。更にその上にゲート絶縁膜としてメチルシルセスキオキサンからなる塗布型の絶縁膜を形成し、230 で焼成して半導体用の基板とした。

【0054】

ポリイミド基板の洗浄法は以下の通りである。純度99%以上のアセトンにポリイミド基板をつけ超音波洗浄を1分間行い、その後、純水につけ超音波洗浄を5分間行う工程を、それぞれ2回実施した。洗浄後、純水をN₂ ガスで吹き払った後、波長184.9 nm、253.7 nmの紫外（UV）光を強度100 mW、照射時間20 sec間の条件で照

50

射し、有機汚染物を除去した。

【0055】

合成例1で作成した共重合体比1:0.011の共重合体を用いて、高分子層を形成した。成膜の条件は、スピンコート法でキシレン希釈の0.1%共重合体溶液を500rpmで10秒保持した後、3000rpmで成膜した。膜厚は20nmだった。

【0056】

その後にスクリーン印刷法にて電極を形成した。印刷に用いた材料は日本ペイント製の銀コロイド導電ペーストを用いた。印刷後の焼成温度は200で行った。

次に、本発明による有機半導体素子に用いるペンタセン蒸着膜の作製方法を説明する。

【0057】

ペンタセンは、市販の粉末を昇華法により精製し、真空蒸着装置した。ペンタセン蒸着膜の作製条件は以下の通りである。蒸着装置チャンバー内の到達真空度は、 $3 \sim 5 \times 10^{-4}$ Paである。前記ペンタセン粉末をK-cellに入れ、ポート上約20cmの位置に基板を置き、セルを約260に加熱して、ペンタセンを昇華させて基板表面上に蒸着した。基板の加熱はヒーターボードを用いて125として、ヒーターボードの基板とほぼ同じ高さに水晶振動子を置き、振動子の共鳴周波数の変化から、膜厚及び蒸着速度を算出した。ペンタセン膜の膜厚は100nmにした。

【0058】

特性評価には、HPパラメーターアナライザー（HP4156C）を用いて、以下の計算式（1）を用いてトランジスター特性の移動度を算出した。

【0059】

【数1】

$$I_d = 1/2 \times (L/W) \times C_i \times \mu \times (V_g - V_{th})^2 \quad (1)$$

【0060】

I_d : ドレイン電流 (A)

L : ゲート長 (cm)

W : ゲート幅 (cm)

C_i : 単位面積あたりの静電容量 (C/cm^2)

μ : 移動度 (cm^2/Vs)

V_g : ゲート電圧 (V)

V_{th} : ゲート電圧しきい値 (V)

高分子層を成膜した場合の移動度は $1.12 cm^2/Vs$ を示し、ON/OFF比は $2.20E+08$ 、 V_{th} は -5Vだった。

【0061】

比較例1

実施例1と全く同様にしてトランジスターを作成した。ただし高分子層は成膜しなかった。この場合のトランジスターの移動度は $0.06 cm^2/Vs$ 、ON/OFF比は $2.5E+06$ 、 V_{th} は -15Vであった。

【0062】

実施例2から17

絶縁膜上の高分子層の共重合比率を $A:B = 1:0.001$ から 0.04 まで変えて、実施例1と全く同様にしてトランジスターを作成した。その結果を表1に示す。

【0063】

10

20

30

40

【表 1】

表 1

高分子層の共重合化率とトランジスタ特性の比較（膜厚 20nm）

実施例	共重合化率	皮膜状態	移動度 (cm^2/Vs)	ON/OFF 比	Vth (V)
1	0.011	良	1.12	2.20E + 08	- 5
2	0.001	良	0.65	2.90E + 08	- 12
3	0.002	良	0.68	3.20E + 08	- 15
4	0.003	良	0.76	5.20E + 08	- 16
5	0.004	良	0.83	4.80E + 08	- 18
6	0.005	良	0.75	5.10E + 08	- 19
7	0.006	良	0.69	6.20E + 08	- 15
8	0.007	良	0.89	8.20E + 08	- 12
9	0.008	良	1.05	7.70E + 08	- 19
10	0.009	良	1.12	9.25E + 08	- 21
11	0.01	良	1.35	1.23E + 08	- 22
12	0.015	良	1.2	1.22E + 08	- 23
13	0.02	良	1.02	1.02E + 08	- 15
14	0.025	良	0.6	6.50E + 07	- 12
15	0.03	良	0.6	3.20E + 07	- 12
16	0.035	良	0.3	1.20E + 07	- 6
17	0.04	良	0.32	9.50E + 06	- 5

【0064】

比較例 2 から 4

実施例 1 と全く同様にしてトランジスタを作成した。ただし、絶縁膜上の高分子層の共重合化率を 0.045（比較例 2）、0.050（比較例 3）、0（PMMA 単体）（比較例 4）にした。結果を表 2 に示す。

【 0 0 6 5 】

【 表 2 】

表 2

比較例

比較例	共重合化率	皮膜状態	移動度 (cm^2/Vs)	ON/OFF 比	Vth (V)
1	なし		0.06	$2.50\text{E} + 06$	- 15
2	0.045	皮膜形成せず	0.02	$2.10\text{E} + 05$	- 12
3	0.05	皮膜形成せず	0.02	$5.50\text{E} + 04$	- 13
4	0	良	0.06	$5.40\text{E} + 05$	- 18

10

20

【 0 0 6 6 】

（注）共重合比率は、モノマーユニット比でメタクリル酸メチル 1 に対するジビニルベンゼンの割合を示す。

共重合化率が、0 . 0 0 1 から 0 . 0 4 0 の範囲であれば特性の良いトランジスターが得られることがわかる。中でも 0 . 0 0 1 から 0 . 0 2 の範囲で特性がよかった。また 0 . 4 0 を超えると高分子層の膜性が著しく悪くなり同時にトランジスターの特性も悪くなることが分かる。またポリメタクリル酸メチルのみ（共重合化率 0）の場合、膜性は良いものの、トランジスター特性は良くなかった。

30

【 0 0 6 7 】

実施例 1 8 から 2 8

次に、基板としてガラス繊維にて強化されたエポキシ基板の上に、銅箔を張り合わせた後、フォトリソでパターニングしゲート電極とした。さらにスパッタリングにて Ta_2O_5 を絶縁膜として、表面粗さ 3 nm に形成したものを基板として用いた。実施例 1 で用いたメタクリル酸メチル/ジビニルベンゼンの共重合比（モノマーユニット比）の割合を一定（1 / 0 . 0 1）として、絶縁膜上に塗布し実施例 1 と同様にしてトランジスターを作成し、高分子層の膜厚とトランジスターの特性を調べた。その結果を表 3 に示す。

【 0 0 6 8 】

【表 3】

表 3 膜厚と移動度の関係

実施例	膜厚 (nm)	移動度 (cm^2/Vs)	ON/OFF 比	V _{th} (V)
18	5	0.5	1.00E + 07	12
19	7.5	0.65	1.22E + 08	- 5
20	10	0.7	1.35E + 07	- 12
21	12.5	0.85	2.25E + 07	- 23
22	15	1.03	3.21E + 07	- 24
23	17.5	1.25	2.50E + 07	- 30
24	20	1.5	8.52E + 07	- 21
25	22.5	0.88	3.25E + 06	- 17
26	25	0.7	2.31E + 06	- 21
27	27.5	0.45	2.60E + 06	- 26
28	30	0.4	5.21E + 06	- 30

10

20

30

【0069】

参考例 1 から 4

実施例 18 と同様にしてトランジスターを作成した。ただし高分子層の膜厚を 1 nm および 35 nm 以上とした。この結果を表 4 に示す

【0070】

【表 4】

表 4 参考例

参考例	膜厚 (nm)	移動度 (cm^2/Vs)	ON/OFF 比	V_{th} (V)
1	35	0.2	$2.31\text{E} + 04$	- 10
2	40	0.02	$4.60\text{E} + 03$	- 2
3	45	0.03	$3.24\text{E} + 03$	- 1
4	1	0.1	$1.00\text{E} + 03$	24

10

20

【0071】

表 3、4 より、高分子層の膜厚は 5 nm から 30 nm の範囲にある場合にトランジスタの特性がよいことが分かる。特に 5 nm から 20 nm の範囲にある場合、移動も ON / OFF 比も高かった。

【0072】

実施例 29 から 41

基板にガラスを用いて更にゲート電極に Al を用い、実施例 1 と同様なプロセスでパターンニングした後、スパッタリングにて Al_2O_3 の絶縁膜を形成した。絶縁膜の表面粗さは基板温度、スパッタ速度を変えることで変更した。その後実施例 1 と同様に高分子層を形成し、絶縁膜の表面粗さと高分子層の関係を調べた。その結果を表 5 に示す。この際、表面の粗さは AFM による表面状態の観察によって、目視で表面の状態が「良（荒れなし）」か「表面荒れ」かを判断した。

30

【0073】

【表 5】

表 5 ゲート絶縁膜表面粗さと高分子層の関係

実施例	ゲート絶縁膜表面粗さ Ra (nm)	高分子層の厚さ (nm)	高分子層表面の 状態	移動度 (cm^2/Vs)	ON/OFF 比	Vth (V)
29	0.1	20	良	1.2	2.60E + 07	- 12
30	0.3	20	良	0.98	6.30E + 08	- 25
31	0.5	20	良	1.32	2.30E + 08	- 16
32	1	20	良	1.25	3.20E + 08	- 16
33	2	20	良	1.52	1.20E + 08	- 18
34	2.3	20	良	1.32	3.20E + 08	- 19
35	2.5	20	良	1.22	2.20E + 08	- 21
36	3.2	20	良	0.98	1.90E + 08	- 12
37	3.5	20	良	0.78	5.60E + 07	- 21
38	4.1	20	良	0.65	8.60E + 07	- 19
39	4.5	20	良	0.67	5.60E + 07	- 18
40	4.7	20	良	0.39	3.20E + 07	- 15
41	5	20	良	0.54	1.62E + 06	- 12

【0074】

参考例 5 から 9

実施例 29 と全く同様にしてトランジスターを作成した。ただしゲート絶縁膜の表面粗さを 5 . 2 nm 以上にした。そのトランジスターの特性を表 6 に示す。

【0075】

【表 6】

表 6 参考例

参考例	ゲート絶縁膜表面粗さ Ra (nm)	高分子層の厚さ (nm)	高分子層表面の 状態	移動度 (cm^2/Vs)	ON/OFF 比	Vth (V)
5	5.2	20	表面荒れ	0.21	1.85E + 05	- 14
6	5.7	20	表面荒れ	0.12	8.56E + 05	- 13
7	6.2	20	表面荒れ	0.03	2.30E + 03	- 6
8	7	20	表面荒れ	0.04	1.30E + 03	- 2
9	8.3	20	表面荒れ	0.06	9.56E + 02	3

10

20

【0076】

表 5、6 より、ゲート絶縁膜の表面粗さが 5 nm 以下にある場合トランジスタの特性が特に良くなることがわかった

【0077】

実施例 42 ~ 48

500 nm の酸化シリコン膜を有する高ドーパのシリコン基板を用意した。シリコン基板は、ゲート電極としても利用し、酸化シリコン膜をゲート絶縁膜とした。

30

【0078】

このシリコン基板を、純度 99 % 以上のアセトンに浸し、超音波洗浄を 1 分間行った後、純水に浸し、超音波洗浄を 1 分間行った。洗浄後、表面に残った純水を窒素ガスで吹き払った。

【0079】

アルドリッチ社製のポリ(1-ビニルナフタレン)(数平均分子量約 100,000)の 1.0 wt % p-キシレン溶液を調製し、先に用意した基板に、スピンコート法(500 rpm 保持の後、3000 rpm で製膜)で塗布した。ホットプレート上、150 で 5 分間加熱し、焼成を行った。このとき、膜厚は 22 nm であった。

【0080】

次に、ペンタセンを真空蒸着法により製膜した。蒸着中、先に用意した、高分子層を形成したシリコン基板を、70 に加熱した。ペンタセンの膜厚は 50 nm に調節した。

40

ペンタセンを製膜した上に、真空蒸着により、金を用いて、ソース電極およびドレイン電極を形成した。ゲート長 40 ~ 50 μm 、ゲート幅 3 mm であった。

【0081】

最後に、ダウコーニングアジア社製シリコングリースとガラス基板にて封止を行い、保護層とした。

HP パラメータアナライザ(HP 4156C)を用いて、計算式(1)により移動度を算出した。移動度、オン/オフ比、ゲート電圧しきい値を表 7 に示した。

【0082】

50

高分子層として、ポリ(2-ビニルナフタレン)(アルドリッチ社製、重量平均分子量175,000)、ポリ(N-ビニルカルバゾール)(アクロス社製、重量平均分子量約90,000)、ポリ(4-ビニルビフェニル)(アルドリッチ社製、重量平均分子量約115,000)、ポリアセナフチレン(アルドリッチ社製、重量平均分子量約5,000-10,000)を用いた有機TFETを同様にして作成した(実施例42~46)。

【0083】

同様に、高分子層として、ポリ{2-(2-ナフチル)プロペン}およびポリ{2-(4-ビフェニル)プロペン}は公知の方法により調製したものをを用いた有機TFETも作成した(実施例47、48)。また、比較例として、高分子層を有しない有機TFETも同様に作成した(比較例5)。移動度、オン/オフ比、ゲート電圧しきい値を表7に示した。

10

【0084】

高分子層を有する有機TFETは、高分子層を有しない有機TFETに比べて、いずれも高い性能を示した。

【0085】

【表 7】

表 7 高分子層材料と TFT 性能

実施例	高分子層	溶剤種	濃度 (wt %)	高分子層の 膜厚 (nm)	移動度 (cm^2/Vs)	ON/OFF 比	Vth (V)
42	ポリ (1-ビニルナフタレン)	p-キシレン	1.0	20	0.86	4.3×10^6	-16
43	ポリ (2-ビニルナフタレン)	トルエン	0.8	23	0.94	4.3×10^6	-15
44	ポリ (N-ビニルカルバゾール)	トルエン	0.6	24	1.36	1.8×10^4	-19
45	ポリ (4-ビニルビフェニル)	トルエン	0.5	25	1.10	2.7×10^6	-18
46	ポリアセナフチレン	クロロホルム/p- キシレン混合溶媒	1.0	75	0.84	6.3×10^6	-18
47	ポリ {2-(2-ナフチル) プロペン}	トルエン	0.3	18	0.54	2.2×10^6	-20
48	ポリ {2-(4-ビフェニル) プロペン}	トルエン	0.3	16	0.71	4.4×10^6	-19
比較例 5	なし	—	—	—	0.37	7.2×10^2	-12

【0086】

実施例 49 ~ 53

0.6 wt % ~ 3.2 wt % までのポリ (2-ビニルナフタレン) (アルドリッチ社製

10

20

30

40

50

、重量平均分子量 175,000) のトルエン溶液を用いる以外は、実施例 42 と同様の操作を行い、有機 TFT を作成した。この時、高分子層の膜厚は 15 nm ~ 100 nm であった。移動度、オン/オフ比、ゲート電圧しきい値を表 8 に示した。

【0087】

【表 8】

表8 高分子層膜厚と TFT 性能

実施例	濃度 (wt %)	高分子層 の膜厚 (nm)	移動度 (cm ² /Vs)	ON/OFF 比	Vth (V)
49	0.6	15	0.40	4.9×10^4	-14
50	0.8	20	0.86	1.6×10^6	-17
51	1.2	30	0.82	5.1×10^6	-19
52	1.6	44	0.70	7.0×10^6	-26
53	3.2	100	0.45	4.9×10^6	-24

10

20

【0088】

実施例 54 ~ 55

500 nm の酸化シリコン膜を有する高ドーパのシリコン基板を、純度 99% 以上のアセトンに浸し、超音波洗浄を 1 分間行った後、純水に浸し、超音波洗浄を 1 分間行った。洗浄後、表面に残った純水を窒素ガスで吹き払った。

30

【0089】

ここに、太陽インキ社製銀ペーストを用いて、スクリーン印刷法によりソース電極およびドレイン電極を形成した。クリーンオープン内、150℃、1 時間の条件で焼成を行った。このとき、ゲート長 40 ~ 50 μm、ゲート幅 3 mm であった。

【0090】

次に、セン特殊光源社製光表面処理装置 PL16-110 (光表面処理装置電源 UVE-110-1H、高出力低圧水銀ランプ SUV110GS-36) で 20 分間、紫外線 (184.9 nm、253.7 nm) を照射し、有機汚染物を除去した。

40

【0091】

純度 99% 以上のアセトンに浸し、超音波洗浄を 1 分間行った後、純水に浸し、超音波洗浄を 1 分間行い、洗浄後、表面に残った純水を窒素ガスで吹き払った。

ポリ(2-ビニルナフタレン) (アルドリッチ社製、重量平均分子量 175,000) の 0.8 wt% トルエン溶液を調製し、先に用意した基板に、スピンコート法 (3000 rpm で製膜) で塗布した。膜厚は 22 nm であった。ホットプレート上、150℃ で 5 分間加熱し焼成を行った。

【0092】

ペンタセンを、真空蒸着法により製膜した。蒸着中、先に用意した、高分子層を形成したシリコン基板を、70℃ に加熱した。ペンタセンの膜厚は 75 nm に調節した。

50

最後に、ダウコーニングアジア社製シリコングリースとガラス基板にて封止を行い、保護層とし、図 1 (d) の構造をもつ有機 T F T を作成した (実施例 5 4) 。

【 0 0 9 3 】

ソース電極およびドレイン電極の形成と高分子層の形成の順序を変える以外は実施例 5 2 と同様の操作により、図 1 (c) の構造の有機 T F T を作成した (実施例 5 3) 。

また、高分子層を形成する操作を除き、実施例 5 2 と同様にして、図 2 の高分子層を持たない有機 T F T (比較例 6) を作成した。移動度、オン / オフ比、ゲート電圧しきい値を表 9 に示した。

【 0 0 9 4 】

これらの有機 T F T について、H P パラメータアナライザ (H P 4 1 5 6 C) を用いて、計算式 (1) により移動度を算出した。移動度、オン / オフ比、ゲート電圧しきい値を表 9 に示した。

【 0 0 9 5 】

高分子層を持つ有機 T F T では、移動度が高い、かつ / または、オン / オフ比が高いなど性能面での利点を有していた。

【 0 0 9 6 】

【 表 9 】

表9 TFT構造とTFT性能

実施例	有機半導体素子の構造	高分子層	移動度 (cm^2/Vs)	ON/OFF 比	Vth (V)
54	図 1 (d) タイプ	ポリ (2 - ビニル ナフタレン)	0.21	2.0×10^4	- 29
55	図 1 (c) タイプ	ポリ (2 - ビニル ナフタレン)	0.45	1.2×10^6	- 17
比較例 6	図 2	なし	0.27	4.7×10^2	- 12

【 産業上の利用可能性 】

【 0 0 9 7 】

本発明は、大面積基板上に均一に作製でき、ゲート電極に印加する電圧によってドレイン電流を大きく変調させることができる高い移動度を有する有機半導体素子として利用することができる。

【 0 0 9 8 】

また、本発明は、動作が安定で、低電圧で駆動することが可能で素子の寿命も長く、製造方法も簡便にできる有機半導体素子として利用することができる。

また、上記の有機半導体素子を用いた、アクティブマトリクス型表示装置或いは有機半導体素子を I C カード電子タグとして用いた有機半導体装置として利用することができる。

【図面の簡単な説明】

【 0 0 9 9 】

【図 1】本発明の有機半導体素子の他の実施態様を示す概略断面図である。

【図 2】比較例の有機半導体素子を示す概略断面図である。

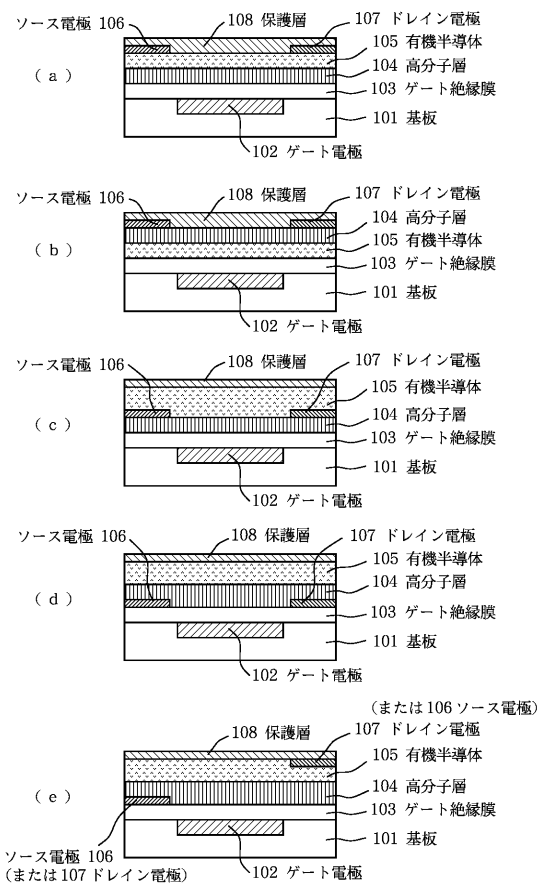
【符号の説明】

【 0 1 0 0 】

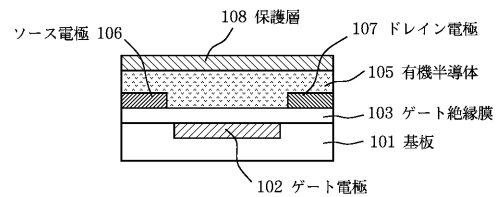
- 1 0 1 基板
- 1 0 2 ゲート電極
- 1 0 3 ゲート絶縁膜
- 1 0 4 高分子層
- 1 0 5 有機半導体
- 1 0 6 ソース電極
- 1 0 7 ドレイン電極
- 1 0 8 保護層

10

【図 1】



【図 2】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 51/00	H 0 1 L 29/78	6 1 7 U
//(C 0 8 F 220/18	H 0 1 L 29/78	6 1 7 V
C 0 8 F 212:36)	H 0 1 L 29/78	6 1 9 A
	H 0 1 L 29/28	
	C 0 8 F 220/18	
	C 0 8 F 212:36	

(72)発明者 宮崎 元

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 4J100 AB00P AB16Q AL03P AQ26P AR09P CA01 CA04 CA23 JA46
5F110 AA01 AA16 AA28 BB01 BB08 BB20 CC03 CC05 CC07 DD01
DD02 DD05 DD13 EE01 EE02 EE03 EE04 EE06 EE07 EE08
EE42 EE43 EE44 EE45 FF01 FF02 FF03 FF09 FF27 FF28
FF30 GG05 GG25 GG28 GG29 GG42 GG43 GG45 HK01 HK02
HK03 HK04 HK06 HK07 HK32 HK33 HK35 HM12 NN04 NN27
NN36 QQ06