

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5101471号  
(P5101471)

(45) 発行日 平成24年12月19日(2012.12.19)

(24) 登録日 平成24年10月5日(2012.10.5)

(51) Int.Cl.

F 1

**H01L 21/205 (2006.01)**  
**H01L 21/336 (2006.01)**  
**H01L 29/786 (2006.01)**  
**H01L 21/3065 (2006.01)**

**H01L 21/205**  
**H01L 29/78 618 A**  
**H01L 21/302 105 B**

請求項の数 6 (全 46 頁)

(21) 出願番号 特願2008-307050 (P2008-307050)  
 (22) 出願日 平成20年12月2日 (2008.12.2)  
 (65) 公開番号 特開2009-158947 (P2009-158947A)  
 (43) 公開日 平成21年7月16日 (2009.7.16)  
 審査請求日 平成23年11月2日 (2011.11.2)  
 (31) 優先権主張番号 特願2007-312670 (P2007-312670)  
 (32) 優先日 平成19年12月3日 (2007.12.3)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 神保 安弘  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 宮入 秀和  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 大力 浩二  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 大塚 徹

最終頁に続く

(54) 【発明の名称】微結晶半導体膜及び薄膜トランジスタの作製方法

## (57) 【特許請求の範囲】

## 【請求項1】

フッ素、フッ化物気体、または水素の少なくとも一つ以上を導入し高周波電力を印加して、被膜の一部をエッチングする第1の工程と、  
前記被膜上に半導体膜を形成する第2の工程と、

フッ素、フッ化物気体、または水素の少なくとも一つ以上を導入し高周波電力を印加して、前記半導体膜の一部をエッチングする第3の工程と、

シリコンまたはゲルマニウムを含む堆積性気体、フッ化物気体またはフッ素、及び水素を導入し高周波電力を印加して前記被膜上に微結晶半導体膜を形成する第4の工程と、を有することを特徴とする微結晶半導体膜の作製方法。

10

## 【請求項2】

ドナーとなる不純物元素を含む気体を流す第1の工程と、  
前記被膜上に半導体膜を形成する第2の工程と、

フッ素、フッ化物気体、または水素の少なくとも一つ以上を導入し高周波電力を印加して、前記半導体膜の一部をエッチングする第3の工程と、

シリコンまたはゲルマニウムを含む堆積性気体、フッ化物気体またはフッ素、及び水素を導入し高周波電力を印加して前記被膜上に微結晶半導体膜を形成する第4の工程と、を有することを特徴とする微結晶半導体膜の作製方法。

## 【請求項3】

請求項1または2において、

20

前記第3の工程において、前記フッ素、フッ化物気体、または水素の少なくとも一つ以上と共に、ドナーとなる不純物元素を含む気体を導入し高周波電力を印加して、前記半導体膜の一部をエッチングすると共に、前記エッチングされた半導体膜に前記ドナーとなる不純物元素を添加することを特徴とする微結晶半導体膜の作製方法。

**【請求項 4】**

ゲート絶縁膜を形成する第1の工程と、

フッ素、フッ化物気体、または水素の少なくとも一つ以上を導入し高周波電力を印加して、前記ゲート絶縁膜の一部をエッチングする第2の工程と、

前記ゲート絶縁膜上に半導体膜を形成する第3の工程と、

フッ素、フッ化物気体、または水素の少なくとも一つ以上を導入し高周波電力を印加して、前記半導体膜の一部をエッチングする第4の工程と、

シリコンまたはゲルマニウムを含む堆積性気体、フッ化物気体またはフッ素、及び水素を導入し高周波電力を印加して前記ゲート絶縁膜上に微結晶半導体膜を形成する第5の工程と、を有し、

前記ゲート絶縁膜、及び前記微結晶半導体膜を用いて薄膜トランジスタを作製することを特徴とする薄膜トランジスタの作製方法。

**【請求項 5】**

ゲート絶縁膜を形成する第1の工程と、

ドナーとなる不純物元素を含む気体を流す第2の工程と、

前記ゲート絶縁膜上に半導体膜を形成する第3の工程と、

フッ素、フッ化物気体、または水素の少なくとも一つ以上を導入し高周波電力を印加して、前記半導体膜の一部をエッチングする第4の工程と、

シリコンまたはゲルマニウムを含む堆積性気体、フッ化物気体またはフッ素、及び水素を導入し高周波電力を印加して前記ゲート絶縁膜上に微結晶半導体膜を形成する第5の工程と、を有し、

前記ゲート絶縁膜、及び前記微結晶半導体膜を用いて薄膜トランジスタを作製することを特徴とする薄膜トランジスタの作製方法。

**【請求項 6】**

請求項4または5において、

前記第4の工程において、前記フッ素、フッ化物気体、または水素の少なくとも一つ以上と共に、ドナーとなる不純物元素を含む気体を導入し高周波電力を印加して、前記半導体膜の一部をエッチングすると共に、前記エッチングされた半導体膜に前記ドナーとなる不純物元素を添加することを特徴とする薄膜トランジスタの作製方法。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

微結晶半導体膜の作製方法、当該微結晶半導体膜を有する薄膜トランジスタの作製方法、当該微結晶半導体膜によって少なくとも一組の半導体接合を有する光電変換装置に関する。

**【背景技術】**

**【0002】**

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数十～数百nm程度）を用いて薄膜トランジスタを構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

**【0003】**

画像表示装置のスイッチング素子として、非晶質半導体膜を用いた薄膜トランジスタ、結晶粒径が100nm以上の多結晶半導体膜を用いた薄膜トランジスタ等が用いられている。多結晶半導体膜の形成方法としては、パルス発振のエキシマレーザビームを光学系によ

10

20

30

40

50

り線状に加工して、非晶質珪素膜に対し線状ビームを走査させながら照射して結晶化する技術が知られている。

#### 【0004】

また、画像表示装置のスイッチング素子として、微結晶半導体膜を用いた薄膜トランジスタが用いられている（特許文献1及び2）。

#### 【0005】

また、プラズマCVD法により作製可能な結晶系シリコンとして微結晶シリコンを光電変換層とする光電変換装置の開発が進められている（例えば、特許文献3参照）。

【特許文献1】特開平4-242724号公報

【特許文献2】特開2005-49832号公報

10

【特許文献3】特開2000-277439号公報

#### 【発明の開示】

##### 【発明が解決しようとする課題】

#### 【0006】

多結晶半導体膜を用いた薄膜トランジスタは、非晶質半導体膜を用いた薄膜トランジスタに比べて移動度が2桁以上高く、半導体表示装置の画素部とその周辺の駆動回路を同一基板上に一体形成できるという利点を有している。しかしながら、非晶質半導体膜を用いた場合に比べて、半導体膜の結晶化のために工程が複雑化するため、その分歩留まりが低減し、コストが高まるという問題がある。

#### 【0007】

20

また、異種材料上に微結晶半導体膜を成膜する場合、界面における結晶性が低く、当該微結晶半導体膜を用いた逆スタガ型の薄膜トランジスタにおいて、ゲート絶縁膜及び微結晶半導体膜の界面領域における結晶性が低いという問題がある。また、光電変換装置においては、電極と微結晶半導体膜の界面における結晶性が低いという問題がある。

#### 【0008】

上述した問題に鑑み、異種材料基材上において、界面及び膜中の結晶性の高い微結晶半導体膜の形成方法を提案することを課題の一とする。また、結晶性の高い微結晶半導体膜を有する薄膜トランジスタの作製方法を提案することを課題の一とする。また、結晶性の高い微結晶半導体膜を有する光電変換装置の作製方法を提案することを課題の一とする。

#### 【課題を解決するための手段】

30

#### 【0009】

被膜上に、密度が高く、且つ結晶性の高い結晶核を形成した後、結晶核から半導体の結晶粒を結晶成長させて、被膜との界面における結晶性、隣接する結晶粒の密着性、及び結晶粒の結晶性、それぞれを高めた微結晶半導体膜を形成する。

#### 【0010】

被膜上に半導体膜を形成し、当該半導体膜にプラズマを照射して半導体膜の一部をエッティングして、結晶性が高い結晶核を密度高く形成する。次に、シリコンまたはゲルマニウムを含む堆積性気体、フッ化物気体またはフッ素、及び水素を原料ガスとしたPlasma CVD法により、被膜上に被膜との界面における密着性が高く、また結晶粒間の密着性も高く、また、結晶性の高い微結晶半導体膜を形成する。

40

#### 【0011】

被膜上に形成する半導体膜としては、非晶質半導体膜、または微結晶半導体膜をスパッタリング法、CVD法等により形成する。

#### 【0012】

半導体膜に照射するプラズマとしては、水素、フッ素、フッ化物のいずれか一つ以上をPlasma CVD装置の反応室内に導入し、高周波電源を印加してプラズマを発生させる。当該プラズマには、少なくとも、水素プラズマまたはフッ素プラズマが含まれており、被膜上に形成される半導体膜の非晶質半導体成分をエッティングする。特に、半導体膜が微結晶半導体膜の場合、結晶粒が小さく、その間を埋める非晶質半導体成分をエッティングすることで、結晶性の高い結晶核を密度高く残存させることができる。また、被膜上に形成され

50

る半導体膜が非晶質半導体膜の場合は、非晶質半導体成分をエッティングするとともに、一部を結晶化し、微細な結晶核を密度高く形成することができる。このため、被膜との界面における非晶質半導体成分をもプラズマによりエッティングされるため、被膜上には結晶性の高い結晶核を密度高く形成することができる。

#### 【0013】

シリコンまたはゲルマニウムを含む堆積性気体、フッ化物気体またはフッ素、及び水素を原料ガスとしたプラズマCVD法により、結晶核から結晶成長させる。シリコンまたはゲルマニウムを含む堆積性気体及び水素とともに、フッ化物気体またはフッ素を用いると、結晶核から結晶成長する際に、結晶成長の場における非晶質半導体成分をフッ素ラジカルがエッティングするため、結晶性の高い結晶成長が起きる。この場合、結晶核の密度が高いと、隣り合う結晶核の距離が短く、結晶成長の際に結晶粒が繋がる。この後、結晶成長は被膜表面に対して法線方向に結晶成長するため、柱状の結晶粒が密接に繋がった微結晶半導体膜を形成することができる。また、被膜上にある結晶核から結晶成長するため、被膜との界面における結晶性が高く、また膜中の結晶性も高い微結晶半導体膜を形成することができる。10

#### 【0014】

なお、被膜上に半導体膜を形成する前に、フッ素、フッ化物気体、または水素の少なくとも一つ以上をプラズマCVD装置の反応室内に導入し高周波電源を印加して、プラズマを発生させて、被膜の一部をエッティングしてもよい。当該エッティングにより被膜の表面に凹凸を形成することができる。当該凹凸を有する被膜上に半導体膜を形成し、プラズマに曝すことにより、プラズマ密度の分布が生じやすい。このため、結晶核の密度を高めやすく、柱状の結晶粒が密接に繋がった微結晶半導体膜を形成することができる。20

#### 【0015】

また、微結晶半導体膜にドナーとなる不純物元素を添加してもよい。微結晶半導体膜にドナーとなる不純物元素を添加することで、微結晶半導体膜の結晶性が高まり、導電率が高まるとともに、被膜との界面における結晶性を高めることが可能である。

#### 【0016】

微結晶半導体膜にドナーとなる不純物元素を添加する方法としては、被膜、半導体膜、または微結晶半導体膜にドナーとなる不純物元素を添加してもよい。被膜にドナーとなる不純物元素を添加する場合は、被膜を形成する前に、反応室内に、ドナーとなる不純物元素を含む気体を流し、反応室内壁及び被膜にドナーとなる不純物元素を吸着される。または、被膜の原料ガスとともに、ドナーとなる不純物元素を含む気体を導入してもよい。30

#### 【0017】

半導体膜にドナーとなる不純物元素を添加する場合は、半導体膜を形成する前に反応室内に、ドナーとなる不純物元素を含む気体を流し、反応室内壁及び被膜にドナーとなる不純物元素を吸着させてもよい。または、半導体膜の原料ガスとともに、ドナーとなる不純物元素を含む気体を導入してもよい。または、半導体膜をエッティングする際、フッ素、フッ化物気体、または水素の少なくとも一つ以上とともに、ドナーとなる不純物元素を含む気体を用いて、プラズマを発生させることで、水素ラジカルまたはフッ素ラジカルで半導体膜の非晶質半導体成分をエッティングするとともに、エッティングされた半導体膜にドナーとなる不純物元素を添加してもよい。40

#### 【0018】

微結晶半導体膜にドナーとなる不純物元素を添加する場合は、微結晶半導体膜を形成する前に、ドナーとなる不純物元素を含む気体を流し、反応室内壁、被膜、及びエッティングされた半導体膜にドナーとなる不純物元素を吸着させてもよい。または、微結晶半導体膜の原料ガスとともに、ドナーとなる不純物元素を含む気体を導入してもよい。

#### 【0019】

なお、ここでは、被膜とは、表面に上記微結晶半導体膜が形成される膜のことであり、即ち微結晶半導体膜の下地膜である。

#### 【0020】

また、本発明の一である微結晶半導体膜を用い、薄膜トランジスタ（TFT）を作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示装置を作製する。本発明の一である微結晶半導体膜は、ゲート絶縁膜との界面における結晶性が高いため、当該微結晶半導体膜を用いた薄膜トランジスタは、その移動度が $1 \sim 10 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 、好みしくは $2.5 \sim 10 \text{ cm}^2 / \text{V} \cdot \text{sec}$ と、非晶質半導体膜を用いた薄膜トランジスタの2~20倍の移動度を有しているので、駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

#### 【0021】

また、表示装置としては、発光装置や液晶表示装置を含む。発光装置は発光素子を含み、液晶表示装置は液晶素子を含む。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には有機EL（エレクトロルミネッセンス）及び無機ELが含まれる。10

#### 【0022】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明の一は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。20

#### 【0023】

なお、本明細書中における表示装置とは、画像表示デバイス、発光デバイス、もしくは光源（照明装置含む）を指す。また、コネクター、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

#### 【0024】

また、上記結晶性の高い微結晶半導体膜を光電変換層として用いて光電変換装置を作製する。30

#### 【発明の効果】

#### 【0025】

被膜との界面から結晶性の高い微結晶半導体膜を形成することができる。また、隣接する結晶粒が密に接し、結晶性の高い微結晶半導体膜を形成することができる。更には、当該結晶性の高い微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを作製することができる。更には、当該結晶性の高い微結晶半導体膜を用いた光電変換装置を作製することができる。

#### 【発明を実施するための最良の形態】

#### 【0026】

以下、発明の実施の形態について、図面を用いて以下に説明する。但し、開示される発明は以下の説明に限定されず、開示される発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。従って、開示される発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。以下に開示される発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

#### 【0027】

##### （実施の形態1）

ここでは、被膜との界面における結晶性が高く、また隣接する結晶粒の密着性が高い、即ち欠陥の少ない微結晶半導体膜の作製工程について、図1を用いて説明する。50

**【 0 0 2 8 】**

図1(A)に示すように、基板40上に被膜41を形成し、被膜41上に半導体膜42を形成する。

**【 0 0 2 9 】**

基板40は、バリウムホウケイ酸ガラス、アルミニノホウケイ酸ガラス、若しくはアルミニシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板40がマザーガラスの場合、基板の大きさは、第1世代(320mm×400mm)、第2世代(400mm×500mm)、第3世代(550mm×650mm)、第4世代(680mm×880mm、または730mm×920mm)、第5世代(1000mm×1200mmまたは1100mm×1250mm)、第6世代(1500mm×1800mm)、第7世代(1900mm×2200mm)、第8世代(2160mm×2460mm)、第9世代(2400mm×2800mm、2450mm×3050mm)、第10世代(2950mm×3400mm)等を用いることができる。10

**【 0 0 3 0 】**

被膜41は、CVD法、スパッタリング法、印刷法、塗布法等を用いて適宜膜を形成することができる。被膜としては、絶縁膜、導電膜等を適宜形成することができる。絶縁膜の一例としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜等があるがこれに限定されるものではない。ここでは、被膜41としてプラズマCVD法により厚さ50~200nmの窒化酸化珪素膜を形成する。20

**【 0 0 3 1 】**

ここでは、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、組成範囲として酸素が55~65原子%、窒素が1~20原子%、Siが25~35原子%、水素が0.1~10原子%の範囲で含まれるものという。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、組成範囲として酸素が15~30原子%、窒素が20~35原子%、Siが25~35原子%、水素が15~25原子%の範囲で含まれるものという。

**【 0 0 3 2 】**

半導体膜42は、シリコン、ゲルマニウム等を含む非晶質半導体膜または微結晶半導体膜を形成する。微結晶半導体膜としては、結晶粒径が0.5~100nm、好ましくは1~20nmの微結晶半導体膜を用いることができる。なお、半導体膜42が微結晶半導体膜の場合、微結晶半導体膜に非晶質半導体成分が含まれていてもよい。半導体膜42の膜厚は、1~100nm、好ましくは2~20nm、好ましくは5~10nmとする。30

**【 0 0 3 3 】**

ここでの微結晶半導体膜とは、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造の半導体を含む膜である。この半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、粒径が0.5~100nm、好ましくは1~20nmの柱状または針状結晶が基板表面に対して法線方向に成長している。また、複数の微結晶半導体の間に非単結晶半導体が存在している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す520cm<sup>-1</sup>よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す520cm<sup>-1</sup>とアモルファスシリコンを示す480cm<sup>-1</sup>の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手(ダンギングボンド)を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。このような微結晶半導体膜に関する記述は、例えば、米国特許4,409,134号で開示されている。40

**【 0 0 3 4 】**50

半導体膜42は、スパッタリング法やCVD法により形成することができる。半導体膜42をスパッタリング法で形成する場合、水素、または希ガスを用いてシリコンターゲットをスパッタリングして、前記被膜上に前記半導体膜として非晶質半導体膜を形成する。半導体膜42をCVD法により形成する場合、シリコンまたはゲルマニウムを含む堆積性気体と共に、水素をプラズマCVD装置の反応室に導入し、高周波電力を印加し、プラズマを発生させて被膜上に、半導体膜42として非晶質半導体膜または微結晶半導体膜を形成する。

#### 【0035】

シリコン、またはゲルマニウムを含む堆積性気体としては、 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 、 $\text{GeH}_4$ 、 $\text{Ge}_2\text{H}_6$ 等がある。10

#### 【0036】

なお、半導体膜として非晶質半導体膜を形成する一形態として、反応室において、シリコン、またはゲルマニウムを含む堆積性気体を用いたグロー放電プラズマにより非晶質半導体膜を形成することができる。または、シリコン、またはゲルマニウムを含む堆積性気体に、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して、グロー放電プラズマにより非晶質半導体膜を形成することができる。または、シランガスの流量の1倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素を用いたグロー放電プラズマにより、非晶質半導体膜を形成することができる。

#### 【0037】

また、半導体膜として微結晶半導体膜を形成する一形態として、反応室内において、シリコンまたはゲルマニウムを含む堆積性気体、ここではシランと、水素及び/又は希ガスとを混合し、グロー放電プラズマにより、微結晶半導体膜を形成する。シランは水素及び/又は希ガスで10倍から2000倍に希釈される。そのため多量の水素及び/又は希ガスが必要とされる。基板の加熱温度は100～300、好ましくは120～220で行う。微結晶半導体膜の成長表面を水素で不活性化し、微結晶シリコンの成長を促進するためには120～220で成膜を行うことが好ましい。20

#### 【0038】

半導体膜42形成工程においてグロー放電プラズマの生成は、1MHzから20MHz、代表的には13.56MHzの高周波電力、または20MHzより大きく120MHz程度までのVHF帯の高周波電力、代表的には27.12MHz、60MHzを印加することで行われる。30

#### 【0039】

次に、結晶性の高い結晶核を密度高く形成する工程を行う。ここでは、プラズマCVD装置の反応室内に、フッ素、フッ化物気体、または水素の少なくとも一つ以上を導入し高周波電源を印加して、プラズマ43を発生させ、図1(B)に示すように、当該プラズマ43を半導体膜42に曝すことで、半導体膜42の一部、代表的には非晶質半導体成分をエッチングする。

#### 【0040】

フッ素、フッ化物気体、または水素の少なくとも一つ以上を導入し高周波電源を印加することで、水素プラズマ、フッ素プラズマが発生する。水素プラズマは、反応室内に水素を導入し、プラズマを発生させる。フッ素プラズマは、反応室内に、フッ素またはフッ化物気体を導入し、プラズマを発生させる。フッ化物ガスとしては、 $\text{HF}$ 、 $\text{SiF}_4$ 、 $\text{SiH}_3\text{F}$ 、 $\text{SiH}_2\text{F}_2$ 、 $\text{SiH}_3\text{F}$ 、 $\text{Si}_2\text{F}_6$ 、 $\text{GeF}_4$ 、 $\text{GeHF}_3$ 、 $\text{GeH}_2\text{F}_2$ 、 $\text{GeH}_3\text{F}$ 、 $\text{Ge}_2\text{F}_6$ 等がある。なお、フッ素、フッ化物気体、または水素のほかに希ガスを反応室内に導入して希ガスプラズマを発生させてもよい。40

#### 【0041】

水素プラズマ、フッ素プラズマ等により、水素ラジカル、フッ素ラジカルがプラズマ中に生成する。水素ラジカルは非晶質半導体膜と反応して非晶質半導体膜の一部を結晶化するとともに、非晶質半導体成分をエッチングする。フッ素ラジカルは、半導体膜の非晶質半導体成分をエッチングする。このため、半導体膜42が微結晶半導体膜の場合、膜に含50

まれる結晶粒は小さく、その間を埋める非晶質半導体成分をエッティングすることで、結晶性の高い結晶核を密度高く残存させることができる。また、被膜上に形成される半導体膜が非晶質半導体膜の場合は、非晶質半導体成分をエッティングするとともに、一部を結晶化し、微細な結晶核を密度高く形成することができる。このため、被膜との界面における非晶質半導体成分をもプラズマによりエッティングされるため、被膜上には結晶性の高い結晶核を密度高く形成することができる。

#### 【0042】

このときの結晶核の大きさを、 $5 \sim 30 \text{ nm}$ とし、密度を $1 \times 10^{10} \sim 1 \times 10^{12} \text{ atoms/cm}^3$ とすると、微細な結晶核を密度高く形成することができる。10

#### 【0043】

プラズマの発生方法は、HF帯( $3 \text{ MHz} \sim 30 \text{ MHz}$ 、代表的には $13.56 \text{ MHz}$ )を用いることが好ましい。特に、 $13.56 \text{ MHz}$ の高周波電力を用いることで、プラズマの均一性を高めることができ、第6世代～第10世代の大面積基板上においても、均一性の高いプラズマを半導体膜に曝すことができるため、大量生産に好ましい。

#### 【0044】

次に、シリコンまたはゲルマニウムを含む堆積性気体、フッ素またはフッ化物気体、及び水素を用い、結晶核44を用いて結晶成長させ、図1(D)に示すように、微結晶半導体膜45を形成する。フッ化物ガスとしては、HF、SiF<sub>4</sub>、SiHF<sub>3</sub>、SiH<sub>2</sub>F<sub>2</sub>、SiH<sub>3</sub>F、Si<sub>2</sub>F<sub>6</sub>、GeF<sub>4</sub>、GeHF<sub>3</sub>、GeH<sub>2</sub>F<sub>2</sub>、GeH<sub>3</sub>F、Ge<sub>2</sub>F<sub>6</sub>等がある。ここではシランと、フッ化シランと、水素及び/又は希ガスとを混合し、グロー放電プラズマにより、微結晶半導体膜45を形成する。20

#### 【0045】

微結晶半導体膜を形成するために、シリコンまたはゲルマニウムを含む堆積性気体と共に、シリコンまたはゲルマニウムを含むフッ化物ガスを用いることで、結晶核から結晶成長する際に、結晶成長の場における非晶質半導体成分をフッ素ラジカルがエッティングするため、結晶性の高い結晶成長が起きる。即ち、結晶性の高い結晶粒を形成することができる。また、結晶核の密度が高いと、隣り合う結晶核の距離が短く、結晶成長の際に結晶粒が繋がる。この後、結晶成長は被膜表面に対して法線方向に結晶成長するため、柱状の結晶粒が密接に繋がった微結晶半導体膜を形成することができる。また、被膜41上にある結晶核から結晶成長するため、被膜との界面における結晶性が高く、また膜中の結晶性も高い微結晶半導体膜を形成することができる。また、このような微結晶半導体膜を薄膜トランジスタのチャネル形成領域に用いることで、結晶性の高い微結晶半導体膜をチャネル形成領域に有する薄膜トランジスタを作製することができる。30

#### 【0046】

なお、微結晶半導体膜の形成工程においてグロー放電プラズマの生成は、 $1 \text{ MHz}$ から $20 \text{ MHz}$ 、代表的には $13.56 \text{ MHz}$ の高周波電力、または $20 \text{ MHz}$ より大きく $120 \text{ MHz}$ 程度までのVHF帯の高周波電力、代表的には $27.12 \text{ MHz}$ 、 $60 \text{ MHz}$ を印加することで行われる。

#### 【0047】

なお、半導体膜42を形成する前に、成膜装置の反応室内壁に非晶質半導体膜または微結晶半導体膜を形成することが好ましい。さらには、反応室内壁をフッ素プラズマ等でクリーニングした後、反応室内壁に非晶質半導体膜または微結晶半導体膜を形成することができる。このような処理により、半導体膜42または微結晶半導体膜45を形成する際に、反応室の内壁の成分やクリーニングに用いたフッ素が、半導体膜42または微結晶半導体膜45中に混入することを低減することができる。40

#### 【0048】

以上の工程により、被膜との界面における結晶性が高く、また膜中の結晶性も高い微結晶半導体膜を形成することができる。

#### 【0049】

10

20

30

40

50

(実施の形態 2 )

本実施の形態では、実施の形態 1 と同様に、被膜との界面における結晶性が高く、また膜中の結晶性も高い微結晶半導体膜を形成する工程について、図 2 を用いて説明する。

【 0 0 5 0 】

図 2 ( A ) に示すように、基板 4 0 上に被膜 4 1 を形成する。

【 0 0 5 1 】

次に、被膜 4 1 表面をプラズマ 4 6 に曝し、表面に凹凸を有する被膜 4 1 a を形成する。凹凸の形状としては、図 2 ( B ) に示すように、凸部及び凹部がそれぞれ緩やかな曲線状である波状でもよい。また、凸部の先端は針状に尖り、凹部は緩やかな曲線状をなす形とすることもできる。また、凹凸の間隔は狭いと、後に密度の高い結晶核を形成することができるため、好ましい。10

【 0 0 5 2 】

プラズマ 4 6 は、被膜 4 1 の表面を凹凸にするようなプラズマ 4 6 を被膜 4 1 に曝す。このようなプラズマとしては、反応室内に、フッ素、フッ化物気体、または水素の少なくとも一つ以上を導入し高周波電源を印加して、プラズマ 4 6 を発生させ、当該プラズマ 4 6 を被膜 4 1 に曝すことで、被膜 4 1 の表面をエッティングし、凹凸を有する被膜 4 1 a とする。

【 0 0 5 3 】

次に、被膜 4 1 a 上に半導体膜 4 2 を形成する。半導体膜 4 2 は、被膜 4 1 a の表面の凹凸の影響を受け、半導体膜 4 2 の表面も凹凸を有する。次に、実施の形態 1 と同様に、結晶性の高い結晶核を密度高く形成する工程を行う。ここでも同様に、プラズマ C V D 装置の反応室内に、フッ素、フッ化物気体、または水素の少なくとも一つ以上を導入し高周波電源を印加して、プラズマ 4 3 を発生させ、当該プラズマ 4 3 を半導体膜 4 2 に曝すことで、半導体膜 4 2 の一部、代表的には非晶質半導体成分をエッティングする。なお、本実施の形態では、半導体膜 4 2 の表面が凹凸を有するため、半導体膜 4 2 の応力集中により結晶核が形成されやすくなる。また、半導体膜 4 2 の Si の結合手が ( 1 1 0 ) 面以外の面でも結合するため、結合がより強固になり、被膜と結晶核、さらにはゲート絶縁膜と微結晶半導体膜の密着性が向上する。20

【 0 0 5 4 】

この結果、図 2 ( C ) に示すような、結晶性の高い結晶核 4 4 を形成することができる。30

【 0 0 5 5 】

次に、シリコンまたはゲルマニウムを含む堆積性気体、フッ素またはフッ化物気体、及び水素を反応室内に導入し高周波電源を印加し、結晶核 4 4 を用いて結晶成長させ、図 2 ( D ) に示すように、微結晶半導体膜 4 5 を形成する。フッ化物ガスとしては、HF、SiF<sub>4</sub>、SiHF<sub>3</sub>、SiH<sub>2</sub>F<sub>2</sub>、SiH<sub>3</sub>F、Si<sub>2</sub>F<sub>6</sub>、GeF<sub>4</sub>、GeHF<sub>3</sub>、GeH<sub>2</sub>F<sub>2</sub>、GeH<sub>3</sub>F、Ge<sub>2</sub>F<sub>6</sub> 等がある。ここではシランと、フッ化シランと、水素及び / 又は希ガスとを混合し、グロー放電プラズマにより、微結晶半導体膜を形成する。

【 0 0 5 6 】

なお、半導体膜 4 2 を形成する前に、成膜装置の反応室内壁に非晶質半導体膜または微結晶半導体膜を形成することが好ましい。さらには、反応室内壁をフッ素プラズマ等でクリーニングした後、反応室内壁に非晶質半導体膜または微結晶半導体膜を形成することが好ましい。このような処理により、半導体膜 4 2 または微結晶半導体膜 4 5 を形成する際に、反応室の内壁の成分やクリーニングに用いたフッ素が、半導体膜 4 2 または微結晶半導体膜 4 5 中に混入することを低減することが可能である。40

【 0 0 5 7 】

以上の工程により、被膜との界面における結晶性が高く、また膜中の結晶性も高い微結晶半導体膜を形成することができる。

【 0 0 5 8 】

(実施の形態 3 )

本実施の形態では、被膜との界面における結晶性が高く、また隣接する結晶粒の密着性が高い、即ち欠陥の少ない微結晶半導体膜の作製工程について、図3を用いて説明する。

#### 【0059】

図3(A)に示すように、基板40上に被膜41を形成し、被膜41上に半導体膜47を形成する。

#### 【0060】

ここでは、半導体膜47として、ドナーとなる不純物元素を含む半導体膜を形成する。ドナーとなる不純物元素を含む半導体膜をプラズマCVD法またはスパッタリング法により形成する。ドナーとなる不純物元素としては、ドナー元素として、リン、砒素、またはアンチモンを用いる。また、半導体膜としては、非晶質半導体膜または微結晶半導体膜を形成する。また、非晶質半導体膜または微結晶半導体膜としては、シリコンまたはゲルマニウムを含む非晶質半導体または微結晶半導体膜を形成する。

10

#### 【0061】

ドナーとなる不純物元素を含む半導体膜の形成方法としては、半導体膜の原料気体と共に、ドナーとなる不純物元素を含む気体を用いて半導体膜を形成すればよい。例えば、シラン及び水素と共に、フォスフィンを用いたプラズマCVD法によりリンを含むアモルファスシリコン膜または微結晶シリコン膜を形成することができる。

#### 【0062】

ドナーとなる不純物元素の濃度は、 $6 \times 10^{15}$  atoms/cm<sup>3</sup>以上 $3 \times 10^{18}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $3 \times 10^{18}$  atoms/cm<sup>3</sup>以下、好ましくは $3 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $3 \times 10^{17}$  atoms/cm<sup>3</sup>以下であることが好ましい。ドナーとなる不純物元素の濃度を上記範囲とすることで、被膜41、及び後に形成するドナーとなる不純物元素を含む微結晶半導体膜の界面における結晶性を高めることができる。また、後に形成するドナーとなる不純物元素を含む微結晶半導体膜の抵抗率を低減することが可能である。

20

#### 【0063】

また、半導体膜47を形成する前に、成膜装置の反応室内にドナーとなる不純物元素を含む気体を流し、被膜41表面及び反応室内壁にドナーとなる不純物元素を吸着させててもよい。この後、半導体膜47を形成することで、ドナーとなる不純物元素を取り込みながら半導体膜が堆積するため、ドナーとなる不純物元素を含む半導体膜47を形成することができる。

30

#### 【0064】

次に、半導体膜47を用いて結晶性の高い結晶核を密度高く形成する工程を行う。ここでは、図3(B)に示すように、半導体膜47にプラズマ43を照射する。この結果、図3(C)に示すように、被膜41上にドナーとなる不純物元素を含む結晶核48を形成する。プラズマ43としては、実施の形態1に示すプラズマ43を適宜用いることができる。

#### 【0065】

また、プラズマ43として、反応室に、水素、フッ素、またはフッ化物と共に、ドナーとなる不純物元素を含む気体を導入して、プラズマを発生させてもよい。水素、フッ素、またはフッ化物で半導体膜47の非晶質半導体成分をエッチングすると共に、ドナーとなる不純物元素を残存する半導体膜に添加することで、ドナーとなる不純物元素を含む結晶核48を形成することができる。

40

#### 【0066】

次に、シリコンまたはゲルマニウムを含む堆積性気体、シリコンまたはゲルマニウムを含むフッ化物ガス、及び水素を反応室内に導入し高周波電源を印加し、結晶核48を用いて結晶成長させ、図3(D)に示すように、ドナーとなる不純物元素を含む微結晶半導体膜49を形成する。シリコンまたはゲルマニウムを含む堆積性気体としては、SiH<sub>4</sub>、Si<sub>2</sub>H<sub>6</sub>、GeH<sub>4</sub>、Ge<sub>2</sub>H<sub>6</sub>等がある。シリコンまたはゲルマニウムを含むフッ化物ガスとしては、HF、SiF<sub>4</sub>、SiHF<sub>3</sub>、SiH<sub>2</sub>F<sub>2</sub>、SiH<sub>3</sub>F、Si<sub>2</sub>F<sub>6</sub>、GeF<sub>4</sub>、GeHF<sub>3</sub>、GeH<sub>2</sub>F<sub>2</sub>、GeH<sub>3</sub>F、Ge<sub>2</sub>F<sub>6</sub>等がある。ここではシリ

50

ンと、フッ化シランと、水素及び／又は希ガスとを混合し、グロー放電プラズマにより、ドナーとなる不純物元素を含む微結晶半導体膜を形成する。

#### 【0067】

微結晶半導体膜を形成するために、シリコンまたはゲルマニウムを含む堆積性気体と共に、シリコンまたはゲルマニウムを含むフッ化物ガスを用いることで、結晶核から結晶成長する際に、結晶成長の場における非晶質半導体成分をフッ素ラジカルがエッチングするため、結晶性の高い結晶成長が起きる。即ち、結晶性の高い結晶粒を形成することができる。また、結晶核の密度が高いと、隣り合う結晶核の距離が短く、結晶成長の際に結晶粒が繋がる。この後、結晶成長は被膜表面に対して法線方向に結晶成長するため、柱状の結晶粒が密接に繋がった微結晶半導体膜を形成することができる。また、被膜上にある結晶核から結晶成長するため、被膜との界面における結晶性が高く、また膜中の結晶性も高い微結晶半導体膜を形成することができる。更には、微結晶半導体膜にドナーとなる不純物元素が含まれるため、微結晶半導体膜の抵抗率を低減することができる。

#### 【0068】

なお、半導体膜47を形成する前に、成膜装置の反応室内壁に非晶質半導体膜または微結晶半導体膜を形成することが好ましい。また、反応室内壁をフッ素プラズマ等でクリーニングした後、反応室内壁に非晶質半導体膜または微結晶半導体膜を形成することが好ましい。このような処理により、半導体膜47を形成する際に、反応室の内壁の成分やクリーニングに用いたフッ素が、半導体膜47中に混入することを低減することができる。さらには、反応室内壁に形成する非晶質半導体膜または微結晶半導体膜にドナーとなる不純物元素を添加してもよい。ドナーとなる不純物元素の濃度は、 $6 \times 10^{15}$  atoms / cm<sup>3</sup>以上 $3 \times 10^{18}$  atoms / cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$  atoms / cm<sup>3</sup>以上 $3 \times 10^{18}$  atoms / cm<sup>3</sup>以下、好ましくは $3 \times 10^{16}$  atoms / cm<sup>3</sup>以上 $3 \times 10^{17}$  atoms / cm<sup>3</sup>以下であることが好ましい。このような処理により、反応室内の圧力を真空排気する際に、反応室内壁に付着するドナーとなる不純物元素が反応室内に解離する。当該解離されたドナーとなる不純物元素は半導体膜47に混入するため、ドナーとなる不純物元素を有する半導体膜47を形成することができる。

#### 【0069】

また、ドナーとなる不純物元素を含む半導体膜47を形成する代わりに、ドナーとなる不純物元素を含まない半導体膜を形成し、被膜41としてドナーとなる不純物元素を含む絶縁膜を形成してもよい。例えば、ドナーとなる不純物元素（リン、砒素、またはアンチモン）を含む酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜等を用いて形成することができる。また、被膜41を積層構造とする場合、半導体膜47に接する層または基板40に接する層にドナーとなる不純物元素を添加してもよい。

#### 【0070】

被膜41としてドナーとなる不純物元素を含む絶縁膜の形成方法としては、絶縁膜の原料気体と共に、ドナーとなる不純物元素を含む気体を用いて絶縁膜を形成すればよい。例えば、シラン、アンモニア、及びフォスフィンを用いたプラズマCVD法によりリンを含む窒化珪素膜を形成することができる。また、シラン、一酸化二窒素、及びアンモニア、並びにフォスフィンを用いたプラズマCVD法により、リンを含む酸化窒化珪素膜を形成することができる。

#### 【0071】

また、被膜41を形成する前に、成膜装置の反応室内にドナーとなる不純物元素を含む気体を流し、基板40表面及び反応室内壁にドナーとなる不純物元素を吸着させてもよい。この後、被膜41を形成することで、ドナーとなる不純物元素を取り込みながら半導体膜が堆積するため、ドナーとなる不純物元素を含む半導体膜47を形成することができる。

#### 【0072】

さらには、微結晶半導体膜49として、ドナーとなる不純物元素を含む微結晶半導体膜を形成してもよい。ドナーとなる不純物元素を含む微結晶半導体膜の形成方法としては、微結晶半導体膜の原料気体と共に、ドナーとなる不純物元素を含む気体を用いればよい。例

10

20

30

40

50

えば、シラン、フッ化シラン、及び水素、並びに、フォスフィンを用いたプラズマCVD法によりリンを含む微結晶シリコン膜を形成することができる。

#### 【0073】

また、微結晶半導体膜49を形成する前に、成膜装置の反応室内にドナーとなる不純物元素を含む気体を流し、被膜41及び結晶核48の表面及び反応室内壁にドナーとなる不純物元素を吸着させてもよい。この後、微結晶半導体膜49を堆積することで、ドナーとなる不純物元素を取り込みながら微結晶半導体膜が堆積するため、ドナーとなる不純物元素を含む微結晶半導体膜49を形成することができる。

#### 【0074】

さらには、被膜41、半導体膜47、結晶核48、微結晶半導体膜49のいずれか2つ以上にドナーとなる不純物元素を添加してもよい。10

#### 【0075】

以上の工程により、被膜との界面における結晶性が高く、また膜中の結晶性も高く、抵抗率の低い微結晶半導体膜を形成することができる。

#### 【0076】

##### (実施の形態4)

本実施の形態では、上記実施の形態1乃至実施の形態3に示す微結晶半導体膜を用いた薄膜トランジスタの作製工程について示す。本実施の形態では、微結晶半導体膜の作製方法として実施の形態1を用いて示すが、実施の形態2及び実施の形態3を適宜適用することが可能である。20

#### 【0077】

微結晶半導体膜を有する薄膜トランジスタは、p型よりもn型の方が、移動度が高いので駆動回路に用いるのにより適している。同一の基板上に形成する薄膜トランジスタを全て同じ極性にそろえておくことが、工程数を抑えるためにも望ましい。ここでは、nチャネル型の薄膜トランジスタを用いて説明する。

#### 【0078】

図4(A)に示すように、基板50上にゲート電極51を形成し、ゲート電極51上に、ゲート絶縁膜52a、52bを形成する。

#### 【0079】

ゲート電極51は、金属材料で形成される。金属材料としてはアルミニウム、クロム、チタン、タンタル、モリブデン、銅などが適用される。ゲート電極51の好適例は、アルミニウム又はアルミニウムとバリア金属の積層構造体によって形成される。バリア金属としては、チタン、モリブデン、クロムなどの高融点金属が適用される。バリア金属はアルミニウムのヒロック防止、酸化防止のために設けることが好ましい。30

#### 【0080】

ゲート電極51は厚さ50nm以上300nm以下で形成する。ゲート電極51の厚さを50nm以上100nm以下とすることで、後に形成される半導体膜や配線の段切れ防止が可能である。また、ゲート電極51の厚さを150nm以上300nm以下とすることで、ゲート電極51の抵抗率を低減することが可能であり、基板の大面積化が可能である。40

#### 【0081】

なお、ゲート電極51上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパー状になるように加工することが望ましい。また、図示しないがこの工程でゲート電極に接続する配線や容量配線も同時に形成することができる。

#### 【0082】

ゲート電極51は、スパッタリング法、CVD法、めっき法、印刷法、液滴吐出法等を用いて形成する。ここでは、基板50上に導電膜としてモリブデン膜をスパッタリング法により成膜し、第1のフォトマスクを用いて形成したレジストマスクを用いて基板50上に形成された導電膜をエッチングしてゲート電極51を形成する。

#### 【0083】

50

20

30

40

50

ゲート絶縁膜 52a、52b はそれぞれ、CVD 法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ゲート絶縁膜 52a、52b はそれぞれ、厚さ 50 ~ 150 nm の酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ここでは、ゲート絶縁膜 52a として窒化珪素膜または窒化酸化珪素膜を形成し、ゲート絶縁膜 52b として酸化珪素膜または酸化窒化珪素膜を形成して積層する形態を示す。なお、ゲート絶縁膜を 2 層とせず、ゲート絶縁膜を、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層で形成することができる。

## 【0084】

ゲート絶縁膜 52a を窒化珪素膜、または窒化酸化珪素膜を用いて形成することで、基板 50 とゲート絶縁膜 52a の密着力が高まり、基板 50 としてガラス基板を用いた場合、基板 50 からの不純物が微結晶半導体膜に拡散するのを防止することが可能であり、さらにゲート電極 51 の酸化防止が可能である。即ち、膜剥れを防止することができると共に、後に形成される薄膜トランジスタの電気特性を向上させることができる。また、ゲート絶縁膜 52a、52b はそれぞれ厚さ 50 nm 以上であると、ゲート電極 51 の凹凸による被覆率の低減を緩和することができるため好ましい。

## 【0085】

次に、ゲート絶縁膜 52b 上に、シリコン、またはゲルマニウムを含む堆積性気体及び水素を用いてプラズマ CVD 法により半導体膜 42 を形成する。

## 【0086】

ここでは、一形態として、プラズマ CVD 装置の反応室内において、半導体膜 42 として微結晶シリコン膜を形成する形態を示す。シリコンまたはゲルマニウムを含む堆積性気体、ここではシランと、水素及び / 又は希ガスとを混合し、グロー放電プラズマにより、微結晶シリコン膜を形成する。シランは水素及び / 又は希ガスで 10 倍から 2000 倍に希釈される。基板の加熱温度は 100 ~ 300 、好ましくは 120 ~ 220 で行う。

## 【0087】

次に、図 4 (B) に示すように、プラズマ 43 を半導体膜 42 に曝して、図 4 (C) に示すように、結晶核 44 を形成する。ここでは、一形態として、プラズマ CVD 装置の反応室内において、水素及び / 又は希ガスとを混合し、グロー放電プラズマにより、水素プラズマを発生させて、半導体膜 42 に水素プラズマを曝して、半導体膜 42 の非晶質半導体成分をエッチングして結晶核 44 を形成する。

## 【0088】

次に、結晶核 44 を用いて結晶成長させて微結晶半導体膜 45 を形成する。ここでは、一形態として、微結晶シリコンを形成する形態を示す。

## 【0089】

プラズマ CVD 装置の反応室内において、シリコンまたはゲルマニウムを含む堆積性気体、ここではシランと、フッ化物気体またはフッ素、ここではフッ化シランと、水素及び / 又は希ガスとを混合し、グロー放電プラズマにより、微結晶シリコン膜を形成する。シランの流量に対して、フッ化シランの流量を 0.1 ~ 50 倍、好ましくは 1 ~ 10 倍とし、シランの流量に対して、水素の流量を 10 ~ 2000 倍、好ましくは 50 ~ 200 倍に希釈して微結晶シリコン膜を形成する。基板の加熱温度は 100 ~ 300 、好ましくは 120 ~ 220 で行う。

## 【0090】

微結晶半導体膜を形成するために、シリコンまたはゲルマニウムを含む堆積性気体と共に、シリコンまたはゲルマニウムを含むフッ化物ガスを用いることで、結晶核から結晶成長する際に、結晶成長の場における非晶質半導体成分をフッ素ラジカルがエッチングするため、結晶性の高い結晶成長が起きる。即ち、結晶性の高い結晶粒を形成することができる。

## 【0091】

10

20

30

40

50

また、シラン等のガス中に  $\text{GeH}_4$ 、 $\text{GeF}_4$  などの水素化ゲルマニウム、フッ化ゲルマニウムを混合してエネルギー bandwidth 幅を  $0.9 \sim 1.1 \text{ eV}$  に調節しても良い。シリコンにゲルマニウムを加えると薄膜トランジスタの温度特性を変えることができる。

#### 【0092】

微結晶半導体膜 45 の厚さは  $5 \text{ nm}$  以上  $200 \text{ nm}$  以下、好ましくは  $5 \text{ nm}$  以上  $100 \text{ nm}$  以下、好ましくは  $5 \text{ nm}$  以上  $50 \text{ nm}$  以下、好ましくは  $10 \text{ nm}$  以上  $25 \text{ nm}$  以下で形成する。微結晶半導体膜 45 の厚さを  $5 \text{ nm}$  以上  $50 \text{ nm}$  以下とすることで、完全空乏型の薄膜トランジスタを作製することができる。

#### 【0093】

また、微結晶半導体膜 45 の酸素濃度、及び窒素濃度は、 $3 \times 10^{19} \text{ atoms/cm}^3$  未満、更に好ましくは  $3 \times 10^{18} \text{ atoms/cm}^3$  未満、炭素の濃度を  $3 \times 10^{18} \text{ atoms/cm}^3$  以下とすることが好ましい。酸素、窒素、及び炭素が微結晶半導体膜に混入する濃度を低減することで、微結晶半導体膜の欠陥の生成を抑制する事ができる。さらには、酸素、及び窒素が微結晶半導体膜中に入っていると、結晶化しにくい。このため、微結晶半導体膜中の酸素濃度、窒素濃度が比較的低いことで、微結晶半導体膜の結晶性を高めることができる。また、微結晶半導体膜中には、 $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ 、好ましくは  $1 \times 10^{19} \text{ atoms/cm}^3$  未満のフッ素を含む。

#### 【0094】

また、本実施の形態の微結晶半導体膜には、薄膜トランジスタのチャネル形成領域として機能する微結晶半導体膜に対しては、アクセプターとなる不純物元素を、成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。アクセプターとなる不純物元素としては、代表的には硼素であり、 $\text{B}_2\text{H}_6$ 、 $\text{BF}_3$  などの不純物気体を  $1 \text{ ppm} \sim 1000 \text{ ppm}$ 、好ましくは  $1 \sim 100 \text{ ppm}$  の割合でシリコンまたはゲルマニウムを含む堆積性気体に混入させると良い。そしてボロンの濃度は、ドナーとなる不純物元素の 10 分の 1 程度、例えば  $1 \times 10^{-4} \sim 6 \times 10^{-6} \text{ atoms/cm}^3$  とすると良い。

#### 【0095】

従来の微結晶半導体膜の形成方法では、不純物や格子不整合などの要因により堆積初期段階において非晶質半導体層が形成されてしまう。逆スガタ型の薄膜トランジスタにおいては、ゲート絶縁膜の近傍の半導体膜においてキャリアが流れるため、界面において非晶質半導体層が形成されると、移動度が低下すると共に、電流量が少なく、薄膜トランジスタの電気特性が低下してしまう。

#### 【0096】

しかしながら、結晶性が高い結晶核を密度高く形成し、シリコンまたはゲルマニウムを含む堆積性気体と、水素と共に、フッ化物気体またはフッ素を原料ガスとし、結晶核を用いてプラズマ CVD 法により微結晶半導体膜を形成すると、当該結晶核から結晶成長が行われるため、ゲート絶縁膜との界面における非晶質半導体の形成を低減することができる。

#### 【0097】

この結果、本形態に示すように、微結晶半導体膜をゲート絶縁膜上に形成することで、膜の厚さ方向における結晶性を高めると共に、ゲート絶縁膜及び微結晶半導体膜の界面の結晶性を高めることができる。

#### 【0098】

次に、図 4 (E) に示すように、微結晶半導体膜 45 上に、バッファ層 54 及び一導電型を付与する不純物元素が添加された半導体膜 55 を形成する。次に、一導電型を付与する不純物元素が添加された半導体膜 55 上にレジストマスク 56 を形成する。

#### 【0099】

バッファ層 54 としては、シリコン、またはゲルマニウムを含む堆積性気体を用いたプラズマ CVD 法により非晶質半導体膜を形成することができる。または、シリコン、またはゲルマニウムを含む堆積性気体に、ヘリウム、アルゴン、クリプトン、ネオンから選ばれ

10

20

30

40

50

た一種または複数種の希ガス元素で希釈して非晶質半導体膜を形成することができる。または、シランガスの流量の1倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素を用いて、水素を含む非晶質半導体膜を形成することができる。また、上記水素化半導体膜に、フッ素、塩素、臭素、またはヨウ素等のハロゲンを添加してもよい。

#### 【0100】

また、バッファ層54は、ターゲットにシリコン、ゲルマニウム等の半導体ターゲットを用いて水素、または希ガスでスパッタリングして非晶質半導体膜を形成することができる。

#### 【0101】

バッファ層54は、結晶粒を含まない非晶質半導体膜で形成することが好ましい。

10

#### 【0102】

バッファ層54は、後のソース領域及びドレイン領域の形成プロセスにおいて、一部エッチングされる場合があるが、そのときに、バッファ層54の一部が残存する厚さで形成することが好ましい。代表的には、30nm以上500nm以下、好ましくは50nm以上200nm以下の厚さで形成することが好ましい。薄膜トランジスタの印加電圧の高い(例えば15V程度)表示装置、代表的には液晶表示装置において、バッファ層54を厚く形成すると、耐圧が高くなり、薄膜トランジスタに高い電圧が印加されても、薄膜トランジスタが劣化することを回避することができる。

#### 【0103】

微結晶半導体膜45の表面に、非晶質半導体膜、更には水素、窒素、またはハロゲンを含む非晶質半導体膜を形成することで、微結晶半導体膜45に含まれる結晶粒の表面の自然酸化を防止することが可能である。特に、非晶質半導体と微結晶粒が接する領域では、局部応力により亀裂が入りやすい。この亀裂が酸素に触れると結晶粒は酸化され、酸化珪素が形成される。しかしながら、微結晶半導体膜45の表面にバッファ層54を形成することで、微結晶粒の酸化を防ぐことができる。

20

#### 【0104】

また、バッファ層54は、非晶質半導体膜を用いて形成する、または、水素、若しくはハロゲンを含む非晶質半導体膜で形成するため、エネルギーギャップが微結晶半導体膜45に比べて大きく、また抵抗率が高く、移動度が微結晶半導体膜45の1/5~1/10と低い。このため、後に形成される薄膜トランジスタにおいて、ソース領域及びドレイン領域と、微結晶半導体膜45との間に形成されるバッファ層は高抵抗領域として機能し、微結晶半導体膜45がチャネル形成領域として機能する。このため、薄膜トランジスタのオフ電流を低減することができる。当該薄膜トランジスタを表示装置のスイッチング素子として用いた場合、表示装置のコントラストを向上させることができる。

30

#### 【0105】

なお、微結晶半導体膜45を形成した後、プラズマCVD法によりバッファ層54を300~400の温度にて成膜することが好ましい。この成膜処理により水素が微結晶半導体膜45に供給され、微結晶半導体膜45を水素化したのと同等の効果が得られる。すなわち、微結晶半導体膜45上にバッファ層54を堆積することにより、微結晶半導体膜45に水素を拡散させて、ダンギングボンドの終端をすることができる。

40

#### 【0106】

一導電型を付与する不純物元素が添加された半導体膜55は、nチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、シリコンまたはゲルマニウムを含む堆積性気体にPH<sub>3</sub>などの不純物気体を加えれば良い。また、pチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてボロンを添加すれば良く、シリコンまたはゲルマニウムを含む堆積性気体にB<sub>2</sub>H<sub>6</sub>などの不純物気体を加えれば良い。リンまたはボロンの濃度を1×10<sup>-9</sup>~1×10<sup>-1</sup>at o m s / cm<sup>3</sup>とすることで、配線71a~71cとオーミックコンタクトすることが可能であり、ソース領域及びドレイン領域として機能する。一導電型を付与する不純物元素が添加された半導体膜55は、微結晶半導体膜、または非晶質半導体で形成することができ

50

る。一導電型を付与する不純物元素が添加された半導体膜 5 5 は 2 nm 以上 50 nm 以下の厚さで形成する。一導電型を付与する不純物元素が添加された半導体膜の膜厚を、薄くすることでスループットを向上させることができる。

#### 【 0 1 0 7 】

次に、一導電型を付与する不純物元素が添加された半導体膜 5 5 上にレジストマスク 5 6 を形成する。

#### 【 0 1 0 8 】

レジストマスク 5 6 は、フォトリソグラフィ技術により形成する。ここでは、第 2 のフォトマスクを用いて、一導電型を付与する不純物元素が添加された半導体膜 5 5 上に塗布されたレジストを露光現像して、レジストマスク 5 6 を形成する。

10

#### 【 0 1 0 9 】

次に、レジストマスク 5 6 を用いて微結晶半導体膜 4 5 、バッファ層 5 4 、及び一導電型を付与する不純物が添加された半導体膜 5 5 をエッチングし分離して、図 5 ( A ) に示すように、微結晶半導体膜 5 8 、バッファ層 6 2 、及び一導電型を付与する不純物が添加された半導体膜 6 3 を形成する。この後、レジストマスク 5 6 を除去する。なお、図 5 ( A ) ( レジストマスク 5 6 は除く。 ) は、図 7 ( A ) の A - B の断面図に相当する。

#### 【 0 1 1 0 】

微結晶半導体膜 5 8 、バッファ層 6 2 の端部側面が傾斜していることにより、バッファ層 6 2 上に形成されるソース領域及びドレイン領域と微結晶半導体膜 5 8 との間にリーク電流が生じること防止することが可能である。また、配線と、微結晶半導体膜 5 8 との間に 20 リーク電流が生じるのを防止することが可能である。微結晶半導体膜 5 8 及びバッファ層 6 2 の端部側面の傾斜角度は、30° ~ 90° 、好ましくは 45° ~ 80° である。このような角度とすることで、段差形状による配線の段切れを防ぐことができる。

20

#### 【 0 1 1 1 】

次に、図 5 ( B ) に示すように、一導電型を付与する不純物が添加された半導体膜 6 3 及びゲート絶縁膜 5 2 b 上に導電膜 6 5 a ~ 6 5 c を形成し、導電膜 6 5 a ~ 6 5 c 上にレジストマスク 6 6 を形成する。導電膜 6 5 a ~ 6 5 c は、スパッタリング法、CVD 法、印刷法、液滴吐出法、蒸着法等を用いて形成する。ここでは、導電膜としては、導電膜 6 5 a ~ 6 5 c の 3 層が積層した構造の導電膜を示し、導電膜 6 5 a 、 6 5 c にモリブデン膜、導電膜 6 5 b にアルミニウム膜を用いた積層導電膜や、導電膜 6 5 a 、 6 5 c にチタン膜、導電膜 6 5 b にアルミニウム膜を用いた積層導電膜を示す。導電膜 6 5 a ~ 6 5 c は、スパッタリング法や真空蒸着法で形成する。

30

#### 【 0 1 1 2 】

導電膜 6 5 a ~ 6 5 c は、アルミニウム、銅、若しくは銅、シリコン、チタン、ネオジム、スカンジウム、モリブデンなどの、マイグレーション防止元素、耐熱性向上元素、若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、一導電型を付与する不純物元素が添加された半導体膜と接する側の膜を、チタン、タンタル、モリブデン、タンゲステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タンゲステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。

40

#### 【 0 1 1 3 】

レジストマスク 6 6 は、レジストマスク 5 6 と同様に形成することができる。

#### 【 0 1 1 4 】

次に、図 5 ( C ) に示すように、導電膜 6 5 a ~ 6 5 c の一部をエッチングし、一対の配線 7 1 a ~ 7 1 c ( ソース電極及びドレイン電極として機能する。 ) を形成する。ここでは、第 3 のフォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスク 6 6 を用いて、導電膜 6 5 a ~ 6 5 c をウエットエッチングすると、導電膜 6 5 a ~ 6 5 c が等方的にエッチングされる。この結果、レジストマスク 6 6 より面積の小さい配線 7 1 a ~ 7 1 c を形成することができる。

50

## 【0115】

次に、レジストマスク 6 6 を用いて一導電型を付与する不純物元素が添加された半導体膜 6 3 をエッティングし分離する。この結果、図 6 (A) に示すような、一対のソース領域及びドレイン領域 7 2 を形成することができる。なお、当該エッティング工程において、バッファ層 6 2 の一部もエッティングする。一部エッティングされた、凹部が形成されたバッファ層をバッファ層 7 3 と示す。ソース領域及びドレイン領域の形成工程と、バッファ層の凹部とを同一工程で形成することができる。バッファ層の凹部の深さをバッファ層の一一番膜厚の厚い領域の 1 / 2 ~ 1 / 3 とすることで、ソース領域及びドレイン領域の距離を離すことが可能であるため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。この後、レジストマスク 6 6 を除去する。

10

## 【0116】

次に、露出しているバッファ層にダメージが入らず、且つ該バッファ層に対するエッティングレートが低い条件でドライエッティングする。この工程により、ソース領域及びドレイン領域間のバッファ層上のエッティング残渣物、レジストマスクの残渣、及びレジストマスクの除去に用いる装置内の汚染源を除去することが可能であり、ソース領域及びドレイン領域間の絶縁を確実なものとすることができる。この結果、薄膜トランジスタのリーク電流を低減することができあり、オフ電流が小さく、耐圧の高い薄膜トランジスタを作製することができる。なお、エッティングガスには例えば塩素ガスを用いればよい。

## 【0117】

なお、図 6 (A) (レジストマスク 6 6 は除く。) は、図 7 (B) の A - B の断面図に相当する。図 7 (B) に示すように、ソース領域及びドレイン領域 7 2 の端部は、配線 7 1 c の端部の外側に位置することが分かる。また、バッファ層 7 3 の端部は配線 7 1 c 及びソース領域及びドレイン領域 7 2 の端部の外側に位置する。また、配線の一方は配線の他方を囲む形状（具体的には、U 字型、C 字型）である。このため、キャリアが移動する領域の面積を増加させることができるために、電流量を増やすことが可能であり、薄膜トランジスタの面積を縮小することができる。また、ゲート電極上において、微結晶半導体膜、配線が重畠されているため、ゲート電極の凹凸の影響が少なく、被覆率の低減及びリーク電流の発生を抑制することができる。

20

## 【0118】

以上の工程により、チャネルエッチ型の薄膜トランジスタ 7 4 を形成することができる。

30

## 【0119】

次に、図 6 (B) に示すように、配線 7 1 a ~ 7 1 c、ソース領域及びドレイン領域 7 2 、バッファ層 7 3 、微結晶半導体膜 5 8 、及びゲート絶縁膜 5 2 b 上に絶縁膜 7 6 を形成する。絶縁膜 7 6 は、ゲート絶縁膜 5 2 a 、5 2 b と同様に形成することができる。なお、絶縁膜 7 6 は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。また、絶縁膜 7 6 に窒化珪素膜を用いることで、バッファ層 7 3 中の酸素濃度を  $5 \times 10^{19}$  atoms / cm<sup>3</sup> 以下、好ましくは  $1 \times 10^{19}$  atoms / cm<sup>3</sup> 以下とすることができ、バッファ層 7 3 の酸化を防止することができる。

40

## 【0120】

次に、図 6 (C) に示すように、絶縁膜 7 6 に第 4 のフォトマスクを用いて形成したレジストマスクを用いて絶縁膜 7 6 の一部をエッティングしてコンタクトホールを形成し、当該コンタクトホールにおいて配線 7 1 c に接する画素電極 7 7 を形成する。なお、図 6 (C) は、図 7 (C) の A - B の断面図に相当する。表示素子の画素電極 7 7 に接続する配線 7 1 a ~ 7 1 c をドレイン電極とし、半導体層上において当該配線と対向する配線 7 1 a ~ 7 1 c をソース電極（ソース配線）とすることで、薄膜トランジスタの I on を高くすることができます。また、ゲート電極 5 1 とドレイン電極として機能する配線 7 1 a ~ 7 1 c との間に生じる寄生容量が発生しにくく、画素電極 7 7 に電荷を溜めやすい。このため、当該薄膜トランジスタを

50

液晶表示装置に用いる場合、液晶の高速動作が可能である。

**【0121】**

画素電極77は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、ITO、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

**【0122】**

また、画素電極77として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550 nmにおける透光率が70%以上であることが好み。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1 · cm以下であることが好み。

10

**【0123】**

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

**【0124】**

ここでは、画素電極77としては、スパッタリング法によりITOを成膜した後、ITO上にレジストを塗布する。次に、第5のフォトマスクを用いてレジストを露光及び現像し、レジストマスクを形成する。次に、レジストマスクを用いてITOをエッチングして画素電極77を形成する。

20

**【0125】**

以上により、薄膜トランジスタ、及び表示装置に用いることが可能な素子基板を形成することができる。

**【0126】**

また、微結晶半導体膜の成膜処理においては、シラン及び水素の他、反応ガスにヘリウムを加えても良い。ヘリウムは24.5 eVとすべての気体中で最も高いイオン化工エネルギーを持ち、そのイオン化工エネルギーよりも少し低い、約20 eVの準位に準安定状態があるので、放電持続中においては、イオン化にはその差約4 eVしか必要としない。そのため放電開始電圧も全ての気体中最も低い値を示す。このような特性から、ヘリウムはプラズマを安定的に維持することができる。また、均一なプラズマを形成することができるので、微結晶シリコン膜を堆積する基板の面積が大きくなってもプラズマ密度の均一化を図る効果を奏する。

30

**【0127】**

本実施の形態により、結晶性の高い微結晶半導体膜をチャネル形成領域として用いた薄膜トランジスタを作製することができる。

**【0128】**

また、本実施の形態で作製する薄膜トランジスタのチャネル形成領域は、結晶性の高い微結晶半導体膜で形成されているため、表示装置の駆動周波数を高くすることが可能であり、パネルサイズの大面積化や画素の高密度化にも十分対応することができる。また、大面積基板において、当該薄膜トランジスタを作製することができる。

40

**【0129】**

さらには、本実施の形態で作製する薄膜トランジスタは、チャネル形成領域である微結晶半導体膜とソース領域及びドレイン領域である一導電型を付与する不純物元素が添加された半導体膜の間に、バッファ層として、抵抗率の高い非晶質半導体膜を形成する。オフ電流は当該バッファ領域を流れるが、バッファ層は高抵抗領域であるため、オフ電流を抑えることができると共に、微結晶半導体膜の酸化を防止する機能も有する。このため、オフ電流を抑えると共に、チャネル形成領域における欠陥低減によるオン電流の上昇を図ることができる。

**【0130】**

50

次に、上記形態とは異なる薄膜トランジスタの作製方法について、図9乃至図15を用いて説明する。ここでは、上記形態よりフォトマスク数を削減することが可能なプロセスを用いて薄膜トランジスタを作製する工程について示す。

#### 【0131】

図4(A)と同様に、基板50上に導電膜を形成し、導電膜上にレジストを塗布し、第1のフォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて導電膜の一部をエッチングして、ゲート電極51を形成する。次に、図9(A)に示すように、ゲート電極51上に、ゲート絶縁膜52a、52bを形成する。次に、微結晶半導体膜45、バッファ層54、一導電型を付与する不純物元素が添加された半導体膜55、及び導電膜65a～65cを順に形成する。次に、導電膜65c上にレジスト80を塗布する。

#### 【0132】

レジスト80は、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。

#### 【0133】

次に、第2のフォトマスクとして多階調マスク159を用いて、レジスト80に光を照射して、レジスト80を露光する。

#### 【0134】

ここで、多階調マスク159を用いた露光について、図10を用いて説明する。

#### 【0135】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に3つの露光レベルを行うことが可能なマスクであり、一度の露光及び現像工程により、複数(代表的には二種類)の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、フォトマスクの枚数を削減することが可能である。

#### 【0136】

多階調マスクの代表例としては、図10(A)に示すようなグレートーンマスク159a、図10(C)に示すようなハーフトーンマスク159bがある。

#### 【0137】

図10(A)に示すように、グレートーンマスク159aは、透光性を有する基板163及びその上に形成される遮光部164並びに回折格子165で構成される。遮光部164においては、光の透過率が0%である。一方、回折格子165はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過率を制御することができる。なお、回折格子165は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

#### 【0138】

透光性を有する基板163は、石英等の透光性を有する基板を用いることができる。遮光部164及び回折格子165は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

#### 【0139】

グレートーンマスク159aに露光光を照射した場合、図10(B)に示すように、遮光部164においては、光透過率166は0%であり、遮光部164及び回折格子165が設けられていない領域では光透過率166は100%である。また、回折格子165においては、10～70%の範囲で調整可能である。回折格子165における光の透過率の調整は、回折格子のスリット、ドット、またはメッシュの間隔及びピッチの調整により可能である。

#### 【0140】

図10(C)に示すように、ハーフトーンマスク159bは、透光性を有する基板163及びその上に形成される半透過部167並びに遮光部168で構成される。半透過部167は、MoSiN、MoSi、MoSiO、MoSiON、CrSiなどを用いることが

10

20

30

40

50

できる。遮光部 168 は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

#### 【0141】

ハーフトーンマスク 159b に露光光を照射した場合、図 10 (D) に示すように、遮光部 168 においては、光透過率 169 は 0 % であり、遮光部 168 及び半透過部 167 が設けられていない領域では光透過率 169 は 100 % である。また、半透過部 167 においては、10 ~ 70 % の範囲で調整可能である。半透過部 167 に於ける光の透過率の調整は、半透過部 167 の材料により調整により可能である。

#### 【0142】

多階調マスクを用いて露光した後、現像することで、図 9 (B) に示すように、膜厚の異なる領域を有するレジストマスク 81 を形成することができる。10

#### 【0143】

次に、レジストマスク 81 により、微結晶半導体膜 45、バッファ層 54、一導電型を付与する不純物元素が添加された半導体膜 55、及び導電膜 65a ~ 65c をエッチングし分離する。この結果、図 11 (A) に示すような、微結晶半導体膜 58、バッファ層 62、一導電型を付与する不純物元素が添加された半導体膜 63、及び導電膜 85a ~ 85c を形成することができる。なお、図 11 (A) (レジストマスク 81 を除く。) は図 15 (A) の A - B における断面図に相当する。

#### 【0144】

次に、レジストマスク 81 をアッシングする。この結果、レジストの面積が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のレジスト（ゲート電極 51 の一部と重畠する領域）は除去され、図 11 (A) に示すように、分離されたレジストマスク 86 を形成することができる。20

#### 【0145】

次に、レジストマスク 86 を用いて、導電膜 85a ~ 85c をエッチングし分離する。この結果、図 11 (B) に示すような、一対の配線 92a ~ 92c を形成することができる。レジストマスク 86 を用いて導電膜 85a ~ 85c をウェットエッチングすると、導電膜 85a ~ 85c が等方的にエッチングされる。この結果、レジストマスク 86 より面積の小さい配線 92a ~ 92c を形成することができる。

#### 【0146】

次に、レジストマスク 86 を用いて、一導電型を付与する不純物元素が添加された半導体膜 63 をエッチングして、一対のソース領域及びドレイン領域 88 を形成する。なお、当該エッチング工程において、バッファ層 62 の一部もエッチングされる。一部エッチングされたバッファ層をバッファ層 87 と示す。なお、バッファ層 87 には凹部が形成される。ソース領域及びドレイン領域の形成工程と、バッファ層の凹部とを同一工程で形成することができる。ここでは、バッファ層 62 の一部が、レジストマスク 81 と比較して面積が縮小したレジストマスク 86 で一部エッチングされたため、ソース領域及びドレイン領域 88 の外側にバッファ層 87 が突出した形状となる。また、配線 92a ~ 92c の端部と、ソース領域及びドレイン領域 88 の端部は一致せずずれており、配線 92a ~ 92c の端部の外側に、ソース領域及びドレイン領域 88 の端部が形成される。この後、レジストマスク 86 を除去する。3040

#### 【0147】

次に、露出しているバッファ層にダメージが入らず、且つ該バッファ層に対するエッチングレートが低い条件でドライエッチングしてもよい。この工程により、ソース領域及びドレイン領域間のバッファ層上のエッチング残渣物、レジストマスクの残渣、及びレジストマスクの除去に用いる装置内の汚染源を除去することが可能であり、ソース領域及びドレイン領域間の絶縁を確実なものとすることができます。この結果、薄膜トランジスタのリーク電流を低減することが可能であり、オフ電流が小さく、耐圧の高い薄膜トランジスタを作製することが可能である。なお、エッチングガスには例えば塩素を含むガス、フッ素を含むガス等を用いればよい。50

## 【0148】

図11(C)に示すように、配線92a～92cの端部と、ソース領域及びドレイン領域88の端部は一致せずずれた形状となることで、配線92a～92cの端部の距離が離れるため、配線間のリーク電流やショートを防止することができる。このため逆スタガ型の薄膜トランジスタを作製することができる。

## 【0149】

以上の工程により、チャネルエッチ型の薄膜トランジスタ83を形成することができる。また、2枚のフォトマスクを用いて薄膜トランジスタを形成することができる。

## 【0150】

次に、図12(A)に示すように、配線92a～92c、ソース領域及びドレイン領域88、バッファ層87、微結晶半導体膜58、及びゲート絶縁膜52b上に絶縁膜76を形成する。

10

## 【0151】

次に、第3のフォトマスクを用いて形成したレジストマスクを用いて絶縁膜76の一部をエッチングしてコンタクトホールを形成する。次に、当該コンタクトホールにおいて配線71cに接する画素電極77を形成する。ここでは、画素電極77としては、スパッタリング法によりITOを成膜した後、ITO上にレジストを塗布する。次に、第4のフォトマスクを用いてレジストを露光及び現像し、レジストマスクを形成する。次に、レジストマスクを用いてITOをエッチングして画素電極77を形成する。なお、図12(B)は、図15(C)のA-Bの断面図に相当する。

20

## 【0152】

以上により、薄膜トランジスタ、及び当該薄膜トランジスタを有し、表示装置に用いることが可能な素子基板を形成することができる。

## 【0153】

次に、1枚のフォトマスクでコンタクトホールと容量素子を形成することが可能な工程について、以下に示す。ここでは、図15のC-Dの断面図を示す。

## 【0154】

図12(A)の後、図13(A)に示すように、絶縁膜76上に絶縁膜101を形成する。ここでは、感光性の有機樹脂を用いて絶縁膜101を形成する。次に、多階調マスク160を用いて絶縁膜101を感光した後、現像して、図13(B)に示すように、薄膜トランジスタの配線を覆う絶縁膜76を露出する凹部111aと、容量配線51c上に凹部111bを形成する。ここでは、薄膜トランジスタの配線においては、絶縁膜101を100%の透過光で露光することが可能であり、また容量配線51c上では絶縁膜101を10～70%の範囲で露光することが可能な多階調マスク160を用いる。

30

## 【0155】

次に、絶縁膜76及び凹部を有する絶縁膜102を全体的にエッチング(エッチバック)して、絶縁膜76aの一部をエッチングし、図14(A)に示すように、配線を露出するコンタクトホール112aを形成すると共に、容量配線51c上に凹部112bを有する絶縁膜103を形成する。

## 【0156】

40

次に、絶縁膜103をアッシングして、コンタクトホール112a及び窪み112bの面積を広げ、コンタクトホール113aおよび凹部113bを有する絶縁膜104を形成する。なお、絶縁膜76は感光性有機樹脂では形成されず、無機絶縁膜で形成されるため、アッシングされない。このため、配線上には上面形状が2重の輪となっているコンタクトホール113aが形成される。

## 【0157】

この後、画素電極77を形成すると共に、容量配線51c、ゲート絶縁膜52a、52b、絶縁膜76a、及び画素電極77で構成される容量素子105を形成することができる。

## 【0158】

50

以上の工程により、一枚の多階調マスクによって、画素電極及び配線を接続するコンタクトホールを形成する共に、容量素子を形成することができる。

#### 【0159】

また、図5(C)の配線71a～71c、または図11(B)の配線92a～92cを形成した後、レジストマスク66または86を除去し、配線71a～71cまたは配線92a～92cをマスクとして一導電型を付与する不純物元素が添加された半導体膜63をエッチングしてもよい。この結果、配線71a～71cまたは配線92a～92cと、ソース領域及びドレイン領域72または88の端部が一致した薄膜トランジスタを形成することができる。ここでは、図5(C)のレジストマスク66を除去した後、配線71a～71cをマスクとして、一導電型を付与する不純物元素が添加された半導体膜63をエッチングして、ソース領域及びドレイン領域89の端部と配線71a～71cの端部が揃っている薄膜トランジスタを図16に示す。

10

#### 【0160】

また、本実施の形態では、チャネルエッチ型の薄膜トランジスタを用いて示したが、チャネル保護型薄膜トランジスタのチャネル形成領域に、微結晶半導体膜を用いることができる。

#### 【0161】

具体的には、図4(A)に示すように、基板50上にゲート電極51を形成し、ゲート電極51上にゲート絶縁膜52a、52bを形成する。次に、微結晶半導体膜45を形成する。

20

#### 【0162】

図4(E)に示すように、微結晶半導体膜45上にバッファ層54を形成する。次に、バッファ層54であって、且つゲート電極51に重畠する領域にチャネル保護膜を形成する。チャネル保護膜は、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、酸化窒化珪素膜を成膜した後、フォトリソグラフィ工程により選択的にエッチングして形成することができる。または、ポリイミド、アクリル、またはシロキサンを含む組成物を吐出し焼成して形成することができる。次に、一導電型を付与する不純物が添加された半導体膜及び導電膜を順に形成する。次に、フォトリソグラフィ工程により形成したレジストマスクを用いて、導電膜、一導電型を付与する不純物が添加された半導体膜、バッファ層、ドナーとなる不純物元素を有さない微結晶半導体膜、ドナーとなる不純物元素を有する微結晶半導体膜をエッチングし、分離する。この結果、図17に示すような、微結晶半導体膜61、バッファ層73、ソース領域及びドレイン領域72、及びソース電極及びドレイン電極として機能する配線71a～71cを形成する。また、一部凹部を有するチャネル保護膜82を形成する。

30

#### 【0163】

以上の工程によりチャネル保護型の薄膜トランジスタを形成することができる。

#### 【0164】

また、本実施の形態では、微結晶半導体膜上にバッファ層を設けた薄膜トランジスタを用いて示したが、図18に示すように、微結晶半導体膜53に接するソース領域及びドレイン領域72を有する薄膜トランジスタとすることができる。当該薄膜トランジスタの場合、分離されたソース領域及びドレイン領域72を形成する際、微結晶半導体膜の一部をエッチングされるため、微結晶半導体膜53は凹部を有する。

40

#### 【0165】

また、図4(A)に示す薄膜トランジスタのゲート絶縁膜52a、52bの代わりに、図19に示すように、3層のゲート絶縁膜52a、52b、52cを形成してもよい。3層目のゲート絶縁膜52cとしては、厚さ1nm～5nm程度の窒化珪素膜または窒化酸化珪素膜を形成することができる。

#### 【0166】

3層目のゲート絶縁膜として形成する厚さ1nm～5nm程度の窒化珪素膜または窒化酸化珪素膜の形成方法としては、プラズマCVD法で形成することができる。また、ゲート

50

絶縁膜 5 2 b に対し、高密度プラズマを用いて窒化処理して、ゲート絶縁膜 5 2 b の表面に窒素珪素層を形成することができる。高密度プラズマ窒化を行うことで、より高い濃度の窒素を含有する窒化珪素層を得ることも可能である。高密度プラズマは、高い周波数のマイクロ波、たとえば 2 . 4 5 G H z を使うことによって生成される。低電子温度が特徴である高密度プラズマは、活性種の運動エネルギーが低いため、従来のプラズマ処理に比べプラズマダメージが少なく欠陥が少ない層を形成することができる。また、ゲート絶縁膜 5 2 b の表面の粗さが小さくできるため、キャリア移動度を大きくすることができます。

#### 【 0 1 6 7 】

また、ゲート絶縁膜 5 2 a、5 2 b を形成した後、成膜装置の反応室内にシリコンまたはゲルマニウムを含む堆積性ガスを流し、反応室内に残存するゲート絶縁膜 5 2 a、5 2 b の原料ガス、特に酸素、窒素を含むガスを除去することが好ましい。当該工程により、反応室内の酸素濃度、窒素濃度を低減することが可能であり、後に形成する微結晶半導体膜の酸素濃度、窒素濃度を低減することが可能である。この結果、欠陥の少ない微結晶半導体膜を形成することができる。

#### 【 0 1 6 8 】

また、同様に、ゲート絶縁膜 5 2 a、5 2 b を形成した後、成膜装置の反応室内にドナーとなる不純物元素を含む気体を流し、反応室内壁及びゲート絶縁膜 5 2 b 表面にドナーとなる不純物元素を吸着させてよい。この結果、後に形成するゲート絶縁膜 5 2 c、及び半導体膜にドナーとなる不純物元素を添加することができる。即ち、ドナーとなる不純物元素を含む微結晶半導体膜を形成することができる。

10

#### 【 0 1 6 9 】

また、本実施の形態においては、微結晶半導体膜の形成方法として、実施の形態 1 を用いて形成したが、適宜実施の形態 2 または実施の形態 3 を適用することができる。

20

#### 【 0 1 7 0 】

たとえば、実施の形態 3 で示すような、ドナーとなる不純物元素を含む微結晶半導体膜をチャネル形成領域に用いることで、アキュムレート型薄膜トランジスタとすること可能であり、ゲート絶縁膜 5 2 b 及び微結晶半導体膜 5 8 の界面における結晶性を高めることができるものである。

#### 【 0 1 7 1 】

次に、上記反応室が適用されるプラズマ C V D 装置の一例として、ゲート絶縁膜、微結晶半導体膜の成膜に適した構成の一例を示す。

30

#### 【 0 1 7 2 】

図 8 は複数の反応室を備えたマルチ・チャンバ・プラズマ C V D 装置の一例を示す。この装置は共通室 4 2 3 と、ロード / アンロード室 4 2 2 、第 1 反応室 4 0 0 a 、第 2 反応室 4 0 0 b 、第 3 反応室 4 0 0 c 、第 4 反応室 4 0 0 d を備えた構成となっている。ロード / アンロード室 4 2 2 のカセットに装填される基板は、共通室 4 2 3 の搬送機構 4 2 6 によって各反応室に搬出入される枚葉式の構成である。共通室 4 2 3 と各室の間にはゲートバルブ 4 2 5 が備えられ、各反応室で行われる処理が、相互に干渉しないように構成されている。

#### 【 0 1 7 3 】

各反応室は形成する薄膜の種類によって区分されている。例えば、第 1 反応室 4 0 0 a はゲート絶縁膜などの絶縁膜を成膜し、第 2 反応室 4 0 0 b はチャネルを形成する微結晶半導体膜を成膜し、第 3 反応室 4 0 0 c はバッファ層を成膜し、第 4 反応室 4 0 0 d はソース及びドレインを形成する一導電型を付与する不純物元素が添加された半導体膜を成膜する反応室として充当される。勿論、反応室の数はこれに限定されるわけではなく、必要に応じて任意に増減することができる。また、一の反応室で一の膜を成膜するようにしても良いし、一の反応室で複数の膜を成膜するように構成しても良い。

40

#### 【 0 1 7 4 】

各反応室には排気手段としてターボ分子ポンプ 4 1 9 とドライポンプ 4 2 0 が接続されている。排気手段はこれらの真空ポンプの組み合わせに限定されるものではなく、概略 1 0

50

$10^{-5}$  Pa から  $10^{-1}$  Pa の真空度にまで排気できるものであれば他の真空ポンプを適用することができる。排気手段と各反応室との間にはバタフライバルブ 417 が設けられており、これによって真空排気を遮断させることができ、コンダクタンスバルブ 418 によって排気速度を制御して、それぞれの反応室の圧力を調節することができる。

#### 【0175】

なお、半導体膜、微結晶半導体膜を形成する第 2 反応室 400b は超高真空まで真空排気するものとして、クライオポンプ 421 を連結してもよい。クライオポンプ 421 を用いることで、反応室の圧力を  $10^{-5}$  Pa よりも低い圧力の超高真空とすることができます。本実施の形態では、反応室内を  $10^{-5}$  Pa よりも低い圧力の超高真空とすることで、微結晶半導体膜中の酸素濃度及び窒素濃度の低減に効果的である。この結果、特に、微結晶半導体膜 45 に含まれる酸素の濃度を  $1 \times 10^{-6}$  atoms / cm<sup>3</sup> 以下とすることができます。微結晶半導体膜中の酸素濃度及び窒素濃度を低減することで、膜中の欠陥を低減し、結晶性を高めることができるとなるため、キャリアの移動度を向上させることができる。

#### 【0176】

ガス供給手段 408 はシランに代表される半導体材料ガス若しくは希ガスなどプロセスに用いるガスが充填されるシリンドラ 410、ストップバルブ 412、マスフローコントローラ 413 などで構成されている。ガス供給手段 408g は第 1 反応室 400a に接続され、ゲート絶縁膜を成膜するためのガスを供給する。ガス供給手段 408i は第 2 反応室 400b に接続され、微結晶半導体膜用のガスを供給する。ガス供給手段 408b は第 3 反応室 400c に接続され、バッファ層用のガスを供給する。ガス供給手段 408n は第 4 反応室 400d に接続され、例えば n 型半導体膜用のガスを供給する。また、ドナーとなる不純物元素を含む気体の一つであるフォスフィンは、第 1 の反応室 400a、第 2 の反応室 400b にも接続され、供給されてもよい。ガス供給手段 408a はアルゴンを供給し、ガス供給手段 408f は反応室内のクリーニングに用いるエッチングガスを供給する系統であり、これらは各反応室共通のラインとして構成されている。

#### 【0177】

各反応室にはプラズマを形成するための高周波電力供給手段が連結されている。高周波電力供給手段は高周波電源 404 と整合器 406 が含まれる。

#### 【0178】

各反応室は形成する薄膜の種類によって使い分けることが可能である。それぞれの薄膜は最適な成膜温度があるので、反応室を個別に分けておくことで成膜温度を管理することが容易となる。さらに、同じ膜種を繰り返し成膜することができるので、成膜履歴に係る残留不純物の影響を排除することができる。特に、微結晶半導体膜にドナーとなる不純物元素が含まれる場合、当該ドナーとなる不純物元素をバッファ層に混入させることを回避することができる。この結果、バッファ層の不純物元素の濃度を低減することができる、薄膜トランジスタのオフ電流を低減することができる。

#### 【0179】

なお、同一反応室内において、半導体膜、微結晶半導体膜、バッファ層、一導電型を付与する不純物元素が添加された半導体膜を連続的に形成してもよい。具体的には、ゲート絶縁膜が形成された基板を反応室に搬入し、そこで、半導体膜、微結晶半導体膜、バッファ層、及び一導電型を付与する不純物元素が添加された半導体膜を連続的に成膜する。この後、反応室から基板を搬出した後、反応室内をフッ素ラジカル等でクリーニングすることが好ましい。

#### 【0180】

本実施の形態により、結晶性の高い微結晶半導体膜を有する逆スタガ型の薄膜トランジスタ、及びそれを有する素子基板を作製することができる。

#### 【0181】

なお、本実施の形態では、薄膜トランジスタとして逆スタガ型薄膜トランジスタを用いて説明したが、これに限定されるものではなく、順スタガ型薄膜トランジスタ、トップゲー

10

20

30

40

50

ト型薄膜トランジスタ等にも適用することが可能である。具体的には、下地膜として機能する絶縁膜または微結晶半導体膜にドナーとなる不純物元素を含有させ、微結晶半導体膜上にゲート絶縁膜及びゲート電極を形成すると、絶縁膜との界面の結晶性を高めた微結晶半導体膜を有する薄膜トランジスタを作製することができる。

#### 【0182】

##### (実施の形態5)

本実施の形態では、実施の形態4の薄膜トランジスタの微結晶半導体膜45の形成工程において、実施の形態3に示すようなドナーとなる不純物元素を含む微結晶半導体膜の形成工程を用いた薄膜トランジスタの構造について、以下に示す。

#### 【0183】

10

図6(A)に示す薄膜トランジスタ74の微結晶半導体膜が、濃度の高いドナーとなる不純物元素を含む微結晶半導体膜の場合、微結晶半導体膜と配線71a～71cとの間にリーケ電流が生じやすい。このため、リーケ電流の低減が可能な構造を以下に示す。

#### 【0184】

実施の形態4と同様に、図4(A)に示すように、基板50上にゲート電極51及びゲート絶縁膜52a、52bを形成する。次に、実施の形態3と同様の工程を経て、ゲート絶縁膜52a、52b上にドナーとなる不純物元素を含む微結晶半導体膜を形成し、当該微結晶半導体膜上にバッファ層54及び一導電型を付与する不純物が添加された半導体膜55を図4(E)に示すように形成する。次に、一導電型を付与する不純物が添加された半導体膜55上にレジストマスク56を形成し、一導電型を付与する不純物が添加された半導体膜、バッファ層、及びドナーとなる不純物元素を含む微結晶半導体膜をエッチングして、図29に示すように、ドナーとなる不純物元素を含む微結晶半導体膜59、バッファ層62、及び一導電型を付与する不純物が添加された半導体膜63を形成する。

20

#### 【0185】

次に、図29(B)に示すように、一導電型を付与する不純物が添加された半導体膜63、及びゲート絶縁膜52b上に絶縁膜67を形成する。絶縁膜67は、ゲート絶縁膜52a、52bと同様の材料を適宜用いて形成することができる。

#### 【0186】

30

次に、絶縁膜67上にレジストマスク68を形成する。レジストマスクは、絶縁膜67の一部エッチングして、後に形成する配線が、ドナーとなる不純物元素を含む微結晶半導体膜59と接するのを防ぎ、且つ一導電型を付与する不純物が添加された半導体膜63と接するような絶縁膜を形成するために設けるものであり、一導電型を付与する不純物が添加された半導体膜63より上面面積の小さい形状であることが好ましい。

#### 【0187】

次に、レジストマスク68を用いて絶縁膜67をエッチングして、図29(C)に示すように、一導電型を付与する不純物が添加された半導体膜63の端部を覆う絶縁膜67aを形成する。

#### 【0188】

40

次に、図30(A)に示すように、絶縁膜67a、及び一導電型を付与する不純物が添加された半導体膜63上に、実施の形態4と同様に導電膜65a～65cを形成し、導電膜65a～65c上にレジストマスク66を形成する。

#### 【0189】

次に、図30(B)に示すように、レジストマスク66を用いて導電膜65a～65cをエッチングして配線71a～71cを形成する。

#### 【0190】

50

次に、レジストマスク66を用いて一導電型を付与する不純物元素が添加された半導体膜63をエッチングし分離する。この結果、図31(A)に示すような、一対のソース領域及びドレイン領域72を形成することができる。なお、当該エッチング工程において、バッファ層62の一部もエッチングする。一部エッチングされた、凹部が形成されたバッファ層をバッファ層73と示す。

**【0191】**

以上の工程により、チャネルエッチ型の薄膜トランジスタ31を形成することができる。ドナーとなる不純物元素を含む微結晶半導体膜59と、配線71a～71cとが絶縁膜67aで絶縁されているため、ドナーとなる不純物元素を含む微結晶半導体膜59と、配線71a～71cとの間で生じるリーク電流を低減することが可能である。このため、オフ電流の低い薄膜トランジスタを形成することができる。

**【0192】**

次に、配線71c及びゲート絶縁膜52b上に、実施の形態4と同様に、絶縁膜76を形成する。次に、絶縁膜76の一部をエッチングして、コンタクトホールを形成すると共に、配線71cの一部を露出する。次に、コンタクトホールに実施の形態4と同様に、図31(C)に示すように、画素電極77を形成する。以上の工程により表示基板を作製することができる。

10

**【0193】**

以上の工程により、オフ電流の低い薄膜トランジスタを有する表示基板を作製することができる。また、当該表示基板を用いることで、コントラストの高い表示装置を作製することができる。

**【0194】**

次に、薄膜トランジスタ31と同様に、リーク電流の低減が可能なチャネル保護型薄膜トランジスタの構造を以下に示す。

20

**【0195】**

実施の形態4と同様に、図4(A)に示すように、基板50上にゲート電極51及びゲート絶縁膜52a、52bを形成する。次に、実施の形態3と同様の工程を経て、ゲート絶縁膜52a、52b上にドナーとなる不純物元素を含む微結晶半導体膜を形成する。次に、当該微結晶半導体膜上にバッファ層54を形成する。次に、バッファ層54上にレジストマスクを形成し、バッファ層、及びドナーとなる不純物元素を含む微結晶半導体膜をエッチングして、ドナーとなる不純物元素を含む微結晶半導体膜59、バッファ層62を形成する。

**【0196】**

次に、バッファ層62、及びゲート絶縁膜52b上に、図29(B)に示すような絶縁膜67を形成する。次に、絶縁膜67上にレジストマスクを形成し、レジストマスクを用いて絶縁膜67をエッチングして、図32(A)に示すような、絶縁膜67a、67bを形成する。ここでは、バッファ層62上にバッファ層の端部を覆う絶縁膜67aと同様に、後の薄膜トランジスタのチャネル保護膜として機能する絶縁膜67bを形成することに特徴を有する。

30

**【0197】**

次に、ゲート絶縁膜52b、バッファ層62の露出部、及び絶縁膜67a、67b上に、一導電型を付与する不純物が添加された半導体膜69を形成する。一導電型を付与する不純物が添加された半導体膜69は、実施の形態4に示す一導電型を付与する不純物が添加された半導体膜55と同様に形成することができる。

**【0198】**

40

次に、一導電型を付与する不純物が添加された半導体膜69上に導電膜65a～65cを形成する。次に、導電膜65a～65c上にレジストマスク66を形成する。

**【0199】**

次に、図32(B)に示すように、レジストマスク66を用いて導電膜65a～65cをエッチングして配線71a～71cを形成する。次に、レジストマスク66を用いて一導電型を付与する不純物元素が添加された半導体膜69をエッチングし分離する。この結果、図32(B)に示すような、一対のソース領域及びドレイン領域として機能する半導体膜70を形成することができる。なお、当該エッチング工程において、絶縁膜67bの一部もエッチングする。一部エッチングされた、凹部が形成された絶縁膜をチャネル保護膜67cと示す。

50

**【0200】**

以上の工程により、チャネルエッチ型の薄膜トランジスタ32を形成することができる。ドナーとなる不純物元素を含む微結晶半導体膜59と、一導電型を付与する不純物が添加された半導体膜70とが絶縁膜67aで絶縁されているため、ドナーとなる不純物元素を含む微結晶半導体膜59と、一導電型を付与する不純物が添加された半導体膜70との間で生じるリーク電流を低減することが可能である。このため、オフ電流の低い薄膜トランジスタを形成することができる。また、リーク電流を低減するための絶縁膜67aを形成すると共に、チャネル保護膜67cを形成することができる。

**【0201】**

次に、図32(C)に示すように、平坦性を有する絶縁膜76を介して配線71cに接する画素電極77を形成することで、表示基板を作製することができる。10

**【0202】**

以上の工程により、オフ電流の低い薄膜トランジスタを有する表示基板を作製することができる。また、当該表示基板を用いることで、コントラストの高い表示装置を作製することができる。

**【0203】****(実施の形態6)**

本実施の形態では、表示装置の一形態として、実施の形態3で示す薄膜トランジスタを有する液晶表示装置について、以下に示す。ここでは、VA(Vertical Alignment)型の液晶表示装置について、図20乃至図22を用いて説明する。VA型の液晶表示装置とは、液晶パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。20

**【0204】**

図20と図21は、VA型液晶パネルの画素構造を示している。図21は基板600の平面図であり、図中に示す切断線Y-Zに対応する断面構造を図20に表している。以下の説明ではこの両図を参照して説明する。30

**【0205】**

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極に平坦化膜622を介して薄膜トランジスタが接続されている。各薄膜トランジスタは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

**【0206】**

画素電極624はコンタクトホール623において、配線618で薄膜トランジスタ628と接続している。また、画素電極626はコンタクトホール627において、配線619で薄膜トランジスタ629と接続している。薄膜トランジスタ628のゲート配線602と、薄膜トランジスタ629のゲート配線603には、異なるゲート信号を与えることができるよう分離されている。一方、データ線として機能する配線616は、薄膜トランジスタ628と薄膜トランジスタ629で共通に用いられている。薄膜トランジスタ628及び薄膜トランジスタ629は実施の形態3で示す方法を用いて作製することができる。なお、606、620、690はそれぞれゲート絶縁膜、保護絶縁膜、容量配線を示している。40

**【0207】**

画素電極624と画素電極626の形状は異なっており、スリット625によって分離されている。V字型に広がる画素電極624の外側を囲むように画素電極626が形成されている。画素電極624と画素電極626に印加する電圧のタイミングを、薄膜トランジスタ628及び薄膜トランジスタ629により異ならせることで、液晶の配向を制御し50

ている。ゲート配線 602 とゲート配線 603 は異なるゲート信号を与えることで、薄膜トランジスタ 628 と薄膜トランジスタ 629 の動作タイミングを異ならせることができる。また、画素電極 624、626 上に配向膜 648 が形成されている。

#### 【0208】

対向基板 601 には、遮光膜 632、着色膜 636、対向電極 640 が形成されている。また、着色膜 636 と対向電極 640 の間には平坦化膜 637 が形成され、液晶の配向乱れを防いでいる。また、対向電極 640 上に配向膜 646 が形成される。図 19 に対向基板側の構造を示す。対向電極 640 は異なる画素間で共通化されている電極であるが、スリット 641 が形成されている。このスリット 641 と、画素電極 624 及び画素電極 626 側のスリット 625 とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。10

#### 【0209】

画素電極 624 と液晶層 650 と対向電極 640 が重なり合うことで、第 1 の液晶素子が形成されている。また、画素電極 626 と液晶層 650 と対向電極 640 が重なり合うことで、第 2 の液晶素子が形成されている。また、一画素に第 1 の液晶素子と第 2 の液晶素子が設けられたマルチドメイン構造である。

#### 【0210】

なお、ここでは、液晶表示装置として、VA (Vertical Alignment) 型の液晶表示装置を示したが、実施の形態 1 に示す薄膜トランジスタを用いて形成した素子基板を、FFS 型の液晶表示装置、IPS 型の液晶表示装置、TN 型の液晶表示装置、その他の液晶表示装置に用いることができる。20

#### 【0211】

以上の工程により、液晶表示装置を作製することができる。本実施の形態の液晶表示装置は、オフ電流が少なく、結晶性の高い微結晶半導体膜をチャネル形成領域に有する逆スタガ型の薄膜トランジスタを用いているため、コントラストが高く、視認性の高い液晶表示装置を作製することができる。

#### 【0212】

##### (実施の形態 7)

本実施の形態では、表示装置の一形態として、実施の形態 3 で示す薄膜トランジスタを有する発光表示装置について、以下に示す。ここでは、発光表示装置が有する画素の構成について説明する。図 23 (A) に、画素の上面図の一形態を示し、図 23 (B) に図 23 (A) の A - B に対応する画素の断面構造の一形態を示す。30

#### 【0213】

発光装置としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。また、ここでは、薄膜トランジスタの作製工程として実施の形態 1 を用いることができる。

#### 【0214】

有機 EL 素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。40

#### 【0215】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、50

さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。また、画素電極への信号の入力を制御するためのスイッチング用の薄膜トランジスタ、及び発光素子の駆動を制御する薄膜トランジスタとして、チャネルエッチ型の薄膜トランジスタを用いて示すが、チャネル保護型の薄膜トランジスタを適宜用いることができる。

#### 【0216】

図23(A)及び図23(B)において、第1の薄膜トランジスタ74aは画素電極への信号の入力を制御するためのスイッチング用の薄膜トランジスタであり、第2の薄膜トランジスタ74bは発光素子94への電流または電圧の供給を制御するための駆動用の薄膜トランジスタに相当する。

10

#### 【0217】

第1の薄膜トランジスタ74aのゲート電極は走査線51aに、ソースまたはドレインの一方は信号線として機能する配線71a～71cに接続され、ソースまたはドレインの他方に接続された配線71d～71fは第2の薄膜トランジスタ74bのゲート電極51bに接続される。第2の薄膜トランジスタ74bのソースまたはドレインの一方は電源線として機能する配線93a～93cに接続され、ソースまたはドレインの他方は表示装置の画素電極79に接続される。第2の薄膜トランジスタ74bのゲート電極、ゲート絶縁膜、及び電源線として機能する配線93a～93cで容量素子96を構成し、第1の薄膜トランジスタ74aのソースまたはドレインの他方は容量素子96に接続される。

20

#### 【0218】

なお、容量素子96は、第1の薄膜トランジスタ74aがオフのときに第2の薄膜トランジスタ74bのゲート/ソース間電圧またはゲート/ドレイン間電圧(以下、ゲート電圧とする)を保持するための容量素子に相当し、必ずしも設ける必要はない。

#### 【0219】

本実施の形態では、第1の薄膜トランジスタ74a及び第2の薄膜トランジスタ74bを実施の形態4を用いて形成することができる。また、第1の薄膜トランジスタ74a及び第2の薄膜トランジスタ74bはここではnチャネル型薄膜トランジスタで形成するが、第1の薄膜トランジスタ74aをnチャネル型薄膜トランジスタで形成し、第2の薄膜トランジスタ74bをpチャネル型薄膜トランジスタで形成してもよい。さらには、第1の薄膜トランジスタ74a及び第2の薄膜トランジスタ74bをpチャネル型の薄膜トランジスタで形成してもよい。

30

#### 【0220】

第1の薄膜トランジスタ74a及び第2の薄膜トランジスタ74b上に絶縁膜76を形成し、絶縁膜76上に平坦化膜78を形成し、平坦化膜78及び絶縁膜76に形成されるコンタクトホールにおいて、配線93d～93fに接続する陰極として機能する画素電極79を形成する。平坦化膜78は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサンポリマーを用いて形成することが好ましい。コンタクトホールにおいては、陰極として機能する画素電極79が凹凸を有するため、当該領域を覆い、且つ開口部を有する隔壁90を設ける。隔壁の開口部において陰極79と接するように、発光層92が形成され、発光層92を覆うように陽極として機能する電極97が形成され、陽極として機能する電極97及び隔壁90を覆うように保護絶縁膜95が形成される。

40

#### 【0221】

ここでは、発光素子として上面射出構造の発光素子94を示す。上面射出構造の発光素子94は、第1の薄膜トランジスタ74a、第2の薄膜トランジスタ74b上でも発光することが可能であるため、発光面積を増大することが可能である。しかしながら、発光層92の下地膜が凹凸を有すると、当該凹凸において膜厚分布が不均一となり陽極として機能する電極97及び陰極として機能する画素電極79がショートし、表示欠陥となってしまう。このため、平坦化膜78を設けることが好ましい。

#### 【0222】

50

陰極として機能する画素電極 7 9 及び陽極として機能する電極 9 7 で発光層 9 2 を挟んでいる領域が発光素子 9 4 に相当する。図 2 3 ( A ) に示した画素の場合、発光素子 9 4 から発せられる光は、白抜きの矢印で示すように陽極として機能する電極 9 7 側に射出する。

#### 【 0 2 2 3 】

陰極として機能する画素電極 7 9 は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、C a 、A l 、M g A g 、A l L i 等が望ましい。発光層 9 2 は、単数の層で構成されていても、複数の層が積層されるように構成されてもどちらでも良い。複数の層で構成されている場合、陰極として機能する画素電極 7 9 に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお、これらの層を全て設ける必要はない。陽極として機能する電極 9 7 は、光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、I T O 、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いても良い。

10

#### 【 0 2 2 4 】

ここでは、基板とは逆側の面から発光を取り出す上面射出構造の発光素子について示したが、基板側の面から発光を取り出す下面射出構造の発光素子や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子を適宜適用することができる。

20

#### 【 0 2 2 5 】

また、ここでは、発光素子として有機 E L 素子について述べたが、発光素子として無機 E L 素子を設けることも可能である。

#### 【 0 2 2 6 】

なお、本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用薄膜トランジスタ）と発光素子が直接接続されている例を示したが、駆動用薄膜トランジスタと発光素子との間に電流制御用薄膜トランジスタが接続されている構成であってもよい。

#### 【 0 2 2 7 】

以上の工程により、発光表示装置を作製することができる。本実施の形態の発光装置は、オフ電流が少なく、結晶性の高い微結晶半導体膜をチャネル形成領域に有する逆スタガ型の薄膜トランジスタを用いているため、コントラストが高く、視認性の高い発光表示装置を作製することができる。

30

#### 【 0 2 2 8 】

##### ( 実施の形態 8 )

次に、本発明の一形態である表示パネルの構成について、以下に示す。

#### 【 0 2 2 9 】

図 2 4 ( A ) に、信号線駆動回路 6 0 1 3 のみを別途形成し、基板 6 0 1 1 上に形成された画素部 6 0 1 2 と接続している表示パネルの形態を示す。画素部 6 0 1 2 及び走査線駆動回路 6 0 1 4 は、実施の形態 1 及び実施の形態 2 に示す薄膜トランジスタを用いて形成する。微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタよりも高い移動度が得られるトランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させることができる。なお、信号線駆動回路 6 0 1 3 は、単結晶の半導体をチャネル形成領域に用いたトランジスタ、多結晶の半導体をチャネル形成領域に用いた薄膜トランジスタ、または S O I をチャネル形成領域に用いたトランジスタであっても良い。画素部 6 0 1 2 と、信号線駆動回路 6 0 1 3 と、走査線駆動回路 6 0 1 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 1 5 を介して供給される。さらに、信号線駆動回路 6 0 1 3 及び F P C 6 0 1 5 の間、または信号線駆動回路 6 0 1 3 及び画素部 6 0 1 2 の間に、保護回路を設けてもよい。保護回路は、実施の形態 4 に示す薄膜トランジスタ、ダイオード、抵抗素子及び容量素子等から選択された 1 つ又は複数の素子によって構成される。また、ダイオードとして、実施の形態 1 または 2 に示す薄膜トランジスタをダイオード接続したダイオードを用いることもできる

40

50

。

### 【0230】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。

### 【0231】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えばFPC上に貼り合わせるようにしても良い。図24(B)に、信号線駆動回路6023のみを別途形成し、基板6021上に形成された画素部6022及び走査線駆動回路6024と接続している表示装置パネルの形態を示す。画素部6022及び走査線駆動回路6024は、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを用いて形成する。信号線駆動回路6023は、FPC6025を介して画素部6022と接続されている。画素部6022と、信号線駆動回路6023と、走査線駆動回路6024とに、それぞれ電源の電位、各種信号等が、FPC6025を介して供給される。さらに、信号線駆動回路6023及びFPC6025の間、または信号線駆動回路6023及び画素部6022の間に、保護回路を設けてよい。

10

### 【0232】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電気的に接続するようにしても良い。図24(C)に、信号線駆動回路が有するアナログスイッチ6033aを、画素部6032、走査線駆動回路6034と同じ基板6031上に形成し、信号線駆動回路が有するシフトレジスタ6033bを別途異なる基板に形成して貼り合わせる表示装置パネルの形態を示す。画素部6032及び走査線駆動回路6034は、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを用いて形成する。信号線駆動回路が有するシフトレジスタ6033bは、FPC6035を介して画素部6032と接続されている。画素部6032と、信号線駆動回路と、走査線駆動回路6034とに、それぞれ電源の電位、各種信号等が、FPC6035を介して供給される。さらに、信号線駆動回路及びFPC6035の間、または信号線駆動回路及び画素部6032の間に、保護回路を設けてよい。

20

### 【0233】

図24に示すように、本実施の形態の表示装置は、駆動回路の一部または全部を、画素部と同じ基板上に、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを用いて形成することができる。

30

### 【0234】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知のCOG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。また接続する位置は、電気的な接続が可能であるならば、図24に示した位置に限定されない。また、コントローラ、CPU、メモリ等を別途形成し、接続するようにしても良い。

### 【0235】

なお、信号線駆動回路は、シフトレジスタとアナログスイッチ有する。なたは、シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコーダ回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

40

### 【0236】

#### (実施の形態9)

上記実施の形態により得られる表示装置等によって、アクティブラトリクス型表示装置パネルに用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに上記実施の形態を実施できる。

### 【0237】

50

その様な電子機器としては、ビデオカメラ及びデジタルカメラ等のカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図25に示す。

#### 【0238】

図25(A)はテレビジョン装置である。表示パネルを、図25(A)に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。表示パネルにより主画面2003が形成され、その他付属設備としてスピーカ部2009、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

#### 【0239】

図25(A)に示すように、筐体2001に表示素子を用いた表示用パネル2002が組みこまれ、受信機2005により一般的なテレビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双方向（送信者と受信者間、又は受信者間同士）の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機2006により行うことが可能であり、このリモコン操作機2006にも出力する情報を表示する表示部2007が設けられていても良い。

#### 【0240】

また、テレビジョン装置にも、主画面2003の他にサブ画面2008を第2の表示パネルで形成し、チャネルや音量などを表示する構成が付加されていても良い。この構成において、主画面2003を液晶表示パネルで形成し、サブ画面を発光表示パネルで形成しても良い。また、主画面2003を発光表示パネルで形成し、サブ画面を発光表示パネルで形成し、サブ画面は点滅可能とする構成としても良い。

#### 【0241】

図26はテレビ装置の主要な構成を示すブロック図を示している。表示パネル900には、画素部921が形成されている。信号線駆動回路922と走査線駆動回路923は、表示パネル900にCOG方式により実装されていても良い。

#### 【0242】

その他の外部回路の構成として、映像信号の入力側では、チューナ924で受信した信号のうち、映像信号を增幅する映像信号增幅回路925と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路926と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路927などを有している。コントロール回路927は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路928を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

#### 【0243】

チューナ924で受信した信号のうち、音声信号は、音声信号增幅回路929に送られ、その出力は音声信号処理回路930を経てスピーカ933に供給される。制御回路931は受信局（受信周波数）や音量の制御情報を入力部932から受け、チューナ924や音声信号処理回路930に信号を送出する。

#### 【0244】

勿論、本実施の形態はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

#### 【0245】

主画面2003、サブ画面2008において、上記実施の形態で説明した表示装置を適用することで、テレビ装置の量産性を高めることができる。

#### 【0246】

また、図25(B)に示す携帯型のコンピュータは、本体2401、表示部2402等を含んでいる。表示部2402に、上記実施の形態に示す表示装置を適用することにより

10

20

30

40

50

、コンピュータの量産性を高めることができる。

**【0247】**

図25(C)は卓上照明器具であり、照明部2501、傘2502、可変アーム2503、支柱2504、台2505、電源2506を含む。上記実施の形態に示す発光装置を照明部2501に用いることにより作製される。なお、照明器具には天井固定型の照明器具または壁掛け型の照明器具なども含まれる。上記実施の形態に示す表示装置を適用することにより、量産性を高めることができ、安価な卓上照明器具を提供することができる。

**【0248】**

図27は上記実施の形態を適用したスマートフォン携帯電話の一例であり、図27(A)が正面図、図27(B)が背面図、図27(C)が2つの筐体をスライドさせたときの正面図である。スマートフォン携帯電話1000は、筐体1001及び1002二つの筐体で構成されている。スマートフォン携帯電話1000は、携帯電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能である。

10

**【0249】**

筐体1001においては、表示部1101、スピーカ1102、マイクロフォン1103、操作キー1104、ポインティングディバイス1105、表面カメラ用レンズ1106、外部接続端子ジャック1107、イヤホン端子1108等を備え、筐体1002においては、キーボード1201、外部メモリスロット1202、裏面カメラ1203、ライト1204等を備えている。また、アンテナは筐体1001内部に内蔵されている。

20

**【0250】**

また、上記構成に加えて、非接触ICチップ、小型記録装置等を内蔵していてもよい。

**【0251】**

重なり合った筐体1001と筐体1002(図27(A)に示す。)図27は、スライドし図27(C)のように展開する。表示部1101には、上記実施の形態に示される表示装置を組み込むことが可能であり、使用形態に応じて表示の方向が適宜変化する。表示部1101と同一面上に及び表面カメラ用レンズ1106を同一の面に備えているため、テレビ電話としての使用が可能である。また、表示部1101をファインダーとし裏面カメラ1203及びライト1204で静止画及び動画の撮影が可能である。

30

**【0252】**

スピーカ1102及びマイクロフォン1103は音声通話に限らず、テレビ電話、録音、再生等の用途に使用できるが可能である。操作キー1104では、電話の発着信、電子メール等の簡単な情報入力、画面のスクロール、カーソル移動等が可能である。

**【0253】**

また、書類の作成、携帯情報端末としての使用等、取り扱う情報が多い場合は、キーボード1201を用いると便利である。更に、重なり合った筐体1001と筐体1002(図27(A))は、スライドし図27(C)のように展開し、携帯情報端末としての使用できる場合は、キーボード1201、ポインティングディバイス1105を用い円滑な操作が可能である。外部接続端子ジャック1107はACアダプタ及びUSBケーブル等の各種ケーブルと接続可能であり、充電及びパソコン用コンピュータ等とのデータ通信が可能である。また、外部メモリスロット1202に記録媒体を挿入することにより大量のデータ保存及び移動に対応できる。

40

**【0254】**

筐体1002の裏面(図27(B))には、裏面カメラ1203及びライト1204を備えており、表示部1101をファインダーとし静止画及び動画の撮影が可能である。

**【0255】**

また、上記機能構成に加えて、赤外線通信機能、USBポート、テレビワンセグ受信機能、非接触ICチップ、イヤホンジャック等を備えたものであってもよい。

**【0256】**

上記実施の形態に示す表示装置を適用することにより、携帯電話の量産性を高めることができる

50

できる。

**【0257】**

(実施の形態10)

本実施の形態では、実施の形態1乃至3の微結晶半導体膜を用いた光電変換素子の作製工程について、図28を用いて示す。

**【0258】**

図28は、絶縁表面を有する基板上に複数の光電変換ユニットセルを設け、各ユニットセルを基板上で接続する光電変換装置の製造工程を示す。図28(A)において、基板10に第1電極12を形成する。第1電極12は開口M0～Mnによって複数に絶縁分離されている。開口M0～Mnは、基板10に導電膜を一面に形成しておき、その導電膜を開口パターンに合わせてエッティング除去、又はレーザ光等のエネルギーービームによって直接的に加工して形成する。10

**【0259】**

基板10は実施の形態1に示す基板40に列挙するものを適宜用いることができる。第1電極12は酸化インジウム、酸化インジウム・スズ、酸化亜鉛などの透明導電膜材料で形成する。また、第1電極12を反射電極とする場合にはアルミニウム、銀、チタン、タンタルなどの金属材料を用いて形成する。

**【0260】**

レーザ加工により基板10に形成された導電膜、半導体膜及び絶縁膜を加工する場合には、レーザ光を光学系にて集光して行なうことが好ましい。微細な加工を可能とするためである。また大面積基板を効率良く加工するには、レーザ光を線状に集光して長尺の開口パターンを1回又は複数回のパルスレーザ光の照射により行なうことが効率的である。20

**【0261】**

図28(A)において、第1電極12に開口M0～Mnを形成した後、光電変換層を形成する。図28(A)では、第1電極12側からp型半導体層14、i型半導体層16、n型半導体層18を形成する場合を例示している。光電変換層は、実施の形態1乃至3を用いてそれぞれ、p型半導体層14、i型半導体層16、n型半導体層18を形成することにより、結晶性の高いp型微結晶半導体膜、結晶性の高いi型微結晶半導体膜、及び結晶性の高いn型微結晶半導体膜を形成することができる。

**【0262】**

次に、図28(B)に示すように、光電変換層に開口C1～Cnを形成する。開口C1～Cnはp型半導体層14、i型半導体層16、n型半導体層18を貫通する開口であり、第1電極12の表面若しくは側面が露出するように加工する。開口C1～Cnは所定の間隔をもって、開口M0～Mnに隣接するように形成する。この工程もレーザ加工により行なうことができる。30

**【0263】**

次に、図28(C)に示すように、第2電極20を形成する。第2電極20は開口S1～Snによって分離されており、開口C1～Cnによって第1電極12と電気的に接続する構成を備えている。開口S1～Snは所定の間隔をもって、開口C1～Cnに隣接するように形成する。この工程もレーザ加工により行なうことができる。レーザ加工を行う場合には、第2電極20にクロムを用いると昇華性があるので選択加工が容易となる。40

**【0264】**

第2電極20は、アルミニウム、銀、チタン、タンタル、クロムなどの金属材料を用いて形成する。なお、第2電極20側から光を入射させる場合には、透明導電膜材料で形成する。

**【0265】**

これにより、第1電極12と第2電極20の間に光電変換層を有する光電変換ユニットセルが複数個形成され、それぞれの光電変換ユニットセルが隣接するものと直列に接続された集積型構造を得ることができる。

**【0266】**

50

この後、第2電極20上に取出電極22を設け、保護膜24で被覆する。以上により基板10に複数の光電変換ユニットセルが接続された光電変換装置を得ることができる。

#### 【0267】

実施の形態1乃至3に示す結晶性の高い微結晶半導体膜を用いることで、光劣化により特性低下がほとんどない光電変換装置を得ることができる。

#### 【実施例1】

#### 【0268】

本実施例では、微結晶シリコン膜を成膜し、その膜をラマン分光法で結晶性を測定した結果を図33に示す。

#### 【0269】

本実施例では、試料1として、ガラス基板上に形成される厚さ100nmの酸化窒化珪素膜上に、微結晶シリコン膜を形成した試料を作製した。

#### 【0270】

また、試料2として、ガラス基板上に形成される厚さ100nmの酸化窒化珪素膜上に、アモルファスシリコン膜を形成した後、微結晶シリコン膜を形成した試料を作製した。

#### 【0271】

また、試料3及び4として、ガラス基板上に形成される厚さ100nmの酸化窒化珪素膜上に、アモルファスシリコン膜を形成した後、アモルファスシリコン膜をフッ素プラズマに曝した後、微結晶シリコン膜を形成した試料を作製した。なお、試料3は微結晶シリコン膜を、シラン、及び水素を用いたプラズマCVD法により形成し、試料4は微結晶シリコン膜を、シラン、水素、及びフッ化シランを用いたプラズマCVD法により形成した。

#### 【0272】

また、それぞれの試料の微結晶シリコン膜の結晶性をラマン分光法で測定した。

#### 【0273】

##### (試料1の作製条件)

試料1の微結晶シリコン膜の成膜条件は、RF電源周波数を13.56MHzとし、成膜温度を280°Cとし、水素流量とシランガス流量の比を150:1とし、280Paの圧力とし、RF電源の電力を50WとしたプラズマCVD法により、厚さ50nmの微結晶シリコン膜を成膜した。このときの微結晶シリコン膜のラマン散乱スペクトルを図33に示す。

#### 【0274】

試料1の微結晶シリコン膜の結晶ピーク位置は、 $516.7\text{ cm}^{-1}$ であり、半値幅(FWHM)は、 $10.2\text{ cm}^{-1}$ であり、結晶/アモルファスピーカ強度比(Ic/Ia)は、3.5である。

#### 【0275】

##### (試料2の作製条件)

試料2のアモルファスシリコン膜の成膜条件は、RF電源周波数を13.56MHzとし、成膜温度を280°Cとし、水素流量とシランガス流量の比を15:14とし、170Paの圧力とし、RF電源の電力を60WとしたプラズマCVD法により、5nmのアモルファスシリコン膜を成膜した。

#### 【0276】

次に、RF電源周波数を13.56MHzとし、処理温度を280°Cとし、水素流量とシランガス流量とフッ化シランの流量比を200:1:10とし、280Paの圧力とし、RF電源の電力を200WとしたプラズマCVD法により、厚さ50nmの微結晶シリコン膜を成膜した。このときの微結晶シリコン膜のラマン散乱スペクトルを図33に示す。

#### 【0277】

試料2の微結晶シリコン膜の結晶ピーク位置は、 $515.5\text{ cm}^{-1}$ であり、半値幅(FWHM)は、 $15.4\text{ cm}^{-1}$ であり、結晶/アモルファスピーカ強度比(Ic/Ia)は、0.9である。

#### 【0278】

10

20

30

40

50

(試料3の作製条件)

試料3のアモルファスシリコン膜の成膜条件は、RF電源周波数を13.56MHzとし、成膜温度を280°Cとし、水素流量とシランガス流量の比を15:14とし、170Paの圧力とし、RF電源の電力を60WとしたプラズマCVD法により、5nmのアモルファスシリコン膜を成膜した。

【0279】

次に、プラズマCVD装置の反応室に、水素流量とフッ化シラン流量の比を200:1とし、280Paの圧力とし、RF電源の電力を200Wとしてプラズマを発生させて、アモルファスシリコン膜にプラズマを600秒曝した。

【0280】

次に、RF電源周波数を13.56MHzとし、成膜温度を280°Cとし、水素流量とシランガス流量の比を150:1とし、280Paの圧力とし、RF電源の電力を50WとしたプラズマCVD法により、厚さ50nmの微結晶シリコン膜を成膜した。このときの微結晶シリコン膜のラマン散乱スペクトルを図33に示す。

【0281】

試料3の微結晶シリコン膜の結晶ピーク位置は、517.9cm<sup>-1</sup>であり、半値幅(FWHM)は、9.5cm<sup>-1</sup>であり、結晶/アモルファスピーカ強度比(Ic/Ia)は、4.4である。

【0282】

(試料4の作製条件)

試料4のアモルファスシリコン膜の成膜条件は、RF電源周波数を13.56MHzとし、成膜温度を280°Cとし、水素流量とシランガス流量の比を15:14とし、170Paの圧力とし、RF電源の電力を60WとしたプラズマCVD法により、5nmのアモルファスシリコン膜を成膜した。

【0283】

次に、プラズマCVD装置の反応室に、水素流量とフッ化シラン流量の比を200:1とし、280Paの圧力とし、RF電源の電力を200Wとしてプラズマを発生させて、アモルファスシリコン膜にプラズマを600秒曝した。

【0284】

次に、RF電源周波数を13.56MHzとし、成膜温度を280°Cとし、水素流量とシランガス流量とフッ化シランの流量比を200:1:10とし、280Paの圧力とし、RF電源の電力を200WとしたプラズマCVD法により、厚さ50nmの微結晶シリコン膜を成膜した。このときの微結晶シリコン膜のラマン散乱スペクトルを図33に示す。

【0285】

試料4の微結晶シリコン膜の結晶ピーク位置は、517.5cm<sup>-1</sup>であり、半値幅(FWHM)は、11.2cm<sup>-1</sup>であり、結晶/アモルファスピーカ強度比(Ic/Ia)は、5.2である。

【0286】

試料1と試料4を比較することによって、半導体膜としてアモルファスシリコン膜を形成し、当該アモルファスシリコン膜をプラズマに曝した後、シリコンを含む堆積性気体、ここではシランと、フッ化物気体、ここでは、フッ化シランと、水素を用いてプラズマCVD法により微結晶シリコン膜を形成することで、結晶性の高い微結晶シリコン膜を形成できることがわかる。

【0287】

試料2及び試料4を比較することによって、半導体膜としてアモルファスシリコン膜を形成し、当該アモルファスシリコン膜をプラズマに曝すことによって、結晶性の高い結晶核を形成し、結晶核を元に結晶成長させて、結晶性の高い微結晶シリコン膜を形成できることがわかる。

【0288】

試料3及び試料4を比較することによって、結晶核を元に微結晶シリコン膜を形成する場

10

20

30

40

50

合、シリコンを含む堆積性気体、ここではシランと、水素と共に、フッ化物気体、ここでは、フッ化シランを用いることで、結晶性高い微結晶シリコン膜を形成できることがわかる。

【0289】

即ち、結晶性の高い微結晶シリコン膜を形成することが可能であることがわかる。

【図面の簡単な説明】

【0290】

【図1】本実施の形態に係る微結晶半導体膜を形成する工程を説明する断面図である。

【図2】本実施の形態に係る微結晶半導体膜を形成する工程を説明する断面図である。

【図3】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

10

【図4】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

【図5】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

【図6】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

【図7】本実施の形態に係る薄膜トランジスタの作製方法を説明する上面図である。

【図8】本実施の形態に係る適用可能なプラズマCVD装置の構成を示す図である。

【図9】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

【図10】本発明に適用可能な多階調マスクを説明する図である。

【図11】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

【図12】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

【図13】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

20

【図14】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

【図15】本実施の形態に係る薄膜トランジスタの作製方法を説明する上面図である。

【図16】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

【図17】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

【図18】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

【図19】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

【図20】本実施の形態に係る薄膜トランジスタを適用可能な表示装置を説明する断面図である。

【図21】本実施の形態に係る薄膜トランジスタを適用可能な表示装置を説明する上面図である。

30

【図22】本実施の形態に係る薄膜トランジスタを適用可能な表示装置を説明する上面図である。

【図23】本実施の形態に係る薄膜トランジスタを適用可能な表示装置を説明する断面図及び上面図である。

【図24】本実施の形態に係る薄膜トランジスタを適用可能な表示パネルを説明する斜視図である。

【図25】本実施の形態に係る薄膜トランジスタを適用可能な表示装置を用いた電子機器を説明する斜視図である。

【図26】本実施の形態に係る薄膜トランジスタを適用可能な表示装置を用いた電子機器を説明する図である。

40

【図27】本実施の形態に係る薄膜トランジスタを適用可能な表示装置を用いた電子機器を説明する図である。

【図28】本実施の形態に係る光電変換装置を説明する図である。

【図29】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

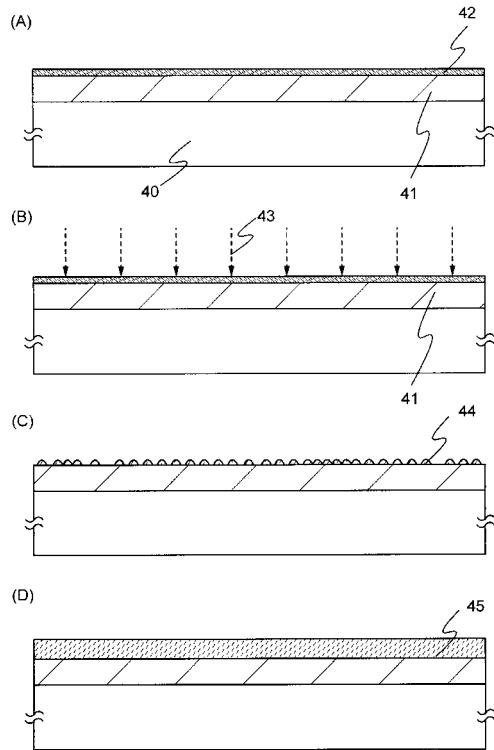
【図30】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

【図31】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

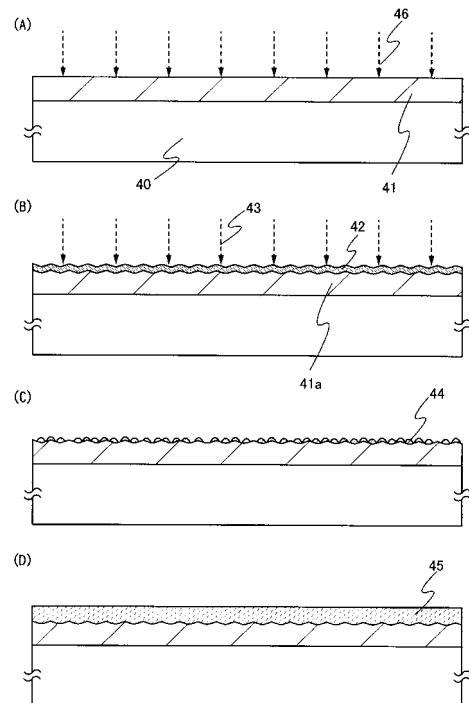
【図32】本実施の形態に係る薄膜トランジスタの作製方法を説明する断面図である。

【図33】本実施の形態に係る微結晶半導体膜の結晶性を説明する図である。

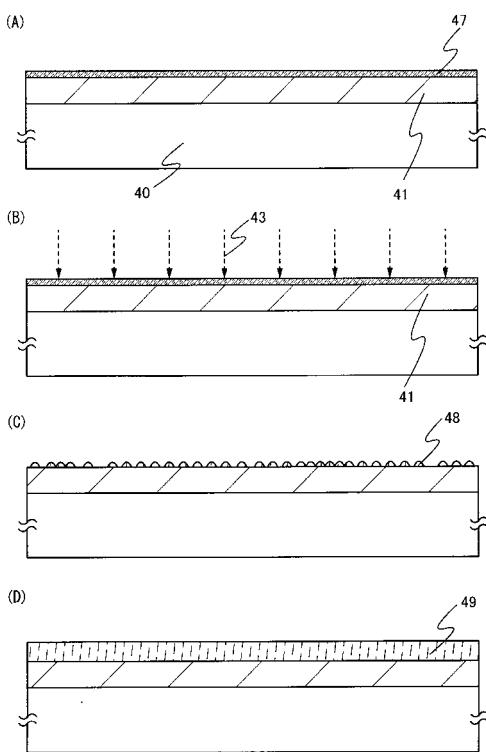
【図1】



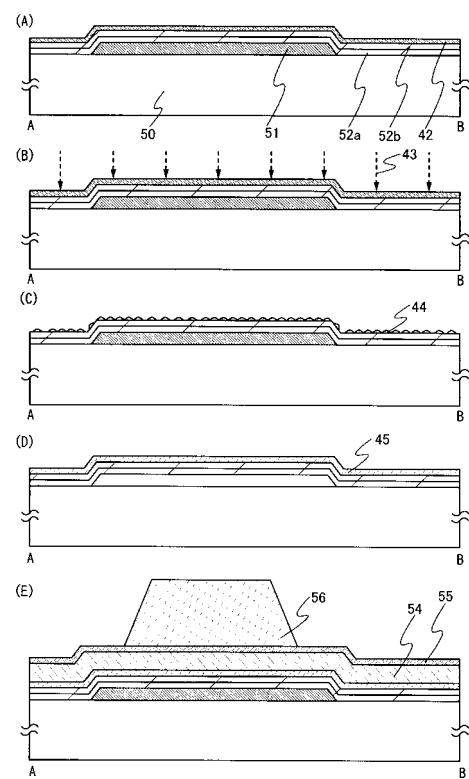
【図2】



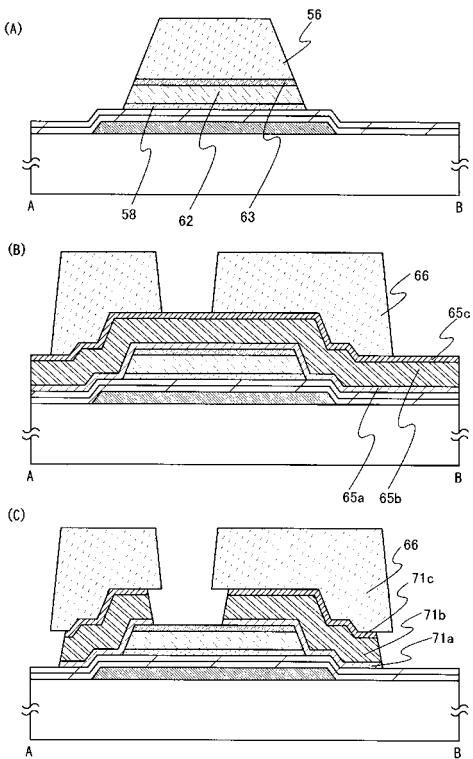
【図3】



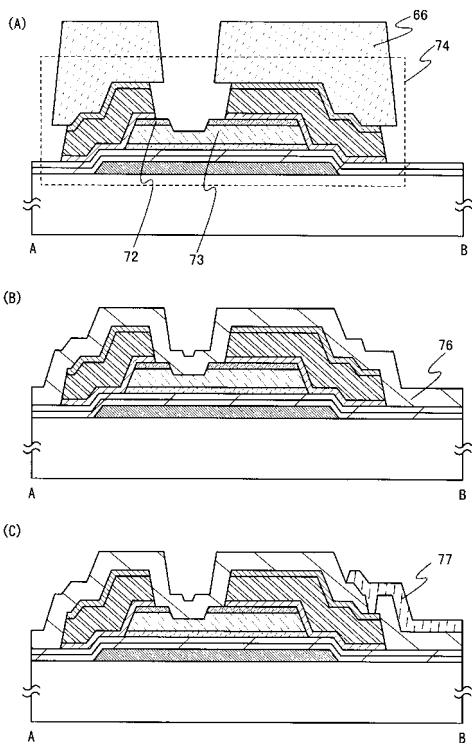
【図4】



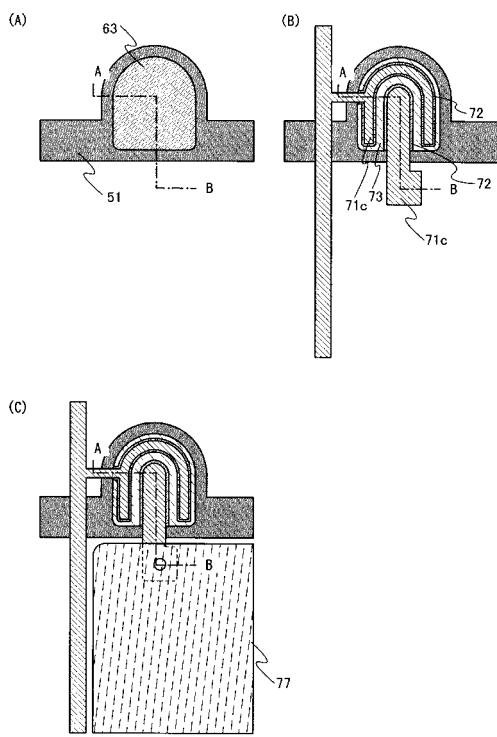
【図5】



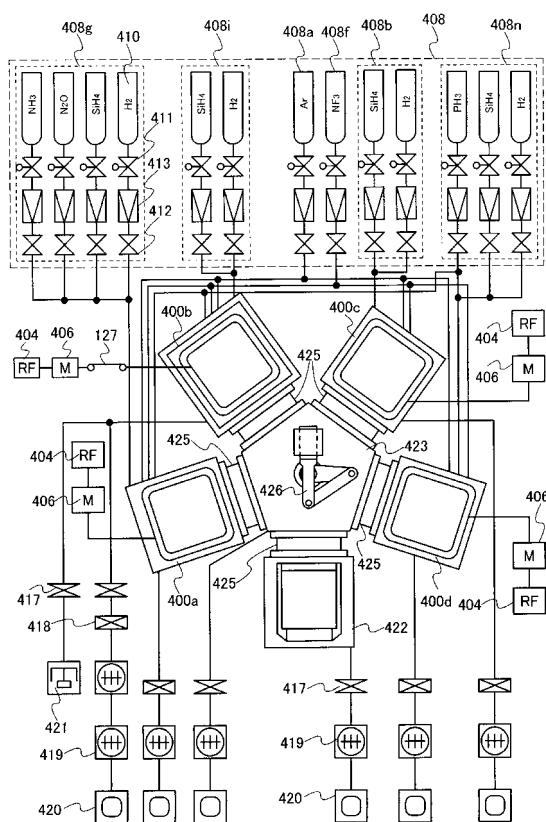
【図6】



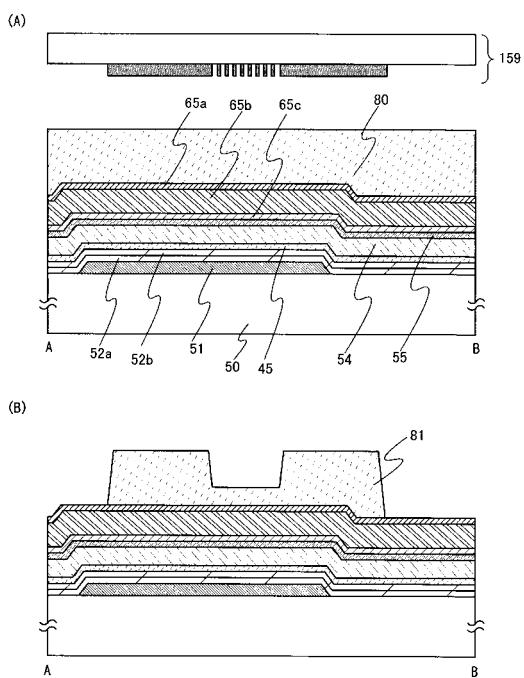
【図7】



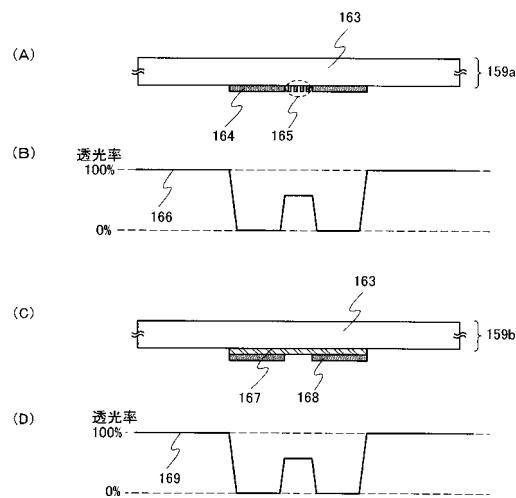
【図8】



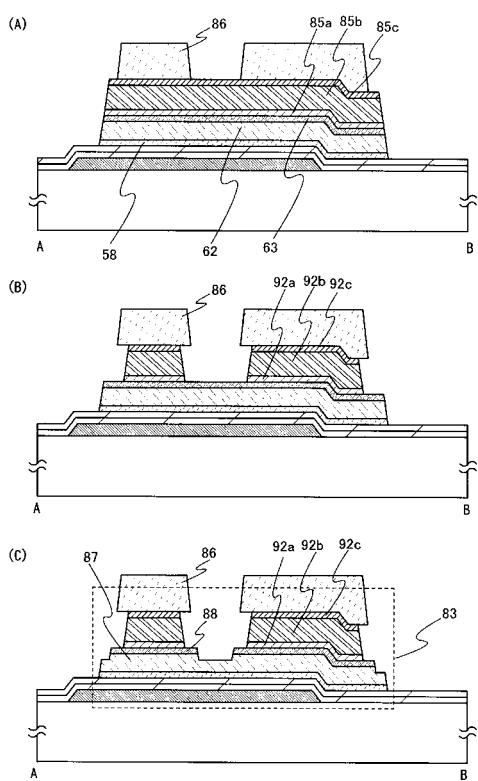
【図9】



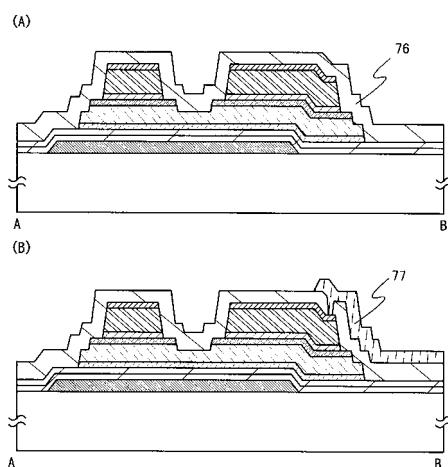
【図10】



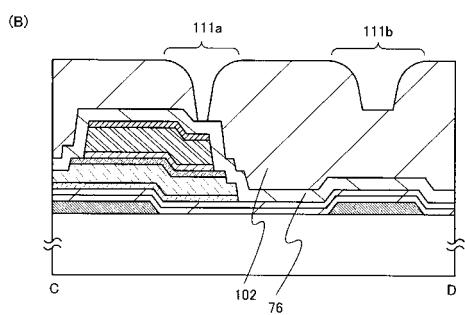
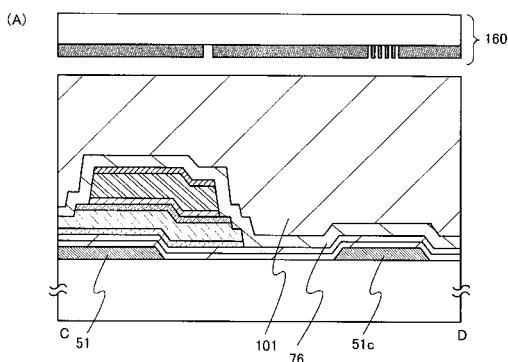
【図11】



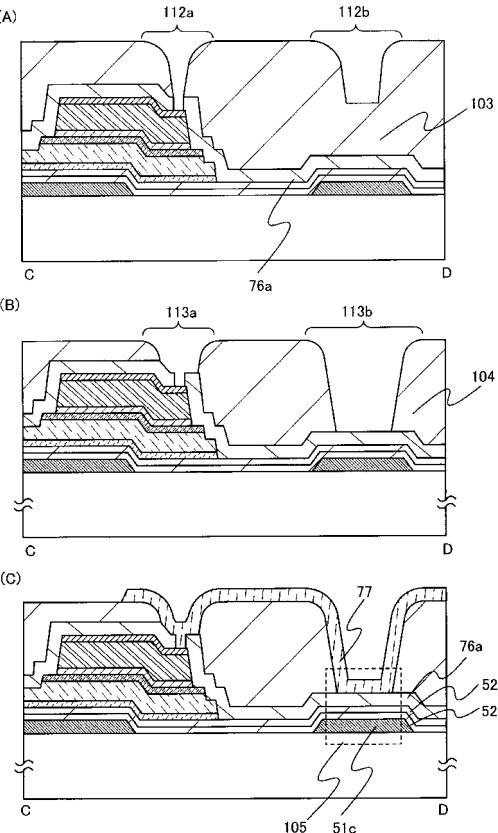
【図12】



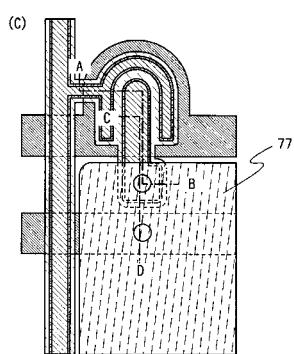
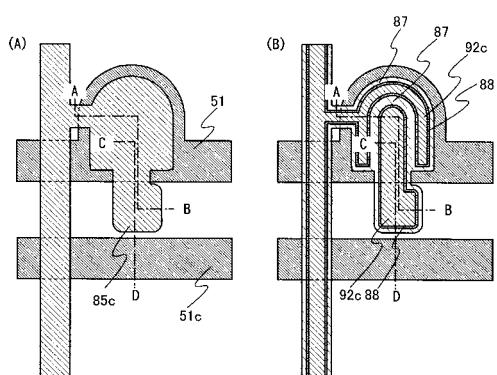
【図13】



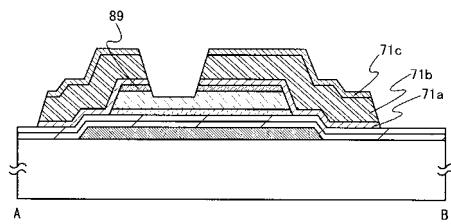
【図14】



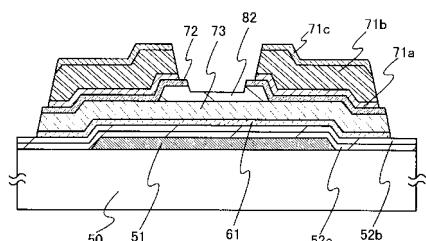
【図15】



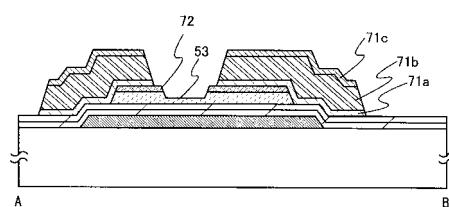
【図16】



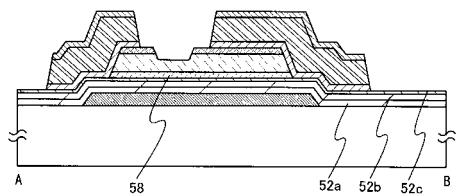
【図17】



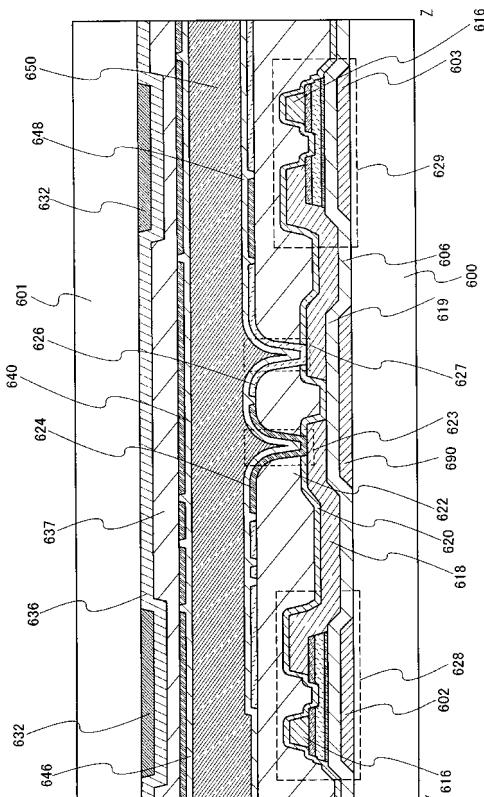
【図18】



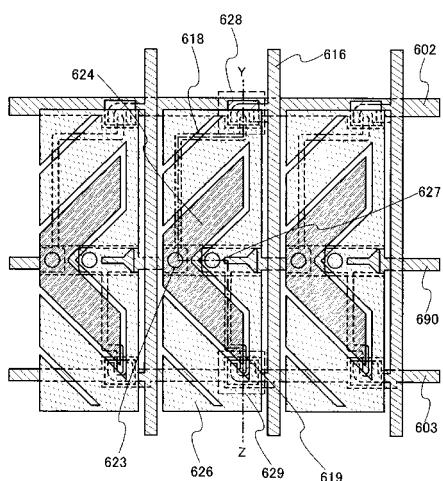
【図19】



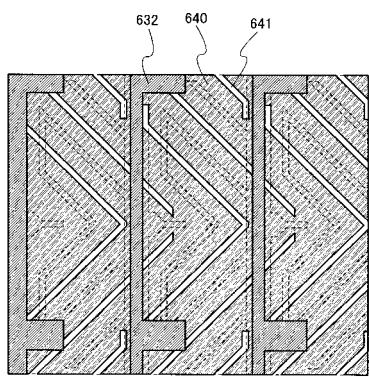
【図20】



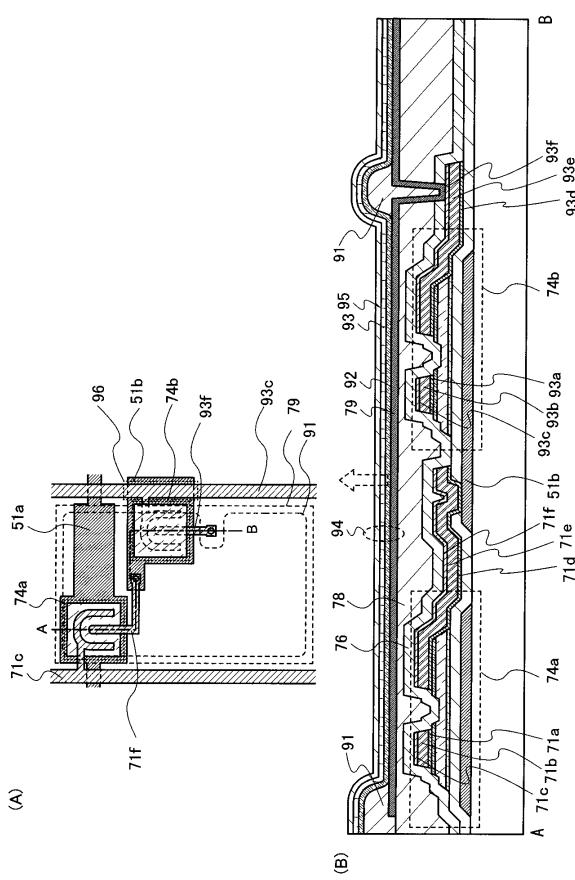
【図21】



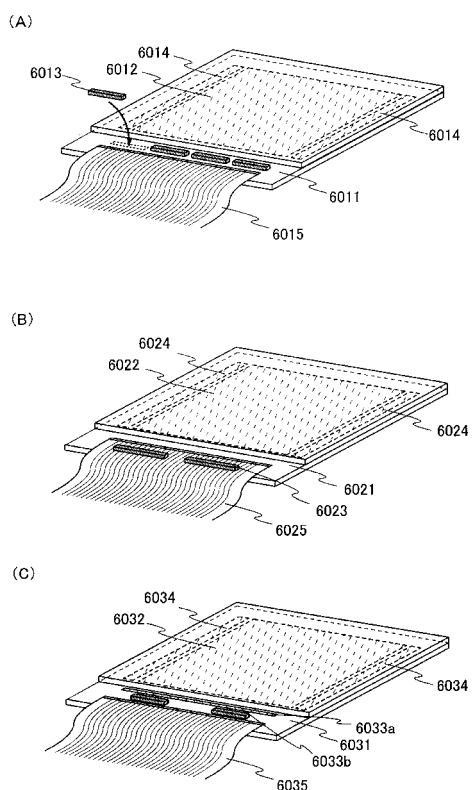
【図22】



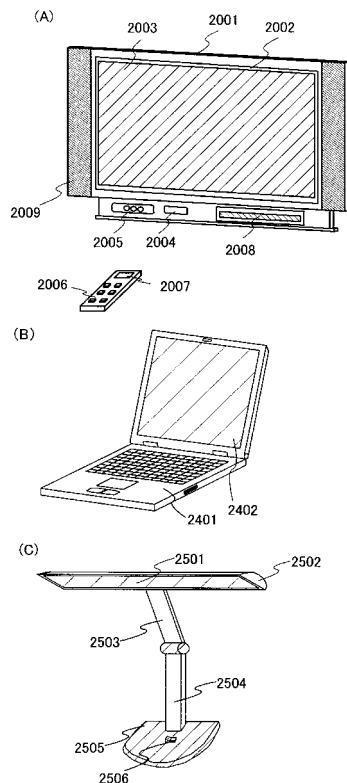
【図23】



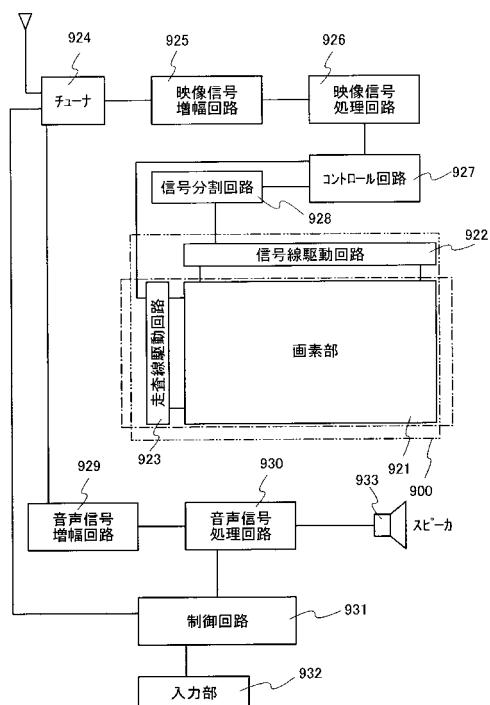
【図24】



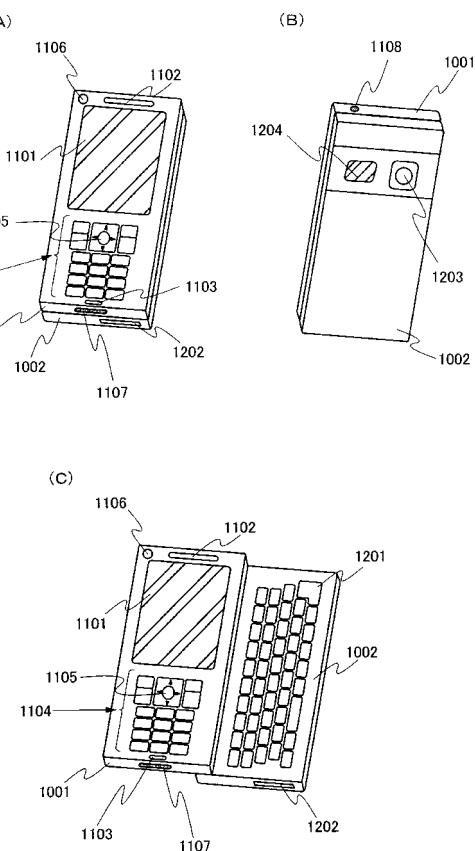
【図25】



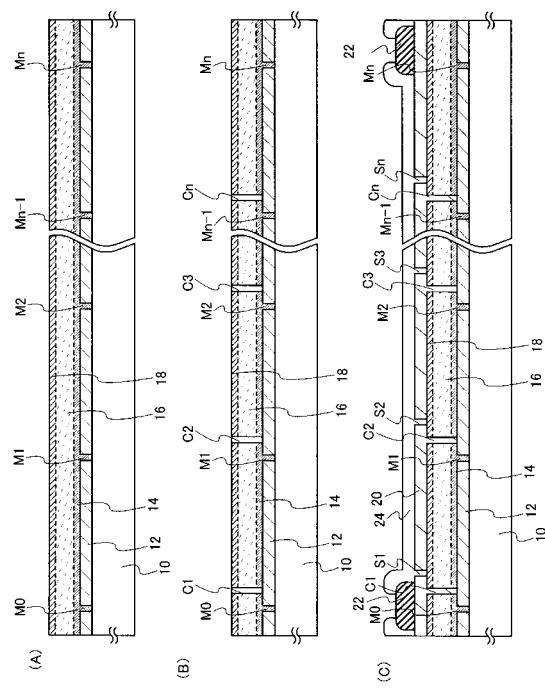
【図26】



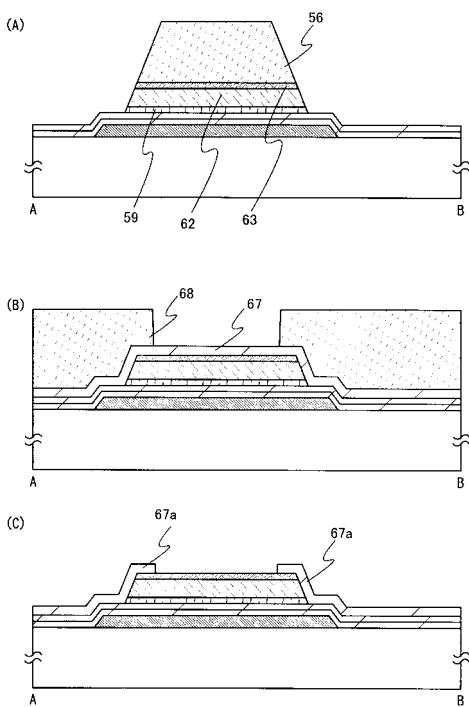
【図27】



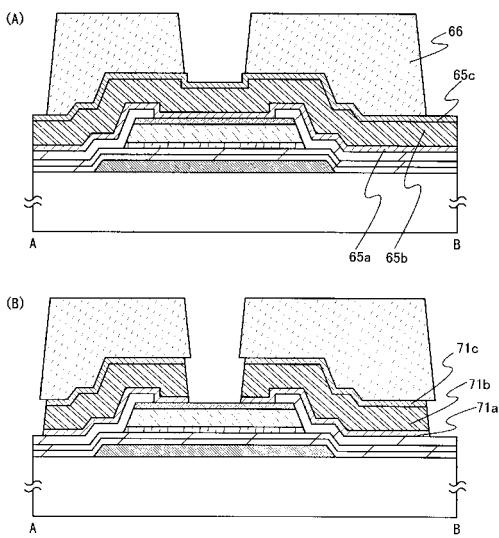
【図28】



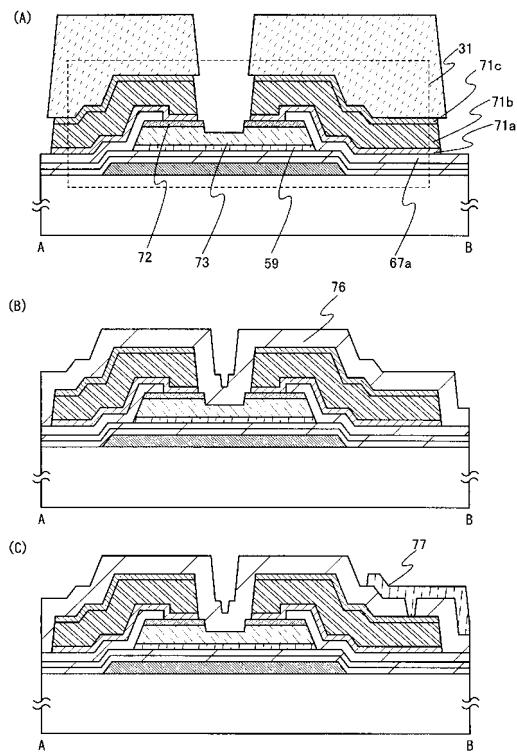
【図29】



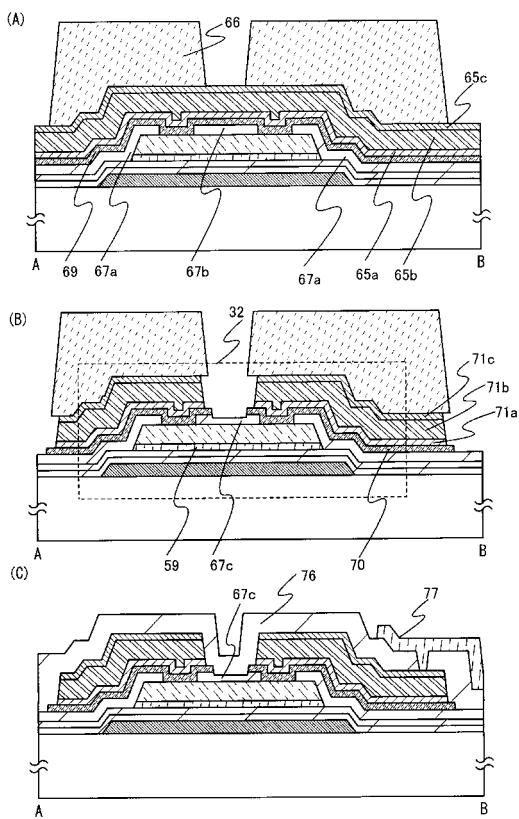
【図30】



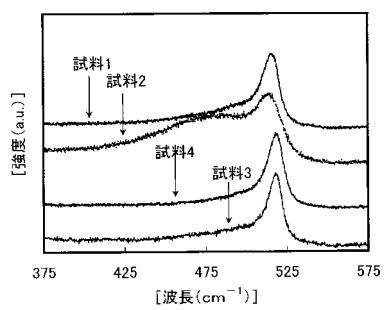
【図31】



【図32】



【図33】



---

フロントページの続き

(56)参考文献 特表平09-508236(JP,A)  
特開2005-317855(JP,A)  
特開2005-243951(JP,A)  
特開2001-177137(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/205