



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

203477

(11)

(B1)

(51) Int. Cl.³
G 06 F 11/00

/22/ Přihlášeno 25 09 78
/21/ /PV 6199-78/
/23/ Právo přednosti od 13 09 78
Mezinárodní strojírenský veletrh
Brno 1978

(40) Zveřejněno 30 06 80

(45) Vydáno 15 12 82

(75)

Autor vynálezu

BARTŮŇEK IVAN ing., DRÁPAL STANISLAV ing., KRYŠKA JAN ing.
a STRONER PETR ing., PRAHA

(54) Zapojení pro kontrolu přenosu a parity číslicových dat

1

Vynález se týká zapojení pro kontrolu přenosu a parity číslicových dat přenášených po několika spojových cestách. Kontrola přenosové cesty se uskutečňuje mezi základním blokem a několika vnějšími bloky.

Jsou známa pouze zapojení pro kontrolu parity, u kterých se vnější blok připojuje k základnímu bloku přes vstupní blok a výstupní blok. Součástí těchto zapojení bývá vnější generátor parity. Se vzrůstajícím počtem vnějších bloků a zvětšující se vzdáleností od základního bloku je třeba provádět kontrolu vzájemného propojení, tj. kontrolu úplnosti přenosové cesty. Dále je třeba provádět kontrolu správnosti nebo platnosti přijímaných nebo předávaných dat.

S větším počtem vnějších bloků, které jsou ve spojení se základním blokem, vzrůstá pravděpodobnost porušení úplnosti přenosových cest. Vzhledem ke složitějším propojením je dosud velmi obtížné zjišťování porušení přenosové cesty. Také identifikace, u kterého vnějšího bloku došlo k poruše přenosu, je těžší. Známá zapojení testují pouze paritu přenášených dat. Z chyby parity se složitě usuzuje na porušení spojové cesty. Změna parity mohla nastat i vlivem vnějších rušivých polí vyskytujících se v prostoru spojové cesty. Problém je řešen opakovaným vysíláním dat, až jsou přijata správně. Toto řešení vede ke značným časovým ztrátám a při hledání poruch přenosového řetězce nedává jasnou odpověď.

Tyto nevýhody odstraňuje zapojení pro kontrolu přenosu a parity číslicových dat přenášených po několika spojových cestách podle vynálezu. Zapojení sestává ze základního bloku, výstupních bloků, vnějších bloků, výstupních bloků, vnějších paritních generátorů, vnitřního paritního generátoru, ovládacích obvodů, pamětí parity, pamětí přenosu, hradel, klopného obvodu a ze součtových členů. Jeho podstata spočívá v tom, že první hromadný vý-

stup základního bloku je spojen s hromadným vstupem každého vstupního bloku. Řídící vstup každého vstupního bloku je spojen s přiřazeným řídicím výstupem základního bloku.

Hromadný výstup každého vstupního bloku je spojen s hromadným vstupem přiřazeného vnějšího bloku. První hromadný výstup každého vnějšího bloku je spojen s hromadným vstupem přiřazeného výstupního bloku. Hromadný výstup každého výstupního bloku je spojen s hromadným vstupem vnitřního paritního generátoru a s hromadným vstupem základního bloku. Druhý hromadný výstup základního bloku je spojen s hromadným vstupem každého ovládacího obvodu. Hradlovací výstup každého ovládacího obvodu je spojen se třetím vstupem přiřazeného hradla. Druhý vstup každého hradla je spojen s výstupem přiřazené paměti parity. Zápisový vstup každé paměti parity je spojen se zápisovým výstupem přiřazeného ovládacího obvodu.

Nulovací výstup každého ovládacího obvodu je spojen s nulovacím vstupem přiřazené paměti parity a s nulovacím vstupem přiřazené paměti přenosu. Zápisový vstup každé paměti přenosu je spojen se stavovým výstupem přiřazeného výstupního bloku. Přenosový výstup každého výstupního bloku je spojen s datovým vstupem přiřazené paměti přenosu. Výstup každé paměti přenosu je spojen s prvním vstupem přiřazeného hradla. Výstup každého hradla je spojen s přiřazeným vstupem druhého součtového členu. Výstup druhého součtového členu je spojen s informačním vstupem klopného obvodu. Zápisový vstup klopného obvodu je spojen se zápisovým výstupem základního bloku.

Nulovací výstup základního bloku je spojen s nulovacím vstupem klopného obvodu. Výstup klopného obvodu je spojen s informačním vstupem základního bloku. Každý hradlovací výstup základního bloku je spojen s hradlovacím vstupem přiřazeného výstupního bloku. Paritní výstup každého výstupního bloku je spojen s přiřazeným vstupem prvního součtového členu. Výstup prvního součtového členu je spojen s paritním vstupem vnitřního paritního generátoru. První výstup vnitřního paritního generátoru je spojen s informačním vstupem každé paměti parity.

Druhý výstup vnitřního paritního generátoru je spojen s paritním vstupem základního bloku. Informační výstup základního bloku je spojen s informačním vstupem každého vstupního bloku. Paritní výstup každého vstupního bloku je spojen s paritním vstupem přiřazeného vnějšího paritního generátoru. Výstup každého vnějšího paritního generátoru je spojen s paritním vstupem přiřazeného výstupního bloku. Hromadný vstup každého vnějšího paritního generátoru je spojen s druhým hromadným vstupem přiřazeného vnějšího bloku.

Výhody vynálezu spočívají v tom, že každému vnějšímu bloku je přiřazena vždy jedna paměť parity a jedna paměť přenosu umožňující záznam informace o paritě a přenosu, a to u odpovídajícího vnějšího bloku. Dále je ke každému vnějšímu bloku přiřazen vždy jeden ovládací obvod a jedno hradlo, čímž se jednoduchým způsobem zajišťuje jednoznačnost činnosti pamětí. Zapojení umožňuje testování přenosu a parity spojové cesty a uchování této informace. Testovat spojovou cestu je možno při každém přenosu nebo periodicky "na požádání". Zapojení umožňuje rychlé a snadné nalezení porušené spojové cesty a zároveň umožňuje přenos dat zajištěný paritou. Rychlá identifikace chyb a jejich rychlá náprava vede ke značným časovým úsporám a včasnému nalezení náhradní spojové cesty mezi vnějšími bloky spolupracujícími se základním blokem.

Příklad uspořádání podle vynálezu je znázorněn v blokovém schématu na připojeném výkrese. Jednotlivé bloky zapojení je možno charakterizovat takto. Základní blok 1 je sestaven z logických číslicových integrovaných obvodů, jako jsou hradla, čítače, klopné obvody, posuvné registry, paměťové obvody. Zajišťuje provádění všech základních řídicích funkcí. Vstupní bloky 2₁, 2₂ až 2_n jsou stejného charakteru a jsou složeny z logických integrovaných obvodů paměťového charakteru, např. klopných obvodů. Slouží k uchování přenášených dat.

Vnější bloky 3₁, 3₂ až 3_n jsou různá zařízení, např. tiskárna, psací stroj, snímač děrné pásky a jiná i složitější zařízení nebo celky. Slouží ke spojení obsluhy se základním blo-

kem. Výstupní bloky $4_1, 4_2$ až 4_n jsou stejného charakteru a jsou sestaveny z logických integrovaných obvodů paměťového charakteru, např. klopných obvodů a z hradel. Slouží k uchování výstupních dat. Vnější paritní generátory $2_1, 2_2$ až 2_n a vnitřní paritní generátor 6 jsou sestaveny z integrovaných generátorů parity, a to podle délky přenášené informace. Doplňují výstupní data paritním bitem. Ovládací obvody $7_1, 7_2$ až 7_n jsou realizovány z logických hradel a klopných obvodů v integrované verzi.

Řídí činnost paměti $8_1, 8_2$ až 8_n parity a paměti $9_1, 9_2$ až 9_n přenosu. Paměti $8_1, 8_2$ až 8_n parity a paměti $9_1, 9_2$ až 9_n přenosu jsou stejného typu a jsou sestaveny z integrovaných logických hradel a klopných obvodů. Slouží k uchování informace o paritě a informace o přenosu. Hradla $10_1, 10_2$ až 10_n jsou dvoustupňová hradla realizovaná jako integrované obvody. Slouží k výběru informací na výstupech pamětí $8_1, 8_2$ až 8_n parity a na výstupech pamětí $9_1, 9_2$ až 9_n přenosu. Klopný obvod 20 je integrovaný klopný obvod typu D. Slouží k uchování informace o chybě parity nebo informace o chybě přenosu. První součtový člen 30 a druhý součtový člen 40 je realizován zapojením integrovaných hradel s "otevřeným kolektorem". První součtový člen 30 slouží ke sdružování informací o paritě. Druhý součtový člen 40 sdružuje informace o přenosu.

Zapojení jednotlivých bloků je provedeno takto. První hromadný výstup 11 základního bloku 1 je spojen s hromadným vstupem $21_1, 21_2$ až 21_n každého vstupního bloku $2_1, 2_2$ až 2_n . Řídící vstup $25_1, 25_2$ až 25_n každého vstupního bloku $2_1, 2_2$ až 2_n je spojen s přiřazeným řídícím výstupem $17_1, 17_2$ až 17_n základního bloku 1 . Hromadný výstup $22_1, 22_2$ až 22_n každého vstupního bloku $2_1, 2_2$ až 2_n je spojen s hromadným vstupem $31_1, 31_2$ až 31_n přiřazeného vnějšího bloku $3_1, 3_2$ až 3_n .

První hromadný výstup $32_1, 32_2$ až 32_n každého vnějšího bloku $3_1, 3_2$ až 3_n je spojen s hromadným vstupem $41_1, 41_2$ až 41_n přiřazeného výstupního bloku $4_1, 4_2$ až 4_n . Hromadný výstup $42_1, 42_2$ až 42_n každého vnějšího bloku $4_1, 4_2$ až 4_n je spojen s hromadným vstupem 62 vnitřního paritního generátoru 6 a s hromadným vstupem 13 základního bloku 1 . Druhý hromadný výstup 14 základního bloku 1 je spojen s hromadným vstupem $71_1, 71_2$ až 71_n každého ovládacího obvodu $7_1, 7_2$ až 7_n .

Hradlovací výstup $72_1, 72_2$ až 72_n každého ovládacího obvodu $7_1, 7_2$ až 7_n je spojen se třetím vstupem $104_1, 104_2$ až 104_n přiřazeného hradla $10_1, 10_2$ až 10_n . Druhý vstup $103_1, 103_2$ až 103_n každého hradla $10_1, 10_2$ až 10_n je spojen s výstupem $84_1, 84_2$ až 84_n každé paměti $8_1, 8_2$ až 8_n parity. Zápisový vstup $82_1, 82_2$ až 82_n každé paměti $8_1, 8_2$ až 8_n parity je spojen se zápisovým výstupem $74_1, 74_2$ až 74_n přiřazeného ovládacího obvodu $7_1, 7_2$ až 7_n . Nulovací výstup $73_1, 73_2$ až 73_n každého ovládacího obvodu $7_1, 7_2$ až 7_n je spojen s nulovacím vstupem $83_1, 83_2$ až 83_n přiřazené paměti $8_1, 8_2$ až 8_n parity a s nulovacím vstupem $93_1, 93_2$ až 93_n přiřazené paměti $9_1, 9_2$ až 9_n přenosu.

Zápisový vstup $92_1, 92_2$ až 92_n každé paměti $9_1, 9_2$ až 9_n je spojen se stavovým výstupem $44_1, 44_2$ až 44_n přiřazeného výstupního bloku $4_1, 4_2$ až 4_n . Přenosový výstup $45_1, 45_2$ až 45_n každého výstupního bloku $4_1, 4_2$ až 4_n je spojen s datovým vstupem $91_1, 91_2$ až 91_n přiřazené paměti $9_1, 9_2$ až 9_n přenosu. Výstup $94_1, 94_2$ až 94_n každé paměti $9_1, 9_2$ až 9_n přenosu je spojen s prvním vstupem $102_1, 102_2$ až 102_n přiřazeného hradla $10_1, 10_2$ až 10_n .

Výstup $101_1, 101_2$ až 101_n každého hradla $10_1, 10_2$ až 10_n je spojen s přiřazeným vstupem $40_1, 40_2$ až 40_n druhého součtového členu 40 . Výstup 140 druhého součtového členu 40 je spojen s informačním vstupem 201 sklopného obvodu 20 . Zápisový vstup 202 klopného obvodu 20 je spojen se zápisovým výstupem 18 základního bloku 1 . Nulovací výstup 19 základního bloku 1 je spojen s nulovacím vstupem 203 klopného obvodu 20 . Výstup 204 klopného obvodu 20 je spojen s informačním vstupem 15 základního bloku 1 . Každý hradlovací výstup $12_1, 12_2$ až 12_n základního bloku 1 je spojen s hradlovacím vstupem $47_1, 47_2$ až 47_n přiřazeného výstupního bloku $4_1, 4_2$ až 4_n .

Paritní výstup $46_1, 46_2$ až 46_n každého výstupního bloku $4_1, 4_2$ až 4_n je spojen s přiřazeným vstupem $30_1, 30_2$ až 30_n prvního součtového členu 30 . Výstup 130 prvního součtového členu 30 je spojen s paritním vstupem 61 vnitřního paritního generátoru 6 . První výstup 61 vnitřního paritního generátoru 6 je spojen s informačním vstupem $81_1, 81_2$ až 81_n každé paměti $8_1, 8_2$ až 8_n parity. Druhý výstup 64 vnitřního paritního generátoru 6 je spojen s paritním vstupem 111 základního bloku 1 . Informační výstup 16 základního bloku 1 je spojen s informačním vstupem $24_1, 24_2$ až 24_n každého vstupního bloku $2_1, 2_2$ až 2_n .

Paritní výstup $23_1, 23_2$ až 23_n každého vstupního bloku $2_1, 2_2$ až 2_n je spojen s paritním vstupem $53_1, 53_2$ až 53_n přiřazeného vnějšího paritního generátoru $5_1, 5_2$ až 5_n . Výstup $52_1, 52_2$ až 52_n každého vnějšího paritního generátoru $5_1, 5_2$ až 5_n je spojen s paritním vstupem $43_1, 43_2$ až 43_n přiřazeného výstupního bloku $4_1, 4_2, 4_n$. Hromadný vstup $51_1, 51_2$ až 51_n každého vnějšího paritního generátoru $5_1, 5_2$ až 5_n je spojen se druhým hromadným výstupem $33_1, 33_2$ až 33_n přiřazeného vnějšího bloku $3_1, 3_2$ až 3_n .

Zapojení pro kontrolu přenosu a parity číslicových dat přenášených po několika spojových cestách pracuje takto:

Základní blok 1 je ústředním blokem zapojení a je schopen spolupracovat vždy pouze s jedním z vnějších bloků $3_1, 3_2$ až 3_n . První součtový člen 30 sdružuje informace o paritě dat na všech výstupních blocích $4_1, 4_2$ až 4_n . Z výstupu 130 prvního součtového členu 30 se informace o paritě dostává do vstupu 61 vnitřního paritního generátoru 6 . Dále se parita dostává z vnitřního paritního generátoru 6 do všech pamětí $8_1, 8_2$ až 8_n parity, a to přes jejich informační vstupy $81_1, 81_2, 81_n$. Druhý výstup 64 vnitřního paritního generátoru 6 posílá informaci o paritě do paritního vstupu 111 základního bloku 1 .

Informace o stavu přenosu nebo parity na libovolném vnějším bloku $3_1, 3_2$ až 3_n se testuje pomocí klopného obvodu 20 . Základní blok 1 získává stav klopného obvodu 20 informačním vstupem 15 přes výstup 204 klopného obvodu 20 . Zápis do klopného obvodu 20 řídí základní blok 1 svým zápisovým výstupem 18 , který vede ovládací signál do zápisového vstupu 202 klopného obvodu 20 . Nulování klopného obvodu 20 provádí základní blok 1 přes svůj nulovací výstup 19 a přes nulovací vstup 202 klopného obvodu 20 .

Užitečná informace o stavu přenosu nebo o paritě se do klopného obvodu 20 dostává jeho informačním vstupem 201 a to z výstupu 140 druhého součtového členu 40 , který sdružuje informace ze všech výstupů $101_1, 101_2$ až 101_n všech hradel $10_1, 10_2$ až 10_n . Ke každému vnějšímu bloku $3_1, 3_2$ až 3_n je přiřazen jeden vstupní blok $2_1, 2_2$ až 2_n , jeden výstupní blok $4_1, 4_2$ až 4_n , jeden vnější paritní generátor $5_1, 5_2$ až 5_n , jedno hradlo $10_1, 10_2$ až 10_n , jedna paměť $8_1, 8_2$ až 8_n parity, jedna paměť $9_1, 9_2$ až 9_n přenosu a jeden ovládací blok $7_1, 7_2$ až 7_n . Vstupní bloky $2_1, 2_2$ až 2_n a výstupní bloky $4_1, 4_2$ až 4_n uchovávají data podle potřeb základního bloku 1 podle charakteru vnějšího bloku $3_1, 3_2$ až 3_n po nezbytně nutnou dobu. Vzhledem k tomu, že základní blok 1 koresponduje vždy pouze s jedním vnějším blokem $3_1, 3_2$ až 3_n , popis se dále omezuje na celek související s prvním vnějším blokem 3_1 .

Z prvního hradlovacího výstupu 11 základního bloku 1 se data dostávají do prvního vstupního bloku 2_1 přes jeho hromadný vstup 21_1 . První vstupní blok 2_1 je ovládán signály z prvního řídicího výstupu 17_1 a ze základního bloku 1 . Signály vstupují do řídicího vstupu 25_1 prvního vstupního bloku 2_1 . Z informačního výstupu 16 základního bloku 1 se předává parita přenášených dat do informačního vstupu 24_1 prvního vstupního bloku 2_1 . Data vyatupující z hromadného výstupu 25_1 prvního vstupního bloku 2_1 se přesouvají do hromadného vstupu 31_1 prvního vnějšího bloku 3_1 .

Zde jsou buď data zpracovávána nebo první vnější blok 3_1 vykonává odpovídající činnost. Data, která vystupují na prvním hromadném výstupu 32_1 prvního vnějšího bloku 3_1 , vstupují do hromadného vstupu 41_1 prvního vstupního bloku 4_1 , který je ovládán přes svůj hradlovací vstup 47_1 . Řídicí signály pro tento blok vystupují z prvního hradlovacího výstupu 12_1 .

základního bloku 1. Hromadný výstup 42, prvního výstupního bloku 4, posílá data zpět do hromadného vstupu 13 základního bloku 1. Hromadné výstupy 42, 42₂ až 42_n vedou do téhož hromadného vstupu 13 základního bloku 1, ale protože základní blok 1 spolupracuje vždy s jedním z vnějších bloků 3₁, 3₂ až 3_n, je spojení jednoznačné. Paritní výstup 23, prvního vstupního bloku 2, posílá informaci o paritě dat do paritního vstupu 53, prvního vnějšího paritního generátoru 5₁.

Druhý hromadný výstup 33, prvního vnějšího bloku 3, posílá přijatá data do hromadného vstupu 53, prvního vnějšího paritního generátoru 5₁. Tento generátor zpracovává přijatá data a paritu. Výsledkem je obnovený nebo opravený signál parity, který vystupuje na výstupu 52, prvního vnějšího paritního generátoru 5₁. Informace o paritě postupuje do paritního vstupu 43, prvního výstupního bloku 4. Dále se informace o paritě přesunuje z paritního výstupu 46, prvního výstupního bloku 4, do prvního vstupu 30, prvního součtového členu 30 a dále již výše popsaným způsobem. Informace o stavu přenosové cesty se dostává z přenosového výstupu 45, prvního výstupního bloku 4, do datového vstupu 91, první paměti 9, přenosu.

Zápis se provádí signálem ze stavového výstupu 44, prvního výstupního bloku 4, do zápisového vstupu 92, první paměti 9, přenosu. Zápis do první paměti 8, parity se provádí signálem do jejího zápisového vstupu 82, ze zápisového výstupu 74, prvního ovládacího obvodu 7. Signál z nulovacího výstupu 73, prvního ovládacího bloku 7, nuluje jednak první paměť 8, parity do jejího nulovacího vstupu 83, a první paměť 9, přenosu do jejího nulovacího vstupu 93. Výstup 84, první paměti 8, parity vede informaci o paritě do druhého vstupu 103, prvního hradla 10. Výstup 94, první paměti 9, přenosu vede informaci o přenosu do prvního vstupu 102, prvního hradla 10. První hradlo 10, je ovládáno signálem z hradlovacího výstupu 72, prvního ovládacího bloku 7, do jeho třetího vstupu 104. Výstup 101, prvního hradla 10, vede informaci o paritě nebo o přenosu do prvního vstupu 40, druhého součtového členu 40. První řídicí obvod 7, dostává pokyny pro svoji činnost přes hromadný vstup 71, z druhého hromadného výstupu 14 základního bloku 1. Zapojení svojí činností a uspořádáním umožňuje testovat přenosovou cestu jak po stránce parity, tak i po stránce úplnosti.

Zapojení pro kontrolu přenosu a parity číslicových dat po několika spojových cestách se využije v řídicí jednotce pro ovládání a řízení obráběcích strojů nebo pro řízení obráběcích center.

P R Ě D M Ě T V Y N Á L E Z U

Zapojení pro kontrolu přenosu a parity číslicových dat přenášených po několika spojových cestách, vyznačující se tím, že první hromadný výstup (11) základního bloku (1) je spojen s hromadným vstupem (21₁, 21₂ až 21_n) každého vstupního bloku (2₁, 2₂ až 2_n), jehož řídicí vstup (25₁, 25₂ až 25_n) je spojen s přiřazeným řídicím výstupem (17₁, 17₂ až 17_n) základního bloku (1) a hromadný výstup (22₁, 22₂ až 22_n) každého vstupního bloku (2₁, 2₂ až 2_n) je spojen s hromadným vstupem (31₁, 31₂ až 31_n) přiřazeného vnějšího bloku (3₁, 3₂ až 3_n), jehož první hromadný výstup (32₁, 32₂ až 32_n) je spojen s hromadným vstupem (41₁, 42₂ až 41_n) přiřazeného výstupního bloku (4₁, 4₂ až 4_n), jehož hromadný výstup (42₁, 42₂ až 42_n) je spojen s hromadným vstupem (62) vnitřního paritního generátoru (6) a s hromadným vstupem (13) základního bloku (1), jehož druhý hromadný výstup (14) je spojen s hromadným vstupem (71₁, 71₂ až 71_n) každého ovládacího obvodu (7₁, 7₂ až 7_n), jehož hradlovací výstup (72₁, 72₂ až 72_n) je spojen se třetím vstupem (104₁, 104₂ až 104_n) přiřazeného hradla (10₁, 10₂ až 10_n), jehož druhý vstup (103₁, 103₂ až 103_n) je spojen s výstupem (84₁, 84₂ až 84_n) přiřazené paměti (8₁, 8₂ až 8_n) parity, jejíž zápisový vstup (82₁, 82₂ až 82_n) je spojen se zápisovým vstupem (74₁, 74₂ až 74_n) přiřazeného ovládacího obvodu (7₁, 7₂ až 7_n), jehož nulovací výstup (73₁, 73₂ až 73_n) je spojen s nulovacím vstupem (83₁, 83₂ až 83_n) přiřazené paměti (8₁, 8₂ až 8_n) parity a s nulovacím vstupem (93₁, 93₂ až 93_n) přiřazené

paměti ($9_1, 9_2$ až 9_n) přenosu, jejíž zápisový vstup ($92_1, 92_2$ až 92_n) je spojen se stavovým výstupem ($44_1, 44_2$ až 44_n) přiřazeného výstupního bloku ($4_1, 4_2$ až 4_n), jehož přenosový výstup ($45_1, 45_2$ až 45_n) je spojen s datovým vstupem ($91_1, 91_2$ až 91_n) přiřazené paměti ($9_1, 9_2$ až 9_n) přenosu, jejíž výstup ($94_1, 94_2$ až 94_n) je spojen s prvním vstupem ($102_1, 102_2$ až 102_n) přiřazeného hradla ($10_1, 10_2$ až 10_n), jehož výstup ($101_1, 101_2$ až 101_n) je spojen s přiřazeným vstupem ($40_1, 40_2$ až 40_n) druhého součtového členu (40), jehož výstup (140) je spojen s informačním vstupem (201) klopného obvodu (20), jehož zápisový vstup (202) je spojen se zápisovým výstupem (18) základního bloku (1), jehož nulovací výstup (19) je spojen s nulovacím vstupem (203) klopného obvodu (20), jehož výstup (204) je spojen s informačním vstupem (15) základního bloku (1), jehož každý hradlovací výstup ($12_1, 12_2$ až 12_n) je spojen s hradlovacím vstupem ($47_1, 47_2$ až 47_n) přiřazeného výstupního bloku ($4_1, 4_2$ až 4_n), jehož paritní výstup ($46_1, 46_2$ až 46_n) je spojen s přiřazeným vstupem ($30_1, 30_2$ až 30_n) prvního součtového členu (30), jehož výstup (130) je spojen s paritním vstupem (61) vnitřního paritního generátoru (6), jehož první výstup (63) je spojen s informačním vstupem ($81_1, 81_2$ až 81_n) každé paměti ($8_1, 8_2$ až 8_n) parity, přičemž druhý výstup (64) vnitřního paritního generátoru (6) je spojen s paritním vstupem (111) základního bloku (1), jehož informační výstup (16) je spojen s informačním vstupem ($24_1, 24_2$ až 24_n) každého vstupního bloku ($2_1, 2_2$ až 2_n), jehož paritní výstup ($23_1, 23_2$ až 23_n) je spojen s paritním vstupem ($53_1, 53_2$ až 53_n) přiřazeného vnějšího paritního generátoru ($5_1, 5_2$ až 5_n), jehož výstup ($52_1, 52_2$ až 52_n) je spojen s paritním vstupem ($43_1, 43_2$ až 43_n) přiřazeného výstupního bloku ($4_1, 4_2$ až 4_n) a hromadný vstup ($51_1, 51_2$ až 51_n) každého vnějšího paritního generátoru ($5_1, 5_2$ až 5_n) je spojen se druhým hromadným vstupem ($33_1, 33_2$ až 33_n) přiřazeného vnějšího bloku ($3_1, 3_2$ až 3_n).

1 list výkresů

