



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년12월16일

(11) 등록번호 10-1578229

(24) 등록일자 2015년12월10일

(51) 국제특허분류(Int. Cl.)

H01L 21/28 (2006.01)

(21) 출원번호 10-2010-7000931

(22) 출원일자(국제) 2008년07월17일

심사청구일자 2013년07월16일

(85) 번역문제출일자 2010년01월15일

(65) 공개번호 10-2010-0045968

(43) 공개일자 2010년05월04일

(86) 국제출원번호 PCT/US2008/070389

(87) 국제공개번호 WO 2009/012423

국제공개일자 2009년01월22일

(30) 우선권주장

60/959,977 2007년07월17일 미국(US)

(56) 선행기술조사문헌

JP2007139995 A*

US20060159899 A1

JP2005260040 A*

KR1019920008841 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

센 펠름 일렉트로닉스 에이에스에이

노르웨이, 오슬로 엔-0255, 헨리크 입센스 게이트
100 / 졸리 피오 박스 2911

(72) 발명자

챈드라 아디티

미국 캘리포니아 95030 로스 가토스 303 347 매솔
에비뉴

카머스 아빈드

미국 캘리포니아 94043 마운틴 뷰 32 타이렐라 코
트

(뒷면에 계속)

(74) 대리인

특허법인천문

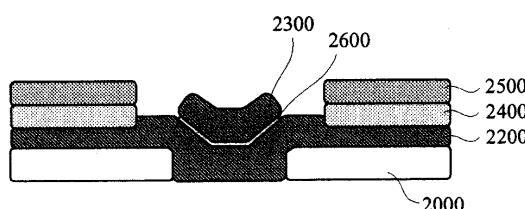
전체 청구항 수 : 총 12 항

심사관 : 김종희

(54) 발명의 명칭 씨드 인쇄 및 도금을 통한 컨택트 금속 및 배선 금속의 인쇄

(57) 요 약

본 발명은 규화물-형성 금속을 포함하는 잉크를 사용하여 컨택트들(및 선택적으로 국소 배선들), 이런 컨택트들 및 (선택적인) 국소 배선들을 포함하는 다이오드 및/또는 트랜지스터와 같은 전기 소자들 및 이런 소자들을 제조하는 방법에 관한 것이다. 컨택트들을 형성하는 방법은 노출된 실리콘 표면상에 규화물-형성 금속의 잉크를 증착하고, 규화물-형성 금속 전구체를 형성하기 위해 잉크를 건조하고, 금속 규화물 컨택트를 형성하기 위해 규화물-형성 금속 전구체와 실리콘 표면을 가열하는 단계를 포함한다. 선택적으로, 금속 전구체 잉크는 금속-함유 배선을 형성하기 위해 노출된 실리콘 표면에 인접한 유전체층 상에 선택적으로 증착될 수 있다. 또한, 하나 이상의 벌크 도전성 금속(들)이 남아있는 금속 전구체 잉크 및/또는 유전체층 상에 증착될 수 있다. 다이오드 및 트랜지스터와 같은 전기 소자들은 이런 인쇄된 컨택트 및/또는 국소 배선을 사용하여 제조될 수 있다.

대 표 도 - 도3e

(72) 발명자

클리브스 제임스 몬터규

미국 캘리포니아 94062 레드우드 시티 551 서밋 드
라이브

룩챈버거 외르크

미국 캘리포니아 95112 산호세 8110 350 이스트 테
일러 스트리트

타카시마 마오

미국 캘리포니아 95014 쿠퍼티노 22442 맥클래런
로드

명세서

청구범위

청구항 1

- a) 노출된 실리콘 표면 및 상기 노출된 실리콘 표면에 인접한 유전체층 상에 잉크를 선택적으로 증착하여 패턴을 형성하는 단계로서, 잉크는 규화물-형성 4, 5, 6, 7, 8, 9, 10, 11 또는 12족 금속염 또는 금속착물(complex), 용매, 및 하나 이상의 첨가제로 이루어지고, 상기 하나 이상의 첨가제는 금속염 또는 금속착물을 이들의 원소 금속 또는 합금으로 환원 시 기체 상태 또는 휘발성 부산물(byproducts)을 형성하는 것인 단계;
 - b) 잉크를 건조하여 규화물-형성 금속 전구체를 형성하는 단계; 및
 - c) 제 1 온도로 규화물-형성 금속 전구체 및 실리콘 표면을 가열하여 금속 규화물 컨택트를 형성하는 단계로서, 규화물-형성 금속 전구체의 가열은 유전체층 위에 규화물-형성 금속 전구체로부터 금속 배선 또는 금속 씨드층을 형성하는 것인 단계
- 를 포함하는 금속 규화물 컨택트의 제조 방법.

청구항 2

제 1 항에 있어서,

규화물-형성 금속 전구체의 가열은 금속 씨드층을 더 형성하고, 상기 방법은 금속 씨드층 상에 벌크 도전성 금속을 도금하는 단계를 더 포함하는 것인 금속 규화물 컨택트의 제조 방법.

청구항 3

제 1 항에 있어서,

잉크를 선택적으로 증착하는 것은 유전체층 내의 비아홀 또는 개구로 잉크를 인쇄하는 것을 포함하고, 비아홀은 노출된 실리콘 표면을 노출하는 것인 금속 규화물 컨택트의 제조 방법.

청구항 4

제 3 항에 있어서,

잉크를 인쇄하는 것은 잉크를 잉크젯 인쇄하는 것을 포함하는 것인 금속 규화물 컨택트의 제조 방법.

청구항 5

제 1 항에 있어서,

노출된 실리콘 표면은 그 위에 고유 산화물을 포함하고, 규화물-형성 금속염 또는 금속착물의 금속은 Pd인 것인 금속 규화물 컨택트의 제조 방법.

청구항 6

제 1 항에 있어서,

규화물-형성 금속 전구체 및 실리콘 표면은 불활성 또는 환원 분위기에서 가열되는 것인 금속 규화물 컨택트의 제조 방법.

청구항 7

- a) (i) 기판의 적어도 일부 위에 반도체층의 노출된 실리콘 표면, 또는 (ii) 게이트 유전체와 접촉하는 게이트 위로, 규화물-형성 4, 5, 6, 7, 8, 9, 10, 11 또는 12족 금속염 또는 금속착물(complex), 용매, 및 하나 이상의 첨가제로 이루어지는 잉크를 증착하는 단계로서, 하나 이상의 첨가제는 금속염 또는 금속착물을 이들의 원소 금속 또는 합금으로 환원 시 기체 상태 또는 휘발성 부산물(byproducts)을 형성하고, 게이트 유전체는 반도체층과 접촉하고, 게이트 및 반도체층 중 적어도 하나는 원소 실리콘 및 도편트를 포함하는 것인 단계,

- b) 잉크를 건조하여 용매를 제거하는 단계; 및
- c) 규화물-형성 금속염 또는 금속착물 및 실리콘을 가열하여 금속 규화물 컨택트를 형성하는 단계를 포함하는 소자(device)의 제조 방법.

청구항 8

제 7 항에 있어서,

반도체층을 형성하는 것은 기판 위로 실리콘 전구체를 함유하는 잉크를 인쇄하거나 증착하는 것을 포함하는 것인 소자(device)의 제조 방법.

청구항 9

제 7 항에 있어서,

잉크를 증착하는 단계 전에, 반도체층 위로 도편트를 함유하는 도핑된 유전체를 증착하는 단계 및 반도체층으로 도편트를 확산시키는 단계를 더 포함하는 것인 소자(device)의 제조 방법.

청구항 10

제 9 항에 있어서,

규화물-형성 금속을 가열하는 것은 도핑된 유전체 위에 규화물-형성 금속으로부터 금속 씨드층 또는 금속 배선을 형성하는 것인 소자(device)의 제조 방법.

청구항 11

제 10 항에 있어서,

규화물-형성 금속을 가열하는 것은 금속 씨드층을 형성하고, 금속 씨드층 및 규화물-형성 금속은 Pd를 포함하고, 상기 방법은 금속 씨드층 위에 벌크 도전성 금속을 도금하는 단계를 더 포함하는 것인 소자(device)의 제조 방법.

청구항 12

제 8 항에 있어서,

반도체층은 실리콘을 포함하고, 게이트는 폴리실리콘을 포함하고, 규화물-형성 금속 전구체 및 실리콘 표면을 가열하는 것은 반도체층 위에 금속 규화물 컨택트 및 게이트 위에 금속 규화물층을 형성하는 것인 소자(device)의 제조 방법.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

발명의 설명**기술 분야**

[0001] 본 발명은 일반적으로 반도체 소자들 및 이의 제조 방법들의 분야에 관한 것이다. 더욱 구체적으로, 본 발명의 실시예들은 금속 잉크를 사용하는 전기 컨택트들 (및 선택적으로, 국소 배선들), 이런 컨택트들 및 (선택적) 국소 배선들을 포함하는 다이오드 및/또는 트랜지스터와 같은 전기 소자들 및 이런 소자들의 제조 방법에 관한 것이다.

배경 기술

[0002] 본 발명의 태양들은 금속 잉크를 사용하여 전자 소자에서, 도핑되거나 도핑되지 않은 실리콘층에 컨택트를 제조하는 방법, 및 선택적으로 국소 배선을 제조하는 방법에 관한 것이다. 다른 태양들은 이런 컨택트들 및 (선택적 인) 국소 배선들을 포함하는 전기 소자들(예를 들어, 다이오드, 트랜지스터 등) 및 이런 소자들을 제조하는 방법에 관한 것이다. 일반적으로, 규화물-형성 금속을 포함하는 잉크(예를 들어, 금속 전구체 잉크)는 (도핑되거나 도핑되지 않은) 실리콘 표면 또는 (예를 들어, 비아(via) 또는 에지 컨택트 개구에 노출된) 기판상에 뿐만 아니라 국소 배선이 형성될 수 있는 지역상에 인쇄, 코팅 또는 선택적으로 증착(deposited)될 수 있다. 그 후에 잉크를 건조시켜 용매(들) 및/또는 첨가제들을 제거하여, 규화물-형성 금속 전구체를 형성한다. 환원 또는 불활성 분위기(예를 들어, 질소 또는 Ar/H₂ 혼합물과 같은 성형 기체)에서 후속 어닐링은 잉크를 경화하고 금속 전구체와 실리콘 사이의 반응이 규화물을 형성하게 하는 반면(예를 들어, 금속 규화물 컨택트를 제외한) 다른 지역에 금속을 남겨 국소 배선을 형성한다. 이런 공정에서, 규화하지 않은 실리콘(예를 들어, 트랜지스터 채널에서)은 규화하는 동안 수소화되는 것이 유리할 수 있다.

[0003] 더욱 구체적으로, 한 태양에서, 실리콘 컨택트 및/또는 금속 (또는 금속 규화물) 배선은 노출된 실리콘 표면상에 규화물을 형성하는 금속을 함유하는 잉크(이후에서, "금속 전구체 잉크")를 선택적으로 증착함으로써 형성될 수 있다. 다른 옵션에서, 금속 전구체 잉크는 금속 배선을 형성하기 위해서 노출된 실리콘 표면에 인접한 유전체층(또는 다른 층) 위에 선택적으로 증착될 수 있다. 선택적으로, 금속 규화물 배선은 패턴화된 실리콘 표면상에 형성될 수 있다. 그런 후에 금속 전구체 잉크는 패턴화된 실리콘 상에 증착되고(임의로, 선택적으로 증착) 열처리 되어 규화물 배선을 형성한다. 패턴을 형성하기 위해 잉크가 증착될 때, 패턴은 여러 소자들의 소정의 터미널들을 전기적으로 서로 연결하도록 구성되거나 적합하게 되는 국소 또는 금속 배선층의 패턴에 일치할 수 있다. 유전체층은 (도핑된) 유리 제제를 포함할 수 있고, 도핑된 유리 제제에서 도편트는 아래의 실리콘 속으로 도편트가 확산하는데 충분한 농도로 B, P, As 또는 다른 도편트를 포함할 수 있다. 금속 전구체 잉크는 건조되어 규화물-형성 금속 전구체를 형성하고 금속 전구체와 실리콘 표면은 실리콘 컨택트(예를 들어, 금속 규화물)를 형성하는데 충분한 시간 동안 소정의 온도로 가열된다. 선택적으로, 금속 전구체의 금속은 유전체 지역 상에 잔존하고, 도전성 금속은 금속 전구체의 금속상에 선택적으로 증착(예를 들어, 도금)될 수 있다. 일반적으로, 금속 전구체로부터 금속을 형성하는 것은 도전성 금속의 선택적 증착 이전에 일어나나, 규화물 형성은 이 공정에서 어느 때라도 수행될 수 있다(즉, 금속 전구체로부터 금속을 형성하기 전, 금속을 형성한 후이지만 도전성 금속의 선택적 증착 이전, 또는 도전성 금속의 선택적 증착 이후).

[0004] 일부 실시예들에서, 규화물-형성 금속은 용매에 규화물-형성 금속의 전구체를 포함하는 잉크를 인쇄함으로써 증

착될 수 있다. 통상적인 공정에서, 샤프 스텝(sharp step) 위로 스퍼터 증착(sputter deposition) 또는 전기빔 증발(evaporation)에 의해 금속을 증착하면 금속에 깨짐 또는 단절(discontinuity)이 발생할 수 있다. 그러나, 인쇄 공정에서, 과량의 잉크가 모서리 또는 가장자리 또는 덮개층이 얇아질 수 있는 다른 위치에 놓일 수 있어서, 적절한 물질이 덮개층의 깨짐 또는 단절을 예방하기 위해 제공된다. 과량의 잉크 방울 또는 더 큰 방울 부피를 원하는 위치(들)에 둠으로써 과량의 잉크가 잉크젯 인쇄에 공급될 수 있다. 그라비 인쇄에서, 과량의 잉크는 드럼 위에 더 큰 셀 부피를 사용하여 공급될 수 있다. 또한, 추가적인 잉크가 잡재적인 전자이동 실패를 피하기 위해서 고 전류 밀도 흐름(예를 들어, 파워 버스, 본드 패드, 클럭 시그널 라인 등)에 대해 의도된 특정한 특징부(feature)를 위해 인쇄될 수 있다.

[0005] 금속 전구체 잉크는 당업계에 공지된 다양한 코팅 또는 인쇄 방법에 의해 증착될 수 있다. 엑체 금속(전구체) 잉크를 인쇄하는 기술들은 미국 특허 제 7,152,804 호 및 제 7,314,513 호에 개시된다. 다양한 실시예들에서, 규화물-형성 금속의 잉크는 잉크젯 인쇄에 의해 증착된다. 특정 실시예들에서, 선택적으로 증착된 금속 전구체 잉크에 의해 형성된 패턴은 그 위에 금속 규화물 및 규화되지 않은 금속층을 형성하는데 충분한 노출된 실리콘 표면 위에 두께를 가져, 금속 규화물 위에 잔존한다. 다양한 실시예에서, 금속 전구체 잉크의 금속은 Pd, Pt, Ni, Cr, Mo, W, Ru, Rh, Ti 및 이의 합금/혼합물로 이루어진 그룹으로부터 선택된다. 바람직하게는, 금속은 Pd이다.

[0006] 금속 전구체 잉크 제제에서 용매들 및/또는 다른 첨가제들은 규화물-형성 금속 전구체를 형성하기 위해 건조 단계에서 (비록 특정 첨가제들은 이런 첨가제들을 실질적으로 완전히 제거하는데 충분한 조건하에서 가열되거나 어닐링될 때까지 완전히 제거되지 않을 수 있지만) 제거된다. 금속 전구체 및 실리콘 표면은 금속 규화물 컨택트를 형성하기 위해, 환원 기체를 더 포함할 수 있는 불활성 분위기에서 가열(예를 들어, 경화)될 수 있다. 선택적으로 또는 추가적으로, 잉크를 건조하고 규화물-형성 전구체를 가열하면 노출된 실리콘 표면에 인접한 유전체층 상에 배선 및/또는 금속 씨드층을 형성할 수 있다. 한 바람직한 실시예에서, 가열 단계는 상기 실리콘 표면 위에 금속 전구체의 일부(또는 실질적으로 전체 두께) 및 금속 전구체와 접촉하고 있는 실리콘 표면 아래 실리콘층의 적어도 일부로부터 금속 규화물을 형성한다. 금속 전구체를 가열하기 위한 온도 범위는 일반적으로 약 100°C 내지 약 1000°C이고, 이런 가열은 약 1초 내지 약 24시간의 시간 동안 수행될 수 있다. 원한다면, 금속 규화물 컨택트와 금속 배선의 저항은 다른 기체 분위기에서 어닐링(예를 들어, 성형 기체에서 어닐링하는 대신, N₂, O₂, N₂O, NO, O₃ 등, 단독 또는 조합에서 어닐링)에 의해 쉽게 조절될 수 있다. 이 경우에, 저항값들은 전체 웨이퍼 또는 기판 표면에 걸쳐 모든 규화물 컨택트에 대해 동일하다. 유사하게는, 금속 전구체 잉크로 제조된 모든 금속 배선들의 저항값들은 일반적으로 전체 웨이퍼 또는 기판 표면에 걸쳐 동일하다.

[0007] 선택적으로, 금속 배선 및 금속 규화물 컨택트의 상이한 저항률(resistivity)은 인쇄 금속의 두께를 변화시킴으로써 단일 기판상에 성취될 수 있다. 예를 들어, 두꺼운 금속 또는 더 많은 금속 잉크(예를 들어, 방울수, 방울 부피 또는 잉크부피를 증가 및/또는 특정 지역에서 방울들 사이의 거리를 감소시킴으로써 성취된다)는 낮은 저항이 바람직한 지역들에 인쇄될 수 있다. 이 기술은 동일한 공정 단계(예를 들어, 인쇄) 동안 다른 두께의 물질이 기판 위에 놓일 수 있다는 점에서 통상적인 공정에 비해 상당한 장점을 가진다. 선택적으로, 인쇄된 잉크의 접촉각은 (예를 들어, 기판의 표면 에너지를 국소적으로 변화시키는데 적합한 전인쇄 단계(preprinting step)를 사용하여) 국소적으로 변할 수 있어서 상이한 금속 높이 및 라인 폭이 동일한 인쇄 단계로 성취될 수 있다.

[0008] 한 변형예에서, 소량의 금속(또는 더 얇은 금속)은 컨택트들로 의도된 지역 위에 인쇄될 수 있고, 금속은 실리콘의 전체 두께를 소비하지 않는 반면 더 많은 양의 금속(더 두꺼운 금속)이 비교적 낮은 시트 저항을 유지하도록 배선에 대해 인쇄될 수 있다. 또한, 소스, 드레인 및/또는 게이트 컨택트의 컨택트 저항은 각 지역에 인쇄된 금속의 두께를 제어함으로써 독립적으로 제어될 수 있다. 만일 규화 어닐링이 수행되어 금속 전구체가, 소정의 컨택트 지역을 위해, 실리콘과 반응하는 동안 완전히 소비되는 경우, 컨택트 저항은 금속 규화물을 두께에 의해 본질적으로 또는 실질적으로 전체적으로 결정된다.

[0009] 바람직한 경우, 폴리실리콘 게이트의 게이트 저항은 게이트 위에 금속 전구체 잉크를 인쇄하고 규화물을 형성하고 동시에 소스 및 드레인 컨택트를 형성함으로써 낮출 수 있다. 동일한 방식으로, 게이트 저항은 인쇄된 금속의 두께 및/또는 패턴을 변화시킴으로써 웨이퍼를 가로질러 변할 수 있다. 선택적으로, 폴리실리콘 게이트는 규화 반응 동안 폴리실리콘을 완전히 소비하는데 충분하게 큰 두께를 가진 금속 전구체를 인쇄함으로써 금속 규화물을 완전히 변형될 수 있다. 이런 방식으로, 한 기판상에 여러 게이트 일 함수는 단일 인쇄 단계로 성취될 수 있다.

발명의 내용

해결하려는 과제

[0010]

일부 실시예들에서, 하나 이상의 비아홀을 구비한 유전체층은 규화물-형성 금속의 잉크를 선택적으로 증착하기 이전에 실리콘층 상에 선택적으로 형성될 수 있다. 바람직한 실시예들에서, 유전체층은 스핀-온 도핑 유리 제제를 포함할 수 있다. 또한, 만일 금속 전구체 잉크가 스핀-온 도핑된 유리 제제가 형성(예를 들어, 인쇄)되기 직전 또는 직후 증착(예를 들어, 인쇄)되는 경우, 도편트 활성화 및 금속 규화물 형성 공정은 단일 어닐링 단계로 합쳐지는 것이 유리할 수 있다.

[0011]

다른 실시예에서, 도핑된 유전체 잉크 패턴은 기판상에 인쇄되고 실리콘 특징부(예를 들어, 실리콘 아일랜드)는 그 위에 인쇄될 수 있다. 금속 전구체 잉크는 실리콘 특징부 상에 직접 인쇄될 수 있고 상기한 대로 금속 규화물 컨택트를 형성하기 위해 어닐링될 수 있다. 실리콘 특징부는, 별개의 어닐링 단계 또는 금속 규화물을 형성하는 어닐링 단계에서 바람직하게는 전체 두께를 통해, 도핑된 유전체 잉크로부터 실리콘 특징부 속으로 도편트를 확산시킴으로써 연속적으로 도핑될 수 있다. 각각의 경우에, 금속 규화물은 실리콘 특징부의 전체 두께를 소비하지 않는 것이 바람직하다.

과제의 해결 수단

[0012]

본 발명의 한 중요한 태양은 두 층을 위한 금속 전구체 잉크를 사용하여 단일 인쇄 단계에서 컨택트와 국소 배선의 제조에 관한 것이다. 이 방법은 공정 단계의 수를 줄이고 어떠한 식각 단계를 필요로 하지 않는다. 다른 태양에서, 다른 금속들이 컨택트와 배선 라인에 바람직한 경우, 인쇄된 금속 패턴(예를 들어, Pd)은 다른 금속들(예를 들어, Ag, Cu, Ni 등)의 무전해 증착 또는 전해 도금을 위한 씨드층뿐만 아니라 컨택트 지역에서 금속 규화물(예를 들어, Pd₂Si)을 형성하기 위한 씨드층으로 사용될 수 있다. 금속의 두께 및 규화물을 형성하기 위한 경화 공정은 컨택트 지역에서 금속의 전부가 소비되지 않으면서, 우수한 규화물 컨택트들이 형성되도록 선택되거나 결정될 수 있다. 추가 어닐링 단계(예를 들어, 포스트-도금)는 규화물과 도금된 금속 사이에 전기 컨택트를 더 향상시킬 수 있다. 이 공정에서, (예를 들어, 금속 및 금속 규화물층을 형성하는) 인쇄되고 경화된 금속 전구체 막은 연속적일 필요가 없다. 또한, 금속 전구체 잉크를 인쇄하기 이전에 유전체층에 사용된 세정 및/또는 거칠게 하는 단계는 유전체층에 대한 도금된 금속의 부착은 향상될 수 있다.

[0013]

다양한 실시예들에서, 벌크 도전성 금속(bulk conductive metal)은 금속 전구체 잉크를 인쇄, 건조 및 어닐링한 후 잔존하는 임의의 금속상에 선택적으로 증착될 수 있다. 벌크 도전성 금속은 (즉, 잉크로부터) 잔존하는 금속 위에 벌크 도전성 금속을 도금함으로써 증착될 수 있다. 벌크 도전성 금속의 도금은 무전해 도금 또는 전해 도금을 포함할 수 있고, 벌크 도전성 금속은 Al, Ag, Au, Cu, Pd, Pt, Ni, Cr, Mo, W, Ru, Rh 및 이의 합금 및 혼합물로 이루어진 그룹으로부터 선택될 수 있다. 다른 실시예들에서, 벌크 도전성 금속은 벌크 도전성 금속의 하나 이상의 물리적 및/또는 전기적 특성들을 향상시키기 위해 (선택적으로, 규화물 형성과 같은 단계에서) 추가로 어닐링될 수 있다.

[0014]

다른 실시예들에서, 노출된 실리콘 표면은 규화물-형성 금속 잉크를 증착하기 이전에 변화(예를 들어, 세정)될 수 있다. 다른 실시예들에서, 존재한다면 그 위에 임의의 고유 산화물을 포함하는 노출된 실리콘 표면 및 유전체층은 금속 전구체 잉크를 선택적으로 증착하기 이전에 식각될 수 있다. 다른 변형예에서, 노출된 실리콘 표면 및/또는 유전체층의 표면 에너지는 전구체 잉크를 선택적으로 증착하기 이전에 변형될 수 있다. 자연적으로, 방법(들)은 노출된 실리콘 표면을 제공하기 위해, 기판상에 실리콘층을 형성하는 단계를 더 포함할 수 있다.

[0015]

본 발명은 또한 기판상에 패턴화되고 도핑된 유전체를 먼저 형성하여 트랜지스터와 같은 전기 소자를 제조하는 방법에 관한 것으로, 패턴화되고 도핑된 유전체는 도편트를 포함한다. 패턴화되고 도핑된 유전체를 형성한 후, 반도체층은 패턴화되고 도핑된 유전체에서 인접한 구조들의 적어도 일부 상에 및 인접한 구조들 사이에 존재하는 간격에 형성된다. 그 후에 게이트 유전체는 적어도 간격을 덮는 반도체층 상에 형성되고, 도편트는 패턴화되고 도핑된 유전체의 확산 거리 내에서 반도체층의 지역 속으로 확산한다. 그 후에 게이트는 게이트 유전체 상에 형성된다. 선택적으로, 도편트는 게이트 유전체가 형성되기 이전에 반도체층 속으로 확산할 수 있다. 그런 후에, 금속 규화물 컨택트들(및 선택적으로 금속 배선들)을 형성하는 방법은 전기 소자를 제조하기 위해 수행될 수 있다.

[0016]

본 발명의 다른 태양들은 다른 전기 소자들(예를 들어, 다이오드) 및 이를 제조하는 방법에 관한 것이다. 한 일 반적인 실시예에서, 다이오드(또는 다른 전기 소자, 예컨대 커패시터, 레지스터 또는 트랜지스터)는 실리콘 표

면 및 실리콘 표면의 적어도 일부로서 금속 규화물층을 구비한 기판을 포함할 수 있다. 금속 규화물층과 이어진 금속 씨드층은 기판 위에 또는 기판 상에(on or over) 패턴으로(예를 들어, 배선층의 패턴으로) 형성된다. 일부 실시예들에서, (상기한 대로, 도핑될 수 있는) 유전체층은 실리콘 표면에 인접한 기판상에 존재할 수 있고 그 위에 씨드층이 형성될 수 있다. 도전성 금속은 벌크 도전성 금속층(예를 들어, 배선)을 형성하기 위해 금속 규화물층 및 금속 씨드층 상에 도금될 수 있다. 배선이 트랜지스터의 소스/드레인 터미널과 트랜지스터의 게이트를 연결할 때, 이렇게 형성된 소자는 일반적으로 다이오드이다. 배선이 트랜지스터의 두 개의 소스/드레인 터미널을 서로 연결할 때, 이렇게 형성된 소자는 일반적으로 커페시터이다. 배선이 트랜지스터의 한 소스/드레인 터미널을 입력 신호와 연결하고, 트랜지스터의 다른 소스/드레인 터미널을 출력 신호와 연결하고 트랜지스터의 게이트를 전원과 연결할 때, 이렇게 형성된 소자는 일반적으로 레지스터이다.

[0017] 두 번째 일반적인 실시예에서, 다이오드(또는 다른 소자)는 기판의 실리콘 표면상의 게이트 유전체 위에 또는 게이트 유전체 상에(on or over) 게이트를 구비한다. 도편트를 포함하는 패턴화되고, 도핑된 유전체는 실리콘층 또는 실리콘 표면을 제공하는 특징부 상의 지역에 존재할 수 있고 실리콘 표면을 노출하는 지역에 실질적으로 없을 수 있다. 이런 소자는 게이트 상에 및 실리콘 표면에 또는 실리콘 표면 위에(in or on) 소스/드레인 터미널의 적어도 일부 상에 금속 규화물층을 구비한다. 금속 배선 또는 씨드층은 게이트 상에 금속 규화물층 및 소스/드레인 터미널의 적어도 일부 상에 금속 규화물층과 연결된 기판 위에 또는 기판 상에(on or over) 있어서, 금속 배선 경우에 다이오드를 형성한다. 금속 씨드층(상기한 대로) 상에 벌크 도전성 층을 도금하면 다이오드를 형성한다. 다른 소자들을 형성하기 위한 (예를 들어, 이전 문장에 기술되고 당업자의 능력 내에 있는) 다른 변형 예들이 고려된다.

[0018] 상기 다이오드 및 전기소자 및 이의 변형에는 기판상에 노출된 실리콘 표면상에 게이트 유전체를 형성하고, 게이트 유전체 상에 게이트를 형성함으로써 제조될 수 있다. 다음으로, 패턴화되고 도핑된 유전체는 (노출되거나 그 위에 게이트 유전체의 노출된 부분을 가질 수 있는) 실리콘 표면의 적어도 일부 상에 형성될 수 있고 도편트는 패턴화되고 도핑된 유전체의 확산 거리 내에서 실리콘의 지역 속으로 확산한다. 규화물-형성 금속을 함유하는 잉크는 실리콘 표면의 적어도 노출된(도핑되거나 도핑되지 않은) 부분 상에 인쇄된다. 금속 전구체 잉크는 규화물-형성 금속 전구체를 형성하기 위해 뒤이어 건조된다. 금속 전구체 및 이와 접촉하는 실리콘 표면은 금속 전구체로 금속 막 또는 층을 형성하기 이전 또는 이후, 금속 규화물층을 형성하기 위해 충분히 가열된다. 사실상, 금속 전구체로 금속 막 또는 층을 형성하는 것은 국소 배선이 만들어지지 않은 경우에는 필요하지 않다. 한 변형 예에서, 패턴화되고 도핑된 유전체는 하나 이상의 금속 규화물-함유 띠가 게이트를 실리콘의 도핑되거나 도핑되지 않은 지역에 연결하기 위한 공간 또는 개구를 구비한 도핑된 스판-온 유전체를 포함한다. 게다가, 다양한 실시예는 기판 위에 또는 기판 상에(on or over) 금속 씨드층을 형성하는 단계를 더 포함하며, 금속 씨드층은 금속 규화물층과 이어진다. 이런 실시예들에서, 금속 씨드층 및/또는 금속 전구체 잉크는 Pd를 포함하는 것이 바람직하다.

[0019] 본 발명의 다른 태양에서, 전기 소자가 개시된다. 일반적으로, 전기 소자는 그 위에 실리콘 표면을 구비한 기판, 실리콘 표면의 일부를 노출하는 기판상에 비아홀을 구비한 유전체 물질, 실리콘 표면의 노출된 부분 상의 비아홀에 금속 규화물층 및 금속 규화물층과 이어지고 배선의 패턴인 유전체 물질 상의 금속 씨드층을 포함한다. 소자는 금속 규화물층 및 금속 씨드층 상에 배선을 형성하는 도금된 도전성 금속을 더 포함할 수 있다. 다양한 실시예들에서, 금속 씨드층은 Pd, Pt, Ni, Cr, Mo, W, Ru, Rh, Ti 및 이의 합금 및 혼합물로 이루어진 그룹으로부터 선택되고, 금속 씨드층은 유전체 물질 상에 인쇄될 수 있다. 다양한 실시예들에서, 도전성 금속은 Al, Ag, Au, Cu, Pd, Pt, Ni, Cr, Mo, W, Ru, Rh 및 이의 합금 및 혼합물로 이루어진 그룹으로부터 선택된다.

[0020] 예시적 실시예들에서, 규화물-형성 금속을 함유하는 잉크는 반도체층의 노출(도핑되거나 도핑되지 않은) 부분 상에 인쇄될 수 있다. 규화물-형성 금속 전구체를 형성하기 위해 잉크를 건조한 후, 금속 전구체 및 전구체와 접촉하고 있는 실리콘 표면은 금속 규화물층을 형성하기 위해 충분히 가열될 수 있다. 일부 변형 예들에서, 금속 배선 전구체는 금속 규화물층을 형성하는 반도체층의 일부와 인접하고 이어진 기판의 지역들 상에 규화물-형성 금속 잉크로 인쇄될 수 있고, 금속 배선은 금속 규화물층 및 금속 배선 전구체로 형성된 금속상에 도금될 수 있다.

[0021] 본 발명은 금속 전구체 잉크로부터 규화물을 형성함으로써 전자 소자들에 실리콘층들(및 선택적으로 국소 배선들)에 대한 컨택트들을 제조하는 방법이 제공된다. 본 발명은 또한 이런 컨택트들 및/또는 국소 배선들을 포함하는 다이오드들 및 트랜지스터들과 같은 전자 소자들과 이런 소자들을 제조하는 방법을 제공한다. 컨택트들과 국소 배선들을 동시에 형성하기 위해서 규화물-형성 금속을 함유하는 잉크를 인쇄함으로써, 공정 단계들의 수가

감소될 수 있고 식각에 대한 요구가 감소되거나 제거될 수 있다. 본 발명의 이런 및 다른 장점들은 아래의 바람직한 실시예들의 상세한 설명으로부터 명백해 질 것이다.

발명의 효과

[0022] 본 발명은 금속 규화물을 선택적으로 증착하여 컨택트들을 형성하고 뒤이어 금속 규화물을 형성하고 선택적으로 동일한 선택적 증착 공정을 사용하여 국소 배선들을 형성하는 방법을 제공한다. 또한 본 발명은 이런 인쇄된 컨택트들 및/또는 국소 배선들로 제조된 다이오드 및/또는 트랜지스터와 같은 전기 소자들 및 이런 소자들의 제조방법에 관한 것이다. 컨택트들 뿐만 아니라 국소 배선들을 위한 금속 잉크를 동시에 인쇄하면 통상적인 공정들의 단점을 감소 또는 제거한다. 예를 들어, 이 방법은 유리하게 인쇄 단계를 감소시키고 어떠한 식각 단계를 필요로 하지 않는다. 본 발명의 변형예들은 다른 금속이 배선 라인에 바람직한 경우에 응통성을 제공한다. 이런 상황들에서, 인쇄된 금속은 무전해 증착 또는 다른 금속들을 위한 씨드뿐만 아니라 컨택트 영역에서 금속 규화물을 위한 씨드로 작용할 수 있다.

도면의 간단한 설명

[0023] 도 1a-1c는 본 발명에 따른 금속 규화물 컨택트의 형성을 나타내는 단면도이다.

도 2a-2e는 인쇄되고 경화된 금속 전구체 막이 불연속적일 때 금속 컨택트들 및/또는 배선들을 형성하기 위한 방법을 나타내는 평면도이다.

도 3a-3d는 금속 규화물이 (선택적으로) 응집되고 컨택트를 형성하고 실리콘아래로부터 도핑될 때 금속 컨택트들을 형성하는 방법을 도시하는 평면도이다.

도 3e는 실리콘이 아래로부터 도핑될 때 도 3a-3d에 따라 제조된 소자의 단면도이다.

도 4a 및 4b는 본 발명에 따른 금속 규화물 배선의 형성을 나타내는 단면도이다.

도 5a-5h는 본 발명의 방법에 따라 제조된 트랜지스터의 단면도이다.

도 6a-6c는 본 방법의 발명에 따라 제조된 다이오드를 나타내는 평면도이다.

도 7a 및 7b는 본 발명에 따른 금속 컨택트 및/또는 배선으로 제조된 전기 소자의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 본 발명의 바람직한 실시예들에 대한 상세한 설명을 참조할 것이다. 본 발명은 바람직한 실시예들과 함께 기술될 것이지만, 실시예들은 본 발명을 이런 실시예들에 제한하려는 것은 아니라고 이해될 것이다. 반대로, 본 발명은 첨부된 청구항들에 의해 정의된 대로 본 발명의 취지와 범위 내에 포함될 수 있는 대안물, 변형물 및 균등물을 포함한다. 게다가, 본 발명의 상세한 설명에서, 여러 구체적인 상세내용은 본 발명의 완전한 이해를 제공하도록 설명된다. 그러나, 본 발명이 이런 구체적인 상세내용 없이 실시될 수 있다는 것은 당업자에게 쉽게 명백할 것이다. 다른 경우, 주지된 방법, 절차, 구성요소, 및 회로는 본 발명의 태양을 불필요하게 모호하게 하지 않도록 상세하게 기술되지 않았다. 또한, 본 발명에 개시된 가능한 치환 및 조합은 본 발명을 제한하기 위해 의도되는 것은 아님이 이해되어야 한다. 구체적으로, 일치하지 않는 변형물들은 상기한 대로 혼합되고 일치될 수 있다.

[0025] 본 발명에서, "증착하다(deposit)"(및 이의 문법적 변형물)란 용어는 블랭킷 증착(예를 들어, CVD 및 PVD), (스핀) 코팅 및 인쇄를 포함하는 모든 형태의 증착을 포함한다. 기판 상에 금속-함유 잉크를 인쇄하는 방법의 다양한 실시예에서, 인쇄는 기판 상에 금속 제제를 잉크제팅, 그라비 인쇄, 오프셋 인쇄, 플렉소그래픽 인쇄, 스프레이-코팅, 슬릿 코팅, 압출 코팅, 메니스커스 코팅, 마이크로스포팅 및/또는 웨-코팅하는 것을 포함할 수 있다. 또한, 편리함과 간편함을 위해, "일부", "부분" 및 "지역"이란 용어는 상호교환해서 사용될 수 있으나 이런 용어들은 당업계에 승인된 의미를 일반적으로 제공한다. 또한, 사용의 내용으로부터 달리 나타내지 않는 한, "주지된", "고정된", "소정의", "특정한" 및 "미리 정해진"이란 용어는 일반적으로 이론적으로 변할 수 있으나 통상적으로 미리 고정되고 이후 사용시에 변하지 않는 값, 양, 변수, 억제, 조건, 상태, 공정, 절차, 방법, 실시 또는 이의 조합을 의미한다. 또한, "(도핑된)"이란 용어는 도핑되거나 도핑되지 않은 금속을 의미한다.

[0026] 편리함과 간편함을 위해서, "결합된"("coupled to"), "연결된"("connected to") 및 "연락된"("in communication with")(및 이의 변형 형태)이라는 용어는 내용에서 명확하게 다르게 나타내지 않는 한, 직접 또

는 간접의 결합, 연결, 또는 연락을 의미한다. 일반적으로 이런 용어들은 본 발명에서 혼용되며, 이런 용어가 사용되는 곳이 어디든, 내용에서 명확하게 다르게 나타내지 않는 한, 다른 용어들을 포함한다. 게다가, 특정 물질과 관련해서, "필수적으로 이루어진"이란 문구는 소정의 도편트가 첨가된 물질(또는 이런 물질로 형성된 소자 또는 구조)에 원하는 (및 잠재적으로 매우 다른) 물리적 및/또는 전기적 특성을 제공할 수 있는 의도적으로 첨가된 도편트를 배제하지 않는다.

[0027] "(사이클로)실란"이란 용어는 (1) 실리콘 및/또는 게르마늄 및 (2) 수소로 필수적으로 이루어지고 하나 이상의 고리를 포함할 수 있는 화합물들 또는 화합물들의 혼합물을 의미한다. "이형(사이클로)실란"이란 용어는 (1) 실리콘 및/또는 게르마늄 및 (2) 수소, 및 (3) 통상적인 탄화수소, 실란 또는 게르마늄 치환체에 의해 치환될 수 있는 B, P, As 또는 Sb와 같은 도편트 원자로 필수적으로 이루어지고 하나 이상의 고리를 포함할 수 있는 화합물들 또는 화합물들의 혼합물을 의미한다. 또한, 구조 또는 특징부의 "주요 표면"은 구조 또는 특징부의 가장 큰 축에 의해 적어도 부분적으로 형성된 표면이다(예를 들어, 만일 구조가 둥글고 이의 두께보다 더 큰 반지를 갖는 경우, 방사상 표면[들]은 구조의 주요 표면이나; 구조가 정사각형, 직사각형 또는 타원형인 경우, 구조의 주요 표면은 통상적으로 두 개의 가장 큰 축[일반적으로 길이와 폭]에 의해 형성된 표면이다). 또한, "금속 전구체 잉크", "전구체 잉크", "금속 잉크" 및 "잉크"는 규화물-형성 금속의 잉크를 의미하기 위해 상호교환해서 사용될 수 있다. "금속 전구체" 및/또는 "전구체"라는 용어는 규화물-형성 금속 전구체를 의미하기 위해 상호교환해서 사용될 수 있다. 본 발명의 다양한 실시예들에 따라 제조될 수 있는 전기 소자들의 예는 트랜지스터, 다이오드, 커패시터, 인덕터 및 레지스터를 포함하나 이에 제한되지 않는다.

[0028] 본 발명에서, 규화물-형성 금속으로서 팔라듐을 사용하는 것이 특히 유리한데, 이는 팔라듐 규화물은 실리콘 표면상에 존재할 수 있는 고유 또는 화학 산화물의 존재에서도 형성될 수 있기 때문이다. 이것은 (도평되거나 도핑되지 않은) 실리콘과 배선 금속들 사이의 옴 컨택트와 같은 구조들을 형성하는데 중요하고, 실리콘 표면상에 형성된 고유 또는 화학 산화물들은 간접하여 컨택트의 불충분한 전도도 및/또는 감소된 성능을 일으킬 수 있다.

[0029] 본 발명의 실시예들은 단일 인쇄 단계에서 컨택트들 및/또는 국소 배선들을 위한 금속 잉크를 증착(예를 들어, 인쇄)하는 장점을 제공하다. 이것은 당업계에서 공지된 방법들에 의해 통상적으로 필요한 증착 및 다른 공정 단계의 수를 감소시킨다. 또한, 본 발명의 많은 실시예들은 식각을 필요로 하지 않아서, 상대적으로 고가의 물질들이 식각될 때 발생하는 상당량의 폐기물을 감소시킬 수 있다.

[0030] 본 발명은, 다양한 태양에서, 예시적 실시예들에 대한 아래의 더 상세한 내용에서 설명될 것이다.

실리콘 컨택트 및/또는 배선을 제조하는 예시적 방법

[0032] 본 발명의 제 1 태양은 실리콘 컨택트 및/또는 배선을 제조하는 방법에 관한 것이다. 도 1a-1c는 실리콘 컨택트를 형성하기 위한 예시적 방법을 설명한다. 도 1a는 (예를 들어, 유전체층(200)에 비아홀 또는 컨택트홀(300)을 형성함으로써) 노출된 부분을 가진 실리콘 표면(100)을 도시한다. 금속 전구체 잉크(예를 들어, 규화물-형성 금속의 전구체를 포함)는 노출된 실리콘 표면(100) 및 유전체층(200) 상에 선택적으로 증착된다. 한 바람직한 실시예에서, 선택적인 증착은 인쇄(예를 들어, 잉크젯 인쇄)를 포함한다. 임의적으로, 잉크는 노출된 실리콘 표면(100) 상에 주로 인쇄되어, 유전체층(200)의 단지 비교적 적은 인접 영역과 겹쳐진다.

[0033] 일반적으로, 금속 전구체 잉크 제제는 그룹 4, 5, 6, 7, 8, 9, 10, 11 또는 12 금속염 또는 금속 칙물, 제제를 코팅 및/또는 인쇄를 촉진하는데 적합한 하나 이상의 용매 및 선택적으로 금속염 또는 금속 칙물을 단일 금속 또는 이의 합금으로 환원시키자마자 기체 또는 휘발성 부산물을 형성하는 하나 이상의 첨가제로 필수적으로 이루어질 수 있다. 다양한 실시예들에서, 규화물-형성 금속은 Pd, Pt, Ni, Cr, Mo, W, Ru, Rh, Ti 및 이의 합금 및 혼합물로 이루어진 그룹으로부터 선택된다. 바람직한 실시예들에서, 규화물-형성 금속은 Pd를 포함하거나 Pd로 필수적으로 이루어진다. 예를 들어, Pd 잉크는 노출된 실리콘 표면 위에 또는 실리콘 표면 상에(onto or over) 인쇄될 수 있고, 트랜지스터 컨택트를 형성하기 위해 어닐링될 수 있다. 선택적으로, 환원된 금속 전구체로부터의 금속은 국소 배선 또는 별크 금속 배선을 도금하기 위한 씨드층을 형성하여, 단일 인쇄 또는 패터닝 단계에서 다른 소자들의 동일한 것의 터미널들 사이에 전기 연결의 형성을 촉진한다. 이런 실시예들에서, 금속 전구체 잉크는 금속 나노입자들(예를 들어, Ag) 및/또는 하나 이상의 금속염, 금속 산화물, 및/또는 금속 칙물과 같은 별크 도체 전구체를 더 포함할 수 있다(예를 들어, 미국특허 제 6,878,184 호, 제 7,084,276 호, 제 7,259,100 호, 제 7,259,101 호 및 제 7,294,449 호 참조).

[0034] 그 후에 금속 전구체 잉크는 제제에 존재하는 임의의 용매(들) 및/또는 첨가제들을 제거하기 위해 건조되어, 도 1b에 도시된 대로 금속 전구체 패턴(400)을 형성한다. 한 예시적 실시예에서, 건조 공정은 용매(들)의 전부를

실질적으로 제거하는데 충분한 온도 및/또는 시간 동안 코팅되거나 인쇄된 금속 전구체 잉크를 가열하는 단계를 포함한다. 다른 실시예들에서, 건조 공정은 열을 가하거나 가하지 않고 진공하에서 용매(들)를 제거하는 단계를 포함한다. 임의의 이런 실시예들에서, 온도는 30°C 내지 300°C, 50°C 내지 200°C 또는 그 안의 임의의 값 또는 값들의 범위일 수 있다. 시간의 길이는 코팅되거나 인쇄된 금속 전구체 잉크로부터 용매의 실질적으로 전부 및/또는 첨가제(들)의 실질적으로 전부를 제거하는데 충분할 수 있다(예를 들어, 1초 내지 4시간, 1분 내지 120분 또는 그 안의 값들의 임의의 다른 범위). 진공은 1mtorr 내지 300torr, 100mtorr 내지 100torr, 1-20torr 또는 그 안의 값들의 임의의 다른 범위일 수 있고 진공 펌프, 흡입 장치, 벤투리관 등에 의해 가해질 수 있다.

[0035] 건조 후, 규화물-형성 금속 전구체는 환원되어 건조된 금속 전구체로부터 금속 총(예를 들어, 도 1c의 총(410))을 형성할 수 있다. 예를 들어, 금속-함유 전구체 막은 환원제에 노출되고 금속 전구체 및/또는 기판에 따라 주위 온도보다 큰 온도로부터 약 100-400°C까지의 온도 범위에서 가열될 수 있다. 그러나, 배선이 형성되지 않은 경우, 금속 전구체는 환원될 필요가 없다. 금속 전구체 잉크를 위한 동일하거나 유사한 용매는 금속 전구체가 환원되지 않을 때 금속 규화물로부터 반응되지 않은 금속 전구체를 선택적으로 제거할 수 있다.

[0036] 규화물-형성 금속 전구체(또는 금속, 금속 전구체가 먼저 환원되지 않는 경우) 및 실리콘 표면은 도 1c에 도시된 실리콘 컨택트(예를 들어, 금속 규화물)(500)을 형성하는데 충분한 시간 동안 제 1 온도로 가열된다. 일부 실시예들에서, 고유 산화물(도시되지 않음)은 잉크의 선택적 증착 이전에 노출된 실리콘 표면상에 있을 수 있다. 다양한 실시예들에서, 별크 도전성 금속(도시되지 않음)은 별크 도전성 금속으로부터 금속 배선을 형성하기 위한 씨드층을 제공하는 금속 전구체 잉크로부터의 환원된 금속(410) 상에 전해 또는 무전해 도금에 의해 선택적으로 증착될 수 있다.

[0037] 예시적 실시예들에서, 규화물-형성 금속을 증착하는 단계는 용매에 규화물-형성 금속의 전구체를 포함하는 잉크를 인쇄하는 것을 포함한다. 인쇄는 기판상에 금속 제제를 잉크제팅, 그라비 인쇄, 오프셋 인쇄, 스크린 인쇄 또는 플렉소그래픽 인쇄, 스프레이-코팅, 슬럿 코팅, 압출 코팅, 메니스커스 코팅, 마이크로스포팅 및/또는 펜-코팅하는 것을 포함할 수 있다. 그러나, 잉크젯 인쇄가 바람직하다.

[0038] 도 1a는 유전체층(200)에 있는 비아홀 또는 개구(300)를 도시하며 여기서 실리콘 표면(100)이 노출되고, 이 속으로 잉크가 인쇄될 수 있다. 일부 실시예들에서, 잉크는 배선의 패턴과 상응하는 패턴으로 유전체(200) 상에 인쇄된다. 한 예에서, 배선은 제 1 소자의 하나 이상의 터미널을 동일한 소자 또는 인접한 소자의 하나 이상의 터미널에 전기적으로 연결할 수 있는 국소 배선이다. 비아홀 또는 개구는 약 1 마이크론 내지 약 100 마이크론의 폭 또는 그 안의 임의의 폭 또는 폭들의 다른 범위를 가질 수 있다. 바람직한 실시예들에서, 비아홀 폭은 약 2 마이크론 내지 약 50 마이크론이다.

[0039] 단지 금속 규화물 컨택트들만 바람직한 특정 실시예들의 경우, 금속 전구체 잉크는 노출된 실리콘의 소정의 영역에만 인쇄된다. (예를 들어, 실리콘을 둘러싸는 다른 금속들의 표면[들]에 대한) 노출된 실리콘 표면의 선택적 습윤은 둘레 표면(들)의 상대적 표면 에너지를 변화시키는 공정을 사용하여 성취될 수 있다. 한 예에서, 노출된 실리콘 표면 및 존재하는 경우, 그 위의 임의의 고유 산화물은 금속 전구체 잉크를 선택적으로 증착하기 이전에 수성 HF를 포함하는 식각 용액에서 식각될 수 있다. 바람직하게는, 식각 용액은 회석된 수성 HF 또는 대안에서, 완충된 산화물 식각 용액(예를 들어, 수성 HF/NH₄F)을 포함한다. 회석되고, 농축된 및/또는 완충된 수성 HF에서 기판 표면을 식각함으로써, 노출된 실리콘의 표면 에너지는 변할 수 있고 금속 전구체 잉크는 (예를 들어, 실리콘 아일랜드 및 게이트 상에) 노출된 실리콘 영역을 선택적으로 습윤할 수 있어서, 변형되지 않은 지역(예를 들어, 유전체층 및 임의의 필드 산화물)이 실질적으로 덮이지 않게 한다. 선택적 습윤의 이 방법은 금속 전구체 잉크가 노출된 실리콘 표면들을 덮어서, 금속이 실리콘과 접촉하게 될 것을 보장한다(예를 들어, 도핑 소스는 도편트를 포함하는 인접 유전체 물질인 도핑된 실리콘).

[0040] 두 번째 예에서, 기판 표면은, 예를 들어, 다른 것에 대한 하나의 노출된 표면(예를 들어, 산화물[들]에 대한 실리콘)의 표면 에너지를 선택적으로 변화시키는데 충분한 시간 동안 플루오르하탄소(예를 들어, CF₄, C₂F₆ 등) 및 산소(예를 들어, O₂, O₃, NO₂) 기체의 조합을 사용하는 플라즈마 처리에 의해 변형될 수 있다. 컨택트들을 형성하기 위한 이런 방법(예를 들어, 선택적 습윤에 의함)은 하부 실리콘의 도핑 수준에 의해 영향을 받지 않고 따라서 하부 실리콘이 도핑되지 않거나 비교적 낮은 도핑 수준을 가질 때 문제가 될 수 있는 무전해 증착에 비해 유리할 수 있다. 이런 선별적 습윤 방법은 인쇄 정렬과 덮개층에 완화된 구속력 허용한다는 것을 알아야 한다. 이런 공정 흐름에서, 배선을 위한 금속 잉크(예를 들어 Ag)는 금속 전구체 잉크로부터 금속 위에 인쇄될 수 있고 규화 및 금속 잉크 경화 단계는 하나의 어닐링 단계로 혼합될 수 있다.

[0041]

다른 실시예들과 위에서 부분적으로 논의한 대로, 노출된 실리콘 표면 및/또는 유전체층의 표면 에너지는 금속 전구체 잉크를 선택적으로 증착하기 이전에 변형될 수 있다. 이런 표면 에너지 변형은 노출된 실리콘 표면 및/또는 유전체층을 표면 에너지 변형제로 처리하는 단계를 포함할 수 있다. 기판 변형을 위해 사용된 특정 물질 및/또는 조성물은 표면이 변형되도록 만들어질 수 있다. 예를 들어, 헥사메틸다이실라잔(HMDS)과 같은 실라잔 및 트라이메틸실릴 클로라이드와 같은 실릴 헬라이드는 Si 또는 SiO_x 표면들과 반응하여 변형시킬 수 있다. 일부 변형예들에서, 유전체층만이 표면 에너지 변형제로 처리되는 반면, 다른 변형예들에서는 노출된 실리콘 표면 및 유전체층 모두가 처리된다. 한 바람직한 실시예에서, 유전체의 표면 에너지를 변형시키기 위한 (및 실리콘 표면들로부터 고유 산화물을 제거하기 위한) 물질은 수성 HF를 포함한다. 다른 바람직한 실시예(이전 단락 참조)에서, 기판 표면은 CF_4 및 O_2 를 사용하는 플라즈마 처리에 의해 변형(또는 추가로 변형)된다.

[0042]

선택적으로 또는 추가적으로, 노출된 실리콘 표면은 규화물-형성 금속의 잉크를 증착하기 이전에 세정될 수 있다. 이런 공정은 실리콘 표면상에서 금속 전구체 잉크의 낮은 접촉각을 만들 수 있다(예를 들어, 0도). 예시적 실시예들에서, 세정은 실리콘 표면을 산(예를 들어, 수성 HF 또는 H_2SO_4)으로 처리하고, 기판을 물로 세척하고, 및/또는 기판을 건조함으로써 성취된다. 세정, 세척 및/또는 건조 단계는 소정의 온도에서 소정의 시간 동안 수행될 수 있다. 예를 들어, 실리콘 또는 실리콘-산화물 표면은 수성 H_2O_2 또는 농축 수성 $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ 용액으로 10분 동안 세정될 수 있다. 선택적으로, 농축 수성 $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ 처리 단계 이후 10분 동안 수성 H_2O_2 세정 공정이 이루어질 수 있다.

[0043]

매질 접촉각(예를 들어, 5 내지 30도)은 HMDS 코팅 표면(예를 들어, 세정된 실리콘 및/또는 실리콘 산화물 표면상에 HMDS 코팅을 증착하여 제조)으로 시작하고 소정의 시간 동안 소정의 UV 전력에서 제어된 UV/오존 처리에 의해 HMDS 범위를 감소시킴으로써 생성될 수 있다. 대안에서, 제어된 O_2 /플라즈마 처리는 소정의 시간 동안 소저의 RF 전력으로 사용될 수 있다. HMDS를 부분적으로 또는 완전히 제거하기 위한 다른 방법은 HMD 코팅 표면을 소정의 시간 동안 H_2O_2 와 H_2SO_4 의 고온 바스로 처리하는 단계를 포함한다. 이런 예들은 제한적이지 않으며 표면 에너지 변형 공정과 표면 처리 단계에 필요한 대로 적합하게 될 수 있다.

[0044]

다양한 실시예들에서, 인쇄되고 경화된 금속 전구체 막(예를 들어, 금속 및/또는 금속 규화물 막)은 고온 어닐링 단계 동안 형성되는 경우(예를 들어, 성형 기체에서 650°C 보다 큰 온도에서) 불연속적일 수 있거나 덩어리가 될 수 있다. 불연속 규화물은 에지 컨택트를 형성하는데 사용되고 규화물 위에 인쇄된 금속 배선은 스핀-온 도편트(SOD) 모서리에 인접하게(또는 접촉해서) 인쇄될 수 있다. 이것이 금속 라인이 도핑된 실리콘 위에 있는 규화물과 접촉하는 것을 보장한다(도핑은 SOD로부터 발생).

[0045]

도 2a-2d는 금속 규화물층이 불연속적인 예시적 실시예를 도시한다. 도 2a에서, 실리콘 아일랜드(1000)는 기판 상에 인쇄되고 게이트 유전체(도시되지 않음)는, 일반적으로 열적 산화에 의해, 선택적으로 그 위에 게이트 유전체 전구체를 인쇄함으로써 형성된다. 또한, 게이트 유전체는 당업계에 주지된 CVD 방법(예를 들어, PECVD, HDPCVD 등)에 의해 증착될 수 있다. 실리콘 게이트(1200)는 게이트 유전체 위에 또는 게이트 유전체 상에(on or over) 인쇄된다. 스핀-온 도편트(1300)는 실리콘 아일랜드(1000) 및 실리콘 게이트(1200) 사이의 크로스오버의 임의의 영역을 포함하는 곳 위에 연속적으로 인쇄되나 실리콘 아일랜드(1000) 및 실리콘 게이트(1200)의 말단은 덮이지 않는다. 그런 후에, 스핀-온 도편트(1300)는 건조되고 경화된다. 다음으로, 스핀-온 도편트(1300)의 확산 거리와 접촉 및 확산 거리 내에서 접촉하는 실리콘 게이트(1200) 및 실리콘 아일랜드(1000)는 스핀-온 도편트(1300)를 어닐링함으로써 도핑된다. 노출되고, 도핑된 실리콘(1400)의 결과로 얻은 지역(즉, 스핀-온 도편트(1300)의 확산 거리 내)은 도 2b에 도시된다.

[0046]

금속 전구체 잉크(예를 들어, 규화물-형성 금속의 전구체 포함)는 도핑된 실리콘(1400)의 지역을 포함하는 실리콘 게이트(1200) 및 실리콘 아일랜드(1000)의 노출된 말단 상에 선택적으로 증착(예를 들어, 인쇄)되고, 바람직하게는 노출된 실리콘 표면들 및/또는 유전체층(1300)의 표면 에너지 변형이 이어진다. 금속 전구체 잉크는 건조되고 (필요한 경우) 환원되어 실리콘 게이트(1200)와 실리콘 아일랜드(1000)의 말단 상에 규화물-형성 금속을 형성하고, 그 후 규화물-형성 금속은 도 2c에 도시된 대로, 금속 규화물(1500)을 형성하도록 어닐링된다. 금속 규화물 컨택트들(1500)이 도핑된 유전체층의 모서리에 형성되는 경우, 이들은 "에지" 컨택트로 부를 수 있다. 도전성 금속 배선(1600)은 도 2d에 도시된 대로 스핀-온 도편트 모서리에 인접한(또는 접촉하거나 약간 겹침) 금속 규화물(1500) 상에 형성된다. 이것은 금속 규화물 컨택트들(1500) 및 금속 컨택트 패드(또는 배선의 말단)(1600) 사이의 최대 컨택트를 확보한다. 금속 규화물이 불연속적인 특정 실시예들에서, 도 2d에 도시된 대로, 도핑된 유전체 모서리까지 배선을 인쇄하는 것이 필요하다. 선택적으로, 금속 패드/배선(1600)은 스핀-온

도편트 모서리로부터 오프셋될 수 있으나 도 2e에 도시된 대로 규화되고 패턴화된 실리콘 특징부의 주위 표면의 실질적으로 모두와 접촉할 수 있다. 만일 연속이거나 불연속인 규화물이 스판-온 도편트 또는 다른 유전체층에 있는 개구에 형성되는 경우(도 2d 및 2e에 도시된 에지 컨택트와 반대), 금속 패드/배선은 컨택트 상에 간단히 인쇄될 수 있어서, 비아홀이 배선 금속에 의해 완전히 덮이게 한다. 이런 실시예 및 이의 변형에는 예시적 전기 소자에 대해 더욱 상세하게 아래에서 논의된다(도 7a 및 7b 참조).

[0047] 도 3a-3d는 금속 규화물이 덩어리가 될 수 있는(또는 불연속인) 예시적인 다른 실시예를 도시한다. 그러나, 덩어리화는 필수적이지 않다. 도 3a에서, 도핑된 유전체(2000)는 도핑된 실리콘이 바람직한 지역들에 인쇄된다. 도 3b에 도시된 대로, 실리콘 아일랜드(2200)는 일반적으로 실리콘 전구체 잉크를 인쇄하고, 잉크를 건조하고 실리콘 전구체를 경화시킴으로써 도핑된 유전체(2000)에 형성된다. 도편트는 도핑된 유전체(2000)로부터 고온 어닐링 단계 동안 실리콘 아일랜드(2200)의 실질적으로 전체 두께를 통해 확산된다. 게이트 유전체(2600)(도 3e 참조)는 본 발명에서 개시된 대로, 실리콘 아일랜드(2200)의 적어도 채널 지역 위에 또는 채널 지역 상에(on or over) 형성될 수 있다. 강하게 도핑된 실리콘 또는 금속 게이트(2300)가 형성되어, 도 3b에 도시된 대로, 실리콘 아일랜드(2200)의 채널 지역 위를 가로지른다. 규화물-형성 금속 전구체 잉크는 도 3c에 도시된 대로, 게이트가 인쇄되고, 건조되고, 경화되고 어닐링되어 금속 규화물 지역(2400)을 형성한 후 소스 및 드레인 지역상에 인쇄된다. 아일랜드(2200)가 아래로부터 도핑되기 때문에, 금속 잉크는 인쇄되어 실리콘 아일랜드(2200)의 소스와 드레인 지역을 따라 어디든지 규화물을 형성하는데 사용될 수 있어서, 이 방법은 도핑 실리콘의 비교적 큰 지역을 제공한다. 금속 배선(2500)은 도 3d에 도시된 대로, 금속 규화물(2400) 위에 또는 위의(on or above) 어디든지 형성될 수 있다. 이 방법은 도 2d에 도시된 대로, 스판-온 도편트 또는 충간 유전체의 모서리까지 인쇄되는 것이 필요하지 않기 때문에 금속 배선을 인쇄하는데 추가의 자유가 허용된다. 이 계획에 따라 제조된 소자의 횡단면도(축척으로 그리지 않음)는 도 3e에 도시된다.

[0048] 다른 공정 흐름에서, 금속 규화물은 연속적이다. 실리콘 아일랜드 또는 게이트를 인쇄하는 단계 동안, 예를 들어, 실리콘 잉크는 국소 배선이 바람직한 기판의 영역들에 인쇄될 수 있다. 실리콘 잉크를 제고하기 위한 적절한 제제와 방법은 하나 이상의 실란, 게르마늄, 실라게르마늄, 폴리실란, 폴리게르마늄, 폴리실라게르마늄 및/ 또는 실리콘 및/ 또는 게르마늄 나노입자들을 포함할 수 있다. (실리콘 아일랜드 또는 게이트와 동일한 시간에) 국소 배선을 실란 잉크를 인쇄한 후, 도핑된 유전체는 인쇄되거나 그 위에 형성될 수 있어서, 금속 전구체 잉크는 노출된 실리콘 지역상에 증착(예를 들어, 스판-코팅, 스프레이-코팅 또는 무전해 증착에 의함)될 수 있다. 규화 어닐링 후, 금속 규화물은 컨택트 영역뿐만 아니라 노출된 국소 배선 영역에 형성된다. 자연적으로, 이 "연속적 규화물" 공정은 도핑된 유전체층이 실리콘 아일랜드 이전에 형성되는 경우 효과가 있다.

[0049] 도 4a에 도시된 대로 다른 실시예들에서, 실리콘층(3300)은 노출된 실리콘 표면을 제공하기 위해 규화물-형성 금속(3400)의 잉크를 선택적으로 증착하기 이전에 (예를 들어, 노출된 기판(3100)의 일부분 또는 유전체 층(3200) 위에) 형성될 수 있다. 이런 실시예에서, 기판(3100)은 당업계에 공지된 임의의 적절한 물질로 구성될 수 있다. 예를 들어, 기판은 유리(예를 들어, 석영) 잿은 조각 또는 긴 조각, 플라스틱 및/ 또는 금속 호일, 잿은 조각 또는 두꺼운 조각(예를 들어, 알루미늄 또는 강철 호일; 폴리카보네이트, 폴리에틸렌 및 폴리프로필렌 에스터, 폴리이미드 등과 같은 플라스틱의 잿은 조각 또는 막), 실리콘 웨이퍼 등을 포함하나 이에 제한되지 않으며, 이의 전부는 그 위에 하나 이상의 버퍼층(폴리이미드 또는 다른 폴리머, 실리콘 및/ 또는 산화 알루미늄 등)을 더 포함할 수 있다. 실리콘층(3300)은 실리콘-함유 잉크를 인쇄하고 실리콘-함유 잉크를 건조하고 경화시켜 형성될 수 있다. 이런 실시예에서, 만일 금속 전구체 잉크에 의해 형성된 패턴이 배선 패턴을 포함하는 경우, 실리콘-함유 잉크는 배선 패턴을 포함하는 최초 패턴에 인쇄될 수 있다. 또한, 최초 패턴은 하나 이상의 실리콘 아일랜드를 더 포함할 수 있다. 실리콘층(3300)을 건조(및 선택적으로 경화)한 후, 금속 전구체 잉크는 그 위에 인쇄될 수 있고 금속 전구체 층(3400)을 형성하기 위해 건조될 수 있다. 선택적으로, 금속 전구체 층(3400)은 규화 이전에 금속 막을 형성하기 위해 환원될 수 있다. 도 4a의 구조는 금속 규화물 배선(예를 들어, 도 4b의 구조(3500))을 형성하는데 충분한 온도와 시간 동안 가열될 수 있다(예를 들어, 어닐링).

[0050] 바람직한 실시예들에서, 선택적으로 증착된 금속 전구체 잉크는 1 마이크론 내지 약 200 마이크론 또는 그 안의 값들의 임의의 범위(예를 들어, 2 내지 약 100 마이크론)의 최소 폭을 가진 패턴을 형성한다. 다양한 실시예들에서, 패턴은 약 25 나노미터 내지 약 10 마이크론 또는 그 안의 값들의 임의의 범위(예를 들어, 25 나노미터 내지 약 1 마이크론)의 최대 두께를 가진다. 한 바람직한 실시예에서, 패턴은 노출된 실리콘 표면 위에 금속 규화물 및 규화물-형성 금속의 잔존하는 잉크를 형성하는데 충분한 두께를 노출된 실리콘 표면 위에 가진다.

[0051] 다양한 실시예들에서, 실리콘 컨택트를 형성하기 위해서, 금속 전구체 잉크와 실리콘 표면은 금속 규화물을 형성하는데 충분한 시간 동안 제 1 온도로 가열된다. 온도 범위는 100°C 내지 약 1000°C(예를 들어, 약 200°C 내

지 약 700°C 또는 250°C 내지 약 400°C와 같은 그 안의 값들의 임의의 범위)일 수 있다. 컨택트 및/또는 배선을 형성하기 위한 가열 시간은 1분 내지 24시간(예를 들어, 2분 내지 약 240분 또는 약 10 내지 약 120분과 같은 그 안의 값들의 임의의 범위)일 수 있다. 이런 조건은 규화가 건조 단계(예를 들어, 실리콘 특징부를 형성하는 동안 실란 폴리머를 탈수소하기 위함) 또는 고체상 결정화 단계(예를 들어, 550 내지 900°C의 온도, 한 예에서 약 600°C)의 일부로서 일어나도록 할 수 있다.

[0052] 한 실시예에서, 금속 전구체 잉크로부터 금속 전구체를 가열하고 환원시키면 금속 전구체가 노출된 실리콘 표면과 접촉하지 않는 영역들에 금속을 형성할 수 있다. 바람직하게는, 금속 전구체는 환원 기체를 더 포함할 수 있는 불활성 분위기에서 가열된다. 특정 변형예에서, 환원 기체는 수소(예를 들어, H₂)를 포함하거나 수소로 필수적으로 이루어진다.

[0053] 일부 실시예들에서, 규화물-형성 금속 전구체 잉크는 배선을 형성하기 위해 노출된 실리콘 표면에 인접한 유전체층 상에 임의적으로 선택적으로 증착될 수 있다. 한 바람직한 변형예에서, 비아홀들은 금속 전구체 잉크를 선택적으로 증착하기 이전에 노출된 실리콘 표면을 노출하기 위해서 유전체층에 형성될 수 있다. 다른 변형예들에서, 유전체층은 유전체층을 형성하기 위해 인쇄될 수 있는 스판-온 도핑된 유리 제제를 포함한다. (예를 들어, 배선은 금속 규화물을 포함하는) 특정 실시예들에서, 스판-온 도핑된 유리 제제는 배선 패턴과 비아홀들에 노출된 실리콘 표면을 노출하는 유전체 패턴에 선택적으로 인쇄된다.

[0054] 일부 변형예들에서, 노출된 실리콘과 접촉하지 않는 환원된 금속 전구체로부터의 금속은 씨드층을 형성할 수 있다. 벌크 도전성 금속은, 예를 들어, 도금에 의해 금속 씨드층 상에 선택적으로 증착될 수 있다. 도금은 무전해 도금을 포함하거나 다른 대안에서, 도전성 금속을 전해 도금하는 것을 포함할 수 있다. 한 실시예에서, 무전해 도금은 실리콘, 이의 표면상에 금속 규화물 및 그 위에 씨드층을 구비한 인접한 유전체 물질을 씨드층 위에 벌크 도전성 금속의 소정의 두께를 도금하는데 충분한 시간 동안 주위 온도에서 85°C의 온도에서 벌크 도전성 금속의 염 또는 착물의 용액에 침지시키는 단계를 포함한다. 금속이 전해 도금에 의해 증착되는 변형예에서, 그 위에 씨드층을 구비한 기판은 벌크 도전성 금속의 염 또는 착물의 용액에 침지되고 전력이 기능성 물질 상에 벌크 도전성 금속의 소정의 두께를 도금하는데 충분한 시간 동안 기판과 용액에 인가된다. Pd는 그 위에 거의 어떠한 다른 금속도 도금될 수 있기 때문에 씨드층을 위한 특히 효과적인 금속이다.

[0055] 다양한 실시예들에서, 벌크 도전성 금속은 Al, Ag, Au, Cu, Pd, Pt, Ni, Cr, Mo, W, Ru, Rh 및 이의 합금/혼합물로 이루어진 그룹으로부터 선택된다. 바람직하게는, 벌크 도전성 금속은 Ag, Au, Cu, Ni 및/또는 Pd이다. 일부 실시예들에서, 벌크 도전성 금속은 어닐링된다. 어닐링은 실리콘 컨택트 및/또는 벌크 도전성 금속의 저항을 조절할 수 있는 주위 기체에서 수행될 수 있다. 예시적 실시예들에서, 주위 기체는 성형 기체, N₂, Ar 및 이의 혼합물로 이루어진 그룹으로부터 선택된다. 다양한 실시예들에서, 벌크 도전성 금속은 적어도 300°C의 온도에서 어닐링된다. 다른 실시예들에서, 어닐링 온도는 900°C보다 높지 않다. 벌크 도전성 금속은 약 1초 내지 약 24시간 또는 그 안의 시간의 임의의 범위(예를 들어, 약 2분 내지 약 240분, 10분 내지 약 120분 등)의 시간 동안 어닐링될 수 있다.

[0056] 일부 예시적 실시예들에서, 규화물-형성 금속의 잉크의 부분은 다른 두께를 가질 수 있다. 예를 들어, 잉크의 제 1 부분은 제 1 두께를 가질 수 있고 잉크의 제 2 부분은 제 2 두께를 가질 수 있고, 제 1 및 제 2 두께는 서로 다르다. 더 많은 양의 잉크(예를 들어, 더 두꺼운 규화물-형성 금속)를 증착하는 것이 바람직한데 더 낮은 라인 또는 시트 저항(line or sheet resistance)이 바람직하다. 통상적으로, 더 적은 양의 금속 전구체 잉크는 컨택트들이 바람직한 영역들 상에 인쇄되는 반면, 더 많은 양의 금속 전구체 잉크는 패턴의 배선 부분에 인쇄된다. 잉크가 선택적으로 증착되는 컨택트 각도는 패턴에 다른 금속 높이 및/또는 라인 폭을 제공하기 위해 국소적으로 변할 수 있다. 특정 실시예들에서, 잉크의 두께는 각 지역에서 독립적으로 제어된다(예를 들어, 소스, 드레인 및/또는 게이트에 대한 컨택트; 게이트 상에 상대적으로 두꺼운 금속 규화물층의 형성, 소스/드레인 터미널 등 상에 더 얇은 컨택트층의 형성).

[0057] 예시적 실시예들에서, 규화물-형성 금속 전구체 잉크 제제는 소스 및 드레인 컨택트 지역 및 게이트의 전체상에 선택적으로 증착되고 규화물은 소스 및 드레인 컨택트들과 동시에 게이트 상에 형성된다. 이런 실시예들에서, 게이트는 비결정 실리콘 및/또는 폴리실리콘을 포함할 수 있고 가열 단계 동안 실리콘을 완전히 소비하는데 충분하게 큰 금속 전구체 잉크의 두께를 인쇄함으로써 금속 규화물로 완전히 변환될 수 있다. 선택적으로, 게이트는 다른 게이트 상에 규화물-형성 금속의 두께를 변형시킴으로써 기판(이의 지역 또는 부분)을 가로질러 변하는 저항을 가질 수 있다(예를 들어, 다결정 및/또는 비결정 실리콘 게이트는 실질적으로 일정한 두께를 가진다). 다른 실시예들에서, 게이트는 게이트에 대한 실리콘층의 두께를 변형시키고, 실질적으로 일정한 두께로 다른 게

이트 상에 규화물-형성 금속을 중착함으로써 기판(이의 지역 또는 부분)을 가로질러 변하는 저항을 가질 수 있다. 기판을 가로질러 게이트의 저항력이 변할 때(예를 들어, 금속 전구체 층 또는 막의 두께를 변화시키고 노출된 실리콘 표면 위로 금속 전구체의 실질적으로 전부로부터 금속 규화물 형성함으로써), 다른 일 함수 및 다른 기능성을 구비한 다양한 다른 트랜지스터를 제공할 수 있다.

[0058] 한 실시예에서, 잉크(또는 잉크를 건조하여 얻은 금속 전구체)의 적어도 한 부분은 잉크(또는 금속 전구체)의 적어도 한 다른 부분보다 큰 두께를 가진다. 이 실시예에서, 더 큰 두께는 다른 부분(들)에 대해 라인 암아짐 및/또는 라인 파괴를 줄이는데 충분하다.

[0059] 일부 실시예들에서, 공정 흐름은 층간 유전체로서 사용하기 위해, 소자 위에 도핑된 유전체가 연속적으로 존재하는지에 의존하지 않는다. 예를 들어, 한 변형예에서, 도편트(예를 들어, 폴리아미드 및 용매와 같은 접합제 또는 운반체에 있는 통상적인 액상 도편트)는 노출된 실리콘 표면상에 스크린 인쇄되고, 도편트는 활성화 단계(예를 들어, 고온 어닐링 단계) 동안 실리콘 속으로 확산된다. 활성화 단계 온도는 700-1000°C일 수 있고 어닐링 분위기는 진공 또는 주위 압력에서 N₂, O₂, 성형 기체, 또는 이의 조합을 포함할 수 있다. 이런 고온 어닐링 동안, 스크린 인쇄된 도편트는 연소되어, 도편트(P, B, As 등)를 하부 실리콘 속으로 확산시키기 위해 도편트 원자 또는 다른 도편트 원자 원료만을 뒤에 남긴다. 선택적으로, 활성화 단계 이후 남은 임의의 탄소 및/또는 산소 잔류물은 산소 플라즈마(예를 들어, 애싱(ashing)) 또는 통상적인 습식 식각액(예를 들어, 수성 H₂SO₄/H₂O₂[파라나] 식각액)을 사용하여 세정될 수 있다. 이 방법에서, 산소 플라즈마 및 습식 식각액은 트랜지스터 제조 공정과 혼용될 수 있고; 게이트 산화물, 실리콘 채널 또는 게이트이 폴리실리콘으로 포함하거나 필수적으로 이루어질 때 공정이 이에 나쁜 영향을 주지 않는다. 이 공정에서, 실리콘은 도핑되거나 산화물 또는 층간 유전체는 남아있지 않는다. 다른 공정에서, 스크린 인쇄되거나 스핀-온 도편트가 활성화 후 제 위치에 있는 경우, 비아 및/또는 컨택트 개구를 형성하기 위해 리소그래피 및 습식 또는 건식 식각과 같은 통상적인 공정에 의해 제거될 수 있다. 이 공정은 금속 규화물 컨택트를 형성하는데 효과적이다.

[0060] 그러나, 기판의 표면상에 산화물이 없는 경우, 산화물에 대해 (도핑되거나 도핑되지 않은) 실리콘 표면을 선택적으로 습윤하는 것을 불가능하다. 따라서, 금속 전구체 잉크가 인쇄되는 표면들에 반드시 부착되어야 한다. 이런 방식으로, 컨택트들 및 배선들(또는 금속 씨드층들)은 한 단계에서 형성될 수 있다. 배선 및/또는 씨드층이 바람직한 경우, 층간 유전체층은 당업계에 공지된 통상적인 방법들에 의해 규화물을 형성한 후 중착될 수 있다. 컨택트홀들은 층간 유전체에 형성될 수 있고, (예를 들어, 배선을 위한) 하나 이상의 금속화 층들은 본 발명에 개시된 대로 및/또는 당업계에 주지된 대로 컨택트홀에 및 층간 유전체 상에 형성될 수 있다.

트랜지스터의 예시적 제조 방법

[0061] 본 발명의 다른 태양은 트랜지스터를 제조하는 방법에 관한 것으로, 단계는 도 5a-5f에 도시된다. 일반적으로, 반도체층(예를 들어, 실리콘)(4200)은 기판(4100) 상에 형성된다. 뒤이어, 도 5b에 도시된 대로, 게이트 유전체(예를 들어, 습식 또는 건식 열 산화, 기체상 증착[예를 들어, CVD, PECVD, HDP-CVD 등] 또는 액상 증착에 의해 형성)(4300)가 반도체층 상에 형성되고 게이트(4400)가 그 위에 형성된다. 그런 후에 게이트(4400)에 의해 노출된 게이트 유전체 층(4300)의 부분이 제거된다. 도 5c에 도시된 대로, 도핑된 유전체층(4500)은 반도체층(4200)과 게이트(4400)를 포함하는 기판상에 패턴화되거나 블랭킷 중착된다. 기판 및 그 위의 구조는 도편트가 반도체층(4200)의 지역들 속으로 확산하도록 가열되어, 소스 및 드레인 터미널(4210 및 4220)을 형성한다. 반도체층의 지역들(예를 들어, 구조 (4210 및 4220))이 도핑되는 반면, 반도체층의 채널 지역(4230)의 부분은 도핑되지 않는다. 게이트(4400)가 실리콘을 포함하는 경우, 도편트는 도핑된 유전체(4500)로부터 게이트(4400) 속으로 확산하여, 도 5c에 도시된 대로 도핑된 게이트 구조(4410)를 형성한다. 일부 실시예들에서, 도 5d에 도시된 대로, 도핑된 유전체층(4500)은 구조상에 남아있고, 비아홀들(4310)이 그곳에 형성된다. 선택적으로, 비아홀들은 비아홀들을 포함하는 패턴에 도핑된 유전체를 인쇄함으로써 형성될 수 있다. 금속 전구체 잉크는 노출된 실리콘 표면상에 및 인접한 유전체층 상에 중착되고 잉크는 건조되어, 도 5e에 도시된 대로, 규화물-형성 금속 전구체(4320)를 형성한다. 규화물-형성 금속 전구체(4320)는 경화 및/또는 환원되어 금속 배선(4350)을 형성하고, 노출된 실리콘 표면(예를 들어, 소스/드레인 터미널(4210 및 4220))과 접촉하는 (환원된) 규화물-형성 금속 전구체는 가열되어, 도 5f에 도시된 대로 실리콘 컨택트를 형성한다.

[0063] 다른 실시예들에서, 도핑된 유전체층(4500)은 금속 전구체 잉크를 중착하기 이전에 제거될 수 있다. 한 변형예에서, 도핑된 유전체층(4500)은 폴리아마이드, 아크릴 또는 폴리(에틸렌 옥사이드)와 같이 상대적으로 연소성인 유기 물질을 포함한다. 이 경우에, 도 5c의 도핑된 유전체층(4500)은 상기한 대로 고온 분위기에서 가열되어 "연소되어", 도 5g에 도시된 구조에 대한 전구체를 형성한다. 선택적으로, 도핑된 유전체층(4500)은 상기한 대로

방법들(습식 식각 등)을 사용하여 제거될 수 있다.

[0064] 도 5g를 참조하면, 다른 실시예에서, 규화물-형성 금속을 함유하는 잉크는 기판(4100) 및 도핑된 소스 및 드레인 터미널(4210 및 4220)의 노출된 부분 상에 인쇄될 수 있다. 잉크는 건조되어 규화물-형성 금속 전구체(예를 들어, 구조(4600 및 4610))를 형성한다. 금속 전구체 및 전구체와 접촉하는 실리콘 표면(예를 들어, 소스 및 드레인 터미널(4210 및 4220)의 부분)은 도 5h에 도시된 대로, 어닐링되어 금속 규화물 에지 컨택트(4700) 및 금속 배선(4620)을 형성한다. 예시적 실시예들에서, 잉크는 규화물-형성 금속 전구체 및 용매를 함유한다. 바람직하게는, 규화물-형성 금속 전구체는 Pd를 포함한다.

[0065] 선택적으로, 충간 유전체는 게이트 및 반도체층 상에 증착될 수 있다. 규화물-형성 금속을 함유하는 잉크는 연속된 반도체층 및 충간 유전체에 의해 노출된 게이트의 부분 상에 인쇄될 수 있다. 또한, 잉크는 인쇄 이전에 충간 유전체의 추가 표면 에너지가 변형되거나 되지 않은 상태로, 반도체층 및 게이트의 노출된 영역에 인접한 충간 유전체의 영역 상에 인쇄될 수 있다. 잉크는 뒤이어 건조되어 규화물-형성 금속 전구체를 형성하고, (반도체층 및 게이트의 노출된 영역 상에 형성된 금속 규화물 이외에) 충간 유전체 상에 금속 씨드층 또는 배선을 형성하는데 충분하게 가열될 수 있다.

[0066] 상기한 실시예들에서, 게이트 유전체는 열 산화에 의해 형성될 수 있다. 다른 실시예들에서, 게이트 유전체는 액상 유전체 전구체를 인쇄 또는 코팅함으로서 형성될 수 있다. 한 변형예에서, 연속된 반도체층은 기판상에 패턴으로 실리콘 및/또는 게르마늄 전구체를 함유하는 액상 잉크를 인쇄함으로써 형성된다. 이런 변형예에서, 실리콘 및/또는 게르마늄 전구체는 하이드로실란, 하이드로게르마늄, 하이드로실라게르마늄, (사이클로)실란, (사이클로)게르마늄, (사이클로)게르마늄, (폴리)실란, (폴리)게르마늄, 및/또는 (폴리)실라게르마늄 및/또는 실리콘 및/또는 게르마늄 나노입자들을 포함한다.

[0067] 한 실시예에서, 게이트를 형성하는 단계는 배선 패턴을 형성하는 단계를 더 포함할 수 있다. 일부 실시예들에서, 게이트 및/또는 배선 패턴은 반도체층 및 게이트 유전체 위로 액상 실리콘 및/또는 게르마늄 전구체(예를 들어, (폴리)실란 및/또는 (폴리)게르마늄을 함유하는 잉크)를 인쇄함으로써 형성될 수 있다. 이전 실시예들과 변형예들에 대해 기술한 대로, 금속 배선 전구체가 인쇄될 수 있거나 금속 배선이 (인쇄된 금속 씨드층, 금속 규화물층, 또는 도핑된 반도체층을 포함할 수 있는) 인쇄된 배선 패턴 상에 도금될 수 있다. 바람직하게는, 금속 배선은 금속 씨드층 상에 무전해 도금된다.

다이오드의 예시적 제조 방법

[0069] 본 발명의 다른 태양들은 다이오드들 및 상기 컨택트들 및/또는 배선들로 형성된 다른 소자들에 관한 것이다. 인쇄된 금속 잉크들은 결합된 컨택트들을 제조하는데 효과적일 수 있고, 인쇄된 트랜지스터의 소스 및 게이트 또는 드레인 및 게이트가 전기적으로 연결되어 다이오드를 형성한다. 선택적으로, 상기한 대로, 소스 및 드레인은 전기적으로 연결되어 커퍼시터를 형성한다. 레지스터와 같은 다른 소자들도 상기한 대로 형성될 수 있다. 인덕터는 유전체 또는 전기 회로와 같은 (반) 도전성 특징부 위의 다른 절연 표면상에 코일 또는 구불구불한 패턴을 인쇄하고, (예를 들어, 유전체 또는 다른 절연층 아래의 회로에서) 두 개의 실리콘 표면 부분을 본 발명에 따라 형성된 금속 규화물 컨택트에 노출함으로써 형성될 수 있다.

[0070] 이런 경우, 금속은 컨택트 영역뿐만 아니라 필드 산화물 및/또는 충간 유전체 상에 인쇄되거나 선택적으로 증착되어, 적절한 연결(들)을 형성한다. 만일 폴리실리콘 게이트가 다이오드-와이어드(diode-wired) 박막 트랜지스터로 사용되는 경우, 이의 저항력은 트랜지스터가 작동하는 주파수를 증가시키기 위해 낮아져야 한다. 이런 결과를 성취하기 위해서, 다이오드는 도 6a-6c에 따라 형성될 수 있다. 도 6a는 인쇄된 실리콘 아일랜드(5100) 및 게이트(5200)를 나타낸다. 도 6b에서, 도핑된 유전체층(5300)은 소정의 패턴으로 게이트 및 소스/드레인 지역 위로 인쇄되어, 금속 규화물 띠가 게이트와 소스/드레인 터미널을 연결하기 위한 공간 또는 개구(5400)를 남긴다. 도 6c에 도시된 대로, 금속층(5500)은 유전체층(5300)의 개구(5400)에 형성(예를 들어, 인쇄 또는 블랭킷 증착에 의해)될 수 있다. 상기한 대로, 표면 에너지 변형을 사용함으로써, 금속 잉크는 주로 실리콘층들(5100 및 5200)의 노출된 영역 상에 또는 노출된 영역 상에만 습윤 또는 인쇄되어서, 유전체(5300)를 덮지 않는다. 규화 단계가 완료된 후, 게이트는 여러 곳에서 아일랜드의 한 측면에 연결되고 박막 트랜지스터는 다이오드로 작동한다. 다중 띠를 사용하는 장점은 게이트 저항력이 낮아져, 다이오드가 더 높은 주파수에서 작동하게 한다는 것이다. 다이오드의 형성 방법 및 이의 예시적 변형예에서 단계들은 아래에서 더욱 상세하게 논의된다.

[0071] 일반적인 방법에 따라, 게이트 유전체는 기판상의 노출된 실리콘 표면(예를 들어, 도 6a의 5100) 상에 형성된다. 게이트(예를 들어, 6a의 5200)는 게이트 유전체 상에 형성된다. 다음으로, 도편트를 함유하는 패턴화

되고 도핑된 유전체(예를 들어, 도 6b의 5300)는 노출된 실리콘 표면의 적어도 일부 상에 형성된다. 그런 후에 도편트는 패턴화되고, 도핑된 유전체(5300)의 확산 거리 내에서 실리콘층(5100 및 5200)의 지역 속으로 확산된다. 규화물-형성 금속을 포함하는 잉크는 적어도 실리콘 표면의 노출된 부분 상에 인쇄되고 뒤이어 건조되어 규화물-형성 금속 전구체를 형성한다. 금속 전구체 및 금속 전구체와 접촉하고 있는 실리콘 표면은 뒤이어 가열되어 금속 규화물층을 형성한다. 노출된 실리콘과 접촉하고 있는 영역들 이외의 영역들에서, 규화물-형성 금속 전구체는 이런 소자들에서 국소 배선으로 작용하는 금속을 형성한다.

[0072] 상기한 일반적인 방법에 따라 제조된 실리콘 표면은 제 1 실리콘 아일랜드를 포함할 수 있다. 일부 실시예들에서, 게이트는 폴리실리콘을 포함하고 금속 전구체 및 실리콘 표면을 가열하면 게이트 상에 및/또는 게이트로부터 금속 규화물층을 형성하는데 충분하게 금속 전구체와 게이트를 더 가열한다. 바람직한 실시예들에서, 패턴화되고 도핑된 유전체는 스핀-온 도핑된 유전체 제제를 포함한다. 이런 실시예들에서, 스핀-온 도핑된 유전체는 복수의 금속 규화물 띠가 게이트를 실리콘의 도핑된 지역에 연결하는 공간 또는 개구를 구비한 패턴으로 형성(또는 인쇄)된다. 예시적 실시예들에서, 규화물-형성 금속은 Pd를 포함한다.

예시적 다이오드

[0073] 다양한 다이오드가 상기한 방법에 따라 형성될 수 있다. 한 실시예에서, 다이오드는 실리콘 표면을 가진 기판을 포함하고 실리콘 표면의 적어도 일부 상에 금속 규화물층을 구비한다. 다이오드는 금속 규화물층과 연결되고 배선의 패턴 형태인 기판 위에 또는 기판 상에(on or over) 금속 씨드층을 더 포함한다. 벌크 도전성 금속은 금속 규화물층 및 금속 씨드층 상에 도금되어 배선을 형성한다. 일부 실시예들에서, 금속 씨드층은 상기한 대로 인쇄될 수 있다. 예시적 실시예들에서, 금속 씨드층은 Pd, Pt, Ni, Cr, Mo, W, Ru, Rh, Ti 및 이의 합금 및 혼합물로 이루어진 그룹으로부터 선택된 씨드 금속을 포함한다. 그러나 Pd는 그 위에 거의 어떠한 다른 금속도 도금될 수 있기 때문에 바람직하다. 유리하게는, 금속 규화물은 팔라듐 규화물을 포함하고 및/또는 씨드 금속은 Pd_2Si 로 필수적으로 이루어지는 것이 유리하다. 벌크 도전성 금속은 Al, Ag, Au, Cu, Pd, Pt, Ni, Cr, Mo, W, Ru, Rh 및 이의 합금/혼합물로 이루어진 그룹으로부터 선택된다. 바람직한 실시예들에서, 벌크 도전성 금속은 Ag, Au, Cu, 또는 Pd를 포함한다. 선택적으로 또는 부가적으로, 벌크 도전성 금속은 Ag 또는 Cu로 필수적으로 이루어질 수 있다.

[0074] 다이오드에 관한 제 2 실시예에서, 게이트는 기판의 실리콘 표면상의 게이트 유전체 위에 또는 게이트 유전체 상에(on or over) 형성된다. 다이오드는 도편트를 함유하는 패턴화되고, 도핑된 유전체를 더 포함한다. 도편트는 패턴화되고, 도핑된 유전체 아래 기판의 지역에 존재하고 패턴화되고, 도핑된 유전체에 의해 노출된 기판의 지역에 실질적으로 존재하지 않는다. 다이오드는 실리콘 표면에 또는 실리콘 표면 위에 있는(in or on) 게이트 상에 및 소스/드레인 터미널의 적어도 일부 상에 금속 규화물층을 구비한다. 금속 씨드층은 기판 위에 또는 기판 상에(on or over) 형성되고 게이트 상의 금속 규화물층 및 소스/드레인 터미널의 적어도 일부 상에 금속 규화물층 모두와 연결된다. 이런 일반적인 실시예들에 대한 여러 변형예들이 있다. 예를 들어, 실리콘 표면은 제 1 실리콘 특징부를 포함할 수 있고 및/또는 게이트는 폴리실리콘을 포함할 수 있다. 다른 변형예에서, 도핑된 유전체는 복수의 금속 규화물 띠가 게이트와 소스/드레인 터미널을 연결하는 공간 또는 개구를 구비한 스핀-온 도편트를 포함한다. 바람직한 실시예들에서, 금속 규화물은 Pd 규화물이다.

예시적 전기 소자들

[0075] 본 발명의 다른 태양은 본 발명에 따른 컨택트들 및/또는 배선들로 제조된 전기 소자에 관한 것이다. 도 7a에 도시된 대로, 한 일반적인 실시예에서, 전기 소자는 그 위에 실리콘 표면(6200)을 구비한 기판(6100) 및 실리콘 표면의 일부를 노출하는 비아홀(6400)을 구비한 유전체 물질(6300)을 포함한다. 도 7b에 도시된 대로, 소자는 노출된 실리콘 표면(6200) 상에 비아홀(6400)에 금속 규화물층(6500)을 구비하고 전기 소자는 금속 규화물층과 연결된 유전체 물질 상에 금속 씨드층(6600)을 구비한다. 금속 씨드층은 배선의 패턴이다. 소자는 배선을 형성하기 위해 금속 규화물층 및 금속 씨드층상에 도금된 벌크 도전성 금속(6700)을 더 구비한다. 씨드 금속은 Pd, Pt, Ni, Cr, Mo, W, Ru, Rh, Ti 및 이의 합금 및 혼합물로 이루어진 그룹으로부터 선택될 수 있다. 바람직하게는, 씨드 금속은 Pd를 포함한다. 바람직한 실시예들에서, 금속 규화물은 팔라듐 규화물이고 및/또는 씨드 금속은 Pd_2Si 로 필수적으로 이루어진다. 일부 변형예들에서, 금속 씨드층은 인쇄(예를 들어, 유전체층 상에)함으로써 형성될 수 있다. 예시적 실시예들에서, 벌크 도전성 금속은 Al, Ag, Au, Cu, Pd, Pt, Ni, Cr, Mo, W, Ru, Rh 및 이의 합금/혼합물로 이루어진 그룹으로부터 선택된다. 바람직한 실시예들에서, 벌크 도전성 금속은 Ag, Au, Cu, 또는 Pd를 포함한다.

[0078]

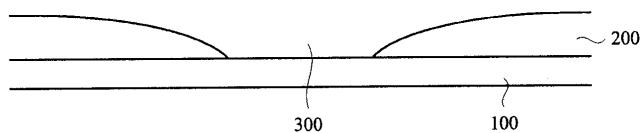
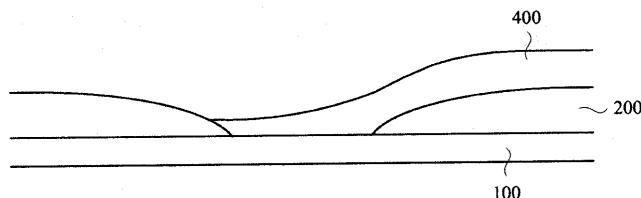
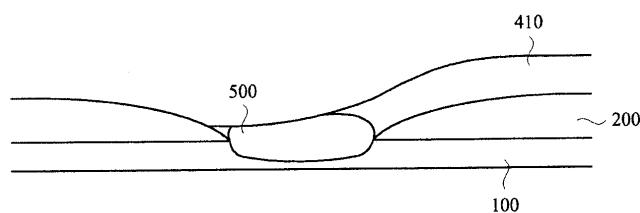
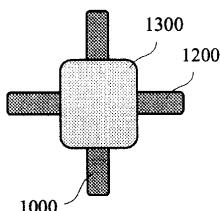
컨택트 및 국소 배선의 형성

[0079]

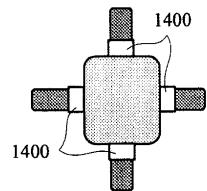
컨택트 물질로서 금속 규화물의 가능성은 증발된 Pd에 의해 증명되었다. 팔라듐 규화물(Pd_2Si)은 실리콘 상에 표면 산화물의 존재를 극복하였고 통상적인 및 스판코팅된 실리콘 막에 대해 낮은 저항 읍 컨택트를 형성하여, 실리콘 표면으로부터 오염물들을 세정하기 위한 특별한 세정(예를 들어, 스퍼터링 공정)의 필요를 제거한다. Pd 와 Si 사이의 반응은 x-레이 회절, 단면 SEM 및 4점 프로브 측정에 의해 확인한 대로, N_2 또는 Ar/H_2 에서 $300^\circ C$ 에서 발생하였다. Pd_2Si 및 Al 배선을 사용하는 기능성 비아 회로들(컨택트들)은 유사하게 증명되었다. 이 경우에 컨택트 저항은 약 $10^{-6} \text{ ohm}\cdot\text{cm}^2$ 이었다.

[0080]

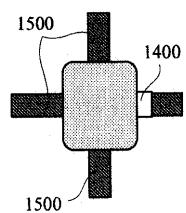
본 발명의 구체적인 실시예들의 상기한 설명은 예시와 설명을 목적으로 제공되었다. 이들은 포괄적이거나 본 발명을 개시된 정확한 형태로 제한하려는 것은 아니고, 명백하게 많은 변화 및 변형이 상기 교시의 관점에서 가능하다. 실시예들은 본 발명의 원리들과 이의 실제 응용분야를 최고로 설명하기 위해 선택되고 기술되었고, 이를 통해 당업자들이 본 발명 및 생각하는 특정 용도에 적합한 여러 변화를 가진 다양한 실시예들을 최대로 사용할 수 있게 한다. 본 발명의 범위는 첨부된 청구항 및 이의 균등물에 의해 정의된다.

도면**도면1a****도면1b****도면1c****도면2a**

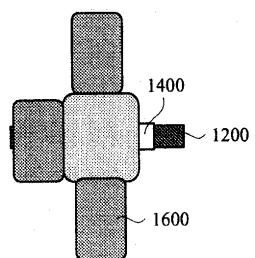
도면2b



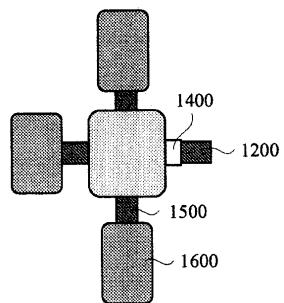
도면2c



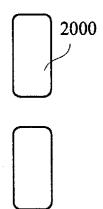
도면2d



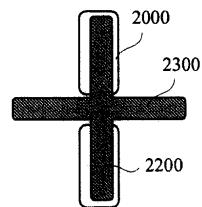
도면2e



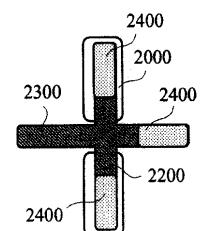
도면3a



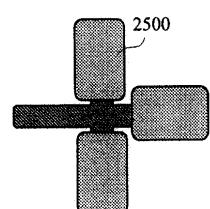
도면3b



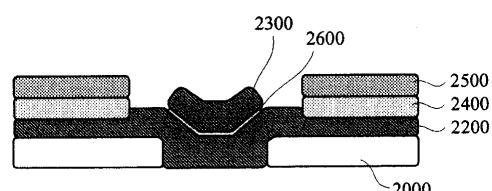
도면3c



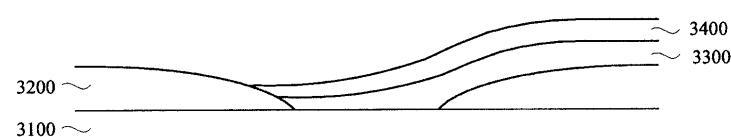
도면3d



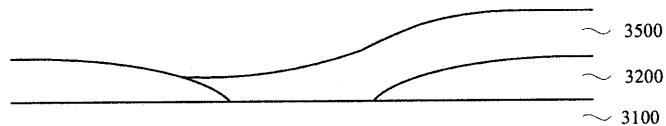
도면3e



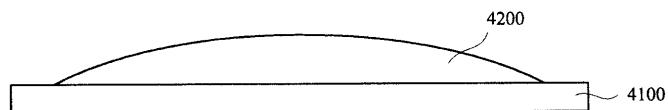
도면4a



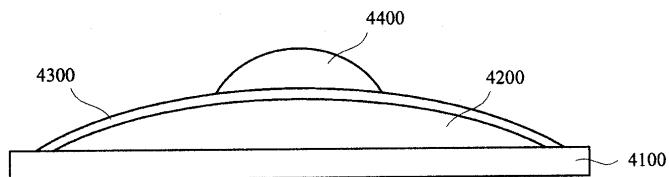
도면4b



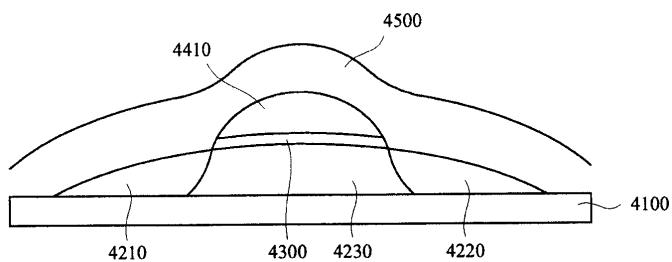
도면5a



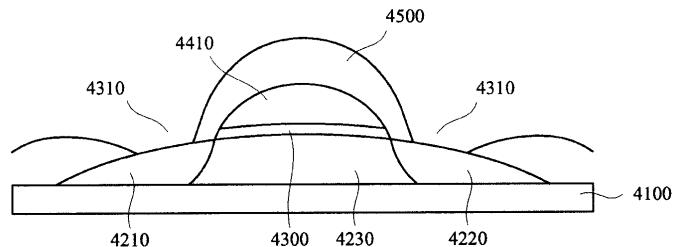
도면5b



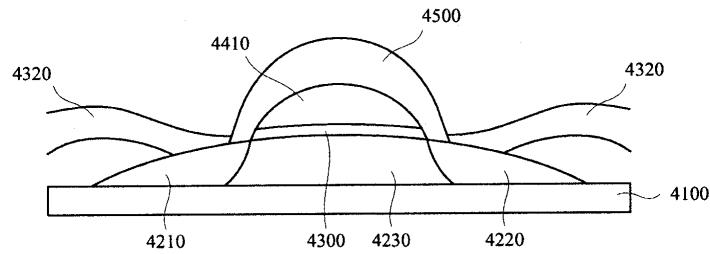
도면5c



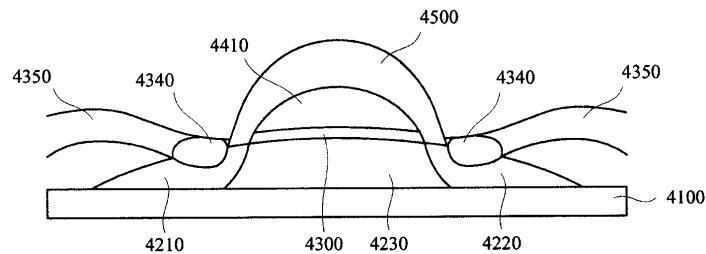
도면5d



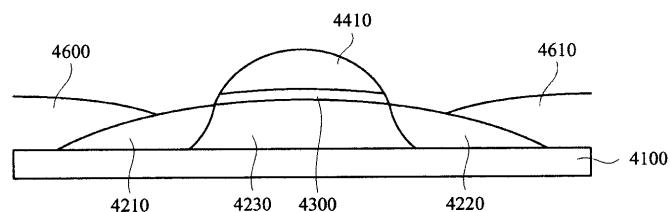
도면5e



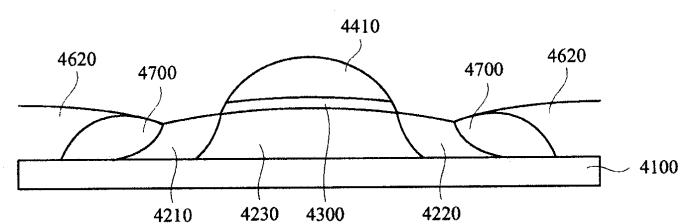
도면5f



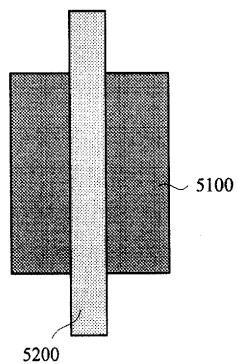
도면5g



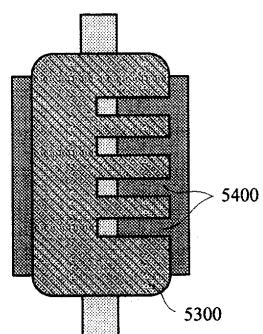
도면5h



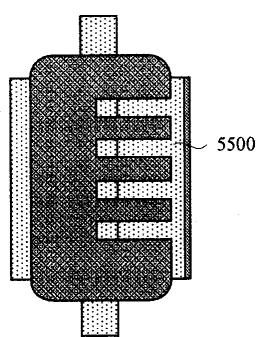
도면6a



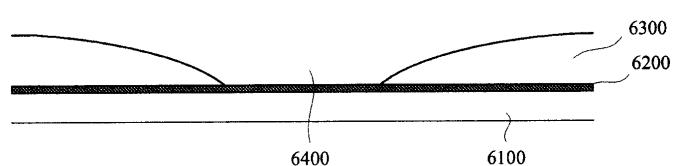
도면6b



도면6c



도면7a



도면7b

