【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成16年12月9日(2004.12.9)

【公開番号】特開2001-358300(P2001-358300A)
【公開日】平成13年12月26日(2001.12.26)
【出願番号】特願2000-176041(P2000-176041)
【国際特許分類第７版】
　Ｈ０１Ｌ　27/04
　Ｈ０１Ｌ　21/822
　Ｈ０１Ｌ　27/118
【ＦＩ】
　Ｈ０１Ｌ　27/04　　Ｈ
　Ｈ０１Ｌ　21/82　　Ｍ

【手続補正書】
【提出日】平成15年12月19日(2003.12.19)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
内部回路と、パッドと、前記内部回路と前記パッドの間の信号の入出力を行い、複数のトランジスタの接続を変更することにより所定の駆動能力を得ることが可能なＩ／Ｏ回路と、を備えた半導体集積回路であって、
前記Ｉ／Ｏ回路は、前記内部回路と前記パッドの間に並列に配置された複数の保護素子からなる保護素子列を含み、
前記保護素子は、
前記内部回路の出力信号を受け、第１の電源電圧レベルの信号を前記パッドに出力するＰチャネルＭＯＳトランジスタと、
前記内部回路の出力信号を受け、第２の電源電圧レベルの信号を前記パッドに出力するＮチャネルＭＯＳトランジスタと、
前記パッドに接続された信号線と前記ＰチャネルＭＯＳトランジスタの出力端子との間に接続された第１の抵抗素子と、
前記信号線と前記ＮチャネルＭＯＳトランジスタの出力端子との間に接続された第２の抵抗素子と、
を含むことを特徴とする半導体集積回路装置。
【請求項２】
内部回路と、パッドと、前記内部回路と前記パッドの間の信号の入出力を行い、複数のトランジスタの接続を変更することにより所定の駆動能力を得ることが可能なＩ／Ｏ回路と、を備えた半導体集積回路であって、
前記Ｉ／Ｏ回路は、前記内部回路と前記パッドの間に並列に配置された複数の保護素子からなる保護素子列を含み、
前記保護素子は、
前記内部回路の出力信号を受け、第１の電源電圧レベルの信号を前記パッドに出力するＰチャネルＭＯＳトランジスタと、
前記内部回路の出力信号を受け、第２の電源電圧レベルの信号を前記パッドに出力するＮチャネルＭＯＳトランジスタと、

前記パッドに接続された信号線と前記ＰチャネルＭＯＳトランジスタの出力端子との間に接続された第１の抵抗素子、および前記信号線と前記ＮチャネルＭＯＳトランジスタの出力端子との間に接続された第２の抵抗素子の少なくともいずれか一方を含むことを特徴とする半導体集積回路装置。

【請求項３】

内部回路と、パッドと、前記内部回路と前記パッドの間の信号の入出力を行い、複数のトランジスタの接続を変更することにより所定の駆動能力を得ることが可能なＩ／Ｏ回路と、を備えた半導体集積回路であって、

前記Ｉ／Ｏ回路は、前記内部回路と前記パッドの間に並列に配置された複数の保護素子からなる保護素子列を含み、

前記保護素子は、

前記内部回路の出力信号を受け、第１の電源電圧レベルの信号を前記パッドに出力するＰチャネルＭＯＳトランジスタと、

前記パッドに接続された信号線と前記ＰチャネルＭＯＳトランジスタの出力端子との間に接続された第１の抵抗素子と、

を含むことを特徴とする半導体集積回路装置。

【請求項４】

内部回路と、パッドと、前記内部回路と前記パッドの間の信号の入出力を行い、複数のトランジスタの接続を変更することにより所定の駆動能力を得ることが可能なＩ／Ｏ回路と、を備えた半導体集積回路であって、

前記Ｉ／Ｏ回路は、前記内部回路と前記パッドの間に並列に配置された複数の保護素子からなる保護素子列を含み、

前記保護素子は、

前記内部回路の出力信号を受け、第１の電源電圧レベルの信号を前記パッドに出力するＰチャネルＭＯＳトランジスタと、

前記内部回路の出力信号を受け、第２の電源電圧レベルの信号を前記パッドに出力するＮチャネルＭＯＳトランジスタと、

前記パッドに接続された信号線と前記ＮチャネルＭＯＳトランジスタの出力端子との間に接続された第２の抵抗素子と、

を含むことを特徴とする半導体集積回路装置。

【請求項５】

前記各保護素子列は、前記パッドに正方向に過大な高電圧が印加されたときに、前記第１の電源電圧を供給する第１の電源電圧端子へ前記信号線から電流を流す電流パス、および、前記パッドに負方向に過大な高電圧が印加されたときに、前記第２の電源電圧を供給する第２の電源電圧端子から前記信号線へ電流を流す電流パスの少なくともいずれか一方の電流パスを有することを特徴とする請求項１～４いずれか一つに記載の半導体集積回路装置。

【請求項６】

前記電流パスは、ＰＮ接合ダイオード、またはフィールドトランジスタで構成されたダイオードにより形成されていることを特徴とする請求項５に記載の半導体集積回路装置。

【請求項７】

前記第１の抵抗素子および前記第２の抵抗素子の少なくともいずれか一方は、半導体基板に形成された拡散抵抗、ポリシリコンで構成された抵抗、または半導体基板に形成されたウェル抵抗により構成されていることを特徴とする請求項１～４のいずれか一つに記載の半導体集積回路装置。

【請求項８】

前記各保護素子列、前記内部回路、前記電流パスおよび前記パッドは同一の半導体基板上に形成されていることを特徴とする請求項５に記載の半導体集積回路装置。