

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4105183号
(P4105183)

(45) 発行日 平成20年6月25日(2008.6.25)

(24) 登録日 平成20年4月4日(2008.4.4)

(51) Int.Cl.

F I

H03K 17/693 (2006.01)

H03K 17/693

A

請求項の数 6 (全 22 頁)

(21) 出願番号	特願2005-189134 (P2005-189134)	(73) 特許権者	000005821
(22) 出願日	平成17年6月29日(2005.6.29)		松下電器産業株式会社
(65) 公開番号	特開2006-50583 (P2006-50583A)		大阪府門真市大字門真1006番地
(43) 公開日	平成18年2月16日(2006.2.16)	(74) 代理人	100076174
審査請求日	平成17年6月29日(2005.6.29)		弁理士 宮井 暎夫
(31) 優先権主張番号	特願2004-192429 (P2004-192429)	(72) 発明者	安田 英司
(32) 優先日	平成16年6月30日(2004.6.30)		大阪府門真市大字門真1006番地 松下電器産業株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	日高 賢一
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	升元 康之
			大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 高周波スイッチ回路装置

(57) 【特許請求の範囲】

【請求項 1】

3つ以上の高周波信号経路の何れか少なくとも一つを導通させ残りを遮断させる高周波スイッチ回路装置であって、

化合物半導体基板と、

前記化合物半導体基板上に形成された金属 - 半導体電界効果トランジスタからなり、前記3つ以上の高周波信号経路のそれぞれを断続する3つ以上のスイッチ要素と、

前記化合物半導体基板上に金属 - 半導体ショットキー接合として形成された複数のダイオードからなるダイオードロジック回路とを備え、

前記3つ以上のスイッチ要素の各々は、前記3つ以上の高周波信号経路の各々に挿入されたシリーズスイッチ要素と前記3つ以上の高周波信号経路の各々とグラウンドとの間に接続されたシャントスイッチ要素とからなり、

前記3つ以上のスイッチ要素の各シリーズスイッチ要素のゲート電極に3つ以上の制御電圧が個別に与えられ、

前記ダイオードロジック回路は、前記3つ以上の制御電圧の論理合成を行うことにより前記3つ以上のスイッチ要素毎に組み合わせの異なる少なくとも2つの制御電圧の論理和を個別の論理合成電圧としてそれぞれ出力し、

前記ダイオードロジック回路から出力される前記個別の論理合成電圧が前記3つ以上のスイッチ要素の各シャントスイッチ要素のゲート電極にそれぞれ与えられる高周波スイッチ回路装置。

10

20

【請求項 2】

前記 3 つ以上の高周波信号経路のうちの一つの高周波信号経路とグラウンドとの間に接続されたシャントスイッチ要素のゲート電極に与えられる前記個別の論理合成電圧は、前記一つの高周波信号経路以外の他の高周波信号経路の各々に挿入されたシリーズスイッチ要素に与えられる全ての制御電圧の論理和である請求項 1 記載の高周波スイッチ回路装置

【請求項 3】

前記シリーズスイッチ要素およびシャントスイッチ要素はそれぞれ複数の金属 - 半導体電界効果トランジスタの直列回路で構成され、

前記ダイオードロジック回路は、前記全ての制御電圧の論理和を共通の論理合成電圧として出力し、

前記 3 つ以上のスイッチ要素のそれぞれのシリーズスイッチ要素およびシャントスイッチ要素について、前記ダイオードロジック回路から出力される前記共通の論理和電圧が前記複数の金属 - 半導体電界効果トランジスタの相互接続点に与えられる請求項 1 記載の高周波スイッチ回路装置。

【請求項 4】

前記 3 つ以上のスイッチ要素のうちの一つのスイッチ要素のシャントスイッチ要素のゲート電極に与えられる前記個別の論理合成電圧は、前記 3 つ以上のスイッチ要素のうちの残りのスイッチ要素に与えられる全ての制御電圧の論理和である請求項 3 記載の高周波スイッチ回路装置。

【請求項 5】

前記シリーズスイッチ要素およびシャントスイッチ要素はそれぞれ複数の金属 - 半導体電界効果トランジスタの直列回路で構成され、

前記 3 つ以上のスイッチ要素のそれぞれのシリーズスイッチ要素について、前記ダイオードロジック回路から出力される前記個別の論理合成電圧が前記複数の金属 - 半導体電界効果トランジスタの相互接続点に与えられ、

前記 3 つ以上のスイッチ要素のそれぞれのシャントスイッチ要素について、前記 3 つ以上の制御電圧が前記複数の金属 - 半導体電界効果トランジスタの相互接続点にそれぞれ与えられる請求項 1 記載の高周波スイッチ回路装置。

【請求項 6】

前記 3 つ以上のスイッチ要素のうちの一つのスイッチ要素のシャントスイッチ要素のゲート電極とシリーズスイッチ要素を構成する金属 - 半導体電界効果トランジスタの相互接続点とに与えられる前記個別の論理合成電圧は、前記 3 つ以上のスイッチ要素のうちの残りのスイッチ要素に与えられる全ての制御電圧の論理和である請求項 5 記載の高周波スイッチ回路装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、化合物半導体基板上に形成された金属 - 半導体電界効果トランジスタ段で構成され、携帯電話等の通信端末装置に用いて好適な高周波スイッチ回路装置に関するものである。

【背景技術】**【0002】**

携帯電話の通信システムには、規格によってアクセス方式や無線伝送周波数が異なっている。そのため、世界の様々な地域で携帯電話機を使用するためには、サービスを利用する国・地域に応じて各々の規格に準拠した携帯電話機を携帯するか、もしくは、複数の通信システムに対応した 1 台のマルチバンド対応携帯電話機を携帯する必要がある。

【0003】

後者の場合、1 台で複数の通信システムを利用可能とするためには、通信システム毎に製造された部品を用いて携帯電話機を構成すればよい。ところが、対応可能なシステム数

10

20

30

40

50

に比例して容積、重量ともに増加する。そのため、携帯用としては適さない。そこで、複数のシステムに対応した小型軽量の高周波部品が必要となっている。

【 0 0 0 4 】

携帯電話等の移動通信端末では、通信時に G H z 帯の電波が使用される。その際、アンテナの切り替え回路や送受信切り替え回路などに、高周波での周波数特性の優れたガリウム・砒素 (G a A s) を用いた電界効果トランジスタ段をスイッチング素子として使用している。

【 0 0 0 5 】

この電界効果トランジスタ段は、例えば、ゲート電圧端子にピンチオフ電圧よりも十分に高いゲートバイアス電圧として、Hレベル(例えば3V)の電圧を印加してドレインソース間を低インピーダンスにすることにより、電界効果トランジスタ段をオン状態に制御することができる。逆に、ゲート電圧端子にピンチオフ電圧よりも十分に低いゲートバイアス電圧として、Lレベル(例えば0V)の電圧を印加してドレインソース間を高インピーダンスにすることにより、電界効果トランジスタ段をオフ状態に制御することができる。

【 0 0 0 6 】

図13は、このようなスイッチング素子を用いた先行技術の第1の構成に係る高周波スイッチ回路装置の一例の回路図を示す。この高周波スイッチ回路装置は、例えばアンテナスイッチ部として使用される。ここでは、高周波スイッチ回路装置の1つである高周波用 S P 3 T (S i n g l e - P o l e T r i p l e - T h r o w) スイッチを例として示す。

【 0 0 0 7 】

高周波用 S P 3 T スイッチは、たとえば入力された高周波信号の出力経路を切り替えるものであり、その入力側には、第1高周波信号端子 R F 1 が配置されている。また、出力側には、第2高周波信号端子 R F 2、第3高周波信号端子 R F 3、および第4高周波信号端子 R F 4 が配置されている。第1高周波信号端子 R F 1 へ入力された高周波信号は、第2高周波信号端子 R F 2、第3高周波信号端子 R F 3 および第4高周波信号端子 R F 4 のいずれか一つから出力される。スイッチの入出力関係を上記とは逆にしても良い。

【 0 0 0 8 】

第1高周波信号端子 R F 1 と第2高周波信号端子 R F 2 との間には、高周波信号経路のスイッチングを行うスイッチ回路である第1電界効果トランジスタ段 F E T 1 が設けられている。また、第1高周波信号端子 R F 1 と第3高周波信号端子 R F 3 との間には、同様のスイッチ回路である第2電界効果トランジスタ段 F E T 2 が設けられている。第1高周波信号端子 R F 1 と第4高周波信号端子 R F 4 との間には、同様のスイッチ回路である第3電界効果トランジスタ段 F E T 3 が設けられている。以下、電界効果トランジスタ段は、電界効果トランジスタ段をスイッチング素子として用いたスイッチ回路を意味するものとする。

【 0 0 0 9 】

そして、第1制御電圧入力端子 C T L 1、第2制御電圧入力端子 C T L 2 および第3制御電圧入力端子 C T L 3 に与えられる制御電圧により、それぞれの電界効果トランジスタ段 F E T 1、F E T 2、F E T 3 がオン・オフ制御される。これにより、第1高周波信号端子 R F 1 は、第2高周波信号端子 R F 2、第3高周波信号端子 R F 3 および第4高周波信号端子 R F 4 のいずれか一つに電氣的に接続される。なお、記号 R 1、R 2 および R 3 は、第1電界効果トランジスタ段 F E T 1、第2電界効果トランジスタ段 F E T 2 および第3電界効果トランジスタ段 F E T 3 の各々の電界効果トランジスタのゲートに接続された抵抗を示す。

【 0 0 1 0 】

一方、このような G a A s F E T をスイッチング素子として用いる場合、低挿入損失、高アイソレーションの両立は難しいという問題がある。F E T 単体において高アイソレーションを得るには F E T のゲート電圧端子幅を小さくすれば良い。ところが、ゲート電圧

10

20

30

40

50

端子幅を小さくすると、オン抵抗が増大するため、挿入損失が悪化するという問題がある。したがって、低挿入損失、高アイソレーションの両立は難しい。このように F E T 単体では低挿入損失、高アイソレーションの両立は難しいが、F E T を組み合わせることによりこの問題の解決が図られている。

【 0 0 1 1 】

図 1 4 に、上記のような構成の先行技術の第 2 の構成に係る高周波スイッチ回路装置の例の回路図を示す。ここでは、例として、信号経路に対してシリーズ F E T とシャント F E T をそれぞれ 1 個ずつ組み合わせてなる、高周波用 S P 3 T スwitchを示す。

【 0 0 1 2 】

この構成により、オフ状態のシリーズ F E T の容量成分を介して漏れる R F 信号をオン状態にあるシャント F E T がグランドに引き込むことができ、高アイソレーションが得られるようになる。

10

【 0 0 1 3 】

この高周波スイッチ回路装置においては、第 2 高周波信号端子 R F 2 と接地端子 G N D との間には第 4 電界効果トランジスタ段 F E T 4 が配置されている。これによって、第 1 高周波信号端子 R F 1 と第 2 高周波信号端子 R F 2 との間が遮断状態のときに、第 1 高周波信号端子 R F 1 から第 2 高周波信号端子 R F 2 へ第 1 電界効果トランジスタ段 F E T 1 を介して漏れ出してくる信号をグラウンドに引き込む。同様に、第 3 高周波信号端子 R F 3 と接地端子 G N D との間には、第 5 電界効果トランジスタ段 F E T 5 が配置されている。さらに、第 4 高周波信号端子 R F 4 と接地端子 G N D との間には、第 6 電界効果トランジスタ段 F E T 6 が配置されている。

20

【 0 0 1 4 】

以上のように、このスイッチ回路では、第 4 電界効果トランジスタ段 F E T 4、第 5 電界効果トランジスタ段 F E T 5、および第 6 電界効果トランジスタ段 F E T 6 からなるシャント回路が形成されている。記号 R 4、R 5 および R 6 は、第 4 電界効果トランジスタ段 F E T 4、第 5 電界効果トランジスタ段 F E T 5、および第 6 電界効果トランジスタ段 F E T 6 の各電界効果トランジスタのゲートに接続された抵抗を示す。記号 C 1、C 2 および C 3 は、第 4 電界効果トランジスタ段 F E T 4、第 5 電界効果トランジスタ段 F E T 5、および第 6 電界効果トランジスタ段 F E T 6 と直列に接続されたコンデンサを示す。

【 0 0 1 5 】

30

これら電界効果トランジスタ段 F E T 1 ~ F E T 6 は、第 1 制御電圧入力端子 C T L 1 ないし第 6 制御電圧入力端子 C T L 6 に与えられる制御電圧によりオン・オフ制御される。

【 0 0 1 6 】

具体的には、図 1 5 の制御論理表に示すように、第 1 制御電圧入力端子 C T L 1 がハイ状態となるときは、第 5 制御電圧入力端子 C T L 5 および第 6 制御電圧入力端子 C T L 6 がハイ状態となる。同様に、第 2 制御電圧入力端子 C T L 2 がハイ状態となるときは、第 4 制御電圧入力端子 C T L 4 および第 6 制御電圧入力端子 C T L 6 がハイ状態となる。また、第 3 制御電圧入力端子 C T L 3 がハイ状態となるときは、第 4 制御電圧入力端子 C T L 4 および第 5 制御電圧入力端子 C T L 5 がハイ状態となる。これによって、各高周波信号間のアイソレーション特性を良好に保っている。

40

【 0 0 1 7 】

しかしながら、このようなアイソレーション確保用のシャント F E T を有した高周波用 S P 3 T スwitch回路の構成を採用するためには、各シャント F E T のゲート電圧端子に印加する制御電圧を独立に制御するためだけに 3 系統の制御電圧入力端子が必要となる。したがって、シリーズ F E T の制御用も含めると 6 系統の制御電圧入力端子が必要になる。その結果、高周波スイッチ回路装置のパッケージのピン数の増加およびパッケージサイズの大型化につながるという問題があり、装置の小型化が要求される携帯端末には不適であった。

【 0 0 1 8 】

50

上記のような制御電圧入力端子数の増加を避けるための最も簡単な方法である第1の方法は、図16に示すように、先行技術の第3の構成に係る高周波スイッチ回路装置の構成を採用することである。すなわち、各信号経路について、シリーズFET1個に対してシャントFETをそれぞれ2個ずつ組み合わせることである。

【0019】

具体的に言えば、上記で示したSP3Tスイッチ構成において、第2高周波信号端子RF2と接地端子GNDとの間に第7電界効果トランジスタ段FET7を追加する。また同様に第3高周波信号端子RF3と接地端子GNDとの間に第8電界効果トランジスタ段FET8を追加する。さらに第4高周波信号端子RF4と接地端子GNDとの間に第9電界効果トランジスタ段FET9を追加する。

10

【0020】

そして、第1制御電圧入力端子CTL1により第1電界効果トランジスタ段FET1、第5電界効果トランジスタ段FET5および第6電界効果トランジスタ段FET6をオン・オフ制御する。同様に、第2制御電圧入力端子CTL2により第2電界効果トランジスタ段FET2、第4電界効果トランジスタ段FET4および第9電界効果トランジスタ段FET9をオン・オフ制御する。さらに、第3制御電圧入力端子CTL3により第3電界効果トランジスタ段FET3、第7電界効果トランジスタ段FET7および第8電界効果トランジスタ段FET8をオン・オフ制御する。

【0021】

これによって、3系統の制御電圧入力端子でアイソレーションを良好に保つことができる。記号R7、R8およびR9は、第7電界効果トランジスタ段FET7、第8電界効果トランジスタ段FET8および第9電界効果トランジスタ段FET9の各々のゲートに接続された抵抗を示す。記号C4、C5およびC6は、第7電界効果トランジスタ段FET7、第8電界効果トランジスタ段FET8、および第9電界効果トランジスタ段FET9と各々直列に接続されたコンデンサを示す。

20

【0022】

また、それ以外にも、差動増幅回路、およびインバータ回路による対称制御電圧発生回路を高周波スイッチ回路装置に内蔵することによりSPDTスイッチの制御電圧入力端子を削減する第2の方法が特許文献1に開示されている。また、シリーズFETの制御電圧入力端子をグラウンド端子に接続し、シャントFETのドレインまたはソースを電源端子に接続し、シャントFETの制御電圧をシリーズFETのドレインまたはソースに印加することで制御電圧入力端子を削減する第3の方法が特許文献2に開示されている。

30

【特許文献1】特開平6-85641号公報

【特許文献2】特開平11-150464号公報

【発明の開示】

【発明が解決しようとする課題】

【0023】

しかしながら、上記のような方法を用いても、以下に示す問題が発生する。

【0024】

上記第1の方法では、FETの数が追加され、GaAsチップサイズの増大を招く。またそれとともに、シャントFETが各信号経路に1個追加されたことで、オン経路に並列に接続されているオフ状態のFET、つまり容量成分が追加される。そのために、オン経路の挿入損失の周波数特性の悪化を招く。

40

【0025】

また、第2の方法では、差動増幅回路およびインバータ回路をGaAsチップ内で作成することは、極めて困難である。そのため、外部ピン数の増加および部品点数の増加、FET形成における全工程数の増大を招く。

【0026】

さらに、第3の方法では、各FETのドレインまたはソース電圧を制御しているため、多くのFETのドレインおよびソースの前後にDCカット用のコンデンサを接続する必要

50

がある。したがって多くのコンデンサを高周波スイッチ回路に内蔵する必要があり、チップ面積の増大および部品点数の増加を招く。

【0027】

本発明の目的は、上記問題点を解決するためになされたもので、チップサイズの増大、オン経路の挿入損失の周波数特性の悪化、外部ピンを通して入力すべき制御信号の数の増加を招くことなく、スイッチ要素を精細に制御することができる高周波スイッチ回路装置を提供することである。

【0028】

本発明の他の目的は、今後進展する携帯電話機のさらなるマルチバンド化の際にも小型軽量の携帯電話機を実現するための小型軽量のアンテナスイッチを実現する高周波スイッチ回路装置を提供することである。

10

【0029】

本発明のさらに他の目的は、マルチバンド化の際に困難であったアイソレーションの確保を実現し、高性能な高周波スイッチ回路装置を提供することである。

【課題を解決するための手段】

【0030】

本発明は、上記した目的を達成するため、基本的には、以下に記載された技術構成を採用するものである。

【0031】

本発明の高周波スイッチ回路装置は、3つ以上の高周波信号経路の何れか少なくとも一つを導通させ残りを遮断させる高周波スイッチ回路装置であって、化合物半導体基板と、前記化合物半導体基板上に形成された金属 - 半導体電界効果トランジスタからなり、前記3つ以上の高周波信号経路のそれぞれを断続する3つ以上のスイッチ要素と、前記化合物半導体基板上に金属 - 半導体ショットキー接合として形成された複数のダイオードからなるダイオードロジック回路とを備えている。

20

【0032】

ここで、前記3つ以上のスイッチ要素の各々は、前記3つ以上の高周波信号経路の各々に挿入されたシリーズスイッチ要素と前記3つ以上の高周波信号経路の各々とグラウンドとの間に接続されたシャントスイッチ要素とからなり、前記3つ以上のスイッチ要素の各シリーズスイッチ要素のゲート電極に3つ以上の制御電圧が個別に与えられ、前記ダイオードロジック回路は、前記3つ以上の制御電圧の論理合成を行うことにより前記3つ以上のスイッチ要素毎に組み合わせの異なる少なくとも2つの制御電圧の論理和を個別の論理合成電圧としてそれぞれ出力し、前記ダイオードロジック回路から出力される前記個別の論理合成電圧が前記3つ以上のスイッチ要素の各シャントスイッチ要素のゲート電極にそれぞれ与えられる。

30

【0033】

上記の構成において、複数のスイッチ要素のうちの一つのスイッチ要素のシャントスイッチ要素のゲート電極に与えられる個別の論理合成電圧は、例えば複数のスイッチ要素のうちの一つのスイッチ要素に与えられる全ての制御電圧の論理和である。

【0034】

40

上記本発明の高周波スイッチ回路装置においては、シリーズスイッチ要素およびシャントスイッチ要素は例えば、それぞれ複数の金属 - 半導体電界効果トランジスタの直列回路で構成される。この場合、ダイオードロジック回路は、全ての制御電圧の論理和を共通の論理合成電圧として出力する。そして、3つ以上のスイッチ要素のそれぞれのシリーズスイッチ要素およびシャントスイッチ要素について、ダイオードロジック回路から出力される共通の論理和電圧が複数の金属 - 半導体電界効果トランジスタの相互接続点に与えられる。

【0035】

上記の構成において、3つ以上のスイッチ要素のうちの一つのスイッチ要素のシャントスイッチ要素のゲート電極に与えられる個別の論理合成電圧は、例えば3つ以上のスイッ

50

チ要素のうちの残りのスイッチ要素に与えられる全ての制御電圧の論理和である。

【 0 0 3 6 】

上記本発明の高周波スイッチ回路装置においては、シリーズスイッチ要素およびシャントスイッチ要素は例えば、それぞれ複数の金属 - 半導体電界効果トランジスタの直列回路で構成される。この場合、3つ以上のスイッチ要素のそれぞれのシリーズスイッチ要素については、ダイオードロジック回路から出力される個別の論理合成電圧が複数の金属 - 半導体電界効果トランジスタの相互接続点に与えられ、また3つ以上のスイッチ要素のそれぞれのシャントスイッチ要素については、3つ以上の制御電圧が複数の金属 - 半導体電界効果トランジスタの相互接続点にそれぞれ与えられる構成でもよい。

【 0 0 3 7 】

上記の構成において、3つ以上のスイッチ要素のうちの一つのスイッチ要素のシャントスイッチ要素のゲート電極とシリーズスイッチ要素を構成する金属 - 半導体電界効果トランジスタの相互接続点とに与えられる個別の論理合成電圧は、例えば3つ以上のスイッチ要素のうちの残りのスイッチ要素に与えられる全ての制御電圧の論理和である。

【 発明の効果 】

【 0 0 4 4 】

以上のように本発明の高周波スイッチ回路装置は、F E T 作製工程で同時に作製することのできるショットキー接合よりなるダイオードを用い、複数の制御電圧入力端子の電圧を論理合成する、例えば複数の制御電圧入力端子の電圧のうち高い方を選択出力するダイオードロジック回路を、化合物半導体基板に一体的に形成している。これにより、アイソレーション確保用のシャントスイッチ要素をシリーズスイッチ要素の制御電圧入力端子の電圧により制御することができ、先行技術に比して制御系等を小型化することができる。このため、携帯電話機のマルチバンド化の際にも、パッケージのピン数の減少およびパッケージサイズの小型化および操作性の向上につながり、携帯電話機の小型化に貢献することができる。

【 0 0 4 5 】

また、このダイオードロジック回路をスイッチ要素を構成するF E Tのソースおよびドレイン、すなわち複数のF E Tの直列回路の中間接続点に接続することで、電源端子を追加することなく、電位を固定することができる。その結果、低挿入損失、高アイソレーション、低歪といった良好な特性を有する高周波スイッチ回路装置を実現することができる。

【 0 0 4 6 】

また、送受信切替のように切り替える経路によって取り扱う電力が異なる場合においては、小電力を取り扱う受信側の電界効果トランジスタ段を一部共通にし、さらにその共通にした電界効果トランジスタ段をダイオードロジック回路によって制御することにより、制御系を増やすことなく、チップサイズを縮小することができ、更なる携帯電話機の小型化に貢献することができる。

【 発明を実施するための最良の形態 】

【 0 0 4 7 】

以下、本発明の実施の形態を、図面を参照しながら説明する。

【 0 0 4 8 】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 に係る高周波スイッチ回路装置の一例を示す回路図であり、具体的には高周波用 S P 3 T スwitchの回路構成を示す。

【 0 0 4 9 】

図 1 において、第 1 高周波信号端子 R F 1 から第 4 高周波信号端子 R F 4 まで、第 1 電界効果トランジスタ段 F E T 1 から第 6 電界効果トランジスタ段 F E T 6 まで、制御電圧入力端子 C T L 1 ~ C T L 3 は先行技術と同じものである。第 1 ダイオード D 1 から第 6 ダイオード D 6 までは、ダイオードロジック回路 O R 1 を構成するダイオードであり、金属 - 半導体 F E T のゲート電極と同一材料により金属 - 半導体ショットキー接合として作

10

20

30

40

50

成されたダイオードである。このダイオードは、F E T 作製工程で同時に作製することができる。

【 0 0 5 0 】

第 1 ダイオード D 1 は、第 3 制御電圧入力端子 C T L 3 にアノードが接続され、そのカソードが第 4 電界効果トランジスタ段 F E T 4 のゲート電圧端子に接続されるとともに、抵抗 R 1 0 1 を介して接地端子 G N D に接続されている。第 2 ダイオード D 2 は、第 2 制御電圧入力端子 C T L 2 にアノードが接続され、そのカソードが第 1 ダイオード D 1 のカソードに接続されている。

【 0 0 5 1 】

第 3 ダイオード D 3 は、第 3 制御電圧入力端子 C T L 3 にアノードが接続され、そのカソードが第 5 電界効果トランジスタ段 F E T 5 のゲート電圧端子に接続されるとともに、抵抗 R 1 0 2 を介して接地端子 G N D に接続されている。第 4 ダイオード D 4 は、第 1 制御電圧入力端子 C T L 1 にアノードが接続され、そのカソードが第 3 ダイオード D 3 のカソードに接続されている。

【 0 0 5 2 】

第 5 ダイオード D 5 は、第 2 制御電圧入力端子 C T L 2 にアノードが接続され、そのカソードが第 6 電界効果トランジスタ段 F E T 6 のゲート電圧端子に接続されるとともに、抵抗 R 1 0 3 を介して接地端子 G N D に接続されている。第 6 ダイオード D 6 は、第 1 制御電圧入力端子 C T L 1 にアノードが接続され、そのカソードが第 5 ダイオード D 5 のカソードに接続されている。

【 0 0 5 3 】

次に動作について説明する。例えば、第 1 高周波信号端子 R F 1 と第 2 高周波信号端子 R F 2 の経路をオン状態にしたいときは以下のように動作する。第 1 制御電圧入力端子 C T L 1 に H レベル電圧(例えば 3 V)を入力し、第 2 制御電圧入力端子 C T L 2 および第 3 制御電圧入力端子 C T L 3 に L レベル電圧(例えば 0 V)を入力する。それによって、第 1 電界効果トランジスタ段 F E T 1 がオン状態、第 2 電界効果トランジスタ段 F E T 2 および第 3 電界効果トランジスタ段 F E T 3 がオフ状態となる。

【 0 0 5 4 】

このとき、第 4 電界効果トランジスタ段 F E T 4 のゲート電圧端子には、アノードが第 3 制御電圧入力端子 C T L 3 に接続されている第 1 ダイオード D 1 のカソードと、アノードが第 2 制御電圧入力端子 C T L 2 に接続されている第 2 ダイオード D 2 のカソードとが接続されている。そのため、第 1 ダイオード D 1 および第 2 ダイオード D 2 とともにアノードは L レベル電圧の電位となる。第 1 ダイオード D 1 および第 2 ダイオード D 2 のカソードは L レベル電位の接地端子 G N D に抵抗 R 1 0 1 を介して接続されている。したがって、第 1 ダイオード D 1 および第 2 ダイオード D 2 の各々のカソードとアノードの電位差がダイオードの閾値 V_f 以下であるので、第 1 ダイオード D 1 および第 2 ダイオード D 2 には電流が流れない。そのため、第 4 電界効果トランジスタ段 F E T 4 のゲート電圧端子には、第 2 制御電圧入力端子 C T L 2 と第 3 制御電圧入力端子 C T L 3 とへ与えられる 2 つの制御電圧の O R 電位、すなわち L レベルの電圧が入力される。したがって、第 4 電界効果トランジスタ段 F E T 4 はオフ状態となる。

【 0 0 5 5 】

また、第 5 電界効果トランジスタ段 F E T 5 のゲート電圧端子には、アノードが第 3 制御電圧入力端子 C T L 3 に接続されている第 3 ダイオード D 3 のカソードと、アノードが第 1 制御電圧入力端子 C T L 1 に接続されている第 4 ダイオード D 4 のカソードとが接続されている。そのため、第 3 ダイオード D 3 のアノードは L レベルの電位となり、第 4 ダイオード D 4 のアノードは H レベルの電位となる。第 3 ダイオード D 3 および第 4 ダイオード D 4 のカソードは L レベル電位の接地端子 G N D に抵抗 R 1 0 2 を介して接続されている。したがって、第 4 ダイオード D 4 のカソードとアノードの電位差がダイオードの閾値 V_f を超えるので、第 4 ダイオード D 4 に電流が流れる。その結果、第 4 ダイオード D 4 のカソードには H レベル電圧よりダイオードの電圧降下分 (0 . 7 V 以下) を差し引い

10

20

30

40

50

た電位が現れる。また、このとき第3ダイオードD3は、カソードとアノードの電位差がダイオードの閾値 V_f 以下（逆バイアス状態）であるので、第3ダイオードD3には電流が流れない。そのため、第5電界効果トランジスタ段FET5のゲート電圧端子には、第1制御電圧入力端子CTL1と第3制御電圧入力端子CTL3とに与えられる2つの制御電圧のOR電位、正確にはHレベル電圧よりダイオードの電圧降下分を差し引いた電位が加わる。つまり、電界効果トランジスタのピンチオフ電圧よりも十分に高いゲートバイアス電圧が第5電界効果トランジスタ段FET5に印加されることとなる。したがって、第5電界効果トランジスタ段FET5はオン状態となる。

【0056】

同様に、第6電界効果トランジスタ段FET6のゲート端子には、アノードが第2制御電圧入力端子CTL2に接続されている第5ダイオードD5のカソードと、アノードが第1制御電圧入力端子CTL1に接続されている第6ダイオードD6のカソードとが接続されている。そのため、第5ダイオードD5のアノードはLレベルの電位となり、第6ダイオードD6のアノードはHレベルの電位となる。第5ダイオードD5および第6ダイオードD6のカソードはLレベル電位の接地端子GNDに抵抗R103を介して接続されている。したがって、第6ダイオードD6のカソードとアノードの電位差がダイオードの閾値 V_f を超えるので第6ダイオードD6に電流が流れる。その結果、第6ダイオードD6のカソードにはHレベル電圧よりダイオードの電圧降下分を差し引いた電位が現れる。また、このとき第5ダイオードD5は、カソードとアノードの電位差がダイオードの閾値 V_f 以下（逆バイアス状態）であるので、第5ダイオードD5には電流が流れない。そのため、第6電界効果トランジスタ段FET6のゲート電圧端子には、第1制御電圧入力端子CTL1と第2制御電圧入力端子CTL2とに与えられる2つの制御電圧のOR電位、正確にはHレベル電圧よりダイオードの電圧降下分を差し引いた電位が加わる。つまり、電界効果トランジスタのピンチオフ電圧よりも十分に高いゲートバイアス電圧が第6電界効果トランジスタ段FET6に印加されることとなる。したがって、第6電界効果トランジスタ段FET6はオン状態となる。

【0057】

同様に、第1高周波信号端子RF1と第3高周波信号端子RF3の経路をオン状態にしたいとき、および第1高周波信号端子RF1と第4高周波信号端子RF4の経路をオン状態にしたいときには、第1制御電圧入力端子CTL1、第2制御電圧入力端子CTL2および第3制御電圧入力端子CTL3へ図2の制御論理表に示すような制御電圧を与えればよい。その際、ダイオードロジック回路OR1は図2に示す制御論理表に示すように動作する。

【0058】

本実施の形態1の高周波スイッチ回路では、先行技術の高周波スイッチ回路と比較して以下のような差がある。すなわち、図14に示す先行技術の第2の構成では、アイソレーション特性を確保するため、6つの電界効果トランジスタ段の制御に6系統の制御電圧入力端子が必要である。また図15に示す先行技術の第3の構成では、3系統の制御電圧入力端子でアイソレーションを確保するため、シャントFETの数を増やしていた。ところが、本実施の形態1の高周波スイッチ回路では、シャントFETの数を増やすことなく3系統の制御電圧入力端子で6つの電界効果トランジスタ段の制御が可能となる。このため、パッケージのピン数の減少およびパッケージサイズの小型化および操作性の向上につながり、携帯電話機の小型化に貢献することができる。

【0059】

また、図3A、3Bにダイオードロジック回路OR1中のダイオードをGaAs基板上スイッチ要素と一体的に作製するときの回路図とパターン構造の一例を示す。図3A、3Bでは、2つのダイオードD11、D12を用いてダイオードロジック回路を構成する場合の例を示している。第1入力端子IN1および第2入力端子IN2は、2つのダイオードD11、D12のアノードに対応しており、各々図1の制御電圧入力端子に接続されている。第1出力端子OUT1は、この2つのダイオードD11、D12の共通のカソード

に対応している。つまり、第 1 出力端子 O U T 1 には、第 1 入力端子 I N 1 および第 2 入力端子 I N 2 に接続される制御電圧入力端子に与えられる制御電圧の O R 電圧が出力されることとなる。

【 0 0 6 0 】

これら 2 つのダイオードを F E T 作製工程で同時に作製する場合、この第 1 入力端子 I N 1 および第 2 入力端子 I N 2 からの信号を入力する 2 つのダイオードのアノードは、G a A s 基板 S 1 上に形成される活性層 A 1 と、この活性層 A 1 上に形成されるゲート電極 G T 1 とによって形成される。また、2 つのダイオードに共通のカソードは、この活性層 A 1 上にゲート電極 G T 1 に対して櫛形に形成されるソース・ドレイン用オーミック電極 S D 1 によって形成される。

10

【 0 0 6 1 】

このとき、G a A s 基板上に作製されるダイオード形成用のゲート長は高周波信号を通過させる電界効果トランジスタ段のゲート長と比較して $1 / 10$ 以下のゲート長でよく、半導体基板内の占有面積も $1 / 10$ 以下で済む。また、3 つ以上のダイオードを用いてダイオードロジック回路を形成する場合においても、同様に、入力端子分の本数のゲート電極を形成し、さらにソース・ドレイン共通オーミック電極を櫛形に形成することで作製が可能である。なお、ソース・ドレイン共通オーミック電極は、櫛形に形成する必要はない。

【 0 0 6 2 】

本発明の実施の形態 1 によれば、ダイオードは、図 3 A、3 B に示すように化合物半導体基板上に形成される金属 - 半導体 F E T のゲート電極と同一材料により F E T 作製工程で同時に作製することのできるショットキー接合よりなるダイオードであり、さらに F E T 形成と比較して $1 / 10$ 以下の占有面積で作製が可能である。このため、先行技術と比較して大幅なチップサイズの縮小、並びに製造コストの低廉化を実現することができる。

20

【 0 0 6 3 】

(実施の形態 2)

図 4 は、本発明の実施の形態 2 に係る高周波スイッチ回路装置の一例を示す図である。具体的には、高周波用 S P 3 T スwitch の回路構成を示す。

【 0 0 6 4 】

図 4 において、第 1 高周波信号端子 R F 1 から第 4 高周波信号端子 R F 4 まで、第 1 電界効果トランジスタ段 F E T 1 から第 6 電界効果トランジスタ段 F E T 6 まで、制御電圧入力端子 C T L 1 ~ C T L 3 は先行技術と同じものである。第 1 ダイオード D 1 から第 6 ダイオード D 6 までは、実施の形態 1 と同じものである。第 1 ダイオード D 1 ないし第 9 ダイオード D 9 はダイオードロジック回路 O R 2 を構成するダイオードであり、金属 - 半導体 F E T のゲート電極と同一材料により F E T 作製工程で同時に作製することのできるショットキー接合よりなるダイオードである。

30

【 0 0 6 5 】

第 7 ダイオード D 7、第 8 ダイオード D 8 および第 9 ダイオード D 9 は、それぞれ第 1 制御電圧入力端子 C T L 1、第 2 制御電圧入力端子 C T L 2 および第 3 制御電圧入力端子 C T L 3 にアノードが接続されている。それらのカソードは、抵抗 R 104 を介して接地端子 G N D に接続されている。さらに、それらのカソードは、第 1 電界効果トランジスタ段 F E T 1 から第 6 電界効果トランジスタ段 F E T 6 までの各々の電界効果トランジスタ段を構成する複数の電界効果トランジスタの中間接続点、すなわちソースまたはドレインに抵抗 R 201 ないし R 206 を介して接続されている。

40

【 0 0 6 6 】

次に動作について説明する。図 5 に本実施の形態のダイオードロジック回路の制御論理表を示す。第 1 高周波信号端子 R F 1 と第 2 高周波信号端子 R F 2、第 3 高周波信号端子 R F 3 および第 4 高周波信号端子 R F 4 との経路が各々オン状態にあるとき、各々の電界効果トランジスタ段 F E T 1 ~ F E T 6 は、実施の形態 1 と同様に動作する。

【 0 0 6 7 】

50

また、第7ダイオードD7、第8ダイオードD8および第9ダイオードD9は、アノードが制御電圧入力端子CTL1、CTL2、CTL3にそれぞれ接続されており、カソードが抵抗R104を介して接地端子GNDに共通に接続されている。そのため、第7ダイオードD7、第8ダイオードD8および第9ダイオードD9のいずれか一つは、カソードとアノードの電位差がダイオードの閾値Vf以上であるので電流が流れ、カソードにはHレベルの電圧よりダイオードの電圧降下分を差し引いた電位が現れる。

【0068】

したがって、第1電界効果トランジスタ段FET1ないし第6電界効果トランジスタ段FET6の各々の電界効果トランジスタ段を構成する複数の電界効果トランジスタの中間接続点、すなわちソースまたはドレインが、制御電圧入力端子CTL1、CTL2およびCTL3のOR電圧、正確にはHレベルの電圧よりダイオードの電圧降下分を差し引いた電圧で固定されることとなる。

10

【0069】

本実施の形態2の高周波スイッチ回路では、実施の形態1と同様の効果に加えて、複数の電界効果トランジスタの中間接続点をHレベルの電圧よりダイオードの電圧降下分を差し引いた電圧で固定する。これに対し、電界効果トランジスタがオン状態のときは、ゲート端子電圧としてはHレベルの電圧、またはHレベルの電圧よりダイオードの電圧降下分を差し引いた電圧が与えられる。そのため、確実に0V以上の順バイアスで動作が可能となる。

【0070】

20

また、電界効果トランジスタがオフ状態のときは、ゲート端子電圧としてはLレベルの電圧が与えられる。したがって、(Lレベル電圧) - (Hレベルの電圧よりダイオードの電圧降下分を差し引いた電圧)の逆バイアスで電界効果トランジスタを確実に遮断できる。つまり、オン・オフ制御を確実に行うことができ、オフ状態の信号経路へのリークの抑制につながり、高アイソレーション、低歪といった良好な特性を有する高周波スイッチ回路装置を実現することができる。しかも、複数の電界効果トランジスタの中間接続点の電位を固定するための特別な電源が不要であり、電源供給のための端子も不要である。したがって、電位固定のために端子数が増加することもない。

【0071】

(実施の形態3)

30

図6は、本発明の実施の形態3に係る高周波スイッチ回路装置の一例を示す図である。具体的には、高周波用SP3Tスイッチの回路構成を示す。

【0072】

図6において、第1高周波信号端子RF1から第4高周波信号端子RF4まで、第1電界効果トランジスタ段FET1から第6電界効果トランジスタ段FET6まで、制御電圧入力端子CTL1~CTL3は先行技術と同じものである。第1ダイオードD1から第6ダイオードD6までは、ダイオードロジック回路OR1を構成するダイオードであり、実施の形態1と同じものである。

【0073】

本実施の形態3に係る高周波用SP3Tスイッチの回路構成では、第1電界効果トランジスタ段FET1のゲート電圧端子が、第4電界効果トランジスタ段FET4を構成する複数の電界効果トランジスタの中間接続点に抵抗R204を介して接続されている。同様に、第2電界効果トランジスタ段FET2のゲート電圧端子が、第5電界効果トランジスタ段FET5を構成する複数の電界効果トランジスタの中間接続点に抵抗R205を介して接続されている。さらに、第3電界効果トランジスタ段FET3のゲート電圧端子が、第6電界効果トランジスタ段FET6を構成する複数の電界効果トランジスタの中間接続点に抵抗R206を介して接続されている。

40

【0074】

また、第4電界効果トランジスタ段FET4のゲート電圧端子が、第1電界効果トランジスタ段FET1を構成する複数の電界効果トランジスタの中間接続点に抵抗R201を

50

介して接続されている。同様に、第5電界効果トランジスタ段FET5のゲート電圧端子が、第2電界効果トランジスタ段FET2を構成する複数の電界効果トランジスタの中間接続点に抵抗R202を介して接続されている。さらに、第6電界効果トランジスタ段FET6のゲート電圧端子が、第3電界効果トランジスタ段FET3を構成する複数の電界効果トランジスタの中間接続点に抵抗R203を介して接続されている。

【0075】

次に動作について説明する。ダイオードロジック回路OR1の各ダイオードの動作は、実施の形態1と同様であり、図2に示す制御論理表のとおりである。本実施の形態の回路によれば、シリーズの電界効果トランジスタ段の中間接続点が常にシャントの電界効果トランジスタ段のゲート端子電圧で電位固定されており、シャントの電界効果トランジスタ段の中間接続点が常にシリーズの電界効果トランジスタ段のゲート端子電圧で電位固定されている。そのため、オン状態の電界効果トランジスタ段は、ソースおよびドレインがLレベルの電圧で固定されることになり、確実に高い順バイアスで動作する。一方、オフ状態の電界効果トランジスタ段は、ソースおよびドレインがHレベルもしくはHレベルの電圧よりダイオードの電圧降下分を差し引いた電圧で固定されることになり、確実に高い逆バイアスで動作する。

10

【0076】

本実施の形態3の高周波スイッチ回路によれば、実施の形態2と同様の効果に加えて、さらに電界効果トランジスタ段のオン・オフ制御を確実に行うことができるという効果がある。つまり、オン状態では、確実に順バイアスで動作することができ、オフ状態では、確実に高い逆バイアスにすることができる。そのため、実施の形態2と比較してさらに低挿入損失、高アイソレーション、低歪といった良好な特性を有する高周波スイッチ回路装置を実現することができる。

20

【0077】

(実施の形態4)

図7は、本発明の実施の形態4に係る高周波スイッチ回路装置の一例を示す図である。具体的には、高周波用SP3Tスイッチの回路構成を示す。

【0078】

本実施の形態4は、アンテナに対して送信受信切替えを行うというような、大小異なる2つ以上の電力を扱う通信端末装置に有効な回路構成である。この実施の形態における通信端末装置は通信帯域として準マイクロ波帯を用いるものとする。

30

【0079】

図8にこの実施の形態を用いた通信端末のRF信号処理部分を示す。この通信端末装置では、アンテナANTに対して少なくとも第1高周波信号と第2高周波信号と第3高周波信号とをそれぞれスイッチングする高周波スイッチ回路装置を有する。第1高周波信号が送信部TXの第1送信回路TX1に接続され、第2高周波信号および第3高周波信号が受信部RXの第1受信回路RX1および第2受信回路RX2に接続されている。

【0080】

信号経路を構成する電界効果トランジスタで大電力を扱う場合、オフ状態にある電界効果トランジスタ段において歪を発生しやすい。このことから、複数の電界効果トランジスタを直列接続し、多段化することにより取り扱い電力を拡大している。本実施の形態によれば、図8の通信端末のRF信号処理部分で示すように、経路間で取り扱い電力が異なり、受信側経路が複数あった場合、受信を扱う経路のオン・オフ動作を行うシリーズの電界効果トランジスタ段の複数段のうち、何段かの電界効果トランジスタ段をアンテナ側端子に共通FETとして接続する。これにより、先行技術と同等の歪特性を有するアンテナスイッチ回路を小型化することが可能となる。

40

【0081】

例えば、高周波用SP3Tスイッチの第1高周波信号端子RF1をアンテナ接続端子ANTとして使用し、第2高周波信号端子RF2を第1送信回路側端子TX1、第3高周波信号端子RF3を第1受信回路側端子RX1、第4高周波信号端子RF4を第2受信回路

50

側端子 R X 2 としてそれぞれ使用した場合において、本発明の実施の形態 4 を適用した回路構成について以下に説明する。

【 0 0 8 2 】

図 7 の回路構成において、第 1 高周波信号端子 R F 1 ないし第 4 高周波信号端子 R F 4 、第 1 電界効果トランジスタ段 F E T 1 および第 4 電界効果トランジスタ段 F E T 4 、制御電圧入力端子 C T L 1 ないし C T L 3 は先行技術と同じものを示す。第 1 ダイオード D 1 ないし第 6 ダイオード D 6 は、ダイオードロジック回路 O R 1 を構成するダイオードであり、実施の形態 1 と同じものを示す。

【 0 0 8 3 】

アンテナ接続端子 A N T (R F 1) と第 1 受信回路側端子 R X 1 (R F 3) との間のオン・オフ切替えを行うシリーズの電界効果トランジスタ段、すなわち実施の形態 1 における 4 段の電界効果トランジスタ段 F E T 2 が、2 段の電界効果トランジスタ段 F E T 2 1 と 2 段の電界効果トランジスタ段 F E T 2 2 とで構成される。また、アイソレーション確保用のシャントの電界効果トランジスタ段、すなわち実施の形態 1 における 4 段の電界効果トランジスタ段 F E T 5 が、2 段の電界効果トランジスタ段 F E T 2 4 で構成される。

【 0 0 8 4 】

電界効果トランジスタ段 F E T 2 1 のゲート端子電圧は、第 2 制御電圧入力端子 C T L 2 と第 3 制御電圧入力端子 C T L 3 との O R 電圧により制御される。また、電界効果トランジスタ段 F E T 2 2 のゲート端子電圧は第 2 制御電圧入力端子 C T L 2 により制御される。さらに、電界効果トランジスタ段 F E T 2 4 のゲート端子電圧は第 1 制御電圧入力端子 C T L 1 と第 3 制御電圧入力端子 C T L 3 との O R 電圧によって制御される。

【 0 0 8 5 】

また、同様に、アンテナ接続端子 A N T (R F 1) と第 2 受信回路側端子 R X 2 (R F 4) との間のオン・オフ切替えを行うシリーズの電界効果トランジスタ段、すなわち実施の形態 1 における 4 段の電界効果トランジスタ段 F E T 3 が、2 段の電界効果トランジスタ段 F E T 2 1 と 2 段の電界効果トランジスタ段 F E T 2 3 とで構成される。電界効果トランジスタ段 F E T 2 1 が受信回路側経路共通の電界効果トランジスタ段となる。また、アイソレーション確保用のシャントの電界効果トランジスタ段、すなわち実施の形態 1 における 4 段の電界効果トランジスタ段 F E T 6 が、2 段の電界効果トランジスタ段 F E T 2 5 で構成される。

【 0 0 8 6 】

電界効果トランジスタ段 F E T 2 3 のゲート端子電圧は第 3 制御電圧入力端子 C T L 3 により制御される。また、電界効果トランジスタ段 F E T 2 5 のゲート端子電圧は第 1 制御電圧入力端子 C T L 1 と第 2 制御電圧入力端子 C T L 2 との O R 電圧によって制御される。

【 0 0 8 7 】

次に動作について説明する。アンテナ接続端子 A N T (R F 1) と第 1 送信回路側端子 T X 1 (R F 2) との経路をオン状態にすると、第 1 制御電圧入力端子 C T L 1 に H レベル電圧が与えられ、第 2 制御電圧入力端子 C T L 2 および第 3 制御電圧入力端子 C T L 3 に L レベル電圧が与えられる。これによって、ダイオードロジック回路 O R 1 を通して出力される制御信号およびそれらの O R 電圧により、電界効果トランジスタ段 F E T 1 、F E T 2 4 、F E T 2 5 がオン状態となり、その他の電界効果トランジスタ段 F E T 4 、F E T 2 1 、F E T 2 2 、F E T 2 3 がオフ状態となる。

【 0 0 8 8 】

このとき、歪特性は、オン経路 (A N T - T X 1 間) に対応して、オフ経路となるアンテナ A N T と接地端子 G N D 、第 1 受信回路側端子 R X 1 (R F 3) および第 2 受信回路側端子 R X 2 (R F 4) との間にある、記号 F E T 4 、F E T 2 1 と F E T 2 2 、F E T 2 1 と F E T 2 3 で示すオフの状態の電界効果トランジスタ段によって決定される。オフ経路は、4 段以上のオフ状態の電界効果トランジスタにより構成される。つまり、大電力を取り扱う送信状態のときは、本実施の形態 4 の回路の回路構成によれば、全ての電界効

10

20

30

40

50

果トランジスタ段を４段にしたときと同様の歪特性を得ることができる。

【００８９】

次に、アンテナ接続端子ＡＮＴ（ＲＦ１）と第１受信回路側端子ＲＸ１（ＲＦ３）との経路をオン状態にするとき、第２制御電圧入力端子ＣＴＬ２にＨレベル電圧が与えられ、第１制御電圧入力端子ＣＴＬ１および第３制御電圧入力端子ＣＴＬ３にＬレベル電圧が与えられる。これによって、ダイオードロジック回路ＯＲ１を通して出力される、制御信号およびそれらのＯＲ電圧により、電界効果トランジスタ段ＦＥＴ４、ＦＥＴ２１、ＦＥＴ２２、ＦＥＴ２５がオン状態となり、その他の電界効果トランジスタ段ＦＥＴ１、ＦＥＴ２３、ＦＥＴ２４がオフ状態となる。

【００９０】

このとき、歪特性は、オン経路（ＡＮＴ－ＲＸ１）に対応して、オフ経路となるアンテナＡＮＴと接地端子ＧＮＤ、第１送信回路側端子ＴＸ１（ＲＦ２）および第２受信回路側端子ＲＸ２（ＲＦ４）との間にある、記号ＦＥＴ２４、ＦＥＴ１、ＦＥＴ２３で示すオフの状態の電界効果トランジスタ段によって決定される。オフ経路は、２段以上のオフ状態の電界効果トランジスタで構成される。

【００９１】

同様に、アンテナ接続端子ＡＮＴ（ＲＦ１）と第２受信回路側端子ＲＸ２（ＲＦ４）の経路をオン状態にするときも、オン経路（ＡＮＴ－ＲＸ２）に対応して、オフ経路となるアンテナＡＮＴと接地端子ＧＮＤ、第１送信回路側端子ＴＸ１（ＲＦ２）および第２受信回路側端子ＲＸ１（ＲＦ３）との間にある、記号ＦＥＴ２５、ＦＥＴ１、ＦＥＴ２２で示すオフの状態の電界効果トランジスタ段によって決定される。オフ経路は、２段以上のオフ状態の電界効果トランジスタで構成される。

【００９２】

つまり受信状態のときは、送信状態に対して小電力を取り扱うため、電界効果トランジスタの段数を少なくすることが可能であり、本実施の形態４の回路構成では、２段の電界効果トランジスタで歪特性を確保していることとなる。

【００９３】

本実施の形態４の高周波スイッチ回路装置では、送受信の切替えのように経路間の取り扱う電力が異なる場合において、受信時のような小電力を扱う経路の電界効果トランジスタ段を一部共通にすることができる。したがって、先行技術の高周波スイッチ回路装置と比較して、チップサイズの縮小が可能である。さらに、本実施の形態では、実施の形態１と同様のダイオードロジック回路を用いることで、各経路のシリーズのＦＥＴを制御する３つの制御系により全ての電界効果トランジスタ段の制御が可能である。そのため、先行技術の第２の構成に係る高周波スイッチ回路および本実施の形態１の高周波スイッチ回路と比較して、さらにパッケージサイズの小型化を実現できる。したがって、携帯電話機の小型化に貢献することができる。

【００９４】

（その他の変形例）

なお、本発明を上記の実施の形態に基づいて説明してきたが、本発明は、上記の実施の形態に限定されないのはもちろんである。以下のような場合も本発明に含まれる。

【００９５】

（１） 実施の形態１、２、３、４では、高周波スイッチ回路装置の例として１入力３出力のＳＰ３Ｔスイッチをあげたが、高周波スイッチ回路装置の入力端子および出力端子の数はこれに限定されない。また半導体回路装置が、多入力多出力の高周波スイッチ回路装置を構成する場合も勿論、本発明に含まれる。

【００９６】

図９に実施の形態１の構成を１入力４出力のＳＰ４Ｔスイッチに適用した場合の回路構成図を示す。また、図１０にこのダイオードロジック回路の制御論理表を示す。図９において、記号ＦＥＴ１０～ＦＥＴ１７はそれぞれ電界効果トランジスタ段を示す。記号Ｒ１０～Ｒ１７はそれぞれ抵抗を示す。記号ＲＦ５～ＲＦ９はそれぞれ高周波信号端子を示す

10

20

30

40

50

。記号 C 5 ~ C 8 はそれぞれコンデンサを示す。記号 O R 3 はダイオードロジック回路を示す。記号 D 1 0 ~ D 2 1 はそれぞれダイオードを示す。記号 R 1 0 5 ~ R 1 0 8 はそれぞれ抵抗を示す。記号 C T L 7 ~ C T L 1 0 はそれぞれ制御電圧入力端子を示す。

【 0 0 9 7 】

(2) 実施の形態 1、2、3、4 では、アイソレーション確保用のシャント F E T を全経路に接続している形としたが、シャント F E T の数はこれに限定されない。すなわち、全ての経路にシャント F E T が接続されていない場合、また特定の経路だけにシャント F E T が接続されている場合も勿論、本発明に含まれる。

【 0 0 9 8 】

図 1 1 に実施の形態 2 の構成を、アイソレーション確保用シャント F E T の接続されていない S P 3 T スイッチに適用した場合の回路構成を示す。

10

【 0 0 9 9 】

図 1 2 に実施の形態 3 の構成をアイソレーション確保用シャント F E T の接続されていない S P 3 T スイッチに適用した場合の回路構成を示す。

【 0 1 0 0 】

(3) 実施の形態 1、2、3、4 では、各高周波信号経路に設けられたスイッチ回路である電界効果トランジスタ段が、4 個の F E T の直列回路により構成されたとしたが、電界効果トランジスタ段の構成は、これに限らない。電界効果トランジスタ段が 1 個ないし複数の F E T により構成される場合も、本発明に含まれる。

【 0 1 0 1 】

20

(4) 実施の形態 4 では、受信回路側の電界効果トランジスタ段のうち、2 段を共通としたが、電界効果トランジスタ段の構成は、これに限らない。複数の電界効果トランジスタ段が 1 個ないし複数の F E T を共通としている場合も、本発明に含まれる。

【 0 1 0 2 】

(5) 実施の形態 4 では、S P 3 T スイッチにおいて、2 つの受信用経路について一部の電界効果トランジスタ段を共通としたが、共通にする経路の数は、これに限らない。S P 4 T スイッチないし多入力多出力の高周波スイッチ回路装置を構成する場合において、3 つ以上の経路で一部の電界効果トランジスタ段を共通としている場合も勿論、本発明に含まれる。

【 0 1 0 3 】

30

(6) 上記実施の形態、および上記変形例をそれぞれ組み合わせて実施する場合も、本発明に含まれる。

【 産業上の利用可能性 】

【 0 1 0 4 】

本発明の高周波スイッチ回路装置は、半導体回路を用いて構成される装置、中でも携帯電話機や携帯型無線情報端末において超短波帯から準マイクロ波帯での高周波信号の送受信を行う際の信号経路の切替えを行う高周波スイッチ装置として使用できる。

【 図面の簡単な説明 】

【 0 1 0 5 】

【 図 1 】本発明の第 1 の実施の形態の高周波スイッチ回路装置、例えば S P 3 T スイッチの回路構成を示す回路図である。

40

【 図 2 】図 1 の高周波スイッチ回路装置に含まれるダイオードロジック回路 O R 1 の制御論理表を示す図である。

【 図 3 A 】図 1 の高周波スイッチ回路装置に含まれるダイオードロジック回路の一例を示す回路図である。

【 図 3 B 】図 3 A に示すダイオードロジック回路を構成するダイオードの構造の一例を示す平面図である。

【 図 4 】本発明の第 2 の実施の形態の高周波スイッチ回路装置、例えば S P 3 T スイッチの回路構成を示す回路図である。

【 図 5 】図 4 の高周波スイッチ回路装置に含まれるダイオードロジック回路 O R 2 の制御

50

論理表を示す図である。

【図 6】本発明の第 3 の実施の形態の高周波スイッチ回路装置、例えば S P 3 T スwitch の回路構成を示す回路図である。

【図 7】本発明の第 4 の実施の形態の高周波スイッチ回路装置、例えば S P 3 T スwitch の回路構成を示す回路図である。

【図 8】本発明の第 4 の実施の形態の通信端末装置における R F 信号処理部分を示す図である。

【図 9】本発明の第 1 の実施の形態の構成を高周波用 S P 4 T スwitch 回路装置に適用した場合の回路構成を示す図である。

【図 10】図 9 の高周波スイッチ回路装置に含まれるダイオードロジック回路 O R 3 の制御論理表を示す図である。 10

【図 11】本発明の第 2 の実施の形態の構成をシャント F E T の無い高周波用 S P 3 T スwitch 回路装置に適用した場合の回路構成を示す回路図である。

【図 12】本発明の第 3 の実施の形態の構成をシャント F E T の無い高周波用 S P 3 T スwitch 回路装置に適用した場合の回路構成を示す回路図である。

【図 13】先行技術の第 1 の高周波スイッチ回路装置、例えばシャント F E T が無い S P 3 T スwitch の回路構成を示す回路図である。

【図 14】先行技術の第 2 の高周波スイッチ回路装置、例えばシャント F E T があって、かつ制御信号入力端子が 6 系統ある S P 3 T スwitch の回路構成を示す回路図である。

【図 15】図 14 の高周波スイッチ回路装置の制御論理表を示す図である。 20

【図 16】先行技術の第 3 の高周波スイッチ回路装置、例えばシャント F E T があって、かつ制御信号入力端子が 3 系統ある S P 3 T スwitch の回路構成を示す回路図である。

【符号の説明】

【 0 1 0 6 】

R F 1 ~ R F 9 高周波信号端子

G N D G N D 端子

C T L 1 ~ C T L 1 0 制御信号入力用端子

A N T アンテナ側端子

T X 送信部

R X 受信部

T X 1 送信回路側端子

R X 1、R X 2 受信回路側端子

F E T 1 ~ F E T 1 7 電界効果トランジスタ段

F E T 2 1 ~ F E T 2 5 電界効果トランジスタ段

R 1 ~ R 1 7 抵抗

R 2 1 ~ R 2 5 抵抗

R 1 0 1 ~ R 1 0 8 抵抗

R 2 0 1 ~ R 2 0 6 抵抗

C 1 ~ C 8 コンデンサ

O R 1 ~ O R 3 ダイオードロジック回路

D 1 ~ D 2 1 ダイオード

I N 1、I N 2 入力信号

O U T 1 出力信号

S 1 G a A s 基板

A 1 活性層

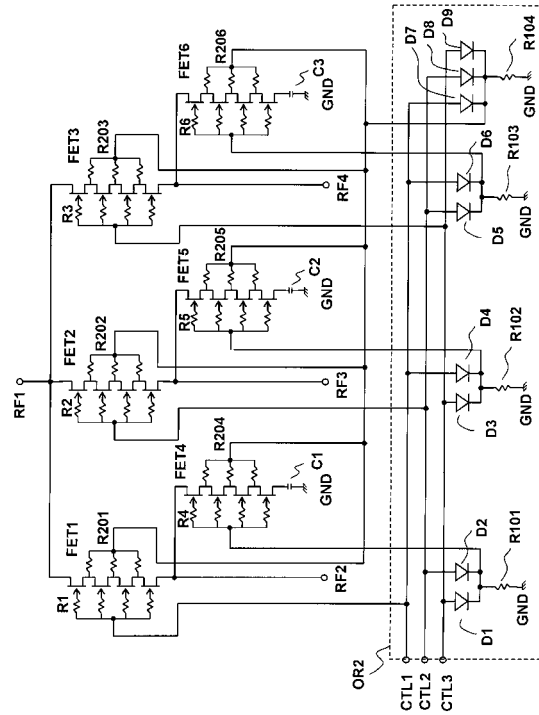
S D 1 ソースおよびドレイン用オーミック電極

G T 1 ゲート電極

30

40

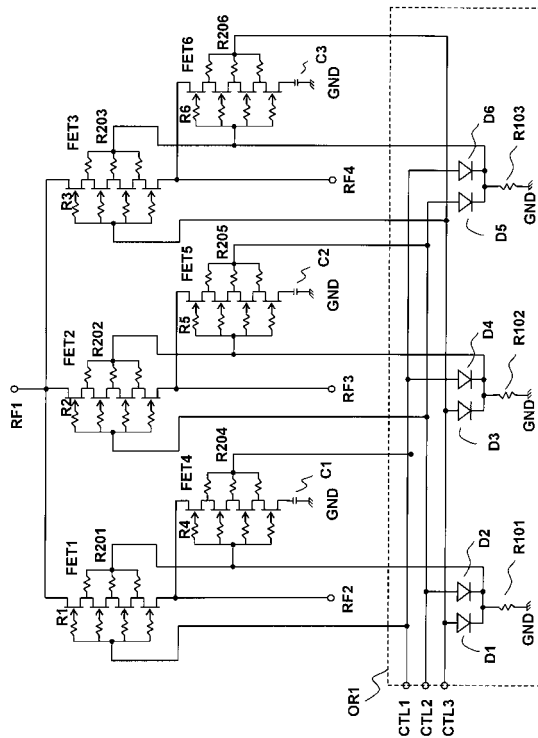
【図 4】



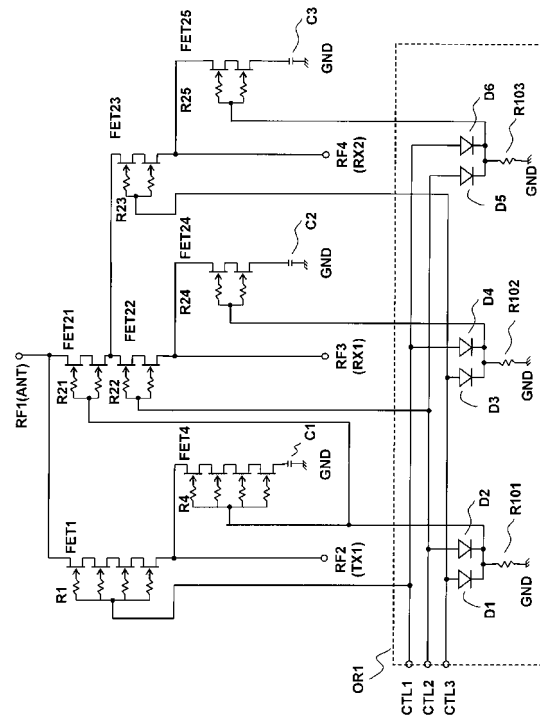
【図 5】

ON 経路	CTL1	CTL2	CTL3	OR (CTL2,CTL3)	OR (CTL1,CTL2)	OR (CTL1,CTL2,CTL3)
RF1-RF2	High	Low	Low	Low	High	High
RF1-RF3	Low	High	Low	High	High	High
RF1-RF4	Low	Low	High	High	Low	High

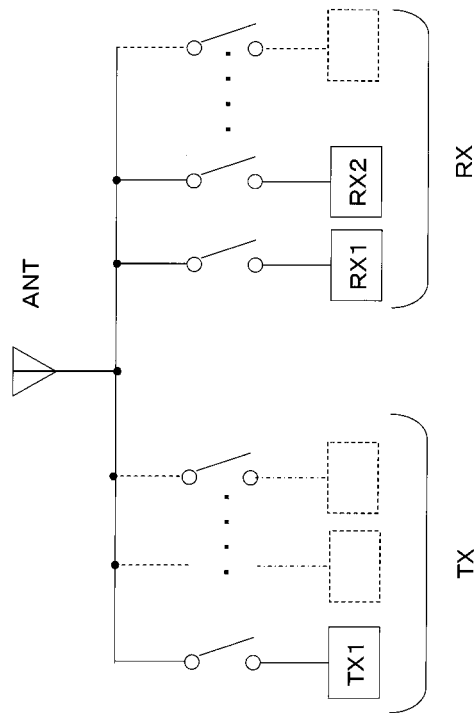
【図 6】



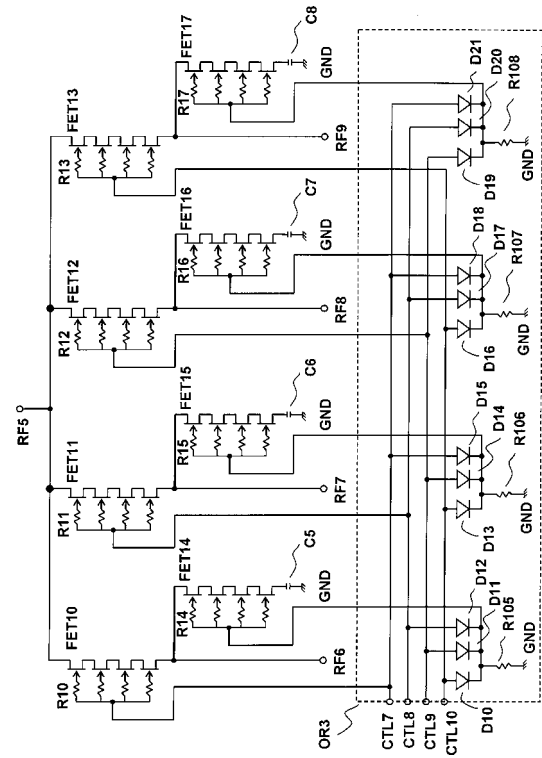
【図 7】



【図 8】



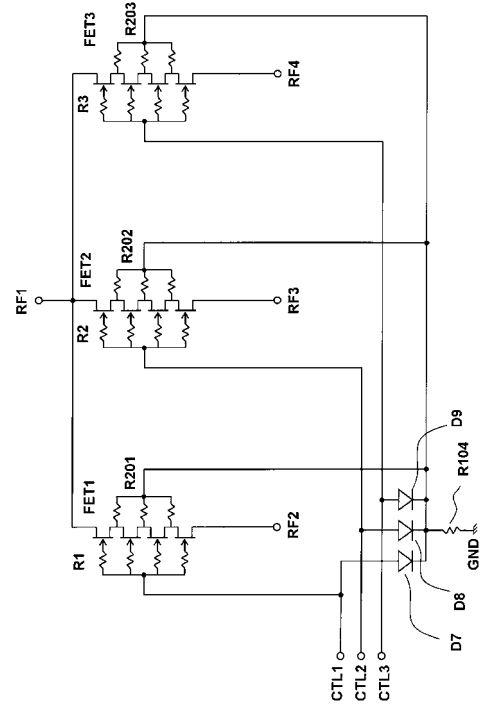
【図 9】



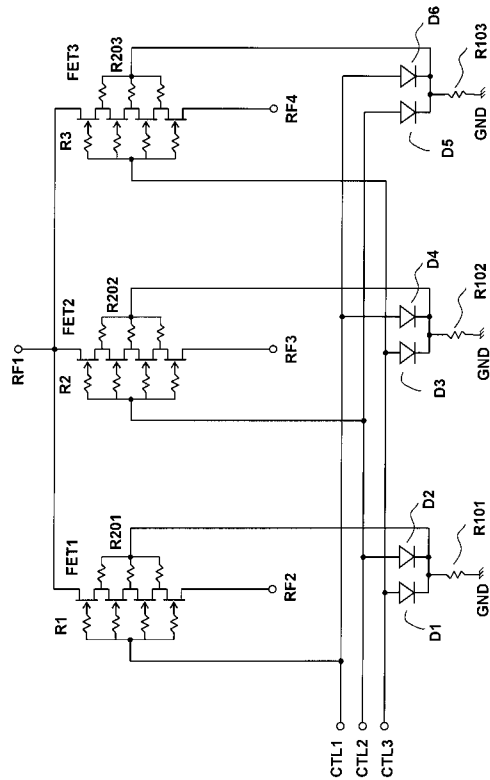
【図 10】

ON 経路	CTL7	CTL8	CTL9	CTL10	OR (CTL8,CTL9,CTL10)	OR (CTL7,CTL9,CTL10)	OR (CTL7,CTL8,CTL10)	OR (CTL7,CTL9,CTL10)
RF5- RF6	High	Low	Low	Low	Low	High	High	High
RF5- RF7	Low	High	Low	Low	High	Low	High	High
RF5- RF8	Low	Low	High	Low	High	High	Low	High
RF5- RF9	Low	Low	Low	High	High	High	High	Low

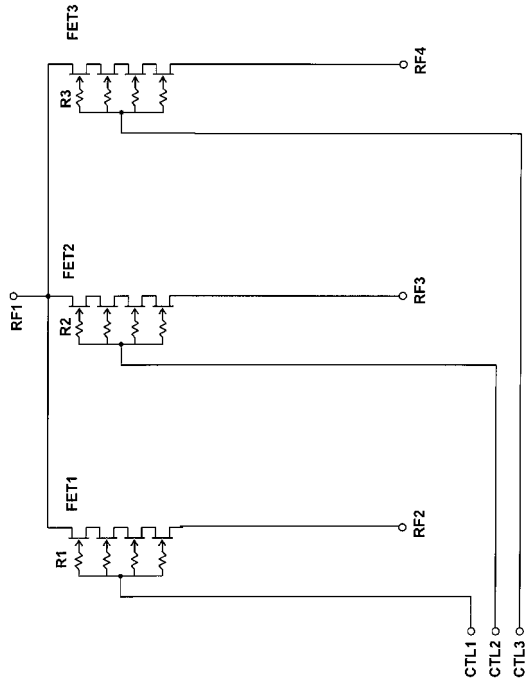
【図 11】



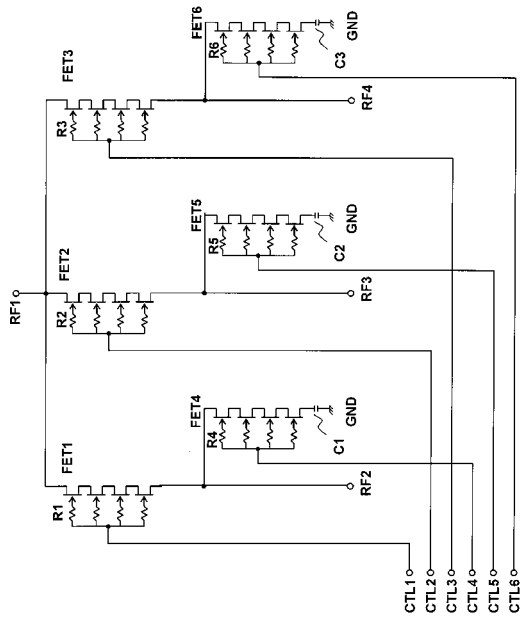
【図 1 2】



【図 1 3】



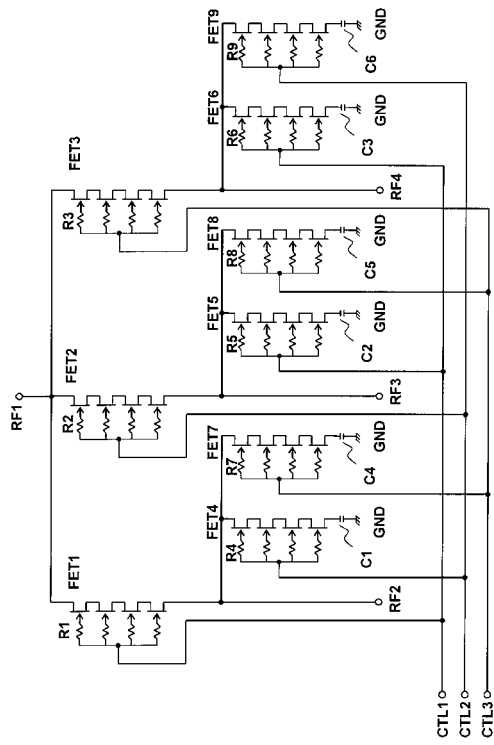
【図 1 4】



【図 1 5】

ON 経路	CTL1	CTL2	CTL3	CTL4	CTL5	CTL6
RF1-RF2	High	Low	Low	Low	High	High
RF1-RF3	Low	High	Low	High	Low	High
RF1-RF4	Low	Low	High	High	High	Low

【図 16】



フロントページの続き

- (72)発明者 中塚 忠良
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 渡邊 厚司
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 多良 勝司
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

審査官 清水 稔

- (56)参考文献 特開 2 0 0 1 - 0 6 8 9 8 4 (J P , A)
特開平 0 8 - 1 7 2 1 6 3 (J P , A)
特開平 1 1 - 0 5 5 1 5 6 (J P , A)
特開平 0 2 - 0 1 7 7 2 1 (J P , A)
特開平 0 8 - 2 5 0 6 4 8 (J P , A)
特開平 1 1 - 2 3 4 1 0 6 (J P , A)
特開平 0 8 - 1 3 9 0 1 4 (J P , A)
特開平 0 8 - 1 9 5 6 6 7 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
H 0 3 K 1 7 / 0 0 - 1 7 / 7 0