

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年12月1日(01.12.2022)



(10) 国際公開番号

WO 2022/249869 A1

(51) 国際特許分類:

G09G 3/3233 (2016.01) H01L 27/32 (2006.01)
G09F 9/30 (2006.01) H01L 33/00 (2010.01)
G09F 9/33 (2006.01) H01L 51/50 (2006.01)
G09G 3/20 (2006.01)

(21) 国際出願番号: PCT/JP2022/019649

(22) 国際出願日: 2022年5月9日(09.05.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-088712 2021年5月26日(26.05.2021) JP

(71) 出願人: 京セラ株式会社 (KYOCERA CORPORATION) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 Kyoto (JP).

(72) 発明者: 佐藤 洋平(SATO Yohei); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セ

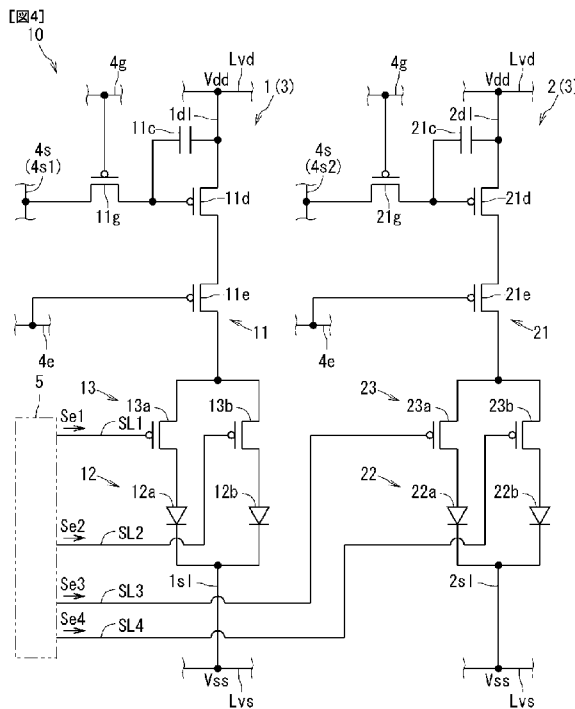
ラ株式会社内 Kyoto (JP). 鈴木 隆信(SUZUKI Takanobu); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP). 伊藤弘晃(ITO Hiroaki); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP).

(74) 代理人: 吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区域見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW,

(54) Title: PIXEL CIRCUIT, DISPLAY PANEL, DISPLAY DEVICE, AND COMBINED DISPLAY DEVICE

(54) 発明の名称: 画素回路、表示パネル、表示装置および複合型表示装置



(57) Abstract: A pixel circuit includes first and second sub-pixel circuits. The first sub-pixel circuit includes first and second light emitting elements, and a first setting unit. The first setting unit sets each of the first and second light emitting elements to an emittable state or a non-emitting state. The second sub-pixel circuit includes third and fourth light emitting elements, and a second setting unit. The second setting unit sets each of the third and fourth light emitting elements to an emittable state or a non-emitting state. The pixel circuit assumes a connection mode difference state and/or an emission number difference state. The connection mode difference state is a difference state in which a connection mode between the first light emitting element and the second light emitting element, and a connection mode between the third light emitting element and the fourth light emitting element are varied between series and parallel. The emission number difference state is a difference state in which the setting mode of the first and second light emitting elements and the setting mode of the third and fourth light emitting elements are varied between a setting in which both light emitting elements are set to the emittable state and a setting in which one light emitting element is selectively set to the emittable state.

MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,
PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))
-

(57) 要約: 画素回路は、第1及び第2副画素回路を備える。第1副画素回路は、第1及び第2発光素子と第1設定部とを含む。第1設定部は、第1及び第2発光素子の各々を発光可能状態又は非発光状態に設定する。第2副画素回路は、第3及び第4発光素子と第2設定部とを含む。第2設定部は、第3及び第4発光素子の各々を発光可能状態又は非発光状態に設定する。画素回路は、接続形態相違状態及び/又は発光数相違状態をとる。接続形態相違状態は、第1発光素子と第2発光素子との接続形態と、第3発光素子と第4発光素子との接続形態と、を直列と並列との間で異ならせた相違状態である。発光数相違状態は、第1及び第2発光素子の設定態様と、第3及び第4発光素子の設定態様と、を両方の発光素子が発光可能状態とする設定と一方の発光素子を選択的に発光可能状態とする設定との間で異ならせる相違状態である。

明 細 書

発明の名称：

画素回路、表示パネル、表示装置および複合型表示装置

関連出願の相互参照

[0001] 本出願は、日本国出願2021-88712号（2021年5月26日出願）の優先権を主張するものであり、当該出願の開示全体を、ここに参照のために取り込む。

技術分野

[0002] 本開示は、画素回路、表示パネル、表示装置および複合型表示装置に関する。

背景技術

[0003] 例えば、複数の走査信号線と複数の画像信号線とが格子状に位置し、複数の走査信号線と複数の画像信号線との交差点にそれぞれ対応するように複数の画素部が行列状に配列された画像表示部を有する表示装置がある（例えば、特許文献1の記載を参照）。

[0004] この表示装置では、例えば、各画素部が、第1色の光を発する第1の発光素子を備えた副画素部と、第2色の光を発する第2の発光素子を備えた副画素部と、第3色の光を発する第3の発光素子を備えた副画素部と、を有することで、カラー画像の表示が可能となる。

先行技術文献

特許文献

[0005] 特許文献1：国際公開第2020/174879号

発明の概要

[0006] 画素回路、表示パネル、表示装置および複合型表示装置が開示される。

[0007] 画素回路の一態様は、第1副画素回路と第2副画素回路とを備えている。前記第1副画素回路は、第1発光素子と第2発光素子と第1設定部とを有する。該第1設定部は、前記第1発光素子および前記第2発光素子のそれぞれ

を発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定する。前記第2副画素回路は、第3発光素子と第4発光素子と第2設定部とを有する。該第2設定部は、前記第3発光素子および前記第4発光素子のそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定する。前記第1発光素子と前記第2発光素子との接続形態と、前記第3発光素子と前記第4発光素子との接続形態と、について、直列接続と並列接続との間で異ならせた接続形態の相違状態を接続形態相違状態とし、前記第1設定部による前記第1発光素子および前記第2発光素子の発光状態の設定態様と、前記第2設定部による前記第3発光素子および前記第4発光素子の発光状態の設定態様と、について、両方の発光素子を発光可能状態とする第1発光設定と一方の発光素子を選択的に発光可能状態とする第2発光設定との間で異ならせた発光数設定の相違状態を発光数相違状態としたとき、前記第1副画素回路および前記第2副画素回路は、前記接続形態相違状態および前記発光数相違状態のうちの少なくとも一方の相違状態とされている。

[0008] 表示パネルの一態様は、上記一態様の画素回路を複数備えた構成であって、複数の前記画素回路のそれぞれにおける前記第1設定部および前記第2設定部に対して設定制御信号を出力する設定制御部を備えており、前記第1設定部は、前記設定制御信号に応じて、前記第1発光素子および前記第2発光素子のそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定する。前記第2設定部は、前記設定制御信号に応じて、前記第3発光素子および前記第4発光素子のそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定する。

[0009] 表示パネルの一態様は、上記一態様の画素回路を複数備えた構成であって、各前記画素回路は、前記第1設定部および前記第2設定部に対して設定制御信号を出力する設定制御部を含む。

[0010] 表示装置の一態様は、上記の何れかの一態様の表示パネルと、複数の上記一態様の画素回路に電氣的に接続している駆動部と、を備えている。

[0011] 表示装置の一態様は、上記一態様の画素回路を複数備える構成であって、

複数の前記画素回路に電氣的に接続している駆動部を備えている。該駆動部は、複数の前記画素回路のそれぞれにおける前記第 1 設定部および前記第 2 設定部に対して設定制御信号を出力する。複数の前記画素回路のそれぞれにおいて、前記第 1 設定部は、前記設定制御信号に応じて、前記第 1 発光素子および前記第 2 発光素子のそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定し、前記第 2 設定部は、前記設定制御信号に応じて、前記第 3 発光素子および前記第 4 発光素子のそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定する。

[0012] 複合型表示装置の一態様は、上記一態様の表示装置を複数備えた構成である。複数の前記表示装置のそれぞれは、表示面と、前記表示面とは反対側の反表示面と、前記表示面と前記反表示面とを繋ぐ側面と、を有する基板を備えている。複数の前記画素回路は、前記基板の前記表示面の側に位置している。前記駆動部は、前記基板の前記反表示面の側に位置している。複数の前記表示装置は、前記基板の前記側面同士が互いに近接または接していることによって、複合型表示面を構成している。

図面の簡単な説明

[0013] [図1]図 1 は、各実施形態に係る表示装置の一例を模式的に示す正面図である。

[図2]図 2 は、各実施形態に係る表示装置の一例を模式的に示す裏面図である。

[図3]図 3 は、各実施形態に係る表示装置の構成の一例を模式的に示すブロック回路図である。

[図4]図 4 は、第 1 実施形態に係る画素回路の一例を示す回路図である。

[図5]図 5 は、設定制御部の構成の一例を模式的に示すブロック回路図である。

[図6]図 6 は、信号出力回路の第 1 例を示すブロック回路図である。

[図7]図 7 は、信号出力回路の第 2 例を示す回路図である。

[図8]図 8 は、切替信号と設定制御信号と発光可能状態に設定される発光素子

との関係の一例を示す真理値表である。

[図9]図9は、設定制御部と複数の画素回路との一接続例を示すブロック回路図である。

[図10]図10は、第2実施形態の第1例に係る画素回路を示す回路図である。

[図11]図11は、切替信号と設定制御信号と発光可能状態に設定される発光素子との関係の一例を示す真理値表である。

[図12]図12は、第2実施形態の第2例に係る画素回路を示す回路図である。

[図13]図13は、切替信号と設定制御信号と発光可能状態に設定される発光素子との関係の一例を示す真理値表である。

[図14]図14は、第3実施形態に係る画素回路の一例を示す回路図である。

[図15]図15は、切替信号と設定制御信号と発光可能状態に設定される発光素子との関係の一例を示す真理値表である。

[図16]図16は、第4実施形態の第1例に係る画素回路を示す回路図である。

[図17]図17は、切替信号と設定制御信号と発光可能状態に設定される発光素子との関係の一例を示す真理値表である。

[図18]図18は、第4実施形態の第2例に係る画素回路を示す回路図である。

[図19]図19は、切替信号と設定制御信号と発光可能状態に設定される発光素子との関係の一例を示す真理値表である。

[図20]図20は、第5実施形態に係る画素回路の一例を示す回路図である。

[図21]図21は、切替信号と設定制御信号と発光可能状態に設定される発光素子との関係の一例を示す真理値表である。

[図22]図22は、第5実施形態の第1変形例に係る画素回路を示す回路図である。

[図23]図23は、切替信号と設定制御信号と発光可能状態に設定される発光

素子との関係の一例を示す真理値表である。

[図24]図24は、第5実施形態の第2変形例に係る画素回路を示す回路図である。

[図25]図25は、切替信号と設定制御信号と発光可能状態に設定される発光素子との関係の一例を示す真理値表である。

[図26]図26は、第6実施形態の第1例に係る第1副画素回路を示す回路図である。

[図27]図27は、切替信号と設定制御信号と発光可能状態に設定される発光素子との関係の一例を示す真理値表である。

[図28]図28は、第6実施形態の第2例に係る第1副画素回路を示す回路図である。

[図29]図29は、第2トランジスタにNチャネルトランジスタが適用された第1副画素回路の一例を示す回路図である。

[図30]図30は、閾値電圧補正回路が組み込まれた第1副画素回路の一例を示す回路図である。

[図31]図31は、閾値電圧補正回路が組み込まれた第1副画素回路の動作の一例を示すタイミングチャートである。

[図32]図32は、冗長に設けられた2つの第3トランジスタを有する第1副画素回路の一例を示す回路図である。

[図33]図33は、冗長に設けられた2つの第2トランジスタおよび2つの第3トランジスタを有する第1副画素回路の一例を示す回路図である。

[図34]図34は、冗長に設けられた2つの第1容量素子、2つの第2トランジスタおよび2つの第3トランジスタを有する第1副画素回路の一例を示す回路図である。

[図35]図35は、第1発光制御部を介して第1設定部と第1発光部とが接続された第1副画素回路の一例を示す回路図である。

[図36]図36は、タイリングディスプレイの一例を模式的に示す正面図である。

[図37]図37は、一参考例に係る副画素部の回路の構成を模式的に示す図である。

[図38]図38は、他の一参考例に係る副画素部の回路の構成を模式的に示す図である。

[図39]図39は、第7実施形態に係る画素回路の一例を示す回路図である。

発明を実施するための形態

[0014] 例えば、複数の走査信号線と複数の画像信号線とが格子状に位置し、複数の走査信号線と複数の画像信号線との交差点にそれぞれ対応するように複数の画素部が行列状に配列された画像表示部を有する表示装置がある。

[0015] この表示装置では、例えば、各画素部が、第1色の光を発する第1の発光素子を備えた副画素部と、第2色の光を発する第2の発光素子を備えた副画素部と、第3色の光を発する第3の発光素子を備えた副画素部と、を有する。これにより、例えば、表示装置は、カラー画像を表示することができる。第1色、第2色および第3色には、例えば、赤色、緑色および青色が適用される。

[0016] 図37は、一参考例に係る副画素部915の回路の構成を模式的に示す図である。各副画素部915は、例えば、発光素子914と、この発光素子914における発光、非発光および発光強度などを制御する発光制御部922と、を有する。

[0017] 発光素子914には、例えば、マイクロ発光ダイオード（Light Emitting Diode：LED）素子、または有機エレクトルルミネッセンス（EL）素子などが適用される。発光素子914は、例えば、ガラス板などの基板の第1面上に配置された絶縁層上に位置している。発光素子914は、例えば、画素部に配された絶縁層を貫通するスルーホールなどに配された貫通導体を介して、発光制御部922およびカソード電位入力線917に電氣的に接続している。例えば、発光素子914の正電極は、発光制御部922を介してアノード電位入力線916に接続している。例えば、発光素子914の負電極は、カソード電位入力線917に接続している。

- [0018] 発光制御部 922 は、例えば、第 1 トランジスタ 912 と、第 2 トランジスタ 913 と、容量素子 918 と、第 3 トランジスタ 919 と、を有する。
- [0019] 第 1 トランジスタ 912 は、例えば、副画素部 915 に画像信号を入力するためのスイッチとして機能する。第 1 トランジスタ 912 には、例えば、P チャネル型薄膜トランジスタ（P チャネルトランジスタともいう）などが適用される。第 1 トランジスタ 912 のゲート電極は、例えば、走査信号線 902 に接続している。第 1 トランジスタ 912 のソース電極は、例えば、画像信号線 903 に接続している。第 1 トランジスタ 912 のドレイン電極は、例えば、第 2 トランジスタ 913 のゲート電極に接続している。例えば、走査信号線 902 からの走査信号としてのオン信号（例えば、Low（L）信号）が第 1 トランジスタ 912 のゲート電極に入力されると、第 1 トランジスタ 912 は、ソース電極とドレイン電極との間に電流が流れ得る導通状態（オン状態またはスイッチとしての閉状態ともいう）となる。これにより、例えば、画像信号線 903 からの画像信号が第 1 トランジスタ 912 を介して第 2 トランジスタ 913 のゲート電極に付与される。
- [0020] 第 2 トランジスタ 913 は、例えば、アノード電位入力線 916 が付与するアノード電位 V_{dd} とカソード電位入力線 917 が付与するカソード電位 V_{ss} との電位差と、画像信号線 903 から伝達される画像信号のレベル（電位）と、に応じて、発光素子 914 を電流駆動させる素子（駆動素子ともいう）として機能する。アノード電位入力線 916 は、例えば、アノード電位側の電源線としての第 1 電源線 L_{vd} に接続している。第 1 電源線 L_{vd} からアノード電位入力線 916 に付与されるアノード電位 V_{dd} は、例えば、3 ボルト（V）から 5 V 程度とされる。カソード電位入力線 917 は、例えば、カソード電位側の電源線としての第 2 電源線 L_{vs} に接続している。第 2 電源線 L_{vs} からカソード電位入力線 917 に付与されるカソード電位 V_{ss} は、例えば、−3 V から 0 V 程度とされる。第 2 電源線 L_{vs} は、例えば、接地された接地線であってもよい。第 2 トランジスタ 913 には、例えば、P チャネルトランジスタなどが適用される。この場合には、例えば、

第2トランジスタ913のソース電極は、アノード電位入力線916に接続している。例えば、第2トランジスタ913のドレイン電極は、第3トランジスタ919および発光素子914を介してカソード電位入力線917に接続している。例えば、画像信号線903からの画像信号としてのL信号が第2トランジスタ913のゲート電極に入力されると、第2トランジスタ913が導通状態となる。

[0021] 容量素子918は、例えば、第2トランジスタ913のゲート電極とソース電極とを接続している接続線上に配置されている。この容量素子918は、例えば、第2トランジスタ913のゲート電極に入力された画像信号の電位を次の画像信号の入力（書き換えともいう）までの期間（1フレームの期間ともいう）保持する保持容量として機能する。

[0022] 第3トランジスタ919は、例えば、第2トランジスタ913と発光素子914との間の駆動線925上に配置され、発光素子914の発光および非発光を制御することができる。第3トランジスタ919には、例えば、Pチャネルトランジスタなどが適用される。この場合には、例えば、第3トランジスタ919のソース電極は、第2トランジスタ913のドレイン電極に接続し、第3トランジスタ919のドレイン電極は、発光素子914の正電極に接続している。ここで、例えば、第3トランジスタ919において、ゲート電極に発光制御信号（Emi信号ともいう）としてのL信号が入力されると、第3トランジスタ919が導通状態となる。これにより、例えば、アノード電位入力線916から第2トランジスタ913、第3トランジスタ919および駆動線925を介して発光素子914に電流（駆動電流ともいう）が流れ、発光素子914が発光する。このとき、例えば、画像信号のレベル（電位）の制御により、発光素子914の発光の強度（輝度）が制御され得る。

[0023] ところで、例えば、複数の副画素部915のうちの一部の副画素部915において、発光素子914と貫通導体との接続に不良が生じると、駆動電流が発光素子914に十分流れず、発光素子914が所望の強度で発光しない

場合がある。また、例えば、複数の副画素部 915 のうちの一部の副画素部 915 において、発光素子 914 の欠陥、劣化もしくは破損などの素子の不良が生じて、発光素子 914 が所望の強度で発光しない発光の不良が生じる場合がある。

[0024] そこで、例えば、図 38 で示されるように、各副画素部 915 において、並列に接続させた 2 つの発光素子 914 を配置し、2 つの発光素子 914 のうちの不良が生じていない 1 つの発光素子 914 を常に発光させる構成が考えられる。

[0025] 図 38 は、他の一参考例に係る副画素部 915 の回路の構成を模式的に示す図である。図 38 で示される副画素部 915 の回路の構成は、上述した図 37 における副画素部 915 の回路の構成をベースとして、一部の構成が他の構成に置換され、追加の構成が加えられたものである。ここで、図 37 における副画素部 915 の回路の構成のうちの置換される対象としての一部の構成は、駆動線 925 および発光素子 914 である。図 38 で示される副画素部 915 の回路の構成のうちの置換後の他の構成は、2 つの駆動線 925 としての第 1 駆動線 925 a および第 2 駆動線 925 b、2 つの発光素子 914 としての第 1 発光素子 914 a および第 2 発光素子 914 b、第 1 スイッチ 926 a ならびに第 2 スイッチ 926 b である。また、図 38 で示される副画素部 915 の回路の構成のうちの追加の構成は、切替制御部 927 である。

[0026] 図 38 で示されるように、例えば、第 1 駆動線 925 a および第 2 駆動線 925 b は、それぞれ発光制御部 922 に接続しているとともに、互いに並列に接続している。ここでは、例えば、第 1 駆動線 925 a および第 2 駆動線 925 b のうち、一方の駆動線 925 が通常の駆動線（通常駆動線ともいう）であり、他方の駆動線 925 が予備的な駆動線（冗長駆動線ともいう）である。例えば、第 1 駆動線 925 a は、第 1 発光素子 914 a の正電極に接続しており、第 1 発光素子 914 a の負電極は、カソード電位入力線 917 に接続している。例えば、第 2 駆動線 925 b は、第 2 発光素子 914 b

の正電極に接続しており、第2発光素子914bの負電極は、カソード電位入力線917に接続している。第1スイッチ926aは、例えば、第1駆動線925a上に配置されており、第1駆動線925aを使用状態（駆動状態ともいう）または不使用状態（非駆動状態ともいう）に設定することができる。第2スイッチ926bは、例えば、第2駆動線925b上に配置されており、第2駆動線925bを使用状態（駆動状態）または不使用状態（非駆動状態）に設定することができる。切替制御部927は、例えば、第1スイッチ926aおよび第2スイッチ926bのうち、一方のスイッチを電流が流れ得ない非導通状態（オフ状態またはスイッチとしての開状態ともいう）に設定し、他方のスイッチを導通状態に設定する。これにより、例えば、2つの発光素子914としての第1発光素子914aおよび第2発光素子914bのうちの不良が生じていない1つの発光素子914を常に発光させることができる。第1スイッチ926aおよび第2スイッチ926bには、例えば、Pチャネルトランジスタなどが適用される。この場合には、例えば、第1発光素子914aを常に発光させる際には、切替制御部927は、第1スイッチ926aのゲート電極にオン信号（V_{ga}：L信号）を入力し且つ第2スイッチ926bのゲート電極にオフ信号（V_{gb}：H信号）を入力する。一方、例えば、第2発光素子914bを常に発光させる際には、切替制御部927は、第1スイッチ926aのゲート電極にオフ信号（V_{ga}：H信号）を入力し且つ第2スイッチ926bのゲート電極にオン信号（V_{gb}：L信号）を入力する。

[0027] しかしながら、例えば、1つの画素部に含まれる複数の副画素部915の間では、発光素子914および第2トランジスタ913などの素子の特性および発光素子914などの素子の発光に係る使用条件が異なる場合がある。ここで、発光素子914の特性は、例えば、内部抵抗および発光効率などを含み得る。第2トランジスタ913の特性は、例えば、飽和領域で駆動させるために必要な電圧（飽和動作電圧ともいう）などを含み得る。発光素子914の発光に係る使用条件は、例えば、発光素子914における駆動電流、

順方向電圧および輝度などの上下限の設定値などを含み得る。

[0028] 内部抵抗は、同じ発光色の発光素子 914 であっても、発光素子 914 ごとに異なる場合がある。発光効率について、一般に、赤色光（波長 640 nm 程度～770 nm 程度）を発光する発光素子 914 は発光効率が相対的に低い傾向があり、緑色光（波長 490 nm 程度～550 nm 程度）を発光する発光素子 914 および青色光（波長 430 nm 程度～490 nm 程度）を発光する発光素子 914 は発光効率が相対的に高い傾向がある。すなわち、同じ駆動電流を流したとき、赤色光を発光する発光素子 914 は輝度が低くなりやすく、緑色光を発光する発光素子 914 および青色光を発光する発光素子 914 は輝度が高くなりやすい。

[0029] 駆動電流は、例えば 2 つの発光素子 914 を並列接続し、それらの両方を発光させる場合、それらの一方を発光させる場合の $1/2$ 程度となる。また駆動電流は、例えば 2 つの発光素子 914 を直列接続し、それらの両方を発光させる場合、それらの一方を発光させる場合の $1/2$ 程度となる。

[0030] 順方向電圧は、一般に、赤色光を発光する発光素子 914 は相対的に大きくなる傾向があり、緑色光を発光する発光素子 914 および青色光を発光する発光素子 914 は相対的に小さくなる傾向がある。また順方向電圧は、例えば 2 つの発光素子 914 を並列接続し、それらの両方を発光させる場合（並列 2 発光型という）と、2 つの発光素子 914 を並列接続し、それらの一方を発光させる場合（並列 1 発光型という）と、を比較すると、並列 1 発光型の方が、順方向電圧が相対的に大きくなる。すなわち、並列 2 発光型は、1 つの発光素子 914 に流れる駆動電流が、並列 1 発光型の $1/2$ 程度となることから、順方向電圧が相対的に小さくなる。その結果、並列 1 発光型の方が、発光素子 914 で消費される消費電力が相対的に大きくなることから、駆動用の薄膜トランジスタで消費される消費電力は相対的に小さくなる。従って、並列 1 発光型の方が、駆動用の薄膜トランジスタの電力効率は改善される。

[0031] 例えば、画素部内の複数の副画素部 915 のうちの何れかの副画素部 91

5では、発光素子914の特性および発光に係る使用条件の少なくとも一方によって、発光素子914の発光時にアノード電位 V_{dd} とカソード電位 V_{ss} との電位差のうちの発光素子914にかかる順方向の電圧 V_f が大きくなる場合がある。例えば、副画素部915では、発光素子914において、内部抵抗、駆動電流の上限の設定値、順方向電圧の上限の設定値、および輝度の上限の設定値、のうちの少なくとも1つの値が大きな場合であっても、発光素子914において発光効率が小さな場合であっても、発光素子914にかかる順方向の電圧 V_f が大きくなり得る。この場合には、電位差($V_{dd} - V_{ss}$)に占める電圧 V_f が大きくなることから、例えば、第2トランジスタ913におけるドレイン電極とソース電極との間の電圧(ドレイン-ソース間電圧ともいう) V_{ds} が小さくなる。ここで、例えば、第1電源線 L_{vd} のうちのアノード電位入力線916が接続された箇所と電源との距離に応じたアノード電位 V_{dd} の降下、あるいは第2電源線 L_{vs} のうちのカソード電位入力線917が接続された箇所と電源との距離に応じたカソード電位 V_{ss} の上昇などにより、アノード電位 V_{dd} とカソード電位 V_{ss} との電位差が低下し得る。このため、例えば、アノード電位 V_{dd} とカソード電位 V_{ss} との電位差の低下に応じて、第2トランジスタ913を飽和領域で駆動させる条件が厳しくなる。すなわち、第2トランジスタ913を飽和領域で駆動させにくくなる。これにより、例えば、表示装置を平面視した場合に輝度が徐々に低下するグラデーション(輝度むらともいう)が生じ易くなる。その結果、例えば、表示装置における画質が低下し得る。また、例えば、複数の副画素部915のうちの何れかの副画素部915において、第2トランジスタ913の飽和動作電圧が大きな場合にも、アノード電位 V_{dd} とカソード電位 V_{ss} との電位差の低下に応じて、第2トランジスタ913を飽和領域で駆動させる条件が厳しくなる。これにより、例えば、表示装置において輝度むらが生じ易くなる。その結果、例えば、表示装置における画質が低下し得る。

[0032] また、例えば、画素部内の複数の副画素部915のうちの何れかの副画素

部 9 1 5 において、発光素子 9 1 4 の特性および発光に係る使用条件の少なくとも一方によって、発光素子 9 1 4 の発光時に発光素子 9 1 4 を流れる電流が大きくなる場合がある。例えば、副画素部 9 1 5 では、発光素子 9 1 4 において、駆動電流の上限の設定値、順方向電圧の上限の設定値、および輝度の上限の設定値、のうちの少なくとも 1 つの値が大きな場合であっても、発光素子 9 1 4 において発光効率が小さい場合であっても、発光素子 9 1 4 を流れる電流が大きくなり得る。この場合には、発光素子 9 1 4 を流れる大きな電流に起因する発熱などによって、例えば、発光素子 9 1 4 の経時劣化が生じ易くなり、表示装置における画質が低下し得る。また、例えば、副画素部 9 1 5 では、発光素子 9 1 4 において内部抵抗の値が大きな場合にも、発光素子 9 1 4 では発熱などによる経時劣化が生じ易くなり、表示装置における画質が低下し得る。

[0033] また、例えば、画素部内の複数の副画素部 9 1 5 のうちの何れかの副画素部 9 1 5 において、発光素子 9 1 4 の特性および発光に係る使用条件の少なくとも一方によって、発光素子 9 1 4 の発光時に、発光素子 9 1 4 にかかる順方向の電圧 V_f が小さくなり、第 2 トランジスタ 9 1 3 のドレインソース間電圧 V_{ds} が大きくなる場合がある。例えば、副画素部 9 1 5 では、発光素子 9 1 4 において、内部抵抗、駆動電流の下限の設定値、順方向電圧の下限の設定値、および輝度の下限の設定値、のうちの少なくとも 1 つの値が小さな場合であっても、発光素子 9 1 4 において発光効率が大きな場合であっても、発光素子 9 1 4 にかかる順方向の電圧 V_f が小さくなり、第 2 トランジスタ 9 1 3 のドレインソース間電圧 V_{ds} が大きくなり得る。この場合には、例えば、第 2 トランジスタ 9 1 3 における消費電力が大きく、副画素部 9 1 5 におけるエネルギー効率が低下し得る。その結果、例えば、表示装置における消費電力が増加し得る。

[0034] よって、例えば、画素部の回路（画素回路）、該画素回路を有する表示パネル、該画素回路を有する表示装置および該表示装置を複数備えた複合型表示装置については、複数の副画素部の回路（副画素回路）の間で素子の特性

および発光素子の使用条件のうちの少なくとも一方が異なる場合に、表示装置の性能を向上させる点で改善の余地がある。

[0035] そこで、本開示の発明者は、画素回路、表示パネル、表示装置および複合型表示装置について、複数の副画素回路の間において素子の特性および発光素子の使用条件のうちの少なくとも一方が異なる場合に、表示装置の性能を向上させることができる技術を創出した。

[0036] これについて、以下、各種実施形態を図面に基づいて説明する。図面においては同様な構成および機能を有する部分に同じ符号が付されており、下記説明では重複説明が省略される。図面は模式的に示されたものである。図1、図2および図3 6には、右手系のXYZ座標系が付されている。このXYZ座標系では、基板20の第1面F1に沿った一方向が+X方向とされ、第1面F1に沿った+X方向と直交する一方向が+Z方向とされ、第1面F1に垂直な方向が+Y方向とされている。

[0037] <1. 第1実施形態>

<1-1. 表示装置の概略構成>

図1は、第1実施形態に係る表示装置100の一例を模式的に示す正面図である。図2は、第1実施形態に係る表示装置100の一例を模式的に示す裏面図である。図3は、第1実施形態に係る表示装置100の構成の一例を模式的に示すブロック回路図である。図1から図3で示されるように、表示装置100は、例えば、表示パネル100pと、駆動部30と、を備えている。表示パネル100pは、例えば、複数の画素回路10を備えている。表示パネル100pは、例えば、平板状である。第1実施形態では、表示パネル100pは、例えば、基板20と、複数の画素回路10と、を備えている。

[0038] 基板20は、例えば、第1面（第1主面ともいう）F1と、第2面（第2主面ともいう）F2と、複数の側面F3と、を有する。第2面F2は、第1面F1の逆側の面である。複数の側面F3は、それぞれ第1面F1と第2面F2とを接続している。基板20には、例えば、平板状の基板が適用される

。第1面F 1および第2面F 2のそれぞれには、例えば、4辺を有する矩形状の面が適用される。この場合には、複数の側面F 3は、第1側面F 3 1と、第2側面F 3 2と、第3側面F 3 3と、第4側面F 3 4と、を含む。第1側面F 3 1は、第1面F 1の第1辺と、第2面F 2の第1辺と、を接続している。換言すれば、第1側面F 3 1は、第1面F 1の第1辺および第2面F 2の第1辺を対向する2辺として有する。第2側面F 3 2は、第1面F 1の第2辺と第2面F 2の第2辺とを接続している。換言すれば、第2側面F 3 2は、第1面F 1の第2辺および第2面F 2の第2辺を対向する2辺として有する。第3側面F 3 3は、第1面F 1の第3辺と、第2面F 2の第3辺と、を接続している。換言すれば、第3側面F 3 3は、第1面F 1の第3辺および第2面F 2の第3辺を対向する2辺として有する。第4側面F 3 4は、第1面F 1の第4辺と、第2面F 2の第4辺と、を接続している。換言すれば、第4側面F 3 4は、第1面F 1の第4辺および第2面F 2の第4辺を対向する2辺として有する。図1および図2の例では、第1面F 1は、XZ平面に沿った平坦な面であり、-Y方向を向いている。第2面F 2は、XZ平面に沿った平坦な面であり、+Y方向を向いている。第1側面F 3 1は、+Z方向を向いている。第2側面F 3 2は、-X方向を向いている。第3側面F 3 3は、-Z方向を向いている。第4側面F 3 4は、+X方向を向いている。基板20には、例えば、ガラス板が適用される。ガラス板は、透明であっても透明でなくてもよい。基板20には、例えば、着色されたガラス製の基板、摺りガラス製の基板、プラスチック製の基板、セラミック製の基板または金属製の基板、あるいはそれらの2枚以上の基板が積層された複合基板が適用されてもよい。

[0039] 複数の画素回路10は、それぞれ画素部を構成している回路である。複数の画素回路10は、例えば、行列状に配列されている。複数の画素回路10は、例えば、基板20の第1面F 1上において、行列状に配列されている。ここでは、例えば、複数の画素回路10が1列の画素回路10を構成しており、複数の画素回路10が1行の画素回路10を構成している。より具体的

には、 n 行 $\times m$ 列（ n 、 m は自然数）の画素回路10が配列されている。複数の画素回路10は、例えば、画像を表示する部分（画像表示部ともいう）300を構成している。この画像表示部300は、例えば、基板20のうちの第1面F1側に位置している。画像表示部300は、例えば、第1面F1の略全面を覆うように位置している。この場合には、例えば、表示装置100は、基板20の第1面F1側の片面において、画像表示部300が全面に配置されている構造（額縁レス構造ともいう）または画像表示部300の周囲の額縁部分を極力狭くした構造（狭額縁構造ともいう）を有する。

[0040] 複数の画素回路10のそれぞれは、例えば、複数の副画素回路を有する。複数の副画素回路は、それぞれ画素部に含まれた副画素部を構成している回路である。複数の副画素回路は、例えば、第1副画素回路1と、第2副画素回路2と、第3副画素回路3と、を含む。第1副画素回路1は、例えば、第1色の光を発することができる。第2副画素回路2は、例えば、第1色とは異なる第2色の光を発することができる。第3副画素回路3は、例えば、第1色および第2色とは異なる第3色の光を発することができる。第1色、第2色および第3色には、例えば、赤色、緑色および青色が適用される。例えば、第1色に赤色が適用される場合には、第2色に緑色が適用され且つ第3色に青色が適用されるか、もしくは第2色に青色が適用され且つ第3色に緑色が適用され得る。例えば、第1色に緑色が適用される場合には、第2色に赤色が適用され且つ第3色に青色が適用されるか、もしくは第2色に青色が適用され且つ第3色に赤色が適用され得る。例えば、第1色に青色が適用される場合には、第2色に赤色が適用され且つ第3色に緑色が適用されるか、もしくは第2色に緑色が適用され且つ第3色に赤色が適用され得る。各画素回路10では、例えば、第1副画素回路1と、第2副画素回路2と、第3副画素回路3と、が行方向において順に並んでいる。この場合には、例えば、複数の第1副画素回路1が1行の第1副画素回路1を構成し、複数の第2副画素回路2が1行の第2副画素回路2を構成し、複数の第3副画素回路3が1行の第3副画素回路3を構成している。また、例えば、複数の第1副画素

回路 1 が 1 列の第 1 副画素回路 1 を構成し、複数の第 2 副画素回路 2 が 1 列の第 2 副画素回路 2 を構成し、複数の第 3 副画素回路 3 が 1 列の第 3 副画素回路 3 を構成している。各画素回路 10 において、例えば、第 1 副画素回路 1、第 2 副画素回路 2 および第 3 副画素回路 3 は、任意の順に並んでいてもよい。

[0041] 駆動部 30 は、例えば、複数の画素回路 10 に電氣的に接続している。駆動部 30 は、例えば、基板 20 のうちの第 2 面 F2 側に位置している。駆動部 30 は、例えば、集積回路 (Integrated Circuit: IC) または大規模集積回路 (Large-Scale Integration: LSI) などの駆動素子がチップオンガラス (Chip On Glass: COG) 方式で基板 20 の第 2 面 F2 上に実装されることで形成され得る。駆動部 30 は、例えば、駆動素子が搭載された回路基板であってもよい。また、駆動部 30 は、例えば、化学蒸着 (Chemical Vapor Deposition: CVD) 法などの薄膜形成法によって、基板 20 の第 2 面 F2 上に直接的に形成された低温ポリシリコン (Low Temperature Poly Silicon: LTPS) の半導体層を有する薄膜トランジスタ (Thin Film Transistor: TFT) などを備えた薄膜の回路 (薄膜回路ともいう) であってもよい。駆動部 30 は、例えば、基板 20 の第 2 面 F2 上に位置している配線 (裏面配線ともいう) W2 と、基板 20 の側面 F3 上に位置している配線 (側面配線ともいう) W3 と、をそれぞれ含む複数の配線によって、基板 20 の第 1 面 F1 側に位置している画像表示部 300 に電氣的に接続している。このため、複数の配線は、例えば、表示パネル 100p に含まれる。

[0042] また、表示パネル 100p は、例えば、図 3 で示されるように、複数の画像信号線 4s と、複数の走査信号線 (ゲート信号線ともいう) 4g と、複数の発光制御信号線 4e と、を備えている。複数の走査信号線 4g と複数の画像信号線 4s とは、例えば、格子状に位置している。また、表示パネル 100p は、例えば、走査信号線駆動部 30g と、発光制御信号線駆動部 30e と、を備えている。

[0043] 複数の画像信号線 4s のそれぞれは、例えば、第 1 副画素回路 1、第 2 副

画素回路 2 および第 3 副画素回路 3 に、発光の度合いを制御するための信号（画像信号ともいう）を伝送することができる。画像信号線 4 s は、例えば、1 列の画素回路 1 0 に沿って位置している。図 3 の例では、3 本の画像信号線 4 s が、1 列の画素回路 1 0 に沿って位置している。3 本の画像信号線 4 s は、例えば、1 本目の画像信号線（第 1 画像信号線ともいう）4 s 1 と、2 本目の画像信号線（第 2 画像信号線ともいう）4 s 2 と、3 本目の画像信号線（第 3 画像信号線ともいう）4 s 3 と、を含む。より具体的には、例えば、1 列の画素回路 1 0 毎に、1 列の第 1 副画素回路 1 に沿って位置している第 1 画像信号線 4 s 1 と、1 列の第 2 副画素回路 2 に沿って位置している第 2 画像信号線 4 s 2 と、1 列の第 3 副画素回路 3 に沿って位置している第 3 画像信号線 4 s 3 と、が存在している。ここでは、各列の画素回路 1 0 について、第 1 画像信号線 4 s 1 が、1 列を成す複数の第 1 副画素回路 1 のそれぞれに電氣的に接続しており、第 2 画像信号線 4 s 2 が、1 列を成す第 2 副画素回路 2 のそれぞれに電氣的に接続しており、第 3 画像信号線 4 s 3 が、1 列を成す第 3 副画素回路 3 のそれぞれに電氣的に接続している。複数の画像信号線 4 s のそれぞれには、例えば、駆動部 3 0 から画像信号が供給され得る。駆動部 3 0 は、例えば、セクタ回路などを介して複数の画像信号線 4 s に画像信号を供給してもよい。例えば、各列の画素回路 1 0 に対して 1 つのセクタ回路が配置され、駆動部 3 0 からセクタ回路に供給される画像信号が、セクタ回路によって、第 1 画像信号線 4 s 1 と、第 2 画像信号線 4 s 2 と、第 3 画像信号線 4 s 3 と、に時間順次（線順次）に供給されてもよい。セクタ回路には、例えば、3 つのトランスファゲート素子を有する構成などが適用される。セクタ回路は、例えば、基板 2 0 の第 1 面 F 1 上において、画像表示部 3 0 0 の空き領域に配置されていてもよいし、画像表示部 3 0 0 の外側の額縁部分に配置されていてもよい。

[0044] 複数の走査信号線 4 g のそれぞれは、例えば、第 1 副画素回路 1、第 2 副画素回路 2 および第 3 副画素回路 3 のそれぞれに画像信号を入力するタイミングを制御するための信号（走査信号ともいう）を伝送することができる。

1本の走査信号線4gは、例えば、1行の画素回路10に沿って位置している。ここでは、例えば、m行目（mは自然数）の画素回路10の行に沿って、m本目の走査信号線4gが位置している。そして、例えば、m行目の画素回路10に含まれている複数の第1副画素回路1、複数の第2副画素回路2および複数の第3副画素回路3のそれぞれに、m本目の走査信号線4gが電氣的に接続している。複数の走査信号線4gには、例えば、走査信号線駆動部30gから時間順次（線順次）に走査信号が供給され得る。走査信号線駆動部30gには、例えば、シフトレジスタなどの各種の回路が適用される。走査信号線駆動部30gは、例えば、基板20の第1面F1上に位置している。この場合には、走査信号線駆動部30gは、例えば、画像表示部300の空き領域に配置されていてもよいし、画像表示部300の外側の額縁部分に配置されていてもよい。走査信号線駆動部30gは、例えば、駆動部30からの信号に応答して、複数の走査信号線4gに対して時間順次（線順次）に走査信号を供給することができる。

[0045] 発光制御信号線4eは、例えば、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれに、発光のタイミングを制御する信号（発光制御信号ともいう）を伝送することができる。1本の発光制御信号線4eは、例えば、1行の画素回路10に沿って位置している。ここでは、例えば、m行目（mは自然数）の画素回路10の行に沿って、m本目の発光制御信号線4eが位置している。そして、例えば、m行目の画素回路10に含まれている複数の第1副画素回路1、複数の第2副画素回路2および複数の第3副画素回路3のそれぞれに、m本目の発光制御信号線4eが電氣的に接続している。複数の発光制御信号線4eには、例えば、発光制御信号線駆動部30eから時間順次（線順次）に発光制御信号が供給され得る。発光制御信号線駆動部30eには、例えば、シフトレジスタなどの各種の回路が適用される。発光制御信号線駆動部30eは、例えば、基板20の第1面F1上に位置している。この場合には、発光制御信号線駆動部30eは、例えば、画像表示部300の空き領域に配置されていてもよいし、画像表示部300の外

側の額縁部分に配置されていてもよい。発光制御信号線駆動部30eは、例えば、駆動部30からの信号に応答して、複数の発光制御信号線4eに対して時間順次（線順次）に発光制御信号を供給することができる。

[0046] <1-2. 画素回路の構成>

図4は、第1実施形態に係る画素回路10の一例を示す回路図である。図4で示されるように、画素回路10は、例えば、第1副画素回路1と、第2副画素回路2と、を含む。第1実施形態では、第3副画素回路3は、例えば、第1副画素回路1および第2副画素回路2の何れかと同様な構成を有する。このため、第3副画素回路3の図示を便宜的に省略している。

[0047] <<第1副画素回路>>

第1副画素回路1は、例えば、第1の発光部（第1発光部ともいう）12と、第1の設定部（第1設定部ともいう）13と、を有する。また、第1副画素回路1は、例えば、第1の発光制御部（第1発光制御部ともいう）11を有する。

[0048] 第1発光部12は、例えば、第1発光素子12aと、第2発光素子12bと、を含む。第1発光素子12aおよび第2発光素子12bのそれぞれは、第1色の光（例えば、赤色光）を発することができる。第1発光素子12aおよび第2発光素子12bには、例えば、同一の発光素子が適用される。第1発光素子12aおよび第2発光素子12bには、例えば、マイクロ発光ダイオード（LED）素子、または有機エレクトルルミネッセンス（EL）素子などが適用される。より具体的には、第1発光素子12aおよび第2発光素子12bには、例えば、第1色の光を発するマイクロLED素子または有機EL素子などが適用される。第1実施形態では、例えば、第1発光素子12aと第2発光素子12bとは、並列に接続している。第1発光素子12aおよび第2発光素子12bは、例えば、基板20の第1面F1上に配置された絶縁層上に位置している。第1発光素子12aおよび第2発光素子12bは、例えば、絶縁層を貫通するスルーホールなどの貫通導体を介して、第1副画素回路1の他の構成部材などと電氣的に接続している。第1実施形態で

は、第1発光部12は、例えば、第1設定部13、第1発光制御部11および第1アノード電位入力線1d1を介してアノード電位側の電源線としての第1電源線Lv dに接続している。より具体的には、例えば、第1発光素子12aおよび第2発光素子12bのそれぞれの第1電極としての正電極は、第1設定部13、第1発光制御部11および第1アノード電位入力線1d1を介して第1電源線Lv dに接続している。第1電源線Lv dは、例えば、第1電源線Lv dにアノード電位を付与する電源に接続している。また、第1発光部12は、例えば、第1カソード電位入力線1s1を介してカソード電位側の電源線としての第2電源線Lv sに接続している。より具体的には、例えば、第1発光素子12aおよび第2発光素子12bのそれぞれの第2電極としての負電極は、第1カソード電位入力線1s1を介して第2電源線Lv sに接続している。第2電源線Lv sは、例えば、第2電源線Lv sにカソード電位を付与する電源に接続している。

[0049] 第1発光制御部11は、例えば、第1発光部12における発光を制御することができる。より具体的には、第1発光制御部11は、例えば、第1発光素子12aおよび第2発光素子12bにおける発光、非発光および発光強度などを制御することができる。第1発光制御部11は、例えば、第1トランジスタ11gと、第2トランジスタ11dと、第1容量素子11cと、第3トランジスタ11eと、を有する。

[0050] 第1トランジスタ11gは、例えば、第1発光制御部11内に画像信号を入力するためのスイッチ素子として機能する。第1トランジスタ11gには、例えば、Pチャネル型薄膜トランジスタ（Pチャネルトランジスタ）などが適用される。この場合には、例えば、第1トランジスタ11gのゲート電極は、走査信号線4gに接続している。例えば、第1トランジスタ11gのソース電極は、第1画像信号線4s1に接続している。例えば、第1トランジスタ11gのドレイン電極は、第2トランジスタ11dのゲート電極に接続している。例えば、走査信号線4gからの走査信号としてのオン信号（ここでは、Low（L）信号）が第1トランジスタ11gのゲート電極に入力

されると、第1トランジスタ11gは、ソース電極とドレイン電極との間に電流が流れ得る導通状態となる。これにより、例えば、第1画像信号線4s1からの画像信号が第1トランジスタ11gを介して第2トランジスタ11dのゲート電極に付与される。

[0051] 第2トランジスタ11dは、例えば、第1アノード電位入力線1d1が付与するアノード電位Vddと第1カソード電位入力線1s1が付与するカソード電位Vssとの電位差と、第1画像信号線4s1から伝達される画像信号のレベル（電位）と、に応じて、第1発光部12を電流駆動させる素子（駆動素子ともいう）として機能する。第1電源線Lv dから第1アノード電位入力線1d1に付与されるアノード電位Vddは、例えば、3Vから5V程度とされる。第2電源線Lv sから第1カソード電位入力線1s1に付与されるカソード電位Vssは、例えば、-3Vから0V程度とされる。第2電源線Lv sは、例えば、接地された接地線であってもよい。第2トランジスタ11dには、例えば、Pチャネルトランジスタなどが適用される。この場合には、例えば、第2トランジスタ11dのソース電極は、第1アノード電位入力線1d1に接続している。例えば、第2トランジスタ11dのドレイン電極は、第3トランジスタ11e、第1設定部13および第1発光部12を介して第1カソード電位入力線1s1に接続している。例えば、第1画像信号線4s1からの画像信号としてのL信号が第2トランジスタ11dのゲート電極に入力されると、第2トランジスタ11dは、ソース電極とドレイン電極との間に電流が流れ得る導通状態となる。これにより、例えば、第1アノード電位入力線1d1から第2トランジスタ11d、第3トランジスタ11eおよび第1設定部13を介して、第1発光部12に駆動電流が流れ得る。このとき、第1発光部12は、例えば、画像信号のレベル（電位）に応じて、発光の強度（輝度）が制御され得る。換言すれば、第2トランジスタ11dは、例えば、第1発光部12における発光強度を制御することができる。別の観点から言えば、第2トランジスタ11dは、例えば、第1発光部12の第1発光素子12aおよび第2発光素子12bにおける発光強度を

制御することができる。

[0052] 第1容量素子11cは、例えば、第2トランジスタ11dのゲート電極とソース電極とを接続している接続線上に位置している。この第1容量素子11cは、例えば、第2トランジスタ11dのゲート電極に入力された画像信号の電位 V_{sig} を次の画像信号の入力（書き換え）までの期間（1フレームの期間）保持する保持容量として機能する。

[0053] 第3トランジスタ11eは、例えば、第1発光部12の発光および非発光を制御するためのスイッチ素子として機能する。第3トランジスタ11eは、例えば、第2トランジスタ11dと第1発光部12とを接続する接続線（第1駆動線ともいう）上に位置している。第3トランジスタ11eには、例えば、Pチャネルトランジスタなどが適用される。この場合には、例えば、第3トランジスタ11eのソース電極は、第2トランジスタ11dのドレイン電極に接続しており、第3トランジスタ11eのドレイン電極は、第1設定部13を介して第1発光部12に接続している。より具体的には、例えば、第3トランジスタ11eのドレイン電極は、第1設定部13を介して、第1発光素子12aおよび第2発光素子12bのそれぞれの正電極に接続している。また、例えば、第3トランジスタ11eのゲート電極は、発光制御信号線4eに接続している。例えば、発光制御信号線4eからの発光制御信号としてのオン信号（ここでは、L信号）が第3トランジスタ11eのゲート電極に入力されると、第3トランジスタ11eは、ソース電極とドレイン電極との間に電流が流れ得る導通状態となる。これにより、例えば、第1アノード電位入力線1d1から第2トランジスタ11dおよび第3トランジスタ11eを介して第1発光部12に駆動電流が流れ、第1発光部12が発光し得る。

[0054] 第1設定部13は、例えば、第1発光素子12aおよび第2発光素子12bのそれぞれについて、発光することができる状態（発光可能状態ともいう）および発光することができない状態（非発光状態ともいう）のうちの何れか一方の状態に選択的に設定することができる。ここでは、発光可能状態と

は、例えば、発光素子が、第1電源線 L_{vd} によるアノード電位 V_{dd} と第2電源線 L_{vs} によるカソード電位 V_{ss} との電位差に応じて発光を行うことができる状態のことを言う。非発光状態とは、例えば、発光素子が、第1電源線 L_{vd} によるアノード電位 V_{dd} と第2電源線 L_{vs} によるカソード電位 V_{ss} との電位差に応じて発光を行うことができない状態のことを言う。第1設定部13は、例えば、各種の回路などによって構成される設定制御部5からの信号（設定制御信号ともいう）に応じて、第1発光素子12aおよび第2発光素子12bのそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に設定することができる。換言すれば、設定制御部5は、例えば、第1設定部13に対して設定制御信号を出力することができる。設定制御部5は、駆動部30に含まれる制御回路部であってもよい。また設定制御部5は、駆動部30に含まれるIC（Integrated Circuit）もしくはLSI（Large Scale Integrated Circuit）などの駆動素子のRAM（Random Access Memory）およびROM（Read Only Memory）に格納されたプログラムソフトウェアによって実現される機能的な構成であってもよい。また、設定制御部5は、駆動部30と別個の駆動素子のRAMおよびROMに格納されたプログラムソフトウェアによって実現される機能的な構成であってもよい。また、設定制御部5は、駆動部30と別個の回路基板上に形成された制御回路であってもよい。

[0055] 表示装置100は、表示面（第1面 F_1 ）と、表示面とは反対側の反表示面（第2面 F_2 ）と、表示面と反表示面とを繋ぐ側面 F_3 と、を有する基板20を備え、複数の画素回路10が基板20の表示面の側に位置しており、駆動部30が基板20の反表示面の側に位置している構成を有していてもよい。この場合、表示面の額縁部分（非表示部）を狭小化すること、または額縁部分を無くすることができる。駆動部30は、ICもしくはLSIなどの駆動素子であってもよく、駆動素子が搭載された、フレキシブル印刷回路板（Flexible Printed Circuits：FPC）などの回路基板であってもよい。回路基板は、基板20の反表示面上に位置していてもよい。この回路基板にある

接続電極は、基板 20 の反表示面上にある接続端子に接続されていてもよい。

[0056] 第 1 設定部 13 は、例えば、第 1 スイッチとしての第 4 トランジスタ 13 a と、第 2 スイッチとしての第 5 トランジスタ 13 b と、を含む。

[0057] 第 1 スイッチとしての第 4 トランジスタ 13 a は、例えば、第 1 発光素子 12 a を発光可能状態および非発光状態の何れか一方の状態に選択的に設定することができる。第 4 トランジスタ 13 a は、例えば、第 1 発光素子 12 a に直列に接続している。第 4 トランジスタ 13 a には、例えば、P チャンネルトランジスタなどが適用される。この場合には、例えば、第 4 トランジスタ 13 a のソース電極は、第 3 トランジスタ 11 e のドレイン電極に接続しており、第 4 トランジスタ 13 a のドレイン電極は、第 1 発光素子 12 a の正電極に接続している。また、例えば、第 4 トランジスタ 13 a のゲート電極は、信号線（第 1 設定制御信号線ともいう）SL1 を介して設定制御部 5 に接続している。設定制御部 5 は、例えば、第 4 トランジスタ 13 a のゲート電極に対して、第 1 設定制御信号 Se1 を出力することができる。ここでは、設定制御部 5 は、例えば、第 1 設定制御信号 Se1 として、第 1 信号（ここでは、L 信号）および第 2 信号（ここでは、High（H）信号）のうちの何れか一方を選択的に出力することができる。なお、ここでは、第 1 信号はトランジスタのゲートドレイン間を導通させるオン信号であり、第 2 信号はトランジスタのゲートドレイン間を非導通とするオフ信号である。別の観点から言えば、ここでは、例えば、第 1 信号は、発光素子を発光可能状態に設定するための信号であり、第 2 信号は、発光素子を非発光状態に設定するための信号である。

[0058] 例えば、設定制御部 5 からの第 1 設定制御信号 Se1 として第 1 信号である L 信号が第 4 トランジスタ 13 a のゲート電極に入力されると、第 4 トランジスタ 13 a は、ソース電極とドレイン電極との間に電流が流れ得る導通状態となる。これにより、例えば、第 1 発光素子 12 a は、発光可能状態に設定される。また、例えば、設定制御部 5 からの第 1 設定制御信号 Se1 と

して第2信号であるH信号が第4トランジスタ13aのゲート電極に入力されると、第4トランジスタ13aは、ソース電極とドレイン電極との間に電流が流れ得ない非導通状態となる。これにより、例えば、第1発光素子12aは、非発光状態に設定される。

[0059] 第2スイッチとしての第5トランジスタ13bは、例えば、第2発光素子12bを発光可能状態および非発光状態の何れか一方の状態に選択的に設定することができる。第5トランジスタ13bは、例えば、第2発光素子12bに直列に接続している。第5トランジスタ13bには、例えば、Pチャネルトランジスタなどが適用される。この場合には、例えば、第5トランジスタ13bのソース電極は、第3トランジスタ11eのドレイン電極に接続しており、第5トランジスタ13bのドレイン電極は、第2発光素子12bの正電極に接続している。また、例えば、第5トランジスタ13bのゲート電極は、信号線（第2設定制御信号線ともいう）SL2を介して設定制御部5に接続している。設定制御部5は、例えば、第5トランジスタ13bのゲート電極に対して、第2設定制御信号Se2を出力することができる。ここでは、設定制御部5は、例えば、第2設定制御信号Se2として、第1信号であるL信号および第2信号であるH信号のうちの何れか一方を選択的に出力することができる。

[0060] 例えば、設定制御部5からの第2設定制御信号Se2として第1信号であるL信号が第5トランジスタ13bのゲート電極に入力されると、第5トランジスタ13bは、ソース電極とドレイン電極との間に電流が流れ得る導通状態となる。これにより、例えば、第2発光素子12bは、発光可能状態に設定される。また、例えば、設定制御部5からの第2設定制御信号Se2として第2信号であるH信号が第5トランジスタ13bのゲート電極に入力されると、第5トランジスタ13bは、ソース電極とドレイン電極との間に電流が流れ得ない非導通状態となる。これにより、例えば、第2発光素子12bは、非発光状態に設定される。

[0061] 例えば、第1副画素回路1では、第1設定部13は、例えば、第1スイッ

チとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bの両方のスイッチを導通状態にすることで、第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定することができる。

[0062] ここで、例えば、第1スイッチとしての第4トランジスタ13aは、第1発光素子12aの負電極側に配置されてもよい。この場合には、例えば、第1発光素子12aの正電極は、第3トランジスタ11eのドレイン電極に接続し、第1発光素子12aの負電極は、第1スイッチとしての第4トランジスタ13aおよび第1カソード電位入力線1s1を介して第2電源線Lv sに接続している。より具体的には、例えば、第1発光素子12aの負電極は、第4トランジスタ13aのソース電極に接続し、第4トランジスタ13aのドレイン電極は、第1カソード電位入力線1s1を介して第2電源線Lv sに接続している。また、例えば、第2スイッチとしての第5トランジスタ13bは、第2発光素子12bの負電極側に配置されてもよい。この場合には、例えば、第2発光素子12bの正電極は、第3トランジスタ11eのドレイン電極に接続し、第2発光素子12bの負電極は、第2スイッチとしての第5トランジスタ13bおよび第1カソード電位入力線1s1を介して第2電源線Lv sに接続している。より具体的には、例えば、第2発光素子12bの負電極は、第5トランジスタ13bのソース電極に接続し、第5トランジスタ13bのドレイン電極は、第1カソード電位入力線1s1を介して第2電源線Lv sに接続している。

[0063] <<第2副画素回路>>

第2副画素回路2は、例えば、第2の発光部（第2発光部ともいう）22と、第2の設定部（第2設定部ともいう）23と、を有する。また、第2副画素回路2は、例えば、第2の発光制御部（第2発光制御部ともいう）21を有する。

[0064] 第2発光部22は、例えば、第3発光素子22aと、第4発光素子22bと、を含む。第3発光素子22aおよび第4発光素子22bのそれぞれは、

第2色の光（例えば、緑色光または青色光）を発することができる。第3発光素子22aおよび第4発光素子22bには、例えば、同一の発光素子が適用される。第3発光素子22aおよび第4発光素子22bには、例えば、マイクロLED素子、または有機EL素子などが適用される。より具体的には、第3発光素子22aおよび第4発光素子22bには、例えば、第2色の光を発するマイクロLED素子またはEL素子などが適用される。第1実施形態では、例えば、第3発光素子22aと第4発光素子22bとは、並列に接続している。第3発光素子22aおよび第4発光素子22bは、例えば、基板20の第1面F1上に配置された絶縁層上に位置している。第3発光素子22aおよび第4発光素子22bは、例えば、絶縁層を貫通するスルーホールなどの貫通導体を介して、第2副画素回路2の他の構成部材などと電氣的に接続している。第1実施形態では、第2発光部22は、例えば、第2設定部23、第2発光制御部21および第2アノード電位入力線2d1を介して第1電源線Lv dに接続している。より具体的には、例えば、第3発光素子22aおよび第4発光素子22bのそれぞれの第1電極としての正電極は、第2設定部23、第2発光制御部21および第2アノード電位入力線2d1を介して第1電源線Lv dに接続している。第2発光部22は、例えば、第2カソード電位入力線2s1を介して第2電源線Lv sに接続している。より具体的には、例えば、第3発光素子22aおよび第4発光素子22bのそれぞれの第2電極としての負電極は、第2カソード電位入力線2s1を介して第2電源線Lv sに接続している。

[0065] 第2発光制御部21は、例えば、第2発光部22における発光を制御することができる。より具体的には、第2発光制御部21は、例えば、第3発光素子22aおよび第4発光素子22bにおける発光、非発光および発光強度などを制御することができる。第2発光制御部21は、例えば、第1発光制御部11と同様な構成を有する。第2発光制御部21は、例えば、第6トランジスタ21gと、第7トランジスタ21dと、第2容量素子21cと、第8トランジスタ21eと、を有する。

[0066] 第6トランジスタ21gは、例えば、第2発光制御部21内に画像信号を入力するためのスイッチ素子として機能する。第6トランジスタ21gには、例えば、Pチャネルトランジスタなどが適用される。この場合には、例えば、第6トランジスタ21gのゲート電極は、走査信号線4gに接続している。例えば、第6トランジスタ21gのソース電極は、第2画像信号線4s2に接続している。例えば、第6トランジスタ21gのドレイン電極は、第7トランジスタ21dのゲート電極に接続している。例えば、走査信号線4gからの走査信号としてのオン信号（ここでは、L信号）が第6トランジスタ21gのゲート電極に入力されると、第6トランジスタ21gは、ソース電極とドレイン電極との間に電流が流れ得る導通状態となる。これにより、例えば、第2画像信号線4s2からの画像信号が第6トランジスタ21gを介して第7トランジスタ21dのゲート電極に付与される。

[0067] 第7トランジスタ21dは、例えば、第2アノード電位入力線2d1が付与するアノード電位Vddと第2カソード電位入力線2s1が付与するカソード電位Vssとの電位差と、第2画像信号線4s2から伝達される画像信号のレベル（電位）と、に応じて、第2発光部22を電流駆動させる素子（駆動素子）として機能する。第1電源線Lv dから第2アノード電位入力線2d1に付与されるアノード電位Vddは、例えば、3Vから5V程度とされる。第2電源線Lv sから第2カソード電位入力線2s1に付与されるカソード電位Vssは、例えば、-3Vから0V程度とされる。第7トランジスタ21dには、例えば、Pチャネルトランジスタなどが適用される。この場合には、例えば、第7トランジスタ21dのソース電極は、第2アノード電位入力線2d1に接続している。例えば、第7トランジスタ21dのドレイン電極は、第8トランジスタ21e、第2設定部23および第2発光部22を介して第2カソード電位入力線2s1に接続している。例えば、第2画像信号線4s2からの画像信号としてのL信号が第7トランジスタ21dのゲート電極に入力されると、第7トランジスタ21dは、ソース電極とドレイン電極との間に電流が流れ得る導通状態となる。これにより、例えば、第

2アノード電位入力線2d1から第7トランジスタ21d、第8トランジスタ21eおよび第2設定部23を介して、第2発光部22に駆動電流が流れ得る。このとき、第2発光部22は、例えば、画像信号のレベル（電位）に応じて、発光の強度（輝度）が制御され得る。換言すれば、第7トランジスタ21dは、例えば、第2発光部22における発光強度を制御することができる。別の観点から言えば、第7トランジスタ21dは、例えば、第2発光部22の第3発光素子22aおよび第4発光素子22bにおける発光強度を制御することができる。

[0068] 第2容量素子21cは、例えば、第7トランジスタ21dのゲート電極とソース電極とを接続している接続線上に位置している。この第2容量素子21cは、例えば、第7トランジスタ21dのゲート電極に入力された画像信号の電位 V_{sig} を次の画像信号の入力（書き換え）までの期間（1フレームの期間）保持する保持容量として機能する。

[0069] 第8トランジスタ21eは、例えば、第2発光部22の発光および非発光を制御するためのスイッチ素子として機能する。第8トランジスタ21eは、例えば、第7トランジスタ21dと第2発光部22とを接続する接続線（第2駆動線ともいう）上に位置している。第8トランジスタ21eには、例えば、Pチャネルトランジスタなどが適用される。この場合には、例えば、第8トランジスタ21eのソース電極は、第7トランジスタ21dのドレイン電極に接続しており、第8トランジスタ21eのドレイン電極は、第2設定部23を介して第2発光部22に接続している。より具体的には、例えば、第8トランジスタ21eのドレイン電極は、第2設定部23を介して、第3発光素子22aおよび第4発光素子22bのそれぞれの正電極に接続している。また、例えば、第8トランジスタ21eのゲート電極は、発光制御信号線4eに接続している。例えば、発光制御信号線4eからの発光制御信号としてのオン信号（ここでは、L信号）が第8トランジスタ21eのゲート電極に入力されると、第8トランジスタ21eは、ソース電極とドレイン電極との間に電流が流れ得る導通状態となる。これにより、例えば、第2アノ

ード電位入力線 2 d 1 から第 7 トランジスタ 2 1 d および第 8 トランジスタ 2 1 e を介して第 2 発光部 2 2 に駆動電流が流れ、第 2 発光部 2 2 が発光し得る。

[0070] 第 2 設定部 2 3 は、例えば、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b のそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定することができる。第 2 設定部 2 3 は、例えば、設定制御部 5 からの信号（設定制御信号）に応じて、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b のそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定することができる。換言すれば、設定制御部 5 は、例えば、第 2 設定部 2 3 に対して設定制御信号を出力することができる。

[0071] 第 2 設定部 2 3 は、例えば、第 3 スイッチとしての第 9 トランジスタ 2 3 a と、第 4 スイッチとしての第 10 トランジスタ 2 3 b と、を含む。

[0072] 第 3 スイッチとしての第 9 トランジスタ 2 3 a は、例えば、第 3 発光素子 2 2 a を発光可能状態および非発光状態の何れか一方の状態に選択的に設定することができる。第 9 トランジスタ 2 3 a は、例えば、第 3 発光素子 2 2 a に直列に接続している。第 9 トランジスタ 2 3 a には、例えば、P チャンネルトランジスタなどが適用される。この場合には、例えば、第 9 トランジスタ 2 3 a のソース電極は、第 8 トランジスタ 2 1 e のドレイン電極に接続しており、第 9 トランジスタ 2 3 a のドレイン電極は、第 3 発光素子 2 2 a の正電極に接続している。また、例えば、第 9 トランジスタ 2 3 a のゲート電極は、信号線（第 3 設定制御信号線ともいう）S L 3 を介して設定制御部 5 に接続している。設定制御部 5 は、例えば、第 9 トランジスタ 2 3 a のゲート電極に対して、第 3 設定制御信号 S e 3 を出力することができる。ここでは、設定制御部 5 は、例えば、第 3 設定制御信号 S e 3 として、第 1 信号である L 信号および第 2 信号である H 信号のうちの何れか一方を選択的に出力することができる。

[0073] 例えば、設定制御部 5 からの第 3 設定制御信号 S e 3 として第 1 信号である L 信号が第 9 トランジスタ 2 3 a のゲート電極に入力されると、第 9 トラ

ンジスタ 23 a は、ソース電極とドレイン電極との間に電流が流れ得る導通状態となる。これにより、例えば、第 3 発光素子 22 a は、発光可能状態に設定される。また、例えば、設定制御部 5 からの第 3 設定制御信号 S e 3 として第 2 信号である H 信号が第 9 トランジスタ 23 a のゲート電極に入力されると、第 9 トランジスタ 23 a は、ソース電極とドレイン電極との間に電流が流れ得ない非導通状態となる。これにより、例えば、第 3 発光素子 22 a は、非発光状態に設定される。

[0074] 第 4 スイッチとしての第 10 トランジスタ 23 b は、例えば、第 4 発光素子 22 b を発光可能状態および非発光状態の何れか一方の状態に選択的に設定することができる。第 10 トランジスタ 23 b は、例えば、第 4 発光素子 22 b に直列に接続している。第 10 トランジスタ 23 b には、例えば、P チャネルトランジスタなどが適用される。この場合には、例えば、第 10 トランジスタ 23 b のソース電極は、第 8 トランジスタ 21 e のドレイン電極に接続しており、第 10 トランジスタ 23 b のドレイン電極は、第 4 発光素子 22 b の正電極に接続している。また、例えば、第 10 トランジスタ 23 b のゲート電極は、信号線（第 4 設定制御信号線ともいう）S L 4 を介して設定制御部 5 に接続している。設定制御部 5 は、例えば、第 10 トランジスタ 23 b のゲート電極に対して、第 4 設定制御信号 S e 4 を出力することができる。ここでは、設定制御部 5 は、例えば、第 4 設定制御信号 S e 4 として、第 1 信号である L 信号および第 2 信号である H 信号のうちの何れか一方を選択的に出力することができる。

[0075] 例えば、設定制御部 5 からの第 4 設定制御信号 S e 4 として第 1 信号である L 信号が第 10 トランジスタ 23 b のゲート電極に入力されると、第 10 トランジスタ 23 b は、ソース電極とドレイン電極との間に電流が流れ得る導通状態となる。これにより、例えば、第 4 発光素子 22 b は、発光可能状態に設定される。また、例えば、設定制御部 5 からの第 4 設定制御信号 S e 4 として第 2 信号である H 信号が第 10 トランジスタ 23 b のゲート電極に入力されると、第 10 トランジスタ 23 b は、ソース電極とドレイン電極と

の間に電流が流れ得ない非導通状態となる。これにより、例えば、第4発光素子22bは、非発光状態に設定される。

[0076] 例えば、第2副画素回路2では、第2設定部23は、例えば、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bのうちの何れか一方を選択的に導通状態にすることで、第3発光素子22aおよび第4発光素子22bのうちの何れか一方を選択的に発光可能状態に設定することができる。換言すれば、例えば、第2副画素回路2では、第2設定部23は、例えば、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bのうちの何れか一方を選択的に非導通状態にすることで、第3発光素子22aおよび第4発光素子22bのうちの何れか一方を選択的に非発光状態に設定することができる。

[0077] ここで、例えば、第3スイッチとしての第9トランジスタ23aは、第3発光素子22aの負電極側に配置されてもよい。この場合には、例えば、第3発光素子22aの正電極は、第8トランジスタ21eのドレイン電極に接続し、第3発光素子22aの負電極は、第3スイッチとしての第9トランジスタ23aおよび第2カソード電位入力線2s1を介して第2電源線Lv_sに接続している。より具体的には、例えば、第3発光素子22aの負電極は、第9トランジスタ23aのソース電極に接続し、第9トランジスタ23aのドレイン電極は、第2カソード電位入力線2s1を介して第2電源線Lv_sに接続している。また、例えば、第4スイッチとしての第10トランジスタ23bは、第4発光素子22bの負電極側に配置されてもよい。この場合には、例えば、第4発光素子22bの正電極は、第8トランジスタ21eのドレイン電極に接続し、第4発光素子22bの負電極は、第4スイッチとしての第10トランジスタ23bおよび第2カソード電位入力線2s1を介して第2電源線Lv_sに接続している。より具体的には、例えば、第4発光素子22bの負電極は、第10トランジスタ23bのソース電極に接続し、第10トランジスタ23bのドレイン電極は、第2カソード電位入力線2s1

を介して第2電源線L v sに接続している。

[0078] <1-3. 設定制御部>

設定制御部5は、例えば、複数の画素回路10のそれぞれに配置されている態様が考えられる。換言すれば、例えば、複数の画素回路10のそれぞれが、設定制御部5を備えている態様が考えられる。図5は、設定制御部5の構成の一例を模式的に示すブロック図である。図5で示されるように、設定制御部5は、例えば、複数の信号出力回路51と、組み合わせ回路52と、を有する。

[0079] <<信号出力回路>>

複数の信号出力回路51は、例えば、第1の信号出力回路（第1信号出力回路ともいう）511と、第2の信号出力回路（第2信号出力回路ともいう）512と、を含む。各信号出力回路51は、例えば、第1信号であるL信号および第2信号であるH信号のうちの一方を選択的に切替信号S_iとして出力することができる。例えば、第1信号出力回路511は、第1信号であるL信号および第2信号であるH信号のうちの一方を選択的に第1の切替信号（第1切替信号ともいう）S_{i0}として出力することができる。例えば、第2信号出力回路512は、第1信号であるL信号および第2信号であるH信号のうちの一方を選択的に第2の切替信号（第2切替信号ともいう）S_{i1}として出力することができる。

[0080] 各信号出力回路51には、例えば、切替信号S_iをL信号およびH信号のうちの一方に切り替えてその状態を保持することが可能なフリップフロップ回路、ラッチ回路などのデータを保持する回路（保持回路ともいう）、または一部の配線部分の切断に応じて切替信号S_iがL信号とH信号との間で切り替わる回路（フューズ回路ともいう）などが適用され得る。

[0081] 図6は、信号出力回路51の第1例を示す回路図である。図6で示されるように、複数の信号出力回路51のそれぞれには、例えば、保持回路が適用され得る。信号出力回路51としての保持回路は、例えば、状態を設定するためのデータとしての信号（設定信号ともいう）の入力（書き込み）が一旦

行われることで、切替信号 S_i として L 信号および H 信号のうちの何れかを出力し続ける状態に設定される。ここで、例えば、画像信号線 4 s が、各信号出力回路 5 1 に設定信号の入力（書き込み）を行う信号線（設定信号書き込み信号線ともいう）として利用され、走査信号線 4 g が、各信号出力回路 5 1 に設定信号の入力（書き込み）を行うタイミングを指定する信号（指定信号ともいう）を入力するための信号線（指定信号入力信号線ともいう）として利用される態様が考えられる。

[0082] 例えば、図 6 で示されるように、1 本の画像信号線 4 s が、第 1 信号出力回路 5 1 1 および第 2 信号出力回路 5 1 2 のそれぞれに接続されている構成が考えられる。そして、例えば、1 本の走査信号線 4 g が、第 1 信号出力回路 5 1 1 に接続されているとともに、NOT 回路を介して第 2 信号出力回路 5 1 2 に接続されている構成が考えられる。この場合には、例えば、1 本の走査信号線 4 g によって、画像信号線 4 s から第 1 信号出力回路 5 1 1 としての保持回路に設定信号の入力（書き込み）が行われる第 1 タイミングと、画像信号線 4 s から第 2 信号出力回路 5 1 2 としての保持回路に設定信号の入力（書き込み）が行われる第 2 タイミングと、を時間順次に指定することができる。例えば、走査信号線 4 g から指定信号としての L 信号が第 1 信号出力回路 5 1 1 としての保持回路に入力され、走査信号線 4 g からの指定信号としての L 信号が NOT 回路で指定信号でない信号（非指定信号ともいう）としての H 信号に変換されて第 2 信号出力回路 5 1 2 としての保持回路に入力される。このとき、例えば、画像信号線 4 s から第 1 信号出力回路 5 1 1 としての保持回路への設定信号の入力（書き込み）が可能となるとともに、画像信号線 4 s から第 2 信号出力回路 5 1 2 としての保持回路への設定信号の入力（書き込み）が可能となってもよいし、画像信号線 4 s から第 2 信号出力回路 5 1 2 としての保持回路への設定信号の入力（書き込み）が可能となるとともに、画像信号線 4 s から第 1 信号出力回路 5 1 1 としての保持回路への設定信号の入力（書き込み）が可能となってもよい。指定信号は、例えば、H 信号であってもよい。例えば、第 1 信号出力回路 5 1 1 としての

保持回路では、走査信号線 4 g から指定信号が入力されたタイミングで、画像信号線 4 s から設定信号としての L 信号または H 信号の入力（書き込み）が行われる。また、例えば、第 2 信号出力回路 5 1 2 としての保持回路では、走査信号線 4 g から指定信号が入力されたタイミングで、画像信号線 4 s から設定信号としての L 信号または H 信号の入力（書き込み）が行われる。

[0083] ここで、例えば、複数の画素回路 1 0 のそれぞれが設定制御部 5 を有する場合には、各画素回路 1 0 において、第 1 副画素回路 1 に接続された第 1 画像信号線 4 s 1、第 2 副画素回路 2 に接続された第 2 画像信号線 4 s 2 および第 3 副画素回路 3 に接続された第 3 画像信号線 4 s 3 のそれぞれが、設定信号書き込み信号線とされ得る。また、各画素回路 1 0 において、例えば、第 1 副画素回路 1、第 2 副画素回路 2 および第 3 副画素回路 3 に接続された走査信号線 4 g が、指定信号入力信号線とされ得る。

[0084] 図 7 は、信号出力回路 5 1 の第 2 例を示す回路図である。図 7 で示されるように、複数の信号出力回路 5 1 のそれぞれには、例えば、フューズ回路が適用される。信号出力回路 5 1 としてのフューズ回路は、例えば、第 1 回路部 5 1 C 1 と、第 2 回路部 5 1 C 2 と、信号入力部 5 1 I と、信号出力部 5 1 U を有する。

[0085] 信号入力部 5 1 I は、信号出力回路 5 1 の外部から信号が入力される部分である。信号入力部 5 1 I には、例えば、駆動部 3 0 から所定の配線を介して信号が入力される。

[0086] 第 1 回路部 5 1 C 1 には、例えば、反転論理回路としての CMOS 型 NOT 回路が適用される。CMOS 型 NOT 回路では、例えば、正の電位 V_{GH} を付与する正の電源線と負の電位 V_{GL} を付与する負の電源線との間に、P チャネルトランジスタと N チャネルトランジスタとが、直列に接続されている。負の電位 V_{GL} は、例えば、基準の電位（GND）であってもよいし、0 ボルトであってもよい。より具体的には、P チャネルトランジスタのソース電極が正の電源線に接続されており、P チャネルトランジスタのドレイン電極が N チャネルトランジスタのドレイン電極に接続されており、N チャネ

ルトランジスタのソース電極が負の電源線に接続されている。また、CMOS型NOT回路では、Pチャネルトランジスタのゲート電極とNチャネルトランジスタのゲート電極とが接続された部分が入力部（第1入力部ともいう）であり、Pチャネルトランジスタのドレイン電極とNチャネルトランジスタのドレイン電極とが接続された部分が出力部（第1出力部ともいう）である。このCMOS型NOT回路は、第1入力部に入力される信号の電圧の論理レベルを逆転させて第1出力部から信号を出力することができる。CMOS型NOT回路の第1入力部は、信号入力部51Iに接続されている。このため、第1回路部51C1は、例えば、信号入力部51Iから第1入力部にL信号が入力されると、第1出力部からH信号を出力し、信号入力部51Iから第1入力部にH信号が入力されると、第1出力部からL信号を出力することができる。また、第1回路部51C1は、例えば、Nチャネルトランジスタのソース電極と負の電源線とを接続する配線上に特定の配線部分（特定配線部分ともいう）51Pを含む。この場合には、例えば、各信号出力回路51は、特定配線部分51Pを含んでいる。特定配線部分51Pは、後述する切断の対象となる部分である。特定配線部分51Pは、例えば、基板20の第1面F1上に配置された絶縁層上に位置していれば、レーザー光の照射による溶断、研削装置などを用いた機械的な切断、またはエッチングなどを用いた化学的な切断などによって容易に切断され得る。すなわち、特定配線部分51Pは、導通状態と非導通状態のいずれか一方の状態に固定され得る部分（導通／非導通固定的選択部ともいう）である。

[0087] 第2回路部51C2は、例えば、縦続接続された2つのNOTゲートN1, N2を有するバッファ回路部分51Bと、このバッファ回路部分51Bと並列に接続されている配線部分51Wと、を有する。また、第2回路部51C2は、例えば、第1回路部51C1の第1出力部に接続されている入力部（第2入力部ともいう）と、信号出力部51Uに接続されている出力部（第2出力部ともいう）と、を有する。バッファ回路部分51Bは、第1回路部51C1の第1出力部から第2入力部に入力される信号の電圧のレベルを安

定化かつ補正して出力することができる。例えば、第2回路部51C2は、第1回路部51C1から第2入力部にL信号が入力されると、第2出力部から安定化かつ補正されたL信号を出力し、第1回路部51C1から第2入力部にH信号が入力されると、第2出力部から安定化かつ補正されたH信号を出力することができる。

[0088] ここで、上記構成を有する信号出力回路51としてのフューズ回路において、例えば、信号入力部51IにL信号が入力される場合を想定する。この場合には、第1回路部51C1が、L信号を反転させてH信号を出力し、第2回路部51C2が、安定化かつ補正されたH信号を出力する。これにより、信号出力部51Uが、組み合わせ回路52に対して切替信号S_iとしてのH信号を出力する。また、上記構成を有する信号出力回路51としてのフューズ回路において、例えば、信号入力部51IにH信号が入力される場合を想定する。この場合には、第1回路部51C1が、H信号を反転させてL信号を出力し、第2回路部51C2が、安定化かつ補正されたL信号を出力する。これにより、信号出力部51Uが、組み合わせ回路52に対して切替信号S_iとしてのL信号を出力する。

[0089] また、信号出力回路51としてのフューズ回路では、例えば、特定配線部分51Pの切断の有無に応じて、信号入力部51Iに入力される信号と信号出力部51Uから出力される信号との関係が切り替わる。

[0090] 例えば、信号出力回路51としてのフューズ回路は、特定配線部分51Pが切断されていない状態（非切断状態ともいう）にあれば、信号入力部51IにL信号が入力されると、信号出力部51UからH信号を出力し、信号入力部51IにH信号が入力されると、信号出力部51UからL信号を出力する。また、例えば、信号出力回路51としてのフューズ回路は、特定配線部分51Pが切断されている状態（切断状態ともいう）にあれば、信号入力部51IにL信号が入力されると、信号出力部51UからH信号を出力し、その後、信号入力部51IにH信号が入力されても、信号出力部51Uから出力される信号が変化しない。このため、例えば、信号出力回路51として

のフューズ回路は、切断状態にあれば、一旦、信号入力部 5 1 I に L 信号が入力されて、信号出力部 5 1 U から H 信号を出力する状態となれば、信号入力部 5 1 I に H 信号が入力されても、信号出力部 5 1 U から H 信号を出力し続ける。このとき、例えば、信号出力回路 5 1 では、第 2 回路部 5 1 C 2 が信号出力部 5 1 U から H 信号を出力し続ける状態を記憶する役割を果たす。

[0091] ここでは、例えば、特定配線部分 5 1 P の切断の有無に応じて変化するフューズ回路における入力と出力との関係が利用されて、信号出力回路 5 1 としてのフューズ回路から出力される切替信号 S i が、L 信号と H 信号との間で切り替えられ得る。

[0092] 例えば、非切断状態にある信号出力回路 5 1 としてのフューズ回路では、第 1 期間において、信号入力部 5 1 I に入力される信号 X R S T が L 信号となれば、信号出力部 5 1 U から出力される切替信号 S i が H 信号となる。次に、例えば、非切断状態にある信号出力回路 5 1 としてのフューズ回路では、第 1 期間の後の第 2 期間において、信号入力部 5 1 I に入力される信号 X R S T が H 信号となれば、信号出力部 5 1 U から出力される切替信号 S i が L 信号となる。このとき、例えば、非切断状態にある信号出力回路 5 1 としてのフューズ回路から組み合わせ回路 5 2 に、切替信号 S i として L 信号が入力される。

[0093] 例えば、切断状態にある信号出力回路 5 1 としてのフューズ回路では、第 1 期間において、信号入力部 5 1 I に入力される信号 X R S T が L 信号となれば、信号出力部 5 1 U から出力される切替信号 S i が H 信号となる。次に、例えば、切断状態にある信号出力回路 5 1 としてのフューズ回路では、第 1 期間の後の第 2 期間において、信号入力部 5 1 I に入力される信号 X R S T が H 信号となっても、信号出力部 5 1 U から出力される切替信号 S i が H 信号のまま維持される。このとき、例えば、切断状態にある信号出力回路 5 1 としてのフューズ回路から組み合わせ回路 5 2 に、切替信号 S i として H 信号が入力される。

[0094] このようにして、例えば、第 2 期間において、信号出力回路 5 1 としての

フューズ回路は、特定配線部分 5 1 P の切断に応じて、組み合わせ回路 5 2 に対して出力する切替信号 S_i を第 1 電位の L 信号から第 2 電位の H 信号に設定することができる。このような構成が採用されれば、例えば、信号出力回路 5 1 の回路の規模が大きくなりにくい。

[0095] <<組み合わせ回路>>

組み合わせ回路 5 2 は、例えば、複数の信号出力回路 5 1 から入力される複数の切替信号 S_i に応じて、設定制御信号を出力することができる。ここでは、組み合わせ回路 5 2 は、例えば、複数の信号出力回路 5 1 からそれぞれ入力される切替信号 S_i としての L 信号と H 信号との組み合わせに応じて、第 1 設定制御信号 S_{e1} 、第 2 設定制御信号 S_{e2} 、第 3 設定制御信号 S_{e3} および第 4 設定制御信号 S_{e4} のそれぞれとして、第 1 信号である L 信号または第 2 信号である H 信号を出力することができる。

[0096] 図 8 は、組み合わせ回路 5 2 に入力される切替信号 S_i と、組み合わせ回路 5 2 から出力される設定制御信号と、発光可能状態に設定される発光素子と、の関係の一例を示す真理値表である。ここでは、組み合わせ回路 5 2 は、例えば、第 1 切替信号 S_{i0} および第 2 切替信号 S_{i1} の入力と、第 1 設定制御信号 S_{e1} 、第 2 設定制御信号 S_{e2} 、第 3 設定制御信号 S_{e3} および第 4 設定制御信号 S_{e4} の出力とが、図 8 で示されるような関係となるように、各種の論理出力を実行する。例えば、図 8 で示されるように、第 1 切替信号 S_{i0} および第 2 切替信号 S_{i1} の入力と、第 1 設定制御信号 S_{e1} 、第 2 設定制御信号 S_{e2} 、第 3 設定制御信号 S_{e3} および第 4 設定制御信号 S_{e4} の出力と、の組み合わせとして、4 つのパターン（具体的には、パターン 1 ～ 4）の論理出力が実行され得る。

[0097] 例えば、パターン 1 が採用される場合には、組み合わせ回路 5 2 において、第 1 切替信号 S_{i0} としての L 信号および第 2 切替信号 S_{i1} としての L 信号が入力されると、第 1 設定制御信号 S_{e1} としての第 1 信号である L 信号、第 2 設定制御信号 S_{e2} としての第 1 信号である L 信号、第 3 設定制御信号 S_{e3} としての第 1 信号である L 信号および第 4 設定制御信号 S_{e4} と

しての第2信号であるH信号が出力される。このとき、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bの両方を導通状態にすることで、第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定する。また、例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aを導通状態とすることで第3発光素子22aを選択的に発光可能状態に設定し、第4スイッチとしての第10トランジスタ23bを非導通状態とすることで第4発光素子22bを選択的に非発光状態に設定する。これにより、例えば、第1発光素子12a、第2発光素子12bおよび第3発光素子22aが発光可能状態に設定され、第4発光素子22bが非発光状態に設定される。

[0098] 例えば、パターン2が採用される場合には、組み合わせ回路52において、第1切替信号Si0としてのL信号および第2切替信号Si1としてのH信号が入力されると、第1設定制御信号Se1としての第1信号であるL信号、第2設定制御信号Se2としての第1信号であるL信号、第3設定制御信号Se3としての第2信号であるH信号および第4設定制御信号Se4としての第1信号であるL信号が出力される。このとき、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bの両方を導通状態にすることで、第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定する。また、例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aを非導通状態とすることで第3発光素子22aを選択的に非発光状態に設定し、第4スイッチとしての第10トランジスタ23bを導通状態とすることで第4発光素子22bを選択的に発光可能状態に設定する。これにより、例えば、第1発光素子12a、第2発光素子12bおよび第4発光素子22bが発光可能状態に設定され、第3発光素子22aが非発光状態に設定される。

[0099] 例えば、パターン3が採用される場合には、組み合わせ回路52において

、第1切替信号 S_{i0} としてのH信号および第2切替信号 S_{i1} としてのL信号が入力されると、第1設定制御信号 S_{e1} としての第1信号であるL信号、第2設定制御信号 S_{e2} としての第2信号であるH信号、第3設定制御信号 S_{e3} としての第1信号であるL信号および第4設定制御信号 S_{e4} としての第2信号であるH信号が出力される。このとき、例えば、第1発光素子12aおよび第3発光素子22aが発光可能状態に設定され、第2発光素子12bおよび第4発光素子22bが非発光状態に設定される。

[0100] 例えば、パターン4が採用される場合には、組み合わせ回路52において、第1切替信号 S_{i0} としてのH信号および第2切替信号 S_{i1} としてのH信号が入力されると、第1設定制御信号 S_{e1} としての第2信号であるH信号、第2設定制御信号 S_{e2} としての第1信号であるL信号、第3設定制御信号 S_{e3} としての第2信号であるH信号および第4設定制御信号 S_{e4} としての第1信号であるL信号が出力される。このとき、例えば、第2発光素子12bおよび第4発光素子22bが発光可能状態に設定され、第1発光素子12aおよび第3発光素子22aが非発光状態に設定される。

[0101] <1-4. 表示装置の特性の向上>

例えば、第1発光素子12aと第2発光素子12bとの接続形態が、第1発光素子12aと第2発光素子12bとが並列に接続された形態としての並列接続である。また、例えば、第3発光素子22aと第4発光素子22bとの接続形態が、第3発光素子22aと第4発光素子22bとが並列に接続された形態としての並列接続である。換言すれば、画素回路10は、例えば、第1発光素子12aと第2発光素子12bとの接続形態と、第3発光素子22aと第4発光素子22bとの接続形態と、を同一の並列接続とした状態（第1の接続形態同一状態ともいう）を有する。

[0102] また、例えば、画素回路10は、第1設定部13によって第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定し、第2設定部23によって第3発光素子22aおよび第4発光素子22bの何れか一方を選択的に発光可能状態に設定することができる。換言すれば、例えば、画素

回路 1 0 は、第 1 設定部 1 3 による第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の発光状態の設定態様を、両方の発光素子を発光可能状態とする設定（第 1 発光設定とも両方発光設定ともいう）とする。そして、例えば、画素回路 1 0 は、第 2 設定部 2 3 による第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の発光状態の設定態様を、一方の発光素子を選択的に発光可能状態とする設定（第 2 発光設定とも一方発光設定ともいう）とすることができる。

[0103] このため、例えば、画素回路 1 0 は、第 1 設定部 1 3 による第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の発光状態の設定態様と、第 2 設定部 2 3 による第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の発光状態の設定態様と、を両方の発光素子を発光可能状態とする第 1 発光設定と、一方の発光素子を選択的に発光可能状態とする第 2 発光設定との間で異ならせている発光数設定のモードを有する。発光数設定は、例えば、第 1 副画素回路 1 および第 2 副画素回路 2 のそれぞれにおいて発光可能状態に設定される発光素子の数の設定に相当する。換言すれば、例えば、第 1 副画素回路 1 における発光数設定は、第 1 副画素回路 1 において発光可能状態に設定される発光素子の数の設定に相当し、第 2 副画素回路 2 における発光数設定は、第 2 副画素回路 2 において発光可能状態に設定される発光素子の数の設定に相当する。なお、発光数設定のモードには、発光数設定が同じモード（同一状態）と、発光数設定が相違するモード（相違状態）と、がある。以下、発光数設定のモードを単に設定モードとも称し、発光数設定が相違するモード（相違状態）を発光数相違状態または発光数相違モードとも称する。換言すれば、発光数相違状態（発光数相違モード）は、例えば、第 1 設定部 1 3 による第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の発光状態の設定態様と、第 2 設定部 2 3 による第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の発光状態の設定態様と、について、両方の発光素子を発光可能状態とする第 1 発光設定と一方の発光素子を選択的に発光可能状態とする第 2 発光設定との間で異ならせた発光数設定の相違状態である。よって、第 1 実施形態では、例えば、画素回路 1 0 は、第 1 の接続形態同一状態と、発光数相違モードと、を有する。

[0104] ここでは、例えば、画素回路10において、並列に接続された第1発光素子12aおよび第2発光素子12bの両方を発光可能状態とし、並列に接続された第3発光素子22aおよび第4発光素子22bのうちの一方向の発光素子を選択的に発光可能状態とする設定モードが、標準となる通常の設定モード（通常設定モードともいう）とされている。画素回路10における設定モードは、例えば、この画素回路10における第1発光素子12a、第2発光素子12b、第3発光素子22aおよび第4発光素子22bにおける発光可能状態の設定方式のことを言う。ここでは、例えば、画素回路10は、第1の接続形態同一状態と、通常設定モードとしての第1の発光数相違モードと、を有する。第1の発光数相違モードは、例えば、並列に接続された第1発光素子12aおよび第2発光素子12bの両方を発光可能状態とし、並列に接続された第3発光素子22aおよび第4発光素子22bのうちの一方向を選択的に発光可能状態とする設定モードである。

[0105] ここで、例えば、第1副画素回路1において、仮に並列に接続した第1発光素子12aおよび第2発光素子12bの何れか一方を選択的に発光させると、第1発光素子12aおよび第2発光素子12bの特性および発光に係る使用条件の少なくとも一方によって、第1発光素子12aまたは第2発光素子12bにかかる順方向の電圧（第1A順方向電圧ともいう） V_{f1a} が大きくなる場合を想定する。例えば、第1副画素回路1では、第1発光素子12aおよび第2発光素子12bにおいて、内部抵抗、駆動電流の上限の設定値、順方向電圧の上限の設定値、および輝度の上限の設定値、のうちの少なくとも1つの値が大きくても、第1発光素子12aおよび第2発光素子12bにおいて発光効率が小さくても、第1A順方向電圧 V_{f1a} が大きくなり得る。ここでは、例えば、仮に第3発光素子22aおよび第4発光素子22bの何れか一方を選択的に発光させるときに第3発光素子22aまたは第4発光素子22bにかかる順方向の電圧（第2A順方向電圧ともいう） V_{f2a} よりも第1A順方向電圧 V_{f1a} が大きくなるような態様が考えられる。この場合には、例えば、アノード電位 V_{dd} とカソード電位 V_{ss} との電位

差 ($V_{dd} - V_{ss}$) に占める第1 A 順方向電圧 V_{f1a} が大きくなることから、第2トランジスタ 11 d におけるドレイン電極とソース電極との間の電圧 (ドレイン-ソース間電圧) V_{ds} が小さくなる。その結果、第2トランジスタ 11 d を飽和領域で駆動させる条件が厳しくなる。すなわち、第2トランジスタ 11 d を飽和領域で駆動させにくくなる。また、例えば、第1副画素回路 1 では、第2トランジスタ 11 d の飽和動作電圧が大きくても、電源との距離に応じたアノード電位 V_{dd} の電圧降下などによる電位差 ($V_{dd} - V_{ss}$) の低下に応じて、第2トランジスタ 11 d を飽和領域で駆動させる条件が厳しくなる。第2トランジスタ 11 d の飽和動作電圧は、例えば、第2トランジスタ 11 d におけるドレイン電極とソース電極との間の距離 (チャネル長ともいう) が長い場合に大きくなり得る。

[0106] これに対して、第1実施形態では、例えば、上述した通常設定モードによって、第1副画素回路 1 では、並列に接続した第1発光素子 12 a および第2発光素子 12 b の両方を発光可能状態に設定し、第1発光素子 12 a および第2発光素子 12 b の両方を発光させる。これにより、例えば、仮に同じ発光強度となるように並列に接続した第1発光素子 12 a および第2発光素子 12 b の何れか一方を選択的に発光させる場合と比較して、第1発光素子 12 a および第2発光素子 12 b のそれぞれに流れる駆動電流が $1/2$ 程度となることから、第1発光素子 12 a および第2発光素子 12 b のそれぞれにかかる順方向の電圧が低減し得る。このとき、例えば、電位差 ($V_{dd} - V_{ss}$) のうち、第1発光制御部 11 の第2トランジスタ 11 d におけるドレイン-ソース間電圧 V_{ds} が大きくなり得る。このため、例えば、仮にアノード電位 V_{dd} の電圧降下などによって電位差 ($V_{dd} - V_{ss}$) が低下しても、第2トランジスタ 11 d を飽和領域で駆動させる条件が厳しくなり難い。その結果、表示装置 100 において輝度が徐々に低下するグラデーション (輝度むら) が生じ難くなり、表示装置 100 において画質が向上し得る。

[0107] また、ここで、例えば、第1副画素回路 1 において、仮に並列に接続した

第1発光素子12aまたは第2発光素子12bを選択的に発光させると、第1発光素子12aおよび第2発光素子12bの特性および発光に係る使用条件の少なくとも一方によって、第1発光素子12aまたは第2発光素子12bを流れる駆動電流（第1A電流ともいう）が大きくなる場合を想定する。例えば、第1副画素回路1では、第1発光素子12aおよび第2発光素子12bにおいて、駆動電流の上限の設定値、順方向電圧の上限の設定値、および輝度の上限の設定値、のうちの少なくとも1つの値が大きくても、第1発光素子12aおよび第2発光素子12bにおいて発光効率が小さくても、第1発光素子12aまたは第2発光素子12bを流れる駆動電流が大きくなり得る。ここでは、例えば、仮に第3発光素子22aおよび第4発光素子22bの何れか一方を選択的に発光させるときに第3発光素子22aまたは第4発光素子22bにおいて流れる駆動電流（第2A電流ともいう）よりも第1A電流が2倍程度に大きくなる態様が考えられる。この場合には、例えば、第1発光素子12aまたは第2発光素子12bの発熱量が大きくなることなどから、経時劣化が生じ易くなる。また、例えば、第1副画素回路1では、第1発光素子12aおよび第2発光素子12bにおいて、内部抵抗の値が大きくても、発熱などによって経時劣化が生じ易くなる。

[0108] これに対して、第1実施形態では、例えば、上述した通常設定モードによって、第1副画素回路1において、並列に接続した第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定し、第1発光素子12aおよび第2発光素子12bの両方を発光させる。これにより、例えば、仮に同じ発光強度となるように並列に接続した第1発光素子12aおよび第2発光素子12bの何れか一方を選択的に発光させる場合と比較して、第1発光素子12aおよび第2発光素子12bのそれぞれを流れる電流が略半減し得る。その結果、例えば、第1発光素子12aまたは第2発光素子12bの経時劣化が生じ難くなり、表示装置100において画質が向上し得る。

[0109] また、ここで、例えば、第2副画素回路2において、仮に並列に接続した第3発光素子22aおよび第4発光素子22bの両方を発光させると、第3

発光素子 2 2 a および第 4 発光素子 2 2 b の特性および発光に係る使用条件の少なくとも一方によって、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b のそれぞれにおいて流れる駆動電流（第 2 B 電流ともいう）が小さくなる場合を想定する。例えば、第 2 副画素回路 2 では、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b において、内部抵抗、駆動電流の下限の設定値、順方向電圧の下限の設定値、および輝度の下限の設定値、のうちの少なくとも 1 つの値が小さくても、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b において発光効率が大きくても、第 2 B 電流が小さくなり得る。ここでは、例えば、仮に第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の両方を発光させるときの第 1 発光素子 1 2 a および第 2 発光素子 1 2 b において流れる駆動電流（第 1 B 電流ともいう）よりも第 2 B 電流が $1/2$ 程度に小さくなる態様が考えられる。この場合には、例えば、元々小さな駆動電流であったものがさらに微小な駆動電流に変更されることによって、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b のそれぞれにおける発光強度を過度に低下させる方向に変更することになる。その結果、副画素部における発光輝度の階調を調整することが難しくなる。このため、例えば、表示装置 1 0 0 において輝度の階調の精度が低下する不良（輝度階調の精度不良ともいう）が生じ得る。

[0110] これに対して、第 1 実施形態では、例えば、上述した通常設定モードによって、第 2 副画素回路 2 において、並列に接続した第 3 発光素子 2 2 a および第 4 発光素子 2 2 b のうちの一方を選択的に発光可能状態に設定し、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b のうちの一方を選択的に発光させる。これにより、例えば、仮に同じ発光強度となるように並列に接続した第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光させる場合と比較して、第 3 発光素子 2 2 a または第 4 発光素子 2 2 b を流れる電流が略倍増し得る。その結果、例えば、第 3 発光素子 2 2 a または第 4 発光素子 2 2 b における発光強度の変更により、第 2 副画素回路 2 における発光輝度の階調が容易に微調整され得る。よって、例えば、表示装置 1 0 0 において画質が低下し難い。

[0111] このように、第1実施形態では、例えば、第1副画素回路1と第2副画素回路2との間において素子の特性および発光素子の使用条件のうちの少なくとも一方が異なる場合に、素子の特性および発光素子の使用条件の少なくとも一方に応じた第1の接続形態同一状態と通常設定モードとしての第1の発光数相違モードとが採用される。その結果、例えば、表示装置100の性能が向上し得る。

[0112] <<通常設定モードの設定>>

第1実施形態では、例えば、上述したパターン1またはパターン2が採用されれば、第1発光素子12a、第2発光素子12b、第3発光素子22aおよび第4発光素子22bにおける発光状態の設定モードが、通常設定モードとなる。より具体的には、例えば、画素回路10では、並列に接続された第1発光素子12aおよび第2発光素子12bの両方を発光可能状態とし、並列に接続された第3発光素子22aおよび第4発光素子22bのうちの一方を選択的に発光可能状態とする通常設定モードが採用される。

[0113] このとき、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bの両方を導通状態にすることで、第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定する。また、例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bのうちの何れか一方を選択的に導通状態にすることで、第3発光素子22aおよび第4発光素子22bのうちの何れか一方を選択的に発光可能状態に設定する。これにより、例えば、上述したように、第1副画素回路1と第2副画素回路2との間において素子の特性および発光素子の使用条件のうちの少なくとも一方が異なる場合に、素子の特性および発光素子の使用条件の少なくとも一方に応じた第1の接続形態同一状態と第1の発光数相違モードとが採用され、表示装置100の性能が向上し得る。

[0114] ここでは、例えば、第4発光素子22bにおいて接続もしくは素子の不良などで発光の不良が生じる場合には、パターン1が採用されることで、第1

発光素子 1 2 a、第 2 発光素子 1 2 b、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b における発光状態の設定モードが、通常設定モードとされてもよい。また、例えば、第 3 発光素子 2 2 a において接続もしくは素子の不良などで発光の不良が生じる場合には、パターン 2 が採用されることで、第 1 発光素子 1 2 a、第 2 発光素子 1 2 b、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b における発光状態の設定モードが、通常設定モードとされてもよい。

[0115] 各画素回路 1 0 における第 3 発光素子 2 2 a および第 4 発光素子 2 2 b における発光の不良の発生は、例えば、表示装置 1 0 0 の出荷前の検査またはメンテナンスを行う際などにおいて確認され得る。そして、例えば、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b における発光の不良の発生状況に応じて、パターン 1 およびパターン 2 の何れかが、通常設定モードに対応するパターンとして採用される態様が考えられる。ここでは、例えば、パターン 1 が採用されることで、第 1 発光素子 1 2 a、第 2 発光素子 1 2 b および第 3 発光素子 2 2 a のそれぞれを発光可能状態に設定し、第 4 発光素子 2 2 b を非発光状態に設定する設定モードが、第 1 の通常設定モード（第 1 通常設定モードともいう）とされてもよい。また、例えば、パターン 2 が採用されることで、第 1 発光素子 1 2 a、第 2 発光素子 1 2 b および第 4 発光素子 2 2 b のそれぞれを発光可能状態に設定し、第 3 発光素子 2 2 a を非発光状態に設定する設定モードが、第 2 の通常設定モード（第 2 通常設定モードともいう）とされてもよい。

[0116] <<不良対処設定モードの設定>>

第 1 実施形態では、例えば、パターン 3 およびパターン 4 の何れかが採用されれば、第 1 発光素子 1 2 a、第 2 発光素子 1 2 b、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b における発光状態の設定モードが、画素回路 1 0 における発光の不良に対処するモード（不良対処設定モードともいう）となる。この場合には、例えば、第 1 設定部 1 3 は、第 1 スイッチとしての第 4 トランジスタ 1 3 a および第 2 スイッチとしての第 5 トランジスタ 1 3 b の

うちの一方のスイッチを選択的に非導通状態にすることで、第1発光素子12aおよび第2発光素子12bのうちの一方を選択的に非発光状態に設定する。これにより、例えば、第1副画素回路1において、第1発光素子12aおよび第2発光素子12bのうちの発光の不良が生じない一方の発光素子が選択的に発光し得る。

[0117] ここでは、例えば、第2発光素子12bにおいて接続もしくは素子の不良などで発光の不良が生じる場合には、通常設定モードに対応するパターン1またはパターン2の代わりに、不良対処設定モードに対応するパターン3が採用されてもよい。この場合には、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bのうちの一方のスイッチとしての第5トランジスタ13bを選択的に非導通状態にすることで、第1発光素子12aおよび第2発光素子12bのうちの一方の第2発光素子12bを選択的に非発光状態に設定する。これにより、例えば、第1副画素回路1において、第1発光素子12aおよび第2発光素子12bのうちの発光の不良が生じない第1発光素子12aが選択的に発光し得る。ここで、例えば、第1発光素子12aおよび第3発光素子22aのそれぞれを発光可能状態に設定し、第2発光素子12bおよび第4発光素子22bのそれぞれを非発光状態に設定する設定モードが、第1の不良対処設定モード（第1不良対処設定モードともいう）とされてもよい。

[0118] また、ここでは、例えば、第1発光素子12aにおいて接続もしくは素子の不良などで発光の不良が生じる場合には、通常設定モードに対応するパターン1またはパターン2の代わりに、不良対処設定モードに対応するパターン4が採用されてもよい。この場合には、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bのうちの一方のスイッチとしての第4トランジスタ13aを選択的に非導通状態にすることで、第1発光素子12aおよび第2発光素子12bのうちの一方の第1発光素子12aを選択的に非発光状態に設定

する。これにより、例えば、第1副画素回路1において、第1発光素子12aおよび第2発光素子12bのうちの発光の不良が生じない第2発光素子12bが選択的に発光し得る。ここで、例えば、第2発光素子12bおよび第4発光素子22bのそれぞれを発光可能状態に設定し、第1発光素子12aおよび第3発光素子22aのそれぞれを非発光状態に設定する設定モードが、第2の不良対処設定モード（第2不良対処設定モードともいう）とされてもよい。

[0119] <1-5. 第1実施形態におけるバリエーション>

例えば、表示パネル100pは、複数の画素回路10ごとに配置された設定制御部5を有していてもよい。換言すれば、例えば、表示パネル100pは、複数の画素回路10と、複数の画素回路10のそれぞれにおける第1設定部13および第2設定部23に対して設定制御信号を出力する設定制御部5と、を備えていてもよい。この場合には、設定制御部5は、例えば、基板20の第1面F1上において、画像表示部300の空き領域に配置されていてもよいし、額縁部分に配置されていてもよいし、基板20の第2面F2上に配置されていてもよい。ここで、例えば、設定制御部5は、1行の画素回路10を構成する複数の画素回路10ごとに配置されていてもよいし、1列の画素回路10を構成する複数の画素回路10ごとに配置されていてもよい。図9は、設定制御部5と複数の画素回路10との接続例を示すブロック回路図である。図9で示されるように、例えば、設定制御部5に接続された第1設定制御信号線SL1、第2設定制御信号線SL2、第3設定制御信号線SL3および第4設定制御信号線SL4がそれぞれ、複数の画素回路10に接続されている構成が採用されてもよい。このような構成が採用されれば、例えば、1列の画素回路10ごとまたは1行の画素回路10ごとに、設定モードが通常設定モードまたは不良対処設定モードとなり得る。より具体的には、例えば、1列の画素回路10ごとまたは1行の画素回路10ごとに、設定モードが第1通常設定モードまたは第2通常設定モードから第1不良対処設定モードおよび第2不良対処設定モードの何れかに変更され得る。ここで

は、例えば、1列の画素回路10ごとまたは1行の画素回路10ごとに、複数の第1発光素子12aおよび複数の第3発光素子22aのグループ（第1素子グループともいう）と、複数の第2発光素子12bおよび複数の第4発光素子22bのグループ（第2素子グループともいう）と、のうちの、発光の不良が生じる発光素子の存在比率が相対的に小さなグループにおける発光素子を発光可能状態に設定する態様が考えられる。

[0120] また、例えば、表示パネル100pは、全ての画素回路10に対して配置された1つの設定制御部5を有していてもよい。この場合には、設定制御部5は、例えば、基板20の第1面F1上において、画像表示部300の空き領域に配置されていてもよいし、額縁部分に配置されていてもよいし、基板20の第2面F2上に配置されていてもよい。このような構成が採用されれば、例えば、1つの設定制御部5によって、全ての画素回路10について一括で設定モードが通常設定モードまたは不良対処設定モードになり得る。より具体的には、例えば、全ての画素回路10について、設定モードが第1通常設定モードまたは第2通常設定モードから第1不良対処設定モードおよび第2不良対処設定モードの何れかに変更される態様が採用され得る。ここでは、例えば、全ての画素回路10について、複数の第1発光素子12aおよび複数の第3発光素子22aのグループ（第1素子グループ）と、複数の第2発光素子12bおよび複数の第4発光素子22bのグループ（第2素子グループ）と、のうちの、発光の不良が生じる発光素子の存在比率が相対的に小さなグループにおける発光素子を発光可能状態に設定する態様が考えられる。

[0121] また、例えば、第1スイッチとしての第4トランジスタ13aには、Nチャネル型薄膜トランジスタ（Nチャネルトランジスタともいう）が適用されてもよい。この場合には、例えば、第4トランジスタ13aのゲート電極に入力される設定制御信号について、第1信号としてH信号が採用され、第2信号としてL信号が採用される。例えば、第2スイッチとしての第5トランジスタ13bには、Nチャネルトランジスタが適用されてもよい。この場合

には、例えば、第5トランジスタ13bのゲート電極に入力される設定制御信号について、第1信号としてH信号が採用され、第2信号としてL信号が採用される。例えば、第3スイッチとしての第9トランジスタ23aには、Nチャネルトランジスタが適用されてもよい。この場合には、例えば、第9トランジスタ23aのゲート電極に入力される設定制御信号について、第1信号としてH信号が採用され、第2信号としてL信号が採用される。例えば、第4スイッチとしての第10トランジスタ23bには、Nチャネルトランジスタが適用されてもよい。この場合には、例えば、第10トランジスタ23bのゲート電極に入力される設定制御信号について、第1信号としてH信号が採用され、第2信号としてL信号が採用される。

[0122] <1-6. 第1実施形態のまとめ>

上述したように、例えば、画素回路10は、第1の接続形態同一状態と、第1の発光数相違モードと、を有する。より具体的には、例えば、画素回路10では、第1発光素子12aと第2発光素子12bとが並列に接続しており、第3発光素子22aと第4発光素子22bとが並列に接続している。また、例えば、通常設定モードによって、第1設定部13は、第1スイッチとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bの両方を導通状態にすることで、第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定する。例えば、通常設定モードによって、第2設定部23は、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bのうちの何れか一方を選択的に導通状態にすることで、第3発光素子22aおよび第4発光素子22bのうちの何れか一方を選択的に発光可能状態に設定する。これにより、例えば、第1副画素回路1では、並列に接続された第1発光素子12aおよび第2発光素子12bの両方を発光させ、第2副画素回路2では、並列に接続された第3発光素子22aおよび第4発光素子22bのうちの一方を選択的に発光させる。

[0123] ここで、例えば、第1副画素回路1において、仮に並列に接続した第1発

光素子 1 2 a および第 2 発光素子 1 2 b の何れか一方を選択的に発光させると、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の特性および発光に係る使用条件の少なくとも一方によって、第 1 発光素子 1 2 a または第 2 発光素子 1 2 b にかかる順方向の電圧（第 1 A 順方向電圧） V_{f1a} が大きくなる場合、および第 2 トランジスタ 1 1 d の飽和動作電圧が大きい場合などを想定する。この場合に、上記構成が採用されれば、例えば、仮に同じ発光強度となるように並列に接続した第 1 発光素子 1 2 a および第 2 発光素子 1 2 b のうち的一方を選択的に発光させる場合と比較して、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b のそれぞれにかかる順方向の電圧が低減し得る。このとき、例えば、第 1 副画素回路 1 では、アノード電位 V_{dd} とカソード電位 V_{ss} との電位差のうち、第 1 発光制御部 1 1 の第 2 トランジスタ 1 1 d におけるドレインソース間電圧 V_{ds} が大きくなり得る。このため、例えば、第 1 副画素回路 1 では、仮にアノード電位 V_{dd} の電圧降下などによって電位差（ $V_{dd} - V_{ss}$ ）が低下しても、第 2 トランジスタ 1 1 d を飽和領域で駆動させる条件が厳しくなり難い。その結果、表示装置 1 0 0 において輝度が徐々に低下するグラデーション（輝度むら）が生じ難くなり、表示装置 1 0 0 において画質が向上し得る。

[0124] また、ここで、例えば、第 1 副画素回路 1 において、仮に並列に接続した第 1 発光素子 1 2 a または第 2 発光素子 1 2 b を選択的に発光させると、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の特性および発光に係る使用条件の少なくとも一方によって、第 1 発光素子 1 2 a または第 2 発光素子 1 2 b を流れる電流（第 1 A 電流）が大きくなる場合を想定する。この場合に、上記構成が採用されれば、例えば、第 1 副画素回路 1 では、仮に同じ発光強度となるように並列に接続した第 1 発光素子 1 2 a および第 2 発光素子 1 2 b のうち的一方を選択的に発光させる場合と比較して、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b のそれぞれを流れる電流が略半減し得る。このとき、例えば、第 1 副画素回路 1 では、第 1 発光素子 1 2 a または第 2 発光素子 1 2 b の経時劣化が生じ難くなり、表示装置 1 0 0 において画質が向上し

得る。また、上記構成が採用されれば、例えば、第1発光素子12aおよび第2発光素子12bでは、内部抵抗の値が大きい場合であっても、それぞれを流れる電流の略半減によって、発熱などによる経時劣化が生じ難くなり、表示装置100において画質が向上し得る。

[0125] また、ここで、例えば、第2副画素回路2において、仮に並列に接続した第3発光素子22aおよび第4発光素子22bの両方を発光させると、第3発光素子22aおよび第4発光素子22bの特性および発光に係る使用条件の少なくとも一方によって、第3発光素子22aおよび第4発光素子22bのそれぞれにおいて流れる電流（第2B電流）が小さくなる場合を想定する。この場合に、上記構成が採用されれば、例えば、第2副画素回路2では、仮に同じ発光強度となるように並列に接続した第3発光素子22aおよび第4発光素子22bの両方を発光させる場合と比較して、第3発光素子22aまたは第4発光素子22bを流れる電流が略倍になり得る。このとき、例えば、第2副画素回路2では、第3発光素子22aまたは第4発光素子22bにおける発光強度の増大方向への変更による発光輝度の階調の微調整が容易となり、表示装置100において画質が低下し難い。

[0126] このように、第1実施形態では、例えば、第1副画素回路1および第2副画素回路2における素子の特性および発光素子の使用条件などに応じて、第1副画素回路1では、並列に接続された第1発光素子12aおよび第2発光素子12bの両方が発光し、第2副画素回路2では、並列に接続された第3発光素子22aおよび第4発光素子22bのうちの何れか一方が発光するような通常設定モードが採用される。その結果、例えば、第1副画素回路1と第2副画素回路2との間において素子の特性および発光素子の使用条件のうちの少なくとも一方が異なる場合に、表示装置100の性能が向上し得る。

[0127] また、例えば、第1副画素回路1では、並列に接続した第1発光素子12aおよび第2発光素子12bを両方とも発光させることで、画素回路10、表示パネル100pおよび表示装置100のそれぞれにおいて、発光に供する発光素子の使用率が向上し得る。よって、例えば、発光素子の過剰な配置

による無駄が生じにくい。

[0128] <2. 他の実施形態>

本開示は上述の第1実施形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更および改良などが可能である。

[0129] <2-1. 第2実施形態>

上記第1実施形態において、例えば、図10および図12で示されるように、第2副画素回路2において、第3スイッチとしての第9トランジスタ23aが第1の導電型（第1導電型ともいう）のトランジスタであり且つ第4スイッチとしての第10トランジスタ23bが第1導電型とは逆の第2の導電型（第2導電型ともいう）のトランジスタであってもよい。また、例えば、第3スイッチとしての第9トランジスタ23aが第2導電型のトランジスタであり且つ第4スイッチとしての第10トランジスタ23bが第1導電型のトランジスタであってもよい。ここで、例えば、第1導電型のトランジスタは、多数キャリアが正孔であるトランジスタを含み、第2導電型のトランジスタは、多数キャリアが電子であるトランジスタを含む。例えば、第9トランジスタ23aおよび第10トランジスタ23bのうち、一方のトランジスタには第1導電型のトランジスタとしてのPチャネルトランジスタが適用され、他方のトランジスタには第2導電型のトランジスタとしてのNチャネルトランジスタが適用される。また、第1導電型のトランジスタをNチャネルトランジスタとし、第2導電型のトランジスタをPチャネルトランジスタとしてもよい。

[0130] このような構成が採用されれば、例えば、第2設定部23に対する1つの設定制御信号の入力によって、第3発光素子22aおよび第4発光素子22bのうちの一方が選択的に発光可能状態に設定され得る。これにより、例えば、第2設定部23に対して設定制御信号を付与するための配線数の削減などの配線構造の簡素化が図られ得る。その結果、例えば、表示装置100および表示パネル100pでは、複数の画素回路10が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。したがって、例えば

、表示装置 100 の性能が向上し得る。

[0131] <<第2実施形態の第1例>>

図10は、第2実施形態の第1例に係る画素回路10を示す回路図である。第2実施形態の第1例に係る画素回路10は、図4で示した第1実施形態に係る画素回路10の一例を基礎として、第4スイッチとしての第10トランジスタ23bがNチャネルトランジスタに変更され、第10トランジスタ23bが、第4発光素子22bの負電極側に移動された構成を有する。ここでは、例えば、第4発光素子22bの正電極は、第8トランジスタ21eのドレイン電極に接続し、第4発光素子22bの負電極は、第10トランジスタ23bおよび第2カソード電位入力線2s1を介して第2電源線Lvに接続している。より具体的には、例えば、第4発光素子22bの負電極は、第10トランジスタ23bのドレイン電極に接続し、第10トランジスタ23bのソース電極は、第2カソード電位入力線2s1を介して第2電源線Lvに接続している。ここでは、例えば、第9トランジスタ23aおよび第10トランジスタ23bのそれぞれのゲート電極は、第3設定制御信号線SL3を介して設定制御部5に接続している。より具体的には、例えば、設定制御部5に接続した第3設定制御信号線SL3は、途中で分岐して、第9トランジスタ23aおよび第10トランジスタ23bのそれぞれのゲート電極に接続している。例えば、第4設定制御信号線SL4は、削除されている。これにより、例えば、第9トランジスタ23aおよび第10トランジスタ23bのそれぞれのゲート電極には、設定制御部5から共通の第3設定制御信号Se3が入力され得る。

[0132] 図11は、組み合わせ回路52に入力される切替信号Siと、組み合わせ回路52から出力される設定制御信号と、発光可能状態に設定される発光素子と、の関係の一例を示す真理値表である。ここでは、組み合わせ回路52は、例えば、第1切替信号Si0および第2切替信号Si1の入力と、第1設定制御信号Se1、第2設定制御信号Se2および第3設定制御信号Se3の出力とが、図11で示されるような関係となるように、各種の論理出力

を実行する。例えば、図 11 で示されるように、第 1 切替信号 S_{i0} および第 2 切替信号 S_{i1} の入力と、第 1 設定制御信号 S_{e1} 、第 2 設定制御信号 S_{e2} および第 3 設定制御信号 S_{e3} の出力と、の組み合わせとして、4 つのパターン（具体的には、パターン 1 A ~ 4 A）の論理出力が実行され得る。

[0133] 例えば、パターン 1 A が採用される場合には、組み合わせ回路 52 では、第 1 切替信号 S_{i0} としての L 信号および第 2 切替信号 S_{i1} としての L 信号が入力されると、第 1 設定制御信号 S_{e1} としての第 1 信号である L 信号、第 2 設定制御信号 S_{e2} としての第 1 信号である L 信号および第 3 設定制御信号 S_{e3} としての第 1 信号である L 信号が出力される。このとき、例えば、第 1 設定部 13 は、第 1 スイッチとしての第 4 トランジスタ 13a および第 2 スイッチとしての第 5 トランジスタ 13b の両方を導通状態にすることで、第 1 発光素子 12a および第 2 発光素子 12b の両方を発光可能状態に設定する。また、例えば、第 2 設定部 23 は、第 3 スイッチとしての第 9 トランジスタ 23a を導通状態とすることで第 3 発光素子 22a を選択的に発光可能状態に設定し、第 4 スイッチとしての第 10 トランジスタ 23b を非導通状態とすることで第 4 発光素子 22b を選択的に非発光状態に設定する。これにより、例えば、第 1 発光素子 12a、第 2 発光素子 12b および第 3 発光素子 22a が発光可能状態に設定され、第 4 発光素子 22b が非発光状態に設定される。

[0134] 例えば、パターン 2 A が採用される場合には、組み合わせ回路 52 では、第 1 切替信号 S_{i0} としての L 信号および第 2 切替信号 S_{i1} としての H 信号が入力されると、第 1 設定制御信号 S_{e1} としての第 1 信号である L 信号、第 2 設定制御信号 S_{e2} としての第 1 信号である L 信号および第 3 設定制御信号 S_{e3} としての第 2 信号である H 信号が出力される。このとき、例えば、第 1 設定部 13 は、第 1 スイッチとしての第 4 トランジスタ 13a および第 2 スイッチとしての第 5 トランジスタ 13b の両方を導通状態にすることで、第 1 発光素子 12a および第 2 発光素子 12b の両方を発光可能状態

に設定する。また、例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aを非導通状態とすることで第3発光素子22aを選択的に非発光状態に設定し、第4スイッチとしての第10トランジスタ23bを導通状態とすることで第4発光素子22bを選択的に発光可能状態に設定する。これにより、例えば、第1発光素子12a、第2発光素子12bおよび第4発光素子22bが発光可能状態に設定され、第3発光素子22aが非発光状態に設定される。

[0135] ここでは、例えば、上述したパターン1Aまたはパターン2Aが採用されれば、上記第1実施形態と同様に、第1発光素子12a、第2発光素子12b、第3発光素子22aおよび第4発光素子22bにおける発光状態の設定モードが、通常設定モードとなる。より具体的には、例えば、画素回路10では、並列に接続された第1発光素子12aおよび第2発光素子12bの両方を発光可能状態とし、並列に接続された第3発光素子22aおよび第4発光素子22bのうちの一方を選択的に発光可能状態とする通常設定モードが採用される。例えば、上述したパターン1Aが採用されれば、画素回路10では、上述した第1通常設定モードが採用され、上述したパターン2Aが採用されれば、画素回路10では、上述した第2通常設定モードが採用される。この場合には、例えば、上記第1実施形態と同様に、第1副画素回路1と第2副画素回路2との間において素子の特性および発光素子の使用条件のうちの少なくとも一方が異なる場合に、表示装置100の性能が向上し得る。

[0136] また、例えば、パターン3Aが採用される場合には、組み合わせ回路52では、第1切替信号Si0としてのH信号および第2切替信号Si1としてのL信号が入力されると、第1設定制御信号Se1としての第1信号であるL信号、第2設定制御信号Se2としての第2信号であるH信号および第3設定制御信号Se3としての第1信号であるL信号が出力される。このとき、例えば、第1発光素子12aおよび第3発光素子22aが発光可能状態に設定され、第2発光素子12bおよび第4発光素子22bが非発光状態に設定される。また、例えば、パターン4Aが採用される場合には、組み合わせ

回路 5 2 では、第 1 切替信号 S_{i0} としての H 信号および第 2 切替信号 S_{i1} としての H 信号が入力されると、第 1 設定制御信号 S_{e1} としての第 2 信号である H 信号、第 2 設定制御信号 S_{e2} としての第 1 信号である L 信号および第 3 設定制御信号 S_{e3} としての第 2 信号である H 信号が出力される。このとき、例えば、第 2 発光素子 1 2 b および第 4 発光素子 2 2 b が発光可能状態に設定され、第 1 発光素子 1 2 a および第 3 発光素子 2 2 a が非発光状態に設定される。

[0137] ここでは、例えば、パターン 3 A およびパターン 4 A の何れかが採用されれば、第 1 発光素子 1 2 a、第 2 発光素子 1 2 b、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b における発光状態の設定モードが、画素回路 1 0 における発光の不良に対処する不良対処設定モードとなる。この場合には、例えば、第 1 設定部 1 3 は、第 1 スイッチとしての第 4 トランジスタ 1 3 a および第 2 スイッチとしての第 5 トランジスタ 1 3 b のうちの一方のスイッチを選択的に非導通状態にすることで、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b のうちの一方を選択的に非発光状態に設定する。これにより、例えば、第 1 副画素回路 1 において、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b のうちの発光の不良が生じない一方の発光素子が選択的に発光し得る。

[0138] <<第 2 実施形態の第 2 例>>

ここで、例えば、設定制御部 5 から第 1 設定部 1 3 に入力される一部の設定制御信号と、設定制御部 5 から第 2 設定部 2 3 に入力される設定制御信号と、が共通の設定制御信号であってもよい。

[0139] 図 1 2 は、第 2 実施形態の第 2 例に係る画素回路 1 0 を示す回路図である。第 2 実施形態の第 2 例に係る画素回路 1 0 は、図 1 0 で示した第 2 実施形態の第 1 例に係る画素回路 1 0 と同様な構成の第 1 発光制御部 1 1、第 1 発光部 1 2、第 1 設定部 1 3、第 2 発光制御部 2 1、第 2 発光部 2 2 および第 2 設定部 2 3 を有する。ここでは、例えば、第 4 トランジスタ 1 3 a、第 9 トランジスタ 2 3 a および第 1 0 トランジスタ 2 3 b のそれぞれのゲート電極は、第 1 設定制御信号線 S_{L1} を介して設定制御部 5 に接続している。よ

り具体的には、例えば、設定制御部5に接続した第1設定制御信号線SL1は、途中の2箇所で分岐して、第4トランジスタ13a、第9トランジスタ23aおよび第10トランジスタ23bのそれぞれのゲート電極に接続している。また、例えば、第3設定制御信号線SL3は、削除されている。これにより、例えば、第4トランジスタ13a、第9トランジスタ23aおよび第10トランジスタ23bのそれぞれのゲート電極には、設定制御部5から共通の第1設定制御信号Se1が入力され得る。

[0140] 図13は、組み合わせ回路52に入力される切替信号Siと、組み合わせ回路52から出力される設定制御信号と、発光可能状態に設定される発光素子と、の関係の一例を示す真理値表である。ここでは、組み合わせ回路52は、例えば、第1切替信号Si0および第2切替信号Si1の入力と、第1設定制御信号Se1および第2設定制御信号Se2の出力とが、図13で示されるような関係となるように、各種の論理出力を実行する。例えば、図13で示されるように、第1切替信号Si0および第2切替信号Si1の入力と、第1設定制御信号Se1および第2設定制御信号Se2の出力と、の組み合わせとして、3つのパターン（具体的には、パターン1B～3B）の論理出力が実行され得る。

[0141] 例えば、パターン1Bが採用される場合には、組み合わせ回路52では、第1切替信号Si0としてのL信号および第2切替信号Si1としてのL信号が入力されると、第1設定制御信号Se1としての第1信号であるL信号および第2設定制御信号Se2としての第1信号であるL信号が出力される。このとき、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bの両方を導通状態にすることで、第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定する。また、例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aを導通状態とすることで第3発光素子22aを選択的に発光可能状態に設定し、第4スイッチとしての第10トランジスタ23bを非導通状態とすることで第4発光素子22bを選択的に非

発光状態に設定する。これにより、例えば、第1発光素子12a、第2発光素子12bおよび第3発光素子22aが発光可能状態に設定され、第4発光素子22bが非発光状態に設定される。

[0142] ここでは、例えば、上述したパターン1Bが採用されれば、上記第1実施形態と同様に、第1発光素子12a、第2発光素子12b、第3発光素子22aおよび第4発光素子22bにおける発光状態の設定モードが、通常設定モードとなる。より具体的には、例えば、画素回路10では、並列に接続された第1発光素子12aおよび第2発光素子12bの両方を発光可能状態とし、並列に接続された第3発光素子22aおよび第4発光素子22bのうちの一方を選択的に発光可能状態とする通常設定モードが採用される。例えば、上述したパターン1Bが採用されれば、画素回路10では、上述した第1通常設定モードが採用される。この場合には、例えば、上記第1実施形態と同様に、第1副画素回路1と第2副画素回路2との間において素子の特性および発光素子の使用条件のうちの少なくとも一方が異なる場合に、表示装置100の性能が向上し得る。

[0143] また、例えば、パターン2Bが採用される場合には、組み合わせ回路52では、第1切替信号Si0としてのL信号および第2切替信号Si1としてのH信号が入力されると、第1設定制御信号Se1としての第1信号であるL信号および第2設定制御信号Se2としての第2信号であるH信号が出力される。このとき、例えば、第1発光素子12aおよび第3発光素子22aが発光可能状態に設定され、第2発光素子12bおよび第4発光素子22bが非発光状態に設定される。また、例えば、パターン3Bが採用される場合には、組み合わせ回路52では、第1切替信号Si0としてのH信号および第2切替信号Si1としてのL信号が入力されると、第1設定制御信号Se1としての第2信号であるH信号および第2設定制御信号Se2としての第1信号であるL信号が出力される。このとき、例えば、第2発光素子12bおよび第4発光素子22bが発光可能状態に設定され、第1発光素子12aおよび第3発光素子22aが非発光状態に設定される。

[0144] ここでは、例えば、パターン 2 B およびパターン 3 B の何れかが採用されれば、第 1 発光素子 1 2 a、第 2 発光素子 1 2 b、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b における発光状態の設定モードが、画素回路 1 0 における発光の不良に対処する不良対処設定モードとなる。この場合には、例えば、第 1 設定部 1 3 は、第 1 スイッチとしての第 4 トランジスタ 1 3 a および第 2 スイッチとしての第 5 トランジスタ 1 3 b のうちの一方のスイッチを選択的に非導通状態にすることで、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b のうちの一方を選択的に非発光状態に設定する。これにより、例えば、第 1 副画素回路 1 において、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b のうちの発光の不良が生じない一方の発光素子が選択的に発光し得る。

[0145] ここで、例えば、第 5 トランジスタ 1 3 b、第 9 トランジスタ 2 3 a および第 1 0 トランジスタ 2 3 b のそれぞれのゲート電極が、第 2 設定制御信号線 S L 2 を介して設定制御部 5 に接続していてもよい。より具体的には、例えば、設定制御部 5 に接続した第 2 設定制御信号線 S L 2 が、途中の 2 箇所 で分岐して、第 5 トランジスタ 1 3 b、第 9 トランジスタ 2 3 a および第 1 0 トランジスタ 2 3 b のそれぞれのゲート電極に接続していてもよい。これにより、例えば、第 5 トランジスタ 1 3 b、第 9 トランジスタ 2 3 a および第 1 0 トランジスタ 2 3 b のそれぞれのゲート電極には、設定制御部 5 から共通の第 2 設定制御信号 S e 2 が入力されてもよい。この場合には、例えば、設定制御部 5 に接続した第 1 設定制御信号線 S L 1 は、第 4 トランジスタ 1 3 a のゲート電極に接続していればよい。

[0146] < 2 - 2. 第 3 実施形態 >

上記第 1 実施形態において、例えば、画素回路 1 0 は、第 2 の接続形態同一状態と、通常設定モードとしての第 2 の発光数相違モードと、を有していてもよい。ここで、例えば、第 2 の接続形態同一状態は、第 1 発光素子 1 2 a と第 2 発光素子 1 2 b との接続形態と、第 3 発光素子 2 2 a と第 4 発光素子 2 2 b との接続形態と、を同一の直列接続とした状態である。例えば、第 2 の発光数相違モードは、直列に接続された第 1 発光素子 1 2 a および第 2

発光素子 1 2 b の一方を選択的に発光可能状態とし、直列に接続された第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態とする設定モードである。

[0147] <<画素回路の構成>>

図 1 4 は、第 3 実施形態に係る画素回路 1 0 の一例を示す回路図である。第 3 実施形態に係る画素回路 1 0 の一例は、図 4 で示した第 1 実施形態に係る画素回路 1 0 の一例を基礎として、第 1 副画素回路 1 の第 1 発光部 1 2 および第 1 設定部 1 3、ならびに第 2 副画素回路 2 の第 2 発光部 2 2 および第 2 設定部 2 3 の構成が変更された構成を有する。

[0148] 第 1 副画素回路 1 の第 1 発光部 1 2 では、例えば、第 1 発光素子 1 2 a と第 2 発光素子 1 2 b とは、直列に接続している。例えば、第 1 発光素子 1 2 a と第 2 発光素子 1 2 b とは、第 3 トランジスタ 1 1 e のドレイン電極と第 1 カソード電位入力線 1 s 1 との間において、直列に接続している。ここでは、例えば、第 3 トランジスタ 1 1 e のドレイン電極から第 1 カソード電位入力線 1 s 1 に向けて、第 1 発光素子 1 2 a と第 2 発光素子 1 2 b とがこの記載の順に直列に接続していてもよいし、第 2 発光素子 1 2 b と第 1 発光素子 1 2 a とがこの記載の順に直列に接続していてもよい。図 1 4 の例では、第 1 発光素子 1 2 a の正電極が、第 3 トランジスタ 1 1 e のドレイン電極に接続し、第 1 発光素子 1 2 a の負電極が、第 2 発光素子 1 2 b の正電極に接続し、第 2 発光素子 1 2 b の負電極が、第 1 カソード電位入力線 1 s 1 に接続している。

[0149] 第 1 副画素回路 1 の第 1 設定部 1 3 では、例えば、第 1 スイッチとしての第 4 トランジスタ 1 3 a は、第 1 発光素子 1 2 a に並列に接続している。例えば、第 2 スイッチとしての第 5 トランジスタ 1 3 b は、第 2 発光素子 1 2 b に並列に接続している。第 4 トランジスタ 1 3 a および第 5 トランジスタ 1 3 b のそれぞれには、例えば、Nチャネルトランジスタが適用される。この場合には、例えば、第 4 トランジスタ 1 3 a のドレイン電極は、第 1 発光素子 1 2 a の正電極に接続し、第 4 トランジスタ 1 3 a のソース電極は、第

1 発光素子 1 2 a の負電極に接続している。例えば、第 5 トランジスタ 1 3 b のドレイン電極は、第 2 発光素子 1 2 b の正電極に接続し、第 5 トランジスタ 1 3 b のソース電極は、第 2 発光素子 1 2 b の負電極に接続している。ここでは、例えば、第 4 トランジスタ 1 3 a のゲート電極は、第 1 設定制御信号線 S L 1 を介して設定制御部 5 に接続している。例えば、第 5 トランジスタ 1 3 b のゲート電極は、第 2 設定制御信号線 S L 2 を介して設定制御部 5 に接続している。

[0150] ここで、例えば、第 4 トランジスタ 1 3 a のゲート電極に第 1 信号としての L 信号が付与されると、第 4 トランジスタ 1 3 a は、ソース電極とドレイン電極との間において電流が流れ得ない非導通状態となる。これにより、例えば、第 1 発光素子 1 2 a に駆動電流が流れ得るため、第 1 発光素子 1 2 a は発光可能状態に設定され得る。例えば、第 4 トランジスタ 1 3 a のゲート電極に第 2 信号としての H 信号が付与されると、第 4 トランジスタ 1 3 a は、ソース電極とドレイン電極との間において電流が流れ得る導通状態となる。これにより、例えば、第 1 電源線 L v d によるアノード電位 V d d と第 2 電源線 L v s によるカソード電位 V s s との電位差に応じて第 1 副画素回路 1 を流れる電流が、第 1 発光素子 1 2 a を避けるように迂回して第 4 トランジスタ 1 3 a を流れる。その結果、例えば、第 1 発光素子 1 2 a は非発光状態に設定され得る。なお、ここでは、例えば、第 1 信号はトランジスタのゲートドレイン間を非導通とするオフ信号であり、第 2 信号はトランジスタのゲートドレイン間を導通させるオン信号である。別の観点から言えば、ここでは、例えば、第 1 信号は、発光素子を発光可能状態に設定するための信号であり、第 2 信号は、発光素子を非発光状態に設定するための信号である。

[0151] また、例えば、第 5 トランジスタ 1 3 b のゲート電極に第 1 信号としての L 信号が付与されると、第 5 トランジスタ 1 3 b は、ソース電極とドレイン電極との間において電流が流れ得ない非導通状態となる。これにより、例えば、第 2 発光素子 1 2 b に駆動電流が流れ得るため、第 2 発光素子 1 2 b は

発光可能状態に設定され得る。例えば、第5トランジスタ13bのゲート電極に第2信号としてのH信号が付与されると、第5トランジスタ13bは、ソース電極とドレイン電極との間において電流が流れ得る導通状態となる。これにより、例えば、第1電源線Lv_dによるアノード電位V_{dd}と第2電源線Lv_sによるカソード電位V_{ss}との電位差に応じて第1副画素回路1を流れる電流が、第2発光素子12bを避けるように迂回して第5トランジスタ13bを流れる。その結果、例えば、第2発光素子12bは非発光状態に設定され得る。

[0152] ここでは、第1設定部13は、例えば、第1スイッチとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bのうちの何れか一方を選択的にソース電極とドレイン電極との間に電流が流れ得ない非導通状態にすることで、第1発光素子12aおよび第2発光素子12bのうちの何れか一方を選択的に発光可能状態に設定することができる。

[0153] 第2副画素回路2の第2発光部22では、例えば、第3発光素子22aと第4発光素子22bとは、直列に接続している。例えば、第3発光素子22aと第4発光素子22bとは、第8トランジスタ21eのドレイン電極と第2カソード電位入力線2s₁との間において、直列に接続している。ここでは、例えば、第8トランジスタ21eのドレイン電極から第2カソード電位入力線2s₁に向けて、第3発光素子22aと第4発光素子22bとがこの記載の順に直列に接続していてもよいし、第4発光素子22bと第3発光素子22aとがこの記載の順に直列に接続していてもよい。図14の例では、第3発光素子22aの正電極が、第8トランジスタ21eのドレイン電極に接続し、第3発光素子22aの負電極が、第4発光素子22bの正電極に接続し、第4発光素子22bの負電極が、第2カソード電位入力線2s₁に接続している。

[0154] 第2副画素回路2の第2設定部23では、例えば、第3スイッチとしての第9トランジスタ23aは、第3発光素子22aに並列に接続している。例えば、第4スイッチとしての第10トランジスタ23bは、第4発光素子2

2 b に並列に接続している。第9トランジスタ23 a および第10トランジスタ23 b のそれぞれには、例えば、Nチャネルトランジスタが適用される。この場合には、例えば、第9トランジスタ23 a のドレイン電極は、第3発光素子22 a の正電極に接続し、第9トランジスタ23 a のソース電極は、第3発光素子22 a の負電極に接続している。例えば、第10トランジスタ23 b のドレイン電極は、第4発光素子22 b の正電極に接続し、第10トランジスタ23 b のソース電極は、第4発光素子22 b の負電極に接続している。ここでは、例えば、第9トランジスタ23 a のゲート電極は、第3設定制御信号線SL3を介して設定制御部5に接続している。例えば、第10トランジスタ23 b のゲート電極は、第4設定制御信号線SL4を介して設定制御部5に接続している。

[0155] ここで、例えば、第9トランジスタ23 a のゲート電極に第1信号としてのL信号が付与されると、第9トランジスタ23 a は、ソース電極とドレイン電極との間において電流が流れ得ない非導通状態となる。これにより、例えば、第3発光素子22 a に駆動電流が流れ得るため、第3発光素子22 a は発光可能状態に設定され得る。また、例えば、第9トランジスタ23 a のゲート電極に第2信号としてのH信号が付与されると、第9トランジスタ23 a は、ソース電極とドレイン電極との間において電流が流れ得る導通状態となる。これにより、例えば、第1電源線Lv d によるアノード電位V d d と第2電源線Lv s によるカソード電位V s s との電位差に応じて第2副画素回路2を流れる電流が、第3発光素子22 a を避けるように迂回して第9トランジスタ23 a を流れる。その結果、例えば、第3発光素子22 a は非発光状態に設定され得る。

[0156] また、例えば、第10トランジスタ23 b のゲート電極に第1信号としてのL信号が付与されると、第10トランジスタ23 b は、ソース電極とドレイン電極との間において電流が流れ得ない非導通状態となる。これにより、例えば、第4発光素子22 b に駆動電流が流れ得るため、第4発光素子22 b は発光可能状態に設定され得る。また、例えば、第10トランジスタ23

bのゲート電極に第2信号としてのH信号が付与されると、第10トランジスタ23bは、ソース電極とドレイン電極との間において電流が流れ得る導通状態となる。これにより、例えば、第1電源線Lv_dによるアノード電位V_{dd}と第2電源線Lv_sによるカソード電位V_{ss}との電位差に応じて第2副画素回路2を流れる電流が、第4発光素子22bを避けるように迂回して第10トランジスタ23bを流れる。その結果、例えば、第4発光素子22bは非発光状態に設定され得る。

[0157] ここでは、例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bの両方をソース電極とドレイン電極との間に電流が流れ得ない非導通状態にすることで、第3発光素子22aおよび第4発光素子22bの両方を発光可能状態に設定することができる。

[0158] <<表示装置の特性の向上>>

例えば、第1発光素子12aと第2発光素子12bとの接続形態が、第1発光素子12aと第2発光素子12bとが直列に接続された形態としての直列接続である。また、例えば、第3発光素子22aと第4発光素子22bとの接続形態が、第3発光素子22aと第4発光素子22bとが直列に接続された形態としての直列接続である。換言すれば、画素回路10は、例えば、第1発光素子12aと第2発光素子12bとの接続形態と、第3発光素子22aと第4発光素子22bとの接続形態と、を同一の直列接続とした状態（第2の接続形態同一状態）を有する。

[0159] また、例えば、画素回路10は、第1設定部13によって第1発光素子12aおよび第2発光素子12bの何れか一方を発光可能状態に設定し、第2設定部23によって第3発光素子22aおよび第4発光素子22bの両方を発光可能状態に設定することができる。換言すれば、例えば、画素回路10は、第1設定部13による第1発光素子12aおよび第2発光素子12bの発光状態の設定態様を、一方の発光素子を選択的に発光可能状態とする第2発光設定（一方発光設定）とする。そして、例えば、画素回路10は、第2

設定部 2 3 による第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の発光状態の設定態様を、両方の発光素子を発光可能状態とする第 1 発光設定（両方発光設定）とすることができる。

[0160] このため、例えば、画素回路 1 0 は、第 1 設定部 1 3 による第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の発光状態の設定態様と、第 2 設定部 2 3 による第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の発光状態の設定態様と、を一方の発光素子を選択的に発光可能状態とする第 2 発光設定と、両方の発光素子を発光可能状態とする第 1 発光設定との間で異ならせている設定モードとしての発光数相違モードを有する。よって、第 3 実施形態では、例えば、画素回路 1 0 は、第 2 の接続形態同一状態と、発光数相違モードと、を有する。

[0161] ここでは、例えば、画素回路 1 0 において、直列に接続された第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の一方を選択的に発光可能状態とし、直列に接続された第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態とする設定モード（第 2 の発光数相違モード）が、通常設定モードとされている。換言すれば、例えば、画素回路 1 0 は、第 2 の接続形態同一状態と、通常設定モードとしての第 2 の発光数相違モードと、を有する。

[0162] ここで、例えば、第 2 副画素回路 2 において、仮に並列または直列に接続した第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の何れか一方を選択的に発光させると、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の特性および発光に係る使用条件の少なくとも一方によって、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b にかかる順方向の電圧（第 2 C 順方向電圧ともいう） V_{f2c} が小さくなる場合を想定する。例えば、第 2 副画素回路 2 では、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b において、内部抵抗、駆動電流の下限の設定値、順方向電圧の下限の設定値、および輝度の下限の設定値、のうちの少なくとも 1 つの値が小さくても、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b において発光効率が大きくても、第 2 C 順方向電圧 V_{f2c} が小さくなり得る。ここでは、例えば、仮に並列または直列に接続した第 1 発

光素子 1 2 a および第 2 発光素子 1 2 b の何れか一方を選択的に発光させるときに第 1 発光素子 1 2 a または第 2 発光素子 1 2 b にかかる順方向の電圧（第 1 C 順方向電圧ともいう） V_{f1c} よりも第 2 C 順方向電圧 V_{f2c} が小さくなるような態様が考えられる。この場合には、例えば、第 7 トランジスタ 2 1 d におけるドレイン電極とソース電極との間の電圧（ドレインソース間電圧） V_{ds} が大きくなり、第 7 トランジスタ 2 1 d における消費電力が大きく、第 2 副画素回路 2 におけるエネルギー効率が低下し得る。その結果、例えば、表示装置における消費電力が増加し得る。

[0163] これに対して、第 3 実施形態では、例えば、上述した通常設定モードによって、第 2 副画素回路 2 では、直列に接続した第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態に設定し、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光させる。これにより、例えば、仮に同じ発光強度となるように直列に接続した第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の何れか一方を選択的に発光させる場合と比較して、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b のそれぞれに流れる電流が略半分になり得る。ここで、例えば、アノード電位 V_{dd} とカソード電位 V_{ss} との電位差が略一定であれば、第 2 副画素回路 2 における消費電力が小さくなり、第 2 副画素回路 2 におけるエネルギー効率が上昇し得る。その結果、例えば、表示装置 1 0 0 における消費電力が低減し得る。

[0164] また、ここで、例えば、第 1 副画素回路 1 において、仮に直列に接続した第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の両方を発光させると、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の特性および発光に係る使用条件の少なくとも一方によって、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b にかかる順方向の電圧（第 1 D 順方向電圧ともいう） V_{f1d} が大きくなる場合を想定する。例えば、第 1 副画素回路 1 では、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b において、駆動電流の上限の設定値、順方向電圧の上限の設定値、および輝度の上限の設定値、のうちの少なくとも 1 つの値が大きくても、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b において発光効率

が小さくても、第1発光素子12aおよび第2発光素子12bにかかる第1D順方向電圧が大きくなり得る。ここでは、例えば、仮に第3発光素子22aおよび第4発光素子22bの両方を発光させるときに第3発光素子22aおよび第4発光素子22bにかかる電圧（第2D順方向電圧ともいう）よりも第1D順方向電圧が大きくなる態様が考えられる。この場合には、例えば、第2トランジスタ11dにおけるドレイン電極とソース電極との間の電圧（ドレイン－ソース間電圧） V_{ds} が小さくなり、アノード電位 V_{dd} の電圧降下による電位差（ $V_{dd} - V_{ss}$ ）の低下に応じて、第2トランジスタ11dを飽和領域で駆動させる条件が厳しくなる。また、例えば、第1副画素回路1では、第2トランジスタ11dの飽和動作電圧が大きくても、アノード電位 V_{dd} とカソード電位 V_{ss} との電位差の低下に応じて、第2トランジスタ11dを飽和領域で駆動させる条件が厳しくなる。

[0165] これに対して、第3実施形態では、例えば、上述した通常設定モードによって、第1副画素回路1では、直列に接続した第1発光素子12aおよび第2発光素子12bのうちの一方を発光可能状態に設定する。換言すれば、例えば、上述した通常設定モードによって、第1副画素回路1では、直列に接続した第1発光素子12aおよび第2発光素子12bのうちの他方を非発光状態に設定する。このため、例えば、第1発光素子12aおよび第2発光素子12bのうちの一方を発光させる。これにより、例えば、仮に同じ発光強度となるように直列に接続した第1発光素子12aおよび第2発光素子12bの両方を発光させる場合と比較して、第1発光素子12aおよび第2発光素子12bを発光させるために必要となる閾値の電圧が略半分となり、第1発光素子12aおよび第2発光素子12bにかかる順方向の電圧が低減し得る。このとき、例えば、アノード電位 V_{dd} とカソード電位 V_{ss} との電位差のうち、第1発光制御部11の第2トランジスタ11dにおけるドレイン－ソース間電圧 V_{ds} が大きくなり得る。このため、例えば、仮にアノード電位 V_{dd} の電圧降下によって電位差（ $V_{dd} - V_{ss}$ ）が低下しても、第2トランジスタ11dを飽和領域で駆動させる条件が厳しくなり難い。その

結果、表示装置 100 において輝度が徐々に低下するグラデーション（輝度むら）が生じ難くなり、表示装置 100 において画質が向上し得る。

[0166] このように、第 3 実施形態では、例えば、第 1 副画素回路 1 と第 2 副画素回路 2 との間において素子の特性および発光素子の使用条件のうちの少なくとも一方が異なる場合に、素子の特性および発光素子の使用条件の少なくとも一方に応じた第 2 の接続形態同一状態と通常設定モードとしての第 2 の発光数相違モードとが採用される。その結果、例えば、表示装置 100 の性能が向上し得る。

[0167] <<組み合わせ回路の入出力と発光可能状態に設定される発光素子>>

図 15 は、組み合わせ回路 52 に入力される切替信号 S_i と、組み合わせ回路 52 から出力される設定制御信号と、発光可能状態に設定される発光素子と、の関係の一例を示す真理値表である。ここでは、組み合わせ回路 52 は、例えば、第 1 切替信号 S_{i0} および第 2 切替信号 S_{i1} の入力と、第 1 設定制御信号 S_{e1} 、第 2 設定制御信号 S_{e2} 、第 3 設定制御信号 S_{e3} および第 4 設定制御信号 S_{e4} の出力とが、図 15 で示されるような関係となるように、各種の論理出力を実行する。例えば、図 15 で示されるように、第 1 切替信号 S_{i0} および第 2 切替信号 S_{i1} の入力と、第 1 設定制御信号 S_{e1} 、第 2 設定制御信号 S_{e2} 、第 3 設定制御信号 S_{e3} および第 4 設定制御信号 S_{e4} の出力と、の組み合わせとして、4 つのパターン（具体的には、パターン 1C～4C）の論理出力が実行され得る。

[0168] 例えば、パターン 1C が採用される場合には、組み合わせ回路 52 において、第 1 切替信号 S_{i0} としての L 信号および第 2 切替信号 S_{i1} としての L 信号が入力されると、第 1 設定制御信号 S_{e1} としての第 1 信号である L 信号、第 2 設定制御信号 S_{e2} としての第 2 信号である H 信号、第 3 設定制御信号 S_{e3} としての第 1 信号である L 信号および第 4 設定制御信号 S_{e4} としての第 1 信号である L 信号が出力される。このとき、例えば、第 2 設定部 23 は、第 3 スイッチとしての第 9 トランジスタ 23a および第 4 スイッチとしての第 10 トランジスタ 23b の両方を非導通状態にすることで、第

3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態に設定する。また、例えば、第 1 設定部 1 3 は、第 1 スイッチとしての第 4 トランジスタ 1 3 a を非導通状態とすることで第 1 発光素子 1 2 a を選択的に発光可能状態に設定し、第 2 スイッチとしての第 5 トランジスタ 1 3 b を導通状態とすることで第 2 発光素子 1 2 b を選択的に非発光状態に設定する。これにより、例えば、第 1 発光素子 1 2 a、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b が発光可能状態に設定され、第 2 発光素子 1 2 b が非発光状態に設定される。

[0169] 例えば、パターン 2 C が採用される場合には、組み合わせ回路 5 2 において、第 1 切替信号 S_{i0} としての L 信号および第 2 切替信号 S_{i1} としての H 信号が入力されると、第 1 設定制御信号 S_{e1} としての第 2 信号である H 信号、第 2 設定制御信号 S_{e2} としての第 1 信号である L 信号、第 3 設定制御信号 S_{e3} としての第 1 信号である L 信号および第 4 設定制御信号 S_{e4} としての第 1 信号である L 信号が出力される。このとき、例えば、第 2 設定部 2 3 は、第 3 スイッチとしての第 9 トランジスタ 2 3 a および第 4 スイッチとしての第 10 トランジスタ 2 3 b の両方を非導通状態にすることで、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態に設定する。また、例えば、第 1 設定部 1 3 は、第 1 スイッチとしての第 4 トランジスタ 1 3 a を導通状態とすることで第 1 発光素子 1 2 a を選択的に非発光状態に設定し、第 2 スイッチとしての第 5 トランジスタ 1 3 b を非導通状態とすることで第 2 発光素子 1 2 b を選択的に発光可能状態に設定する。これにより、例えば、第 2 発光素子 1 2 b、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b が発光可能状態に設定され、第 1 発光素子 1 2 a が非発光状態に設定される。

[0170] 例えば、パターン 3 C が採用される場合には、組み合わせ回路 5 2 において、第 1 切替信号 S_{i0} としての H 信号および第 2 切替信号 S_{i1} としての L 信号が入力されると、第 1 設定制御信号 S_{e1} としての第 1 信号である L 信号、第 2 設定制御信号 S_{e2} としての第 2 信号である H 信号、第 3 設定制

御信号 $S_e 3$ としての第 1 信号である L 信号および第 4 設定制御信号 $S_e 4$ としての第 2 信号である H 信号が出力される。このとき、例えば、第 1 発光素子 1 2 a および第 3 発光素子 2 2 a が発光可能状態に設定され、第 2 発光素子 1 2 b および第 4 発光素子 2 2 b が非発光状態に設定される。

[0171] 例えば、パターン 4 C が採用される場合には、組み合わせ回路 5 2 において、第 1 切替信号 $S_i 0$ としての H 信号および第 2 切替信号 $S_i 1$ としての H 信号が入力されると、第 1 設定制御信号 $S_e 1$ としての第 2 信号である H 信号、第 2 設定制御信号 $S_e 2$ としての第 1 信号である L 信号、第 3 設定制御信号 $S_e 3$ としての第 2 信号である H 信号および第 4 設定制御信号 $S_e 4$ としての第 1 信号である L 信号が出力される。このとき、例えば、第 2 発光素子 1 2 b および第 4 発光素子 2 2 b が発光可能状態に設定され、第 1 発光素子 1 2 a および第 3 発光素子 2 2 a が非発光状態に設定される。

[0172] <<通常設定モードの設定>>

第 3 実施形態では、例えば、上述したパターン 1 C またはパターン 2 C が採用されれば、第 1 発光素子 1 2 a、第 2 発光素子 1 2 b、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b における発光状態の設定モードが、通常設定モードとなる。より具体的には、例えば、画素回路 1 0 では、直列に接続された第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態とし、直列に接続された第 1 発光素子 1 2 a および第 2 発光素子 1 2 b のうちの一方を選択的に発光可能状態とする通常設定モードが採用される。

[0173] このとき、例えば、第 2 設定部 2 3 は、第 3 スイッチとしての第 9 トランジスタ 2 3 a および第 4 スイッチとしての第 1 0 トランジスタ 2 3 b の両方を非導通状態にすることで、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態に設定する。また、例えば、第 1 設定部 1 3 は、第 1 スイッチとしての第 4 トランジスタ 1 3 a および第 2 スイッチとしての第 5 トランジスタ 1 3 b のうちの何れか一方を選択的に導通状態にすることで、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b のうちの何れか一方を選択的に発光可能状態に設定する。これにより、例えば、上述したように、第 1 副

画素回路 1 と第 2 副画素回路 2 との間において素子の特性および発光素子の使用条件のうちの少なくとも一方が異なる場合に、表示装置 100 の性能が向上し得る。

[0174] ここでは、例えば、第 2 発光素子 12b において接続もしくは素子の不良などで発光の不良が生じる場合には、パターン 1C が採用されることで、第 1 発光素子 12a、第 2 発光素子 12b、第 3 発光素子 22a および第 4 発光素子 22b における発光状態の設定モードが、通常設定モードとされてもよい。また、例えば、第 1 発光素子 12a において接続もしくは素子の不良などで発光の不良が生じる場合には、パターン 2C が採用されることで、第 1 発光素子 12a、第 2 発光素子 12b、第 3 発光素子 22a および第 4 発光素子 22b における発光状態の設定モードが、通常設定モードとされてもよい。

[0175] 各画素回路 10 における第 1 発光素子 12a および第 2 発光素子 12b における発光の不良の発生は、例えば、表示装置 100 の出荷前の検査またはメンテナンスを行う際などにおいて確認され得る。そして、例えば、第 1 発光素子 12a および第 2 発光素子 12b における発光の不良の発生状況に応じて、パターン 1C およびパターン 2C の何れかが、通常設定モードに対応するパターンとして採用される態様が考えられる。ここでは、例えば、パターン 1C が採用されることで、第 1 発光素子 12a、第 3 発光素子 22a および第 4 発光素子 22b のそれぞれを発光可能状態に設定し、第 2 発光素子 12b を非発光状態に設定する設定モードが、第 3 の通常設定モード（第 3 通常設定モードともいう）とされてもよい。また、例えば、パターン 2C が採用されることで、第 2 発光素子 12b、第 3 発光素子 22a および第 4 発光素子 22b のそれぞれを発光可能状態に設定し、第 1 発光素子 12a を非発光状態に設定する設定モードが、第 4 の通常設定モード（第 4 通常設定モードともいう）とされてもよい。

[0176] <<不良対処設定モードの設定>>

第 3 実施形態では、例えば、パターン 3C およびパターン 4C の何れかが

採用されれば、第1発光素子12a、第2発光素子12b、第3発光素子22aおよび第4発光素子22bにおける発光状態の設定モードが、画素回路10における発光の不良に対処するモード（不良対処設定モード）となる。この場合には、例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bのうちの一方を選択的に導通状態にすることで、第3発光素子22aおよび第4発光素子22bのうちの一方を選択的に非発光状態に設定する。これにより、例えば、第2副画素回路2において、第3発光素子22aおよび第4発光素子22bのうちの発光の不良が生じない一方の発光素子が選択的に発光し得る。

[0177] ここでは、例えば、第4発光素子22bにおいて接続もしくは素子の不良などで発光の不良が生じる場合には、通常設定モードに対応するパターン1Cまたはパターン2Cの代わりに、不良対処設定モードに対応するパターン3Cが採用されてもよい。この場合には、例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bのうちの一方のスイッチとしての第10トランジスタ23bを選択的に導通状態にすることで、第3発光素子22aおよび第4発光素子22bのうちの一方の第4発光素子22bを選択的に非発光状態に設定する。これにより、例えば、第2副画素回路2において、第3発光素子22aおよび第4発光素子22bのうちの発光の不良が生じない第3発光素子22aが選択的に発光し得る。このようにして、例えば、第1発光素子12aおよび第3発光素子22aのそれぞれを発光可能状態に設定し、第2発光素子12bおよび第4発光素子22bのそれぞれを非発光状態に設定する設定モード（第1不良対処設定モード）が採用される。

[0178] また、ここでは、例えば、第3発光素子22aにおいて接続もしくは素子の不良などで発光の不良が生じる場合には、通常設定モードに対応するパターン1Cまたはパターン2Cの代わりに、不良対処設定モードに対応するパターン4Cが採用されてもよい。この場合には、例えば、第2設定部23は

、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bのうちの一方のスイッチとしての第9トランジスタ23aを選択的に導通状態にすることで、第3発光素子22aおよび第4発光素子22bのうちの一方の第3発光素子22aを選択的に非発光状態に設定する。これにより、例えば、第2副画素回路2において、第3発光素子22aおよび第4発光素子22bのうちの発光の不良が生じない第4発光素子22bが選択的に発光し得る。このようにして、例えば、第2発光素子12bおよび第4発光素子22bのそれぞれを発光可能状態に設定し、第1発光素子12aおよび第3発光素子22aのそれぞれを非発光状態に設定する設定モード（第2不良対処設定モード）が採用される。

[0179] <<第3実施形態のバリエーション>>

例えば、第1スイッチとしての第4トランジスタ13aには、Pチャネルトランジスタが適用されてもよい。この場合には、例えば、第4トランジスタ13aのゲート電極に入力される設定制御信号について、第1信号としてH信号が採用され、第2信号としてL信号が採用されればよい。例えば、第2スイッチとしての第5トランジスタ13bには、Pチャネルトランジスタが適用されてもよい。この場合には、例えば、第5トランジスタ13bのゲート電極に入力される設定制御信号について、第1信号としてH信号が採用され、第2信号としてL信号が採用されればよい。また、例えば、第3スイッチとしての第9トランジスタ23aには、Pチャネルトランジスタが適用されてもよい。この場合には、例えば、第9トランジスタ23aのゲート電極に入力される設定制御信号について、第1信号としてH信号が採用され、第2信号としてL信号が採用されればよい。第4スイッチとしての第10トランジスタ23bには、Pチャネルトランジスタが適用されてもよい。この場合には、例えば、第10トランジスタ23bのゲート電極に入力される設定制御信号について、第1信号としてH信号が採用され、第2信号としてL信号が採用されればよい。

[0180] <2-3. 第4実施形態>

上記第3実施形態において、例えば、図16および図18で示されるように、第1副画素回路1において、第1スイッチとしての第4トランジスタ13aが第1導電型のトランジスタ（例えば、Nチャネルトランジスタ）であり且つ第2スイッチとしての第5トランジスタ13bが第2導電型のトランジスタ（例えば、Pチャネルトランジスタ）であってもよい。また、例えば、第1スイッチとしての第4トランジスタ13aが第2導電型のトランジスタであり且つ第2スイッチとしての第5トランジスタ13bが第1導電型のトランジスタであってもよい。このような構成が採用されれば、例えば、第1設定部13に対する1つの設定制御信号の入力によって、第1発光素子12aおよび第2発光素子12bのうちの一方が選択的に発光可能状態に設定され得る。これにより、例えば、第1設定部13に対して設定制御信号を付与するための配線数の削減などの配線構造の簡素化が図られ得る。その結果、例えば、表示装置100および表示パネル100pでは、複数の画素回路10が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。したがって、例えば、表示装置100の性能が向上し得る。

[0181] <<第4実施形態の第1例>>

図16は、第4実施形態の第1例に係る画素回路10を示す回路図である。第4実施形態の第1例に係る画素回路10は、図14で示した第3実施形態に係る画素回路10の一例を基礎として、第2スイッチとしての第5トランジスタ13bがPチャネルトランジスタに変更された構成を有する。ここでは、例えば、第4トランジスタ13aおよび第5トランジスタ13bのそれぞれのゲート電極は、第1設定制御信号線SL1を介して設定制御部5に接続している。より具体的には、例えば、設定制御部5に接続した第1設定制御信号線SL1は、途中で分岐して、第4トランジスタ13aおよび第5トランジスタ13bのそれぞれのゲート電極に接続している。例えば、第9トランジスタ23aのゲート電極は、第2設定制御信号線SL2を介して設定制御部5に接続している。例えば、第10トランジスタ23bのゲート電極は、第3設定制御信号線SL3を介して設定制御部5に接続している。例

例えば、第4設定制御信号線SL4は、削除されている。これにより、例えば、第4トランジスタ13aおよび第5トランジスタ13bのそれぞれのゲート電極には、設定制御部5から共通の第1設定制御信号Se1が入力され得る。

[0182] 図17は、組み合わせ回路52に入力される切替信号Siと、組み合わせ回路52から出力される設定制御信号と、発光可能状態に設定される発光素子と、の関係の一例を示す図である。ここでは、組み合わせ回路52は、例えば、第1切替信号Si0および第2切替信号Si1の入力と、第1設定制御信号Se1、第2設定制御信号Se2および第3設定制御信号Se3の出力とが、図17で示されるような関係となるように、各種の論理出力を実行する。例えば、図17で示されるように、第1切替信号Si0および第2切替信号Si1の入力と、第1設定制御信号Se1、第2設定制御信号Se2および第3設定制御信号Se3の出力と、の組み合わせとして、4つのパターン（具体的には、パターン1D～4D）の論理出力が実行され得る。

[0183] 例えば、パターン1Dが採用される場合には、組み合わせ回路52では、第1切替信号Si0としてのL信号および第2切替信号Si1としてのL信号が入力されると、第1設定制御信号Se1としての第1信号であるL信号、第2設定制御信号Se2としての第1信号であるL信号および第3設定制御信号Se3としての第1信号であるL信号が出力される。このとき、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aを非導通状態とすることで第1発光素子12aを選択的に発光可能状態に設定し、第2スイッチとしての第5トランジスタ13bを導通状態とすることで第2発光素子12bを選択的に非発光状態に設定する。また、例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bの両方を非導通状態にすることで、第3発光素子22aおよび第4発光素子22bの両方を発光可能状態に設定する。これにより、例えば、第1発光素子12a、第3発光素子22aおよび第4発光素子22bが発光可能状態に設定され、第2発光素子12bが非

発光状態に設定される。

[0184] 例えば、パターン 2 D が採用される場合には、組み合わせ回路 5 2 では、第 1 切替信号 S_{i0} としての L 信号および第 2 切替信号 S_{i1} としての H 信号が入力されると、第 1 設定制御信号 S_{e1} としての第 2 信号である H 信号、第 2 設定制御信号 S_{e2} としての第 1 信号である L 信号および第 3 設定制御信号 S_{e3} としての第 1 信号である L 信号が出力される。このとき、例えば、第 1 設定部 1 3 は、第 2 スイッチとしての第 5 トランジスタ 1 3 b を非導通状態とすることで第 2 発光素子 1 2 b を選択的に発光可能状態に設定し、第 1 スイッチとしての第 4 トランジスタ 1 3 a を導通状態とすることで第 1 発光素子 1 2 a を選択的に非発光状態に設定する。また、例えば、第 2 設定部 2 3 は、第 3 スイッチとしての第 9 トランジスタ 2 3 a および第 4 スイッチとしての第 10 トランジスタ 2 3 b の両方を非導通状態にすることで、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態に設定する。これにより、例えば、第 2 発光素子 1 2 b、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b が発光可能状態に設定され、第 1 発光素子 1 2 a が非発光状態に設定される。

[0185] ここでは、例えば、上述したパターン 1 D またはパターン 2 D が採用されれば、上記第 3 実施形態と同様に、第 1 発光素子 1 2 a、第 2 発光素子 1 2 b、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b における発光状態の設定モードが、通常設定モードとなる。より具体的には、例えば、画素回路 1 0 では、直列に接続された第 1 発光素子 1 2 a および第 2 発光素子 1 2 b のうちの一方を選択的に発光可能状態とし、直列に接続された第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態とする通常設定モードが採用される。例えば、上述したパターン 1 D が採用されれば、画素回路 1 0 では、上述した第 3 通常設定モードが採用され、上述したパターン 2 D が採用されれば、画素回路 1 0 では、上述した第 4 通常設定モードが採用される。この場合には、例えば、上記第 3 実施形態と同様に、第 1 副画素回路 1 と第 2 副画素回路 2 との間において素子の特性および発光素子の使用条件のう

ちの少なくとも一方が異なる場合に、表示装置 100 の性能が向上し得る。

[0186] また、例えば、パターン 3 D が採用される場合には、組み合わせ回路 52 では、第 1 切替信号 S_{i0} としての H 信号および第 2 切替信号 S_{i1} としての L 信号が入力されると、第 1 設定制御信号 S_{e1} としての第 1 信号である L 信号、第 2 設定制御信号 S_{e2} としての第 1 信号である L 信号および第 3 設定制御信号 S_{e3} としての第 2 信号である H 信号が出力される。このとき、例えば、第 1 発光素子 12a および第 3 発光素子 22a が発光可能状態に設定され、第 2 発光素子 12b および第 4 発光素子 22b が非発光状態に設定される。また、例えば、パターン 4 D が採用される場合には、組み合わせ回路 52 では、第 1 切替信号 S_{i0} としての H 信号および第 2 切替信号 S_{i1} としての H 信号が入力されると、第 1 設定制御信号 S_{e1} としての第 2 信号である H 信号、第 2 設定制御信号 S_{e2} としての第 2 信号である H 信号および第 3 設定制御信号 S_{e3} としての第 1 信号である L 信号が出力される。このとき、例えば、第 2 発光素子 12b および第 4 発光素子 22b が発光可能状態に設定され、第 1 発光素子 12a および第 3 発光素子 22a が非発光状態に設定される。

[0187] ここでは、例えば、パターン 3 D およびパターン 4 D の何れかが採用されれば、第 1 発光素子 12a、第 2 発光素子 12b、第 3 発光素子 22a および第 4 発光素子 22b における発光状態の設定モードが、画素回路 10 における発光の不良に対処する不良対処設定モードとなる。この場合には、例えば、第 2 設定部 23 は、第 3 スイッチとしての第 9 トランジスタ 23a および第 4 スイッチとしての第 10 トランジスタ 23b のうちの一方のスイッチを選択的に導通状態にすることで、第 3 発光素子 22a および第 4 発光素子 22b のうちの一方を選択的に非発光状態に設定する。これにより、例えば、第 2 副画素回路 2 において、第 3 発光素子 22a および第 4 発光素子 22b のうちの発光の不良が生じない一方の発光素子が選択的に発光し得る。

[0188] <<第 4 実施形態の第 2 例>>

ここで、例えば、設定制御部 5 から第 2 設定部 23 に入力される一部の設

定制御信号と、設定制御部 5 から第 1 設定部 1 3 に入力される設定制御信号と、が共通の設定制御信号であってもよい。

[0189] 図 1 8 は、第 4 実施形態の第 2 例に係る画素回路 1 0 を示す回路図である。第 4 実施形態の第 2 例に係る画素回路 1 0 は、図 1 6 で示した第 4 実施形態の第 1 例に係る画素回路 1 0 と同様な構成の第 1 発光制御部 1 1、第 1 発光部 1 2、第 1 設定部 1 3、第 2 発光制御部 2 1、第 2 発光部 2 2 および第 2 設定部 2 3 を有する。ここでは、例えば、第 4 トランジスタ 1 3 a、第 5 トランジスタ 1 3 b および第 9 トランジスタ 2 3 a のそれぞれのゲート電極は、第 1 設定制御信号線 S L 1 を介して設定制御部 5 に接続している。より具体的には、例えば、設定制御部 5 に接続した第 1 設定制御信号線 S L 1 は、途中の 2 箇所で分岐して、第 4 トランジスタ 1 3 a、第 5 トランジスタ 1 3 b および第 9 トランジスタ 2 3 a のそれぞれのゲート電極に接続している。また、例えば、第 1 0 トランジスタ 2 3 b のゲート電極は、第 2 設定制御信号線 S L 2 を介して設定制御部 5 に接続している。例えば、第 3 設定制御信号線 S L 3 は、削除されている。これにより、例えば、第 4 トランジスタ 1 3 a、第 5 トランジスタ 1 3 b および第 9 トランジスタ 2 3 a のそれぞれのゲート電極には、設定制御部 5 から共通の第 1 設定制御信号 S e 1 が入力され得る。

[0190] 図 1 9 は、組み合わせ回路 5 2 に入力される切替信号 S i と、組み合わせ回路 5 2 から出力される設定制御信号と、発光可能状態に設定される発光素子と、の関係の一例を示す真理値表である。ここでは、組み合わせ回路 5 2 は、例えば、第 1 切替信号 S i 0 および第 2 切替信号 S i 1 の入力と、第 1 設定制御信号 S e 1 および第 2 設定制御信号 S e 2 の出力とが、図 1 9 で示されるような関係となるように、各種の論理出力を実行する。例えば、図 1 9 で示されるように、第 1 切替信号 S i 0 および第 2 切替信号 S i 1 の入力と、第 1 設定制御信号 S e 1 および第 2 設定制御信号 S e 2 の出力と、の組み合わせとして、3 つのパターン（具体的には、パターン 1 E ~ 3 E）の論理出力が実行され得る。

[0191] 例えば、パターン 1 E が採用される場合には、組み合わせ回路 5 2 では、第 1 切替信号 S_{i0} としての L 信号および第 2 切替信号 S_{i1} としての L 信号が入力されると、第 1 設定制御信号 S_{e1} としての第 1 信号である L 信号および第 2 設定制御信号 S_{e2} としての第 1 信号である L 信号が出力される。このとき、例えば、第 1 設定部 1 3 は、第 1 スイッチとしての第 4 トランジスタ 1 3 a を非導通状態とすることで第 1 発光素子 1 2 a を選択的に発光可能状態に設定し、第 2 スイッチとしての第 5 トランジスタ 1 3 b を導通状態とすることで第 2 発光素子 1 2 b を選択的に非発光状態に設定する。また、例えば、第 2 設定部 2 3 は、第 3 スイッチとしての第 9 トランジスタ 2 3 a および第 4 スイッチとしての第 10 トランジスタ 2 3 b の両方を非導通状態にすることで、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態に設定する。これにより、例えば、第 1 発光素子 1 2 a、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b が発光可能状態に設定され、第 2 発光素子 1 2 b が非発光状態に設定される。

[0192] ここでは、例えば、上述したパターン 1 E が採用されれば、上記第 3 実施形態と同様に、第 1 発光素子 1 2 a、第 2 発光素子 1 2 b、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b における発光状態の設定モードが、通常設定モードとなる。より具体的には、例えば、画素回路 1 0 では、直列に接続された第 1 発光素子 1 2 a および第 2 発光素子 1 2 b のうち的一方を選択的に発光可能状態とし、直列に接続された第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態とする通常設定モードが採用される。例えば、上述したパターン 1 E が採用されれば、画素回路 1 0 では、上述した第 3 通常設定モードが採用される。この場合には、例えば、上記第 3 実施形態と同様に、第 1 副画素回路 1 と第 2 副画素回路 2 との間において素子の特性および発光素子の使用条件のうちの少なくとも一方が異なる場合に、表示装置 1 0 0 の性能が向上し得る。

[0193] また、例えば、パターン 2 E が採用される場合には、組み合わせ回路 5 2 では、第 1 切替信号 S_{i0} としての H 信号および第 2 切替信号 S_{i1} として

のL信号が入力されると、第1設定制御信号S_e1としての第1信号であるL信号および第2設定制御信号S_e2としての第2信号であるH信号が出力される。このとき、例えば、第1発光素子12aおよび第3発光素子22aが発光可能状態に設定され、第2発光素子12bおよび第4発光素子22bが非発光状態に設定される。また、例えば、パターン3Eが採用される場合には、組み合わせ回路52では、第1切替信号S_i0としてのL信号および第2切替信号S_i1としてのH信号が入力されると、第1設定制御信号S_e1としての第2信号であるH信号および第2設定制御信号S_e2としての第2信号であるL信号が出力される。このとき、例えば、第2発光素子12bおよび第4発光素子22bが発光可能状態に設定され、第1発光素子12aおよび第3発光素子22aが非発光状態に設定される。

[0194] ここでは、例えば、パターン2Eおよびパターン3Eの何れかが採用されれば、第1発光素子12a、第2発光素子12b、第3発光素子22aおよび第4発光素子22bにおける発光状態の設定モードが、画素回路10における発光の不良に対処する不良対処設定モードとなる。この場合には、例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bのうちの一方向のスイッチを選択的に導通状態にすることで、第3発光素子22aおよび第4発光素子22bのうちの一方向を選択的に非発光状態に設定する。これにより、例えば、第2副画素回路2において、第3発光素子22aおよび第4発光素子22bのうちの発光の不良が生じない一方の発光素子が選択的に発光し得る。

[0195] ここで、例えば、第4トランジスタ13a、第5トランジスタ13bおよび第10トランジスタ23bのそれぞれのゲート電極が、第1設定制御信号線S_L1を介して設定制御部5に接続していてもよい。より具体的には、例えば、設定制御部5に接続した第1設定制御信号線S_L1が、途中の2箇所で分岐して、第4トランジスタ13a、第5トランジスタ13bおよび第10トランジスタ23bのそれぞれのゲート電極に接続していてもよい。これにより、例えば、第4トランジスタ13a、第5トランジスタ13bおよび

第10トランジスタ23bのそれぞれのゲート電極には、設定制御部5から共通の第1設定制御信号Se1が入力されてもよい。この場合には、例えば、設定制御部5に接続した第2設定制御信号線SL2は、第9トランジスタ23aのゲート電極に接続していればよい。

[0196] <2-4. 第5実施形態>

上記第1実施形態において、例えば、画素回路10は、接続形態相違状態と、発光数同一モードと、を有していてもよい。ここで、例えば、接続形態相違状態は、第1発光素子12aと第2発光素子12bとの接続形態と、第3発光素子22aと第4発光素子22bとの接続形態と、を直列接続と並列接続との間で異ならせた状態（接続形態の相違状態ともいう）である。例えば、発光数同一モードは、第1設定部13による第1発光素子12aおよび第2発光素子12bの発光状態の設定態様と、第2設定部23による第3発光素子22aおよび第4発光素子22bの発光状態の設定態様と、をそれぞれ、両方の発光素子を発光可能状態とする同一の第1発光設定としている設定のモードである。換言すれば、例えば、発光数同一モード（発光数同一状態ともいう）は、第1副画素回路1と第2副画素回路2との間で発光数設定が同じモード（同一状態）である。

[0197] <<画素回路の構成>>

図20は、第5実施形態に係る画素回路10の一例を示す回路図である。第5実施形態に係る画素回路10の一例は、図4で示した第1実施形態に係る画素回路10の一例を基礎として、第2副画素回路2の第2発光部22および第2設定部23の構成が変更された構成を有する。

[0198] 第2副画素回路2の第2発光部22では、例えば、第3発光素子22aと第4発光素子22bとは、直列に接続している。例えば、第3発光素子22aと第4発光素子22bとは、第8トランジスタ21eのドレイン電極と第2カソード電位入力線2s1との間において、直列に接続している。ここでは、例えば、第8トランジスタ21eのドレイン電極から第2カソード電位入力線2s1に向けて、第3発光素子22aと第4発光素子22bとがこの

記載の順に直列に接続していてもよいし、第4発光素子22bと第3発光素子22aとがこの記載の順に直列に接続していてもよい。図14の例では、第3発光素子22aの正電極が、第8トランジスタ21eのドレイン電極に接続し、第3発光素子22aの負電極が、第4発光素子22bの正電極に接続し、第4発光素子22bの負電極が、第2カソード電位入力線2s1に接続している。

[0199] 第2副画素回路2の第2設定部23では、例えば、第3スイッチとしての第9トランジスタ23aは、第3発光素子22aに並列に接続している。例えば、第4スイッチとしての第10トランジスタ23bは、第4発光素子22bに並列に接続している。第9トランジスタ23aおよび第10トランジスタ23bのそれぞれには、例えば、Nチャネルトランジスタが適用される。この場合には、例えば、第9トランジスタ23aのドレイン電極は、第3発光素子22aの正電極に接続し、第9トランジスタ23aのソース電極は、第3発光素子22aの負電極に接続している。例えば、第10トランジスタ23bのドレイン電極は、第4発光素子22bの正電極に接続し、第10トランジスタ23bのソース電極は、第4発光素子22bの負電極に接続している。ここでは、例えば、第9トランジスタ23aのゲート電極は、第3設定制御信号線SL3を介して設定制御部5に接続している。例えば、第10トランジスタ23bのゲート電極は、第4設定制御信号線SL4を介して設定制御部5に接続している。

[0200] ここで、例えば、Nチャネルトランジスタである第9トランジスタ23aのゲート電極に第1信号（オフ信号）としてのL信号が付与されると、第9トランジスタ23aは、ソース電極とドレイン電極との間において電流が流れ得ない非導通状態となる。これにより、例えば、第3発光素子22aは発光可能状態に設定され得る。また、例えば、第9トランジスタ23aのゲート電極に第2信号（オン信号）としてのH信号が付与されると、第9トランジスタ23aは、ソース電極とドレイン電極との間において電流が流れ得る導通状態となる。これにより、例えば、第1電源線Lvによるアノード電

位 V_{dd} と第2電源線 L_{vs} によるカソード電位 V_{ss} との電位差に応じて第2副画素回路2を流れる電流が、第3発光素子22aを避けるように迂回して第9トランジスタ23aを流れる。その結果、例えば、第3発光素子22aは非発光状態に設定され得る。

[0201] また、例えば、Nチャネルトランジスタである第10トランジスタ23bのゲート電極に第1信号としてのL信号が付与されると、第10トランジスタ23bは、ソース電極とドレイン電極との間において電流が流れ得ない非導通状態となる。これにより、例えば、第4発光素子22bは発光可能状態に設定され得る。また、例えば、第10トランジスタ23bのゲート電極に第2信号としてのH信号が付与されると、第10トランジスタ23bは、ソース電極とドレイン電極との間において電流が流れ得る導通状態となる。これにより、例えば、第1電源線 L_{vd} によるアノード電位 V_{dd} と第2電源線 L_{vs} によるカソード電位 V_{ss} との電位差に応じて第2副画素回路2を流れる電流が、第4発光素子22bを避けるように迂回して第10トランジスタ23bを流れる。その結果、例えば、第4発光素子22bは非発光状態に設定され得る。

[0202] ここでは、例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bの両方をソース電極とドレイン電極との間に電流が流れ得ない非導通状態にすることで、第3発光素子22aおよび第4発光素子22bの両方を発光可能状態に設定することができる。

[0203] <<表示装置の特性の向上>>

例えば、第1発光素子12aと第2発光素子12bとの接続形態が、第1発光素子12aと第2発光素子12bとが並列に接続された形態としての並列接続である。また、例えば、第3発光素子22aと第4発光素子22bとの接続形態が、第3発光素子22aと第4発光素子22bとが直列に接続された形態としての直列接続である。換言すれば、画素回路10は、例えば、第1発光素子12aと第2発光素子12bとの接続形態と、第3発光素子2

2 a と第 4 発光素子 2 2 b との接続形態と、を直列接続と並列接続との間で異ならせた状態（接続形態相違状態）を有する。より具体的には、画素回路 1 0 は、例えば、第 1 発光素子 1 2 a と第 2 発光素子 1 2 b との接続形態としての並列接続と、第 3 発光素子 2 2 a と第 4 発光素子 2 2 b との接続形態としての直列接続と、が異なる状態（第 1 の接続形態相違状態ともいう）を有する。

[0204] また、例えば、画素回路 1 0 は、第 1 設定部 1 3 によって第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の両方を発光可能状態に設定し、第 2 設定部 2 3 によって第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態に設定することができる。換言すれば、例えば、画素回路 1 0 は、第 1 設定部 1 3 による第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の発光状態の設定態様を、両方の発光素子を発光可能状態とする第 1 発光設定（両方発光設定）とする。そして、例えば、画素回路 1 0 は、第 2 設定部 2 3 による第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の発光状態の設定態様を、両方の発光素子を発光可能状態とする第 1 発光設定（両方発光設定）とすることができる。

[0205] このため、例えば、画素回路 1 0 は、第 1 設定部 1 3 による第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の発光状態の設定態様と、第 2 設定部 2 3 による第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の発光状態の設定態様と、を両方の発光素子を発光可能とする同一の第 1 発光設定としている設定モード（発光数同一モード）を有する。よって、第 5 実施形態では、例えば、画素回路 1 0 は、第 1 の接続形態相違状態と、発光数同一モードと、を有する。

[0206] ここでは、例えば、画素回路 1 0 において、並列に接続された第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の両方を発光可能状態とし、直列に接続された第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態とする設定モードが、通常設定モードとされている。換言すれば、例えば、画素回路 1 0 は、第 1 の接続形態相違状態と、通常設定モードとしての発光

数同一モードと、を有する。

[0207] ここで、第5実施形態では、例えば、上記第1実施形態と同様に、通常設定モードによって、第1副画素回路1では、並列に接続した第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定し、第1発光素子12aおよび第2発光素子12bの両方を発光させる。これにより、例えば、仮に同じ発光強度となるように並列に接続した第1発光素子12aおよび第2発光素子12bの何れか一方を選択的に発光させる場合と比較して、第1発光素子12aおよび第2発光素子12bのそれぞれにかかる順方向の電圧が低減し得る。このとき、例えば、アノード電位 V_{dd} とカソード電位 V_{ss} との電位差のうち、第1発光制御部11の第2トランジスタ11dにおけるドレインソース間電圧 V_{ds} が大きくなり得る。このため、例えば、仮にアノード電位 V_{dd} とカソード電位 V_{ss} との電位差が低下しても、第2トランジスタ11dを飽和領域で駆動させる条件が厳しくなり難い。その結果、表示装置100において輝度が徐々に低下するグラデーション（輝度むら）が生じ難くなり、表示装置100において画質が向上し得る。

[0208] また、ここで、第5実施形態では、例えば、上記第1実施形態と同様に、通常設定モードによって、第1副画素回路1において、並列に接続した第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定し、第1発光素子12aおよび第2発光素子12bの両方を発光させる。これにより、例えば、仮に同じ発光強度となるように並列に接続した第1発光素子12aおよび第2発光素子12bの何れか一方を選択的に発光させる場合と比較して、第1発光素子12aおよび第2発光素子12bのそれぞれを流れる電流が略半減し得る。その結果、例えば、第1発光素子12aまたは第2発光素子12bの経時劣化が生じ難くなり、表示装置100において画質が向上し得る。

[0209] また、ここで、第5実施形態では、例えば、上記第1実施形態と同様に、通常設定モードによって、第2副画素回路2において、直列に接続した第3発光素子22aおよび第4発光素子22bの両方を発光可能状態に設定し、

第3発光素子22aおよび第4発光素子22bの両方を発光させる。これにより、例えば、仮に同じ発光強度となるように直列に接続した第3発光素子22aおよび第4発光素子22bの何れか一方を選択的に発光させる場合と比較して、第3発光素子22aおよび第4発光素子22bのそれぞれに流れる電流が略半分になり得る。ここで、例えば、アノード電位 V_{dd} とカソード電位 V_{ss} との電位差が略一定であれば、第2副画素回路2における消費電力が小さくなり、第2副画素回路2におけるエネルギー効率が上昇し得る。その結果、例えば、表示装置100における消費電力が低減し得る。

[0210] このように、第5実施形態では、例えば、第1副画素回路1と第2副画素回路2との間において素子の特性および発光素子の使用条件のうちの少なくとも一方が異なる場合に、素子の特性および発光素子の使用条件の少なくとも一方に応じた第1接続形態相違状態と通常設定モードとしての発光数同一モードとが採用される。その結果、例えば、表示装置100の性能が向上し得る。

[0211] <<組み合わせ回路の入出力と発光可能状態に設定される発光素子>>

図21は、組み合わせ回路52に入力される切替信号 S_i と、組み合わせ回路52から出力される設定制御信号と、発光可能状態に設定される発光素子と、の関係の一例を示す図である。ここでは、組み合わせ回路52は、例えば、第1切替信号 S_{i0} および第2切替信号 S_{i1} の入力と、第1設定制御信号 S_{e1} 、第2設定制御信号 S_{e2} 、第3設定制御信号 S_{e3} および第4設定制御信号 S_{e4} の出力とが、図21で示されるような関係となるように、各種の論理出力を実行する。例えば、図21で示されるように、第1切替信号 S_{i0} および第2切替信号 S_{i1} の入力と、第1設定制御信号 S_{e1} 、第2設定制御信号 S_{e2} 、第3設定制御信号 S_{e3} および第4設定制御信号 S_{e4} の出力と、の組み合わせとして、3つのパターン（具体的には、パターン1F～4F）の論理出力が実行され得る。

[0212] 例えば、パターン1Fが採用される場合には、組み合わせ回路52において、第1切替信号 S_{i0} としてのL信号および第2切替信号 S_{i1} としての

L 信号が入力されると、第 1 設定制御信号 S e 1 としての第 1 信号である L 信号、第 2 設定制御信号 S e 2 としての第 1 信号である L 信号、第 3 設定制御信号 S e 3 としての第 1 信号である L 信号および第 4 設定制御信号 S e 4 としての第 1 信号である L 信号が出力される。このとき、例えば、第 1 設定部 1 3 は、第 1 スイッチとしての第 4 トランジスタ 1 3 a および第 2 スイッチとしての第 5 トランジスタ 1 3 b の両方を導通状態にすることで、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の両方を発光可能状態に設定する。例えば、第 2 設定部 2 3 は、第 3 スイッチとしての第 9 トランジスタ 2 3 a および第 4 スイッチとしての第 1 0 トランジスタ 2 3 b の両方を非導通状態にすることで、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態に設定する。これにより、例えば、第 1 発光素子 1 2 a、第 2 発光素子 1 2 b、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の全てが発光可能状態に設定される。

[0213] 例えば、パターン 2 F が採用される場合には、組み合わせ回路 5 2 において、第 1 切替信号 S i 0 としての L 信号および第 2 切替信号 S i 1 としての H 信号が入力されると、第 1 設定制御信号 S e 1 としての第 1 信号である L 信号、第 2 設定制御信号 S e 2 としての第 2 信号である H 信号、第 3 設定制御信号 S e 3 としての第 1 信号である L 信号および第 4 設定制御信号 S e 4 としての第 2 信号である H 信号が出力される。このとき、例えば、第 1 発光素子 1 2 a および第 3 発光素子 2 2 a が発光可能状態に設定され、第 2 発光素子 1 2 b および第 4 発光素子 2 2 b が非発光状態に設定される。

[0214] 例えば、パターン 3 F が採用される場合には、組み合わせ回路 5 2 において、第 1 切替信号 S i 0 としての H 信号および第 2 切替信号 S i 1 としての L 信号が入力されると、第 1 設定制御信号 S e 1 としての第 2 信号である H 信号、第 2 設定制御信号 S e 2 としての第 1 信号である L 信号、第 3 設定制御信号 S e 3 としての第 2 信号である H 信号および第 4 設定制御信号 S e 4 としての第 1 信号である L 信号が出力される。このとき、例えば、第 2 発光素子 1 2 b および第 4 発光素子 2 2 b が発光可能状態に設定され、第 1 発光

素子 1 2 a および第 3 発光素子 2 2 a が非発光状態に設定される。

[0215] <<通常設定モードの設定>>

第 5 実施形態では、例えば、上述したパターン 1 F が採用されれば、第 1 発光素子 1 2 a、第 2 発光素子 1 2 b、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b における発光状態の設定モードが、通常設定モードとなる。より具体的には、例えば、画素回路 1 0 では、並列に接続された第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の両方を発光可能状態とし、直列に接続された第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態とする通常設定モード（第 5 通常設定モードともいう）が採用される。

[0216] このとき、例えば、第 1 設定部 1 3 は、第 1 スイッチとしての第 4 トランジスタ 1 3 a および第 2 スイッチとしての第 5 トランジスタ 1 3 b の両方を導通状態にすることで、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の両方を発光可能状態に設定する。例えば、第 2 設定部 2 3 は、第 3 スイッチとしての第 9 トランジスタ 2 3 a および第 4 スイッチとしての第 1 0 トランジスタ 2 3 b の両方を非導通状態にすることで、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態に設定する。これにより、例えば、上述したように、第 1 副画素回路 1 と第 2 副画素回路 2 との間において素子の特性および発光素子の使用条件のうちの少なくとも一方が異なる場合に、表示装置 1 0 0 の性能が向上し得る。

[0217] <<不良対処設定モードの設定>>

第 5 実施形態では、例えば、パターン 2 F およびパターン 3 F の何れかが採用されれば、第 1 発光素子 1 2 a、第 2 発光素子 1 2 b、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b における発光状態の設定モードが、画素回路 1 0 における発光の不良に対処するモード（不良対処設定モード）となる。この場合には、例えば、第 1 設定部 1 3 は、第 1 スイッチとしての第 4 トランジスタ 1 3 a および第 2 スイッチとしての第 5 トランジスタ 1 3 b のうち的一方を選択的に非導通状態にすることで、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b のうち的一方を選択的に非発光状態に設定する。これにより

、例えば、第1副画素回路1では、第1発光素子12aおよび第2発光素子12bのうちの発光の不良が生じない一方の発光素子が選択的に発光し得る。また、例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bのうちの一方を選択的に導通状態にすることで、第3発光素子22aおよび第4発光素子22bのうちの一方を選択的に非発光状態に設定する。これにより、例えば、第2副画素回路2では、第3発光素子22aおよび第4発光素子22bのうちの発光の不良が生じない一方の発光素子が選択的に発光し得る。

[0218] ここでは、例えば、第2発光素子12bおよび第4発光素子22bのうちの少なくとも一方において接続もしくは素子の不良などで発光の不良が生じる場合には、通常設定モードに対応するパターン1Fの代わりに、不良対処設定モードに対応するパターン2Fが採用されてもよい。この場合には、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bのうちの一方のスイッチとしての第5トランジスタ13bを選択的に非導通状態にすることで、第1発光素子12aおよび第2発光素子12bのうちの一方の第2発光素子12bを選択的に非発光状態に設定する。例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bのうちの一方のスイッチとしての第10トランジスタ23bを選択的に導通状態にすることで、第3発光素子22aおよび第4発光素子22bのうちの一方の第4発光素子22bを選択的に非発光状態に設定する。これにより、例えば、第1副画素回路1では、第1発光素子12aおよび第2発光素子12bのうちの発光の不良が生じない第1発光素子12aが選択的に発光し、第2副画素回路2では、第3発光素子22aおよび第4発光素子22bのうちの発光の不良が生じない第3発光素子22aが選択的に発光し得る。このようにして、例えば、第1発光素子12aおよび第3発光素子22aのそれぞれを発光可能状態に設定し、第2発光素子12bおよび第4発光素子22bのそれぞれを非発光状態に設定する設定モード（第1不

良対処設定モード)が採用される。

[0219] また、例えば、第1発光素子12aおよび第3発光素子22aのうちの少なくとも一方において接続もしくは素子の不良などで発光の不良が生じる場合には、通常設定モードに対応するパターン1Fの代わりに、不良対処設定モードに対応するパターン3Fが採用されてもよい。この場合には、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bのうちの一方のスイッチとしての第4トランジスタ13aを選択的に非導通状態にすることで、第1発光素子12aおよび第2発光素子12bのうちの一方の第1発光素子12aを選択的に非発光状態に設定する。例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bのうちの一方のスイッチとしての第9トランジスタ23aを選択的に導通状態にすることで、第3発光素子22aおよび第4発光素子22bのうちの一方の第3発光素子22aを選択的に非発光状態に設定する。これにより、例えば、第1副画素回路1では、第1発光素子12aおよび第2発光素子12bのうちの発光の不良が生じない第2発光素子12bが選択的に発光し、第2副画素回路2では、第3発光素子22aおよび第4発光素子22bのうちの発光の不良が生じない第4発光素子22bが選択的に発光し得る。このようにして、例えば、第2発光素子12bおよび第4発光素子22bのそれぞれを発光可能状態に設定し、第1発光素子12aおよび第3発光素子22aのそれぞれを非発光状態に設定する設定モード(第2不良対処設定モード)が採用される。

[0220] <<第5実施形態のバリエーション>>

上記第5実施形態において、例えば、図22および図24で示されるように、設定制御部5から第1設定部13に入力される一部の設定制御信号と、設定制御部5から第2設定部23に入力される一部の設定制御信号と、が共通の設定制御信号であってもよい。このような構成が採用されれば、例えば、第1設定部13および第2設定部23に対して設定制御信号を付与するた

めの配線数の削減などの配線構造の簡素化が図られ得る。その結果、例えば、表示装置 100 および表示パネル 100p では、複数の画素回路 10 が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。したがって、例えば、表示装置 100 の性能が向上し得る。

[0221] 図 22 は、第 5 実施形態の第 1 変形例に係る画素回路 10 を示す回路図である。第 5 実施形態の第 1 変形例に係る画素回路 10 は、図 20 で示した第 5 実施形態に係る画素回路 10 の一例と同様な構成の第 1 発光制御部 11、第 1 発光部 12、第 1 設定部 13、第 2 発光制御部 21、第 2 発光部 22 および第 2 設定部 23 を有する。ここでは、例えば、第 5 トランジスタ 13b および第 10 トランジスタ 23b のそれぞれのゲート電極は、第 2 設定制御信号線 SL2 を介して設定制御部 5 に接続している。より具体的には、例えば、設定制御部 5 に接続した第 2 設定制御信号線 SL2 は、途中で分岐して、第 5 トランジスタ 13b および第 10 トランジスタ 23b のそれぞれのゲート電極に接続している。また、例えば、第 4 トランジスタ 13a のゲート電極は、第 1 設定制御信号線 SL1 を介して設定制御部 5 に接続している。例えば、例えば、第 9 トランジスタ 23a のゲート電極は、第 3 設定制御信号線 SL3 を介して設定制御部 5 に接続している。例えば、第 4 設定制御信号線 SL4 は、削除されている。これにより、例えば、第 5 トランジスタ 13b および第 10 トランジスタ 23b のそれぞれのゲート電極には、設定制御部 5 から共通の第 2 設定制御信号 Se2 が入力され得る。

[0222] 図 23 は、組み合わせ回路 52 に入力される切替信号 Si と、組み合わせ回路 52 から出力される設定制御信号と、発光可能状態に設定される発光素子と、の関係の一例を示す真理値表である。ここでは、組み合わせ回路 52 は、例えば、第 1 切替信号 Si0 および第 2 切替信号 Si1 の入力と、第 1 設定制御信号 Se1、第 2 設定制御信号 Se2 および第 3 設定制御信号 Se3 の出力とが、図 23 で示されるような関係となるように、各種の論理出力を実行する。例えば、図 23 で示されるように、第 1 切替信号 Si0 および第 2 切替信号 Si1 の入力と、第 1 設定制御信号 Se1、第 2 設定制御信号

S e 2 および第3 設定制御信号 S e 3 の出力と、の組み合わせとして、3 つのパターン（具体的には、パターン 1 G ～ 3 G）の論理出力が実行され得る。

[0223] 例えば、パターン 1 G が採用される場合には、組み合わせ回路 5 2 では、第 1 切替信号 S i 0 としての L 信号および第 2 切替信号 S i 1 としての L 信号が入力されると、第 1 設定制御信号 S e 1 としての第 1 信号である L 信号、第 2 設定制御信号 S e 2 としての第 1 信号である L 信号および第 3 設定制御信号 S e 3 としての第 1 信号である L 信号が出力される。このとき、例えば、第 1 設定部 1 3 は、第 1 スイッチとしての第 4 トランジスタ 1 3 a および第 2 スイッチとしての第 5 トランジスタ 1 3 b の両方を導通状態にすることで、第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の両方を発光可能状態に設定する。例えば、第 2 設定部 2 3 は、第 3 スイッチとしての第 9 トランジスタ 2 3 a および第 4 スイッチとしての第 1 0 トランジスタ 2 3 b の両方を非導通状態にすることで、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態に設定する。これにより、例えば、第 1 発光素子 1 2 a、第 2 発光素子 1 2 b、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の全てが発光可能状態に設定される。

[0224] ここでは、例えば、上述したパターン 1 G が採用されれば、第 1 発光素子 1 2 a、第 2 発光素子 1 2 b、第 3 発光素子 2 2 a および第 4 発光素子 2 2 b における発光状態の設定モードが、通常設定モードとなる。より具体的には、例えば、画素回路 1 0 では、並列に接続された第 1 発光素子 1 2 a および第 2 発光素子 1 2 b の両方を発光可能状態とし、直列に接続された第 3 発光素子 2 2 a および第 4 発光素子 2 2 b の両方を発光可能状態とする通常設定モード（第 5 通常設定モード）が採用される。この場合には、例えば、上述したように、第 1 副画素回路 1 と第 2 副画素回路 2 との間において素子の特性および発光素子の使用条件のうちの少なくとも一方が異なる場合に、表示装置 1 0 0 の性能が向上し得る。

[0225] また、例えば、パターン 2 G が採用される場合には、組み合わせ回路 5 2

では、第1切替信号 S_{i0} としてのL信号および第2切替信号 S_{i1} としてのH信号が入力されると、第1設定制御信号 S_{e1} としての第1信号であるL信号、第2設定制御信号 S_{e2} としての第2信号であるH信号および第3設定制御信号 S_{e3} としての第1信号であるL信号が出力される。このとき、例えば、第1発光素子12aおよび第3発光素子22aが発光可能状態に設定され、第2発光素子12bおよび第4発光素子22bが非発光状態に設定される。また、例えば、パターン3Gが採用される場合には、組み合わせ回路52では、第1切替信号 S_{i0} としてのH信号および第2切替信号 S_{i1} としてのL信号が入力されると、第1設定制御信号 S_{e1} としての第2信号であるH信号、第2設定制御信号 S_{e2} としての第1信号であるL信号および第3設定制御信号 S_{e3} としての第2信号であるH信号が出力される。このとき、例えば、第2発光素子12bおよび第4発光素子22bが発光可能状態に設定され、第1発光素子12aおよび第3発光素子22aが非発光状態に設定される。

[0226] ここでは、例えば、パターン2Gおよびパターン3Gの何れかが採用されれば、第1発光素子12a、第2発光素子12b、第3発光素子22aおよび第4発光素子22bにおける発光状態の設定モードが、画素回路10における発光の不良に対処する不良対処設定モードとなる。この場合には、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bのうち的一方を選択的に非導通状態にすることで、第1発光素子12aおよび第2発光素子12bのうち的一方を選択的に非発光状態に設定する。これにより、例えば、第1副画素回路1では、第1発光素子12aおよび第2発光素子12bのうちの発光の不良が生じない一方の発光素子が選択的に発光し得る。また、例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bのうち的一方を選択的に導通状態にすることで、第3発光素子22aおよび第4発光素子22bのうち的一方を選択的に非発光状態に設定する。これにより、例えば、第2副画素回路

2では、第3発光素子22aおよび第4発光素子22bのうちの発光の不良が生じない一方の発光素子を選択的に発光し得る。

[0227] 図24は、第5実施形態の第2変形例に係る画素回路10を示す回路図である。第5実施形態の第2変形例に係る画素回路10は、図20で示した第5実施形態に係る画素回路10の一例と同様な構成の第1発光制御部11、第1発光部12、第1設定部13、第2発光制御部21、第2発光部22および第2設定部23を有する。ここでは、例えば、第4トランジスタ13aおよび第9トランジスタ23aのそれぞれのゲート電極は、第1設定制御信号線SL1を介して設定制御部5に接続している。より具体的には、例えば、設定制御部5に接続した第1設定制御信号線SL1は、途中で分岐して、第4トランジスタ13aおよび第9トランジスタ23aのそれぞれのゲート電極に接続している。例えば、第5トランジスタ13bおよび第10トランジスタ23bのゲート電極は、第2設定制御信号線SL2を介して設定制御部5に接続している。より具体的には、例えば、設定制御部5に接続した第2設定制御信号線SL2は、途中で分岐して、第5トランジスタ13bおよび第10トランジスタ23bのそれぞれのゲート電極に接続している。例えば、第3設定制御信号線SL3および第4設定制御信号線SL4は、削除されている。これにより、例えば、第4トランジスタ13aおよび第9トランジスタ23aのそれぞれのゲート電極には、設定制御部5から共通の第1設定制御信号Se1が入力され得る。例えば、第5トランジスタ13bおよび第10トランジスタ23bのそれぞれのゲート電極には、設定制御部5から共通の第2設定制御信号Se2が入力され得る。

[0228] 図25は、組み合わせ回路52に入力される切替信号Siと、組み合わせ回路52から出力される設定制御信号と、発光可能状態に設定される発光素子と、の関係の一例を示す図である。ここでは、組み合わせ回路52は、例えば、第1切替信号Si0および第2切替信号Si1の入力と、第1設定制御信号Se1および第2設定制御信号Se2の出力とが、図25で示されるような関係となるように、各種の論理出力を実行する。例えば、図25で示

されるように、第1切替信号 S_{i0} および第2切替信号 S_{i1} の入力と、第1設定制御信号 S_{e1} および第2設定制御信号 S_{e2} の出力と、の組み合わせとして、3つのパターン（具体的には、パターン1H～3H）の論理出力が実行され得る。

[0229] 例えば、パターン1Hが採用される場合には、組み合わせ回路52では、第1切替信号 S_{i0} としてのL信号および第2切替信号 S_{i1} としてのL信号が入力されると、第1設定制御信号 S_{e1} としての第1信号であるL信号および第2設定制御信号 S_{e2} としての第1信号であるL信号が出力される。このとき、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bの両方を導通状態にすることで、第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定する。例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bの両方を非導通状態にすることで、第3発光素子22aおよび第4発光素子22bの両方を発光可能状態に設定する。これにより、例えば、第1発光素子12a、第2発光素子12b、第3発光素子22aおよび第4発光素子22bの全てが発光可能状態に設定される。

[0230] ここでは、例えば、上述したパターン1Hが採用されれば、第1発光素子12a、第2発光素子12b、第3発光素子22aおよび第4発光素子22bにおける発光状態の設定モードが、通常設定モードとなる。より具体的には、例えば、画素回路10では、並列に接続された第1発光素子12aおよび第2発光素子12bの両方を発光可能状態とし、直列に接続された第3発光素子22aおよび第4発光素子22bの両方を発光可能状態とする通常設定モード（第5通常設定モード）が採用される。この場合には、例えば、上述したように、第1副画素回路1と第2副画素回路2との間において素子の特性および発光素子の使用条件のうちの少なくとも一方が異なる場合に、表示装置100の性能が向上し得る。

[0231] また、例えば、パターン2Hが採用される場合には、組み合わせ回路52

では、第1切替信号 S_{i0} としてのL信号および第2切替信号 S_{i1} としてのH信号が入力されると、第1設定制御信号 S_{e1} としての第1信号であるL信号および第2設定制御信号 S_{e2} としての第2信号であるH信号が出力される。このとき、例えば、第1発光素子12aおよび第3発光素子22aが発光可能状態に設定され、第2発光素子12bおよび第4発光素子22bが非発光状態に設定される。また、例えば、パターン3Hが採用される場合には、組み合わせ回路52では、第1切替信号 S_{i0} としてのH信号および第2切替信号 S_{i1} としてのL信号が入力されると、第1設定制御信号 S_{e1} としての第2信号であるH信号および第2設定制御信号 S_{e2} としての第1信号であるL信号が出力される。このとき、例えば、第2発光素子12bおよび第4発光素子22bが発光可能状態に設定され、第1発光素子12aおよび第3発光素子22aが非発光状態に設定される。

[0232] ここでは、例えば、パターン2Hおよびパターン3Hの何れかが採用されれば、第1発光素子12a、第2発光素子12b、第3発光素子22aおよび第4発光素子22bにおける発光状態の設定モードが、画素回路10における発光の不良に対処する不良対処設定モードとなる。この場合には、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bのうちの一方を選択的に非導通状態にすることで、第1発光素子12aおよび第2発光素子12bのうちの一方を選択的に非発光状態に設定する。これにより、例えば、第1副画素回路1では、第1発光素子12aおよび第2発光素子12bのうちの発光の不良が生じない一方の発光素子が選択的に発光し得る。また、例えば、第2設定部23は、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bのうちの一方を選択的に導通状態にすることで、第3発光素子22aおよび第4発光素子22bのうちの一方を選択的に非発光状態に設定する。これにより、例えば、第2副画素回路2では、第3発光素子22aおよび第4発光素子22bのうちの発光の不良が生じない一方の発光素子が選択的に発光し得る。

[0233] また、例えば、第1スイッチとしての第4トランジスタ13aには、Nチャネルトランジスタが適用されてもよい。この場合には、例えば、第4トランジスタ13aのゲート電極に入力される設定制御信号について、第1信号としてH信号が採用され、第2信号としてL信号が採用されればよい。例えば、第2スイッチとしての第5トランジスタ13bには、Nチャネルトランジスタが適用されてもよい。この場合には、例えば、第5トランジスタ13bのゲート電極に入力される設定制御信号について、第1信号としてH信号が採用され、第2信号としてL信号が採用されればよい。例えば、第3スイッチとしての第9トランジスタ23aには、Pチャネルトランジスタが適用されてもよい。この場合には、例えば、第9トランジスタ23aのゲート電極に入力される設定制御信号について、第1信号としてH信号が採用され、第2信号としてL信号が採用されればよい。例えば、第4スイッチとしての第10トランジスタ23bには、Pチャネルトランジスタが適用されてもよい。この場合には、例えば、第10トランジスタ23bのゲート電極に入力される設定制御信号について、第1信号としてH信号が採用され、第2信号としてL信号が採用されればよい。

[0234] また、ここでは、例えば、画素回路10は、接続形態相違状態と、通常設定モードとしての発光数相違モードと、を有していてもよい。

[0235] 例えば、並列に接続された第1発光素子12aおよび第2発光素子12bの両方を発光可能状態とし、直列に接続された第3発光素子22aおよび第4発光素子22bのうちの何れか一方を選択的に発光可能状態とする設定モード（第3の発光数相違モードともいう）が、通常設定モードとされている態様が考えられる。この場合には、例えば、上記第1実施形態および第2実施形態と同様に、通常設定モードによって、第1副画素回路1では、並列に接続した第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定し、第1発光素子12aおよび第2発光素子12bの両方を発光させる。これにより、例えば、仮に同じ発光強度となるように並列に接続した第1発光素子12aおよび第2発光素子12bの何れか一方を選択的に発光

させる場合と比較して、第1発光素子12aおよび第2発光素子12bのそれぞれにかかる順方向の電圧が低減し得る。その結果、表示装置100において輝度が徐々に低下するグラデーション（輝度むら）が生じ難くなり、表示装置100において画質が向上し得る。また、例えば、仮に同じ発光強度となるように並列に接続した第1発光素子12aおよび第2発光素子12bの何れか一方を選択的に発光させる場合と比較して、第1発光素子12aおよび第2発光素子12bのそれぞれを流れる電流が略半減し得る。その結果、例えば、第1発光素子12aおよび第2発光素子12bの経時劣化が生じ難くなり、表示装置100において画質が向上し得る。

[0236] また、例えば、並列に接続された第1発光素子12aおよび第2発光素子12bのうちの何れか一方を選択的に発光可能状態とし、直列に接続された第3発光素子22aおよび第4発光素子22bの両方を発光可能状態とする設定モード（第4の発光数相違モードともいう）が、通常設定モードとされている態様が考えられる。この場合には、例えば、上記第3実施形態および上記第4実施形態と同様に、通常設定モードによって、第2副画素回路2において、直列に接続した第3発光素子22aおよび第4発光素子22bの両方を発光可能状態に設定し、第3発光素子22aおよび第4発光素子22bの両方を発光させる。これにより、例えば、仮に同じ発光強度となるように直列に接続した第3発光素子22aおよび第4発光素子22bの何れか一方を選択的に発光させる場合と比較して、第3発光素子22aおよび第4発光素子22bのそれぞれに流れる電流が略半分になり得る。その結果、例えば、表示装置100における消費電力が低減し得る。

[0237] したがって、例えば、画素回路10は、接続形態相違状態および発光数相違モードのうちの少なくとも一方を有していれば、第1副画素回路1と第2副画素回路2との間において素子の特性および発光素子の使用条件のうちの少なくとも一方が異なる場合に、表示装置100の性能が向上し得る。換言すれば、例えば、画素回路10においては、第1副画素回路1および第2副画素回路2が、接続形態相違状態および発光数相違状態のうちの少なくとも

一方の相違状態とされていれば、第1副画素回路1と第2副画素回路2との間において素子の特性および発光素子の使用条件のうちの少なくとも一方が異なる場合に、表示装置100の性能が向上し得る。そして、例えば、第1発光素子12aおよび第2発光素子12bのそれぞれが第1色の光を発し、第3発光素子22aおよび第4発光素子22bのそれぞれが第2色の光を発する場合には、画素回路10のうちの発光色が互いに異なる第1副画素回路1と第2副画素回路2との間において、素子の特性および発光素子の使用条件のうちの少なくとも一方の異なる場合に、表示装置100の性能が向上し得る。

[0238] <2-5. 第6実施形態>

上記各実施形態では、例えば、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれが、同様な構成を有しており、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれにおける発光素子の設定を、第1発光設定（両方発光設定）と第2発光設定（一方発光設定）との間で切り替えることが可能であってもよい。ここでは、例えば、第2副画素回路2および第3副画素回路3のそれぞれは、第1副画素回路1と同様な構成を有するため、第1副画素回路1を例示して説明する。ただし、例えば、第1副画素回路1の発光素子が発する光の第1色と、第2副画素回路2の発光素子が発する光の第2色と、第3副画素回路3の発光素子が発する光の第3色と、は相互に異なってもよい。

[0239] <<第6実施形態の第1例>>

図26は、第6実施形態の第1例に係る第1副画素回路1を示す回路図である。図26で示されるように、第6実施形態の第1例に係る第1副画素回路1は、上記第1実施形態に係る第1副画素回路1と同様な構成を有する。ここでは、例えば、第1副画素回路1は、例えば、第1発光部12と、第1設定部13と、を有する。また、第1副画素回路1は、例えば、第1発光制御部11を有する。第1発光部12は、例えば、第1発光素子12aと、第2発光素子12bと、を含む。例えば、第1発光素子12aと第2発光素子

12bとは、並列に接続している。第1設定部13は、例えば、第1発光素子12aおよび第2発光素子12bのそれぞれを発光することができる発光可能状態および発光することができない非発光状態のうちの何れか一方の状態に選択的に設定することができる。第1設定部13は、例えば、第1スイッチとしての第4トランジスタ13aと、第2スイッチとしての第5トランジスタ13bと、を含む。第4トランジスタ13aは、例えば、第1発光素子12aに直列に接続している。第5トランジスタ13bは、例えば、第2発光素子12bに直列に接続している。第4トランジスタ13aおよび第5トランジスタ13bには、例えば、Pチャネルトランジスタが適用される。

[0240] ここで、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bの両方のスイッチを導通状態にすることで、第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定することができる。これにより、例えば、第1副画素回路1では、並列に接続した第1発光素子12aおよび第2発光素子12bを両方とも発光させることで、画素回路10、表示パネル100pおよび表示装置100のそれぞれにおいて、発光に供する発光素子の使用率が向上し得る。よって、例えば、発光素子の過剰な配置による無駄が生じにくい。また、例えば、第1発光素子12aおよび第2発光素子12bのそれぞれを流れる電流が低減され、第1発光素子12aおよび第2発光素子12bの経時劣化が生じ難くなり、表示装置100において画質が向上し得る。

[0241] また、ここで、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aを導通状態として第1発光素子12aを発光可能状態に設定し、第2スイッチとしての第5トランジスタ13bを非導通状態として第2発光素子12bを非発光状態に設定することができる。例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aを非導通状態として第1発光素子12aを非発光状態に設定し、第2スイッチとしての第5トランジスタ13bを導通状態として第2発光素子12bを発光可能状態に設

定することができる。このような構成が採用されることで、例えば、第1発光素子12aおよび第2発光素子12bのうちの発光の不良が生じない一方の発光素子を選択的に発光させることができる。

[0242] 第1設定部13は、例えば、設定制御部5からの設定制御信号に応じて、第1発光素子12aおよび第2発光素子12bのそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に設定することができる。例えば、第4トランジスタ13aのゲート電極には、第1設定制御信号線SL1を介して設定制御部5に接続されている。例えば、第5トランジスタ13bのゲート電極には、第2設定制御信号線SL2を介して設定制御部5に接続されている。設定制御部5は、例えば、複数の信号出力回路51と、組み合わせ回路52と、を有する。ここで、設定制御部5は、例えば、第1副画素回路1ごとに配置されてもよいし、画素回路10ごとに配置されてもよいし、複数の画素回路10ごとに配置されてもよい。

[0243] 図27は、組み合わせ回路52に入力される切替信号Siと、組み合わせ回路52から出力される設定制御信号と、発光可能状態に設定される発光素子と、の関係の一例を示す図である。ここでは、組み合わせ回路52は、例えば、第1切替信号Si0および第2切替信号Si1の入力と、第1設定制御信号Se1および第2設定制御信号Se2の出力とが、図27で示されるような関係となるように、各種の論理出力を実行する。例えば、図27で示されるように、第1切替信号Si0および第2切替信号Si1の入力と、第1設定制御信号Se1および第2設定制御信号Se2の出力と、の組み合わせとして、3つのパターン（具体的には、パターン11～31）の論理出力が実行され得る。

[0244] ここで、例えば、パターン11が採用される場合には、組み合わせ回路52において、第1切替信号Si0としてのL信号および第2切替信号Si1としてのL信号が入力されると、第1設定制御信号Se1としての第1信号であるL信号および第2設定制御信号Se2としての第1信号であるL信号が出力される。このとき、例えば、第1設定部13は、第1スイッチとして

の第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bの両方を導通状態にすることで、第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定する。これにより、例えば、第1発光素子12aおよび第2発光素子12bが発光可能状態に設定される。

[0245] 例えば、パターン21が採用される場合には、組み合わせ回路52において、第1切替信号Si0としてのL信号および第2切替信号Si1としてのH信号が入力されると、第1設定制御信号Se1としての第1信号であるL信号および第2設定制御信号Se2としての第2信号であるH信号が出力される。このとき、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aを導通状態にすることで第1発光素子12aを発光可能状態に設定し、第2スイッチとしての第5トランジスタ13bを非導通状態にすることで第2発光素子12bを非発光状態に設定する。これにより、例えば、第1副画素回路1において、第1発光素子12aおよび第2発光素子12bのうちの発光の不良が生じない第1発光素子12aを選択的に発光させることができる。

[0246] 例えば、パターン31が採用される場合には、組み合わせ回路52において、第1切替信号Si0としてのH信号および第2切替信号Si1としてのL信号が入力されると、第1設定制御信号Se1としての第2信号であるH信号および第2設定制御信号Se2としての第1信号であるL信号が出力される。このとき、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aを非導通状態にすることで第1発光素子12aを非発光状態に設定し、第2スイッチとしての第5トランジスタ13bを導通状態にすることで第2発光素子12bを発光可能状態に設定する。これにより、例えば、第1副画素回路1において、第1発光素子12aおよび第2発光素子12bのうちの発光の不良が生じない第2発光素子12bを選択的に発光させることができる。

[0247] ここで、例えば、第1スイッチとしての第4トランジスタ13aには、Nチャネルトランジスタが適用されてもよい。この場合には、例えば、第4ト

ランジスタ 13a のゲート電極に入力される設定制御信号について、第 1 信号として H 信号が採用され、第 2 信号として L 信号が採用される。例えば、第 2 スイッチとしての第 5 トランジスタ 13b には、N チャネルトランジスタが適用されてもよい。この場合には、例えば、第 5 トランジスタ 13b のゲート電極に入力される設定制御信号について、第 1 信号として H 信号が採用され、第 2 信号として L 信号が採用される。

[0248] <<第 6 実施形態の第 2 例>>

図 28 は、第 6 実施形態の第 2 例に係る第 1 副画素回路 1 を示す回路図である。図 28 で示されるように、第 6 実施形態の第 2 例に係る第 1 副画素回路 1 は、上記第 3 実施形態に係る第 1 副画素回路 1 と同様な構成を有する。ここでは、例えば、第 1 副画素回路 1 は、例えば、第 1 発光部 12 と、第 1 設定部 13 と、を有する。また、第 1 副画素回路 1 は、例えば、第 1 発光制御部 11 を有する。第 1 発光部 12 は、例えば、第 1 発光素子 12a と、第 2 発光素子 12b と、を含む。例えば、第 1 発光素子 12a と第 2 発光素子 12b とは、直列に接続している。第 1 設定部 13 は、例えば、第 1 発光素子 12a および第 2 発光素子 12b のそれぞれを発光することができる発光可能状態および発光することができない非発光状態のうちの何れか一方の状態に選択的に設定することができる。第 1 設定部 13 は、例えば、第 1 スイッチとしての第 4 トランジスタ 13a と、第 2 スイッチとしての第 5 トランジスタ 13b と、を含む。第 4 トランジスタ 13a は、例えば、第 1 発光素子 12a に並列に接続している。第 5 トランジスタ 13b は、例えば、第 2 発光素子 12b に並列に接続している。第 4 トランジスタ 13a および第 5 トランジスタ 13b には、例えば、N チャネルトランジスタが適用される。

[0249] ここで、例えば、第 1 設定部 13 は、第 1 スイッチとしての第 4 トランジスタ 13a および第 2 スイッチとしての第 5 トランジスタ 13b の両方のスイッチを非導通状態にすることで、第 1 発光素子 12a および第 2 発光素子 12b の両方を発光可能状態に設定することができる。例えば、第 1 設定部 13 は、第 1 スイッチとしての第 4 トランジスタ 13a を非導通状態として

第1発光素子12aを発光可能状態に設定し、第2スイッチとしての第5トランジスタ13bを導通状態として第2発光素子12bを非発光状態に設定することができる。例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aを導通状態として第1発光素子12aを非発光状態に設定し、第2スイッチとしての第5トランジスタ13bを非導通状態として第2発光素子12bを発光可能状態に設定することができる。このような構成が採用されることで、例えば、第1副画素回路1において、第1発光素子12aおよび第2発光素子12bのうちの発光の不良が生じない一方の発光素子を選択的に発光させることができる。

[0250] 第1設定部13は、例えば、設定制御部5からの設定制御信号に応じて、第1発光素子12aおよび第2発光素子12bのそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に設定することができる。例えば、第4トランジスタ13aのゲート電極には、第1設定制御信号線SL1を介して設定制御部5に接続されている。例えば、第5トランジスタ13bのゲート電極には、第2設定制御信号線SL2を介して設定制御部5に接続されている。設定制御部5は、例えば、複数の信号出力回路51と、組み合わせ回路52と、を有する。ここで、設定制御部5は、例えば、第1副画素回路1ごとに配置されてもよいし、画素回路10ごとに配置されてもよいし、複数の画素回路10ごとに配置されてもよい。

[0251] ここでも、図27で示されたように、第1切替信号Si0および第2切替信号Si1の入力と、第1設定制御信号Se1および第2設定制御信号Se2の出力と、の組み合わせとして、3つのパターン（具体的には、パターン11～31）の論理出力が実行され得る。

[0252] ここで、例えば、パターン11が採用される場合には、組み合わせ回路52において、第1切替信号Si0としてのL信号および第2切替信号Si1としてのL信号が入力されると、第1設定制御信号Se1としての第1信号であるL信号および第2設定制御信号Se2としての第1信号であるL信号が出力される。このとき、例えば、第1設定部13は、第1スイッチとして

の第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bの両方を非導通状態にすることで、第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定する。これにより、例えば、第1発光素子12aおよび第2発光素子12bが発光可能状態に設定される。

[0253] 例えば、パターン21が採用される場合には、組み合わせ回路52において、第1切替信号Si0としてのL信号および第2切替信号Si1としてのH信号が入力されると、第1設定制御信号Se1としての第1信号であるL信号および第2設定制御信号Se2としての第2信号であるH信号が出力される。このとき、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aを非導通状態にすることで第1発光素子12aを発光可能状態に設定し、第2スイッチとしての第5トランジスタ13bを導通状態にすることで第2発光素子12bを非発光状態に設定する。これにより、例えば、第1副画素回路1において、第1発光素子12aおよび第2発光素子12bのうちの発光の不良が生じない第1発光素子12aを選択的に発光させることができる。

[0254] 例えば、パターン31が採用される場合には、組み合わせ回路52において、第1切替信号Si0としてのH信号および第2切替信号Si1としてのL信号が入力されると、第1設定制御信号Se1としての第2信号であるH信号および第2設定制御信号Se2としての第1信号であるL信号が出力される。このとき、例えば、第1設定部13は、第1スイッチとしての第4トランジスタ13aを導通状態にすることで第1発光素子12aを非発光状態に設定し、第2スイッチとしての第5トランジスタ13bを非導通状態にすることで第2発光素子12bを発光可能状態に設定する。これにより、例えば、第1副画素回路1において、第1発光素子12aおよび第2発光素子12bのうちの発光の不良が生じない第2発光素子12bを選択的に発光させることができる。

[0255] 例えば、第1スイッチとしての第4トランジスタ13aには、Pチャネルトランジスタが適用されてもよい。この場合には、例えば、第4トランジス

タ 1 3 a のゲート電極に入力される設定制御信号について、第 1 信号として H 信号が採用され、第 2 信号として L 信号が採用されればよい。第 2 スイッチとしての第 5 トランジスタ 1 3 b には、P チャネルトランジスタが適用されてもよい。この場合には、例えば、第 5 トランジスタ 1 3 b のゲート電極に入力される設定制御信号について、第 1 信号として H 信号が採用され、第 2 信号として L 信号が採用されればよい。

[0256] < 2 - 6 . 第 7 実施形態 >

図 3 9 は、第 7 実施形態に係る画素回路 1 0 の一例を示す回路図である。第 7 実施形態に係る画素回路 1 0 の一例は、図 4 で示した第 1 実施形態に係る画素回路 1 0 の一例を基礎として、第 1 副画素回路 1 の第 1 設定部 1 3 の構成および第 2 副画素回路 2 の第 2 設定部 2 3 の構成が変更された構成を有する。第 1 設定部 1 3 は、第 1 発光素子 1 2 a と第 2 発光素子 1 2 b とを、直列接続および並列接続のうちのいずれか一方の接続形態に選択的に設定可能に接続している構成を有する。換言すれば、第 1 発光素子 1 2 a と第 2 発光素子 1 2 b とは、直列接続および並列接続のうちのいずれか一方の接続形態に選択的に設定可能に接続されている。第 2 設定部 2 3 は、第 3 発光素子 2 2 a と第 4 発光素子 2 2 b とを、直列接続および並列接続のうちのいずれか一方の接続形態に選択的に設定可能に接続している構成を有する。換言すれば、第 3 発光素子 2 2 a と第 4 発光素子 2 2 b とは、直列接続および並列接続のうちのいずれか一方の接続形態に選択的に設定可能に接続されている。

[0257] 第 1 設定部 1 3 は、第 4 トランジスタ 1 3 a のソース電極が第 1 発光素子 1 2 a の負電極に接続している構成を有する。第 1 設定部 1 3 は、第 4 トランジスタ 1 3 a のドレイン電極と第 5 トランジスタ 1 3 b のドレイン電極とを接続している第 1 1 トランジスタ 1 3 c を含む。第 1 1 トランジスタ 1 3 c は、第 1 発光素子 1 2 a と第 2 発光素子 1 2 b との接続形態を、直列接続および並列接続のうちの何れか一方の接続形態に選択的に設定することができるスイッチ（第 1 接続選択スイッチともいう）である。第 1 1 トランジス

タ 1 3 c のソース電極は、第 4 トランジスタ 1 3 a のドレイン電極に接続している。第 1 1 トランジスタ 1 3 c のドレイン電極は、第 5 トランジスタ 1 3 b のドレイン電極に接続している。この場合、第 4 トランジスタ 1 3 a のゲート電圧が第 1 設定制御信号 S e 1 によって制御され、第 5 トランジスタ 1 3 b のゲート電圧が第 2 設定制御信号 S e 2 によって制御され、第 1 1 トランジスタ 1 3 c のゲート電圧が、設定制御部 5 に接続された信号線（第 5 設定制御信号線ともいう）S L 5 によって設定制御部 5 から伝送される第 5 設定制御信号 S e 5 によって制御される。これにより、第 1 発光素子 1 2 a と第 2 発光素子 1 2 b との接続形態が、直列接続および並列接続のうちの何れか一方の接続形態に選択的に設定される。

[0258] ここで、例えば、第 1 発光素子 1 2 a と第 2 発光素子 1 2 b との接続形態が直列接続である場合、第 4 トランジスタ 1 3 a、第 5 トランジスタ 1 3 b および第 1 1 トランジスタ 1 3 c のそれぞれの状態は、次のように設定されている。第 4 トランジスタ 1 3 a のゲート電極に、設定制御部 5 からの第 1 設定制御信号 S e 1 として第 1 信号である L 信号が入力されて、第 4 トランジスタ 1 3 a は、ソース電極とドレイン電極との間に電流が流れ得る導通状態（オン状態ともいう）に設定されている。第 5 トランジスタ 1 3 b のゲート電極に、設定制御部 5 からの第 2 設定制御信号 S e 2 として第 2 信号である H 信号が入力されて、第 5 トランジスタ 1 3 b は、ソース電極とドレイン電極との間に電流が流れ得ない非導通状態（オフ状態ともいう）に設定されている。第 1 1 トランジスタ 1 3 c のゲート電極に、設定制御部 5 からの第 5 設定制御信号 S e 5 として第 1 信号である L 信号が入力されて、第 1 1 トランジスタ 1 3 c は、導通状態（オン状態）に設定されている。

[0259] ここで、例えば、第 1 発光素子 1 2 a と第 2 発光素子 1 2 b との接続形態が並列接続である場合、第 4 トランジスタ 1 3 a、第 5 トランジスタ 1 3 b および第 1 1 トランジスタ 1 3 c のそれぞれの状態は、次のように設定されている。第 4 トランジスタ 1 3 a のゲート電極に、設定制御部 5 からの第 1 設定制御信号 S e 1 として第 1 信号である L 信号が入力されて、第 4 トラン

ジスタ13aは、導通状態（オン状態）に設定されている。第5トランジスタ13bのゲート電極に、設定制御部5からの第2設定制御信号Se2として第1信号であるL信号が入力されて、第5トランジスタ13bは、導通状態（オン状態）に設定されている。第11トランジスタ13cのゲート電極に、設定制御部5からの第5設定制御信号Se5として第2信号であるH信号が入力されて、第11トランジスタ13cは、非導通状態（オフ状態）に設定されている。

[0260] また、第1設定部13は、第1発光素子12aおよび第2発光素子12bのうちのいずれか一方の発光素子を発光可能状態に設定し、残りの発光素子を非発光状態に設定することができる。別の観点から言えば、第1設定部13は、設定制御部5からの第1設定制御信号Se1、第2設定制御信号Se2および第5設定制御信号Se5などの設定制御信号に応じて、第1発光素子12aおよび第2発光素子12bのそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定することができる。

[0261] 例えば、第1発光素子12aを発光可能状態に設定するとともに、第2発光素子12bを非発光状態に設定する場合、第4トランジスタ13a、第5トランジスタ13bおよび第11トランジスタ13cのそれぞれの状態は、次のように設定される。第4トランジスタ13aのゲート電極に、設定制御部5からの第1設定制御信号Se1として第1信号であるL信号が入力されて、第4トランジスタ13aが導通状態（オン状態）に設定される。第5トランジスタ13bのゲート電極に、設定制御部5からの第2設定制御信号Se2として第2信号であるH信号が入力されて、第5トランジスタ13bが非導通状態（オフ状態）に設定される。第11トランジスタ13cのゲート電極に、設定制御部5からの第5設定制御信号Se5として第2信号であるH信号が入力されて、第11トランジスタ13cが非導通状態（オフ状態）に設定される。

[0262] 例えば、第1発光素子12aを非発光状態に設定するとともに、第2発光素子12bを発光可能状態に設定する場合、第4トランジスタ13a、第5

トランジスタ 13b および第 11 トランジスタ 13c のそれぞれの状態は、次のように設定される。第 4 トランジスタ 13a のゲート電極に、設定制御部 5 からの第 1 設定制御信号 S_{e1} として第 2 信号である H 信号が入力されて、第 4 トランジスタ 13a が非導通状態（オフ状態）に設定される。第 5 トランジスタ 13b のゲート電極に、設定制御部 5 からの第 2 設定制御信号 S_{e2} として第 1 信号である L 信号が入力されて、第 5 トランジスタ 13b が導通状態（オン状態）に設定される。第 11 トランジスタ 13c のゲート電極に、設定制御部 5 からの第 5 設定制御信号 S_{e5} として第 2 信号である H 信号が入力されて、第 11 トランジスタ 13c が非導通状態（オフ状態）に設定される。

- [0263] 第 2 副画素回路 2 の第 2 設定部 23 も、第 1 副画素回路 1 の第 1 設定部 13 と同様な構成および機能を有する。このため、第 2 設定部 23 についての詳細な説明は省く。第 2 設定部 23 は、第 11 トランジスタ 13c に相当する第 12 トランジスタ 23c を含む。第 12 トランジスタ 23c は、第 3 発光素子 22a と第 4 発光素子 22b との接続形態を、直列接続および並列接続のうちの何れか一方の接続形態に選択的に設定することができるスイッチ（第 2 接続選択スイッチともいう）である。第 2 設定部 23 では、第 9 トランジスタ 23a は第 4 トランジスタ 13a に相当し、第 10 トランジスタ 23b は第 5 トランジスタ 13b に相当する。この場合、第 9 トランジスタ 23a のゲート電圧が第 3 設定制御信号 S_{e3} によって制御され、第 10 トランジスタ 23b のゲート電圧が第 4 設定制御信号 S_{e4} によって制御され、第 12 トランジスタ 23c のゲート電圧が、設定制御部 5 に接続された信号線（第 6 設定制御信号線ともいう） $SL6$ によって設定制御部 5 から伝送される第 6 設定制御信号 S_{e6} によって制御される。これにより、第 3 発光素子 22a と第 4 発光素子 22b との接続形態が、直列接続および並列接続のうちの何れか一方の接続形態に選択的に設定される。また、第 2 設定部 23 は、第 3 発光素子 22a および第 4 発光素子 22b のうちのいずれか一方の発光素子を発光可能状態に設定し、残りの発光素子を非発光状態に設定する

ことができる。別の観点から言えば、第2設定部23は、設定制御部5からの第3設定制御信号S_{e3}、第4設定制御信号S_{e4}および第6設定制御信号S_{e6}などの設定制御信号に応じて、第3発光素子22aおよび第4発光素子22bのそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定することができる。

[0264] 図39の例では、第11トランジスタ13cおよび第12トランジスタ23cは、Pチャネルトランジスタであるが、これに限られない。第11トランジスタ13cは、Nチャネルトランジスタに変更されてもよいし、第12トランジスタ23cは、Nチャネルトランジスタに変更されてもよい。換言すれば、第11トランジスタ13cおよび第12トランジスタ23cのそれぞれは、PチャネルトランジスタおよびNチャネルトランジスタのいずれであってもよい。

[0265] <3. その他>

上記各実施形態において、例えば、第1発光制御部11および第2発光制御部21のそれぞれは、種々の回路の構成を有するものに適宜変更されてもよい。

[0266] <<発光制御部の第1変形例>>

例えば、上記各実施形態において、第1副画素回路1の第2トランジスタ11dにNチャネルトランジスタが適用されてもよい。この場合には、例えば、第1電源線L_{vd}と第2電源線L_{vs}との間における、第1発光制御部11、第1設定部13および第1発光部12の配置の順が、上記各実施形態とは逆となる構成が考えられる。また、例えば、上記各実施形態において、第2副画素回路2の第7トランジスタ21dにNチャネルトランジスタが適用されてもよい。この場合には、例えば、第1電源線L_{vd}と第2電源線L_{vs}との間における、第2発光制御部21、第2設定部23および第2発光部22の配置の順が、上記各実施形態とは逆となる構成が考えられる。ここでは、例えば、第1副画素回路1および第2副画素回路2のそれぞれには、同様な回路の構成を適用することができるため、第1副画素回路1の第2ト

ランジスタ 11d に N チャンネルトランジスタが適用された具体例を挙げて説明する。

[0267] 図 29 は、第 2 トランジスタに N チャンネルトランジスタが適用された第 1 副画素回路 1 の一例を示す回路図である。図 29 で示された第 1 副画素回路 1 は、例えば、上記第 1 実施形態、上記第 2 実施形態、上記第 5 実施形態および上記第 6 実施形態の第 1 例のそれぞれにおいて採用され得る。図 29 の例では、第 1 トランジスタ 11g、第 2 トランジスタ 11d、第 3 トランジスタ 11e、第 4 トランジスタ 13a および第 5 トランジスタ 13b のそれぞれに、N チャンネルトランジスタが適用されている。

[0268] ここでは、第 1 発光素子 12a と第 2 発光素子 12b とは、並列に接続している。第 1 発光部 12 は、第 1 アノード電位入力線 1d1 を介して第 1 電源線 Lv d に接続している。より具体的には、第 1 発光素子 12a および第 2 発光素子 12b のそれぞれの第 1 電極としての正電極は、第 1 アノード電位入力線 1d1 を介して第 1 電源線 Lv d に接続している。また、第 1 発光部 12 は、第 1 設定部 13、第 1 発光制御部 11 および第 1 カソード電位入力線 1s1 を介してカソード電位側の電源線としての第 2 電源線 Lv s に接続している。より具体的には、第 1 発光素子 12a および第 2 発光素子 12b のそれぞれの第 2 電極としての負電極は、第 1 設定部 13、第 1 発光制御部 11 および第 1 カソード電位入力線 1s1 を介して第 2 電源線 Lv s に接続している。

[0269] 第 1 発光制御部 11 では、第 1 トランジスタ 11g のゲート電極は、走査信号線 4g に接続している。第 1 トランジスタ 11g のドレイン電極（ソース電極）は、第 1 画像信号線 4s1 に接続している。第 1 トランジスタ 11g のソース電極（ドレイン電極）は、第 2 トランジスタ 11d のゲート電極に接続している。走査信号線 4g からの走査信号としてのオン信号（ここでは、H 信号）が第 1 トランジスタ 11g のゲート電極に入力されると、第 1 トランジスタ 11g は、ドレイン電極とソース電極との間に電流が流れ得る導通状態となる。これにより、第 1 画像信号線 4s1 からの画像信号が第 1

トランジスタ 11g を介して第 2 トランジスタ 11d のゲート電極に付与される。第 2 トランジスタ 11d のソース電極は、第 1 カソード電位入力線 1s1 に接続している。第 2 トランジスタ 11d のドレイン電極は、第 3 トランジスタ 11e、第 1 設定部 13 および第 1 発光部 12 を介して第 1 アノード電位入力線 1d1 に接続している。第 2 トランジスタ 11d では、第 1 画像信号線 4s1 からの画像信号としての H 信号がゲート電極に入力されると、第 2 トランジスタ 11d は、ドレイン電極とソース電極との間に電流が流れ得る導通状態となる。これにより、第 1 アノード電位入力線 1d1 から第 1 発光部 12 に駆動電流が流れ得る。このとき、第 1 発光部 12 は、画像信号のレベル（電位）に応じて、発光の強度（輝度）が制御され得る。第 1 容量素子 11c は、第 2 トランジスタ 11d のゲート電極とソース電極とを接続している接続線上に位置している。第 3 トランジスタ 11e は、第 2 トランジスタ 11d と第 1 発光部 12 とを接続する接続線（第 1 駆動線）上に位置している。第 3 トランジスタ 11e のソース電極は、第 2 トランジスタ 11d のドレイン電極に接続しており、第 3 トランジスタ 11e のドレイン電極は、第 1 設定部 13 を介して第 1 発光部 12 に接続している。より具体的には、第 3 トランジスタ 11e のドレイン電極は、第 1 設定部 13 を介して、第 1 発光素子 12a および第 2 発光素子 12b のそれぞれの負電極に接続している。また、第 3 トランジスタ 11e のゲート電極は、発光制御信号線 4e に接続している。発光制御信号線 4e からの発光制御信号としてのオン信号（ここでは、H 信号）が第 3 トランジスタ 11e のゲート電極に入力されると、第 3 トランジスタ 11e は、ソース電極とドレイン電極との間に電流が流れ得る導通状態となる。これにより、第 1 アノード電位入力線 1d1 から第 1 発光部 12 に駆動電流が流れ、第 1 発光部 12 が発光し得る。

[0270] 第 1 設定部 13 では、第 1 スイッチとしての第 4 トランジスタ 13a は、第 1 発光素子 12a に直列に接続している。第 4 トランジスタ 13a のソース電極は、第 3 トランジスタ 11e のドレイン電極に接続しており、第 4 トランジスタ 13a のドレイン電極は、第 1 発光素子 12a の負電極に接続し

ている。第4トランジスタ13aのゲート電極は、第1設定制御信号線SL1に接続されている。第1設定制御信号線SL1から第1設定制御信号Se1として第1信号であるH信号が第4トランジスタ13aのゲート電極に入力されると、第4トランジスタ13aは、ド레인電極とソース電極との間に電流が流れ得る導通状態となる。これにより、第1発光素子12aは、発光可能状態に設定される。第1設定制御信号線SL1を介して第1設定制御信号Se1として第2信号であるL信号が第4トランジスタ13aのゲート電極に入力されると、第4トランジスタ13aは、ド레인電極とソース電極との間に電流が流れ得ない非導通状態となる。これにより、第1発光素子12aは、非発光状態に設定される。第2スイッチとしての第5トランジスタ13bは、第2発光素子12bに直列に接続している。第5トランジスタ13bのソース電極は、第3トランジスタ11eのド레인電極に接続しており、第5トランジスタ13bのド레인電極は、第2発光素子12bの負電極に接続している。第5トランジスタ13bのゲート電極は、第2設定制御信号線SL2に接続されている。第2設定制御信号線SL2から第2設定制御信号Se2として第1信号であるH信号が第5トランジスタ13bのゲート電極に入力されると、第5トランジスタ13bは、ド레인電極とソース電極との間に電流が流れ得る導通状態となる。これにより、第2発光素子12bは、発光可能状態に設定される。第2設定制御信号線SL2を介して第2設定制御信号Se2として第2信号であるL信号が第5トランジスタ13bのゲート電極に入力されると、第5トランジスタ13bは、ド레인電極とソース電極との間に電流が流れ得ない非導通状態となる。これにより、第2発光素子12bは、非発光状態に設定される。

[0271] ここで、例えば、第1副画素回路1では、第1設定部13は、例えば、第1スイッチとしての第4トランジスタ13aおよび第2スイッチとしての第5トランジスタ13bの両方のスイッチを導通状態にすることで、第1発光素子12aおよび第2発光素子12bの両方を発光可能状態に設定することができる。また、ここで、例えば、第1スイッチとしての第4トランジスタ

13aは、第1発光素子12aの正電極側に配置されてもよい。この場合には、例えば、第1発光素子12aの負電極は、第3トランジスタ11eのドレイン電極に接続し、第1発光素子12aの正電極は、第1スイッチとしての第4トランジスタ13aおよび第1アノード電位入力線1d1を介して第1電源線Lv dに接続している。より具体的には、例えば、第1発光素子12aの正電極は、第4トランジスタ13aのソース電極に接続し、第4トランジスタ13aのドレイン電極は、第1アノード電位入力線1d1を介して第1電源線Lv dに接続している。また、例えば、第2スイッチとしての第5トランジスタ13bは、第2発光素子12bの正電極側に配置されてもよい。この場合には、例えば、第2発光素子12bの負電極は、第3トランジスタ11eのドレイン電極に接続し、第2発光素子12bの正電極は、第2スイッチとしての第5トランジスタ13bおよび第1アノード電位入力線1d1を介して第1電源線Lv dに接続している。より具体的には、例えば、第2発光素子12bの正電極は、第5トランジスタ13bのソース電極に接続し、第5トランジスタ13bのドレイン電極は、第1アノード電位入力線1d1を介して第1電源線Lv dに接続している。

[0272] ここで、上記第1実施形態、上記第2実施形態および上記第6実施形態の第1例のそれぞれにおいて、第2副画素回路2および第3副画素回路3のそれぞれは、図29で示された第1副画素回路1と同様な回路の構成を有していてもよい。この場合には、例えば、第2副画素回路2および第3副画素回路3では、第1設定部13は、例えば、第3スイッチとしての第9トランジスタ23aおよび第4スイッチとしての第10トランジスタ23bのうちの何れか一方のスイッチを導通状態にすることで、第1発光素子12aおよび第2発光素子12bのうちの何れか一方を発光可能状態に設定することができる。

[0273] <<発光制御部の第2変形例>>

例えば、上記各実施形態において、第1副画素回路1の第1発光制御部11には、画像信号のレベル（電位）を駆動素子の閾値電圧に応じて補正する

回路（閾値電圧補正回路ともいう）などの種々の機能を有する各種の回路のうちの1つ以上の回路が組み込まれてもよい。また、例えば、上記各実施形態において、第2副画素回路2の第2発光制御部21には、閾値電圧補正回路などの種々の機能を有する各種の回路のうちの1つ以上の回路が組み込まれてもよい。ここでは、例えば、第1副画素回路1および第2副画素回路2のそれぞれには、同様な回路を組み込むことができるため、第1副画素回路1に閾値電圧補正回路が組み込まれた具体例を挙げて説明する。

[0274] 図30は、閾値電圧補正回路14が組み込まれた第1副画素回路1の一例を示す回路図である。第2副画素回路2および第3副画素回路3のそれぞれには、例えば、図30で示された閾値電圧補正回路14が組み込まれてもよい。図30で示される第1副画素回路1は、図29で示された第1副画素回路1に閾値電圧補正回路14が加えられた構成を有する。図30で示されるように、閾値電圧補正回路14は、例えば、第5スイッチとしての補正用のトランジスタ（第1補正用トランジスタともいう）11pと、第6スイッチとしての補正用のトランジスタ（第2補正用トランジスタともいう）11zと、補正用の容量素子（補正用容量素子ともいう）11iと、を有する。補正用容量素子11iは、第1トランジスタ11gと第2トランジスタ11dのゲート電極とを接続している接続線上に位置している。第1補正用トランジスタ11pは、例えば、第2トランジスタ11dのゲート電極に対して、補正用容量素子11iを介して基準の電位（基準電位ともいう） V_{ref} を付与するための素子である。第1補正用トランジスタ11pには、例えば、Nチャネルトランジスタが適用される。この場合には、第1補正用トランジスタ11pのゲート電極は、例えば、第1補正用トランジスタ11pを導通状態と非導通状態との間で切り替えるための信号（第1開閉切替信号ともいう）を付与する信号線（第1開閉切替信号線ともいう）4rに接続している。第1開閉切替信号線4rには、例えば、駆動部30から所定の配線を介して信号が入力される。第1補正用トランジスタ11pのドレイン電極は、例えば、基準電位 V_{ref} を供給する電源線（第3電源線ともいう）Lv_rに

接続している。第3電源線 L_{vr} は、例えば、第3電源線 L_{vr} に基準電位を付与する電源に接続している。基準電位には、例えば、正の所定の電位が適用される。第1補正用トランジスタ $11p$ のソース電極は、第1トランジスタ $11g$ のソース電極と補正用容量素子 $11i$ とを接続している接続線に接続している。第2補正用トランジスタ $11z$ は、例えば、第2トランジスタ $11d$ のゲート電極と第2トランジスタ $11d$ のドレイン電極とを接続している接続線上に位置している。第2補正用トランジスタ $11z$ は、例えば、第2トランジスタ $11d$ をゲート電極とドレイン電極が接続された状態（ダイオード接続の状態）とするための素子である。第2補正用トランジスタ $11z$ には、例えば、Nチャネルトランジスタが適用される。この場合には、第2補正用トランジスタ $11z$ のゲート電極は、例えば、第2補正用トランジスタ $11z$ を導通状態と非導通状態との間で切り替えるための信号（第2開閉切替信号ともいう）を付与する信号線（第2開閉切替信号線ともいう） $4z$ に接続している。第2開閉切替信号線 $4z$ には、例えば、駆動部30から所定の配線を介して信号が入力される。第2補正用トランジスタ $11z$ のドレイン電極は、例えば、第2トランジスタ $11d$ のゲート電極に接続している。第2補正用トランジスタ $11z$ のソース電極は、例えば、第2トランジスタ $11d$ のドレイン電極に接続している。

[0275] 図31は、閾値電圧補正回路14が組み込まれた第1副画素回路1の動作の一例を示すタイミングチャートである。図31では、第1副画素回路1が画像信号に応じて1回発光する際について、時間の経過に対する、第1開閉切替信号線 $4r$ に付与される第1開閉切替信号の電位 V_r 、走査信号線 $4g$ に付与される走査信号の電位 V_g 、第2開閉切替信号線 $4z$ に付与される第2開閉切替信号の電位 V_a 、および発光制御信号線 $4e$ に付与される発光制御信号の電位 V_e のそれぞれにおける変化が示されている。ここでは、図31で示されるように、次の[i]から[vii]の動作が順に行われる。

[0276] [i] 時刻 t_1 において、第1開閉切替信号線 $4r$ を介して第1補正用トランジスタ $11p$ のゲート電極にH信号が付与されることで、第1補正用ト

ランジスタ 11p がソース電極とドレイン電極との間に電流が流れ得る導通状態となる。このとき、第2トランジスタ 11d のゲート電極に、基準電位 V_{ref} に応じた正電位が補正用容量素子 11i を介して付与される。

[0277] [ii] 時刻 t_2 において、第2開閉切替信号線 4z を介して第2補正用トランジスタ 11z のゲート電極にH信号が付与されることで、第2補正用トランジスタ 11z がソース電極とドレイン電極との間に電流が流れ得る導通状態となる。このとき、第2トランジスタ 11d が、ゲート電極とドレイン電極が接続されたダイオード接続の状態となる。これにより、第2トランジスタ 11d におけるゲート電極とソース電極との間の電圧（ゲート電圧ともいう） V_{gs} が、第2トランジスタ 11d の閾値電圧 V_{th} に至るまで、第2トランジスタ 11d においてゲート電極からドレイン電極を経てソース電極に電流が流れる。

[0278] [iii] 時刻 t_3 において、第2開閉切替信号線 4z を介して第2補正用トランジスタ 11z のゲート電極にL信号が付与されることで、第2補正用トランジスタ 11z がソース電極とドレイン電極との間に電流が流れ得ない非導通状態となる。このとき、第2トランジスタ 11d におけるゲート電圧 V_{gs} が、閾値電圧 V_{th} に維持される。

[0279] [iv] 時刻 t_4 において、第1開閉切替信号線 4r を介して第1補正用トランジスタ 11p のゲート電極にL信号が付与されることで、第1補正用トランジスタ 11p がソース電極とドレイン電極との間に電流が流れ得ない非導通状態となる。このとき、第1容量素子 11c によって、第2トランジスタ 11d におけるゲート電圧 V_{gs} が、閾値電圧 V_{th} に維持される。

[0280] [v] 時刻 t_5 において、走査信号線 4g を介して第1トランジスタ 11g のゲート電極にH信号が付与されることで、走査信号線 4g がソース電極とドレイン電極との間に電流が流れ得る導通状態となる。このとき、画像信号線 4s から第1トランジスタ 11g および補正用容量素子 11i を介して、画像信号の電位 V_{sig} に応じた電位が、第2トランジスタ 11d のゲート電極に付与される。これにより、例えば、第2トランジスタ 11d のゲー

ト電圧 V_{gs} が、 $V_{gs} = V_{th} + (V_{sig} - V_{ref})$ の関係を満たす電圧となるように、画像信号の電位の入力（書き換え）が行われる。その結果、画像信号の電位に応じた第2トランジスタ11dのゲート電圧 V_{gs} が、第1副画素回路1ごとに異なる第2トランジスタ11dの閾値電圧 V_{th} に応じて補償された値となる。ここでは、例えば、第2トランジスタ11dのゲート電圧 V_{gs} のうちの電圧 ($V_{sig} - V_{ref}$) が、第2トランジスタ11dのドレイン電極とソース電極との間を流れる電流（ドレイン電流ともいう） I_d の大きさを制御する。

[0281] [vi] 時刻 t_6 において、走査信号線4gを介して第1トランジスタ11gのゲート電極にL信号が付与されることで、第1トランジスタ11gがソース電極とドレイン電極との間に電流が流れ得ない非導通状態となる。これにより、第2トランジスタ11dに対する画像信号の電位の入力（書き換え）が終了する。

[0282] [vii] 時刻 t_7 において、発光制御信号線4eを介して第3トランジスタ11eのゲート電極にH信号が付与されることで、第3トランジスタ11eがソース電極とドレイン電極との間に電流が流れ得る導通状態となる。これにより、第1電源線 L_{vd} から第2電源線 L_{vs} に向けて、第2トランジスタ11dのゲート電圧 V_{gs} （実質的には、電圧 ($V_{sig} - V_{ref}$)）に応じた電流（駆動電流）が流れ、第1発光部12が発光する。このとき、第4トランジスタ13aおよび第5トランジスタ13bにおける導通状態および非導通状態に応じて、第1発光部12における第1発光素子12aおよび第2発光素子12bのうちの少なくとも一方が発光する。

[0283] <<発光制御部の第3変形例>>

例えば、上記第1実施形態、上記第2実施形態、上記第5実施形態および上記第6実施形態の第1例において、第1副画素回路1の第1発光制御部11は、冗長に設けられ且つ並列に接続された第1発光素子12aおよび第2発光素子12bに対応するように、各素子が適宜冗長に設けられた2つの素子に変更された回路の構成を有していてもよい。例えば、第1発光制御部1

1は、2つの第3トランジスタ11eを有していてもよいし、2つの第3トランジスタ11eと2つの第2トランジスタ11dとを有していてもよいし、2つの第3トランジスタ11eと2つの第2トランジスタ11dと2つの第1容量素子11cとを有していてもよい。また、例えば、上記第1実施形態および上記第2実施形態において、第2副画素回路2の第2発光制御部21は、冗長に設けられ且つ並列に接続された第3発光素子22aおよび第4発光素子22bに対応するように、各素子が適宜冗長に設けられた2つの素子に変更された回路の構成を有していてもよい。例えば、第2発光制御部21は、2つの第8トランジスタ21eを有していてもよいし、2つの第8トランジスタ21eと2つの第7トランジスタ21dとを有していてもよいし、2つの第8トランジスタ21eと2つの第7トランジスタ21dと2つの第2容量素子21cとを有していてもよい。ここでは、例えば、第1副画素回路1の第1発光制御部11および第2副画素回路2の第2発光制御部21のそれぞれは、同様な態様で各素子が冗長に設けられた2つの素子に変更された回路の構成を有することができる。このため、第1副画素回路1の第1発光制御部11が、各素子が冗長に設けられた2つの素子に変更された回路の構成を有する具体例を挙げて説明する。

[0284] 図32は、冗長に設けられた2つの第3トランジスタ11eを有する第1副画素回路1の一例を示す回路図である。図32で示されるように、2つの第3トランジスタ11eは、第3Aトランジスタ11eaおよび第3Bトランジスタ11ebを含む。ここでは、例えば、第2トランジスタ11dと第1カソード電位入力線1s1との間において、直列に接続された第3Aトランジスタ11ea、第4トランジスタ13aおよび第1発光素子12aと、直列に接続された第3Bトランジスタ11eb、第5トランジスタ13bおよび第2発光素子12bと、が並列に接続されている。図32の例では、第3Aトランジスタ11eaおよび第4トランジスタ13aにPチャネルトランジスタが適用されており、第2トランジスタ11dのドレイン電極に第3Aトランジスタ11eaのソース電極が接続し、第3Aトランジスタ11e

aのドレイン電極に第4トランジスタ13aのソース電極が接続し、第4トランジスタ13aのドレイン電極に第1発光素子12aの正電極が接続し、第1発光素子12aの負電極が第1カソード電位入力線1s1に接続している。また、図32の例では、第3Bトランジスタ11ebおよび第5トランジスタ13bにPチャネルトランジスタが適用されており、第2トランジスタ11dのドレイン電極に第3Bトランジスタ11ebのソース電極が接続し、第3Bトランジスタ11ebのドレイン電極に第5トランジスタ13bのソース電極が接続し、第5トランジスタ13bのドレイン電極に第2発光素子12bの正電極が接続し、第2発光素子12bの負電極が第1カソード電位入力線1s1に接続している。ここで、例えば、第3Aトランジスタ11ea、第4トランジスタ13aおよび第1発光素子12aは、任意の順番で直列に接続していてもよいし、第3Bトランジスタ11eb、第5トランジスタ13bおよび第2発光素子12bは任意の順番で直列に接続していてもよい。第3Aトランジスタ11eaのゲート電極および第3Bトランジスタ11ebのゲート電極は、例えば、ともに発光制御信号線4eに接続している。

[0285] 図33は、冗長に設けられた2つの第2トランジスタ11dおよび2つの第3トランジスタ11eを有する第1副画素回路1の一例を示す回路図である。図33で示されるように、2つの第2トランジスタ11dは、第2Aトランジスタ11daおよび第2Bトランジスタ11dbを含む。2つの第3トランジスタ11eは、第3Aトランジスタ11eaおよび第3Bトランジスタ11ebを含む。ここでは、例えば、第1アノード電位入力線1d1と第1カソード電位入力線1s1との間において、直列に接続された第2Aトランジスタ11da、第3Aトランジスタ11ea、第4トランジスタ13aおよび第1発光素子12aと、直列に接続された第2Bトランジスタ11db、第3Bトランジスタ11eb、第5トランジスタ13bおよび第2発光素子12bと、が並列に接続されている。図33の例では、第2Aトランジスタ11da、第3Aトランジスタ11eaおよび第4トランジスタ13

aにPチャネルトランジスタが適用されており、第1アノード電位入力線1 d lに第2 Aトランジスタ1 1 d aのソース電極が接続し、第2 Aトランジスタ1 1 d aのドレイン電極に第3 Aトランジスタ1 1 e aのソース電極が接続し、第3 Aトランジスタ1 1 e aのドレイン電極に第4 トランジスタ1 3 aのソース電極が接続し、第4 トランジスタ1 3 aのドレイン電極に第1 発光素子1 2 aの正電極が接続し、第1 発光素子1 2 aの負電極が第1 カソード電位入力線1 s lに接続している。また、図3 3の例では、第2 Bトランジスタ1 1 d b、第3 Bトランジスタ1 1 e bおよび第5 トランジスタ1 3 bにPチャネルトランジスタが適用されており、第1アノード電位入力線1 d lに第2 Bトランジスタ1 1 d bのソース電極が接続し、第2 Bトランジスタ1 1 d bのドレイン電極に第3 Bトランジスタ1 1 e bのソース電極が接続し、第3 Bトランジスタ1 1 e bのドレイン電極に第5 トランジスタ1 3 bのソース電極が接続し、第5 トランジスタ1 3 bのドレイン電極に第2 発光素子1 2 bの正電極が接続し、第2 発光素子1 2 bの負電極が第1 カソード電位入力線1 s lに接続している。ここで、例えば、第2 Aトランジスタ1 1 d a、第3 Aトランジスタ1 1 e a、第4 トランジスタ1 3 aおよび第1 発光素子1 2 aは、任意の順番で直列に接続していてもよいし、第2 Bトランジスタ1 1 d b、第3 Bトランジスタ1 1 e b、第5 トランジスタ1 3 bおよび第2 発光素子1 2 bは任意の順番で直列に接続していてもよい。第1 容量素子1 1 cは、例えば、第2 Aトランジスタ1 1 d aのゲート電極とソース電極とを接続しているとともに第2 Bトランジスタ1 1 d bのゲート電極とソース電極とを接続している接続線上に位置している。第2 Aトランジスタ1 1 d aのゲート電極および第2 Bトランジスタ1 1 d bのゲート電極は、例えば、ともに第1 トランジスタ1 1 gのドレイン電極に接続している。第3 Aトランジスタ1 1 e aのゲート電極および第3 Bトランジスタ1 1 e bのゲート電極は、例えば、ともに発光制御信号線4 eに接続されている。

[0286] 図3 4は、冗長に設けられた2つの第1 容量素子1 1 c、2つの第2トラ

ンジスタ 11d および 2 つの第 3 トランジスタ 11e を有する第 1 副画素回路 1 の一例を示す回路図である。図 34 の第 1 副画素回路 1 は、図 33 の第 1 副画素回路 1 の構成をベースとして、第 1 容量素子 11c が、冗長に設けられた 2 つの第 1 容量素子 11c に変更された構成を有する。図 34 で示されるように、2 つの第 1 容量素子 11c は、第 1 A 容量素子 11ca および第 1 B 容量素子 11cb を含む。第 1 A 容量素子 11ca は、例えば、第 2 A トランジスタ 11da のゲート電極とソース電極とを接続している接続線上に位置している。第 1 B 容量素子 11cb は、例えば、第 2 B トランジスタ 11db のゲート電極とソース電極とを接続している接続線上に位置している。ここでは、例えば、第 2 A トランジスタ 11da、第 3 A トランジスタ 11ea、第 4 トランジスタ 13a および第 1 発光素子 12a は、任意の順番で直列に接続していてもよいし、第 2 B トランジスタ 11db、第 3 B トランジスタ 11eb、第 5 トランジスタ 13b および第 2 発光素子 12b は任意の順番で直列に接続していてもよい。図 35 は、第 1 発光制御部 11 を介して第 1 設定部 13 と第 1 発光部 12 とが接続された第 1 副画素回路 1 の一例を示す回路図である。図 35 の例では、第 1 設定部 13 の第 4 トランジスタ 13a と第 1 発光部 12 の第 1 発光素子 12a とが、第 1 発光制御部 11 の第 2 A トランジスタ 11da および第 3 A トランジスタ 11ea を介して接続している。また、図 35 の例では、第 1 設定部 13 の第 5 トランジスタ 13b と第 1 発光部 12 の第 2 発光素子 12b とが、第 1 発光制御部 11 の第 2 B トランジスタ 11db および第 3 B トランジスタ 11eb を介して接続している。

[0287] 上記各実施形態において、例えば、図 36 で示されるように、複数の表示装置 100 がタイル状に並べられた 1 つのディスプレイ（タイリングディスプレイ、マルチディスプレイともいう）700 を構成していてもよい。図 36 は、タイリングディスプレイ 700 の一例を模式的に示す正面図である。図 36 の例では、タイリングディスプレイ 700 は、XZ 平面に沿ってマトリックス状に並べられた複数の表示装置 100 を有する。複数の表示装置 1

00のそれぞれは、例えば、平板状である。

[0288] すなわち、複合型表示装置としてのマルチディスプレイ700は、複数の表示装置100を備えている。換言すれば、複合型表示装置は、複数の表示装置100が複合された一体的な表示装置の形態を有する。これらの複数の表示装置100は、基板20の側面F3同士が互いに近接または接していることによって、複合型表示面を構成している。複合型表示面は、複数の表示面（第1面F1）が複合された一体的な表示面の形態を有する。基板20の側面F3同士は接着剤を介して接着されていてもよい。また、複合型表示装置としてのマルチディスプレイ700は、ベース基板上に複数の表示装置100が位置し、ベース基板に対して複数の表示装置100が固定されていることで、基板20の側面F3同士が互いに近接または接している構成を有していてもよい。この構成が採用された場合、基板20の側面F3同士は接着されていなくてもよい。複数の表示装置100は、ベース基板上に、ネジ止め、枠状部への嵌合、もしくは接着などの固定手段によって固定されてもよい。複合型表示面は、全体として平面、球面などの曲面、または複雑な立体的な面（複雑立体面ともいう）などを構成していてもよい。

[0289] 上記各実施形態において、例えば、画素回路10は、少なくとも第1副画素回路1と第2副画素回路2とを有していればよい。画素回路10は、例えば、第1副画素回路1および第2副画素回路2に加えて、第1副画素回路1と同様な構成を有する他の1つ以上の副画素回路を有していてもよい。この場合には、例えば、第1副画素回路1および他の1つ以上の副画素回路のそれぞれにおける第1スイッチとしての第4トランジスタ13aのゲート電極が共通の設定制御信号線（例えば、第1設定制御信号線SL1など）に接続していてもよいし、第1副画素回路1および他の1つ以上の副画素回路のそれぞれにおける第2スイッチとしての第5トランジスタ13bのゲート電極が共通の設定制御信号線（例えば、第2設定制御信号線SL2など）に接続していてもよい。ここで、上記第7実施形態においては、例えば、第1副画素回路1および他の1つ以上の副画素回路のそれぞれにおける第1接続選択

スイッチとしての第11トランジスタ13cのゲート電極が共通の設定制御信号線（例えば、第5設定制御信号線SL5など）に接続していてもよい。

また、画素回路10は、例えば、第1副画素回路1および第2副画素回路2に加えて、第2副画素回路2と同様な構成を有する他の1つ以上の副画素回路を有していてもよい。この場合には、例えば、第2副画素回路2および他の1つ以上の副画素回路のそれぞれにおける第3スイッチとしての第9トランジスタ23aのゲート電極が共通の設定制御信号線（例えば、第3設定制御信号線SL3など）に接続していてもよいし、第2副画素回路2および他の1つ以上の副画素回路のそれぞれにおける第4スイッチとしての第10トランジスタ23bのゲート電極が共通の設定制御信号線（例えば、第4設定制御信号線SL4など）に接続していてもよい。ここで、上記第7実施形態においては、例えば、第2副画素回路2および他の1つ以上の副画素回路のそれぞれにおける第2接続選択スイッチとしての第12トランジスタ23cのゲート電極が共通の設定制御信号線（例えば、第6設定制御信号線SL6など）に接続していてもよい。

[0290] 上記各実施形態において、例えば、設定制御部5は、駆動部30の一部の機能とされてもよい。この場合には、例えば、駆動部30が、第1設定制御信号線SL1、第2設定制御信号線SL2、第3設定制御信号線SL3および第4設定制御信号線SL4などの信号線を介して、各画素回路10の第1設定部13および第2設定部23に、第1設定制御信号Se1、第2設定制御信号Se2、第3設定制御信号Se3および第4設定制御信号Se4などの設定制御信号を出力してもよい。このような構成が採用されれば、例えば、駆動部30によって、全ての画素回路10について一括で設定モードが通常設定モードから不良対処設定モードに変更されるような態様が実現され得る。ここで、上記第7実施形態においては、例えば、駆動部30が、第5設定制御信号線SL5および第6設定制御信号線SL6などの信号線を介して、各画素回路10の第1設定部13および第2設定部23に、第5設定制御信号Se5および第6設定制御信号Se6などの設定制御信号を出力しても

よい。

[0291] 上記各実施形態において、例えば、表示装置 100 および表示パネル 100 p における複数の画素回路 10 のうちの全ての画素回路 10 もしくは一部の画素回路 10 が、通常設定モードを有していてもよいし、通常設定モードに加えて不良対処設定モードを有していてもよい。

[0292] 上記各実施形態および各種変形例をそれぞれ構成する全部または一部を、適宜、矛盾しない範囲で組み合わせ可能であることは、言うまでもない。

符号の説明

- [0293] 1 第1副画素回路
10 画素回路
100 表示装置
100 p 表示パネル
11 第1発光制御部
11 c 第1容量素子
11 d 第2トランジスタ
11 e 第3トランジスタ
11 g 第1トランジスタ
12 第1発光部
12 a 第1発光素子
12 b 第2発光素子
13 第1設定部
13 a 第4トランジスタ
13 b 第5トランジスタ
2 第2副画素回路
21 第2発光制御部
21 c 第2容量素子
21 d 第7トランジスタ
21 e 第8トランジスタ

2 1 g 第6トランジスタ

2 2 第2発光部

2 2 a 第3発光素子

2 2 b 第4発光素子

2 3 第2設定部

2 3 a 第9トランジスタ

2 3 b 第10トランジスタ

3 第3副画素回路

3 0 駆動部

5 設定制御部

7 0 0 マルチディスプレイ（タイリングディスプレイ、複合型表示装置
）

F 1 表示面（第1面）

F 2 反表示面（第2面）

F 3 側面

S e 1 第1設定制御信号

S e 2 第2設定制御信号

S e 3 第3設定制御信号

S e 4 第4設定制御信号

請求の範囲

[請求項1]

第1発光素子と、第2発光素子と、前記第1発光素子および前記第2発光素子のそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定する第1設定部と、を有する第1副画素回路と、

第3発光素子と、第4発光素子と、前記第3発光素子および前記第4発光素子のそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定する第2設定部と、を有する第2副画素回路と、を備え、

前記第1発光素子と前記第2発光素子との接続形態と、前記第3発光素子と前記第4発光素子との接続形態と、について、直列接続と並列接続との間で異ならせた接続形態の相違状態を接続形態相違状態とし、

前記第1設定部による前記第1発光素子および前記第2発光素子の発光状態の設定態様と、前記第2設定部による前記第3発光素子および前記第4発光素子の発光状態の設定態様と、について、両方の発光素子が発光可能状態とする第1発光設定と一方の発光素子を選択的に発光可能状態とする第2発光設定との間で異ならせた発光数設定の相違状態を発光数相違状態としたとき、

前記第1副画素回路および前記第2副画素回路は、前記接続形態相違状態および前記発光数相違状態のうちの少なくとも一方の相違状態とされている、画素回路。

[請求項2]

請求項1に記載の画素回路であって、

前記第1発光素子および前記第2発光素子のそれぞれは、第1色の光を発し、

前記第3発光素子および前記第4発光素子のそれぞれは、前記第1色とは異なる第2色の光を発する、画素回路。

[請求項3]

請求項1または請求項2に記載の画素回路であって、

前記第1発光素子と前記第2発光素子とは、並列に接続しており、
前記第1設定部は、前記第1発光素子に直列に接続した第1スイッチと、前記第2発光素子に直列に接続した第2スイッチと、を含み、
前記第1スイッチおよび前記第2スイッチの両方を導通状態にすることで、前記第1発光素子および前記第2発光素子の両方を発光可能状態に設定し、

前記第3発光素子と前記第4発光素子とは、並列に接続しており、
前記第2設定部は、前記第3発光素子に直列に接続した第3スイッチと、前記第4発光素子に直列に接続した第4スイッチと、を含み、
前記第3スイッチおよび前記第4スイッチのうちの何れか一方を選択的に導通状態にすることで、前記第3発光素子および前記第4発光素子のうちの何れか一方を選択的に発光可能状態に設定する、画素回路。

[請求項4] 請求項3に記載の画素回路であって、

前記第3スイッチが第1導電型のトランジスタを含み且つ前記第4スイッチが前記第1導電型とは逆の第2導電型のトランジスタを含むか、あるいは前記第3スイッチが前記第2導電型のトランジスタを含み且つ前記第4スイッチが前記第1導電型のトランジスタを含む、画素回路。

[請求項5] 請求項1または請求項2に記載の画素回路であって、

前記第1発光素子と前記第2発光素子とは、直列に接続しており、
前記第1設定部は、前記第1発光素子に並列に接続した第1スイッチと、前記第2発光素子に並列に接続した第2スイッチと、を含み、
前記第1スイッチおよび前記第2スイッチのうちの何れか一方を選択的に非導通状態にすることで、前記第1発光素子および前記第2発光素子のうちの何れか一方を選択的に発光可能状態に設定し、

前記第3発光素子と前記第4発光素子とは、直列に接続しており、
前記第2設定部は、前記第3発光素子に並列に接続した第3スイッ

チと、前記第4発光素子に並列に接続した第4スイッチと、を含み、前記第3スイッチおよび前記第4スイッチの両方を非導通状態にすることで、前記第3発光素子および前記第4発光素子の両方を発光可能状態に設定する、画素回路。

[請求項6] 請求項5に記載の画素回路であって、

前記第1スイッチが第1導電型のトランジスタを含み且つ前記第2スイッチが前記第1導電型とは逆の第2導電型のトランジスタを含むか、あるいは前記第1スイッチが前記第2導電型のトランジスタを含み且つ前記第2スイッチが前記第1導電型のトランジスタを含む、画素回路。

[請求項7] 請求項1または請求項2に記載の画素回路であって、

前記第1発光素子と前記第2発光素子とは、並列に接続しており、

前記第1設定部は、前記第1発光素子に直列に接続した第1スイッチと、前記第2発光素子に直列に接続した第2スイッチと、を含み、前記第1スイッチおよび前記第2スイッチの両方を導通状態にすることで、前記第1発光素子および前記第2発光素子の両方を発光可能状態に設定し、

前記第3発光素子と前記第4発光素子とは、直列に接続しており、

前記第2設定部は、前記第3発光素子に並列に接続した第3スイッチと、前記第4発光素子に並列に接続した第4スイッチと、を含み、前記第3スイッチおよび前記第4スイッチの両方を非導通状態にすることで、前記第3発光素子および前記第4発光素子の両方を発光可能状態に設定する、画素回路。

[請求項8] 請求項3、請求項4および請求項7の何れか1つの請求項に記載の画素回路であって、

前記第1設定部は、前記第1スイッチおよび前記第2スイッチのうちの何れか一方を選択的に非導通状態にすることで、前記第1発光素子および前記第2発光素子のうちの一方を選択的に非発光状態に設定

する、画素回路。

[請求項9] 請求項5から請求項7の何れか1つの請求項に記載の画素回路であって、

前記第2設定部は、前記第3スイッチおよび前記第4スイッチのうちの何れか一方のスイッチを選択的に導通状態にすることで、前記第3発光素子および前記第4発光素子のうちの一方を選択的に非発光状態に設定する、画素回路。

[請求項10] 請求項1から請求項9の何れか1つの請求項に記載の画素回路であって、

前記第1設定部および前記第2設定部に対して設定制御信号を出力する設定制御部、を備え、

前記第1設定部は、前記設定制御信号に応じて、前記第1発光素子および前記第2発光素子のそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定し、

前記第2設定部は、前記設定制御信号に応じて、前記第3発光素子および前記第4発光素子のそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定する、画素回路。

[請求項11] 請求項1または請求項2に記載の画素回路であって、

前記第1発光素子と前記第2発光素子とは、直列接続および並列接続のうちのいずれか一方の接続形態に選択的に設定可能に接続されており、

前記第3発光素子と前記第4発光素子とは、直列接続および並列接続のうちのいずれか一方の接続形態に選択的に設定可能に接続されている、画素回路。

[請求項12] 請求項1から請求項9および請求項11の何れか1つの請求項に記載の画素回路を複数備える表示パネルであって、

複数の前記画素回路のそれぞれにおける前記第1設定部および前記第2設定部に対して設定制御信号を出力する設定制御部を備え、

前記第 1 設定部は、前記設定制御信号に応じて、前記第 1 発光素子および前記第 2 発光素子のそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定し、

前記第 2 設定部は、前記設定制御信号に応じて、前記第 3 発光素子および前記第 4 発光素子のそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定する、表示パネル。

[請求項13] 請求項 10 に記載の画素回路を複数備える表示パネルであって、複数の前記画素回路は、それぞれ前記設定制御部を含む、表示パネル。

[請求項14] 請求項 12 または請求項 13 に記載の表示パネルと、
複数の前記画素回路に電氣的に接続している駆動部と、を備えている、表示装置。

[請求項15] 請求項 1 から請求項 9 および請求項 11 の何れか 1 つの請求項に記載の画素回路を複数備える表示装置であって、

複数の前記画素回路に電氣的に接続している駆動部を備え、

該駆動部は、複数の前記画素回路のそれぞれにおける前記第 1 設定部および前記第 2 設定部に対して設定制御信号を出力し、

複数の前記画素回路のそれぞれにおいて、前記第 1 設定部は、前記設定制御信号に応じて、前記第 1 発光素子および前記第 2 発光素子のそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定し、前記第 2 設定部は、前記設定制御信号に応じて、前記第 3 発光素子および前記第 4 発光素子のそれぞれを発光可能状態および非発光状態のうちの何れか一方の状態に選択的に設定する、表示装置。

[請求項16] 請求項 14 または請求項 15 に記載の表示装置であって、
表示面と、前記表示面とは反対側の反表示面と、前記表示面と前記反表示面とを繋ぐ側面と、を有する基板を備え、

複数の前記画素回路は、前記基板の前記表示面の側に位置しており、

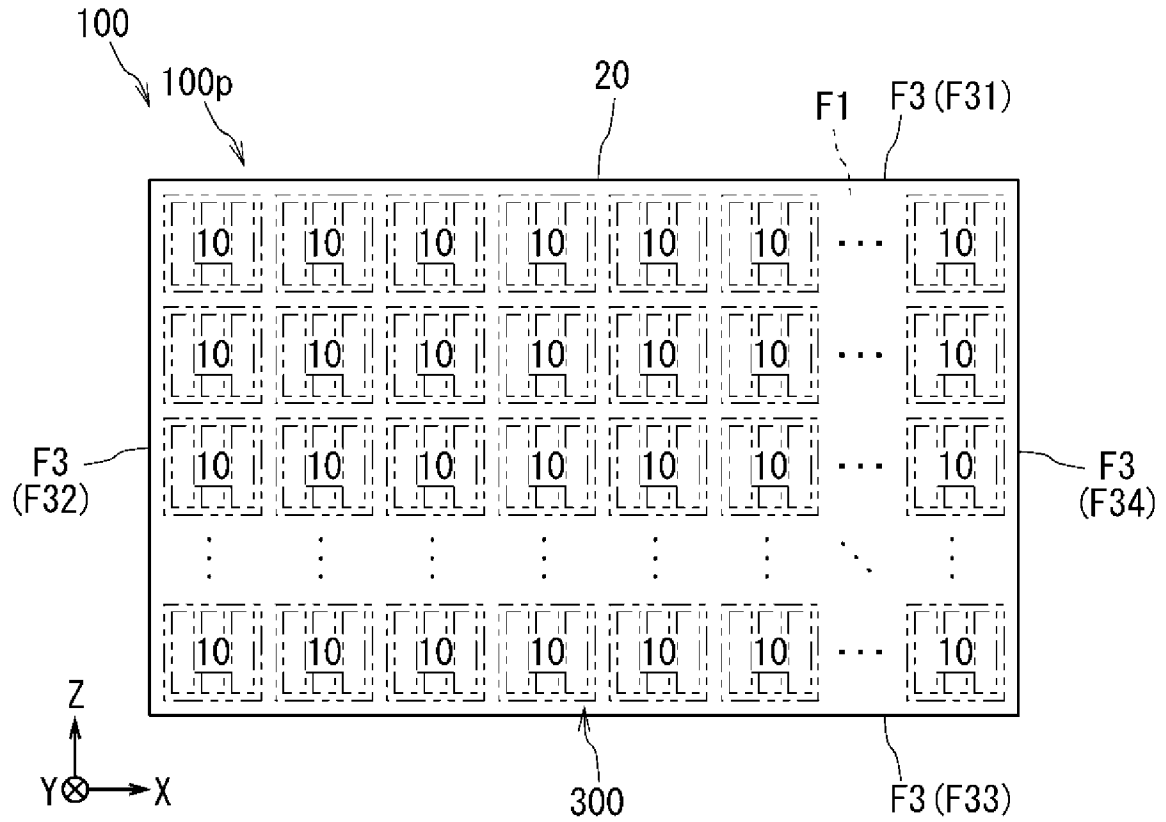
前記駆動部は、前記基板の前記反表示面の側に位置している、表示装置。

[請求項17] 請求項16に記載の表示装置を複数備えた複合型表示装置であって、

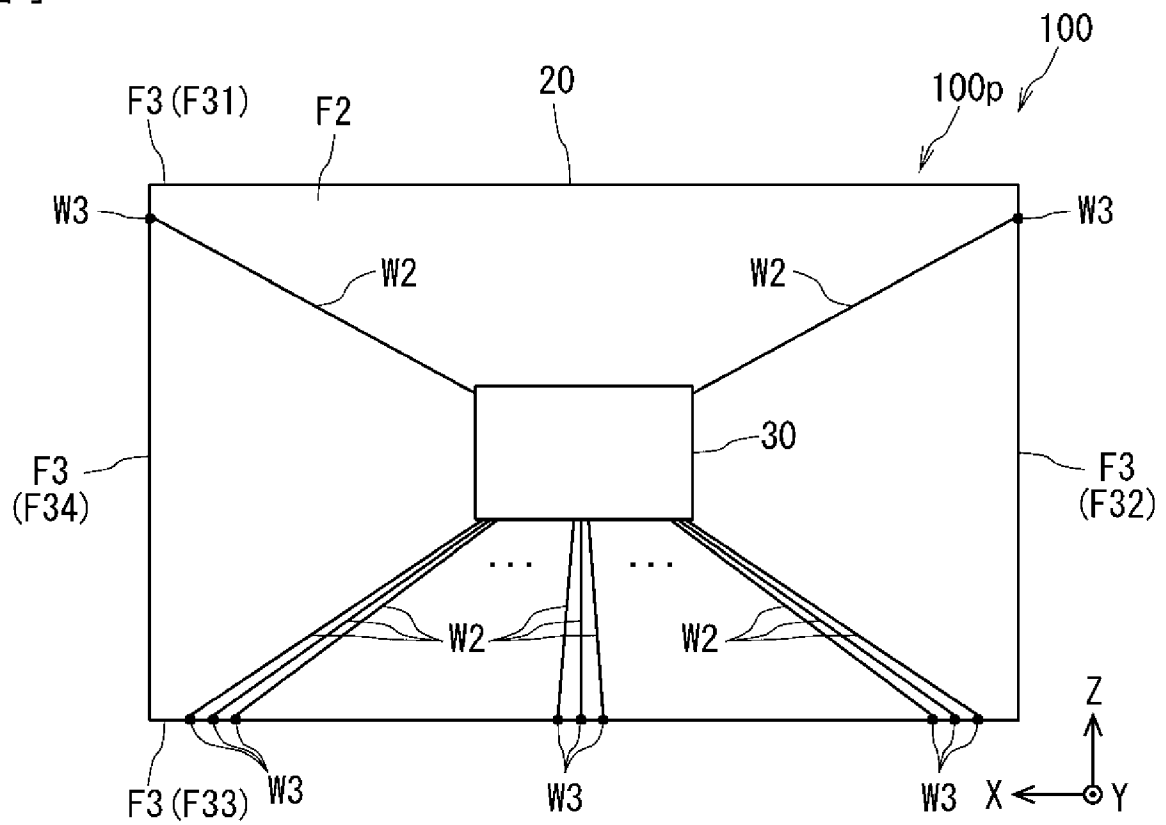
、

複数の前記表示装置は、前記基板の前記側面同士が互いに近接または接していることによって、複合型表示面を構成している、複合型表示装置。

[図1]

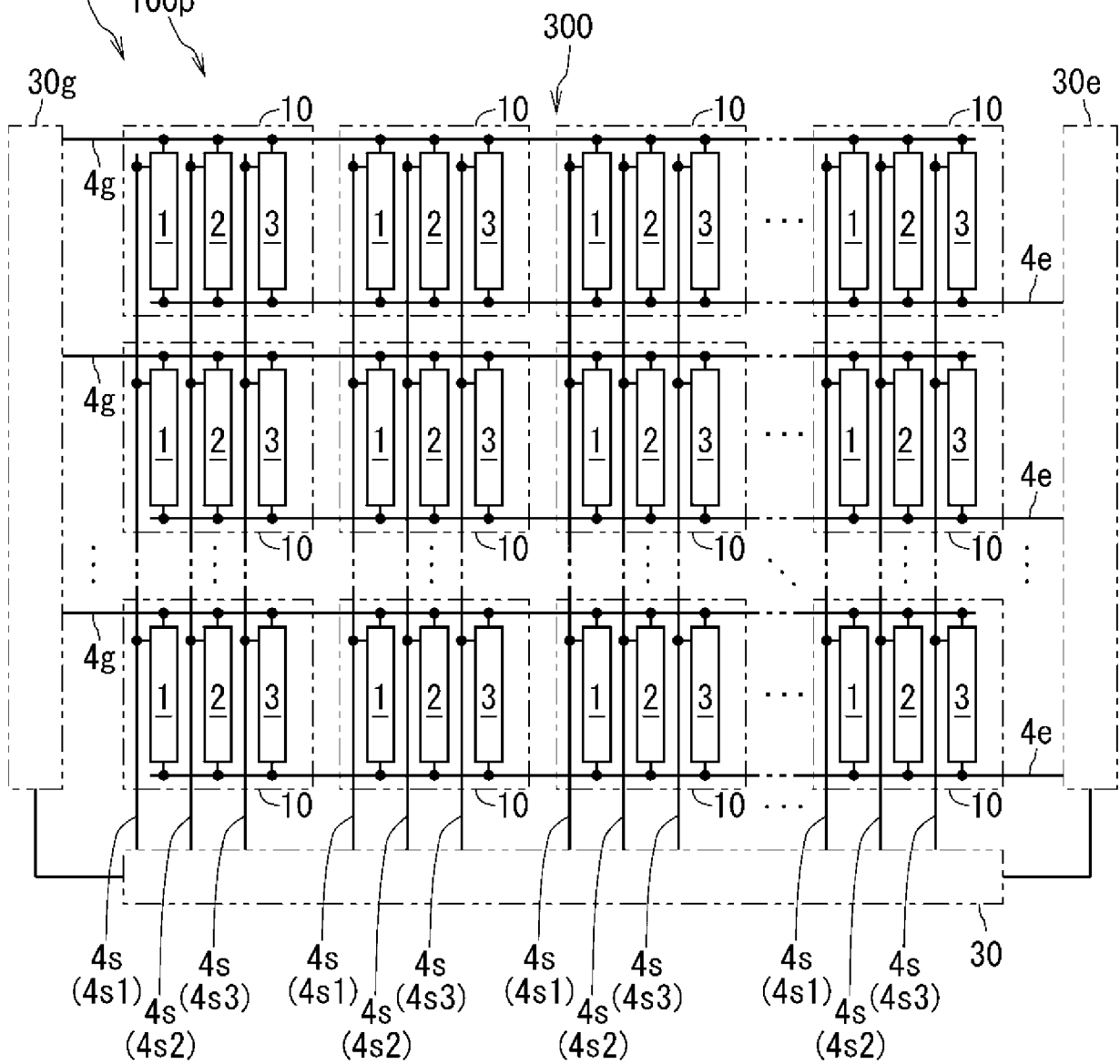


[図2]

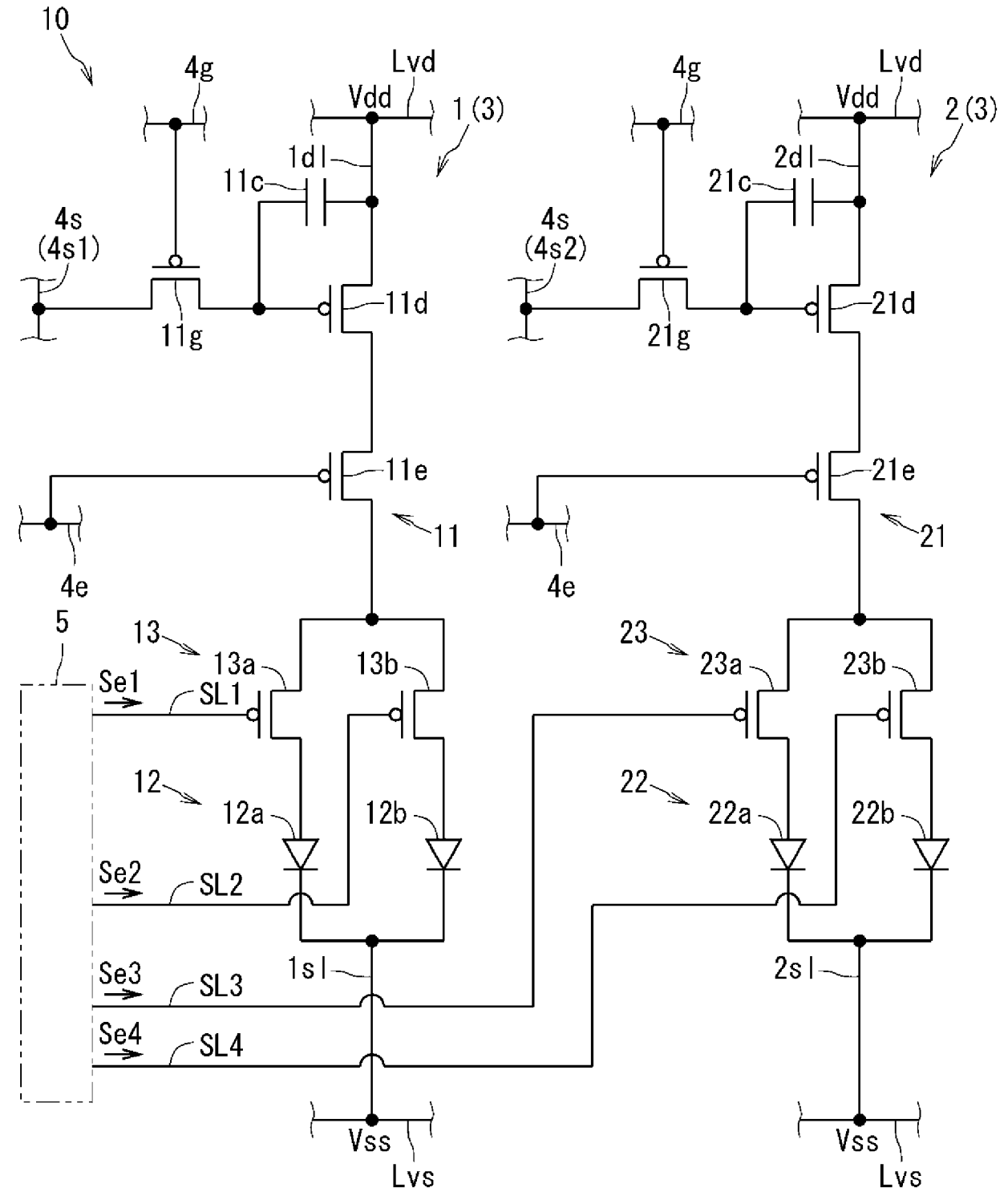


[図3]

100 100p

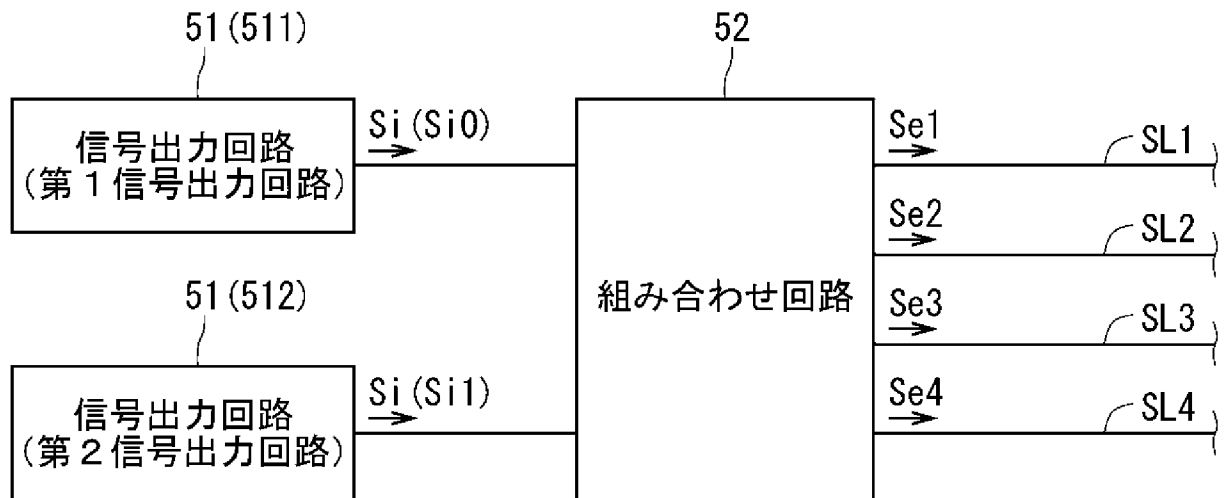


[図4]

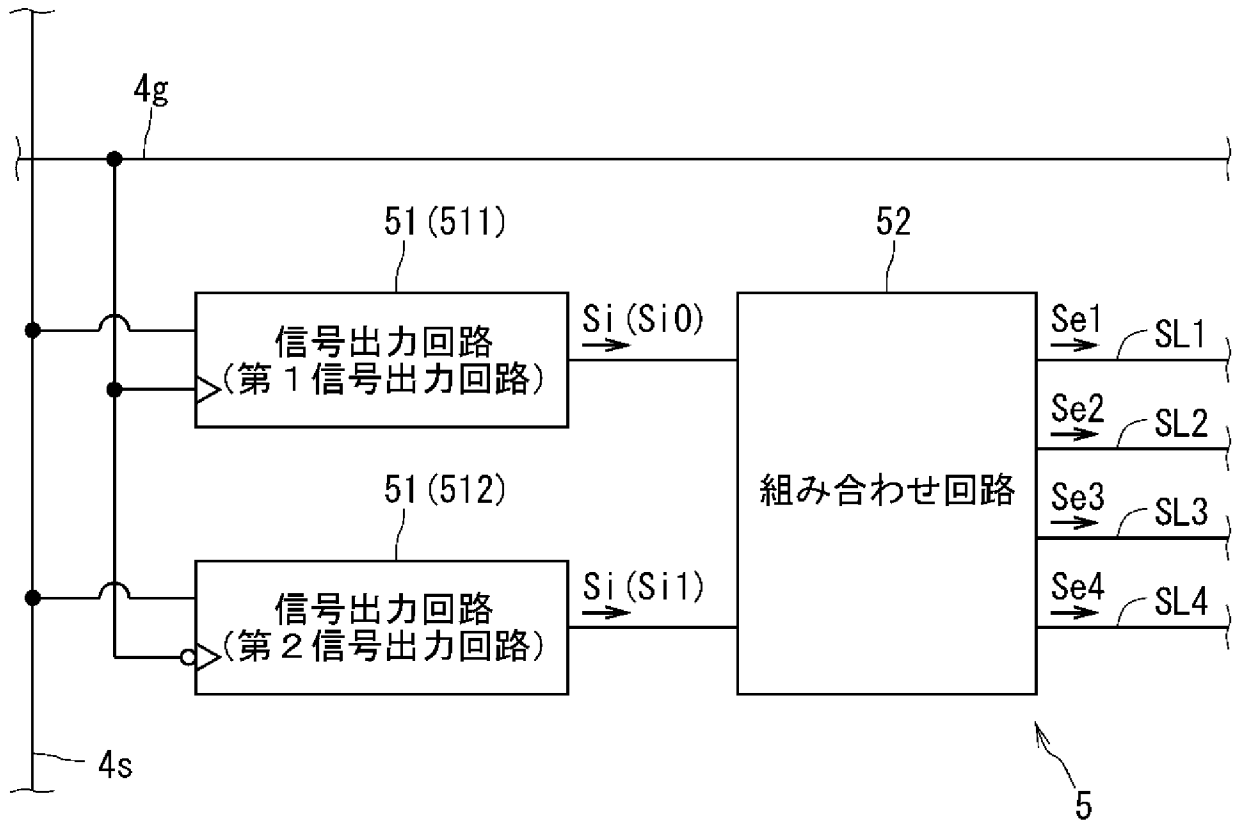


[図5]

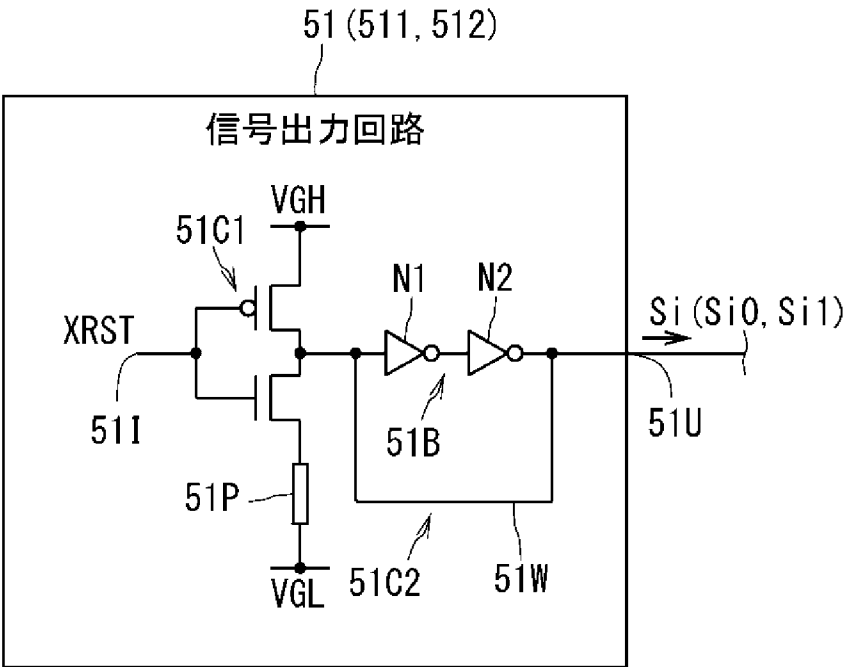
5



[図6]



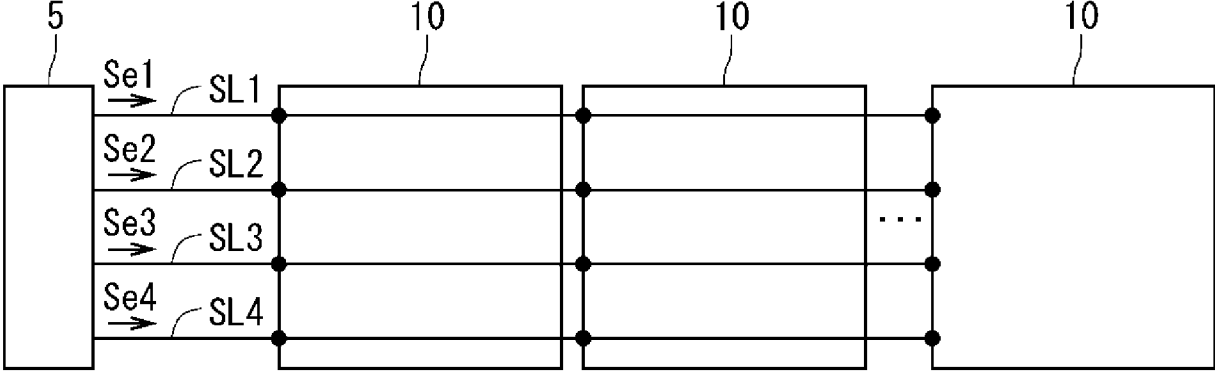
[図7]



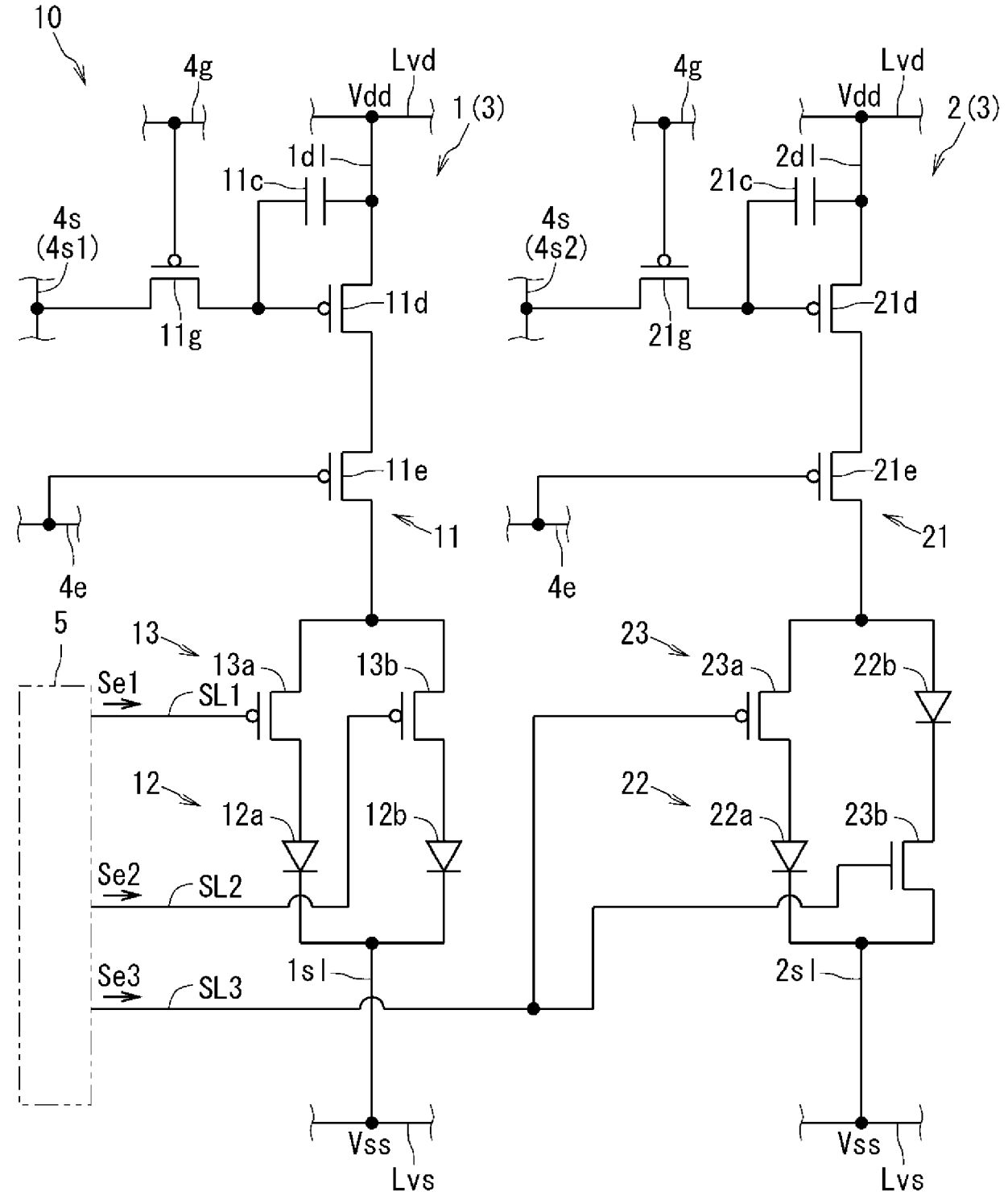
[図8]

パターン 番号	切替信号		設定制御信号				発光可能状態に設定される発光素子	
	Si1	Si0	Se4	Se3	Se2	Se1	第 1 副画素回路	第 2 副画素回路
1	L	L	H	L	L	L	第 1, 2 発光素子	第 3 発光素子
2	H	L	L	H	L	L	第 1, 2 発光素子	第 4 発光素子
3	L	H	H	L	H	L	第 1 発光素子	第 3 発光素子
4	H	H	L	H	L	H	第 2 発光素子	第 4 発光素子

[図9]



[図10]



[図11]

パターンの 番号	切替信号		設定制御信号			発光可能状態に設定される発光素子	
	Si1	Si0	Se3	Se2	Se1	第1副画素回路	第2副画素回路
1A	L	L	L	L	L	第1, 2発光素子	第3発光素子
2A	H	L	H	L	L	第1, 2発光素子	第4発光素子
3A	L	H	L	H	L	第1発光素子	第3発光素子
4A	H	H	H	L	H	第2発光素子	第4発光素子

10



パターン 番号	切替信号		設定制御信号		発光可能状態に設定される発光素子	
	Si1	Si0	Se2	Se1	第1副画素回路	第2副画素回路
1B	L	L	L	L	第1, 2発光素子	第3発光素子
2B	H	L	H	L	第1発光素子	第3発光素子
3B	L	H	L	H	第2発光素子	第4発光素子

10



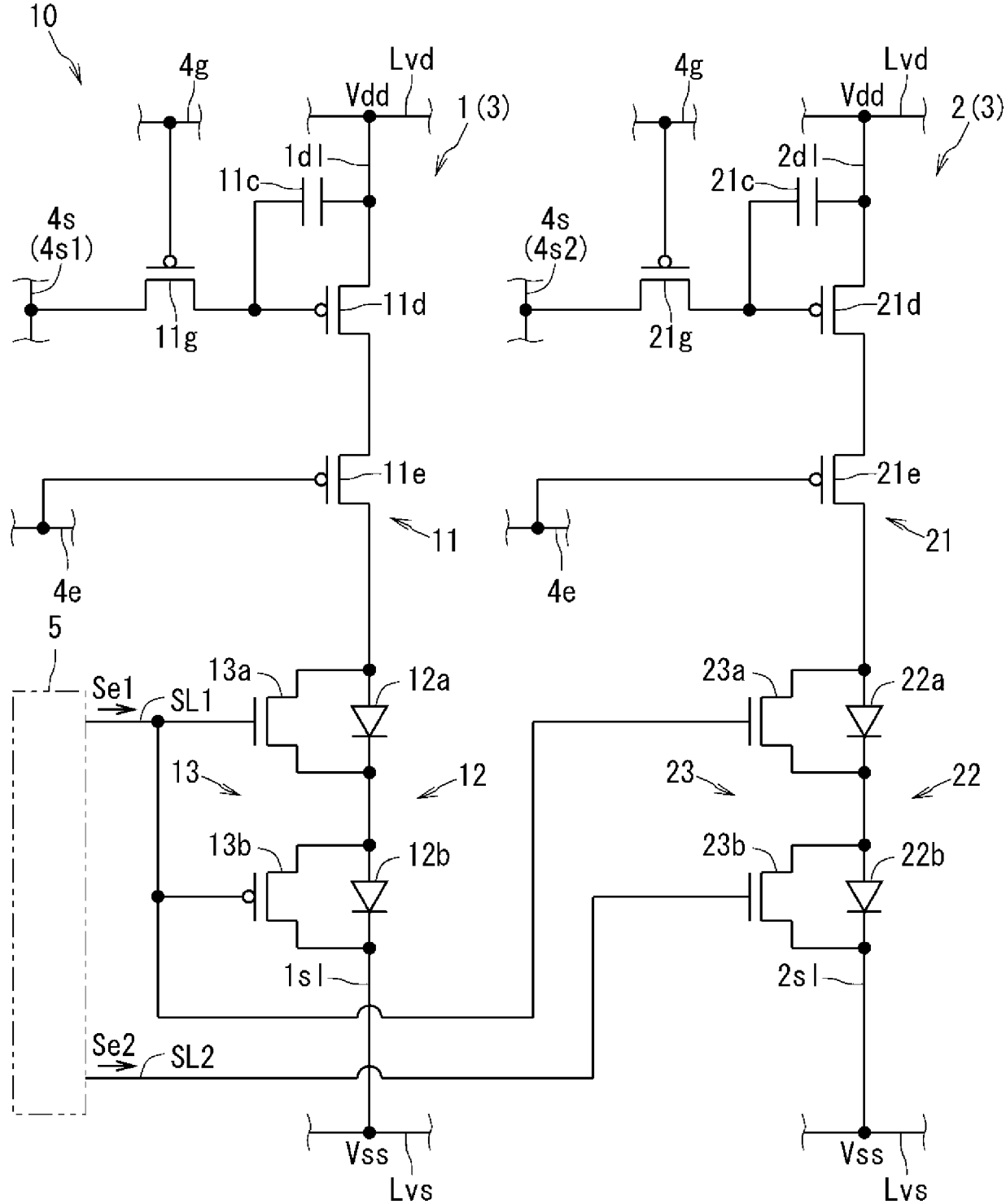
パターン 番号	切替信号		設定制御信号				発光可能状態に設定される発光素子	
	Si1	Si0	Se4	Se3	Se2	Se1	第 1 副画素回路	第 2 副画素回路
1C	L	L	L	L	H	L	第 1 発光素子	第 3, 4 発光素子
2C	H	L	L	L	L	H	第 2 発光素子	第 3, 4 発光素子
3C	L	H	H	L	H	L	第 1 発光素子	第 3 発光素子
4C	H	H	L	H	L	H	第 2 発光素子	第 4 発光素子

10



パターン 番号	切替信号		設定制御信号			発光可能状態に設定される発光素子	
	Si1	Si0	Se3	Se2	Se1	第1副画素回路	第2副画素回路
1D	L	L	L	L	L	第1発光素子	第3, 4発光素子
2D	H	L	L	L	H	第2発光素子	第3, 4発光素子
3D	L	H	H	L	L	第1発光素子	第3発光素子
4D	H	H	L	H	H	第2発光素子	第4発光素子

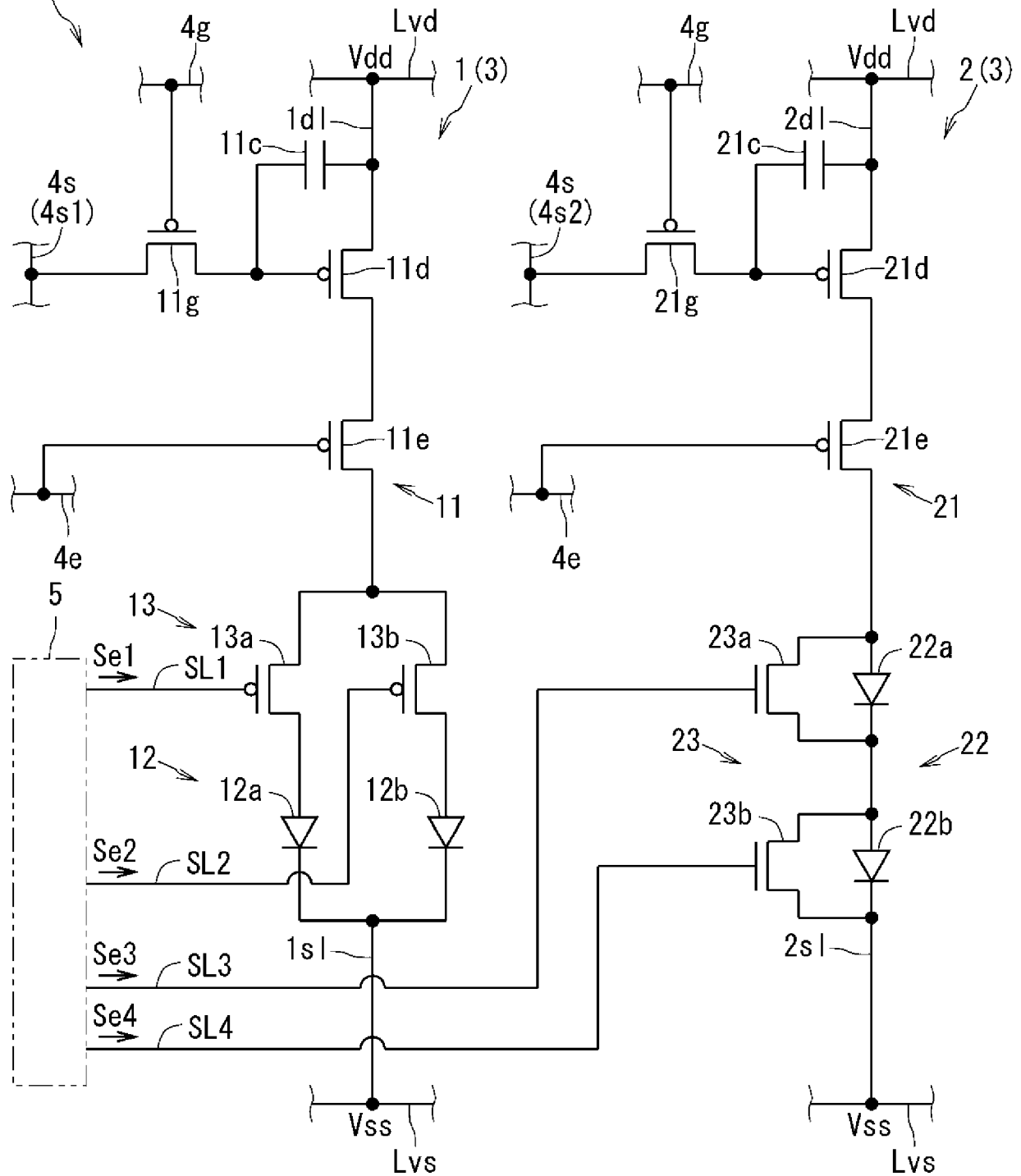
[図18]



[図19]

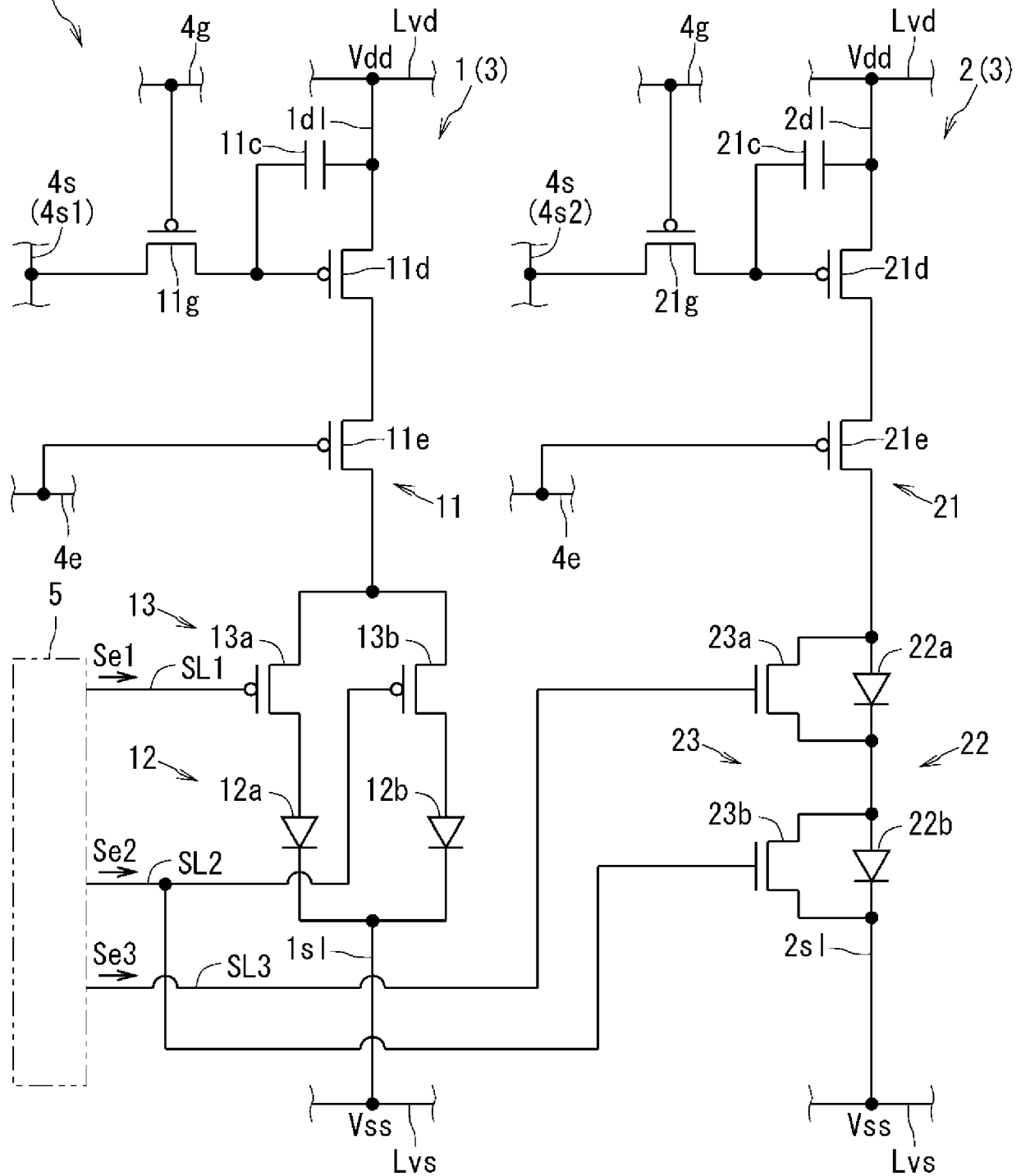
パターン 番号	切替信号		設定制御信号		発光可能状態に設定される発光素子	
	Si1	Si0	Se2	Se1	第1副画素回路	第2副画素回路
1E	L	L	L	L	第1発光素子	第3, 4発光素子
2E	L	H	H	L	第1発光素子	第3発光素子
3E	H	L	L	H	第2発光素子	第4発光素子

10



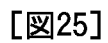
パターン 番号	切替信号		設定制御信号				発光可能状態に設定される発光素子	
	Si1	Si0	Se4	Se3	Se2	Se1	第 1 副画素回路	第 2 副画素回路
1F	L	L	L	L	L	L	第 1, 2 発光素子	第 3, 4 発光素子
2F	H	L	H	L	H	L	第 1 発光素子	第 3 発光素子
3F	L	H	L	H	L	H	第 2 発光素子	第 4 発光素子

10



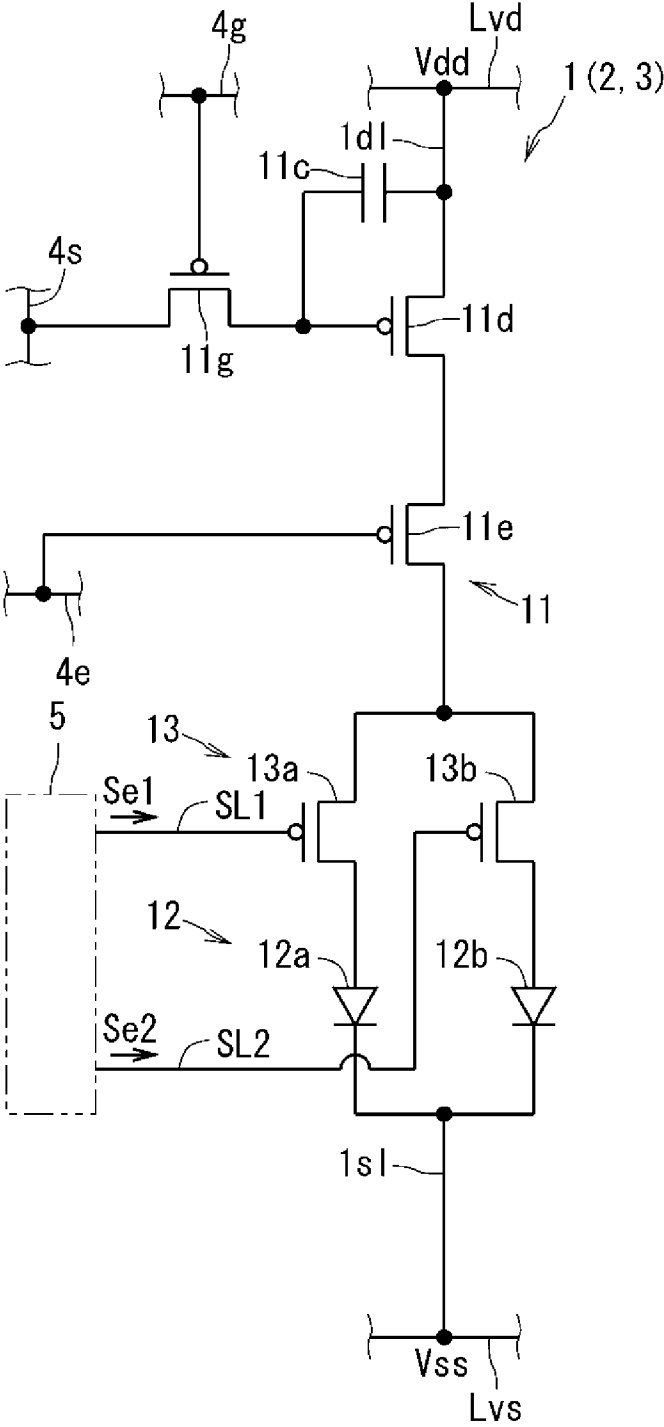
パターン 番号	切替信号		設定制御信号			発光可能状態に設定される発光素子	
	Si1	Si0	Se3	Se2	Se1	第1副画素回路	第2副画素回路
1G	L	L	L	L	L	第1, 2発光素子	第3, 4発光素子
2G	H	L	L	H	L	第1発光素子	第3発光素子
3G	L	H	H	L	H	第2発光素子	第4発光素子

10



パターン 番号	切替信号		設定制御信号		発光可能状態に設定される発光素子	
	Si1	Si0	Se2	Se1	第1副画素回路	第2副画素回路
1H	L	L	L	L	第1, 2発光素子	第3, 4発光素子
2H	H	L	H	L	第1発光素子	第3発光素子
3H	L	H	L	H	第2発光素子	第4発光素子

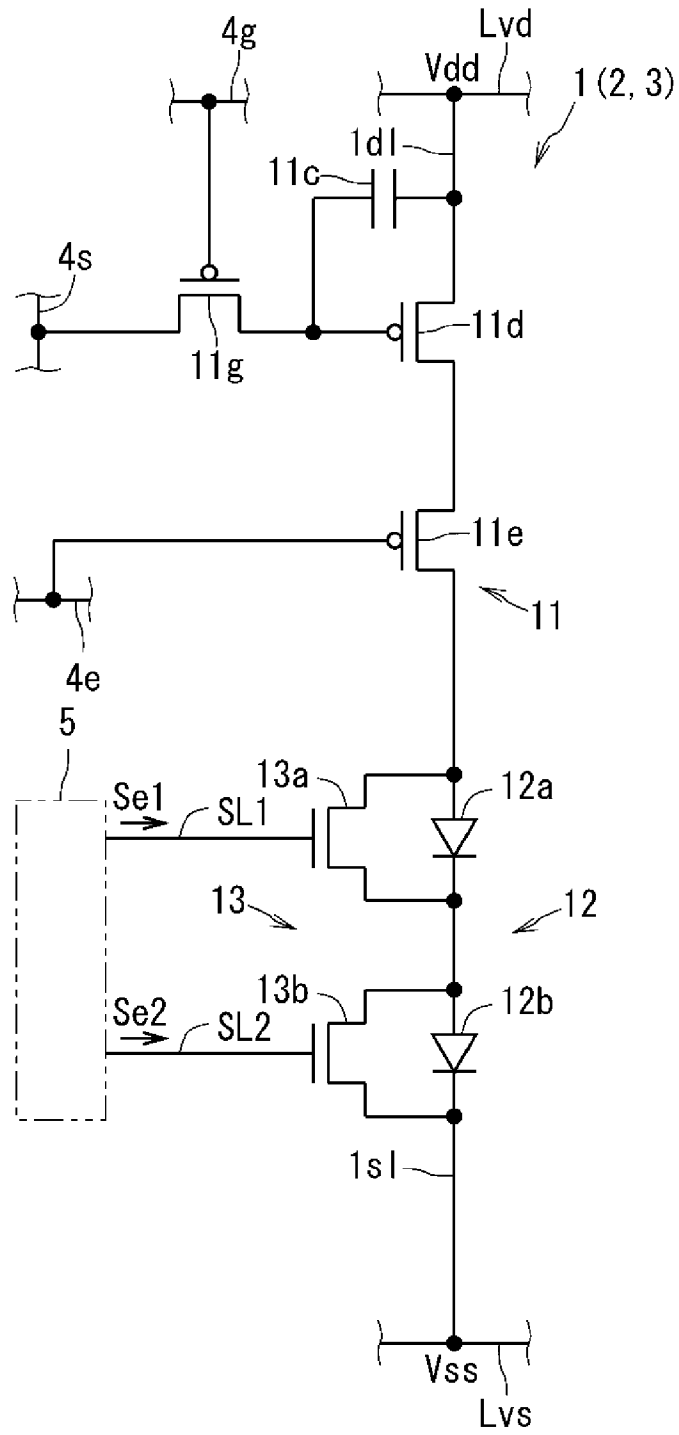
[図26]

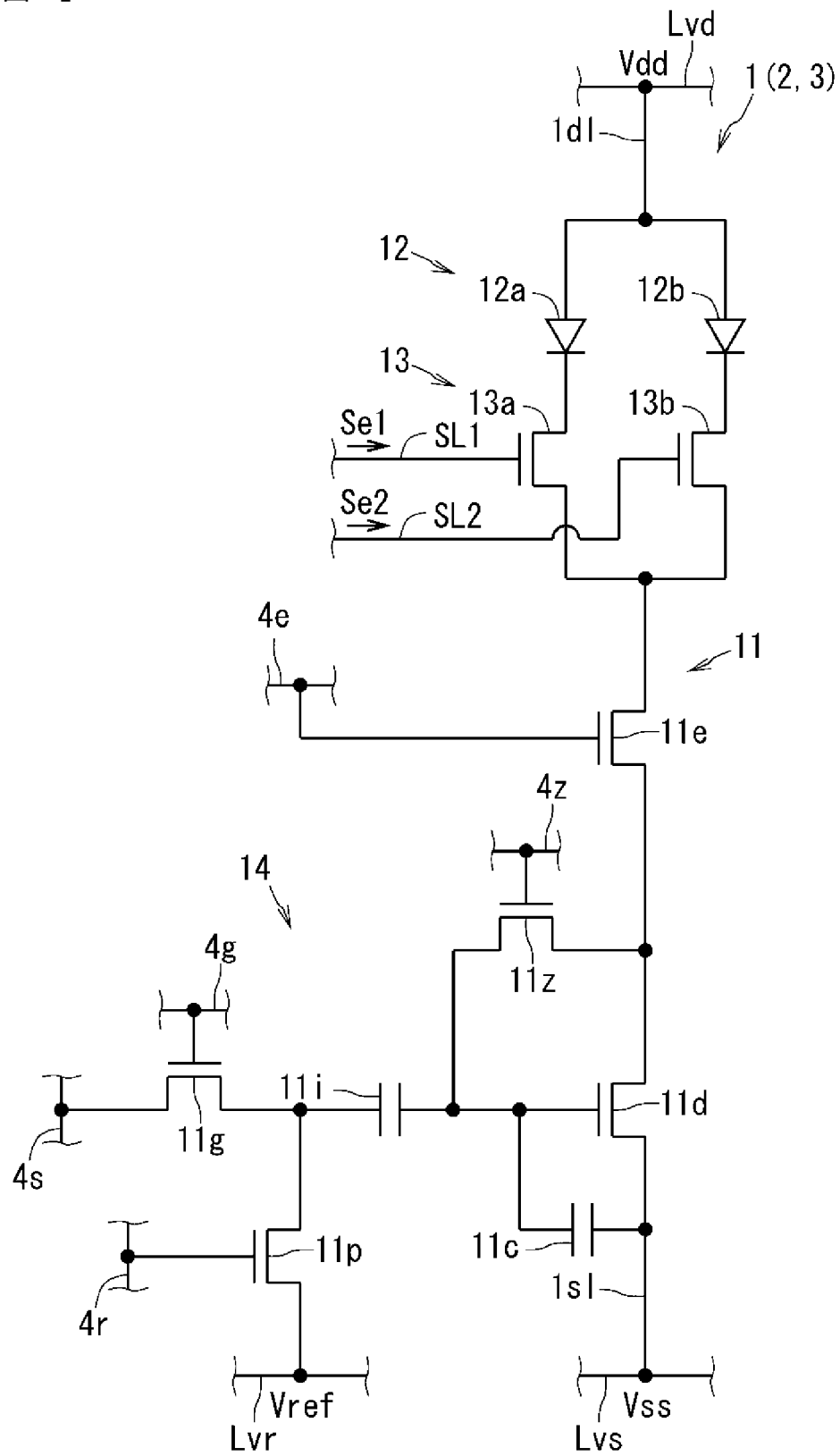


[図27]

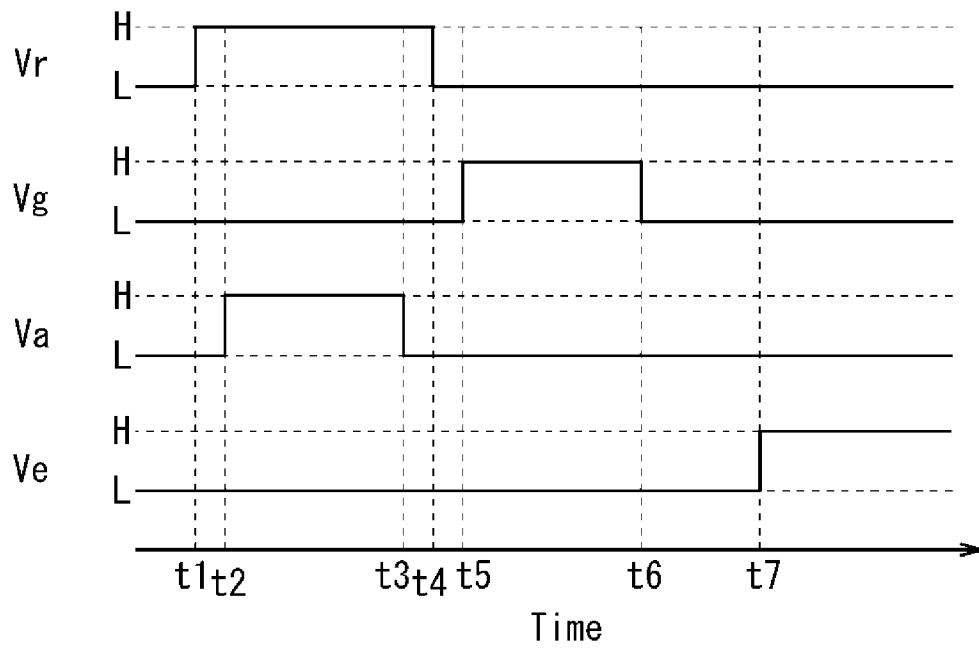
パターン 番号	切替信号		設定制御信号		発光可能状態に設定される発光素子
	Si1	Si0	Se2	Se1	
1I	L	L	L	L	第 1, 2 発光素子
2I	H	L	H	L	第 1 発光素子
3I	L	H	L	H	第 2 発光素子

[図28]

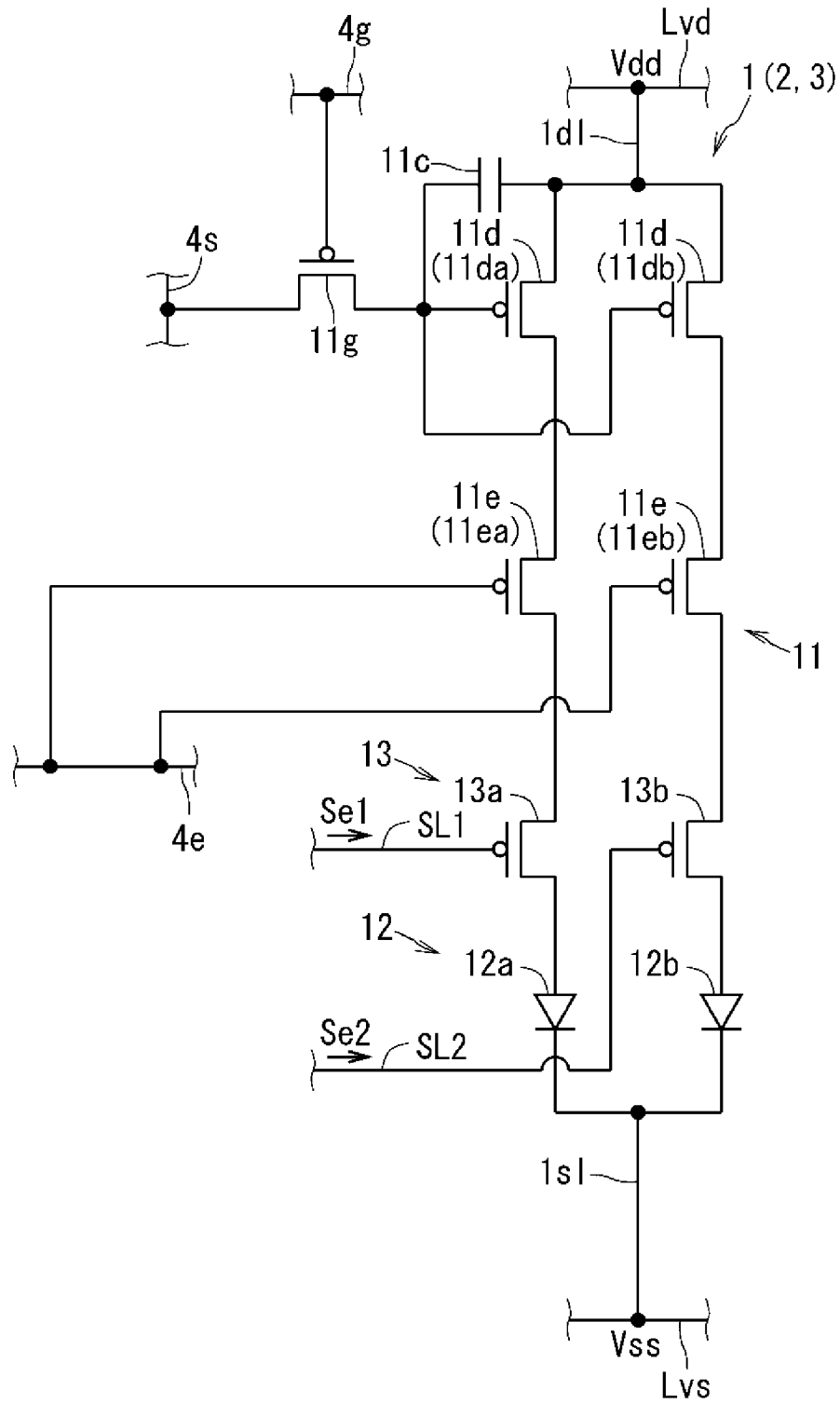




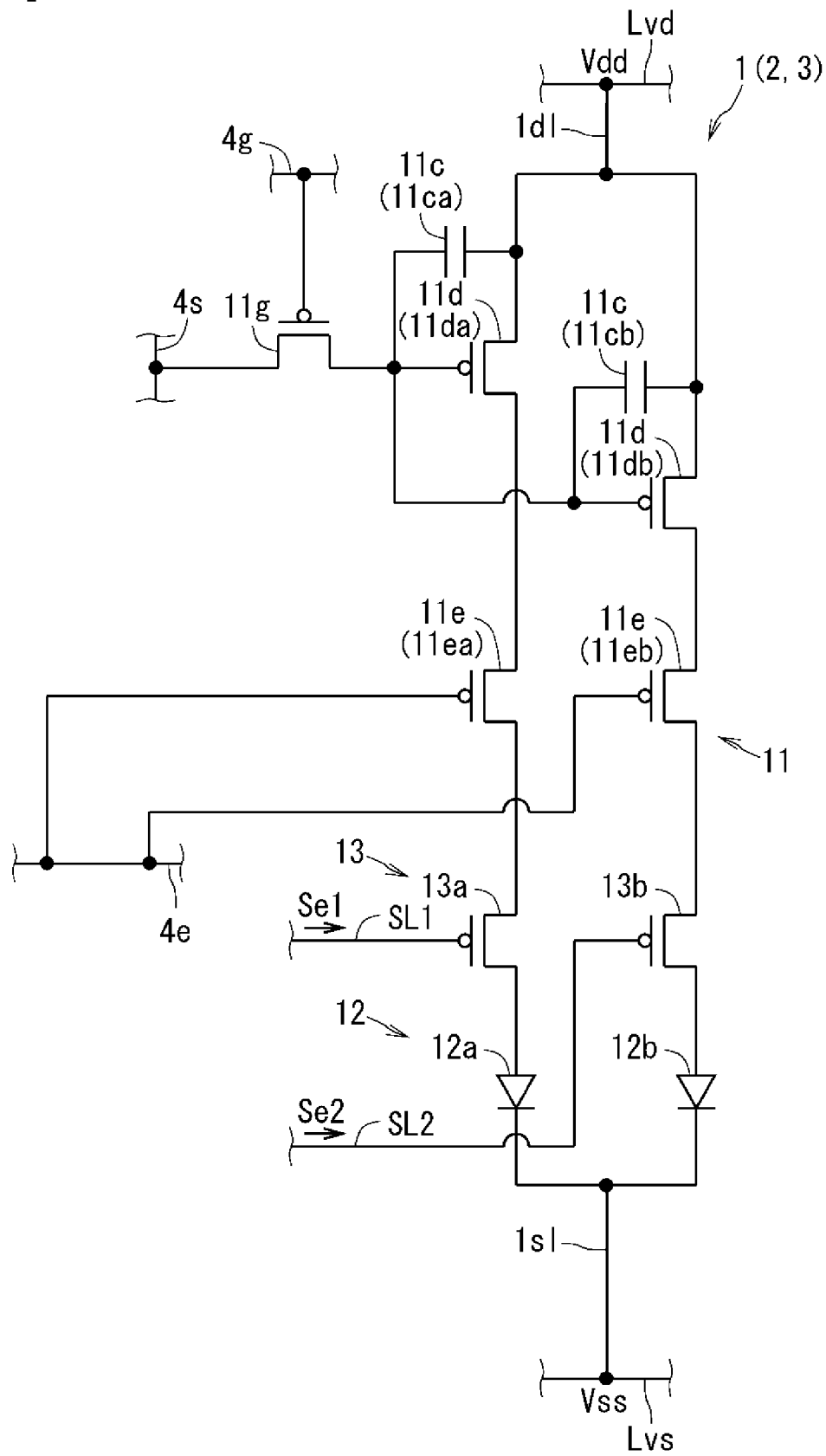
[図31]



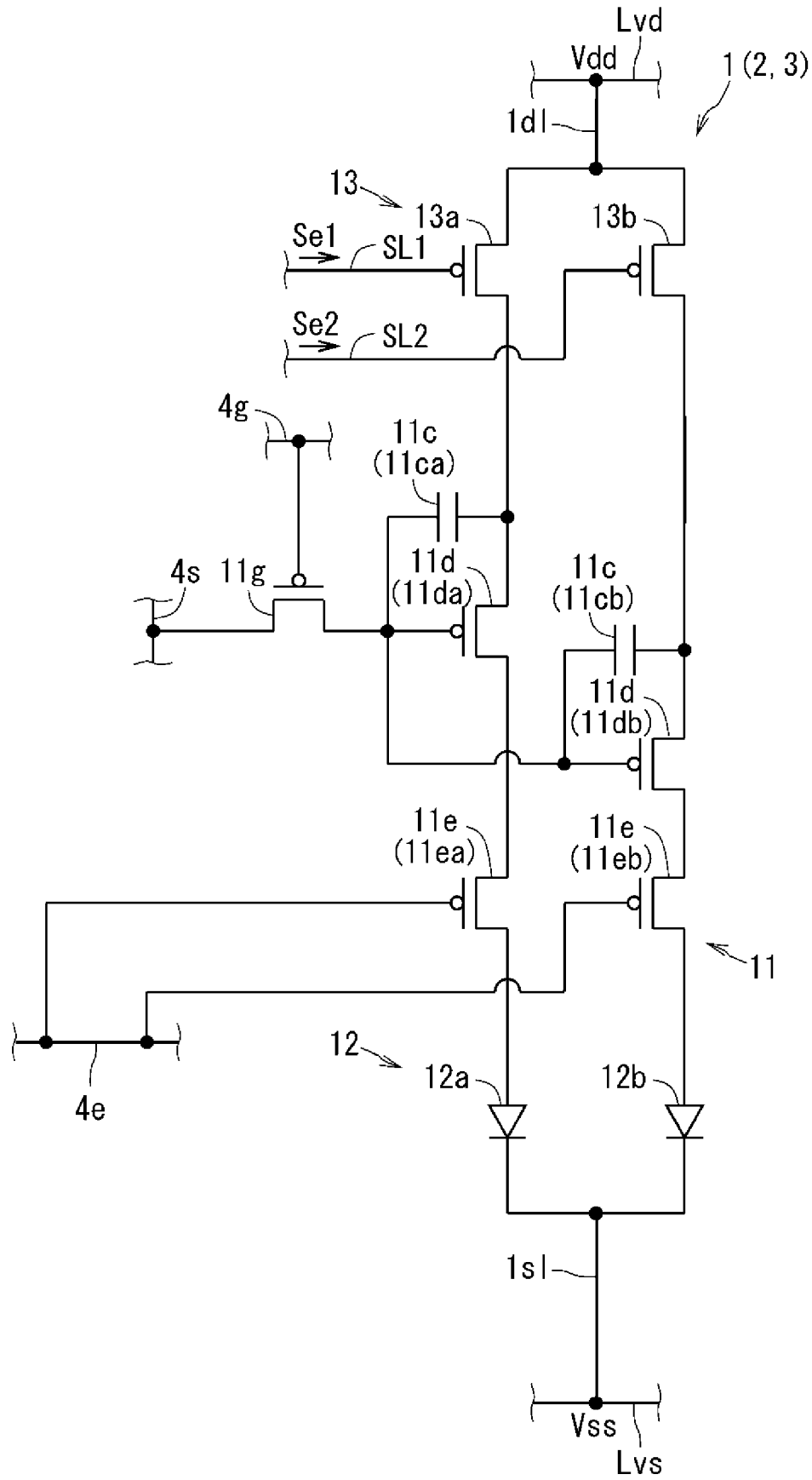
[図33]



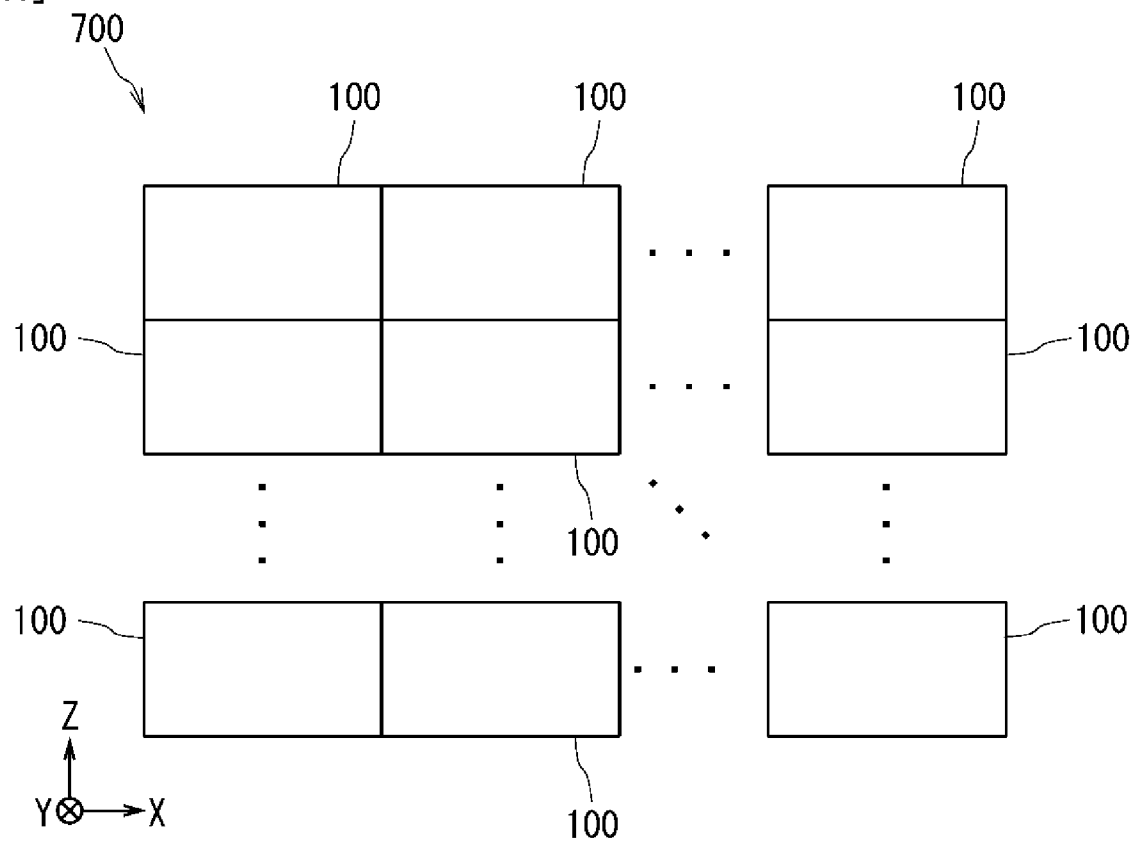
[図34]



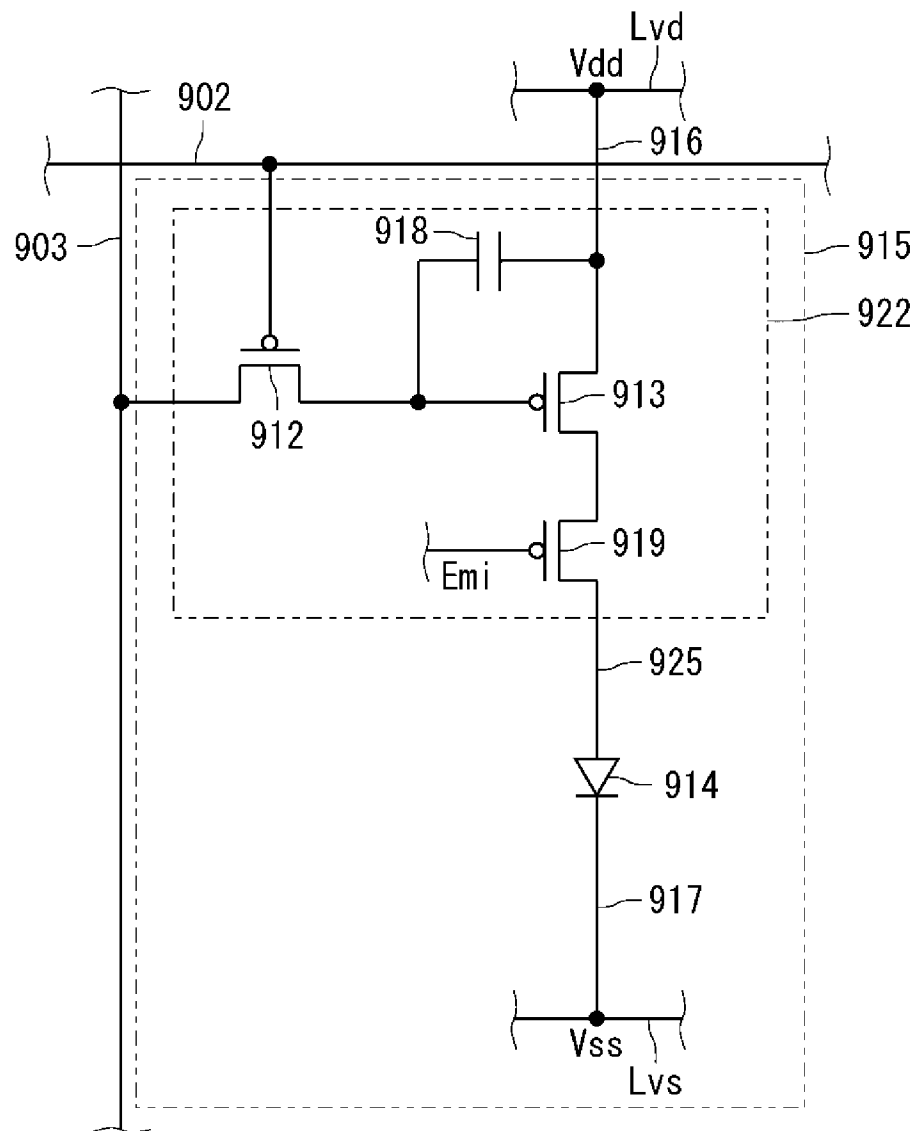
[図35]



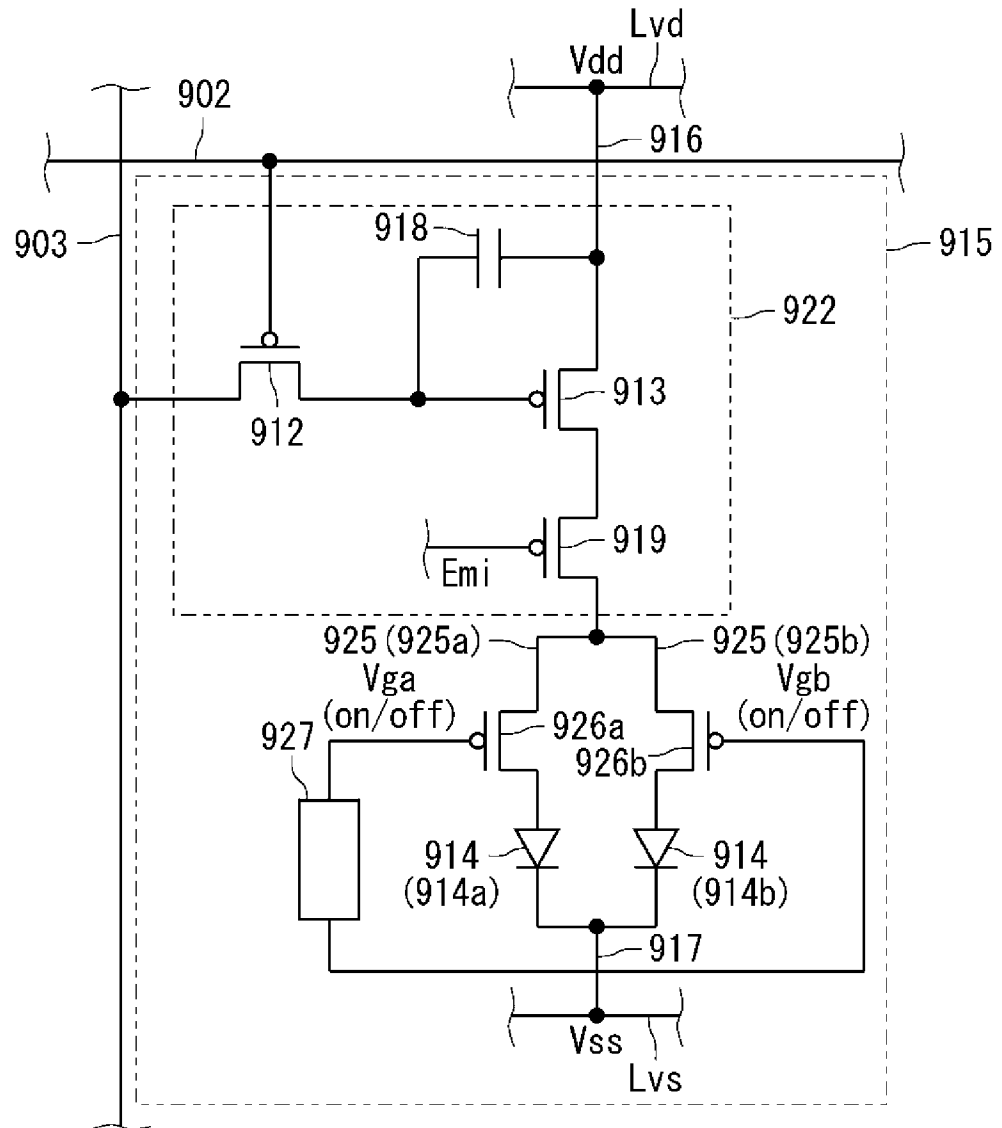
[図36]



[図37]

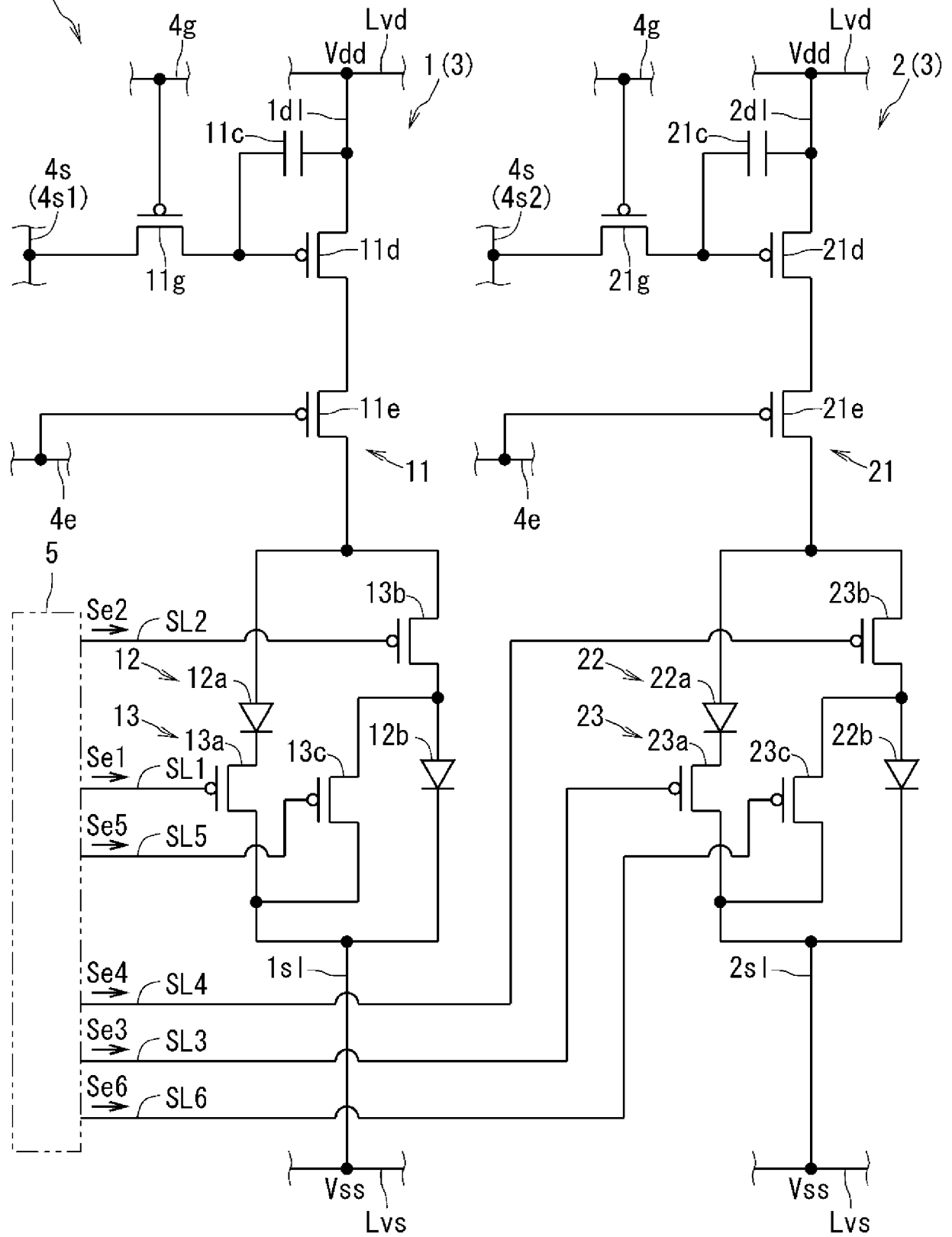


[図38]



[図39]

10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/019649

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3233(2016.01)i; **G09F 9/30**(2006.01)i; **G09F 9/33**(2006.01)i; **G09G 3/20**(2006.01)i; **H01L 27/32**(2006.01)i; **H01L 33/00**(2010.01)i; **H01L 51/50**(2006.01)i

FI: G09G3/3233; G09G3/20 624B; G09G3/20 621K; G09G3/20 642J; G09G3/20 621J; G09G3/20 670A; G09G3/20 670K; G09G3/20 611A; G09G3/20 642A; G09G3/20 611J; G09G3/20 670L; G09F9/30 338; G09F9/30 365; G09F9/33; H05B33/14 A; H01L27/32; H01L33/00 L

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/3233; G09F9/30; G09F9/33; G09G3/20; H01L27/32; H01L33/00; H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-41580 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15 February 2007 (2007-02-15) paragraphs [0181]-[0189], fig. 23-25	1-4, 8-15
Y	paragraphs [0181]-[0189], fig. 23-25	5-6, 16-17
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 49276/1987 (Laid-open No. 155191/1988) (NEC CORP.) 12 October 1988 (1988-10-12), fig. 1	5-6
Y	US 2008/0068298 A1 (VASTVIEW TECHNOLOGY INC.) 20 March 2008 (2008-03-20) fig. 9A-9H	5-6
Y	WO 2020/202766 A1 (KYOCERA CORP.) 08 October 2020 (2020-10-08) paragraphs [0047]-[0049], fig. 8A-8B	16-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 July 2022

Date of mailing of the international search report

26 July 2022

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/019649**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2017/189578 A2 (OCULUS VR, LLC) 02 November 2017 (2017-11-02) entire text, all drawings	1-17
A	WO 2020/166774 A1 (SAMSUNG DISPLAY CO., LTD.) 20 August 2020 (2020-08-20) entire text, all drawings	1-17
A	US 2018/0247586 A1 (APPLE INC.) 30 August 2018 (2018-08-30) entire text, all drawings	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/019649

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2007-41580	A	15 February 2007	US 2007/0001945 A1 paragraphs [0219]-[0227], fig. 23A-25B KR 10-2007-0004424 A CN 1892767 A	
JP	63-155191	U1	12 October 1988	(Family: none)	
US	2008/0068298	A1	20 March 2008	DE 102007003343 A1 fig. 9A-9H	
WO	2020/202766	A1	08 October 2020	CN 113614823 A	
WO	2017/189578	A2	02 November 2017	US 2017/0309224 A1 entire text, all drawings JP 2019-515339 A	
WO	2020/166774	A1	20 August 2020	KR 10-2020-0098767 A entire text, all drawings CN 113439333 A	
US	2018/0247586	A1	30 August 2018	WO 2017/053477 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/3233(2016.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i; G09G 3/20(2006.01)i; H01L 27/32(2006.01)i; H01L 33/00(2010.01)i; H01L 51/50(2006.01)i FI: G09G3/3233; G09G3/20 624B; G09G3/20 621K; G09G3/20 642J; G09G3/20 621J; G09G3/20 670A; G09G3/20 670K; G09G3/20 611A; G09G3/20 642A; G09G3/20 611J; G09G3/20 670L; G09F9/30 338; G09F9/30 365; G09F9/33; H05B33/14 A; H01L27/32; H01L33/00 L																							
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09G3/3233; G09F9/30; G09F9/33; G09G3/20; H01L27/32; H01L33/00; H01L51/50 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年													
日本国実用新案公報	1922-1996年																						
日本国公開実用新案公報	1971-2022年																						
日本国実用新案登録公報	1996-2022年																						
日本国登録実用新案公報	1994-2022年																						
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2007-41580 A (株式会社半導体エネルギー研究所) 15.02.2007 (2007-02-15) [0181]-[0189], 図23-25</td> <td>1-4, 8-15</td> </tr> <tr> <td>Y</td> <td>[0181]-[0189], 図23-25</td> <td>5-6, 16-17</td> </tr> <tr> <td>Y</td> <td>日本国実用新案登録出願62-49276号(日本国実用新案登録出願公開63-155191号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム（日本電気株式会社）12.10.1988 (1988-10-12) 第1図</td> <td>5-6</td> </tr> <tr> <td>Y</td> <td>US 2008/0068298 A1 (VASTVIEW TECHNOLOGY INC.) 20.03.2008 (2008-03-20) FIGS. 9A-9H</td> <td>5-6</td> </tr> <tr> <td>Y</td> <td>WO 2020/202766 A1 (京セラ株式会社) 08.10.2020 (2020-10-08) [0047]-[0049], 図8A-8B</td> <td>16-17</td> </tr> <tr> <td>A</td> <td>WO 2017/189578 A2 (OCULUS VR, LLC) 02.11.2017 (2017-11-02) 全文全図</td> <td>1-17</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2007-41580 A (株式会社半導体エネルギー研究所) 15.02.2007 (2007-02-15) [0181]-[0189], 図23-25	1-4, 8-15	Y	[0181]-[0189], 図23-25	5-6, 16-17	Y	日本国実用新案登録出願62-49276号(日本国実用新案登録出願公開63-155191号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム（日本電気株式会社）12.10.1988 (1988-10-12) 第1図	5-6	Y	US 2008/0068298 A1 (VASTVIEW TECHNOLOGY INC.) 20.03.2008 (2008-03-20) FIGS. 9A-9H	5-6	Y	WO 2020/202766 A1 (京セラ株式会社) 08.10.2020 (2020-10-08) [0047]-[0049], 図8A-8B	16-17	A	WO 2017/189578 A2 (OCULUS VR, LLC) 02.11.2017 (2017-11-02) 全文全図	1-17
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
X	JP 2007-41580 A (株式会社半導体エネルギー研究所) 15.02.2007 (2007-02-15) [0181]-[0189], 図23-25	1-4, 8-15																					
Y	[0181]-[0189], 図23-25	5-6, 16-17																					
Y	日本国実用新案登録出願62-49276号(日本国実用新案登録出願公開63-155191号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム（日本電気株式会社）12.10.1988 (1988-10-12) 第1図	5-6																					
Y	US 2008/0068298 A1 (VASTVIEW TECHNOLOGY INC.) 20.03.2008 (2008-03-20) FIGS. 9A-9H	5-6																					
Y	WO 2020/202766 A1 (京セラ株式会社) 08.10.2020 (2020-10-08) [0047]-[0049], 図8A-8B	16-17																					
A	WO 2017/189578 A2 (OCULUS VR, LLC) 02.11.2017 (2017-11-02) 全文全図	1-17																					
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																							
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																							
国際調査を完了した日 12.07.2022		国際調査報告の発送日 26.07.2022																					
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 橋本 直明 21 9707 電話番号 03-3581-1101 内線 3273																					

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2020/166774 A1 (SAMSUNG DISPLAY CO., LTD.) 20.08.2020 (2020 - 08 - 20) 全文全図	1-17
A	US 2018/0247586 A1 (APPLE INC.) 30.08.2018 (2018 - 08 - 30) 全文全図	1-17

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/019649

引用文献			公表日	パテントファミリー文献	公表日
JP	2007-41580	A	15.02.2007	US 2007/0001945 A1 [0219]- [0227], FIGS. 23A-25B KR 10-2007-0004424 A CN 1892767 A	
JP	63-155191	U1	12.10.1988	(ファミリーなし)	
US	2008/0068298	A1	20.03.2008	DE 102007003343 A1 FIGS. 9A-9H	
WO	2020/202766	A1	08.10.2020	CN 113614823 A	
WO	2017/189578	A2	02.11.2017	US 2017/0309224 A1 全文全図 JP 2019-515339 A	
WO	2020/166774	A1	20.08.2020	KR 10-2020-0098767 A 全文全図 CN 113439333 A	
US	2018/0247586	A1	30.08.2018	WO 2017/053477 A1 全文全図	