



(12)发明专利

(10)授权公告号 CN 102468341 B

(45)授权公告日 2016.10.05

(21)申请号 201110208118.X

(22)申请日 2011.07.19

(65)同一申请的已公布的文献号

申请公布号 CN 102468341 A

(43)申请公布日 2012.05.23

(30)优先权数据

10-2010-0113326 2010.11.15 KR

(73)专利权人 三星显示有限公司

地址 韩国京畿道

(72)发明人 王盛民 尹柱善 徐泰安 金正晥

(74)专利代理机构 北京英赛嘉华知识产权代理
有限责任公司 11204

代理人 余滕 王艳春

(51)Int.Cl.

H01L 29/786(2006.01)

H01L 21/336(2006.01)

(56)对比文件

WO 2010/058746 A1,2010.05.27,

US 2009/0289256 A1,2009.11.26,

US 2009/0256147 A1,2009.10.15,

WO 2010/058746 A1,2010.05.27,

CN 101656270 A,2010.02.24,

审查员 张文星

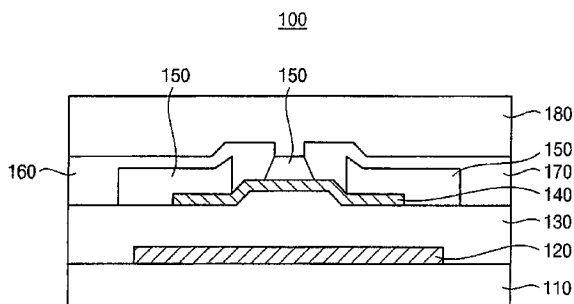
权利要求书2页 说明书14页 附图8页

(54)发明名称

氧化物半导体薄膜晶体管及其制造方法

(57)摘要

一种氧化物半导体薄膜晶体管包括:栅极电极,栅极电极位于衬底上并具有第一面积;栅极绝缘层,栅极绝缘层位于栅极电极上并覆盖栅极电极;有源层,有源层位于栅极绝缘层上并具有小于第一面积的第二面积;源极电极,源极电极位于有源层上并接触有源层的源极区域;漏极电极,漏极电极位于有源层上并接触有源层的漏极区域;以及钝化层,钝化层覆盖有源层、源极电极、以及漏极电极。



1. 一种氧化物半导体薄膜晶体管,包括:

栅极电极,所述栅极电极位于衬底上并具有第一面积;

栅极绝缘层,所述栅极绝缘层位于所述栅极电极上并覆盖所述栅极电极,并且所述栅极绝缘层包括具有第三面积的突起;

有源层,所述有源层位于所述栅极绝缘层上并具有小于所述第一面积且大于所述第三面积的第二面积;

源极电极,所述源极电极位于所述有源层上并接触所述有源层的源极区域;

漏极电极,所述漏极电极位于所述有源层上并接触所述有源层的漏极区域;以及

钝化层,所述钝化层覆盖所述有源层、所述源极电极、以及所述漏极电极。

2. 如权利要求1所述的晶体管,其中在与所述栅极绝缘层的突起相对应的区域,所述有源层的中央区域相对于所述有源层的周围区域是升起的。

3. 如权利要求2所述的晶体管,其中所述有源层的中央区域包括所述有源层的沟道区域,并且

所述有源层的周围区域包括所述有源层的源极区域和所述有源层的漏极区域。

4. 如权利要求1所述的晶体管,还包括:

蚀刻阻挡层,所述蚀刻阻挡层位于所述有源层与所述源极电极之间以及所述有源层与所述漏极电极之间。

5. 如权利要求4所述的晶体管,其中所述蚀刻阻挡层具有接触孔结构,在所述接触孔结构中,所述源极电极和所述漏极电极通过所述蚀刻阻挡层中的多个接触孔接触所述有源层。

6. 如权利要求4所述的晶体管,其中所述蚀刻阻挡层具有岛状结构,在所述岛状结构中,所述源极电极和所述漏极电极接触所述有源层的周围区域,所述周围区域具有所述源极区域和所述漏极区域。

7. 如权利要求1所述的晶体管,其中所述有源层包括氧化物材料,所述氧化物材料包括铟(In)、锌(Zn)、镓(Ga)、或锡(Sn)中的至少一种。

8. 如权利要求7所述的晶体管,其中所述氧化物材料还包括锂(Li)、钠(Na)、锰(Mn)、镍(Ni)、钯(Pd)、铜(Cu)、镉(Cd)、碳(C)、氮(N)、磷(P)、钛(Ti)、锆(Zr)、铪(Hf)、钒(V)、钌(Ru)、锗(Ge)、或氟(F)中的至少一种。

9. 如权利要求7所述的晶体管,其中所述氧化物材料的电子载流子浓度是从 $10^{12}/\text{cm}^3$ 至 $10^{18}/\text{cm}^3$ 。

10. 一种制造氧化物半导体薄膜晶体管的方法,所述方法包括:

在衬底上形成栅极电极,所述栅极电极具有第一面积;

在所述栅极电极上形成栅极绝缘层,所述栅极绝缘层覆盖所述栅极电极,并且所述栅极绝缘层包括具有第三面积的突起;

在所述栅极绝缘层上形成有源层,所述有源层具有小于所述第一面积且大于所述第三面积的第二面积;

在所述有源层上形成源极电极和漏极电极,所述源极电极接触所述有源层的源极区域,所述漏极电极接触所述有源层的漏极区域;以及

在所述有源层、所述源极电极、以及所述漏极电极上形成钝化层。

11. 如权利要求10所述的方法,还包括:

在所述有源层与所述源极电极之间以及所述有源层与所述源极电极之间形成蚀刻阻挡层。

12. 如权利要求11所述的方法,其中在与所述栅极绝缘层的突起相对应的区域中,所述有源层的中央区域相对于所述有源层的周围区域是升起的。

13. 如权利要求12所述的方法,其中所述有源层的中央区域包括所述有源层的沟道区域,并且

所述有源层的周围区域包括所述有源层的源极区域和所述有源层的漏极区域。

氧化物半导体薄膜晶体管及其制造方法

[0001] 相关申请交叉引用

[0002] 本申请根据35U.S.C.§119要求于2010年11月15日提交的第2010-0113326号韩国专利申请的优先权,其所公开的全部内容通过引用并入本文。

技术领域

[0003] 本发明的实施方式涉及薄膜晶体管(TFT)。更具体地,本发明的实施方式涉及氧化物半导体薄膜晶体管以及制造氧化物半导体薄膜晶体管的方法。

背景技术

[0004] 最近,氧化物半导体薄膜晶体管已经作为开关元件或驱动元件而广泛用于诸如液晶显示(LCD)装置、有机发光显示(OLED)装置等显示装置中。具体地,氧化物半导体薄膜晶体管用于提供对施加至其栅极的高电压的高耐久性和高可靠性,用作显示装置的栅极扫描电路、背板等的基本结构。然而,当向传统氧化物半导体薄膜晶体管的栅极电极持续施加高电压时,传统氧化物半导体薄膜晶体管可能容易劣化并发生故障。

发明内容

[0005] 本发明的实施方式提供了一种氧化物半导体薄膜晶体管,该氧化物半导体薄膜晶体管对持续施加至其栅极电极的高电压具有高耐久性和高可靠性。

[0006] 本发明的实施方式提供了一种制造该氧化物半导体薄膜晶体管的方法。

[0007] 根据本发明的一个实施方式,一种氧化物半导体薄膜晶体管包括:栅极电极,栅极电极位于衬底上并具有第一面积;栅极绝缘层,栅极绝缘层位于栅极电极上并覆盖栅极电极;有源层,有源层位于栅极绝缘层上并具有小于第一面积的第二面积;源极电极,源极电极位于有源层上并接触有源层的源极区域;漏极电极,漏极电极位于有源层上并接触有源层的漏极区域;以及钝化层,钝化层覆盖有源层、源极电极、以及漏极电极。

[0008] 栅极绝缘层可以包括具有第三面积的突起,第三面积小于有源层的第二面积。

[0009] 有源层的中央区域可以在与栅极绝缘层的突起相对应的区域中相对于有源层的周围区域升起。

[0010] 有源层的中央区域可以包括有源层的沟道区域。此外,有源层的周围区域可以包括有源层的源极区域和有源层的漏极区域。

[0011] 该氧化物半导体薄膜晶体管还可以包括蚀刻阻挡层,蚀刻阻挡层位于有源层与源极电极之间以及有源层与漏极电极之间。

[0012] 蚀刻阻挡层可以具有接触孔结构,在接触孔结构中,源极电极和漏极电极通过蚀刻阻挡层中的多个接触孔接触有源层。

[0013] 蚀刻阻挡层可以具有岛状结构,在岛状结构中,源极电极和漏极电极接触有源层的周围区域,周围区域具有源极区域和漏极区域。

[0014] 有源层可以包括氧化物材料,氧化物材料包括铟(In)、锌(Zn)、镓(Ga)、或锡(Sn)

中的至少一种。

[0015] 氧化物材料还可以包括锂(Li)、钠(Na)、锰(Mn)、镍(Ni)、钯(Pd)、铜(Cu)、镉(Cd)、碳(C)、氮(N)、磷(P)、钛(Ti)、锆(Zr)、铪(Hf)、钒(V)、钌(Ru)、锗(Ge)、或氟(F)中的至少一种。

[0016] 氧化物材料的电子载流子浓度可以从约 $10^{12}/\text{cm}^3$ 至约 $10^{18}/\text{cm}^3$ 。

[0017] 根据本发明的另一个实施方式,一种制造氧化物半导体薄膜晶体管的方法包括:在衬底上形成栅极电极,栅极电极具有第一面积;在栅极电极上形成栅极绝缘层,栅极绝缘层覆盖栅极电极;在栅极绝缘层上形成有源层,有源层具有小于第一面积的第二面积;在有源层上形成源极电极和漏极电极,源极电极接触有源层的源极区域,漏极电极接触有源层的漏极区域;以及在有源层、源极电极、以及漏极电极上形成钝化层。

[0018] 制造氧化物半导体薄膜晶体管的方法还可以包括在有源层与源极电极之间以及有源层与漏极电极之间形成蚀刻阻挡层。

[0019] 栅极绝缘层可以包括具有第三面积的突起,第三面积小于有源层的第二面积。

[0020] 有源层的中央区域可以在与栅极绝缘层的突起相对应的区域中相对于有源层的周围区域升起。

[0021] 有源层的中央区域可以包括所述有源层的沟道区域。此外,有源层的周围区域可以包括有源层的源极区域和有源层的漏极区域。

[0022] 根据本发明的实施方式,由于即使在高电压持续施加至氧化物半导体薄膜晶体管的栅极电极时,氧化物半导体薄膜晶体管也不会轻易地劣化或发生故障,故该氧化物半导体薄膜晶体管可以被用作显示装置(例如,LCD装置、OLED装置等)的栅极扫描电路、背板等的基本结构。此外,通过一种制造氧化物半导体薄膜晶体管的方法,可以制造对持续施加至其栅极电极的高电压具有高耐久性和高可靠性的氧化物半导体薄膜晶体管。

附图说明

[0023] 通过下面的说明并结合附图,可以更详细地理解本发明的实施方式,其中:

[0024] 图1是示出根据本发明的一个实施方式的氧化物半导体薄膜晶体管的横截面图。

[0025] 图2是示出根据本发明的一个实施方式的图1的氧化物半导体薄膜晶体管的横截面图。

[0026] 图3是示出制造根据本发明的一个实施方式的图1的氧化物半导体薄膜晶体管的方法的流程图。

[0027] 图4A、4B、4C、4D、4E、4F、以及4G是示出根据本发明的一个实施方式的图1的氧化物半导体薄膜晶体管的制造过程的横截面图。

[0028] 图5是示出传统氧化物半导体薄膜晶体管对高电压的耐久性和可靠性的曲线图。

[0029] 图6是示出根据本发明的图1的氧化物半导体薄膜晶体管对高电压的耐久性和可靠性的曲线图。

[0030] 图7是示出根据本发明的实施方式的氧化物半导体薄膜晶体管的横截面图。

[0031] 图8是示出制造根据本发明的一个实施方式的图7的氧化物半导体薄膜晶体管的方法的流程图。

[0032] 图9A、9B、9C、9D、9E、和9F是示出根据本发明的一个实施方式的图7的氧化物半导

体薄膜晶体管的制造过程的横截面图。

[0033] 图10是示出使用根据本发明的实施方式的氧化物半导体薄膜晶体管的显示装置的背板的图示。

具体实施方式

[0034] 下面将参考附图更加完整地描述本发明的实施方式。然而,本发明可以表现为不同形式并且不应被解释为限于本文所述的实施方式。在附图中,为了清楚起见,可以对各层和各区域的大小和相对大小进行放大。

[0035] 应理解,当提到某一元件或层“位于……上(on)”、“连接至(connected to)”或“联接至(coupled to)”其它元件或层时,其可能直接位于、连接至或联接至其它元件或层,或可能存在中间元件或层。与此相反,当提到某一元件或层以“直接位于……上(directly on)”、“直接连接至(directly connected to)”或“直接联接至(directly coupled to)”其它元件或层时,则不存在中间元件或层。全文中,相同或相似的参考标号指代相同或相似的元件。本文中使用的术语“和/或”包括相关列出项目中的一个或多个的任意和全部的组合。

[0036] 应理解,虽然第一、第二、第三等术语在文中可以用来描述多种元件、组件、区域、层、图案和/或部分,但这些元件、组件、区域、层、图案和/或部分不应被这些术语限制。这些术语仅用于区别一个元件、组件、区域、层、图案和/或部分与另一个区域、层、图案或部分。因此,在不背离技术方案的教导的情况下,下面讨论的第一元件、组件、区域、层或部分也可被叫做第二元件、组件、区域、层或部分。

[0037] 空间相关的术语,诸如“下方”、“下面”、“下部”、“上面”、“上部”等,可以在文中灵活使用以便于描述图中所示的一个元件或特征与另一个元件或特征的关系。应理解,除了图中所描述的方向,空间相关的术语还旨在包含装置在使用或操作中的不同方向。例如,如果图中的装置被翻转,被描述为在其它元件或特征“下面”或“下方”的元件将随后被定向为在其它元件或特征“上面”。因此,示例性术语“下面”可以同时包含上面和下面的方向。装置可以被定向(旋转90度或以其它方向)并且文中所使用的空间相对的描述符也作相应解释。

[0038] 文中所使用的术语仅用于描述具体实施方式,并不趋向于限制本发明。除了文中明确指示,此处所使用的单数形式“一个(a)”、“一个(an)”和“该(the)”也趋向于包括复数形式。还应理解,当用于本说明书中时,术语“包括(comprise)”和/或“包括(comprising)”指定所述特征、整体、步骤、操作、元件、和/或组件的存在,但不排除额外的一个或多个特征、整体、步骤、操作、组件和/或它们的集合。

[0039] 文中参照横截面图描述了实施方式,这些横截面视图是示例性的理想化的实施方式(和中间结构)的示意图。同样,图示的形状的变化,例如,由制造技术和/或公差引起的变化,是能够预期的。因此,实施方式不应被解释为被限制为文中所示的区域的形状,而应包括例如制造所产生的形状差异。附图所示的区域本质上是示意性的,并且它们的形状不趋向于图示出装置的区域的实际形状,并且不趋向于限制本发明的范围。

[0040] 除非特别限定,文中所使用的全部术语(包括技术术语和科学术语)应与本发明的实施方式所属领域的技术人员通常所理解的一样。还应理解,除非文中特别说明,术语(诸如常用字典中限定的那些术语)应被解释为具有与它们在文中相关技术一致的含义并不会被解释为理想化或过度正式的意义。

[0041] 图1是示出根据本发明的一个实施方式的氧化物半导体薄膜晶体管的横截面图。

[0042] 参照图1,根据本发明的一个实施方式,氧化物半导体薄膜晶体管100具有底栅结构。更具体地,氧化物半导体薄膜晶体管100包括衬底110、栅极电极120、栅极绝缘层130、有源层140、蚀刻阻挡层150、源极电极160、漏极电极170、以及钝化层180。

[0043] 通常,由于氧化物半导体薄膜晶体管相对于非晶硅半导体薄膜晶体管具有高载流子迁移率和低阈值电压漂移的特性,故氧化物半导体薄膜晶体管广泛用于高分辨率显示装置。然而,在传统氧化物半导体薄膜晶体管中,由于栅极电极与有源层之间可能形成寄生电容,故有源层的面积(例如,宽度)需大于栅极电极的面积(例如,宽度)。例如,在使用传统氧化物半导体薄膜晶体管显示装置中,可能引起(例如,观察到)反冲(kickback)现象,在反冲现象中,当施加至栅极电极的电压变化时,寄生电容导致像素电极的电压发生较大波动。然而,氧化物半导体薄膜晶体管100可以包括栅极电极120,栅极电极120的面积(例如,宽度)大于有源层140的面积(例如,宽度)。此外,氧化物半导体薄膜晶体管100还可以包括蚀刻阻挡层150。因此,氧化物半导体薄膜晶体管100可以减少或防止寄生电容形成于栅极电极120与有源层140之间。在下文中,将更详细地描述氧化物半导体薄膜晶体管100。

[0044] 如上所述,氧化物半导体薄膜晶体管100具有底栅结构(例如,反交错(reverse staggered)结构)。因此,可以顺序地形成衬底110、栅极电极120、栅极绝缘层130、有源层140、蚀刻阻挡层150、源极电极160/漏极电极170、以及钝化层180。衬底110可以对应于硅半导体衬底、玻璃衬底、塑料衬底等。形成于衬底110上的栅极电极120具有第一面积,第一面积大于有源层140的第二面积。这里,可以使用导电聚合物或诸如铝(Al)、铬(Cr)、钼(Mo)、钼-钨(MoW)等金属来形成栅极电极120。在某些实施方式中,通过在衬底110上沉积金属并通过对沉积在衬底110上的金属进行构图而形成栅极电极120。沉积在衬底110上的金属可以具有单层结构或多层结构。根据某些实施方式,在衬底110与栅极电极120之间放置有缓冲层。栅极绝缘层130可以通过覆盖栅极电极120而形成于栅极电极120上。这里,可以使用诸如二氧化硅、氮化硅等绝缘材料(例如, SiO_2 、 SiN_x 、 Ga_2O_3 等)来形成栅极绝缘层130。因此,栅极绝缘层130可以使栅极电极120与有源层140绝缘。在某些实施方式中,栅极绝缘层130在与栅极电极120的中央区域相对应的区域处具有突起(例如,升起部)。这里,栅极绝缘层130的突起的第三面积可以小于有源层140的第二面积。此外,栅极绝缘层130的突起可以决定形成于栅极绝缘层130上的有源层140形状。

[0045] 根据本发明的一个实施方式,有源层140形成于栅极绝缘层130上。有源层140的第二面积小于栅极电极120的第一面积并且大于栅极绝缘层130的突起的第三面积。如图1所示,在一个实施方式中,有源层140与栅极电极120空间地重叠(例如,有源层140可以放置在栅极电极120上方)。此外,有源层140可以具有由栅极绝缘层130的突起而弯曲的形状。例如,有源层140的中央区域可以相对于有源层140的周围区域突起(例如,有源层140的中央区域可以相对于有源层140的周围区域升起)。因此,有源层140在中央区域与周围区域之间可以具有阶梯高度区域。通常,有源层140包括沟道区域、源极区域、以及漏极区域。这里,有源层140的中央区域可以包括沟道区域,并且有源层140的周围区域可以包括源极区域和漏极区域。可以使用氧化物材料来形成有源层140。更具体地,可以使用包括铟(In)、锌(Zn)、镓(Ga)、或锡(Sn)中的至少一种的氧化物材料来形成有源层140。此外,氧化物材料还可以包括锂(Li)、钠(Na)、锰(Mn)、镍(Ni)、钯(Pd)、铜(Cu)、镉(Cd)、碳(C)、氮(N)、磷(P)、钛

(Ti)、锆(Zr)、铪(Hf)、钒(V)、钌(Ru)、锗(Ge)、或氟(F)中的至少一种。例如,可以使用诸如ZnO、ZnGaO、ZnInO、ZnSnO、GaInZnO、SnO₂、CdSnO、GaSnO、TiSnO、CuAlO、SrCuO、LaCuOS等氧化物材料来形成有源层140。然而,有源层140的氧化物材料不限于此。这里,有源层140的氧化物材料的电子载流体浓度可以从约 $10^{12}/\text{cm}^3$ 至约 $10^{18}/\text{cm}^3$ 。这样,氧化物半导体薄膜晶体管100可以减少截止状态下的泄漏电流,并可以增加夹断状态中的饱和电流,还可增强开关特性。根据某些实施方式,在有源层140与栅极绝缘层130之间放置有表面稳定层。

[0046] 根据本发明的一个实施方式,蚀刻阻挡层150通过覆盖有源层140的某些部分形成于有源层140上。例如,根据本发明的一个实施方式,蚀刻阻挡层150覆盖有源层140的非接触区域而不覆盖有源层140的接触区域。这里,有源层140的接触区域指的是有源层140与源极电极160和漏极电极170接触的某些部分,而有源层140的非接触区域指的是有源层140不与源极电极160和漏极电极170接触的某些部分。在某些实施方式中,蚀刻阻挡层150通过在有源层140上形成具有蚀刻阻挡材料的层并通过蚀刻该层位于有源层140的源极区域和漏极区域之上的某些部分而形成。因此,蚀刻阻挡层150可以具有暴露一部分源极区域和一部分漏极区域的接触孔。随后,该部分源极区域可以接触源极电极160,并且该部分漏极区域可以接触漏极电极170。图1中示出,蚀刻阻挡层150具有接触孔结构,其中源极电极160和漏极电极170在孔形中接触有源层140(例如,通过蚀刻阻挡层150的接触孔)。然而,蚀刻阻挡层150的结构不限于此。例如,蚀刻阻挡层150可以具有岛状结构,其中源极电极160和漏极电极170接触有源层140的周围区域。因此,蚀刻阻挡层150可以通过减小有源层140与源极电极160和漏极电极170的接触面积来减少或防止寄生电容形成于有源层140与栅极电极120之间。此外,当有源层140在氧化物半导体薄膜晶体管100的制造过程中暴露于外界时,蚀刻阻挡层150可以充当钝化层以减少或防止对有源层140的损害。

[0047] 根据本发明的一个实施方式,源极电极160和漏极电极170形成于蚀刻阻挡层150上。如上所述,源极电极160接触有源层140的源极区域,并且漏极电极170接触有源层140的漏极区域。这里,可以使用诸如铝(Al)、铬(Cr)、钼(Mo)、钼-钨(MoW)等金属来形成源极电极160和漏极电极170。在某些实施方式中,源极电极160和漏极电极170是通过在蚀刻阻挡层150上沉积金属以填充蚀刻阻挡层150的接触孔并通过对沉积在蚀刻阻挡层150上的金属进行构图而形成。沉积在蚀刻阻挡层150上的金属可以具有单层结构或多层结构。随后,钝化层180可以形成于蚀刻阻挡层150、源极电极160、以及漏极电极170上以覆盖蚀刻阻挡层150、源极电极160、以及漏极电极170。由于蚀刻阻挡层150覆盖有源层140的非接触区域,故钝化层180可以覆盖蚀刻阻挡层150而不是有源层140。在某些实施方式中,钝化层180包括二氧化硅层、氮化硅层、有机绝缘层等中的至少一个。如上所述,由于栅极电极120的第一面积大于有源层140的第二面积,故氧化物半导体薄膜晶体管100可以承受施加至栅极电极120的高电压,并且由于蚀刻阻挡层150减小了有源层140与源极电极160和漏极电极170的接触面积,故氧化物半导体薄膜晶体管100可以减少或防止寄生电容形成于栅极电极120与有源层140之间。因此,对于施加至栅极电极120的高电压,氧化物半导体薄膜晶体管100可以具有高耐久性和高可靠性。因此,氧化物半导体薄膜晶体管100可以用作显示装置的栅极扫描电路、背板等的基本结构。

[0048] 图2是示出根据本发明的一个实施方式的图1的氧化物半导体薄膜晶体管的横截面图。

[0049] 参照图2,根据本发明的一个实施方式,氧化物半导体薄膜晶体管200具有底栅结构。更具体地,氧化物半导体薄膜晶体管200包括衬底210、栅极电极220、栅极绝缘层230、有源层240、蚀刻阻挡层250、源极电极260、漏极电极270、以及钝化层280。

[0050] 如上所述,图1的氧化物半导体薄膜晶体管100包括具有接触孔结构的蚀刻阻挡层150,其中,源极电极160和漏极电极170在孔形中接触有源层140(例如,通过蚀刻阻挡层150的接触孔)。另一方面,如图2所示,氧化物半导体薄膜晶体管200包括具有岛状结构的蚀刻阻挡层,其中,源极电极260和漏极电极270接触有源层240的周围区域。与图1的氧化物半导体薄膜晶体管100类似,由于栅极电极220的第一面积大于有源层240的第二面积,故氧化物半导体薄膜晶体管200可以承受施加至栅极电极220的高电压,并且由于蚀刻阻挡层240减小了有源层240与源极电极260和漏极电极270的接触面积,故氧化物半导体薄膜晶体管200可以减少或防止寄生电容形成于栅极电极220和有源层240之间。因此,对于施加至栅极电极220的高电压,氧化物半导体薄膜晶体管200可以具有高耐久性和高可靠性。因此,氧化物半导体薄膜晶体管200可以用作显示装置的栅极扫描电路、背板等的基本结构。

[0051] 图3是示出制造根据本发明的一个实施方式的图1的氧化物半导体薄膜晶体管的方法的流程图。

[0052] 参照图3,在制造根据本发明的图1的氧化物半导体薄膜晶体管100的方法中,将具有第一面积的栅极电极120形成于衬底110上(S110)。将栅极绝缘层130形成于栅极电极120上以覆盖栅极电极120(S120)。将具有第二面积的有源层140形成于栅极绝缘层130上(S130)。这里,有源层140的第二面积可以小于栅极电极120的第一面积。将蚀刻阻挡层150形成于有源层140上(S140)。将源极电极160和漏极电极170形成于蚀刻阻挡层150上(S150)。这里,源极电极160接触有源层140的源极区域,并且漏极电极170接触有源层140的漏极区域。将钝化层180形成于蚀刻阻挡层150、源极电极160、以及漏极电极170上(S160)以覆盖蚀刻阻挡层150、源极电极160、以及漏极电极170。

[0053] 根据本发明的一个实施方式,将具有第一面积的栅极电极120形成于衬底110上(S110)。如上所述,栅极电极120的第一面积大于有源层140的第二面积。在某些实施方式中,通过在衬底110上沉积金属并通过对沉积在衬底110上的金属进行构图而形成栅极电极120。随后将栅极绝缘层130形成于栅极电极120上以覆盖栅极电极120(S120)。这里,栅极绝缘层130可以在与栅极电极120的中央区域相对应的区域处具有突起(例如,升起部)。如上所述,栅极绝缘层130的突起的第三面积可以小于有源层140的第二面积。此外,栅极绝缘层130的突起可以决定形成于栅极绝缘层130上的有源层140的形状。随后,将具有第二面积的有源层140形成于栅极绝缘层130上(S130)。这里,有源层140可以具有由栅极绝缘层130的突起而弯曲的形状。例如,有源层140的中央区域可以相对于有源层140的周围区域突起(例如升起)。这样,有源层140在中央区域与周围区域之间可以具有阶梯高度区域。有源层140可以与栅极电极120空间地堆叠(例如,有源层140可以放置在栅极电极120上)。

[0054] 随后,将覆盖有源层140某些部分的蚀刻阻挡层150形成于有源层140上(S140)。在某些实施方式中,通过在有源层140上形成具有蚀刻阻挡材料的层并通过蚀刻该层位于有源层140的源极区域和漏极区域之上的某些部分而形成蚀刻阻挡层150。随后,源极电极160和漏极电极170形成于蚀刻阻挡层150上(S150)。在某些实施方式中,源极电极160和漏极电极170可以通过在蚀刻阻挡层150上沉积金属并通过对沉积在蚀刻阻挡层150上的金属进行

构图而形成。随后将钝化层180形成于蚀刻阻挡层150、源极电极160、以及漏极电极170上(S160)。由于蚀刻阻挡层150覆盖有源层140的非接触区域,故钝化层180可以覆盖蚀刻阻挡层150而不是有源层140。根据某些实施方式,在衬底110与栅极电极120之间放置缓冲层,并且在有源层140与栅极绝缘层130之间放置表面稳定层。

[0055] 因此,图3所示实施方式的方法可以被用来制造氧化物半导体薄膜晶体管100,在该晶体管中,栅极电极120的第一面积大于有源层140的第二面积,并且蚀刻阻挡层150放置在有源层140与源极电极160和漏极电极170之间。因此,对于施加至栅极电极120的高电压,氧化物半导体薄膜晶体管100可以具有高耐久性和高可靠性。将参照下面的图4A、4B、4C、4D、4E、4F、以及4G对氧化物半导体薄膜晶体管100的制造过程进行更详细的描述。

[0056] 图4A、4B、4C、4D、4E、4F、以及4G是示出根据本发明的一个实施方式的图1的氧化物半导体薄膜晶体管100的制造过程的横截面图。

[0057] 参照图4A,设置衬底110。例如,衬底110可以是硅半导体衬底、玻璃衬底、塑料衬底等。

[0058] 参照图4B,将栅极电极120形成于衬底110上。这里,栅极电极120的第一面积可以大于有源层140的第二面积。结果,有源层140与栅极电极120可以空间地堆叠(例如,有源层140可以放置于栅极电极120之上)。可以使用导电聚合物或诸如铝(Al)、铬(Cr)、钼(Mo)、钼-钨(MoW)等金属来形成栅极电极120。在某些实施方式中,栅极电极120可以通过在衬底110上沉积金属并通过对沉积在衬底110上的金属进行构图而形成。这里,沉积在衬底110上的金属可以具有单层结构或多层结构。根据某些实施方式,在衬底110与栅极电极120之间放置有缓冲层。缓冲层可以在衬底110与栅极电极120之间执行缓冲功能。在衬底110与栅极电极120之间放置有缓冲层的实施方式中,栅极电路120通过在缓冲层上沉积金属并通过对沉积在缓冲层上的金属进行构图而形成。

[0059] 参照图4C,栅极绝缘层130通过覆盖栅极电路120而形成于栅极电极120上。这里,可以使用绝缘材料(例如, SiO_2 、 SiN_x 、 Ga_2O_3 等)来形成栅极绝缘层130。因此,栅极绝缘层130可以使栅极电极120与有源层140绝缘。在某些实施方式中,栅极绝缘层130在与栅极电极120的中央区域相对应的区域处具有突起(例如,被升起)。这里,栅极绝缘层130的突起的第三面积小于有源层140的第二面积。此外,栅极绝缘层130的突起可以决定形成于栅极绝缘层130上的有源层140的形状。结果,有源层140可以具有由栅极绝缘层130的突起而弯曲的形状。例如,有源层140的中央区域可以相对于有源层140的周围区域突起(例如,有源层140的中央区域可以相对于有源层140的周围区域升起)。根据某些实施方式,表面稳定层(例如,氧化层)形成于栅极绝缘层130上。

[0060] 参照图4D,有源层140形成于栅极绝缘层130上。如上所述,有源层140与栅极电极120空间地堆叠(例如,有源层140可以放置在栅极电极120之上)。这里,有源层140的第二面积小于栅极电极120的第一面积并大于栅极绝缘层130的突起的第三面积。因此,有源层140具有由栅极绝缘层130的突起而弯曲的形状。例如,有源层140的中央区域相对于有源层140的周围区域突起(例如,有源层140的中央区域相对于有源层140的周围区域升起)。这样,有源层140在中央区域和周围区域之间具有阶梯高度区域。通常,有源层140包括沟道区域、源极区域、以及漏极区域。这里,有源层140的中央区域可以包括沟道区域,并且有源层140的周围区域可以包括源极区域和漏极区域。

[0061] 可以使用氧化物材料来形成有源层140。更具体地,可以使用包括铟(In)、锌(Zn)、镓(Ga)、或锡(Sn)中的至少一种的氧化物材料来形成有源层140。此外,氧化物材料还可以包括锂(Li)、钠(Na)、锰(Mn)、镍(Ni)、钯(Pd)、铜(Cu)、镉(Cd)、碳(C)、氮(N)、磷(P)、钛(Ti)、锆(Zr)、铪(Hf)、钒(V)、钌(Ru)、锗(Ge)、或氟(F)中的至少一种。例如,可以使用诸如ZnO、ZnGaO、ZnInO、ZnSnO、GaInZnO、SnO₂、CdSnO、GaSnO、TiSnO、CuAlO、SrCuO、LaCuOS等氧化物材料来形成有源层140。然而,有源层140的氧化物材料不限于此。

[0062] 在某些实施方式中,通过使用物理气相沉积(PVD)技术(例如,溅射技术、电子束蒸发技术、热蒸发技术、激光分子束外延蒸发技术、脉冲激光沉积技术等)在栅极绝缘层130上沉积氧化物材料并通过对沉积在栅极绝缘层130上的氧化物材料进行构图来形成有源层140。这里,有源层140的氧化物材料的电子载流体浓度可以是约 $10^{12}/\text{cm}^3$ 至约 $10^{18}/\text{cm}^3$ 。结果,氧化物半导体薄膜晶体管100可以减少截止状态下的漏泄电流,并可以增大夹断状态中的饱和电流,还可增强开关特性。

[0063] 参照图4E,蚀刻阻挡层150通过覆盖有源层140的某些部分而形成于有源层140上。例如,蚀刻阻挡层150覆盖有源层140的非接触区域而不覆盖有源层140的接触区域。这里,有源层140的接触区域指的是有源层与源极电极160和漏极电极170接触的某些部分,有源层140的非接触区域指的是有源层不与源极电极160和漏极电极170接触的某些部分。在某些实施方式中,蚀刻阻挡层150通过在有源层140上形成具有蚀刻阻挡材料的层并通过蚀刻该层位于有源层140的源极区域和漏极区域之上的某些部分而形成。因此,蚀刻阻挡层150具有暴露一部分源极区域和一部分漏极区域的接触孔。随后,该部分源极区域可以接触源极电极160,并且该部分漏极区域可以接触漏极电极170。可以根据蚀刻阻挡层150的结构来改变蚀刻阻挡层150的接触孔的位置和形状。例如,如图1所示,根据本发明的一个实施方式,蚀刻阻挡层150具有接触孔结构,在该接触孔结构中,源极电极160和漏极电极170在孔形中接触有源层(例如,通过蚀刻阻挡层150的接触孔)。然而,如图2所示,根据本发明的另一个实施方式,蚀刻阻挡层150可以具有岛状结构,在该岛状结构中,源极电极160和漏极电极170接触有源层140的周围区域。

[0064] 如上所述,在氧化物半导体薄膜晶体管100中,栅极电极120的第一面积可以大于有源层140的第二面积。通常,在传统氧化物半导体薄膜晶体管100中,在栅极电极120与有源层140之间可能形成寄生电容。然而,如图4E所示,氧化物半导体薄膜晶体管100包括蚀刻阻挡层150,蚀刻阻挡层150通过减小有源层140与源极电极160和漏极电极170的接触面积来减少或防止寄生电容形成于有源层140与栅极电极120之间。此外,可以使用对氧气具有键合特性的无机氧化物来形成蚀刻阻挡层150。因此,当有源层140在氧化物半导体薄膜晶体管100的制造过程中暴露于外部时,蚀刻阻挡层150可以充当钝化层以减少或防止对有源层140的损害。

[0065] 参照图4F,源极电极160和漏极电极170形成于蚀刻阻挡层150上。如上所述,可以使用诸如铝(Al)、铬(Cr)、钼(Mo)、钼-钨(MoW)等金属来形成源极电极160和漏极电极170。在某些实施方式中,源极电极160和漏极电极170通过在蚀刻阻挡层150上沉积金属以填充蚀刻阻挡层150的接触孔并通过对沉积在蚀刻阻挡层150上的金属进行构图而形成。这里,沉积在蚀刻阻挡层150上的金属可以具有单层结构或多层结构。此外,源极电极160和漏极电极170可以分别接触有源层140的源极区域和有源层140的漏极区域。例如,在蚀刻阻挡层

150具有接触孔结构的实施方式中,源极电极160和漏极电极170在接触孔中分别接触有源层140的源极区域和有源层140的漏极区域。另一方面,在蚀刻阻挡层150具有岛状结构的实施方式中,源极电极260和漏极电极270分别接触有源层140的周围区域。

[0066] 参照图4G,钝化层180形成于蚀刻阻挡层150、源极电极160、以及漏极电极170上以覆盖蚀刻阻挡层150、源极电极160、以及漏极电极170。如上所述,由于蚀刻阻挡层150覆盖有源层140的非接触区域,故钝化层180可以覆盖蚀刻阻挡层150而不是有源层140。在某些实施方式中,钝化层180通过使硅氧化层、硅氮化层、有机绝缘层等中的至少一个沉积而形成。由于栅极电极120的第一面积大于有源层140的第二面积,故氧化物半导体薄膜晶体管100可以承受施加至栅极电极120的高电压,并且由于蚀刻阻挡层150减小了有源层140与源极电极160和漏极电极170的接触面积,故氧化物半导体薄膜晶体管100可以减少或防止寄生电容形成于栅极电极120与有源层140之间。因此,对于施加至栅极电极120的高电压,氧化物半导体薄膜晶体管100可以具有高耐久性和高可靠性。因此,氧化物半导体薄膜晶体管100可以被用作显示装置的栅极扫描电路、背板等的基本结构。

[0067] 图5是示出传统耐高电压氧化物半导体薄膜晶体管对高电压的耐久性和可靠性的曲线图。图6是示出根据本发明的一个实施方式的图1的氧化物半导体薄膜晶体管的对高电压的耐久性和可靠性的曲线图。

[0068] 参照图5和6,示出了氧化物半导体薄膜晶体管的电流-电压(IV)转换特性。更具体地,IV转换特性表明流过漏极电极的漏极电流 I_d 随着施加至栅极电极的栅极电压 V_g 改变,并且阈值电压 V_{th} 随着应力时间改变。在图5和6中,IV转换特性是通过向氧化物半导体薄膜晶体管施加约45V的栅极-源极电压 V_{gs} 高达2小时的应力时间来估算的,该氧化物半导体薄膜晶体管的沟道宽度/长度(WL)比为50:10 μm 。这里,波形REF指的是参考状态的IV转换特性,波形30(分钟)指的是经过30分钟之后的IV转换特性,波形60(分钟)指的是经过60分钟之后的IV转换特性,波形90(分钟)指的是经过90分钟之后的IV转换特性,波形120(分钟)指的是经过120分钟之后的IV转换特性。

[0069] 如图5所示,当向传统氧化物半导体薄膜晶体管的栅极电极施加高电压时,由于引起(例如,观察到)氧化物半导体薄膜晶体管的劣化和/或毁坏,故参考状态的IV转换特性可能不被保持。实际上,在诸如LCD装置、OLED装置等显示装置中,当传统氧化物半导体薄膜晶体管在显示装置中被用作栅极扫描电路的基本结构时,可以在每一个帧期间向传统氧化物半导体薄膜晶体管施加约45V的栅极-源极电压 V_{gs} 。因此,由于高电压(例如,约45V的栅极-源极电压 V_{gs})引起(例如,观察到)传统氧化物半导体薄膜晶体管的劣化和/或毁坏,故显示装置可能具有某些缺陷,诸如栅极阻塞缺陷(gate block defect,GBD)、栅极开路缺陷(gate open defect,G/O)等。此外,在诸如LCD装置、OLED装置等显示装置中,当传统氧化物半导体薄膜晶体管在显示装置中被用作背板的基本结构时,可以向传统氧化物半导体薄膜晶体管施加大于约40V的驱动电压。因此,由于高电压(例如,大于约40V的驱动电压)引起(例如,观察到)传统氧化物半导体薄膜晶体管的劣化和/或毁坏,故显示装置可能发生故障。

[0070] 然而,如图6所示,图1所示的实施方式的氧化物半导体薄膜晶体管100可以承受持续施加至其栅极电极120上的高电压。也就是说,即使当向图1的氧化物半导体薄膜晶体管100施加高电压时,参考状态的IV转移特性也可以基本保持。例如,即使当向氧化物半导体

薄膜晶体管100持续施加约45V的栅极-源极电压 V_{gs} 时,在经过120分钟之后,阈值电压 V_{th} 也可以被改变约2.6V(例如,从约1.35V至约3.9V)。如上所述,由于栅极电极120的第一面积大于有源层140的第二面积,并且蚀刻阻挡层150减小有源层140与源极电极160和漏极电极170的接触面积(例如,蚀刻阻挡层150可以减少或防止寄生电容形成于栅极电极120与有源层140之间),故图1的氧化物半导体薄膜晶体管100可以具有对高电压的高耐久性和高可靠性。因此,图1的氧化物半导体薄膜晶体管100可以被用作诸如LCD装置和OLED装置的显示装置的栅极扫描电路、背板等的基本结构。

[0071] 图7示出根据本发明的实施方式的氧化物半导体薄膜晶体管的实施例的横截面图。

[0072] 参照图7,氧化物半导体薄膜晶体管300可以具有底栅结构。更具体地,根据本发明的一个实施方式,氧化物半导体薄膜晶体管300包括衬底310、栅极电极320、栅极绝缘层330、有源层340、源极电极360、漏极电极370、以及钝化层380。

[0073] 氧化物半导体薄膜晶体管300具有底栅结构(例如,反交错结构)。因此,可以顺序地形成衬底310、栅极电极320、栅极绝缘层330、有源层340、源极电极360/漏极电极370、以及钝化层380。衬底310可以对应于硅半导体衬底、玻璃衬底、塑料衬底等。形成于衬底310上的栅极电极320具有第一面积,第一面积大于有源层340的第二面积。这里,可以使用导电聚合物或诸如铝(Al)、铬(Cr)、钼(Mo)、钼-钨(MoW)等金属来形成栅极电极320。在某些实施方式中,栅极电极320通过在衬底310上沉积金属并通过对沉积在衬底310上的金属进行构图而形成。沉积在衬底310上的金属可以具有单层结构或多层结构。根据某些实施方式,在衬底310与栅极电极320之间放置有缓冲层。栅极绝缘层330可以通过覆盖栅极电极320而形成于栅极电极320上。这里,可以使用诸如二氧化硅、氮化硅等绝缘材料(例如, SiO_2 、 SiN_x 、 Ga_2O_3 等)来形成栅极绝缘层330。因此,栅极绝缘层330可以使栅极电极320与有源层340绝缘。在某些实施方式中,栅极绝缘层330在与栅极电极320的中央区域相对应的区域处具有突起(例如,升起部)。这里,栅极绝缘层330的突起的第三面积(例如,宽度)可以小于有源层340的第二面积(例如,宽度)。此外,栅极绝缘层330的突起可以决定形成于栅极绝缘层330上的有源层340形状。

[0074] 有源层340形成于栅极绝缘层330上。此外,有源层340的第二面积小于栅极电极320的第一面积并且大于栅极绝缘层330的突起的第三面积。如图7所示,有源层340与栅极电极320空间地重叠(例如,有源层340可以放置在栅极电极320上方)。此外,有源层340可以具有由栅极绝缘层330的突起而弯曲的形状。例如,有源层340的中央区域可以相对于有源层340的周围区域突起(例如有源层340的中央区域可以,相对于有源层340的周围区域升起)。因此,有源层340在中央区域与周围区域之间可以具有阶梯高度区域。通常,有源层340包括沟道区域、源极区域、以及漏极区域。这里,有源层340的中央区域包括沟道区域,并且有源层340的周围区域包括源极区域和漏极区域。可以使用氧化物材料来形成有源层340。更具体地,可以使用包括铟(In)、锌(Zn)、镓(Ga)、或锡(Sn)中的至少一种的氧化物材料来形成有源层340。此外,氧化物材料还可以包括锂(Li)、钠(Na)、锰(Mn)、镍(Ni)、钯(Pd)、铜(Cu)、镉(Cd)、碳(C)、氮(N)、磷(P)、钛(Ti)、锆(Zr)、铪(Hf)、钒(V)、钌(Ru)、锗(Ge)、或氟(F)中的至少一种。例如,可以使用诸如 ZnO 、 $ZnGaO$ 、 $ZnInO$ 、 $ZnSnO$ 、 $GaInZnO$ 、 SnO_2 、 $CdSnO$ 、 $GaSnO$ 、 $TiSnO$ 、 $CuAlO$ 、 $SrCuO$ 、 $LaCuOS$ 等氧化物材料来形成有源层340。然而,有源层340的氧

化物材料不限于此。这里,有源层340的氧化物材料的电子载流体浓度可以从约 $10^{12}/\text{cm}^3$ 至约 $10^{18}/\text{cm}^3$ 。因此,氧化物半导体薄膜晶体管300可以减少截止状态下的漏泄电流,并可以增加夹断状态下的饱和电流,还可增强开关特性。根据某些实施方式,在有源层340与栅极绝缘层330之间放置有表面稳定层。

[0075] 随后,将源极电极360和漏极电极370形成于有源层340上。如上所述,源极电极360接触有源层340的源极区域,漏极电极370接触有源层340的漏极区域。这里,可以使用诸如铝(Al)、铬(Cr)、钼(Mo)、钼-钨(MoW)等金属来形成源极电极360和漏极电极370。在某些实施方式中,源极电极360和漏极电极370通过在有源层340上沉积金属并通过对沉积在有源层340上的金属进行构图而形成。沉积在有源层340上的金属可以具有单层结构或多层结构。这里,当对源极电极360和漏极电极370进行构图时,可以确定有源层340与源极电极360和漏极电极370的接触面积。钝化层380可以形成于有源层340、源极电极360、以及漏极电极370上以覆盖有源层340、源极电极360、以及漏极电极370。在某些实施方式中,钝化层380包括二氧化硅层、氮化硅层、有机绝缘层等中的至少一个。如上所述,由于栅极电极320的第一面积大于有源层340的第二面积,故氧化物半导体薄膜晶体管300可以承受施加至栅极电极320的高电压,并且由于有源层340与源极电极360和漏极电极370的接触面积被减小,故氧化物半导体薄膜晶体管300可以减少或防止寄生电容形成于栅极电极320与有源层340之间。因此,氧化物半导体薄膜晶体管300对于施加至栅极电极320的高电压可以具有高耐久性和高可靠性。因此,氧化物半导体薄膜晶体管300可以用作显示装置的栅极扫描电路、背板等的基本结构。

[0076] 图8是示出制造根据本发明的一个实施方式的图7的氧化物半导体薄膜晶体管的方法的流程图。

[0077] 参照图8,在制造根据本发明的氧化物半导体薄膜晶体管300的方法中,可将具有第一面积的栅极电极320形成于衬底310上(S310)。将栅极绝缘层330形成于栅极电极320上以覆盖栅极电极320(S320)。将具有第二面积的有源层340形成于栅极绝缘层330上(S330)。这里,有源层340的第二面积可以小于栅极电极320的第一面积。将源极电极360和漏极电极370形成于有源层340上(S340)。这里,源极电极360接触有源层340的源极区域,并且漏极电极370接触有源层340的漏极区域。钝化层380形成于有源层340、源极电极360、以及漏极电极370上(S350)以覆盖有源层340、源极电极360、以及漏极电极370。

[0078] 将具有第一面积的栅极电极320形成于衬底310上(S310)。如上所述,栅极电极320的第一面积大于有源层340的第二面积。在某些实施方式中,栅极电极320通过在衬底310上沉积金属并通过对沉积在衬底310上的金属进行构图而形成。随后将栅极绝缘层330形成于栅极电极320上以覆盖栅极电极320(S320)。这里,栅极绝缘层330可以在与栅极电极320的中央区域相对应的区域处具有突起(例如,升起部)。如上所述,栅极绝缘层330的突起的第三面积可以小于有源层340的第二面积。此外,栅极绝缘层330的突起可以决定形成于栅极绝缘层330上的有源层340的形状。随后,将具有第二面积的有源层340形成于栅极绝缘层330上(S330)。这里,有源层340可以具有由栅极绝缘层330的突起而弯曲的形状。例如,有源层340的中央区域可以相对于有源层340的周围区域突起(例如,有源层340的中央区域可以相对于有源层340的周围区域升起)。因此,有源层340可包括位于中央区域与周围区域之间的阶梯高度区域。有源层340可以与栅极电极320空间地堆叠(例如,有源层340可以放置在

栅极电极320上)。

[0079] 随后,将源极电极360和漏极电极370形成于有源层340上(S340)。如上所述,源极电极360接触有源层340的源极区域,并且漏极电极370接触有源层340的漏极区域。在某些实施方式中,源极电极360和漏极电极370可以通过在有源层340上沉积金属并通过对沉积在有源层340上的金属进行构图而形成。这里,有源层340与源极电极360和漏极电极370的接触面积可以在对源极电极360和漏极电极370进行构图时确定。随后,将钝化层380形成于有源层340、源极电极360、以及漏极电极370上(S350)。根据某些实施方式,在衬底310与栅极电极320之间放置缓冲层,并且在有源层340与栅极绝缘层330之间放置表面稳定层。

[0080] 因此,图8的方法可以被用来制造氧化物半导体薄膜晶体管300,在该方法中,栅极电极320的第一面积大于有源层340的第二面积,并且有源层340与源极电极360和漏极电极370的接触面积被减小。因此,氧化物半导体薄膜晶体管300可以对施加至栅极电极320的高电压具有高耐久性和高可靠性。将参照下面的图9A、9B、9C、9D、9E、以及9F对氧化物半导体薄膜晶体管300的制造过程进行更详细的描述。

[0081] 图9A、9B、9C、9D、9E、以及9F是示出根据本发明的一个实施方式的图7的氧化物半导体薄膜晶体管的制造过程的横截面图。

[0082] 参照图9A,设置衬底310。例如,衬底310可以是硅半导体衬底、玻璃衬底、塑料衬底等。

[0083] 参照图9B,将栅极电极320形成于衬底310上。这里,栅极电极320的第一面积可以大于有源层340的第二面积。因此,有源层340与栅极电极320可以空间地堆叠(例如,有源层340可以放置于栅极电极320之上)。可以使用导电聚合物或诸如铝(Al)、铬(Cr)、钼(Mo)、钼-钨(MoW)等金属来形成栅极电极320。在某些实施方式中,栅极电极320可以通过在衬底310上沉积金属并通过对沉积在衬底310上的金属进行构图而形成。这里,沉积在衬底310上的金属可以具有单层结构或多层结构。根据某些实施方式,在衬底310与栅极电极320之间放置有缓冲层。缓冲层可以在衬底310与栅极电极320之间实现缓冲功能。在衬底310与栅极电极320之间放置有缓冲层的实施方式中,栅极电路320通过在缓冲层上沉积金属并通过对沉积在缓冲层上的金属进行构图而形成。

[0084] 参照图9C,栅极绝缘层330通过覆盖栅极电路320而形成于栅极电极320上。这里,可以使用绝缘材料(例如, SiO_2 、 SiN_x 、 Ga_2O_3 等)来形成栅极绝缘层330。因此,栅极绝缘层330可以使栅极电极320与有源层340绝缘。在某些实施方式中,栅极绝缘层330在与栅极电极320的中央区域相对应的区域处具有突起(例如,升起部)。这里,栅极绝缘层330的突起的第三面积小于有源层340的第二面积。此外,栅极绝缘层330的突起可以决定形成于栅极绝缘层330上的有源层340的形状。因此,有源层340可以具有由栅极绝缘层330的突起而弯曲的形状。例如,有源层340的中央区域可以相对于有源层340的周围区域突起(例如,有源层340的中央区域可以相对于有源层340的周围区域升起)。根据某些实施方式,表面稳定层(例如,氧化层)形成于栅极绝缘层330上。

[0085] 参照图9D,有源层340形成于栅极绝缘层330上。如上所述,有源层340与栅极电极320空间地堆叠(例如,有源层340可以放置在栅极电极320之上)。这里,有源层340的第二面积小于栅极电极320的第一面积并大于栅极绝缘层330的突起的第三面积。因此,有源层340具有由栅极绝缘层330的突起而弯曲的形状。例如,有源层340的中央区域相对于有源层340

的周围区域突起(例如,有源层340的中央区域相对于有源层340的周围区域升起)。因此,有源层340包括位于中央区域和周围区域之间的阶梯高度区域。通常,有源层340包括沟道区域、源极区域、以及漏极区域。这里,有源层340的中央区域包括沟道区域,并且有源层340的周围区域包括源极区域和漏极区域。

[0086] 可以使用氧化物材料来形成有源层340。更具体地,可以使用包括铟(In)、锌(Zn)、镓(Ga)、或锡(Sn)中的至少一种的氧化物材料来形成有源层340。此外,氧化物材料还可以包括锂(Li)、钠(Na)、锰(Mn)、镍(Ni)、钯(Pd)、铜(Cu)、镉(Cd)、碳(C)、氮(N)、磷(P)、钛(Ti)、锆(Zr)、铪(Hf)、钒(V)、钌(Ru)、锗(Ge)、或氟(F)中的至少一种。例如,可以使用诸如 ZnO 、 ZnGaO 、 ZnInO 、 ZnSnO 、 GaInZnO 、 SnO_2 、 CdSnO 、 GaSnO 、 TiSnO 、 CuAlO 、 SrCuO 、 LaCuO 等氧化物材料来形成有源层340。然而,有源层340的氧化物材料不限于此。

[0087] 在某些实施方式中,通过使用物理气相沉积(PVD)技术(例如,溅射技术、电子束蒸发技术、热蒸发技术、激光分子束外延蒸发技术、脉冲激光沉积技术等)在栅极绝缘层330上沉积氧化物材料并通过对沉积在栅极绝缘层330上的氧化物材料进行构图来形成有源层340。这里,有源层340的氧化物材料的电子载流体浓度可以是约 $10^{12}/\text{cm}^3$ 至约 $10^{18}/\text{cm}^3$ 。结果,氧化物半导体薄膜晶体管300可以减少截止状态下的漏泄电流,并可以增加夹断状态下的饱和电流,还可以增强开关特性。

[0088] 参照图9E,源极电极360和漏极电极370形成于有源层340上。如上所述,可以使用诸如铝(Al)、铬(Cr)、钼(Mo)、钼-钨(MoW)等金属来形成源极电极360和漏极电极370。在某些实施方式中,源极电极360和漏极电极370通过在有源层340上沉积金属并通过对沉积在有源层340上的金属进行构图而形成。这里,沉积在有源层340上的金属可以具有单层结构或多层结构。此外,可以有通过对源极电极360和漏极电极370进行构图来决定有源层340与源极电极360和漏极电极370的接触面积。因此,源极电极360和漏极电极370可以分别接触有源层340的源极区域和有源层340的漏极区域。

[0089] 参照图9F,钝化层380形成于有源层340、源极电极360、以及漏极电极370上以覆盖有源层340、源极电极360、以及漏极电极370。在某些实施方式中,钝化层380通过使硅氧化层、硅氮化层、有机绝缘层等中的至少一个沉积而形成。由于栅极电极320的第一面积大于有源层340的第二面积,故氧化物半导体薄膜晶体管300可以承受施加至栅极电极320的高电压,并且由于有源层340与源极电极360和漏极电极370的接触面积被减小,故氧化物半导体薄膜晶体管300可以减少或防止寄生电容形成于栅极电极320与有源层340之间。因此,氧化物半导体薄膜晶体管300可以对施加至栅极电极320的高电压具有高耐久性和高可靠性。因此,氧化物半导体薄膜晶体管300可以被用作显示装置的栅极扫描电路、背板等的基本结构。

[0090] 图10是示出使用根据本发明的实施方式的氧化物半导体薄膜晶体管的显示装置的背板的图示。

[0091] 参照图10,显示装置的背板1000在与多个栅极线GL和多个数据线DL的交叉处相对应的区域中包括多个像素P1和P2。像素P1和P2中的每一个均可以包括开关元件、液晶电容器、以及存储电容器。这里,氧化物半导体薄膜晶体管TFT可以被用作开关元件。

[0092] 氧化物半导体薄膜晶体管TFT可以形成于下部显示衬底上并连接至栅极线GL、数据线DL、以及液晶电容器。因此,氧化物半导体薄膜晶体管TFT可以根据由栅极线GL提供的

栅极信号提供从数据线DL到液晶电容器的数据信号输出。更具体地,氧化物半导体薄膜晶体管TFT可以通过其栅极电极连接至栅极线GL,可以通过其源极电极连接至数据线DL,并可以通过其漏极电极连接至液晶电容器。通常,液晶电容器包括形成于下部显示衬底上的像素电极、形成于上部显示衬底上的公共电极、以及位于像素电极和公共电极之间的液晶层。在图10中,连接至氧化物半导体薄膜晶体管TFT的像素电极被示为液晶电容器。可以通过施加至像素电极的数据信号与施加至公共电极的公共电压之间的电位差来对液晶电容器进行充电。这里,可以通过施加至像素电极的数据信号与施加至公共电极的公共电压之间的电位差来对液晶层的透光率进行控制。

[0093] 如图10所示,氧化物半导体薄膜晶体管TFT可以具有底栅结构(例如,反交错结构)。在本发明的一个实施方式中,氧化物半导体薄膜晶体管TFT可以包括衬底、栅极电极、栅极绝缘层、有源层、源极电极、漏极电极、以及钝化层。在本发明的另一个实施方式中,氧化物半导体薄膜晶体管TFT可以包括衬底、栅极电极、栅极绝缘层、有源层、蚀刻阻挡层、源极电极、漏极电极、以及钝化层。由于上面已经描述了氧化物半导体薄膜晶体管TFT,故这里将省略对氧化物半导体薄膜晶体管TFT的描述。如上所述,由于氧化物半导体薄膜晶体管TFT的栅极电极的第一面积(例如,宽度)大于其有源层的第二面积,故氧化物半导体薄膜晶体管TFT可以承受施加至其栅极电极的高电压,并且由于氧化物半导体薄膜晶体管TFT的蚀刻阻挡层(或对其源极电极和其漏极电极的构图)减小了其有源层与其源极电极和其漏极电极之间的接触面积,故氧化物半导体薄膜晶体管TFT可以减少或防止寄生电容形成于其栅极电极与其有源层之间。

[0094] 本发明的实施方式可以应用于显示装置、以及具有显示装置的电装置。因此,本发明的实施方式可以应用于计算机监视器、数字电视、笔记本电脑、数码相机、视频摄像机、移动电话、智能电话、便携式多媒体播放器(PMP)、个人数字助理(PDA)、MP3播放器、导航装置、视频电话等。

[0095] 前面所述的实施方式是说明性的,并且不能解释为对本发明的限定。虽然已经描述了几个实施方式,但本领域技术人员应理解,在不实质地背离本发明的新颖性教导和优点的情况下,可以对实施方式进行多种修改。因此,所有这些修改均趋向于被包括在如权利要求中所限定的本发明的范围内。因此,应理解,前面所述的各种示例性实施方式是说明的,而不应被解释为本发明的范围限于所公开的具体实施方式,对所公开实施方式的修改、以及其它实施方式均包括在所附权利要求和其等同形式的范围内。

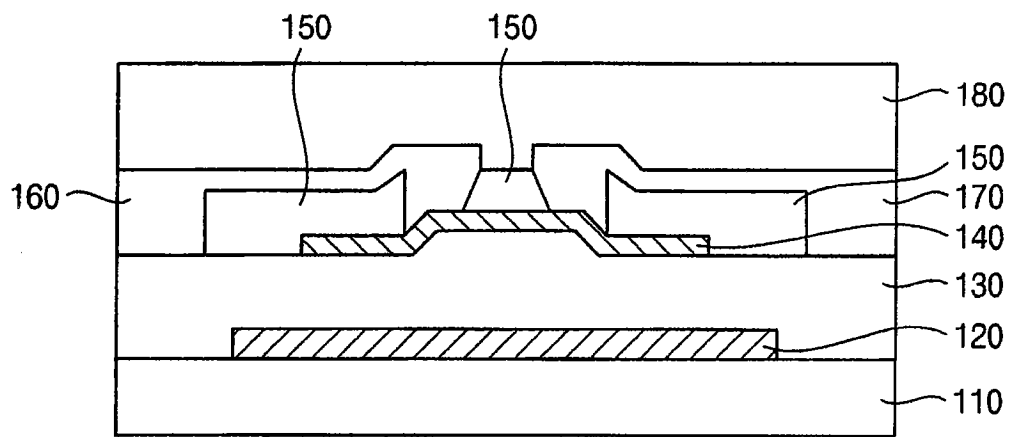
100

图1

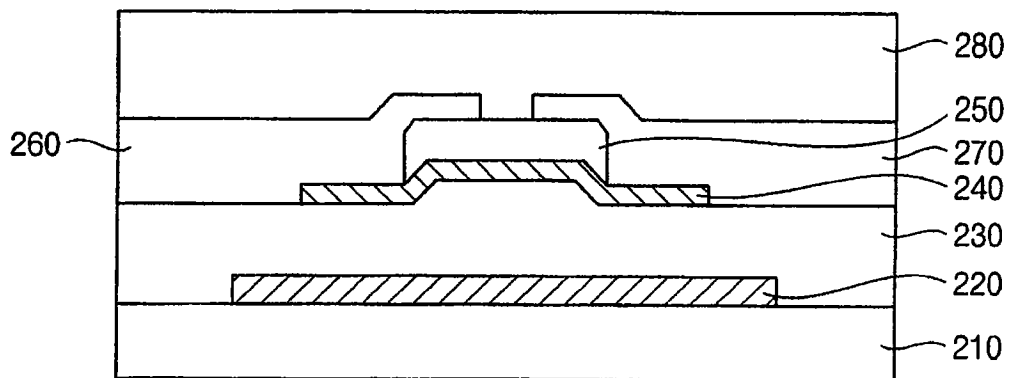
200

图2

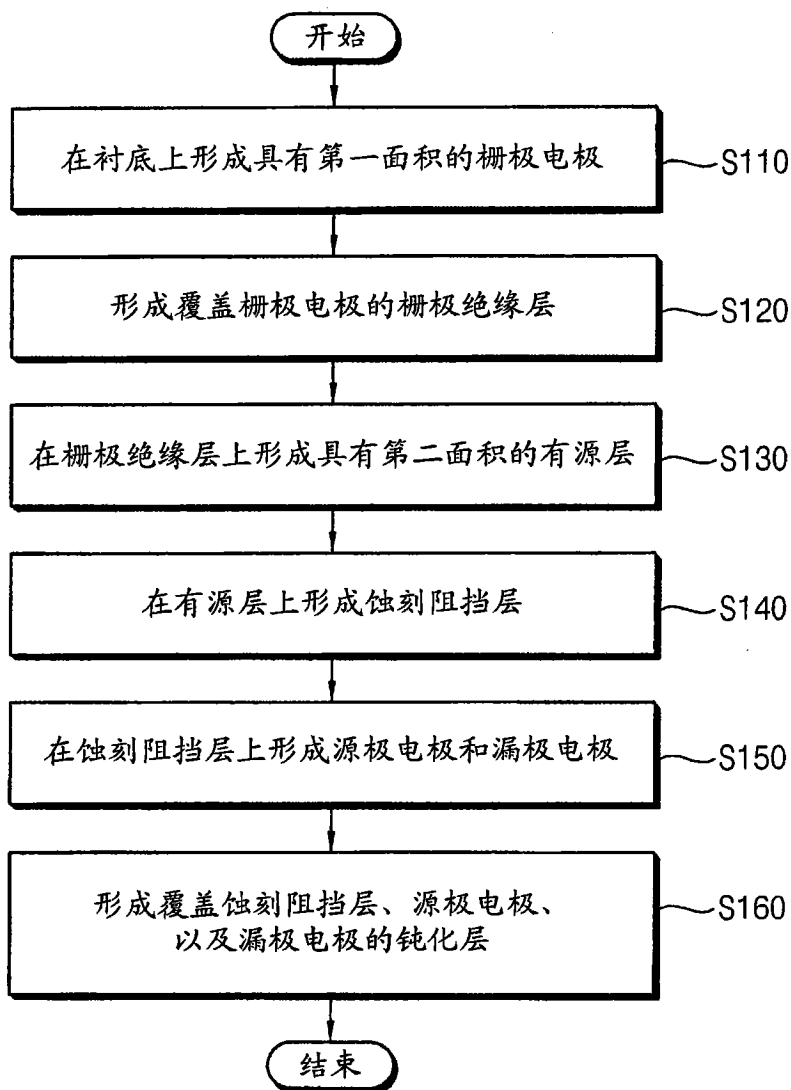


图3

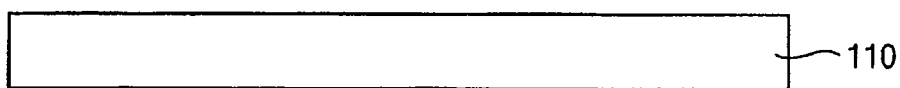


图4A

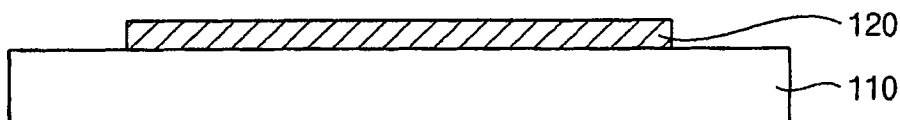


图4B

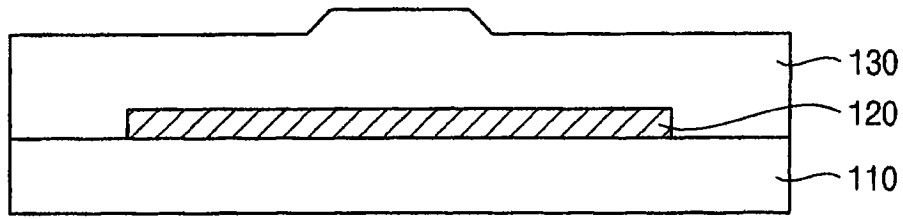


图4C

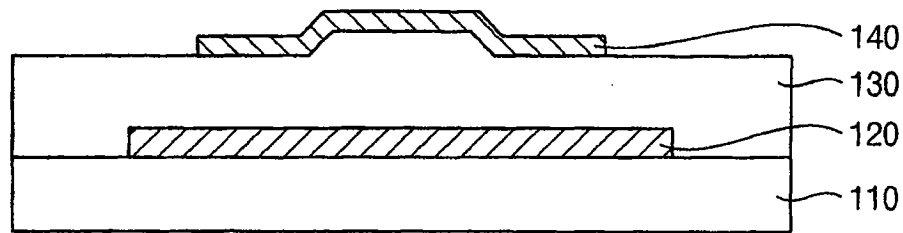


图4D

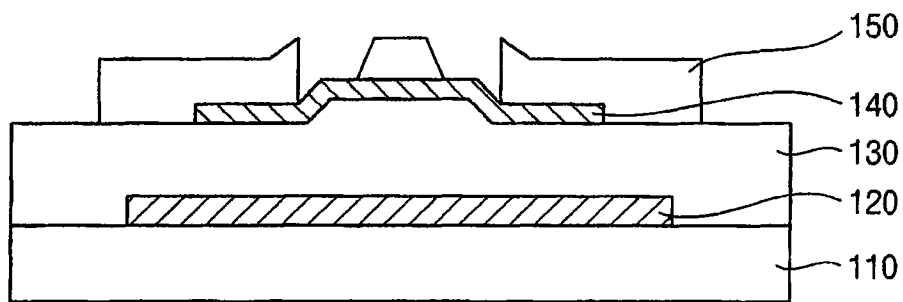


图4E

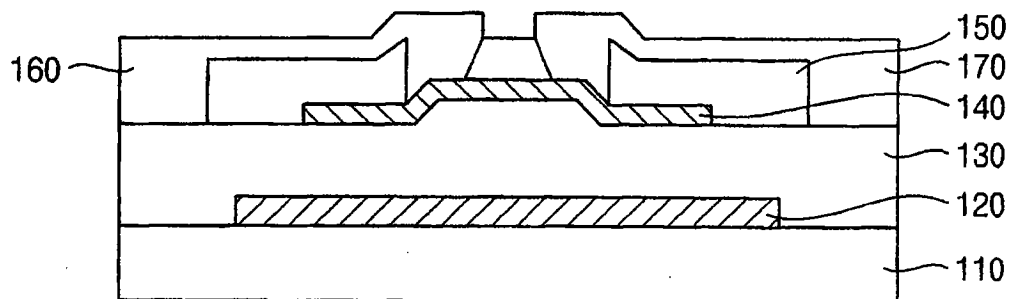


图4F

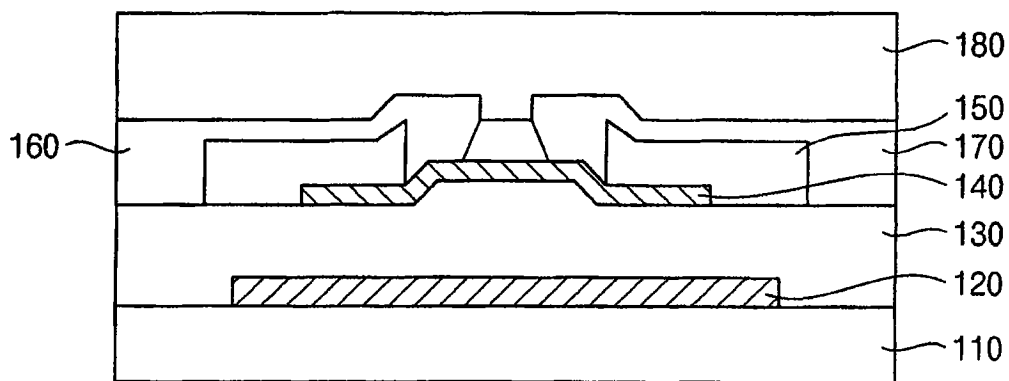


图4G

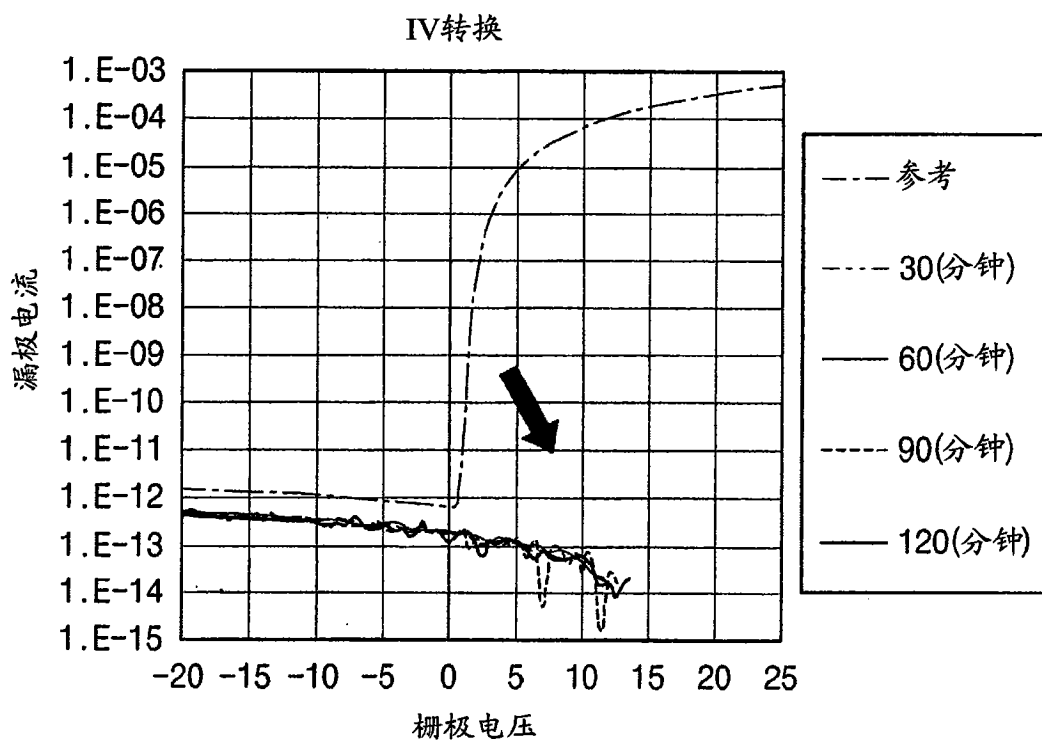


图5

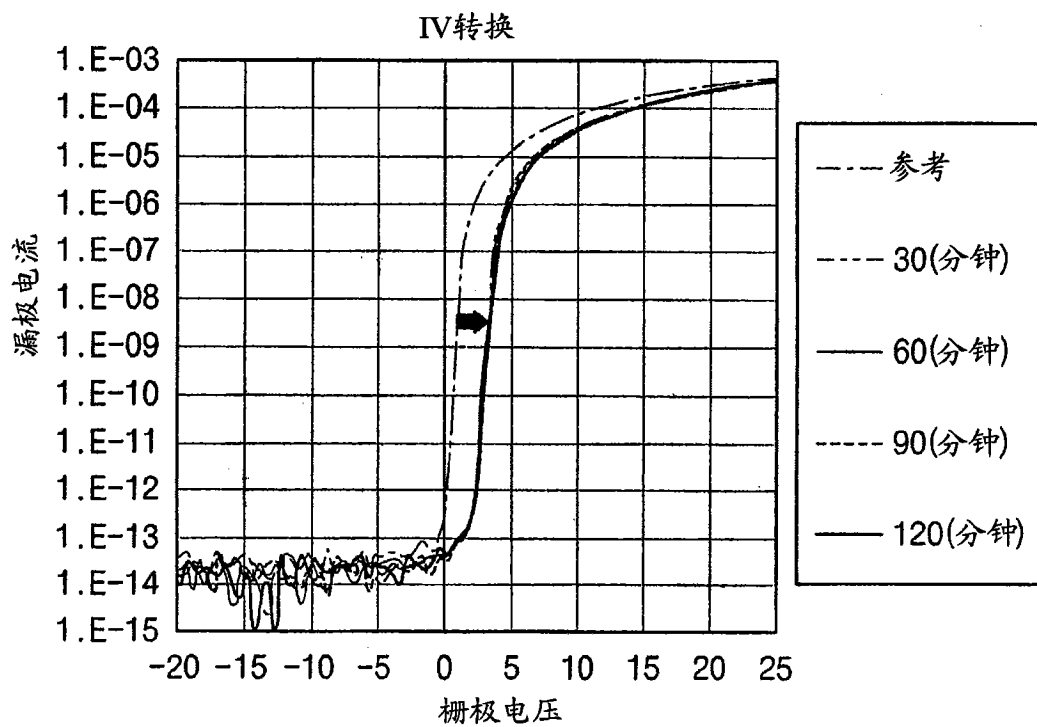


图6

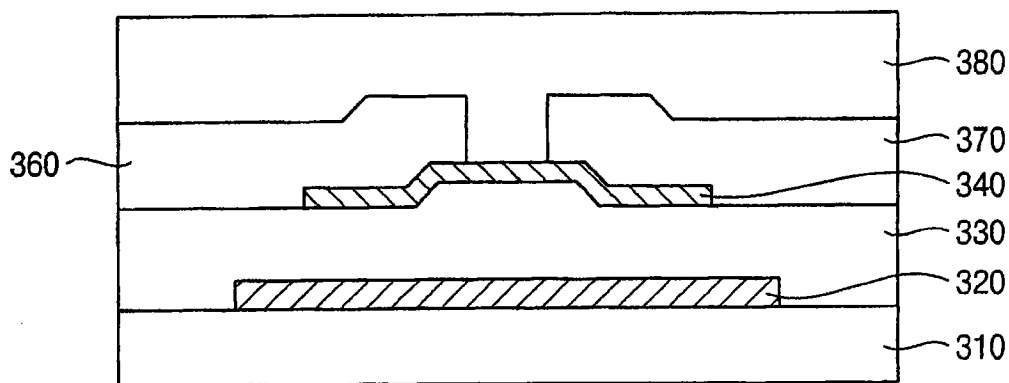
300

图7

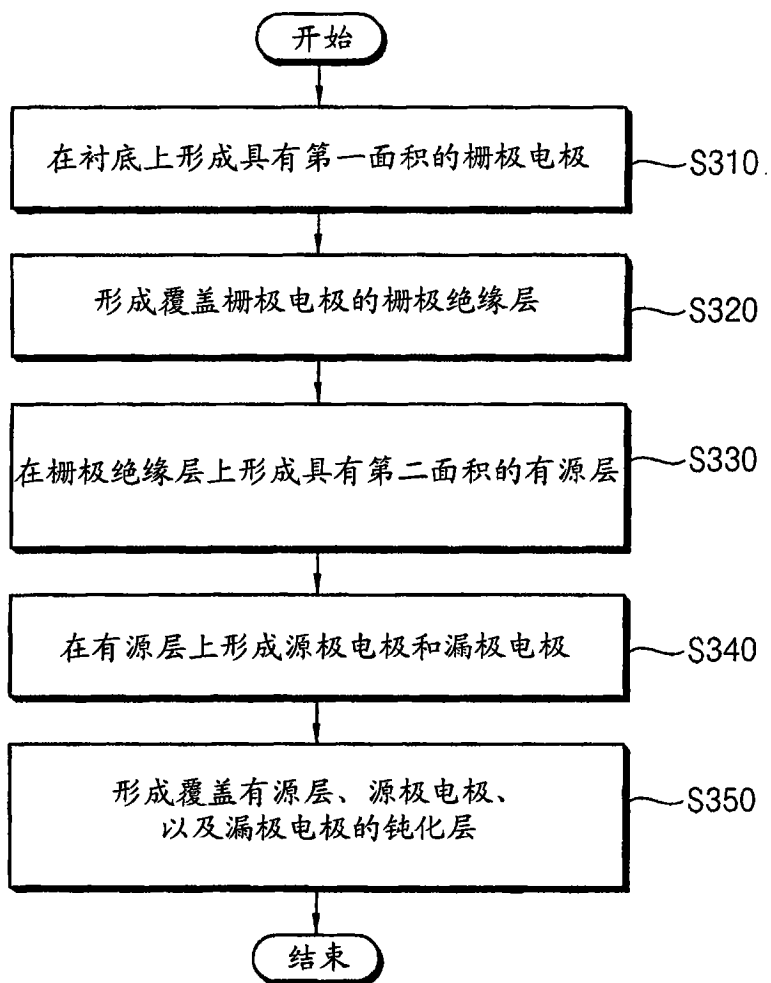


图8

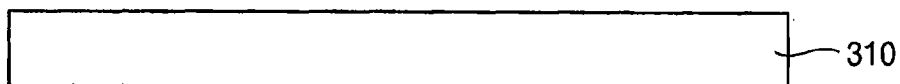


图9A

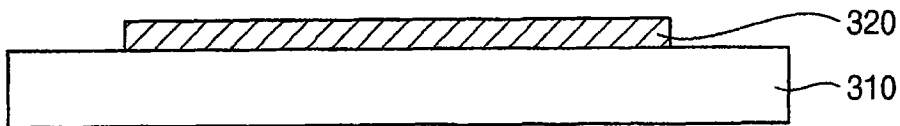


图9B

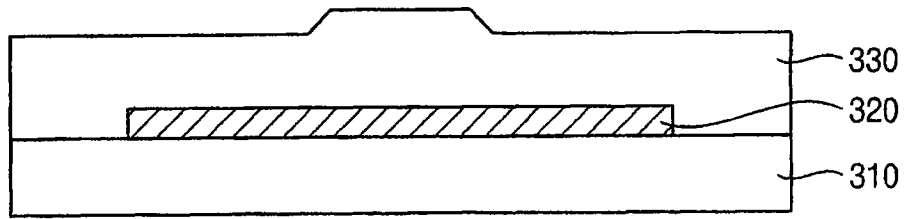


图9C

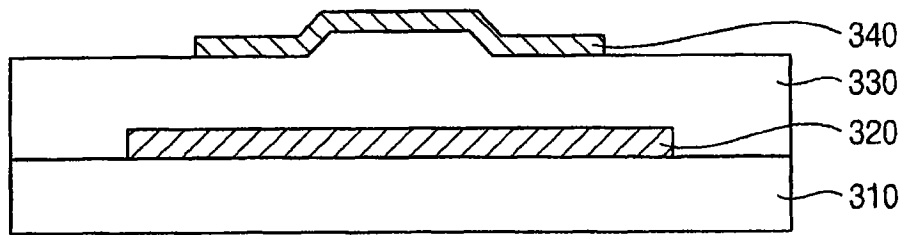


图9D

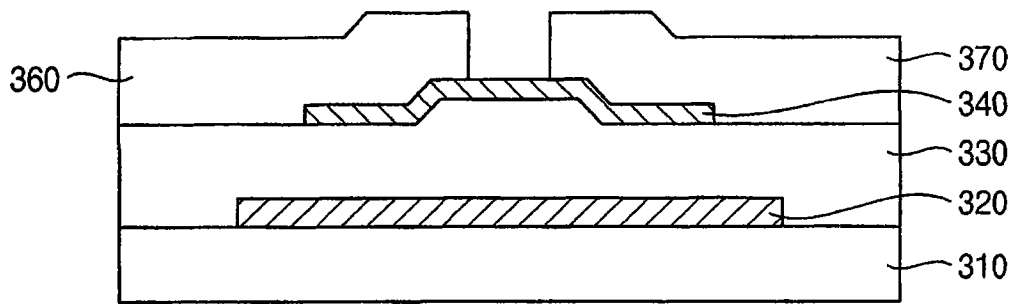


图9E

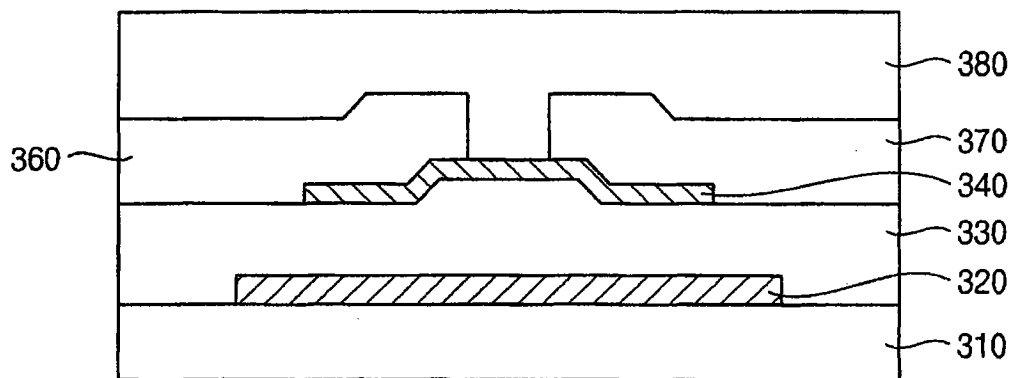


图9F

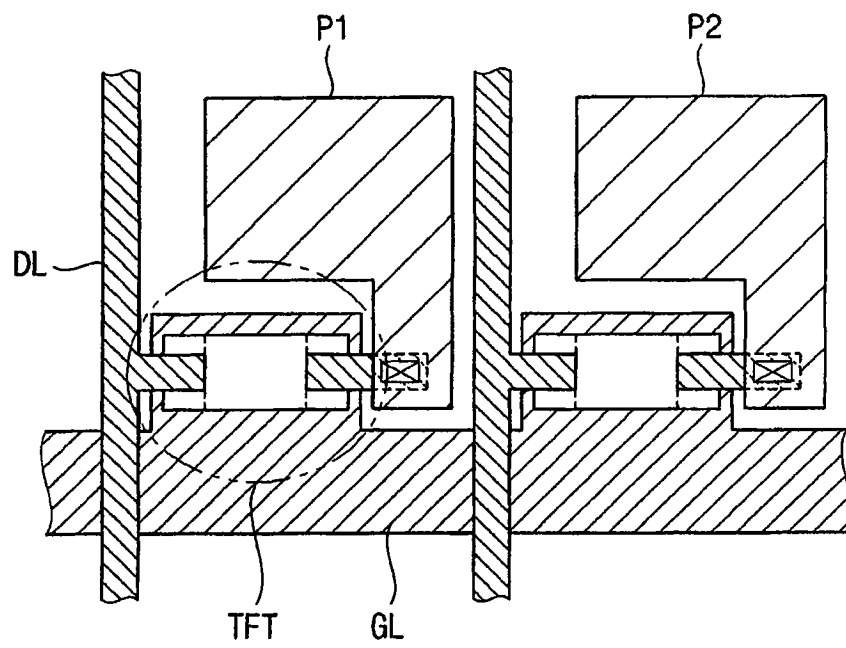
1000

图10