



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0074169
(43) 공개일자 2019년06월27일

(51) 국제특허분류(Int. Cl.)
G04F 10/00 (2006.01) H03K 5/134 (2014.01)
(52) CPC특허분류
G04F 10/005 (2013.01)
H03K 5/134 (2015.01)
(21) 출원번호 10-2017-0175593
(22) 출원일자 2017년12월19일
심사청구일자 2017년12월19일

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
강진구
서울특별시 서초구 양재대로2길 109, 101동 1104호(우면동, 서초참누리에코리치)
김민
경기도 부천시 길주로 71, 1401호(상동, 리파인빌)
(74) 대리인
양성보

전체 청구항 수 : 총 6 항

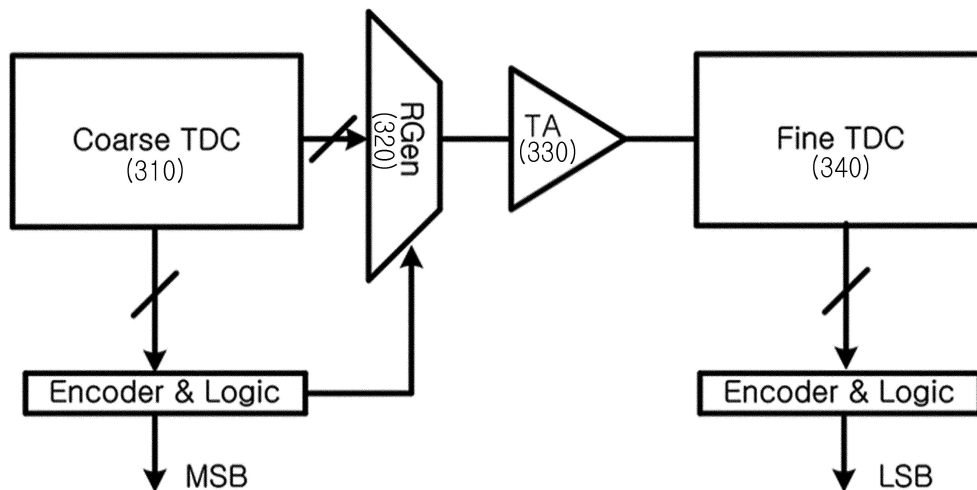
(54) 발명의 명칭 낸드-게이트 링 발진기 시간 증폭기를 활용한 2단 시간-디지털 변환기

(57) 요약

낸드-게이트 링 발진기 시간 증폭기를 활용한 2단 시간-디지털 변환기가 개시된다. 2단 시간-디지털 변환기는, 스타트(start) 신호와 스톱(stop) 신호의 시간 차이를 디지털 값으로 변환하는 조세 시간-디지털 변환기(Coarse TDC); 상기 조세 시간-디지털 변환기에서 변환 후 남은 오차를 오차 전달부(RGen, residue generator)를 통해 전달 받아 반복 과정을 수행하는 시간 증폭기(TA, time amplifier); 및 상기 반복 과정에 의해 반복시킨 시간을 전원으로 공급하는 방식을 통해 디지털 값으로 변환하는 미세 시간-디지털 변환기(Fine TDC)를 포함하고, 상기 시간 증폭기는 반복형 시간 증폭기로서 NAND 게이트 발진기 구조로 구성된다.

대표도 - 도3

300



명세서

청구범위

청구항 1

스타트(start) 신호와 스톱(stop) 신호의 시간 차이를 디지털 값으로 변환하는 조세 시간-디지털 변환기(Coarse TDC);

상기 조세 시간-디지털 변환기에서 변환 후 남은 오차를 오차 전달부(RGen, residue generator)를 통해 전달 받아 반복 과정을 수행하는 시간 증폭기(TA, time amplifier); 및

상기 반복 과정에 의해 반복시킨 시간을 전원으로 공급하는 방식을 통해 디지털 값으로 변환하는 미세 시간-디지털 변환기(Fine TDC)

를 포함하고,

상기 시간 증폭기는 반복형 시간 증폭기로서 NAND 게이트 발진기 구조로 구성되는 것

을 특징으로 하는 2단 시간-디지털 변환기.

청구항 2

제1항에 있어서,

상기 조세 시간-디지털 변환기는,

버퍼로 구성된 지연 셀에 래치(latch)를 연결한 구조로 이루어지고,

상기 버퍼를 통과한 시간만큼을 상기 래치를 통해 출력하여 상기 래치의 출력을 리타이밍시키는 것

을 특징으로 하는 2단 시간-디지털 변환기.

청구항 3

제2항에 있어서,

상기 오차 전달부는,

상기 래치의 출력에 의해 스위칭되어 상기 오차를 상기 시간 증폭기로 전달하기 위한 전달 게이트와, 상기 전달 게이트의 누설전류를 방지하기 위해 상기 전달 게이트의 양쪽에 추가된 인버터와, 상기 래치의 출력으로 선택된 신호를 출력하기 위해 AND 게이트를 사용하는 믹스(MUX)로 구성되는 것

을 특징으로 하는 2단 시간-디지털 변환기.

청구항 4

제1항에 있어서,

상기 시간 증폭기는,

상기 오차 전달부를 거쳐 출력된 스타트 신호와 스톱 신호가 입력되면 상기 NAND 게이트 발진기의 전력을 공급하는 플립플롭을 포함하고,

상기 NAND 게이트 발진기는 복수 개의 NAND 게이트가 링 발진기 형태로 구성되어 입력 신호에 맞춰 상기 링 발진기가 발진하면서 동일한 시간 차이를 출력하는 것

을 특징으로 하는 2단 시간-디지털 변환기.

청구항 5

제4항에 있어서,

상기 시간 증폭기는,

상기 NAND 게이트 발진기에서 발진하는 두 신호를 입력으로 받아 상승 신호와 하강 신호의 차이만큼을 펄스로 출력하는 XOR 게이트와 XNOR 게이트를 포함하는 것

을 특징으로 하는 2단 시간-디지털 변환기.

청구항 6

제1항에 있어서,

상기 미세 시간-디지털 변환기는,

버퍼로 구성된 지연 셀에 플립플롭을 연결한 구조로 이루어지고,

상기 시간 증폭기로부터 상기 반복 과정이 끝난 시점에 EN 펄스가 입력되면 상기 플립플롭이 상기 지연 셀의 출력을 저장하되,

상기 EN 펄스가 1인 동안 입력으로 들어온 상승 전압은 상기 지연 셀을 통과하고 상기 EN 펄스가 0인 동안 입력으로 들어온 상승 전압은 상기 지연 셀을 통과하지 않은 채 상기 지연 셀의 게이트 캐패시터에 시간 정보를 전압 정보로 저장하는 것

을 특징으로 하는 2단 시간-디지털 변환기.

발명의 설명

기술 분야

[0001] 아래의 설명은 시간-디지털 변환기(time-to-digital converter)에 관한 것이다.

배경 기술

[0002] 시간-디지털 변환기(TDC)는 두 상승 신호의 시간 차이를 디지털 값으로 변환하는 회로이다. 대표적 응용 분야로는 디지털 위상 잠금 루프(Digital Phase Locked Loop), 비행시간 측정(Time of Flight), 시간-도메인 아날로그-디지털 변환기(Time-domain Analog-to-Digital Converter) 등이 있다. 특히, 디지털 위상 잠금 루프는 미세 공정 기술의 발달로 인해 필요성이 커지고 있다. 아날로그 위상 잠금 루프의 경우 누설전류, 면적 활용, PVT 변화에 취약하다는 문제점이 있는데, 루프필터가 수동소자로 이루어져 있기 때문에 위와 같은 문제점들이 생긴다. 이를 해결할 수 있는 대체 방안으로서 디지털 위상 잠금 루프를 연구하고 있다.

[0003] 하지만 디지털 구조는 필연적으로 양자화 잡음을 동반하게 된다. 시간-디지털 변환기는 아날로그 위상 잠금 루프의 위상 검출기 역할을 하는데, 시간의 크기를 정확히 디지털 코드로 변환할수록 루프의 안정성이 확보되며, 지터의 크기가 줄어든다. 따라서 양자화 잡음을 줄이는 것이 중요하다. 양자화 잡음을 줄이는 방안 중 하나는 시간-디지털 변환기의 해상도를 높이는 방법이다.

발명의 내용

해결하려는 과제

[0004] 낸드-게이트 발진기 구조를 활용해 시간 증폭기를 구현하고 남은 오차 전달 부분에서 지연 부정합을 최소화하는 구조를 가진 2단 시간-디지털 변환기를 제공한다.

과제의 해결 수단

[0005] 스타트(start) 신호와 스톱(stop) 신호의 시간 차이를 디지털 값으로 변환하는 조세 시간-디지털 변환기(Coarse TDC); 상기 조세 시간-디지털 변환기에서 변환 후 남은 오차를 오차 전달부(RGen, residue generator)를 통해 전달 받아 반복 과정을 수행하는 시간 증폭기(TA, time amplifier); 및 상기 반복 과정에 의해 반복시킨 시간을 전원으로 공급하는 방식을 통해 디지털 값으로 변환하는 미세 시간-디지털 변환기(Fine TDC)를 포함하고, 상기 시간 증폭기는 반복형 시간 증폭기로서 NAND 게이트 발진기 구조로 구성되는 것을 특징으로 하는 2단 시간-디지털 변환기를 제공한다.

- [0006] 일 측면에 따르면, 상기 조세 시간-디지털 변환기는, 버퍼로 구성된 지연 셀에 래치(latch)를 연결한 구조로 이루어지고, 상기 버퍼를 통과한 시간만큼을 상기 래치를 통해 출력하여 상기 래치의 출력을 리타이밍시킨다.
- [0007] 다른 측면에 따르면, 상기 오차 전달부는, 상기 래치의 출력에 의해 스위칭되어 상기 오차를 상기 시간 증폭기로 전달하기 위한 전달 게이트와, 상기 전달 게이트의 누설전류를 방지하기 위해 상기 전달 게이트의 양쪽에 추가된 인버터와, 상기 래치의 출력으로 선택된 신호를 출력하기 위해 AND 게이트를 사용하는 믹스(MUX)로 구성된다.
- [0008] 또 다른 측면에 따르면, 상기 시간 증폭기는, 상기 오차 전달부를 거쳐 출력된 스타트 신호와 스톱 신호가 입력되면 상기 NAND 게이트 발진기의 전력을 공급하는 플립플롭을 포함하고, 상기 NAND 게이트 발진기는 복수 개의 NAND 게이트가 링 발진기 형태로 구성되어 입력 신호에 맞춰 상기 링 발진기가 발진하면서 동일한 시간 차이를 출력한다.
- [0009] 또 다른 측면에 따르면, 상기 시간 증폭기는, 상기 NAND 게이트 발진기에서 발진하는 두 신호를 입력으로 받아 상승 신호와 하강 신호의 차이만큼을 펄스로 출력하는 XOR 게이트와 XNOR 게이트를 포함한다.
- [0010] 또 다른 측면에 따르면, 상기 미세 시간-디지털 변환기는, 버퍼로 구성된 지연 셀에 플립플롭을 연결한 구조로 이루어지고, 상기 시간 증폭기로부터 상기 반복 과정이 끝난 시점에 EN 펄스가 입력되면 상기 플립플롭이 상기 지연 셀의 출력을 저장하되, 상기 EN 펄스가 1인 동안 입력으로 들어온 상승 전압은 상기 지연 셀을 통과하고 상기 EN 펄스가 0인 동안 입력으로 들어온 상승 전압은 상기 지연 셀을 통과하지 않은 채 상기 지연 셀의 게이트 캐패시터에 시간 정보를 전압 정보로 저장한다.

발명의 효과

- [0011] 본 발명의 실시예들에 따르면, 낸드-게이트 발진기 구조를 활용해 시간 증폭기를 구현하고 남은 오차 전달 부분에서 지연 부정합을 최소화하는 구조를 통해 작은 양자화 잡음과 높은 선형성을 가지는 2단 시간-디지털 변환기를 제공할 수 있다.

도면의 간단한 설명

- [0012] 도 1은 기본적인 시간-디지털 변환기 구조를 도시한 것이다.
- 도 2는 도 1의 시간-디지털 변환기의 시간 다이어그램을 도시한 것이다.
- 도 3은 본 발명에 따른 2단 시간-디지털 변환기의 전체 시스템을 도시한 블록도이다.
- 도 4는 조세 시간-디지털 변환기의 세부 구조를 도시한 것이다.
- 도 5는 오차 전달부의 세부 구조를 도시한 것이다.
- 도 6은 조세 시간-디지털 변환기에 사용된 지연 셀 회로도를 도시한 것이다.
- 도 7은 조세 시간-디지털 변환기에 사용된 래치 회로도를 도시한 것이다.
- 도 8은 정상적인 동작일 때의 래치 출력과 준 안정성 상태일 때의 래치 출력을 설명하기 위한 도면이다.
- 도 9는 오차 전달부의 시간 다이어그램을 도시한 것이다.
- 도 10은 부가 회로를 포함한 오차 전달부의 시간 다이어그램을 도시한 것이다.
- 도 11은 낸드-게이트 링 발진기 시간 증폭기의 세부 구조를 도시한 것이다.
- 도 12와 도 13은 낸드-게이트 링 발진기 시간 증폭기의 시간 다이어그램을 도시한 것이다.
- 도 14는 카운터를 추가한 낸드-게이트 링 발진기 시간 증폭기의 시간 다이어그램을 도시한 것이다.
- 도 15는 미세 시간-디지털 변환기의 세부 구조를 도시한 것이다.
- 도 16은 미세 시간-디지털 변환기에 사용된 게이트-지연 셀 회로도를 도시한 것이다.
- 도 17은 미세 시간-디지털 변환기의 시간 차트를 도시한 것이다.
- 도 18은 본 발명에 따른 2단 시간-디지털 변환기의 시간 다이어그램을 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0015] 시간-디지털 변환기(TDC)는 두 상승 신호의 시간 차이를 디지털 값으로 변환하는 회로이다. 대표적 응용 분야로는 디지털 위상 잠금 루프(Digital Phase Locked Loop), 비행시간 측정(Time of Flight), 시간-도메인 아날로그-디지털 변환기(Time-domain Analog-to-Digital Converter) 등이 있다.
- [0016] 먼저, 기본적인 시간-디지털 변환기를 소개한다.
- [0017] 자연-라인 시간-디지털 변환기는 가장 기본적이고 대표적인 구조로서, 자연 셀과 플립플롭으로 구성된 시간-디지털 변환기이다. 자연 셀을 통과한 시간만큼을 플립플롭을 통해 출력하는 방식이다.
- [0018] 단일 자연-라인 시간-디지털 변환기는 자연-라인 시간-디지털 변환기 중에서도 가장 기본적이고 대표적인 구조이다. 자연 셀(버퍼 또는 인버터)과 플립플롭으로 구성된 시간-디지털 변환기이다.
- [0019] 도 1은 단일 자연-라인 시간-디지털 변환기의 블록 다이어그램을 도시한 것이고, 도 2는 단일 자연-라인 시간-디지털 변환기의 시간 다이어그램을 도시한 것이다. 단일 자연-라인 시간-디지털 변환기는 버퍼로 구성된 자연 셀에 플립플롭 하나씩 어울려 구성된다. 자연버퍼를 통과하는 시간 $T_Q = 100ps$ 라고 가정하고, SRART 신호와 STOP 신호의 시간 차이는 350ps라고 가정하자.
- [0020] 도 2와 같이 D_1 과 D_2 , D_3 는 STOP 신호보다 먼저 상승하여 플립플롭의 데이터를 '1'로 만들어 놓을 것이다. D_4 와 D_4 이후의 자연 셀의 출력은 STOP 신호가 상승하기 전까지 상승 신호가 도달하지 않으므로 플립플롭의 데이터가 '0'인 상태를 유지하고 있을 것이다. STOP 신호가 상승하면 STOP 신호에 맞춰 플립플롭은 데이터를 읽게 된다. 따라서 플립플롭의 출력은 Q_1 부터 Q_3 까지 1을 출력하고 나머지 플립플롭의 출력은 0이 된다. 이때, 출력은 11100인 온도계 코드가 된다.
- [0021] 이렇게 출력된 온도계 코드는 2진 코드로 인코더를 통해 변환하여 사용한다. 단일 자연-라인 시간-디지털 변환기는 자연 버퍼 하나의 자연 시간보다 작은 시간은 구별해 내지 못한다. 즉, 단일 자연-라인 시간-디지털 변환기의 해상도는 자연 버퍼의 자연시간이 해상도가 된다. 위의 가정에 따르면 자연 버퍼의 해상도는 100ps가 된다.
- [0022] 단일 자연-라인 시간-디지털 변환기는 간단한 구조일 뿐만 아니라 디지털 회로로 구성되어 있기 때문에 설계가 쉽고 면적을 효율적으로 사용할 수 있다는 장점이 있다. 하지만 해상도가 자연 셀의 자연시간이 되기 때문에 자연 셀의 자연 시간보다 작은 해상도를 만들 수 없다. 180nm공정 기준 버퍼의 자연시간은 최소 90ps정도이다. 따라서 공정의 제약을 많이 받는다는 단점이 있다. 또한, 입력 범위가 커질수록 자연 셀과 플립플롭, 그리고 온도계코드에서 2진 코드로 변환하는 인코더 또한 비례해 커진다는 단점이 있다.
- [0023] 시간-디지털 변환기는 아날로그 위상 잠금 루프의 위상 검출기 역할을 하는데, 기본적인 시간-디지털 변환기 구조의 경우 버퍼의 자연 셀이 곧 해상도가 되므로 버퍼의 최소 자연 시간이 해상도가 된다. 하지만 대부분의 경우 버퍼의 자연 시간보다 높은 해상도가 필요하다. 따라서 고해상도 시간-디지털 변환기가 필요하다.
- [0024] 이를 위해 과거부터 다양한 고해상도 시간-디지털 변환기가 제시되고 있는데, 그 중 하나가 2단 시간-디지털 변환기이다. 2단 시간-디지털 변환기는 빠른 변환속도, 적은 지터 누적 등과 같은 장점이 있다. 2단 시간-디지털 변환기는 첫째 단에서 해상도가 낮은 양자화기로 양자화를 시킨 뒤, 남은 오차를 시간 증폭기를 통해 증폭시킨 후, 둘째 단에서 해상도가 높은 양자화기를 통해 시간의 정보를 디지털 정보로 변환시킨다. 이때, 오차를 정확히 다음 단으로 전달을 해야 선형성이 보장된다. 기존의 래치 구조의 시간 증폭기는 선형성이 보장되는 동작영역이 제한되어 있다는 단점이 있다. 이를 개선하기 위해 나온 시간 증폭기가 반복형 시간 증폭기인, 펄스-트레인 시간 증폭기(Pulse-train TA)이다. 기존에 나온 반복형 시간 증폭기는 높은 선형성을 얻을 수 있다는 장점이 있지만, 반복과정에서 자연 셀에 의한 오차가 생긴다는 단점이 있다.
- [0025] 이를 해결하기 위해 기존 펄스트레인 구조가 아닌 낸드-게이트 발진기 구조를 활용해 시간 증폭기를 구현하고, 남은 오차 전달 부분에서 자연 부정합을 최소화하는 구조를 제안하여 작은 양자화 잡음과, 높은 선형성을 가지는 2단 시간-디지털 변환기를 제안한다.

- [0026] 도 3은 본 발명에 따른 2단 시간-디지털 변환기 구조의 전체 시스템을 도시한 블록도이다.
- [0027] 본 발명에 따른 2단 시간-디지털 변환기(300)는 조세 시간-디지털 변환기(Coarse TDC)(310), 오차 전달부(RGen, residue generator)(320), 시간 증폭기(TA, time amplifier)(330), 및 미세 시간-디지털 변환기(Fine TDC)(340)를 포함한다.
- [0028] 2단 시간-디지털 변환기(300)의 기본 동작은, 조세 시간-디지털 변환기(310)에서 시간을 디지털 코드로 변환한 후 오차 전달부(320)에서 조세 변환 후 남은 오차를 시간 증폭기(330)의 입력으로 전달해 준다. 다음, 시간 증폭기(330)에서는 반복과정을 거쳐 시간을 원하는 횟수만큼 반복시킨다. 반복시킨 시간을 미세 시간-디지털 변환기(340)의 전원으로 공급하는 방식을 통해 시간 정보를 디지털 코드로 변환할 수 있다.
- [0029] 조세 시간-디지털 변환기(310)와 미세 시간-디지털 변환기(340)는 인코더를 통해 온도계 코드에서 2진 코드로 변환하여 최종 출력을 내보낸다. 이때, 조세 시간-디지털 변환기(310)에서 나온 출력은 상위비트(MSB), 미세 시간-디지털 변환기(340)에서 나온 출력은 하위비트(LSB)를 담당한다.
- [0030] 도 4는 조세 시간-디지털 변환기(310)의 상세 회로를 도시한 것이고, 도 5는 오차 전달부(320)의 상세 회로를 도시한 것이다.
- [0031] 도 4에 도시한 바와 같이, 조세 시간-디지털 변환기(310)는 기본적인 단일 지연-라인 시간-디지털 변환기(도 1)의 구조를 사용하되, 빠른 전달을 위해 플립플롭이 아닌 래치(Latch) 구조를 사용하고 그 래치의 출력을 리 타이밍 시키는 방법을 이용한다. Q_i 는 오차 전달부(320)의 전달 게이트의 스위치 하는 역할을 하며, 리 타이밍 된 체온계 코드는 인코더로 들어가 이진 코드로 변환된다.
- [0032] 도 5에 도시한 바와 같이, 오차 전달부(320)는 전달 게이트와 인버터, 그리고 AND 게이트를 활용한 MUX로 구현한다. MUX의 선택 신호는 조세 시간-디지털 변환기의 래치 출력이 선택하고, 오프셋을 포함하여 지연 셀 하나를 더 통과한 신호를 출력하기 위해 AND 게이트를 사용한다. 각 AND 게이트는 OR 게이트의 입력으로 들어가는데, 많은 수의 입력이 단일 게이트로 입력되므로 빠른 동작을 위해 OR 게이트는 수도-OR 게이트를 사용한다.
- [0033] 조세 시간-디지털 변환기(310)의 래치가 오차 전달부(320)의 전달 게이트를 스위치 시키는 과정에서 전달 게이트만 달게 되면 전달 게이트를 통해 흘러 들어가는 누설전류가 생기는데, 이 누설전류는 지연 셀의 지연 속도를 일정하지 않게 하는 문제점이 있다. 이를 방지하기 위해 전달 게이트 양쪽에 인버터를 추가한다. 또한, 래치의 두 입력 신호가 가깝게 들어오면 래치는 준안정성 영역으로 들어가고, 출력이 늦어져 출력보다 전달할 상승 신호가 더 빨리 도착하여 원하는 상승 신호를 출력하지 못하는 문제점이 있는데, 이를 방지하고 시간여유를 확보하는 역할도 수행한다.
- [0034] 다시 말해, 조세 시간-디지털 변환기(310)의 지연 셀은 도 6과 같이 설계한다. 기본적인 인버터 2개를 사용한 버퍼 구조에서 PMOS와 NMOS를 캐스코드로 추가한다. 이는 지연 셀에 충분한 전류를 흘려주어 출력 단이 다음 입력단의 게이트를 구동할 때 로드가 많이 걸리지 않도록 하기 위함이다. 또한, M1과 M2를 더미 트랜지스터로 추가하고, 항상 꺼져 있도록 설계한다. 이는 미세 시간-디지털 변환기(340)의 지연 셀과 지연속도를 맞춰주기 위함이다. 이에 대한 자세한 설명은 이하에서 다시 하도록 한다.
- [0035] 조세 시간-디지털 변환기(310)의 래치 회로는 도 7과 같은 회로를 사용한다. 이 회로는 기존 래치보다 준 안정성에 대해 훨씬 안정적이다. 오차 전달부(320)에서는 D_{i+1} 이 들어오면 $\overline{Q_i}$ 와 Q가 전달 게이트의 PMOS와 NMOS의 게이트를 스위치 시킨다. 전달 게이트의 양쪽의 인버터는 전달 게이트의 안정성을 위해 추가한다. 지연 버퍼에서 전달 게이트로 직접 연결하면 전달 게이트로 흘러 들어가는 누설전류가 생겨 지연 단의 지연속도가 일정하지 못한 문제점이 있다. 또한, 래치의 출력이 안정한 상태가 될 때까지 시간 여유를 확보해 래치의 안정성을 확보하는 역할도 가지고 있다. 따라서 인버터 두 개와 전달 게이트를 이용해 지연 단의 지연속도를 일정하게 하고 시간 여유를 확보해 래치의 준 안정성 문제를 해결할 수 있다. 도 8은 정상적인 동작일 때의 래치 출력(a)과 준 안정성 상태일 때의 래치 출력(b)을 보인다.
- [0036] 도 8의 대시선과 점선이 래치의 출력 Q와 $\overline{Q}$ 이다. 입력 신호 D와 CLK의 신호가 미세하게 가깝게 들어오면 도 8의 (b)와 같이 래치의 출력이 완전히 High와 Low로 도달하는 데 오랜 시간이 걸리게 된다. 래치의 출력이 High와 Low로 도달하기 전에 D_{i+2} 상승 신호가 들어오면 불안정한 상태로 출력이 되게 되어 STOP 신호의 출력이 일정한 결과를 나타내지 못하고 원하는 시간보다 더 늦게 뜨게 된다.

- [0037] 결과적으로 D_{i+1} 과 D_{i+2} 가 AND 게이트를 통과하면서 SEL_{i+2} 이 출력된다. 각 SEL신호는 다시 AND 게이트의 입력이 되며, SEL_{i+2} 신호가 상승 신호가 될 때 최종 출력이 $STOP_2$ 신호로 상승 신호가 출력된다. 반대로 $STOP$ 상승 신호는 더미 게이트를 거쳐 $START_2$ 상승 신호가 되어 오차 정보를 전달한다.
- [0038] 도 9는 오차 전달부(320)의 시간 다이어그램을 부가적인 회로를 빼고 보인 도면이다. $START$ 상승 신호보다 $STOP$ 상승 신호가 지연 셀 3번 통과하는 시간보다 느리고 지연 셀 4번 통과하는 시간보다 적다고 가정하면, 원하는 정보는 실제로 T_d 이지만, T_d 가 매우 근소하게 작을 때 위에서 말한 준 안정성 문제가 발생한다. 따라서 충분한 시간 여유를 두고 지연 셀 하나의 오프셋을 포함하여 출력하는 것이 바람직하다.
- [0039] $STOP$ 신호가 상승하면 지연 셀 하나를 더 통과한 다음 지연 셀의 상승 신호를 출력으로 사용한다. 이때, 가진 정보는 조세 시간-디지털 변환기의 지연 셀 2번 통과하는 시간에서 실제 오차 정보를 뺀 값이 다음 단으로 출력되게 된다. 또한, $STOP$ 신호가 다음 단의 $START$ 신호가 되고, $STOP$ 신호가 상승한 직후의 지연 셀 상승 신호가 아닌 그다음 지연 셀의 상승 신호가 다음 단의 $STOP$ 신호가 된다.
- [0040] 도 10은 부가 회로를 포함한 실제 오차 전달부(320)의 시간 다이어그램이다. 다음 단으로 최종 출력되는 시간 정보는 $Residue + D_{Delaycell}$ 이다. 여기서 $Residue + D_{Delaycell}$ 은 도 9의 $2T_c - T_d$ 가 된다. 이때, $T_c - T_d$ 를 $Residue$ 라 하고, T_c 를 $D_{Delaycell}$ 이라 한다. 도 7의 (b)의 회로를 상기하면서 보면, T_{01} 은 인버터 두 개와 전달 게이트를 통과하는데 걸리는 시간이다. T_{02} 는 AND 게이트와 OR 게이트를 통과하는데 걸리는 시간이다.
- [0041] 도 9와 마찬가지로 $START$ 상승 신호보다 $STOP$ 상승 신호가 지연 셀 3번 통과하는 시간보다 느리고 지연 셀 4번 통과하는 시간보다 적다고 가정하면, $STOP$ 신호는 D_2 상승 신호와 D_3 상승 신호 사이에서 상승할 것이다. $STOP$ 신호가 상승하면 D_3 상승 신호는 래치의 출력이 전달 게이트의 게이트를 ON 시켜 T_{01} 만큼 시간이 지연되어 상승 신호가 전달될 것이고, D_{SEL3} 이 상승할 것이다. 마찬가지로 D_4 상승 신호도 래치의 출력이 전달 게이트의 게이트를 ON 시켜 T_{01} 만큼 시간이 지연되어 상승 신호가 전달되어 D_{SEL4} 이 상승할 것이다.
- [0042] 결과적으로 D_{SEL3} 과 D_{SEL4} 모두 1이 되는 시점, 즉 D_{SEL4} 가 상승하는 순간 D_{SEL4} 신호가 1이 되고 OR 게이트에 의해 $STOP_2$ 신호가 출력된다. 따라서 $STOP_2$ 신호는 $T_{01} + T_{02}$ 만큼 지연되어 출력되며, $START_2$ 신호도 마찬가지로 $STOP$ 신호를 기준으로 더미 게이트에 의해 $T_{01} + T_{02}$ 만큼 지연되게 된다. 그러므로 출력된 두 신호의 차이는 $Residue + D_{Delaycell}$ 가 되어 원하는 시간 정보에 원하는 오프셋을 포함한 만큼을 출력시킬 수 있게 된다.
- [0043] 시간 여유를 계산해보면 래치를 통과한 출력 Q 와 $\overline{Q}$ 가 안정적인 상태로 도달하는 시간을 D_{latch} 라하고, 인버터를 통과하는데 걸리는 시간을 $D_{Inverter}$, 지연 셀의 지연되는데 걸리는 시간을 $D_{Delaycell}$ 이라 하면, 래치의 출력 Q 와 $\overline{Q}$ 가 전달 게이트를 ON 시키는 시간보다 전달 게이트의 입력 단으로 들어가는 신호가 늦게 들어와야 한다. 따라서 시간 여유는 수학적 식 1과 같다.
- [0044] [수학적 식 1]
- $$Timing\ Margin = D_{Inverter} + D_{Delaycell} - D_{latch}$$
- [0045]
- [0046] 도 11은 시간 증폭기(330)의 상세 회로를 도시한 것이다.
- [0047] 입력 상승신호 두 개가 들어오면 플립플롭은 1인 상태를 유지하고, 동시에 발진기가 발진할 수 있는 전력을 공급한다. 따라서 입력신호에 맞춰 링 발진기가 발진하면서 동일한 시간 차이를 출력하게 된다.
- [0048] 상세하게, 조세 시간-디지털 변환기(310)와 오차 전달부(320)를 거쳐 출력된 $START_2$ 신호와 $STOP_2$ 신호를 입력으로 받아 $OUTA$ 와 $OUTB$ 를 출력시킨다. 이때, NAND 게이트를 링 발진기 형태로 구성한다. 첫 번째 NAND 게이트를 제외한 나머지 NAND 게이트는 다른 입력을 VDD 에 연결하여 항상 '1'이 되도록 한다. 입력단 첫 번째 NAND 게이트는 다른 입력 하나를 플립플롭의 출력을 받아들이도록 한다.

[0049] 입력단의 D플립플롭은 신호가 들어오면 전원을 공급하는 역할을 한다. 플립플롭의 D에 VDD전압을 걸어주었으므로 클럭 입력에 상승 신호가 들어오면 플립플롭은 출력 '1'을 공급하면서 유지하게 된다. 플립플롭의 출력이 '0'일 때는 첫 번째 NAND 게이트가 꺼져있으므로, 링 발진기가 발진하지 않지만, 플립플롭의 출력이 '1'이 되는 시점부터 발진기로서 동작하게 된다. 따라서 입력 신호에 맞춰 발진하기 시작한다. 발진은 일정한 주기를 가지고 스윙을 뜻하며, 결론적으로 START₂신호가 들어오면 START₂신호가 들어오는 시점부터 일정한 주기로 발진한다. 마찬가지로 STOP₂신호가 들어오면 STOP₂신호가 들어오는 시점부터 일정한 주기로 발진한다. 결과적으로 START₂신호와 STOP₂신호의 차이만큼 간격을 두고 두 발진기는 발진하게 된다.

[0050] 발진하는 두 신호를 입력으로 받아 XOR 게이트와 XNOR 게이트를 통과시키면 두 상승 신호와 하강 신호의 차이만큼을 펄스로 만들어 출력시킬 수 있다. 이때 펄스는 보수가 되는 신호 EN과 $\overline{EN}$ 신호를 만들어 주어야 다음 미세 변환 시간-디지털 변환기에서 시간 정보를 디지털 코드로 변환시킬 수 있다. 그 이유는 이하에서 설명하도록 한다. 시간 차이가 Td만큼이 되는 입력정보를 START₂신호와 STOP₂신호로 입력을 받아들였다고 했을 때 시간 증폭기의 동작을 시간 다이어그램으로 나타내면 도 12와 같다.

[0051] 이때, 발진기의 반주기는 입력 Td의 최댓값보다 커야 안정적인 동작을 할 수 있다. 오차 전달부에서 전달하는 오차는 2Tc-Td 이므로 시간 차이가 0일 때가 Td가 최소이다. 따라서 허용 할 수 있는 발진기의 주기(f_{oscil})는 수학적 식 2와 같다.

[0052] [수학적 식 2]

$$\begin{aligned} 1/f_{Oscil} &= T_{Oscil} \\ T_{Oscil}/2 > |T_{IN}|_{\max} &= |2T_c - T_d|_{\max} = 2T_c \\ \therefore f_{Oscil} &< \frac{1}{4T_c} \end{aligned}$$

[0053]

[0054] 안정적인 동작을 위해서 낸드-게이트 링 발진기의 주기는 6Tc이상 사용한다.

[0055] 도 13은 낸드-게이트 링 발진기의 듀티가 50%가 아닐 때의 시간-다이어그램을 나타낸다. 도 13과 같이 듀티가 50%가 되지 않더라도 Buffer_A신호와 Buffer_B신호의 상승 및 하강 시간 차이에는 변화가 없다. 변화하는 것은 EN신호의 상승 듀티가 달라질 뿐이다. 실제로 원하는 정보는 EN펄스 신호의 폭일 뿐 EN신호의 폭사이의 시간은 영향을 미치지 않는다. 이때, 시간 증폭기로 들어오는 시간 T_{IN}의 최댓값과 같고, 오차 전달부에서 출력하는 최대 시차는 2Tc이므로 발진기의 허용 듀티는 수학적 식 3과 같다.

[0056] [수학적 식 3]

$$\begin{aligned} D \times T_{Oscil} &> |T_{IN}|_{\max} = |2T_c - T_d|_{\max} = 2T_c \\ (1-D) \times T_{Oscil} &> |T_{IN}|_{\max} = |2T_c - T_d|_{\max} = 2T_c \end{aligned}$$

[0057]

[0058] 위 두 식을 연립하면 수학적 식 4와 같다.

[0059] [수학적 식 4]

$$\therefore \frac{2T_c}{T_{Oscil}} < D < 1 - \frac{2T_c}{T_{Oscil}}$$

[0060]

[0061] 이때, D는 듀티 사이클이다. 따라서 링 발진기의 반주기와 입력 최대 시간의 비율이 발진기의 듀티 제한 크기가 된다. 수학적 식 2에서 알 수 있듯이, 조세 변환의 해상도의 크기에 따라서 낸드 게이트 링 발진기의 발진주파수를 설계자가 원하는 만큼 조절하여 설계할 수 있다. 또한, 수학적 식 4를 통해 시간 증폭기의 입력 범위에 따른 듀티

의 안정성을 계산하고, 조절할 수 있다는 장점이 있다.

- [0062] 한편 시간 증폭기가 원하는 만큼 반복을 하기 위해서는 카운터를 활용해 더미 게이트 버퍼에서 출력을 뽑아내 상승 엣지 횟수를 카운팅 시키면 된다. 원하는 횟수만큼 반복하면 입력단 플립플롭을 초기화 시켜주고 반복을 끝내게 된다.
- [0063] 본 발명에서는 Dummy*의 출력에서 반복횟수를 카운팅한다. 도 14는 카운터를 추가하여 반복횟수를 제어한 시간 증폭기의 시간 다이어그램이다. INB가 들어오면 낸드-게이트 발진기는 발진하고, Dummy*의 출력을 이용하여 16 번의 반복을 끝내면 클리어 신호가 상승하고, 플립플롭을 초기화하여 발진기의 첫 번째 낸드 게이트에 전원공급을 차단한다. 따라서 초기상태로 돌아가며, 다시 새로운 입력을 받을 준비를 하게 된다. 이때 Buffer_B가 아닌 Dummy*의 출력을 카운터 회로의 입력으로 사용한 이유는 Buffer_A와 로드가 달라져 오차가 생길 수 있고, Buffer_B의 마지막 하강 엣지가 나타난 후의 시간 여유를 갖기 위해서이다.
- [0064] 다음과 같은 구조를 사용하면 기존 펄스-트레인 시간 증폭기의 문제점인 시간 반복 횟수가 증가함에 따라 지연 셀이 증가한다는 단점을 극복할 수 있다. 다시 말해서, 반복 횟수가 증가해도 지연에 필요한 버퍼가 증가하지 않기 때문에 면적, 소비전력이 기존 구조보다 효율적이다. 또한, 시간 증폭기를 구성하는 낸드 게이트의 상승 및 하강 엣지의 부정합 문제에서 벗어날 수 있다.
- [0065] 상기한 구조의 시간 증폭기(330)에서는 입력 상승 신호와 하강신호의 차이만큼 XOR 게이트를 통과하여 EN 신호를 만들어 낸다. 시간 증폭기의 이득(반복횟수)은 Dummy*에서 출력을 뽑아내 카운터를 활용해 원하는 횟수만큼 상승한 후 출력이 입력단의 플립플롭을 초기화 시켜주면 된다. 이렇게 설계하게 되면 지연 셀의 경로는 단지 3 개의 NAND 게이트만 반복적으로 지나가기 때문에 오차의 누적이 없고, 펄스의 상승 및 하강 시간을 XOR 게이트를 통해 출력 하므로 링 발진기의 듀티의 변화가 생겨도 원하는 시간 정보를 얻을 수 있다.
- [0066] 도 15는 미세 시간-디지털 변환기(340)의 블록 다이어그램을 도시한 것이다.
- [0067] 시간 증폭기(330)에서 모든 반복이 끝나는 시점에서 리셋 펄스가 만들어지는데, 그 펄스를 받아와 게이트의 입력으로 사용한다. EN 신호가 들어오기 전까지 IN은 전압 '1'을 유지하고 있다가 모든 반복이 끝나면 IN 신호는 하강하고, 하강하는 신호에 맞춰 CLK 신호가 상승하여 플립플롭들이 각 지연 셀의 출력을 저장한다.
- [0068] 반복형 시간 증폭기는 시간 정보 자체의 증폭이 아니라 반복이기 때문에 개별적인 정보를 합산하는 과정이 필요하다. 반복되는 시간 정보는 변환을 통해 전압으로 저장할 수 있다. 따라서 반복형 시간 증폭기는 캐패시터를 통해 시간 정보를 전압으로 변환시켜 반복을 합산으로 만드는 과정이 필요하다. 그 중 본 발명에서 사용한 방법은 지연 셀의 게이트 캐패시터스에 저장하는 방법이다. 전원을 스위칭시켜주는 게이트-지연 셀을 사용하게 되면, EN 신호가 '1'이 되어 있는 동안 IN으로 들어온 상승 전압은 지연 셀을 통과하고, EN 신호가 '0'이 되어 있는 동안 IN으로 들어온 상승 전압은 지연 셀을 통과하지 않은 채, 해당 전압을 유지한 상태로 지연 셀의 게이트 캐패시터에 시간 정보를 전압 정보로 저장하고 있다.
- [0069] 도 16은 게이트-지연 셀의 회로도 이다. 게이트-지연 셀 회로는 인버터 두 개를 사용한 지연 셀에서 각각 PMOS와 NMOS를 캐스코드 하여 EN 신호와 $\overline{EN}$ 신호를 이용해 전원을 스위치 시켜 줄 수 있도록 한다. 또한, EOC 신호와 $\overline{EOC}$ 신호를 이용해 반복이 종료되었을 때 게이트에 저장된 전압 정보를 제거하기 위해 M1과 M2 트랜지스터를 추가한 회로이다.
- [0070] 예를 들어, EN 펄스 폭 하나의 정보(T_d)가 미세 변환 시간-디지털 변환기 지연 셀 1.5개($1.5T_F$)를 통과하는 정보라고 하자. EN 펄스가 16번 반복된다면 반복 후 최종 전압은 D1부터 D24까지 총 24개의 지연 셀의 출력 전압이 1이 될 것이다.
- [0071] 도 17은 오차 전달부에서 만들어져 시간 증폭기로 들어가는 입력 시간 INA와 INB의 차이가 T_d 가 $1.5 T_F$ 일 때를 나타낸 시간 차트이다. 실제로 $1.5 T_F$ 는 양자화가 불가능하지만, EN 신호가 꺼졌을 때 게이트 캐패시터에 남은 시간 정보를 전압 정보로 저장하고 있기 때문에 펄스의 반복이 개별적인 펄스의 합이 되어 시간 증폭이 된다. $1.5T_F$ 의 펄스 정보를 가지는 첫 번째 EN 신호가 들어왔을 때를 예로 들면, 펄스가 인가 된 시간 동안 각 지연 셀들은 켜지고 지연-라인 시간-디지털 변환기처럼 동작하게 된다. 따라서 EN 신호가 들어온 동안 미세 변환 시간-디지털 변환기의 첫 번째 지연 셀을 통과한 후, 2번째 지연 셀의 게이트 전압이 $VDD/2$ 까지 상승 한 후, 그 상태에서 EN 신호가 하강하고 현 상태를 유지한다. 마찬가지로 다음번에는 3번째 지연 셀까지 통과할 것이고,

총 16번의 반복이 끝나면 24번째 지연 셀까지 모두 '1'이 되고 25번째 지연 셀부터 남은 지연 셀의 게이트 전압은 '0' 인 상태를 유지하고 있을 것이다.

[0072] 본 발명에 따른 2단 시간-디지털 변환기의 출력 방식은 다음과 같다.

[0073] 조세 시간-디지털 변환기(310)의 해상도가 T_c 이므로, $0 \leq T_d < T_c$ 가 되고 오차 전달부(320)는 오프셋

$2T_c \geq T_{IN} > T_c$ T_c 를 가지고 최대 $2T_c$ 까지 출력한다:

[0074] 결국 오차 전달부(320)는 오프셋 T_c 를 가지고 최대 $2T_c$ 까지 출력한다. 총 16번의 반복을 하므로 EN 신호 펄스의 함은 수학식 5와 같다.

[0075] [수학식 5]

$$32T_c \geq T_{16X} > 16T_c$$

[0076]

[0077] 따라서 최소 16개의 조세 시간-디지털 변환기의 지연 셀을 통과하는 시간부터 최대 32개의 지연 셀을 통과하는 시간이다. 이때, 입력 차이(T_d)가 클수록 출력은 작은 값이 나온다. 다시 말해서 T_{IN} 은 $2T_c - T_c$ 이므로 미세 시간-디지털 변환기의 최종 출력은 조세 시간-디지털 변환에서 나온 출력에서 뺄셈이 되어야 한다.

[0078] 뺄셈하려면 미세 시간-디지털 변환기(340)의 해상도가 조세 시간-디지털 변환기(310)의 해상도의 2의 배수이거나 같아야 한다. 하지만 실제로 지연 셀을 통과하는 시간을 2배로 하여도 부가적인 로드로 플립플롭이나 래치가 추가되기 때문에 정확히 2N 배로 해상도를 맞추기 어렵다. 따라서 같은 해상도를 이용하되 반복횟수를 높이는 것이 타당하다. 본 발명에 따른 2단 시간-디지털 변환기 설계에서 해상도는 같게 하되, 시간 증폭을 16배로 사용한다.

[0079] 도 18은 본 발명에 따른 2단 시간-디지털 변환기의 시간 다이어그램이다. START 신호와 STOP 신호의 시간 정보가 $3.4T_c$ 로 입력되었다고 가정하자. 16배를 증폭한 8bit 2단-시간 디지털 변환기의 경우 최종 출력은 조세변환 4bit로 0011이고, 미세변환 4bit로 $0.4 \times 16 = 6.4$ 이므로 출력된 결과는 6인 0110이 되어 최종 비트는 00110110이 될 것이다.

[0080] T_{IN} 의 값이 1.6이고 16배를 하면 $25.6T_c$ 가 된다. 조세 변환기의 해상도와 미세 변환기의 해상도가 같으므로 $T_c = T_f$ 이다. 따라서 미세변환 후 최종 출력은 Q_1 부터 Q_{25} 까지 출력은 1이고, Q_{26} 부터 Q_{31} 까지의 출력은 0이 될 것이다. 앞서 말했듯이 최소 오프셋이 $16T_c$ 이므로 Q_1 부터 Q_{16} 까지의 출력은 버릴 것이다.

[0081] 이는 $T_{IN} = T_c$ 만큼인 조세 변환의 오프셋 정보이다. 실제로 원하는 정보는 Q_{17} 부터 Q_{31} 까지의 정보이고, 뺄셈을 해야 하므로 각 Q_i 의 출력을 인버팅 시켜 보수로 만들어 더할 것이다. 따라서 Q_{26} 부터 Q_{31} 까지 총 6개의 출력이 1이고, Q_{16} 부터 Q_{24} 까지는 0이 된다. 따라서 출력은 온도계 코드로 인코딩 시키면 미세 변환 4bit의 최종출력은 0110이 된다. 도면에 따르면 조세 변환기에서 Q_1 부터 Q_3 까지 3개의 출력이 1이 나오게 되므로 조세변환 또한 온도계코드로 인코딩시키면 0011이 되어 최종적으로 00110110을 출력하게 된다.

[0082] 본 발명에 따른 2단 시간-디지털 변환기에서 오차 전달부(320)는 지연 셀의 속도를 일정하게 하면서 동시에 오차를 정확하게 전달 할 수 있도록 시간 여유를 확보하는 장점이 있다. 또한, 시간 증폭기(330)는 기존 펄스-트레인 시간 증폭기에 비해 고이득 설계 시 전력소모가 상대적으로 적고 이득이 높아지더라도 이득의 오차가 누적되지 않는 장점이 있어 고이득 설계에 유리하고 시간-디지털 변환기의 선형성을 높일 수 있다는 장점이 있다.

[0083] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 프로세서, 컨트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상

의 소프트웨어 어플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0084] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 컴퓨터 저장 매체 또는 장치에 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

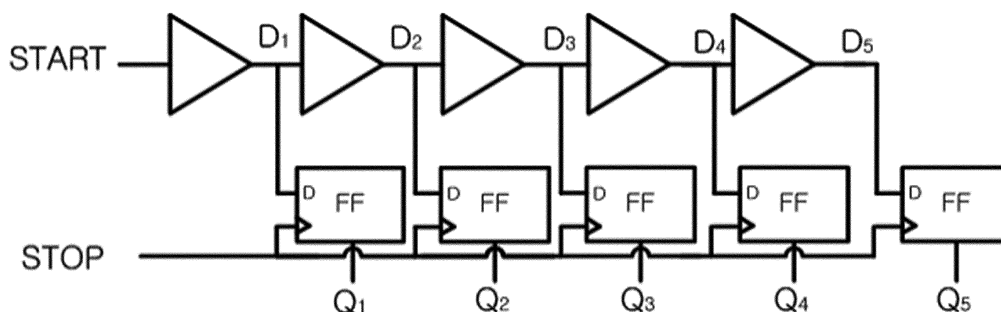
[0085] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 이때, 매체는 컴퓨터로 실행 가능한 프로그램을 계속 저장하거나, 실행 또는 다운로드를 위해 임시 저장하는 것일 수도 있다. 또한, 매체는 단일 또는 수 개의 하드웨어가 결합된 형태의 다양한 기록수단 또는 저장수단일 수 있는데, 어떤 컴퓨터 시스템에 직접 접속되는 매체에 한정되지 않고, 네트워크 상에 분산 존재하는 것일 수도 있다. 매체의 예시로는, 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체, CD-ROM 및 DVD와 같은 광기록 매체, 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical medium), 및 ROM, RAM, 플래시 메모리 등을 포함하여 프로그램 명령어가 저장되도록 구성된 것이 있을 수 있다. 또한, 다른 매체의 예시로, 어플리케이션을 유통하는 앱 스토어나 기타 다양한 소프트웨어를 공급 내지 유통하는 사이트, 서버 등에서 관리하는 기록매체 내지 저장매체도 들 수 있다.

[0086] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

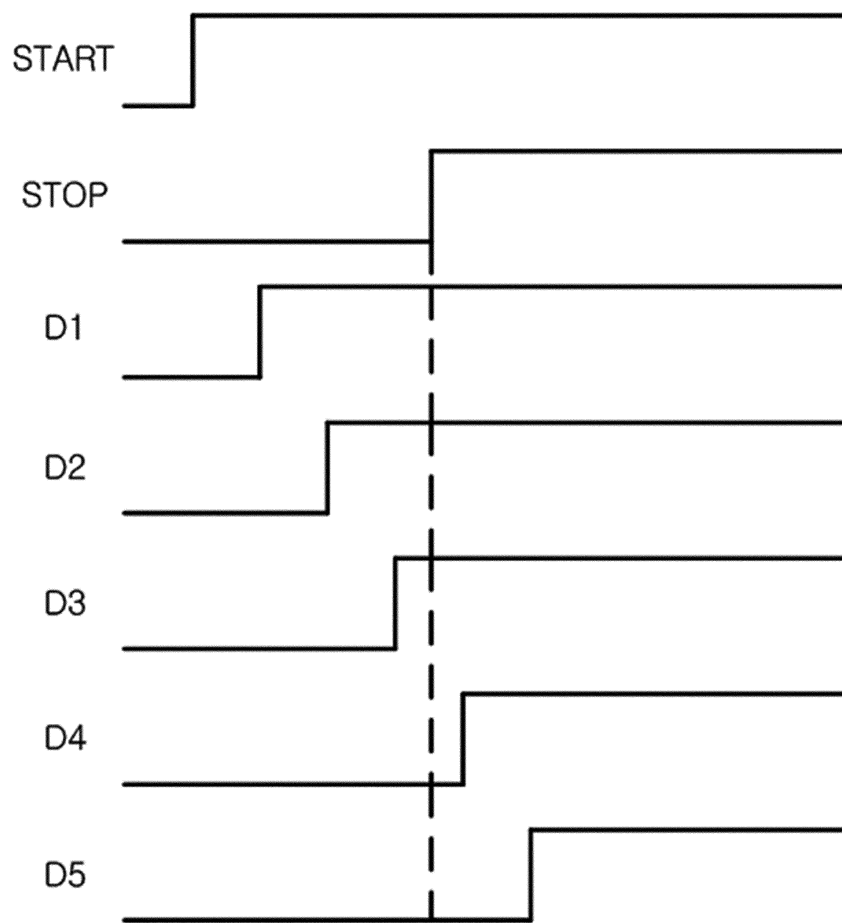
[0087] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

도면1

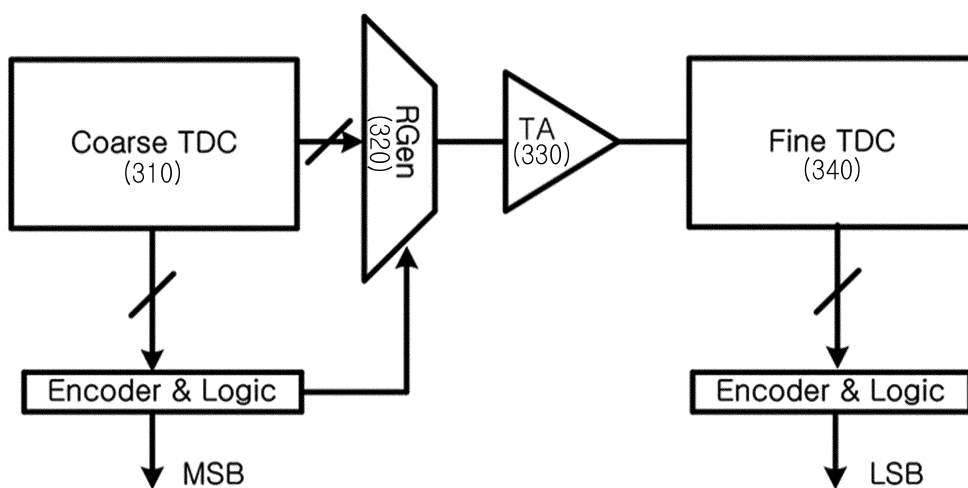


도면2

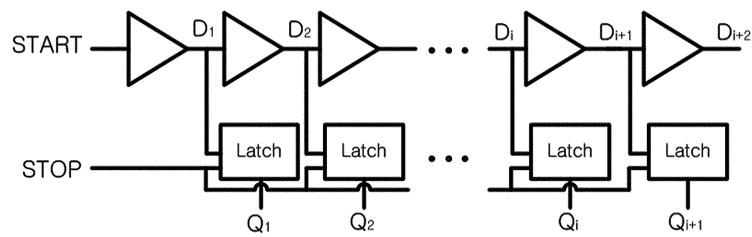


도면3

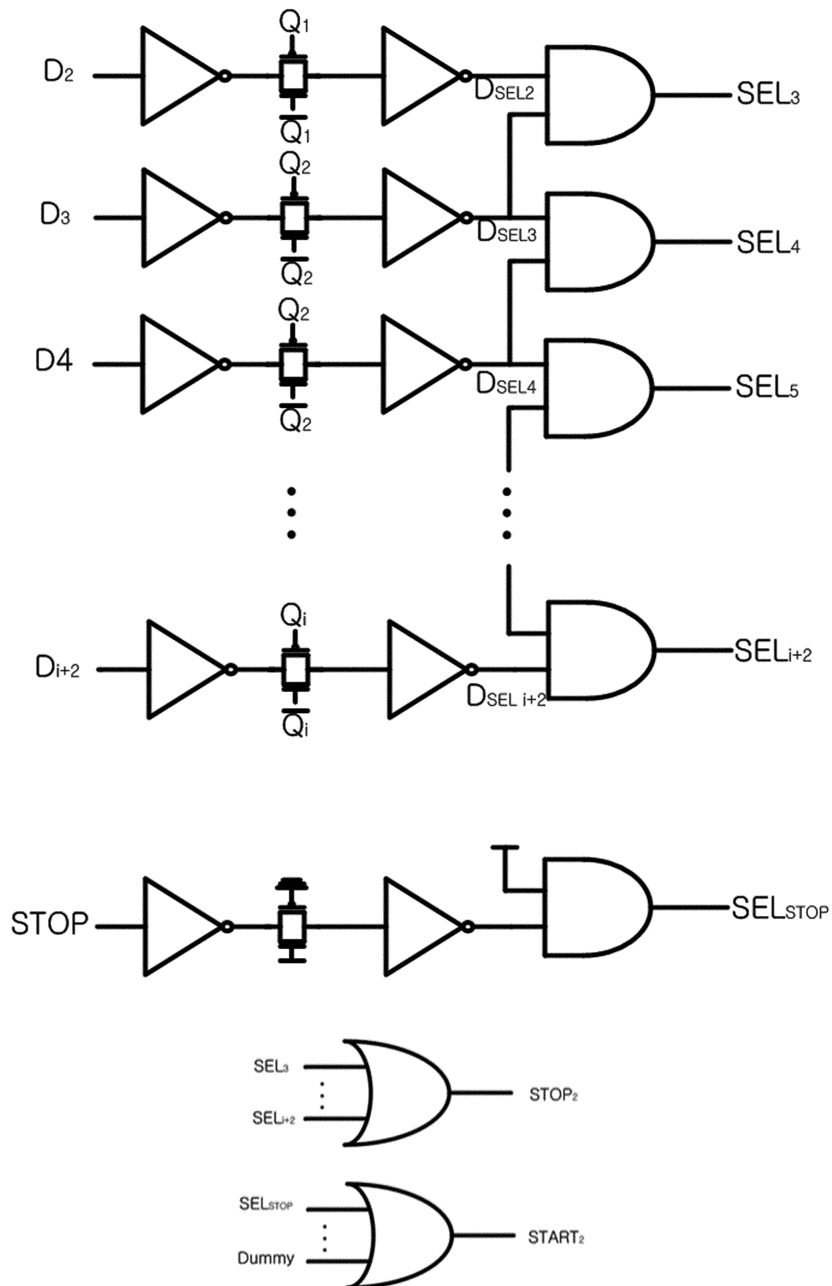
300



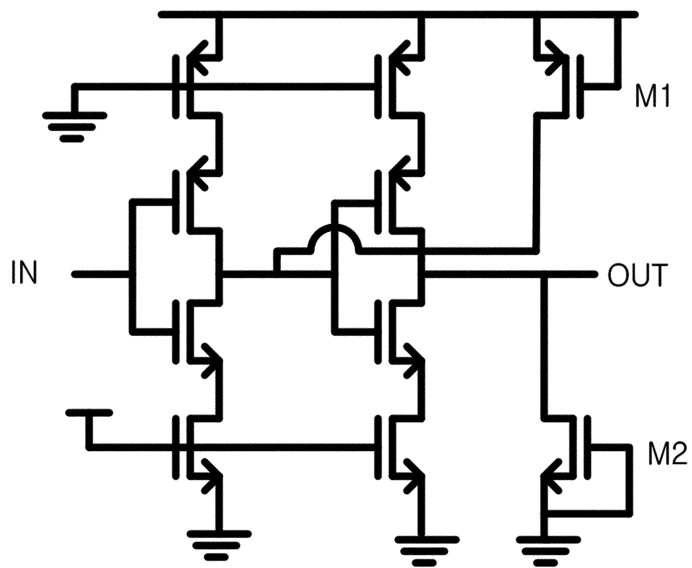
도면4

310

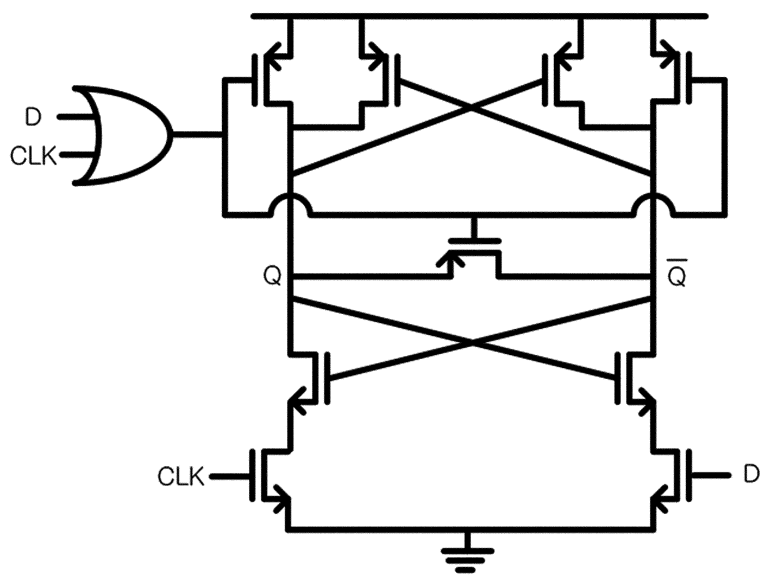
도면5

320

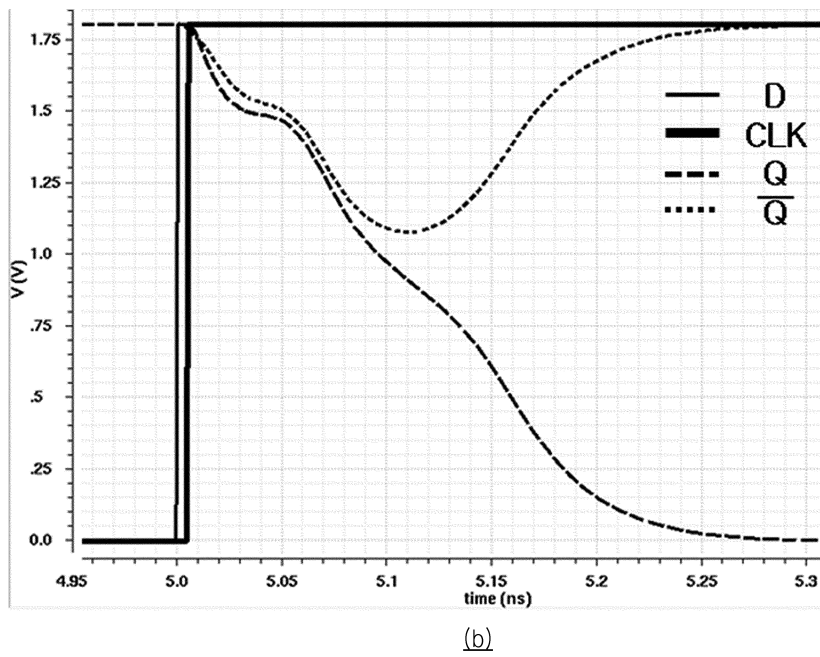
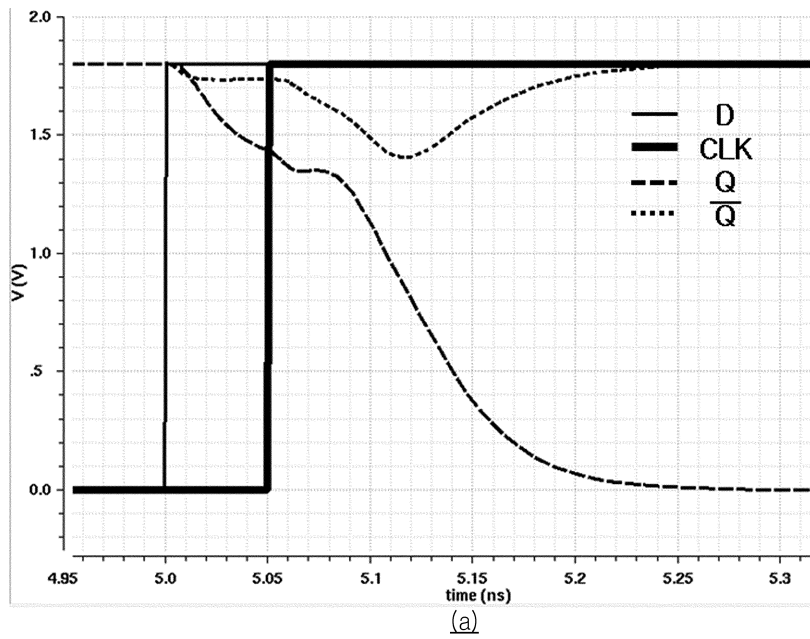
도면6



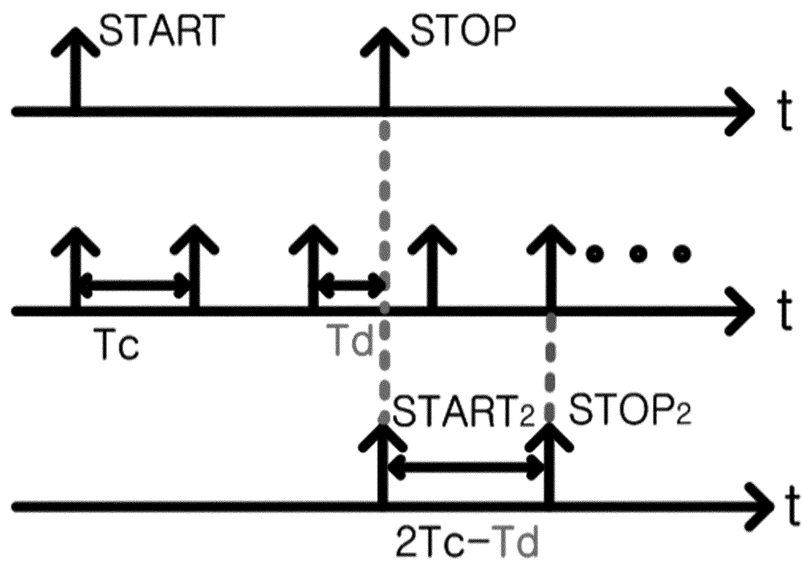
도면7



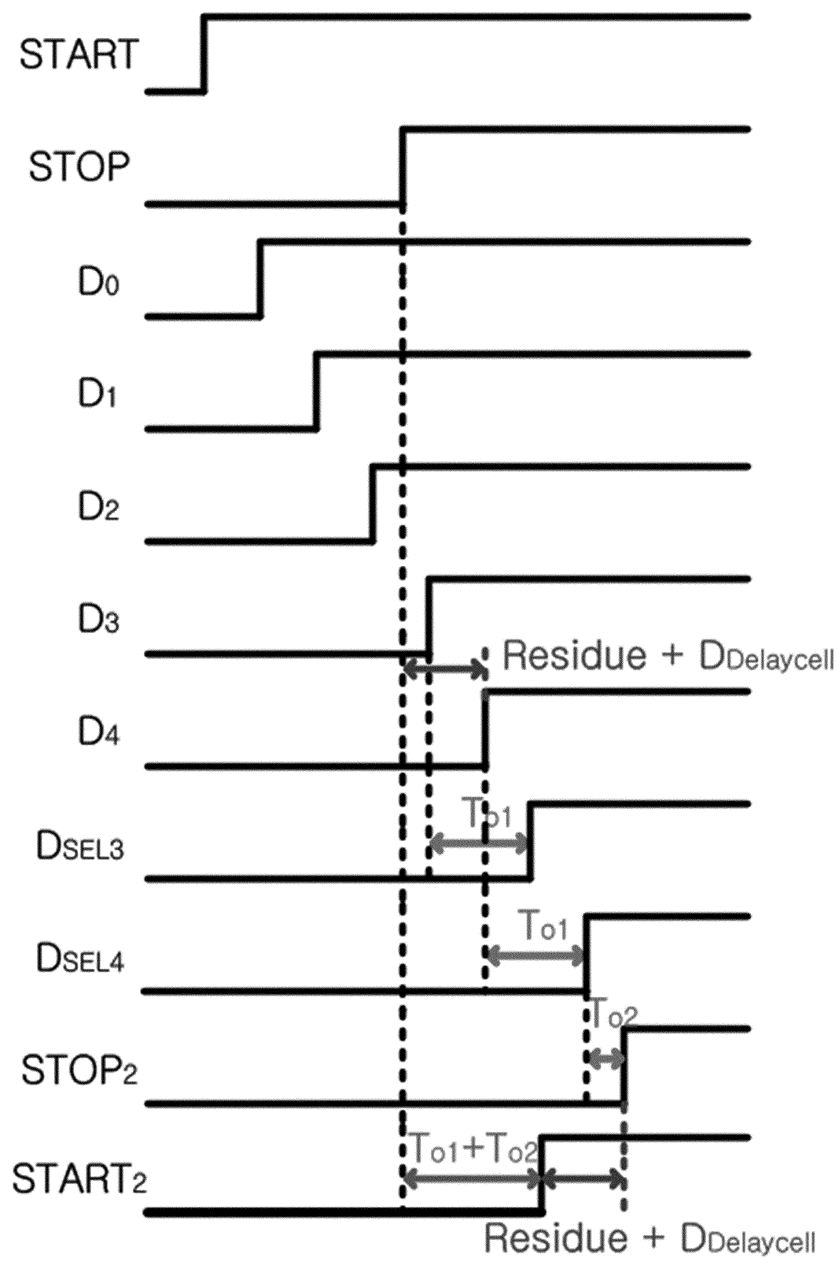
도면8



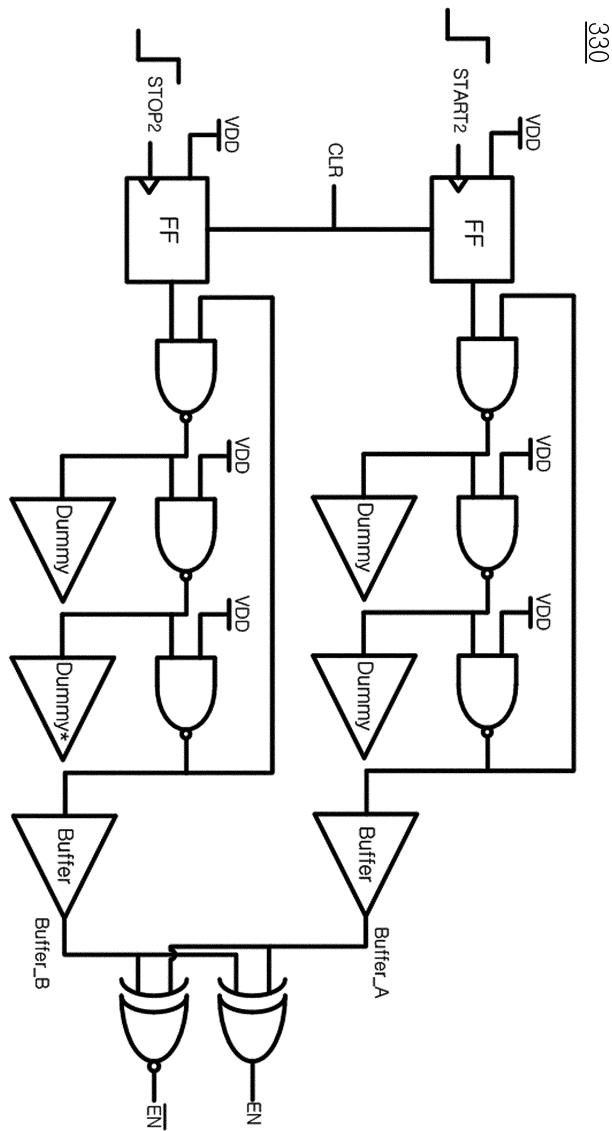
도면9



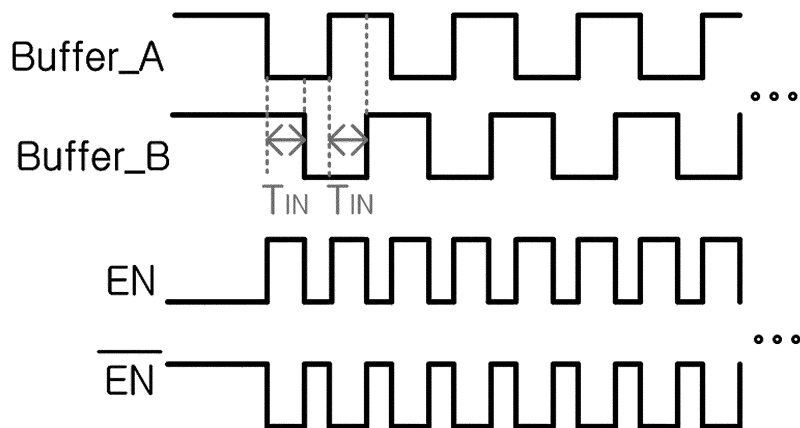
도면10



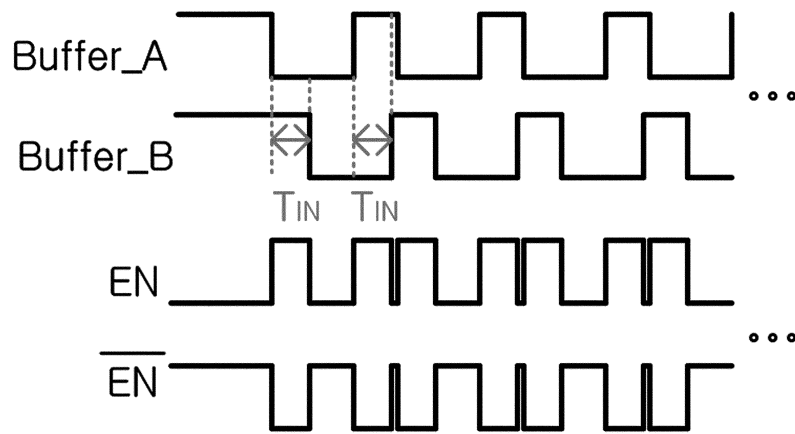
도면11



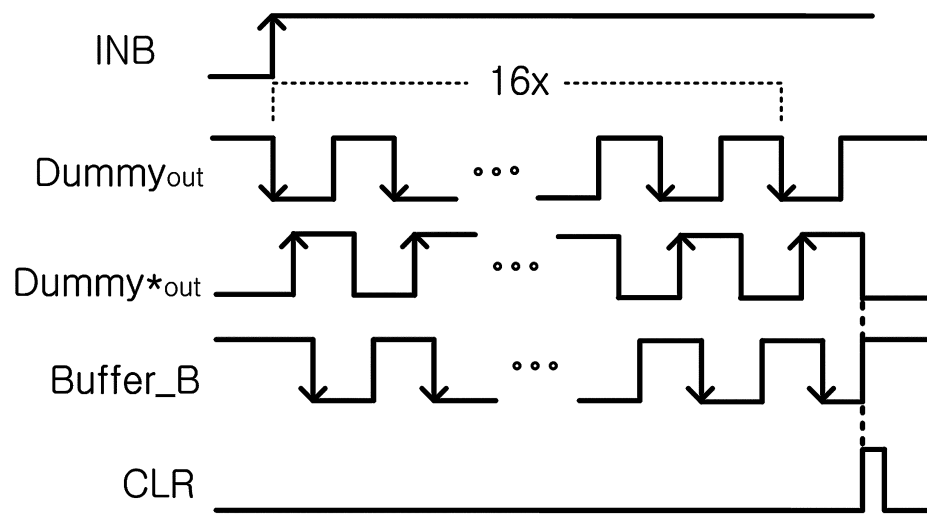
도면12



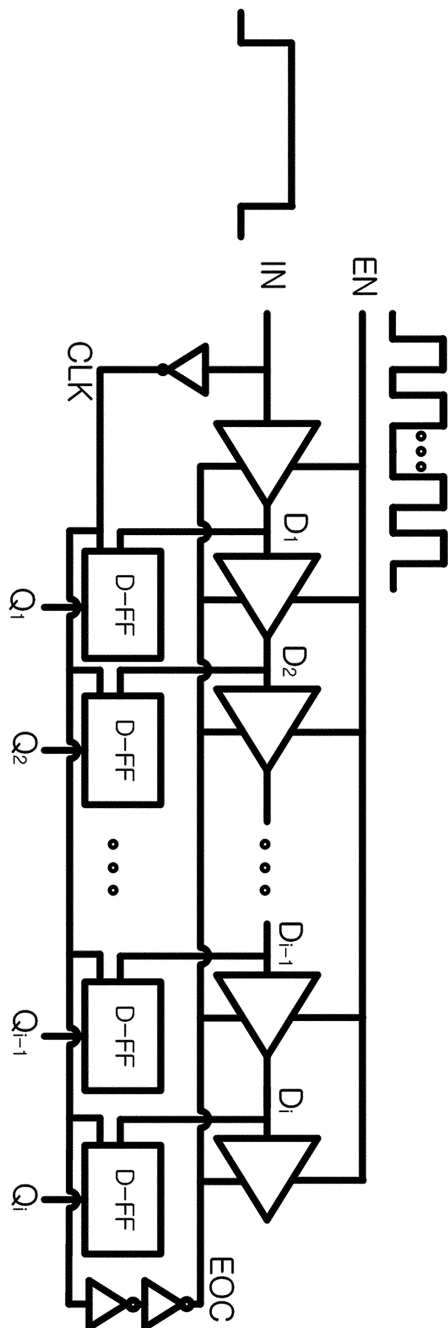
도면13



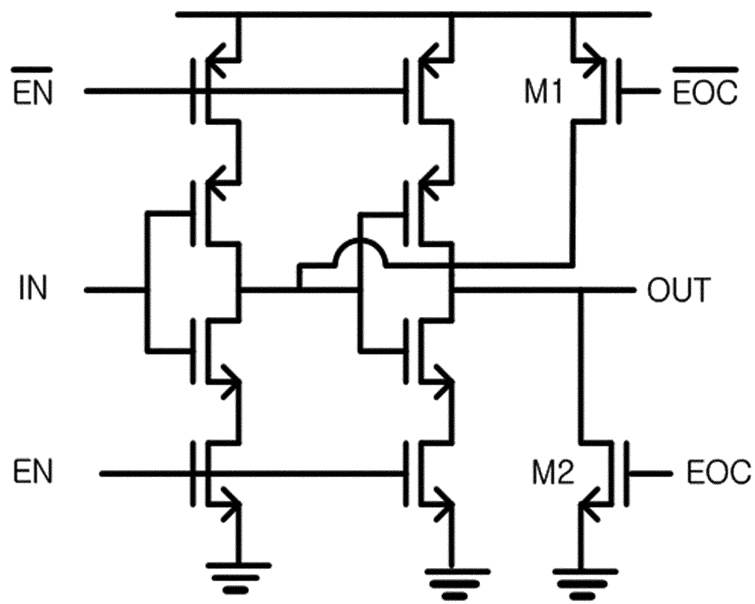
도면14



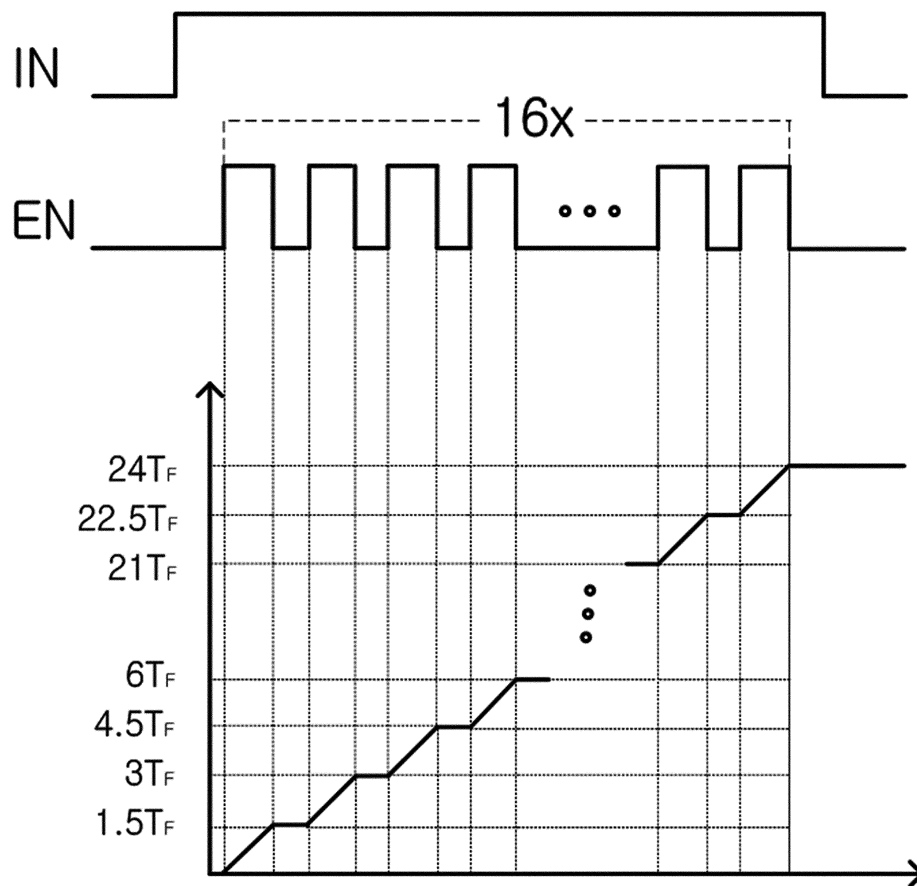
도면15

340

도면16



도면17



도면18

