(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4347329号
(P4347329)

(45)発行日　平成21年10月21日(2009.10.21)　(24)登録日　平成21年7月24日(2009.7.24)

(51)Int.Cl.		F I		
G06F 1/26	(2006.01)	G06F	1/00	331E
G06F 12/00	(2006.01)	G06F	12/00	550E
G06F 13/16	(2006.01)	G06F	13/16	510A
G06F 1/20	(2006.01)	G06F	1/00	360D
G06F 3/00	(2006.01)	G06F	3/00	R

請求項の数 5　(全 11 頁)

(21)出願番号　特願2006-262027(P2006-262027)
(22)出願日　平成18年9月27日(2006.9.27)
(65)公開番号　特開2007-95067(P2007-95067A)
(43)公開日　平成19年4月12日(2007.4.12)
審査請求日　平成20年10月24日(2008.10.24)
(31)優先権主張番号　11/237434
(32)優先日　平成17年9月28日(2005.9.28)
(33)優先権主張国　米国(US)

早期審査対象出願

(73)特許権者　390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
ＩＮＴＥＲＮＡＴＩＯＮＡＬ　ＢＵＳＩＮＥＳＳ　ＭＡＳＣＨＩＮＥＳ　ＣＯＲＰＯＲＡＴＩＯＮ
アメリカ合衆国１０５０４　ニューヨーク州　アーモンク　ニュー　オーチャード　ロード
(74)代理人　100108501
弁理士　上野　剛史
(74)代理人　100112690
弁理士　太佐　種一
(74)代理人　100091568
弁理士　市位　嘉宏

最終頁に続く

(54)【発明の名称】デバイス間の配電を管理する方法およびシステム（改善された電力管理および熱分散のための選択的オンダイ終端）

(57)【特許請求の範囲】
【請求項１】
それぞれが信号終端コンポーネントを含む複数の相互接続されたデバイスの間での配電を管理する方法であって、
前記デバイスの熱徴候データを受け取るステップと、
前記受け取られた熱徴候データに従って、前記デバイスのうちの少なくとも１つの前記信号終端コンポーネントを使用可能にセットするステップと前記デバイスの前記熱徴候データを判定するステップと、を含み、
熱徴候データの前記判定が、より高い熱アクティビティの徴候を有する第１デバイスおよびより低い熱アクティビティの徴候を有する第２デバイスを識別するステップを含み、
前記デバイスのうち少なくとも１つの前記信号終端コンポーネントを使用可能にセットする前記ステップが、前記第１デバイスの前記信号終端コンポーネントを使用不可にするステップと、前記第２デバイスの前記信号終端コンポーネントを使用可能にするステップとを含む、方法。
【請求項２】
前記デバイスが、共用バスで相互接続され、前記熱徴候データを判定するステップが、前記デバイスのバス・トランザクション・アクティビティのレベルを判定するステップを含む、請求項１に記載の方法。
【請求項３】
前記熱徴候データを判定するステップが、前記デバイスに送られる電力負荷を計算するス

テップを含む、請求項１に記載の方法。
【請求項４】
それぞれが信号終端コンポーネントを含む複数のデバイスを相互接続する共用バス・システムで配電を管理するシステムであって、前記システムが、前記デバイスの熱徴候データを受け取り、前記受け取られた熱徴候データに従って、前記デバイスのうちの１つまたは複数の前記信号終端コンポーネントを使用可能にセットするための信号終端制御回路と、前記デバイスの前記熱徴候データを判定するための熱検出デバイスとを含み、熱徴候データの前記判定が、より高い熱アクティビティの徴候を有する第１デバイスおよびより低い熱アクティビティの徴候を有する第２デバイスを識別することを含み、前記信号終端制御回路が、前記デバイスの熱徴候データを受け取り、前記熱徴候データを相対的に比較し、前記デバイスの相対電力消費を判定し、前記相対電力消費の判定に従って、前記第１デバイスの前記信号終端コンポーネントを使用不可にすることと、前記第２デバイスの前記信号終端コンポーネントを使用可能にすることとを含む、システム。
【請求項５】
前記デバイスのそれぞれの前記信号終端コンポーネントが、オンダイ終端コンポーネントであり、前記デバイスのうちの１つまたは複数の前記信号終端コンポーネントの使用可能の前記セットが、前記複数のデバイスのうちの１つまたは複数のオンダイ終端コンポーネント・イネーブル入力でイネーブル信号をセットすることを含む、請求項４に記載のシステム。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、一般には電子システムでの配電管理に関し、具体的には、オンボード（内蔵）信号終端を有する電子デバイスの間で熱源を分散させる方法およびシステムに関する。より具体的には、本発明は、配電要因および熱関連要因に従ってオンダイ終端（on-die termination）を使用可能および使用不可にする方法およびシステムに関する。
【背景技術】
【０００２】
シンクロナス・ダイナミック・ランダム・アクセス・メモリ（ＳＤＲＡＭ）システムなどの共用バス・アーキテクチャを使用する電子システムは、ますます密になる回路構造で製造されており、より高い速度で動作しており、熱生成／散逸問題がもたらされる。１例が、高性能メイン・メモリに利用されるダブル・データ・レート（ＤＤＲ）ＳＤＲＡＭである。高まる局所化された熱生成に対する解決策の１つが、指定された期間中に最大サイクル数までにデバイス／バス動作速度を抑える（throttle）ことである。全電力消費を減らすことによって、この手法は、熱生成を減らすのに効果的である。しかし、動作速度は、直接にまたは間接にシステム・パラメータまたはサブシステム・パラメータであるので、システム性能が、不当に妥協され、個別化されたコンポーネントの配慮または保護が非実用的になり得る。
【０００３】
信号終端が、多くの共用バス・システムでのもう１つの大きく熱に寄与するものである。一般に、信号終端は、共用される伝送経路での信号反射によって引き起こされる雑音を除去するのに利用される。マザーボード終端は、適当な抵抗値を有する抵抗（終端抵抗）を各伝送経路の終りに取り付けることによって信号反射を減らす終端方法である。しかし、この方法は、ＤＤＲ２－ＳＤＲＡＭまたは他の超高速応用によって使用される動作周波数範囲で信号反射を十分には減らさない。さらに、マザーボードに終端抵抗を追加することによって、コンポーネント数が増え、製造コストおよび設計コストが高まる。
【０００４】
オンダイ終端（ＯＤＴ：on-die termination）は、スタンバイ・モードのＤＲＡＭからの反射信号によって影響され得る複数のアクティブ・モードＤＲＡＭを有する共用バス環境で信号反射雑音を除去することにおいてマザーボード終端より効率的な代替信号終端方

法である。例えば、ＯＤＴ信号終端を使用するＤＤＲ２－ＳＤＲＡＭに、そうでなければマザーボードに取り付けられるはずの終端抵抗が含まれ、それによって、マザーボード上のコンポーネントの個数が減り、システム設計が単純になる。

【発明の開示】

【発明が解決しようとする課題】

【０００５】

マザーボード・タイプとオンダイ終端（ＯＤＴ）タイプの両方の信号終端は、信号「吸収」プロセスの副産物として熱を解放し、したがって、共用バス・システムでの熱生成問題を悪化させ得る。したがって、信号終端を使用するシステムで配電をより効率的に管理する改善されたシステムおよび方法の必要がある。本発明は、この必要性および従来技術によって対処されていない他の必要性に対処する。

【課題を解決するための手段】

【０００６】

それぞれが信号終端コンポーネントを含む複数のデバイスを相互接続する共用バス・システムでの配電を管理するシステム、方法、およびデバイスを、本明細書で開示する。一実施形態で、本発明の方法に、共用バス・システム内のデバイスのうちの１つまたは複数の熱徴候（thermal indicia）を検出するステップと、この熱徴候をメモリ・コントローラ・デバイス内のオンダイ終端制御回路に通信するステップが含まれる。オンダイ終端制御回路に、共用相互接続デバイスの信号終端コンポーネントを使用可能（enablement）にセットし、リセットする電子デバイス、モジュール、および命令手段が含まれる。好ましい実施形態で、オンダイ終端制御回路は、検出（判定）された熱徴候に従って、信号終端コンポーネントを使用可能にセットし、リセットする。

【０００７】

一実施形態で、メモリ・システムに、各々の独立に選択可能なバンク（bank）内の、ダイナミック・ランダム・アクセス・メモリ（ＤＲＡＭ）デバイスなどの複数のメモリ・デバイスを含むメモリ・モジュールが含まれる。メモリ・モジュール内のメモリ・デバイスに、選択的に使用可能（イネーブル）／使用不可（ディスエーブル）されるオンダイ終端回路が含まれ、このオンダイ終端回路が、共用される相互接続での共通接続されたメモリ制御信号終端でのメモリ制御信号に応答して、各々のデータ終端での終端インピーダンスを与える。選択的に使用可能にされるオンダイ終端（ＯＤＴ）回路は、ＯＤＴ制御回路からの対応する信号終端イネーブル信号に応答して、指定された終端インピーダンスを与える。例えば、ＯＤＴ制御回路は、メモリ読取動作、メモリ書込動作、またはメモリ・デバイス・アクティビティの他の徴候に応答して、ＯＤＴ回路の使用可能を判定することができる。

【０００８】

本発明の他の実施形態では、ＯＤＴ回路のそれぞれに、受け取られたメモリ制御信号またはメモリ・モジュールの熱状態を示す信号あるいはその両方などの熱徴候に従って、対応するＯＤＴ回路の使用可能／使用不可をセットするように構成された各々のＯＤＴ制御回路が含まれるように、各々のＯＤＴ回路の制御を分散することができる。各ＯＤＴ回路に、ＯＤＴ制御信号を受け取り、ＯＤＴ制御信号の第１状態および第２状態にそれぞれ応答して、メモリ・デバイスの端子で、第１の、信号を終端するインピーダンスおよび第２の、信号を終端しない終端インピーダンスを選択的に与えるように構成された信号終端回路が含まれる。

【０００９】

ＯＤＴ制御回路に、メモリ制御信号、電源信号、熱ゲージ、ならびにメモリ・モジュール内の熱および配電の他の直接のまたは間接の徴候から導出できるものなどの検出された熱状態に応答する信号終端イネーブル（使用可能）信号または信号終端ディスエーブル（使用不可）信号を生成するように動作するデコーダ手段を含めることができる。

【００１０】

本発明の上記ならびに追加の目的、特徴、および利点は、次の詳細に書かれた説明で明

白になる。

【００１１】

本発明に特有と思われる新規の特徴を、添付請求項に示す。しかし、本発明自体ならびにのその使用の好ましい態様、さらなる目的、および利点は、添付図面と共に読まれるときの例示的実施形態の次の詳細な説明を参照することによって最もよく理解される。

【発明を実施するための最良の形態】

【００１２】

本発明は、オンダイ信号終端を使用するデバイスを有する共用バス・システムでの配電管理のシステムおよび方法を対象とする。そのようなシステムのうちで最もよく知られたものが、集積回路デバイス上のオンダイ終端（ＯＤＴ）を使用するシステムであり、これらは、マザーボード信号終端などのプリント回路基板終端を使用する共用バス・システムと対照的である。図面を参照して以下でさらに詳細に説明するように、本発明は、そうでなければオーバーヒートの対象であるシステムの区域を軽減するように信号終端を含む電力負荷をシフトできるように、デバイス温度、電力消費などの相対的に判定された熱徴候に従って、システム電力消費のうちで信号終端からなる部分を分散させ、動的に調整する、配電管理技法を提供する。

【００１３】

ここで図面を参照すると、同様の符号はすべての図面を通じて同様の対応する部分を指すが、特に図１および図２を参照すると、本発明による、メモリ・デバイスが相互接続された共用バス・システムが示されている。図１からわかるように、共用バス・システムに、一般に、システム相互接続１２０を介してメモリ・コントローラ１１０に結合された複数のメモリ・モジュール１０５ａ～１０５ｎが含まれる。システム構成に応じて、システム相互接続１２０を、メモリ・コントローラ１１０とメモリ・モジュール１０５ａ～１０５ｎ内のデバイスとの間の通信結合を提供するバス相互接続または交換（switched）相互接続とすることができる。

【００１４】

好ましい実施形態では、メモリ・モジュール１０５ａ～１０５ｎに、当技術分野でデュアル・インライン・メモリ・モジュール（ＤＩＭＭ）と称する複数ランクのデバイスが含まれ、これらのＤＩＭＭのそれぞれに、マザーボード（図示せず）に結合するためのエッジ・コネクタ・ピンを有する小さい回路基板上の複数のダイナミック・ランダム・アクセス・メモリ（ＤＲＡＭ）チップが含まれる。その場合に、メモリ・モジュール１０５ａ、１０５ｂ、および１０５ｎのボード上の集積回路のそれぞれは、ブロック１１２ａ～１１２ｎ、１１４ａ～１１４ｎ、および１１６ａ～１１６ｎによって表されるＤＲＡＭデバイスである（その代わりに、参照を容易にするためにＤＲＡＭデバイス１１２、１１４、および１１６と称する）。本明細書で示す例示的実施形態に、共用バスＤＩＭＭメモリ構成が含まれるが、本発明が、メモリ・デバイスまたは特定のメモリ・デバイス構成に制限されず、ＯＤＴなどのオンデバイス信号終端をサポートする他の電子デバイスに適用できることに留意されたい。

【００１５】

図１にさらに示されているように、ＤＲＡＭデバイス１１２、１１４、および１１６に、それぞれＯＤＴ回路１４０ａ～１４０ｎ、１４２ａ～１４２ｎ、および１４４ａ～１４４ｎ（参照を容易にするために、本明細書では集合的にＯＤＴ回路１４０、１４２、および１４４と称する）の形の信号終端コンポーネントが含まれる。ＯＤＴ回路１４０、１４２、および１４４の使用可能化は、通常、図２でスイッチ１３５として機能的に表されている、メモリ・コントローラ１１０からＯＤＴ制御ピンへの制御信号の印加によって制御される。代表的なスイッチ１３５が開（オープン）位置である（ＯＤＴ入力制御ピンのうちの対応する１つからのＯＤＴイネーブル信号の効果的な除去を表す）状態で、終端抵抗R_{TD}およびR_{TS}ならびにプルアップ電圧V_{DD}およびプルダウン電圧V_{SS}によって表される信号終端機能性は、非アクティブ化されまたは同等に使用不可にされ、対応するＯＤＴ回路が、共用相互接続１２０から入力ピン１３４で受け取られる信号をシンクし（

sink）または終端するように機能しなくなる。ＯＤＴ回路１４０、１４２、または１４４あるいはこれらの組合せのうちのいずれかまたは複数を使用可能にするためには、イネーブル信号を各々のイネーブル・ピン入力に送って、終端抵抗R_Tと基準電圧の間の回路を効果的に閉じ（図示の実施形態では、制御ピンを「閉じる」ことによって表される）、したがって、信号を終端するインピーダンスを与える。信号終端機能性は、この形でアクティブ化され、または同等に使用可能にされ、対応するＯＤＴ回路が、共用相互接続１２０から入力ピン１３４で受け取られる信号をシンクしまたは終端する。

【００１６】

図２および３に、特に本発明による配電管理に関連する、代替の例示的ＤＲＡＭデバイスの内部構造のより詳細なブロック図を示す。ＤＲＡＭデバイス１５５および１５８のそれぞれは、入力ピン１３４から受け取ったデータを入力バッファ１３２内に入れる（バッファリングする）。ＤＲＡＭデバイス１５５に、ＯＤＴ回路１４０が含まれ、このＯＤＴ回路１４０に、終端抵抗R_{TD}およびR_{TS}とスイッチ１３５が含まれ、これらが、この場合にはV_{DD}およびV_{SS}によって表される、信号をシンクする終端への各々の経路を形成する。終端抵抗R_{TD}およびR_{TS}は、入力ピン１３４で受け取られる信号に対する、指定された、周波数依存のインピーダンスを与える可能性のある１つまたは複数の受動電子デバイスまたは能動電子デバイスあるいはその両方を表す。スイッチ１３５は、ＤＲＡＭデバイス１５５を収容するＩＣチップのＯＤＴイネーブル入力ピンを表し、このＯＤＴイネーブル入力ピンは、ＯＤＴ制御回路１１８の形の信号終端制御回路によって生成され／エンコードされるＯＤＴ制御信号e_{TD}またはe_{TS}あるいはその両方を受け取る。

【００１７】

ＤＲＡＭデバイス１５８は、本発明の代替実施形態に従って設計されたＯＤＴ回路１５２を提供する。具体的に言うと、ＯＤＴ回路１５２には、並列結合された終端抵抗R_{TS1}～R_{TS3}を含むプルダウン・ネットに直列結合された、並列結合された終端抵抗R_{TD1}～R_{TD3}を含むプルアップ・ネットが含まれる。この構成では、抵抗経路のうちの１つまたは複数を、対応するインライン・スイッチe_{TD1}からe_{TD3}およびe_{TS1}～e_{TS3}によって選択的に開き、または閉じることができる。このように、ＯＤＴ回路１５２の有効終端抵抗が、図４に関して以下でさらに詳細に説明するように、熱徴候による１つまたは複数のＯＤＴ制御信号e_{TD1}～e_{TD3}およびe_{TS1}～e_{TS3}をエンコードすることによって決定される。

【００１８】

一実施形態で、終端抵抗R_{TD1}～R_{TD3}およびR_{TS1}～R_{TS3}は、対応するイネーブル信号e_{TD1}～e_{TD3}およびe_{TS1}～e_{TS3}のうちの１つまたは複数をアサートすることによって、個別にオンラインにすることができる。代替実施形態では、プルアップおよびプルダウンの対（例えば、R_{TD1}／R_{TS1}）を、対応する信号（R_{TD1}／R_{TS1}についてはe_{TD1}／e_{TS1}）がアサートされるようにＯＤＴ制御信号をエンコードすることによって、選択可能なユニットとして制御することができる。もう１つの代替実施形態では、ＯＤＴ制御回路１１８が、必要な入力信号インピーダンスによる指示の通りの任意のエンコードされた組合せでＯＤＴ制御信号e_{TD1}～e_{TD3}およびe_{TS1}～e_{TS3}をアサートすることができる。

【００１９】

図１に戻って、それぞれメモリ・モジュール１０５ａおよび１０５ｎ内のＯＤＴ回路１４０および１４４の信号終端は、使用不可にされ（「オフ」）、メモリ・モジュール１０５ｂ内のＯＤＴ回路１４２の信号終端は、使用可能にされる（「オン」）。したがって、この図示の実施形態では、ＯＤＴ回路の使用可能／使用不可状況が、特定のメモリ・モジュールに含めることによって決定されるＤＲＡＭデバイスのグループ化で制御される。代替実施形態では、ＯＤＴ回路の使用可能／使用不可状況が、グループ・ベースでセットされ、１つのＤＩＭＭ内で、ＤＲＡＭの異なるグループを個別にセットすることができる。

【００２０】

ほとんどの共用相互接続メモリ・システムで利用される時に、メモリ・コントローラ１

１０は、一般に、コンピュータの様々なコンポーネント（図示せず）とメモリ・モジュール１０５ａ～１０５ｎ内のＤＲＡＭデバイス１１２、１１４、および１１６との間のデータの転送を電子通信プロトコルおよび標準規格によって制御するデバイスである。例えば、パーソナル・コンピュータ・システムで利用される場合に、メモリ・コントローラ１１０に、通常は単一のＩＣチップが含まれる。

【００２１】

本発明の理解に必要でなく、したがって図示されていない、メモリ・バス・トランザクションを容易にするための標準回路およびコンポーネントのほかに、メモリ・コントローラ１１０に、ＯＤＴ制御回路１１８が含まれる。好ましい実施形態では、ＯＤＴ制御回路１１８に、ＤＲＡＭデバイス１１２、１１４、および１１６内のＯＤＴ回路１４０、１４２、および１４４の使用可能／使用不可を判定し、実施する電子モジュールまたはプログラム・モジュールあるいはその両方と命令が含まれる。図示の実施形態について、ＯＤＴ回路１４０、１４２、および１４４のそれぞれの使用可能状況は、ＩＣチップ（ＤＲＡＭデバイス１１２、１１４、および１１６によって表される）内のイネーブル入力ピン（図２および３ではスイッチとして表される）に送られるかこれから除去されるイネーブル（使用可能）／ディスエーブル（使用不可）信号によってセットされるが、ＯＤＴ制御回路１１８の機能性に、基本的に、所与の条件の下でどのイネーブル信号をアサート（アクティブな状態に）し、どのイネーブル信号をデアサート（アクティブでない状態に）するかを決定する電子モジュールまたはプログラム・モジュールあるいはその両方が含まれる。

【００２２】

本発明の配電管理機能の有用な特徴が、好ましくはメモリ・コントローラ１１０によって受け取られ、処理される、熱徴候データ１０９に従ってＯＤＴ回路１４０、１４２、および１４４を使用可能／使用不可にすることである。本明細書で使用される「熱徴候データ」は、一般に、配電の直接のもしくは間接の表示またはメモリ・モジュール１０５ａ～１０５ｎの近くもしくはその中で発生する絶対的なもしくは相対的な熱状態を提供するすべての直接のもしくは間接のデータもしくは情報を指すことができる。そのような熱徴候データ１０９の供給源に、サーマル・ダイオード（thermal diode、図示せず）などの熱測定デバイスから収集された温度測定値などの直接の熱徴候を含めることができる。熱徴候データ１０９に、さらにまたはその代わりに、メモリ・コントローラ１１０によって監視されるバス・トランザクション・アクティビティから導出された電力消費データなどの間接の熱徴候を含めることができる。一実施形態で、熱徴候データ１０９に含まれる間接の熱徴候データに、それぞれがＯＤＴ回路１４０、１４２、および１４４のうちの１つまたは複数を含む複数の事前に指定されたゾーンにまたがる熱状態の相互影響を考慮に入れた相対的な熱徴候データを含めることができる。この形で利用できる相対的な熱徴候の例が、図５に示し、これを参照して説明する、メモリ・モジュールの間の相対的な気流方向である。

【００２３】

熱徴候データ１０９は、前述のおよび他の熱情報または配電情報あるいはその両方を含むことができるが、ＯＤＴ制御回路１１８によって受け取られ、それぞれのＤＲＡＭデバイス１１２、１１４、および１１６内のＯＤＴ回路１４０、１４２、および１４４の使用可能状況を決定する（すなわち、どのＯＤＴ回路を使用可能または使用不可にするかを決定する）のに使用される。ＯＤＴ制御回路がＯＤＴ回路１４０、１４２、および１４４の使用可能状況をセットするプロセスを、これから、図４を参照して説明する。

【００２４】

図４は、本発明による、図１に示されたメモリ・システム内で配電管理中に実行されるステップを示す高水準の流れ図である。このプロセスは、ステップ２０２および２０３に示されているように、ＯＤＴ制御回路１１８が、各々のＯＤＴ回路１４０、１４２、および１４４のスイッチ１３５にＯＤＴイネーブル信号またはＯＤＴディスエーブル信号あるいはその両方を生成し、送信して、デフォルトＯＤＴ構成をセットすることによって開始される。デフォルト構成は、ＯＤＴ制御回路１１８の回路モジュールまたはプログラム・

モジュールあるいはその両方で事前プログラムされ、メモリ・システム動作中に収集される熱徴候データ１０９の検出および受信の前に所望の信号終端配電構成をメモリ・モジュール１０５ａ～１０５ｎ内で達成できることが好ましい。一実施形態で、ステップ２０３に示されているように実施されるデフォルトＯＤＴ構成は、以下でさらに詳細に説明するように熱徴候に従って変更される、初期構成を表すことができる。

【００２５】

この配電管理プロセスは、ステップ２０４に示されているように、メモリ・モジュール１０５ａ～１０５ｎ内のＤＲＡＭデバイス１１２、１１４、および１１６のうちの１つまたは複数で発生する熱状態または電力消費の１つまたは複数のインジケータ（本明細書では集合的に「熱徴候」と呼ぶ）の判定によって継続される。熱徴候の判定に、ＤＲＡＭデバイス１１２、１１４、および１１６またはメモリ・モジュール１０５ａ～１０５ｎのうちの１つまたは複数の温度を推定するために近くに位置決めされたサーマル・ダイオード（図示せず）から得ることのできるものなどの直接の熱データの検出を含めることができる。代替実施形態で、熱徴候の判定に、メモリ・デバイス・アクティビティによる熱状態の間接的評価を含めることができる。例えば、メモリ・コントローラ１１０が、システム相互接続１２０に結合された各々のＤＲＡＭデバイス１１２、１１４、および１１６に関連するバス・トランザクション・アクティビティのレベルを、熱徴候データ１０９として追跡することができる。代替実施形態では、ステップ２０４に示された熱徴候の判定に、ＤＲＡＭデバイス１１２、１１４、および１１６のうちの１つまたは複数に送られる電力負荷（ＯＤＴ負荷寄与を含むまたは含まない）を計算することを含めることができる。他の熱徴候に、環境空気温度、ローカル（ＤＲＡＭデバイス１１２、１１４、および１１６のうちの１つまたは複数に関する）空気温度、気流方向、気流速度などを含めることができる。

【００２６】

熱徴候データの判定に、さらに、指定された区域またはスペースにわたってまたはその中で定義される他のゾーンに対するメモリ・モジュール１０５ａ～１０５ｎのうちの１つまたは複数の１つまたは複数の指定されたゾーンの熱影響を判定することを含めることができる。すなわち、図５を参照すると、複数のメモリ・モジュール１０５ａ～１０５ｈがインストールされたマザーボード４００を含むメモリ装置のブロック図が示されている。図５からわかるように、メモリ・モジュール１０５ａ～１０５ｈは、通常は基板上のエッジ・コネクタ・スロットの位置決めによって決定される、マザーボード４００上の指定された相互近接で配置される。図示の実施例で、メモリ・モジュール１０５ｄおよび１０５ｇの陰影は、これらのモジュールが、バス・トランザクション・アクティビティまたは他の形によって決定できるものなど、比較的高電力のモードで動作していることを示す。対照的に、メモリ・モジュール１０５ａ、１０５ｂ、１０５ｃ、１０５ｅ、１０５ｆ、および１０５ｈの陰影のない表現は、これらのモジュールが、比較的低電力のモードで現在動作していることを示す。高電力または低電力の動作モードの判定は、相対的にまたは絶対的スケールに関して判定することができる。図示の実施形態によれば、ステップ２０４で、メモリ・コントローラ１１０に、熱徴候データ１０９として、メモリ・モジュール１０５ａ、１０５ｂ、１０５ｃ、１０５ｅ、１０５ｆ、および１０５ｈが現在低電力モードで動作していることが含まれる。メモリ・モジュール１０５ｄおよび１０５ｇの現在の高電力動作モードも、メモリ・コントローラ１１０によって利用され、熱徴候データ１０９として含まれる。メモリ・モジュールの間の相対的な配電のほかに、メモリ・コントローラ１１０に、さらに、配電管理のための相対配電データ（すなわち、「高」または「低」の電力動作モード）と組み合わせて利用される熱徴候として、マザーボード４００を横切る気流の方向（左から右）が含まれる。

【００２７】

ステップ２０６に次に示されているように、配電管理処理は、ＯＤＴ制御回路１１８が、熱徴候データ１０９を比較し、または他の形で処理し、あるいはその両方を行って、共用相互接続システム内のＤＲＡＭデバイス１１２、１１４、および１１６の相対的な熱状

態を判定することによって継続される。一実施形態での比較の基本原理として、ステップ２０６に示されているように実行される比較には、基本的に、ＤＲＡＭデバイス１１２、１１４、および１１６の間の熱アクティビティまたは電力消費の相対レベルを判定することが含まれる。

【００２８】

１つの代替実施形態で、ステップ２０３に示されたデフォルトＯＤＴ構成設定は、定常状態ＯＤＴ構成であり、この定常状態ＯＤＴ構成では、例えば、ＯＤＴ終端負荷が、現在パッシブ（受動的）である１つまたは複数のＤＲＡＭデバイス１１２、１１４、および１１６にかけられ、現在アクティブなＤＲＡＭデバイス１１２、１１４、および１１６（すなわち、システム相互接続１２０からのメモリ・トランザクションを処理している）から使用不可にされる。この実施形態では、熱徴候データ１０９を、相対的な形で比較することができ、あるいは、事前に指定された閾値と比較して（ステップ２０６）、ＯＤＴ回路１４０、１４２、および１４４の使用可能のセットを決定することができる。

【００２９】

熱徴候データ１０９の判定および比較の後に、ＯＤＴ制御回路１１８は、ステップ２０８に示されているように、各々のＤＲＡＭデバイス１１２、１１４、および１１６のＯＤＴ回路１４０、１４２、および１４４を使用可能にセットする。例えば、一実施形態で、ＯＤＴ制御回路１１８は、より低いレベルの熱アクティビティを示す対応する熱徴候を有する、ＤＲＡＭデバイス１１２、１１４、および１１６内に含まれる１つまたは複数のＯＤＴ回路１４０、１４２、および１４４を使用可能にすると同時に、より高いレベルの熱アクティビティを示す対応する熱徴候を有する、ＤＲＡＭデバイス１１２のＯＤＴ回路１４０を使用不可にする。図２および３を参照して上で説明したように、ＯＤＴ制御回路１１８は、必要な入力信号インピーダンスによる指示通りの様々なエンコードされた組合せで、ＯＤＴ制御信号e_{TD1}～e_{TD3}およびe_{TS1}～e_{TS3}をアサートすることができる。図３に示された実施形態では、信号終端コンポーネントが、プルダウン・ネットに直列結合されたプルアップ・ネットを含むＯＤＴ回路であり、前記プルアップ・ネットおよびプルダウン・ネットが相補的なプルアップ・コンポーネント／プルダウン・コンポーネント対を形成するが、ＯＤＴイネーブル信号のエンコーディングに、相補的なプルアップ・コンポーネント／プルダウン・コンポーネント対のそれぞれを個別に選択的に使用可能にするために終端制御信号をエンコードすることを含めることができる。

【００３０】

代替実施形態では、図５を参照すると、ステップ２０６に示された熱徴候比較ステップに、メモリ・モジュール１０５ａ～１０５ｈのそれぞれの高／低電力モードを気流方向データと組み合わせて、熱関連ゾーンに従ってＯＤＴが使用可能か判定することが含まれる。例えば、比較ステップ２０６は、図示された左から右への気流を示す徴候と、メモリ・モジュール１０５ｂと１０５ｆの両方が現在比較的インアクティブ（低電力モード）であることの徴候とを処理して、ステップ２０８で、メモリ・モジュール１０５ｂがその常駐ＯＤＴ回路の使用可能の資格を有すると判定することができる。対照的に、メモリ・モジュール１０５ｇの非常にアクティブな状況と組み合わされた気流方向データの処理は、基板上のメモリ・モジュール１０５ｃのＯＤＴ回路が、使用可能についてより低い資格を有する、または、代替案で、現在使用可能にされている場合に使用不可に関するより高い資格を有することのＯＤＴ制御回路１１８による判定結果となり得る。

【００３１】

前述のように、ＯＤＴ制御回路１１８は、受け取った熱徴候データ１０９を利用して、必要に応じて、信号終端を含む電力負荷を分散させ、シフトして、そうでなければオーバーヒートの対象になるシステムの区域を軽減し、より効率的なシステム・パッケージングおよびコンテインメント（封じ込み）を可能にする。一実施形態で、図１に示されたモジュール・グループ化と合わせて、ＯＤＴ回路の使用可能の設定が、メモリ・モジュール・レベル上で判定され、個々のＤＲＡＭデバイスまたは１つのモジュールに含まれるＤＲＡＭデバイスのグループに関する徴候が、所与のメモリ・モジュール内のすべてのＤＲＡＭ

デバイスのＯＤＴ使用可能の設定の判定に使用される。

【００３２】

本発明を、好ましい実施形態を参照して具体的に図示し、説明してきたが、本発明の趣旨および範囲から外れずに、形態および詳細における様々な変更を行えることを、当業者は理解するであろう。

【図面の簡単な説明】

【００３３】

【図１】本発明による、オンダイ終端（ＯＤＴ）デバイスが相互接続される共用バス・システムを示す高水準ブロック図である。

【図２】本発明の実施形態による、選択的に使用可能、使用不可にされる信号終端コンポーネントを有するメモリ・デバイスを示すブロック図である。

【図３】本発明の代替実施形態による、選択的に使用可能、使用不可にされる信号終端コンポーネントを有するメモリ・デバイスを示すブロック図である。

【図４】本発明による、配電管理中に実行されるステップを示す高水準流れ図である。

【図５】本発明の配電管理機能を適用できるマザーボード上のメモリ・モジュールの配置を示す図である。

【符号の説明】

【００３４】

１０５ａ、１０５ｂ、１０５ｃ、１０５ｄ、１０５ｅ、１０５ｆ、１０５ｇ、１０５ｈ、１０５ｎ　メモリ・モジュール

１０９　熱徴候データ

１１０　メモリ・コントローラ

１１２、１１４、１１６　ＤＲＡＭデバイス

１１２ａ、１１２ｂ、１１２ｎ、１１４ａ、１１４ｂ、１１４ｎ、１１６ａ、１１６ｂ、１１６ｎ　ブロック

１１８　ＯＤＴ制御回路

１２０　システム相互接続

１３２　入力バッファ

１３４　入力ピン

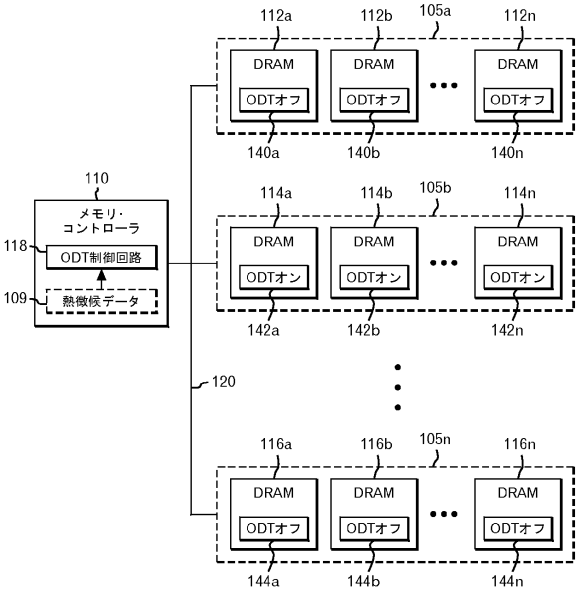
１３５　スイッチ

１４０、１４２、１４４、１５２　ＯＤＴ回路

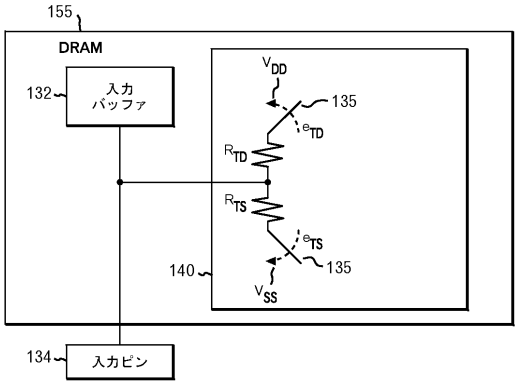
１５５、１５８　ＤＲＡＭデバイス

４００　マザーボード

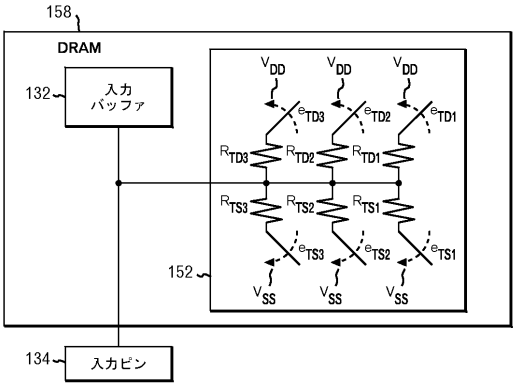
【図１】


112a
112b
105a
112n
DRAM
ODTオフ
140a
140b
140n
110
メモリ・
コントローラ
118
ODT制御回路
109
熱徴候データ
114a
114b
105b
114n
ODTオン
142a
142b
142n
120
116a
116b
105n
116n
144a
144b
144n

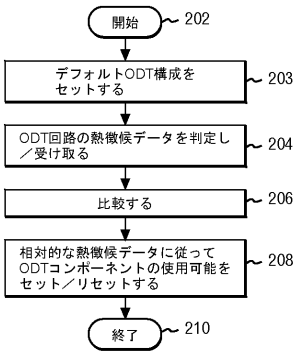
【図２】


155
DRAM
132
入力
バッファ
VDD
135
eTD
RTD
RTS
eTS
140
VSS
134
入力ピン

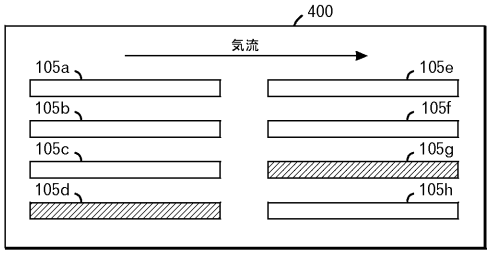
【図３】


158
DRAM
132
入力
バッファ
VDD
eTD3
eTD2
eTD1
RTD3
RTD2
RTD1
RTS3
RTS2
RTS1
eTS3
eTS2
eTS1
152
VSS
134
入力ピン

【図４】


開始
202
デフォルトODT構成を
セットする
203
ODT回路の熱徴候データを判定し
／受け取る
204
比較する
206
相対的な熱徴候データに従って
ODTコンポーネントの使用可能を
セット／リセットする
208
終了
210

【図５】


400
気流
105a
105e
105b
105f
105c
105g
105d
105h

フロントページの続き

(74)代理人 100086243
弁理士 坂口 博
(72)発明者 マイケル・ジー・ブリンクマン
アメリカ合衆国２７６１３ ノースカロライナ州ローリー ラトリッジ・コート ３１１２
(72)発明者 ジミー・グラント・フォスター・シニア
アメリカ合衆国２７５６０ ノースカロライナ州モーリスビル パークレーン・ドライブ １０４
(72)発明者 マシュー・エイ・エクル
アメリカ合衆国２７６１６ ノースカロライナ州ローリー ダック・クリーク・ドライブ ８１３２
(72)発明者 クウォク・ホン・ユ
アメリカ合衆国２７５１９ ノースカロライナ州キャリー ヒッコリーウッド・ブールバード ５１２

審査官 杉藤 泰子

(56)参考文献 特開平０９－１３８７１６（ＪＰ，Ａ）
特開２００４－３１０９８１（ＪＰ，Ａ）
特開２００３－２２３７８４（ＪＰ，Ａ）
特開２００５－０１８３２９（ＪＰ，Ａ）
特開２００３－２９５９８３（ＪＰ，Ａ）
特開２００４－１９９２４４（ＪＰ，Ａ）
特開平０８－０１６５３１（ＪＰ，Ａ）
国際公開第０３／０８３６９３（WO，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０６Ｆ １／２６
Ｇ０６Ｆ １／２０
Ｇ０６Ｆ ３／００
Ｇ０６Ｆ １２／００
Ｇ０６Ｆ １３／１６