

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6553628号  
(P6553628)

(45) 発行日 令和1年7月31日(2019.7.31)

(24) 登録日 令和1年7月12日(2019.7.12)

(51) Int.Cl.	F 1
G 0 6 F   1/04   (2006.01)	G 0 6 F   1/04   5 1 0
H 0 3 K   3/0231   (2006.01)	H 0 3 K   3/0231
H 0 3 K   4/06   (2006.01)	H 0 3 K   4/06   0 6 6
H 0 3 K   5/003   (2006.01)	H 0 3 K   5/003

請求項の数 15 (全 16 頁)

(21) 出願番号	特願2016-548707 (P2016-548707)
(86) (22) 出願日	平成27年1月27日 (2015.1.27)
(65) 公表番号	特表2017-509959 (P2017-509959A)
(43) 公表日	平成29年4月6日 (2017.4.6)
(86) 國際出願番号	PCT/US2015/013150
(87) 國際公開番号	W02015/113071
(87) 國際公開日	平成27年7月30日 (2015.7.30)
審査請求日	平成30年1月22日 (2018.1.22)
(31) 優先権主張番号	61/932,026
(32) 優先日	平成26年1月27日 (2014.1.27)
(33) 優先権主張国	米国(US)
(31) 優先権主張番号	14/583,138
(32) 優先日	平成26年12月25日 (2014.12.25)
(33) 優先権主張国	米国(US)

(73) 特許権者	390020248 日本テキサス・インスツルメンツ合同会社 東京都新宿区西新宿六丁目24番1号
(73) 特許権者	507107291 テキサス インスツルメンツ インコーポ レイテッド アメリカ合衆国 テキサス州 75265 -5474 ダラス メイル ステイショ ン 3999 ピーオーボックス 655 474
(74) 上記1名の代理人	100098497 弁理士 片寄 恒三

最終頁に続く

(54) 【発明の名称】 ドリフトが低く抑えられ固有のオフセットがキャンセルされた改善された弛緩発振器

## (57) 【特許請求の範囲】

## 【請求項 1】

発振器回路であって、  
増幅器回路であって、  
バイアスノードに結合される第1の入力と第1のノードに結合される第2の入力と第1の増幅器出力信号を提供する第1の増幅器出力とを含む第1の増幅器と、  
前記第1のノードと前記第1の増幅器出力との間に結合される抵抗と、  
を含む、前記増幅器回路と、  
積分器回路であって、  
前記バイアスノードに結合される第1の入力と第2のノードに結合される第2の入力と第2の増幅器出力信号を提供する第2の増幅器出力とを含む第2の増幅器と、  
前記第2のノードと前記第2の増幅器出力との間に結合される静電容量と、  
を含む、前記積分器回路と、

コンパレータであって、前記第1の増幅器出力信号を受け取るように前記第1の増幅器出力に結合される第1のコンパレータ入力と、前記第2の増幅器出力信号を受け取るように前記第2の増幅器出力に結合される第2のコンパレータ入力と、第1のレベルと第2のレベルとの間で交番する発振器出力信号を提供するコンパレータ出力とを含む、前記コンパレータと、

前記第1のノードに第1の電流値の第1の電流信号を提供する第1の電流源と、

前記第2のノードに前記第1の電流値の第2の電流信号を提供する第2の電流源と、

10

20

前記第1の電流値の2倍の第3の電流信号を第3のノードから定電圧ノードに提供する第3の電流源と、

前記第1の電流値の2倍の第4の電流信号を第4のノードから前記定電圧ノードに提供する第4の電流源と、

前記発振器出力信号に従って、前記発振器出力信号が前記第1のレベルにあるときに前記第1のノードから前記第3のノードを切り離して前記第2のノードから前記第4のノードを切り離すように、前記発振器出力信号が前記第2のレベルにあるときに前記第3のノードを前記第1のノードと結合して前記第4のノードを前記第2のノードと結合するよう<sup>10</sup>に、作用し得るスイッチング回路と、

を含み、

前記第1の電流源と前記第2の電流源とが整合され、前記第3の電流源と前記第4の電流源とが整合されている、発振器回路。

【請求項2】

請求項1に記載の発振器回路であって、

前記第1及び第2の増幅器が相互コンダクタンス増幅器である、発振器回路。

【請求項3】

請求項2に記載の発振器回路であって、

前記コンパレータが相互コンダクタンス増幅器である、発振器回路。

【請求項4】

請求項2に記載の発振器回路であって、

第5の電流信号を提供する第5の電流源と、

前記第5の電流信号に基づいて前記第1、第2、第3及び第4の電流信号を提供する前記第1、第2、第3及び第4の電流源を含む電流ミラー回路と、

を更に含む、発振器回路。

【請求項5】

請求項2に記載の発振器回路であって、

前記バイアスノードに一定の非ゼロ電圧信号を提供するバイアス電圧源を更に含む、発振器回路。

【請求項6】

請求項1に記載の発振器回路であって、

第5の電流信号を提供する第5の電流源と、

前記第5の電流信号に基づいて前記第1、第2、第3及び第4の電流信号を提供する前記第1、第2、第3及び第4の電流源を含む電流ミラー回路と、

を更に含む、発振器回路。

【請求項7】

請求項1に記載の発振器回路であって、

前記バイアスノードに一定の非ゼロ電圧信号を提供するバイアス電圧源を更に含む、発振器回路。

【請求項8】

請求項1に記載の発振器回路であって、

前記バイアスノードに一定の非ゼロ電圧信号を提供するバイアス電圧源を更に含む、発振器回路。

【請求項9】

発振器回路であって、

増幅器回路であって、

バイアスノードに結合される第1の入力と第1のノードに結合される第2の入力と第1の増幅器出力信号を提供する第1の増幅器出力とを含む第1の増幅器と、

前記第1のノードと前記第1の増幅器出力との間に結合される抵抗と、

を含む、前記増幅器回路と、

積分器回路であって、

10

20

30

40

50

前記バイアスノードに結合される第1の入力と第2のノードに結合される第2の入力と第2の増幅器出力信号を提供する第2の増幅器出力とを含む第2の増幅器と、前記第2のノードと前記第2の増幅器出力との間に結合される静電容量と、を含む、前記積分器回路と、

コンパレータであって、前記第1の増幅器出力信号を受け取るように前記第1の増幅器出力に結合される第1のコンパレータ入力と、前記第2の増幅器出力信号を受け取るように前記第2の増幅器出力に結合される第2のコンパレータ入力と、第1のレベルと第2のレベルとの間で交番する発振器出力信号を提供するコンパレータ出力とを含む、前記コンパレータと、

前記第1のノードに第1の電流値の第1の電流信号を提供する第1の電流源と、前記第2のノードに前記第1の電流値の第2の電流信号を提供する第2の電流源と、前記第1の電流値の2倍の第3の電流信号を第3のノードから定電圧ノードに提供する第3の電流源と、

前記第1の電流値の2倍の第4の電流信号を第4のノードから前記定電圧ノードに提供する第4の電流源と、

前記発振器出力信号に従って、前記発振器出力信号が前記第1のレベルにあるときに前記第1のノードから前記第3のノードを切り離して前記第2のノードから前記第4のノードを切り離すように、前記発振器出力信号が前記第2のレベルにあるときに前記第3のノードを前記第1のノードと結合して前記第4のノードを前記第2のノードと結合するように、作用し得るスイッチング回路と、

第5の電流信号を提供する第5の電流源と、前記第5の電流信号に基づいて前記第1、第2、第3及び第4の電流信号を提供する前記第1、第2、第3及び第4の電流源を含む電流ミラー回路と、を含む、発振器回路。

**【請求項10】**

弛緩発振器であって、電流ミラー回路であって、第1のノードに第1の電流値の第1の電流を第1の電流源から提供し、第2のノードに前記第1の電流値の第2の電流を第2の電流源から提供し、前記第1の電流値の2倍の第3の電流源からの第3の電流を第3のノードから定電圧ノードに提供し、前記第1の電流値の2倍の第4の電流源からの第4の電流を第4のノードから前記定電圧ノードに提供し、前記第1及び第2の電流源が整合され、前記第3及び第4の電流源が整合されている、前記電流ミラー回路と、

スイッチング回路であって、第1の状態において、それぞれ、前記第1及び第2のノードに前記第1の電流値の正の第1及び第2の電流信号を個別に提供するために前記第3のノードを前記第1のノードから切り離して前記第4のノードを前記第2のノードから切り離すように作用し得、第2の状態において、それぞれ、前記第1及び第2のノードに前記第1の電流値の負の第1及び第2の電流信号を個別に提供するために前記第3のノードを前記第1のノードに結合して前記第4のノードを前記第2のノードに結合するように作用し得る、前記スイッチング回路と、

交番する第1及び第2のレベルを有するパルス波形として第1の出力信号を提供するように、前記第1のノードから前記第1の電流信号を受け取り増幅する第1の増幅器回路であって、

非ゼロバイアス電圧に結合される第1の入力と前記第1のノードに結合される第2の入力と前記第1の出力信号を提供する第1の増幅器出力とを含む第1の相互コンダクタンス増幅器と、

前記第1のノードと前記第1の増幅器出力との間に結合される抵抗と、を含む、前記第1の増幅器回路と、

交番する負及び正の傾きを有するランプ波形として第2の出力信号を提供するように、前記第2のノードから前記第2の電流信号を受け取り積分する第2の増幅器回路であって

前記バイアス電圧に結合される第1の入力と前記第2のノードに結合される第2の入力と前記第2の出力信号を提供する第2の増幅器出力とを含む第2の相互コンダクタンス増幅器と、

前記第2のノードと前記第2の増幅器出力との間に結合される静電容量と、  
を含む、前記第2の増幅器回路と、

前記発振器出力信号が第1のレベルにあるときに前記スイッチング回路を前記第1の状態にし、前記発振器出力信号が異なる第2のレベルにあるときに前記スイッチング回路を前記第2の状態にすることを交互に行うように発振コンパレータ出力信号を提供するためには、前記第1及び第2の出力信号を比較するコンパレータと、

を含む、弛緩発振器。

10

【請求項1 1】

請求項1 0に記載の弛緩発振器であって、

前記コンパレータが第3の相互コンダクタンス増幅器を含み、

第3の相互コンダクタンス増幅器が、前記第1の増幅器出力信号を受け取る第1のコンパレータ入力と、前記第2の増幅器出力信号を受け取る第2のコンパレータ入力と、前記コンパレータ出力信号を提供するコンパレータ出力とを含む、弛緩発振器。

【請求項1 2】

弛緩発振器であって、

電流ミラー回路であって、第1のノードに第1の電流値の第1の電流を提供し、第2のノードに前記第1の電流値の第2の電流を提供し、前記第1の電流値の2倍の第3の電流を第3のノードから定電圧ノードに提供し、前記第1の電流値の2倍の第4の電流を第4のノードから前記定電圧ノードに提供する、前記電流ミラー回路と、

スイッチング回路であって、第1の状態において、それぞれ、前記第1及び第2のノードに前記第1の電流値の正の第1及び第2の電流信号を個別に提供するために前記第3のノードを前記第1のノードから切り離して前記第4のノードを前記第2のノードから切り離すように作用し得、第2の状態において、それぞれ、前記第1及び第2のノードに前記第1の電流値の負の第1及び第2の電流信号を個別に提供するために前記第3のノードを前記第1のノードに結合して前記第4のノードを前記第2のノードに結合するように作用し得る、前記スイッチング回路と、

交番する第1及び第2のレベルを有するパルス波形として第1の出力信号を提供するように、前記第1のノードから前記第1の電流信号を受け取り増幅する第1の増幅器回路と、

交番する負及び正の傾きを有するランプ波形として第2の出力信号を提供するように、前記第2のノードから前記第2の電流信号を受け取り積分する第2の増幅器回路と、

前記発振器出力信号が第1のレベルにあるときに前記スイッチング回路を前記第1の状態にし、前記発振器出力信号が異なる第2のレベルにあるときに前記スイッチング回路を前記第2の状態にすることを交互に行うように発振コンパレータ出力信号を提供するためには、前記第1及び第2の出力信号を比較するコンパレータと、

前記電流ミラー回路に入力電流信号を提供する電流源と、  
を含み、

前記電流ミラー回路が、前記入力電流信号に基づいて前記第1、第2、第3及び第4の電流を提供する、弛緩発振器。

【請求項1 3】

発振器であって、

バイアスノードに結合される第1の入力と第1のノードに結合される第2の入力と第1の出力信号を提供する第1の増幅器出力とを含む第1の増幅器と、

前記第1のノードと前記第1の増幅器出力との間に結合される抵抗と、

前記バイアスノードに結合される第1の入力と第2のノードに結合される第2の入力と第2の出力信号を提供する第2の増幅器出力とを含む第2の増幅器と、

前記第2のノードと前記第2の増幅器出力との間に結合される静電容量と、

40

50

スイッチング可能な電流源回路であって、第1の状態において、前記第1のノードに第1の電流値の正の第1の電流信号を第1の電流源から供給すると共に前記第2のノードに前記第1の電流値の正の第2の電流信号を第2の電流源から供給するように作用し得、第2の状態において、前記第1のノードから前記第1の電流値の負の第1の電流信号を前記第1の電流源により取り出すと共に前記第2のノードから前記第1の電流値の負の第2の電流信号を前記第2の電流源により取り出すように作用し得、前記第1の電流源と前記第2の電流源とが整合されている、前記スイッチング可能な電流源回路と、

出力回路であって、前記第2の出力信号が前記第1の出力信号を超えるときに前記スイッチング可能な電流源回路を前記第1の状態にするように第1のレベルで発振器出力信号を提供し、前記第1の出力信号が前記第2の出力信号を超えるときに前記スイッチング可能な電流源回路を前記第2の状態にするように第2のレベルで前記発振器出力信号を提供する、前記出力回路と、

を含む、発振器。

#### 【請求項14】

請求項13に記載の発振器であって、

前記バイアスノードに一定の非ゼロ電圧信号を提供するバイアス電圧源を更に含む、発振器。

#### 【請求項15】

請求項13に記載の発振器であって、

前記第1及び第2の増幅器が相互コンダクタンス増幅器である、発振器。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

弛緩発振器回路は、精確な出力信号周波数を指定する応用例においてクロック信号を提供するために用いられる。多くの弛緩発振器は、リアクタンス構成要素を充電および放電し、充電状態変数を予め設定される閾値と比較することによって動作して、クロックサイクルを定義する双安定出力の状態スイッチングを提供する。しかし、このような回路要素は、コンパレータスイッチングのための閾値を提供するバンドギャップ又は他の基準回路のドリフトによって生じる出力周波数の長期的なドリフトを受けやすい。また、このような回路は、コンパレータのオフセットドリフト作用や電源変動のみならず、時間及び温度変化による増幅器利得劣化によって生じる出力周波数のドリフトを被ることが多い。

#### 【発明の概要】

##### 【0002】

記載の例において、弛緩発振回路要素では、ドリフトが低く抑えられ、固有のオフセットがキャンセルされる。パルス増幅器出力波形を提供するため、増幅器が第1の電流信号を増幅する。ランプ出力波形を提供するため、積分器が第2の電流信号を積分する。第1及び第2の電流信号の極性をスイッチングするために用いられる交番発振器出力を生成するため、コンパレータが、積分器出力波形を、増幅器出力波形によって設定される閾値と比較する。これらの電流信号は、整合のため单一の入力電流に基づいて生成され、第1及び第2の信号は、固有オフセットのキャンセルを容易にし、時間及び/又は電源電圧変動による発振器出力周波数ドリフトが緩和されるように、振幅及び交番極性がほぼ等しい。また、増幅器及び積分器回路は同じバイアスノードに接続され、電流信号の交番極性スイッチング及び電流源整合により、付加的な発振器又は他の回路要素を導入することなく、発振器自体のスイッチングを用いて固有オフセットがキャンセルされる。この発振器回路構成により、高精度バンドギャップ回路などのコストをかけずに、抵抗性分割器又は他のバイアス電圧回路要素を使用しやすくなる。或る実施形態では電流ミラー回路要素を用いることにより、单一の入力電流信号に基づくスイッチングされた電流信号を生成しやすくなり、電源レベルとは無関係にレシオメトリック回路設計によって電流整合が提供され、それによって、電源除去比(PSRR)が改善される。また、出力周波数は、増幅器オフセット電圧ドリフト又は他の能動構成要素ドリフト作用を受けずに、受動抵抗性及び容量

10

20

30

40

50

性構成要素を用いて決定される。そのため、レシオメトリックスケーリングにより、電力消費が低く維持され、完全集積精密発振器に理想的な小さなダイサイズが維持されながら、経時的なオフセット電圧作用及び増幅器利得劣化作用がキャンセルされる。

【0003】

さらなる記載の例において、発振器回路要素が、第1の電流信号を増幅するためのフィードバック抵抗を備えた第1の増幅器と、第2の電流信号を積分するための第2の増幅器及びフィードバック静電容量を備えた積分器回路とを、増幅器出力と積分器出力の比較に基づいて第1及び第2のレベルの間で交番する発振器出力信号を提供するコンパレータとともに含む。第1及び第2の増幅器は、単一のバイアス電圧に結合される入力を有し、個々の増幅器回路の入力オフセット作用が発振器回路のスイッチング動作によってキャンセルされる。スイッチング可能な電流源回路が、振幅又はレベルがほぼ等しい第1及び第2の電流信号を提供し、自己発振のためコンパレータからの発振器出力信号の遷移に基づいて電流信号の極性を交番させる。スイッチング可能な電流源回路は、第1の電流値の第1及び第2の電流を第1及び第2の増幅器に供給するために、電流ミラー回路要素によって提供される第1及び第2の電流源を含み得る。さらに、電流ミラー回路要素は、第1の電流値の2倍の第3及び第4の電流を取り出す第3及び第4の電流源を提供し、スイッチング回路要素は、増幅器及び積分器回路に提供される電流の極性を効果的に反転するよう、第3及び第4の電流源を第1及び第2の増幅器の入力に選択的に接続するように構成される。これにより、増幅器回路からパルス出力波形が生成され、積分器回路からランプ波形出力が生成されて、コンパレータによって比較されて、発振器出力信号が切り替えられ、スイッチング回路要素の状態が交番する。

10

【図面の簡単な説明】

【0004】

【図1】交番発振器出力信号を生成するために、演算相互コンダクタンス増幅器、整合された電流源、及びスイッチング回路を用いる、増幅器、積分器、及びコンパレータ回路を備えた弛緩発振器回路の実施形態の概略図である。

【0005】

【図2】相互コンダクタンス増幅器の入力オフセット電圧を示す、図1の発振器回路の概略図である。

【0006】

30

【図3】第1の状態における図1及び図2の発振器回路の動作を示す概略図であり、電流源及びスイッチング回路が、等しい正の電流信号を増幅器及び積分器に供給して積分器コンデンサを充電し、減少するランプ信号及び低閾値信号がコンパレータへの入力として提供される。

【0007】

【図4】第2の状態における図1～図3の発振器回路の動作を示す概略図であり、電流源及びスイッチング回路が、等しい負の電流信号を増幅器及び積分器から取り出してコンデンサを放電し、増加するランプ信号及び高閾値信号がコンパレータ入力として提供される。

【0008】

40

【図5】図1～図4の発振器回路における、増幅器、積分器、及びコンパレータの交番出力波形の波形図である。

【0009】

【図6】単一の入力電流信号に基づいて電流ミラー回路要素を用いて発振器出力信号に従った交番極性の整合された第1及び第2の電流信号を提供するスイッチング可能な電流源回路の実施形態の概略図である。

【0010】

【図7】精密基準電圧を用いる弛緩発振器回路を示す概略図である。

【発明を実施するための形態】

【0011】

50

まず図7を参照すると、発振出力電圧V<sub>OUT</sub>を生成するための弛緩発振器回路100が示されている。発振器100は、1対の演算相互コンダクタンス増幅器(OTA)コンパレータ101及び102を含む。RSフリップフロップ104へのリセット(RST)入力及びセット(SET)入力を提供するために、コンパレータ101及び102は、対応する第1及び第2のコンデンサC1及びC2の充電電圧を、バンドギャップ電圧基準回路などの精密基準源106からの精密基準電圧閾値(VREF)と比較する。図7はさらに、それぞれ、コンパレータ101及び102に関連する入力オフセット電圧111及び112を示す。フリップフロップ104のQ出力は発振器出力電圧V<sub>OUT</sub>を提供し、主フリップフロップ出力Q及び反転フリップフロップ出力Q'が、1組のスイッチS1、S2、S3、及びS4を動作させて、電流源I1、I2、I3、及びI4の選択的接続によってコンデンサC1及びC2の充電及び放電を制御するために用いられ、それによって、閉ループ自己発振回路が提供される。この回路100では、非反転コンパレータ入力が、それぞれの電圧オフセット111及び112によって精密基準電圧VREFからオフセットされる。第1のコンパレータ101の反転入力は、スイッチS1及びS3の交互動作によって電流源I1又はI3に交互に接続され、第2のコンパレータ102の反転入力は、スイッチS2及びS4を介して電流源I2又はI4に交互に接続される。また、スイッチS1及びS4はフリップフロップ104からのQ'出力によって同時に動作され、スイッチS2及びS3はQ出力に従って動作される。このように、電流源(この例ではI)、C1及びC2の静電容量、並びに電源電圧VCC、基準電圧VREF、及びオフセット電圧111及び112の値に従って決まる動作周波数で自己発振回路が提供される。特に、発振器回路100の各サイクルの期間T<sub>osc</sub>は、下記の式(1)によって記述される。

$$(1) \quad T_{osc} = C/I * [2(VCC - VREF) + Voffset1 + Voffset2]$$

#### 【0012】

上記式(1)に示されるように、発振器回路100は、電源電圧レベルVCCのみならず、基準電圧VREF並びにオフセット電圧111及び112に影響される。また、発振器100は、回路の様々な構成要素の長期的なドリフトによって生じる発振器周波数変動に影響されやすい。例えば、オフセット電圧111及び112並びに基準電圧106は、様々なエージングメカニズムのため経時にドリフトする傾向がある。これらのメカニズムでは、これらのドリフト作用は概して無作為である。この点に関して、単体のバンドギャップ基準回路106は、最初の6週間の動作で0.5%もドリフトし得る。そのため、バンドギャップ回路106によってコンパレータ101及び102の反転入力に提供される精密閾値基準は、経時にドリフト又は変動し得、したがって、図7の回路は、潜在的に大きくなり得る経時的発振器周波数変動又はドリフトに影響される。また、コンパレータオフセット電圧111及び112におけるドリフト作用は、コンデンサC1及びC2の充電及び放電にも影響し得、潜在的に、出力波形の非対称性が生じ得る。図7の発振器100の精度及び安定性に対するドリフト作用は、精密基準106を用いることによっていくぶん対処され得るが、これにより、製品コストが上昇し、また、長期的なドリフト作用から回路を守ることはできない。この長期的な周波数ドリフトは、埋め込み電子デバイス用の誘導結合電力及び信号伝送回路などの応用例においてこの種類の弛緩発振器設計を用いることを難しくする。というのは、これらの応用例の予測稼働期間が長く、稼働後の交換はリスクが大きいからである。

#### 【0013】

ここで図1及び図2を参照すると、図1は、演算相互コンダクタンスアンプ(OTA)12、14、及び16を用いる弛緩発振器回路の実施形態10を示し、図2は、発振器10のOTA構成要素の内部オフセット電圧44、46、及び48をさらに概略的に示す。OTAを用いる或る実施形態について図示するが、電圧増幅器、電圧コンパレータなど、増幅器の他の形態が、構成要素12、14、及び16の1つ、幾つか、又は全部に用いられてもよい。例示の発振器回路の実施形態10は、第1の増幅器12(OTA1)及び増幅器12のフィードバック経路に接続される抵抗器R1によって形成される第1の増幅器回路を含んで反転増幅器構成を形成する。この第1の増幅器回路12、R1は、第1の回

10

20

30

40

50

路ノード22を介して第1の増幅器12の反転入力( - )で第1の電流信号I1を受け取り増幅して、増幅器出力ノード24において第1の増幅器出力信号VOTA1を提供する。抵抗R1は、例えば発振器10を実装する集積回路として形成される、単一の抵抗器構成要素とし得るが、又は、2つ以上の抵抗器を任意の適切な直列及び/又は並列構成で接続して、増幅器出力ノード24と第1のノード22の間に直接的又は間接的に結合される抵抗R1を提供することもできる。また、或る実施形態では、抵抗R1は、タイミング可能又はその他の方式で調整可能とし得る。第1の増幅器12の非反転( + )入力は、バイアスノード20と結合され(例えば、バイアスノード20に接続され)、バイアスノード2は、バイアスノード20と接地又は他の定電圧ノード32との間で結合されるバイアス電圧源30(VCM)によって確立される電圧を有する。

10

#### 【0014】

発振器回路10はさらに、バイアスノード20と結合される非反転入力及び第2のノード26と結合される反転入力を備えた第2の増幅器14(例えば、OTA2)と、第2のノード26と第2の増幅器出力ノード28の間に結合されるフィードバック静電容量C1とによって形成される積分器回路を含んで反転積分器回路を形成する。静電容量C1は、静電容量C1を提供するため適切な直列及び/又は並列相互接続の1つ又は複数のコンデンサの任意の適切な構成とし得る。また、或る実施形態では、静電容量C1はタイミング可能又は調整可能とし得る。動作においては、積分器回路14、C1は、第2の回路信号12を第2のノード26で受け取り積分して、積分器出力信号VOTA2を出力ノード28におけるランプ波形として提供する。

20

#### 【0015】

第3の増幅器16(OTA3)は、ノード24における第1の増幅器出力信号VOTA1を受け取る第1(+)の入力、及びノード28に結合されて第2の増幅器出力信号VOT2を受け取る第2の(-)入力を有するコンパレータとして用いられる。コンパレータ16は、発振器出力信号VOOUTを提供する出力ノード18と結合される出力を含む。特に、ノード18における発振器出力信号は、ノード24における第1の増幅器出力がノード28における第2の増幅器出力より小さいとき第1のレベル(例えば、この例では低)であり、出力信号VOOUTは、ノード24における第1の増幅器の出力がノード28における第2の増幅器出力より大きいとき異なる第2のレベル(例えば、高)である。

30

#### 【0016】

発振器出力信号VOOUTは、スイッチング回路31へのスイッチング制御信号として提供され、スイッチング回路31は、ノード18における発振器出力信号VOOUTが第1のレベル(例えば、低)のとき第1の状態で動作し、VOOUTが第2のレベル(例えば、高)のとき第2の状態で動作する、トランジスタMN1、MN2、MN3、及びMN4を含む。NチャネルMOSFETスイッチMN1、MN2、MN3、及びMN4を用いる形態を示したが、異なる実施形態では他の種類及び構成のスイッチを用い得る。スイッチング回路31及び4つの整合電流源CS1、CS2、CS3、及びCS4が共に、第1の状態で作用し得るスイッチング可能な電流源回路を提供して、第1の回路ノード22に図面で「I」と示す第1の電流値を有する正の電流信号I1が供給され、また、第2の回路ノード26に同じ値Iの正の第2の電流信号I2が供給される。そうではなく、スイッチング回路31が出力信号VOOUTに従って第2の状態のとき(例えば、この例ではVOOUTが高とき)、このスイッチング可能な電流源回路は、ノード22から値Iを有する負の第1の電流信号I1を取り出し、また、ノード26から値Iを有する負の第2の電流信号I2を取り出す。

40

#### 【0017】

下記でさらに述べるように、第1及び第2の電流源CS1及びCS2は互いに整合されて、それぞれ、第1及び第2のノード22及び26に値Iの実質的に等しい電流を提供する。同様に、第3及び第4の電流源CS3及びCS4は互いに整合されて、第2の状態においてスイッチング回路31によって接続されると、それぞれの第1及び第2のノード22及び26から値2Iのほぼ等しい電流を取り出す。また、出力信号VOOUTの状態に従

50

ったスイッチング回路31の動作により、発振器回路10が自己発振する。その結果、第1の増幅器12は、第1のノード22からの交互に供給され取り出される電流信号I1を増幅して、第1の増幅器出力信号VOTA1を、抵抗R1両端間の電圧がバイアスノード20におけるバイアス電圧レベルVCMの上下に遷移するとき交番する第1及び第2のレベルを有するパルス波形として提供する。また、積分器増幅器14は、第2の電流信号I2を積分して、第2の増幅器出力信号VOTA2を、交番する負及び正の傾きを有するランプ波形として提供する。これにより、コンパレータ増幅器16が、積分器増幅器14からのランプ波形が第1の増幅器12からのパルス波形より大きい場合には低レベルを有し、逆の場合には高レベルを有する、交番出力を提供する。

## 【0018】

10

積分器信号波形VOTA2は、電流信号I2の振幅及び静電容量C1に大きく左右される立ち上がり時間及び立ち下がり時間有するので、また、パルス波形VOTA1は、主として電流信号I1及び抵抗R1に左右される振幅を有するため、回路10の発振周波数は、主に受動構成要素R1及びC1によって決まる。また、電流源CS1～CS4は互いに整合されるので、発振器回路10の動作周波数は、電源電圧VCCにはほぼ無関係である。さらに、図7の発振器100と異なり、図1及び図2の発振器10は、増幅器12、14、及び16のオフセット電圧44、46、及び48に無関係な動作発振器周波数を有し、経時的なオフセットに基づくドリフト及びOTA利得ドリフトの作用には大いに耐性がある。特に、図2に示すように、OTA12、14、及び16に関連するオフセット電圧44(VOFF1)、46(VOFF2)、及び48(VOFF3)は、出力ノード18における発振周波数に影響を及ぼさない。また、C1の充電電流及び放電電流の複製から生成される局所基準電圧を導入すると、電流信号I1及びI2の幾何学的整合により、受動構成要素R1及びC1の物理的寸法によって主に決まる動作周波数が得られ、それによって、性能(例えば、利得「gm」)劣化又は増幅器12、14、及び16のドリフトによる何らかの周波数ドリフトが低減又は回避される。

20

## 【0019】

また、このドリフト耐性により、低成本のバイアス電圧源30を有利に用い得る。低成本バイアス電圧源30は、或る実施形態では、下記の図6に示すように、電源電圧VCCに基づいてバイアスノード20に電圧VCMを提供するシンプルな抵抗性分割器回路として実施し得る。このように、安定かつ正確な発振器回路性能を犠牲にすることなく、バンドギャップ又は他の精密基準電圧のコスト及び複雑さを回避し得る。また、発振器回路要素10は、任意の適切なCMOSプロセスにおいて製造し得、他の回路と容易に集積してコスト及び複雑さが最小のICとし得、長期的な周波数安定性のため電源電圧変動に対する周波数安定性が高め(良好な電源除去比PSRR)られる。1つの非限定的な例において、例えば、受動構成要素R1及びC1は、低温度係数製造処理ステップを用いて製造され得、抵抗器R1は設計値21.8kΩで形成され、静電容量C1は比1/4R1C1に対して92pFの末トリミング値を有するトリミング可能なコンデンサバンクとして提供されて、約1.25MHzの発振周波数が得、この値は1MHzにトリミングされ得る。また、一実施形態では、電流「I」に対する値は、設計値として10μAである。しかし、電流源CS1～CS4の整合、及びオフセットキャンセル回路構成によって、発振器周波数は電流「I」の絶対値と無関係とし得る。

30

## 【0020】

40

図3～図6も参照すると、スイッチング回路31は、スイッチングデバイスの任意の適切な形態を用いて製造し得る。ここで、例示の回路トランジスタMN1～MN4はNチャネルMOSFETトランジスタである。図3及び図4に示すように、トランジスタMN1及びMN3は、電流源CS3を、第1の回路ノード22と又は電源電圧ノード34(VCC)と選択的に結合させるために用いられ、トランジスタMN2及びMN4は、電流源CS4を、第2の回路ノード26と又は電源ノード34と選択的に結合させるように動作する。この例のスイッチングトランジスタMN1及びMN2は、ノード18からの信号VOUTに従って動作され、トランジスタMN3及びMN4は、インバータ40(図1及び図50)に従って動作され、トランジスタMN3及びMN4は、インバータ40(図1及び図50)

2) の出力から回路ノード 4 2 に提供される  $V_{OUT}$  の反転値に従って動作される。このように、スイッチ MN 1 1 及び MN 3 は、単極双投スイッチを効果的に提供する。図 3 及び図 4 に概略的に示すトランジスタ MN 2 及び MN 4 も同様である。

#### 【 0 0 2 1 】

図 3 及び図 4 は、2つの出力状態における発振器回路 1 0 の動作を示す。図 3 は、ノード 1 8 における低出力電圧  $V_{OUT}$  に対する第 1 の状態におけるスイッチング回路 3 1 を示す。この状態では、正の第 1 の電流信号  $I_1 = I$  が電流源 CS 1 から第 1 のノード 2 2 に提供され（図面で左から右）、より低い電流源 CS 3 は、値  $2I$  のその電流を VCC から第 3 の回路ノード 3 6 を介して定電圧ノード 3 2（例えば、接地）に流す。反転増幅器 1 2 は、第 1 の電流信号  $I_1$  を増幅して、ノード 2 4 において低出力電圧をコンパレータ 1 6 への第 1 の入力として提供する。この状態におけるスイッチング回路 3 1 は、CS 2 も接続して、第 2 の電流信号  $I_2 = I$  を第 2 のノード 2 6 に提供して（図面で左から右）静電容量 C 1 を充電し、また、第 4 の電流源 CS 4 を接続して、その電流（ $2I$ ）を VCC から第 4 の回路ノード 3 8 を介して接地 3 2 に流す。この第 1 の状態では、積分器回路 1 4、C 1（反転積分器構成）は、ノード 2 8 においてコンパレータ 1 6 の第 2 の入力に下方傾斜ランプ信号を提供するために、CS 2 からの電流信号  $I_2$  を積分する。この例の第 1 状態のコンパレータ 1 6 は、下向きランプ信号 VOTA 2 が OAT 1 の低出力レベル未満に減少するまで、出力ノード 1 8 において低電圧  $V_{OUT}$  を提供する。

#### 【 0 0 2 2 】

図 4 に示すように、この遷移が生じると、ノード 1 8 における出力電圧が高になり、それによって、スイッチング回路 3 1 は第 2 の状態に入る。この状態で、スイッチング回路 3 1 は、第 3 のノード 3 6 を第 1 のノード 2 2 と接続し、CS 3 はノード 2 2 から接地ノード 3 2 に  $2I$  を流し、CS 1 は電源ノード 3 4 から第 1 のノード 2 2 に  $I$  を流し、それによって、沈降の第 1 の電流信号  $I_1 = -I$ （図面で右から左）が得られる。また、第 4 のノード 3 8 は、第 2 のノード 2 6 に接続されて CS 4 を接続して、CS 2 及び CS 4 が全体として相互作用して、第 2 の電流信号  $I_2$  が  $-I$  に等しくなるように、第 2 のノード 2 6 から電流を取り出す（図面で右から左）。この第 2 のスイッチング状態では、第 1 の増幅器 1 2 は、その反転増幅器構成により、ノード 2 4 に高出力信号を提供し、積分器回路 1 4、C 1 は、C 1 を放電させる沈降の電流信号を積分して、ノード 2 8 において上向きランプ信号出力波形を提供する。この状況のコンパレータ 1 6 は、立ち上がりランプ信号 VOTA 2 がノード 2 4 における高パルス信号出力を超えるまで、ノード 1 8 において高発振器出力電圧  $V_{OUT}$  を提供する。そのため、増幅器 1 2、R 1、積分器 1 4、C 1、及びコンパレータ 1 6 の回路構成は、ノード 2 4 において、交番パルス信号を、コンパレータ 1 6 によるノード 2 8 における三角波積分器出力信号との比較のための閾値として提供する。

#### 【 0 0 2 3 】

図 5 はグラフ 5 0 及びグラフ 6 0 を示す。グラフ 5 0 は、第 1 の増幅器出力信号 VOTA 1 を、概して矩形のパルス波形形状を有する波形 5 2 として示し、さらに積分器出力波形 VOTA 2 を三角波形 5 4 として示す。また、グラフ 6 0 は、発振器回路 1 0 の出力を提供する交番パルス波形形状を有する発振器出力電圧波形 6 2（ $V_{OUT}$ ）を示す。図 5 はさらに、バイアス電圧源 3 0 によって提供される一例のバイアス電圧レベル VCM を示し、これは、この場合、第 1 の増幅器出力パルス波形 5 2（ $VOTA 1$ ）の高状態と低状態のほぼ中間である。

#### 【 0 0 2 4 】

図 6 は、発振器出力信号  $V_{OUT}$  に従った交番極性の、整合された第 1 及び第 2 の電流信号  $I_1$  及び  $I_2$  を提供するスイッチング可能な電流源回路の一実施形態を示す。この電流源回路は、この例では電流源 CS 5 からの値  $I$  を有する单一の入力電流信号に基づく電流ミラー回路要素を用いる。CS 5 からの電流は、NMOS トランジスタ MN 6、MN 7、MN 8、及び MN 9 を備えた電流ミラー回路を形成する NMOS トランジスタ MN 5 を介して流れる。この場合、それぞれ、対応する第 3 及び第 4 のノード 3 6、3 8 と定電圧

10

20

30

40

50

接地ノード 3 2との間の、値 2 I のほぼ等しい電流を流す電流源 C S 3 及び C S 4 を提供するため、トランジスタ M N 8 及び M N 9 は M N 5 のサイズの 2 倍である。この場合の M N 6 及び M N 7 を介する電流は、M P 1 同様、値「1」を有する。これは、これらのトランジスタのサイズが M N 5 のサイズと整合されるからである。電流 I は、M N 7 を介して低電圧カスケード電流源 M P 2 及び M P 3 にミラーされ、これはその後、M P 4 及び M P 5 、M P 6 及び M P 7 によって形成される電流源にミラーされる。図 6 に示すように、第 1 の電流源 C S 1 は、P M O S トランジスタ M P 4 及び M P 5 によって形成され、第 2 の電流源 C S 2 は、P M O S トランジスタ M P 6 及び M P 7 によって形成される。また、スイッチング回路 3 1 のトランジスタ M N 1 ~ M N 4 も示されており、インバータ 4 0 がノード 4 2 を介して M N 3 及び M N 4 を動作させるため制御信号を提供する。

10

#### 【 0 0 2 5 】

この構成によって、電流信号 I 1 及び I 2 は、それぞれ、第 1 及び第 2 の回路ノード 2 2 及び 2 6 に提供される。電流信号 I 1 及び I 2 は、交番極性のほぼ等しい値を有する。ここで、これらの電流「I」の実際の絶対値は変動し得るが、発振器出力周波数は変化しない。そのため、電流源 C S 1 と C S 2 間の整合は、電流ミラー回路要素を構成するトランジスタの相対サイズによって設定される。C S 3 及び C S 4 を形成するトランジスタの整合についても同様である。また、この整合は、様々な回路構成要素のサイズ及び面積を制御することによって製造処理を通して容易に実現され、また、この整合は、時間又は温度或いは電源レベルが変化してもあまり変化又はドリフトしない。そのため、入力源 C S 5 によって提供される電流「I」の絶対値に関わらず、第 1 及び第 2 の電流信号 I 1 及び I 2 の整合は経時にドリフトせず、そのため、いかなる発振器回路出力周波数ドリフトも起こさない。また、電流信号 I 1 と I 2 の整合は電源電圧にほぼ無関係であり、そのため、発振器出力周波数は、良好な電源除去比を有し、経時に又は異なる電源レベルで、ドリフト又は変化しない。そのため、発振器回路 1 0 は、図 7 の設計 1 0 0 より大きく進歩しており、経時的な発振器出力周波数安定性が大きく改善されている。

20

#### 【 0 0 2 6 】

図 6 にさらに示すように、バイアス電圧源 3 0 は、V C C と接地の間に接続される R 2 及び R 3 によって形成される抵抗性電圧分割器を用いて、バイアスノード 2 0 において共通モード出力信号 V C M を提供し、電源電圧 V C C から共通モードバイアス電圧 V C M が導出される。バイアス電圧源 3 0 を第 1 の増幅器 1 2 及び 積分器増幅器 1 4 の両方の非反転入力に接続することにより、O T A 1 2 及び 1 4 がまとめてバイアスされ、この設計の固有又は組込みオフセット電圧キャンセル態様により、発振器出力周波数が、バイアス電圧レベル V C M に及び O T A 1 ~ O T A 3 の O T A バイアス電圧 4 4 、 4 6 、及び 4 8 の任意の変化にほぼ無関係となる。その結果、回路周波数安定性は、バイアスノード 2 0 において提供される厳密な V C M レベル又は能動回路 1 2 、 1 4 、及び 1 6 に関連するオフセットドリフト作用に左右されず、低コストの（例えば、抵抗性分割器）回路 3 0 を用い得る。これは、回路の安定性が、図 7 の場合のように高コストの精密電圧源（例えば、バンドギャップ回路）の使用を必要としないからである。発振器 1 0 の本来のクロックサイクルを用いることによって、弛緩発振器 1 0 は、固有又は組込みオフセット電圧キャンセルを提供し、内部電圧基準の必要性を低減又は解消し、経時的な能動増幅器構成要素 1 2 、 1 4 、及び 1 6 の劣化に関する耐性が高められ、また、電源電圧変動に対する耐性が提供される。C 1 の本来の充電及び放電サイクルを用いることによって、O T A のオフセット電圧は、発振器のスイッチング動作の間、外部オフセットキャンセルを用いずに、発振器回路の自己スイッチング動作を用いて、外部オフセットキャンセルクロックや回路を用いずに、下記にさらに詳細に示すように、自然にキャンセルされる。

30

#### 【 0 0 2 7 】

発振周波数及び精密なオフセットキャンセルはいずれも、制御性及びドリフト耐性が容易するため、実際には、構成要素の引き込みサイズによって決定される。発振器回路 1 0 は、市販の C M O S プロセスで実施され得、この回路の P S R R は 0 . 2 5 % / V になると予測される。また、弛緩発振器 1 0 は、本体コア温度で 1 0 0 年の動作時間にわたって

40

50

0.5%未満の周波数ドリフトを有すると予測される。

【0028】

図2～図5を再度参照すると、弛緩発振器10は、OTA12、14、及び16を用いているが、他の実施形態において電圧増幅器及びコンパレータ（例えば、演算増幅器）が用いられ得る。例示実施形態では、OTA12は、電流I1又はI3-I1にR1の抵抗を乗算することによって矩形波形を生成するために用いられ、得られる矩形パルス波形52（図5）は、出力コンパレータOTA3-16のための閾値電圧として働く。OTA2-14は、電流源I2又はI4-I2からの静電容量C1にわたる固定電流を積分することによって（パルス閾値と比較するため）三角波形54を生成するために用いられる。OTA1及びOTA2両方の非反転入力はともに、ノード20において共通モードバイアス電圧生成器30に接続されて、OTA12及び14の各々がそれらの出力の振れに対して十分な余裕を有することが保証される。電流源CS1及びCS2並びにCS3及びCS4は、それぞれ互いに整合され、CS3及びCS4は個々にI1及びI2の電流の2倍の電流を提供する。

【0029】

スイッチング回路31の第1のスイッチング状態（図3のVOUTが低）では、I1及びI2はOTA1及びOTA2に流入し、I2は静電容量C1を充電する。ここで、各サイクルの充電時間Tonは下記の式(2)及び(3)によって与えられる。

$$(2) (I_2 T_{on})/C_1 + V_{OFF2} = 2I_1 R_1 + V_{OFF1} + V_{OFF3}$$

$$(3) T_{on} = C_1 (2I_1 R_1 + V_{OFF1} + V_{OFF3} - V_{OFF2}) / I_2$$

10

【0030】

第2のスイッチング回路状態（例えば、図4）では、I1=-I及びI2=-Iであり、これらの電流はOTA1及びOTA2から流出し、I2はC1を放電する。ここで、各サイクルの放電時間Toffは下記の式(4)及び(5)によって与えられる。

$$(4) ((2I - I) T_{off})/C_1 - V_{OFF2} = 2(2I - I) R_1 - V_{OFF1} - V_{OFF3}$$

$$(5) T_{off} = [2(2I - I) R_1 - V_{OFF1} - V_{OFF3} + V_{OFF2}] C_1 / (2I - I)$$

【0031】

OTA3-16は、三角波形54を矩形波形52と比較し、それに従ってスイッチング回路31の状態を変更するコンパレータとして動作する。各サイクルの発振器期間は、下記の式(6)によって与えられ、

30

$$(6) T_{on} + T_{off} = 4 R_1 C_1$$

発振器周波数「f」は、下記の式(7)によって与えられる。

$$(7) f = 1 / (4 R_1 C_1)$$

【0032】

先に述べたように、発振器周波数fは、主にR1及びC1の引き出しサイズによって決まり、電源電圧VCC、及び能動構成要素12、14、及び16のモデルパラメータと無関係である。上述の式(3)及び(5)～(7)は、電流ミラー回路要素（例えば、図6）におけるレシオメトリックサイズ設定による電流源CS1～CS4の整合に基づくOTAオフセット電圧44、46、及び48の固有キャンセルを示している。これらの構成要素の引き出しサイズは経時に変化しないので、したがってこの整合は自然にドリフトを防ぐように作用する。図6の例に示すように、或る実施形態では、約100年の動作寿命にわたって0.5%未満の周波数ドリフトを実現するために、低電圧カスコード電流ミラーアーキテクチャが用いられ得る。発振周波数の初期精度は、例えば、製造される集積回路におけるR1及び/又はC1の一方又は両方をトリミング可能又は調整可能な構成要素或いは構成要素群として製造することなどによって、任意のプロセス変動を補償するよう最終テスト段階における抵抗R1及び/又はコンデンサC1のサイズを調整することによってさらに改善され得る。また、クロックサイクル時間Ton+Toffより約5桁以上短い総遅延時間を持つ複数のOTAを提供することにより、OTAの総遅延時間の変動が弛緩発振器10の精度に大きな影響を及ぼさないことが効果的に保証され得る。また、いかなる温度ドリフトも、主に低温度係数受動構成要素R1及びC1の製造によって制

40

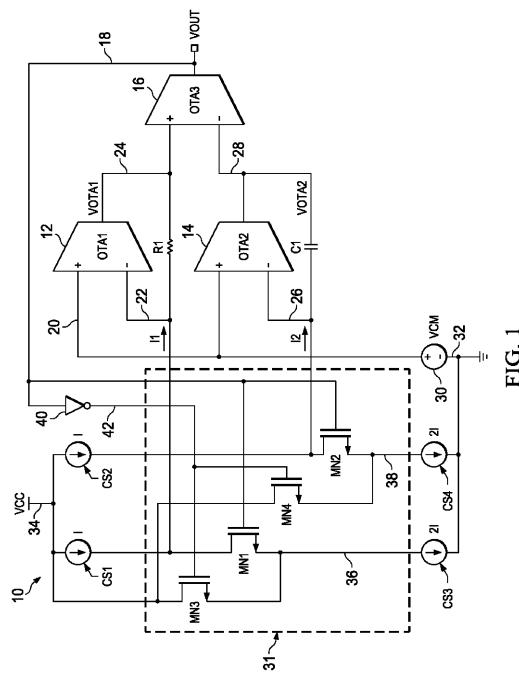
50

御され得る。

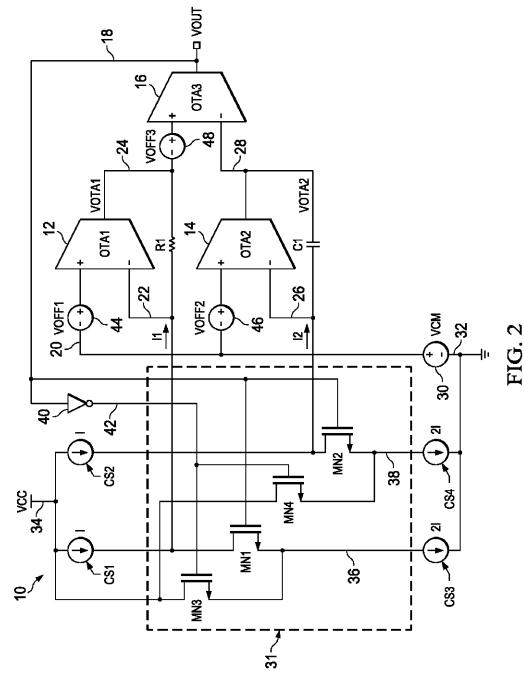
【0033】

特許請求の範囲内で、説明した実施形態において改変が可能であり、他の実施形態が可能である。

【図1】



【図2】



【図3】

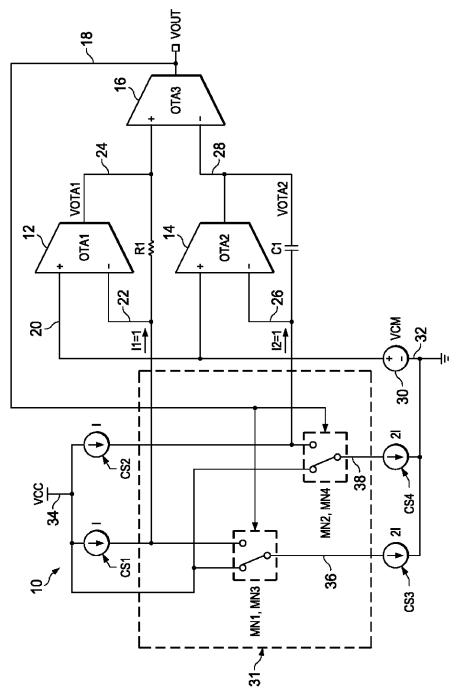


FIG. 3

【図4】

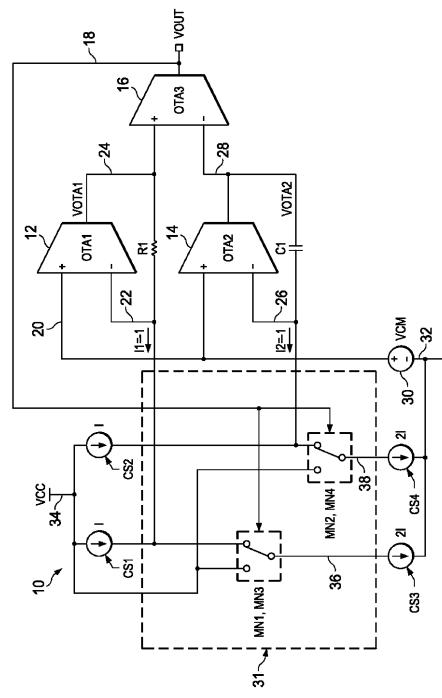


FIG. 4

【図5】

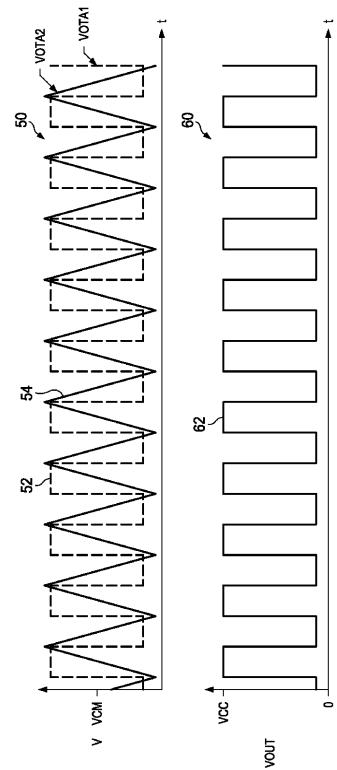


FIG. 5

【図6】

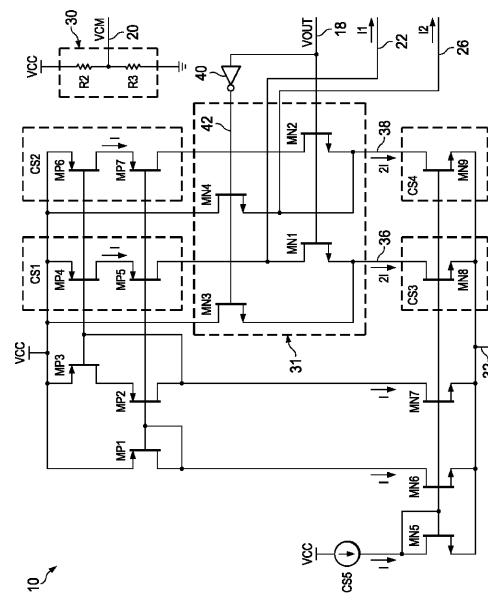


FIG. 6

【図7】

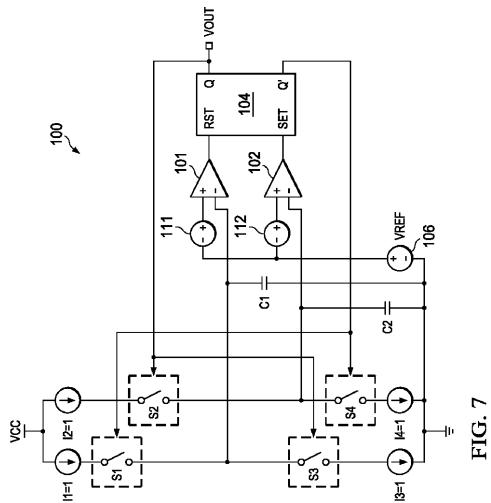


FIG. 7

---

フロントページの続き

(72)発明者 チュエン ルアン

アメリカ合衆国 94538 カリフォルニア州 フリー・モント, ミッション ヴュー ドライ  
ブ 3248

(72)発明者 マイケル ジェイ ディヴィータ

アメリカ合衆国 95037 カリフォルニア州 モーガン ヒル, モーニング スター ドラ  
イブ 1666

審査官 境 周一

(56)参考文献 特開昭50-067060(JP,A)

特開2005-020179(JP,A)

特開平05-113457(JP,A)

特開2004-235875(JP,A)

国際公開第2010/016167(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G06F 1/04 - 1/14  
H03K 3/00 - 5/26