

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第766653号
(P766653)

(45)発行日 令和7年4月22日(2025.4.22)

(24)登録日 令和7年4月14日(2025.4.14)

(51)国際特許分類	F I
H 1 0 N 60/80 (2023.01)	H 1 0 N 60/80 W
H 1 0 N 60/12 (2023.01)	H 1 0 N 60/12 A
H 1 0 N 60/01 (2023.01)	H 1 0 N 60/01 W

請求項の数 11 (全17頁)

(21)出願番号	特願2023-572320(P2023-572320)	(73)特許権者	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(86)(22)出願日	令和4年1月7日(2022.1.7)	(74)代理人	110001519 弁理士法人太陽国際特許事務所
(86)国際出願番号	PCT/JP2022/000385	(72)発明者	島内 岳明 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(87)国際公開番号	WO2023/132064	審査官	上田 智志
(87)国際公開日	令和5年7月13日(2023.7.13)		
審査請求日	令和6年5月15日(2024.5.15)		

最終頁に続く

(54)【発明の名称】 量子演算装置及び量子演算装置の製造方法

(57)【特許請求の範囲】

【請求項1】

量子ビット素子が設けられた基板を含む積層された複数の基板と、
前記複数の基板のうち、最上層に配置された第1基板を貫通して設けられ、前記第1基板に隣接する層に配置された基板に電氣的に接続された第1貫通ビアと、
前記複数の基板のうち、最下層に配置された第2基板を貫通して設けられ、前記第2基板に隣接する層に配置された基板に電氣的に接続された第2貫通ビアと、
を含む量子演算装置。

【請求項2】

前記第1貫通ビアは、前記第1基板を貫通する第1貫通孔に形成され、前記第2貫通ビアは、前記第2基板を貫通する第2貫通孔に形成され、
前記第1貫通孔の開口端は、前記第1基板に隣接する層に配置された基板によって塞がれ、前記第2貫通孔の開口端は、前記第2基板に隣接する層に配置された基板によって塞がれている

請求項1に記載の量子演算装置。

【請求項3】

前記量子ビット素子の周囲に空間が形成されており、
前記複数の基板のうち前記第1基板及び前記第2基板以外の第3基板には、前記第3基板を貫通し、前記空間に連通する第3貫通孔に形成された第3貫通ビアが設けられている
請求項1又は請求項2に記載の量子演算装置。

10

20

【請求項 4】

前記空間は密閉され、真空である

請求項 3 に記載の量子演算装置。

【請求項 5】

前記量子ビット素子が設けられた基板に隣接する層に配置された基板は、前記量子ビット素子と対向する部位に凹部を有する

請求項 1 から請求項 4 のいずれか 1 項に記載の量子演算装置。

【請求項 6】

前記凹部の表面を覆う導電膜を更に有する

請求項 5 に記載の量子演算装置。

10

【請求項 7】

前記量子ビット素子の状態を示すビット信号を読み出すための読み出しポートとして機能する第 4 貫通ビア、前記量子ビット素子にグラウンド電位を与えるためのグラウンドポートとして機能する第 5 貫通ビア、及び前記量子ビット素子を制御するための制御ポートとして機能する第 6 貫通ビアが、前記複数の基板のうち、前記第 1 基板及び前記第 2 基板の少なくとも一方に設けられている

請求項 1 から請求項 6 のいずれか 1 項に記載の量子演算装置。

【請求項 8】

表面が保護膜で覆われた量子ビット素子が設けられた第 1 の基板の表面を清浄化する工程と、

20

第 2 の基板の表面を清浄化する工程と、

前記第 1 の基板の表面及び前記第 2 の基板の表面を清浄化した後に、前記量子ビット素子の周囲に空間を形成するように、前記第 1 の基板と前記第 2 の基板とを接合する工程と、

前記第 1 の基板及び前記第 2 の基板の少なくとも一方に設けられた貫通孔を介して前記空間にエッチングガスを導入することにより前記保護膜を除去する工程と、

を含む量子演算装置の製造方法。

【請求項 9】

前記貫通孔の開口端を塞ぐ第 3 の基板を、前記第 1 の基板又は前記第 2 の基板に接合する工程を更に含む

請求項 8 に記載の製造方法。

30

【請求項 10】

前記第 1 の基板、前記第 2 の基板及び前記第 3 の基板における基板間の接合を、それぞれ真空中で行い、前記空間を密閉する

請求項 9 に記載の製造方法。

【請求項 11】

前記第 1 の基板及び前記第 2 の基板を含む複数の基板のうち、2 つの基板にそれぞれ貫通ビアを形成する工程と、前記複数の基板を、前記貫通ビアが形成された前記 2 つの基板がそれぞれ最上層及び最下層に配置されるように積層する工程と

を更に含み、

前記貫通ビアが、前記 2 つの基板にそれぞれ隣接する層に配置された基板に電氣的に接続される

40

請求項 8 から請求項 10 のいずれか 1 項に記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

開示の技術は、量子演算装置及び量子演算装置の製造方法に関する。

【背景技術】

【0002】

量子演算装置に関する技術として、以下の技術が知られている。例えば、2次元レイアウトに配列された複数の量子ビット素子を備え、複数の量子ビット素子のうちの少なくとも

50

も1つの内部量子ビット素子が、複数の量子ビット素子の2次元レイアウトの外へ延びる信号線を含む量子コンピュータ・システムが知られている。内部量子ビット素子は、複数の層を備え、複数の層のうちの上層は、底部層へのスルー・ホールを含み、信号線は、スルー・ホール内に置かれて、底部層を上層へ接続する。

【0003】

また、基板上に形成された第1のセットの突起と、量子ビットチップ上に形成された第2のセットの突起とを含む量子デバイスが知られている。量子デバイスは、インターポーザ上に形成されたバンプのセット、室温範囲で閾値を超える延性を有する材料で形成されたバンプのセットを含み、バンプのセットの第1のサブセットは、冷間溶接するように構成される。突起の第1のセットに、バンプのセットの2番目のサブセットは、突起の2番目のセットに冷間溶接するように構成される。

10

【先行技術文献】

【特許文献】

【0004】

【文献】米国特許出願公開第2019/287946号明細書

【文献】米国特許出願公開第2020/259064号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

量子ビット素子(Qubit)を含んで構成される量子演算装置は、外部から量子ビット素子を制御するための制御ポートを含み得る。また量子演算装置は、量子ビット素子の状態を示すビット信号を外部に読み出すための読み出しポートを含み得る。また、量子演算装置は、量子ビット素子を含む演算回路にグランド電位を与えるためのグランドポートを含み得る。量子演算装置は、真空チャンバーの中で極低温に保たれた状態で、制御ポート、読み出しポート及びグランドポート等のアクセスポートに当接されるプローブを介して演算処理に関する信号の入出力及び電位の供給がなされる。プローブは、量子演算装置とともに希釈冷凍機の内部に収容される。

20

【0006】

必要なプローブの本数は、量子演算装置のビット数の増加に伴って増加する。量子ビット装置において多ビット化及び小型化が進展するとポートの密度が高くなり、これに伴ってプローブの密度が高くなる。これにより、各ポートとプローブとの間の接触不良が発生したり、ポート間における信号のクロストークが発生したりするおそれがある。

30

【0007】

開示の技術は、量子演算装置において、多ビット化及び小型化に伴うアクセスポートの高密度化を抑制することを目的とする。

【課題を解決するための手段】

【0008】

開示の技術に係る量子演算装置は、量子ビット素子が設けられた基板を含む積層された複数の基板と、前記複数の基板のうち、最上層に配置された第1基板を貫通して設けられ、前記第1基板に隣接する層に配置された基板に電気的に接続された第1貫通ビアと、前記複数の基板のうち、最下層に配置された第2基板を貫通して設けられ、前記第2基板に隣接する層に配置された基板に電気的に接続された第2貫通ビアと、を含む。

40

【発明の効果】

【0009】

開示の技術によれば、量子演算装置において、多ビット化及び小型化に伴うアクセスポートの高密度化を抑制することが可能となる。

【図面の簡単な説明】

【0010】

【図1】開示の技術の実施形態に係る量子演算装置の部分的な等価回路図である。

【図2】開示の技術の実施形態に係る量子ビット素子間の接続構成の一例を示す図である。

50

【図 3】開示の技術の実施形態に係る量子演算装置の構成の一例を示す模式的な断面図である。

【図 4】開示の技術の実施形態に係る量子演算装置を構成する第 1 乃至第 3 の基板を分解して示す図である。

【図 5 A】開示の技術の実施形態に係る量子演算装置にプローブが当接された状態の一例を示す図である。

【図 5 B】開示の技術の実施形態に係る量子演算装置にプローブが当接された状態の一例を示す図である。

【図 6 A】開示の技術の実施形態に係るシール部材の形態の一例を示す平面図である。

【図 6 B】開示の技術の実施形態に係る貫通ビアを構成する貫通孔が電極によって塞がれている状態を示す平面図である。

10

【図 7】開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

【図 8】開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

【図 9】開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

【図 10】開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

【図 11】開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

【図 12】開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

20

【図 13】開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

【図 14】開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である

【図 15】開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

【図 16】開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

【図 17】開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

【図 18】開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

30

【図 19】開示の技術の他の実施形態に係る量子演算装置の構成の一例を示す断面図である。

【図 20】開示の技術の他の実施形態に係る量子演算装置の構成の一例を示す断面図である。

【図 21 A】開示の技術の他の実施形態に係る量子演算装置の構成の一例を示す断面図である。

【図 21 B】開示の技術の他の実施形態に係る量子演算装置の構成の一例を示す断面図である。

【図 22】開示の技術の他の実施形態に係る量子演算装置の構成の一例を示す断面図である。

40

【発明を実施するための形態】

【0011】

以下、開示の技術の実施形態の一例を、図面を参照しつつ説明する。なお、各図面において同一または等価な構成要素及び部分には同一の参照符号を付与し、重複する説明は省略する。

【0012】

[第 1 の実施形態]

図 1 は、量子演算装置 10 の部分的な等価回路図である。量子演算装置 10 は、量子ビット素子 (Qubit) 11、共振器 12、読み出しポート 13、グランドポート 14 及

50

び制御ポート 15 を有する。

【 0 0 1 3 】

量子ビット素子 11 は、超電導を用いてコヒーレントな 2 準位系を形成する素子であり、超電導ジョセフソン素子 201 とキャパシタ 202 とを並列に接続したトランズモン量子ビット回路を含んで構成されている。超電導ジョセフソン素子 201 は、所定の臨界温度以下の温度で超電導を発現する一対の超電導体と、一対の超電導体の間に挟まれた厚さ数 nm 程度の極薄の絶縁体とを含んで構成されている。超電導体は例えばアルミニウムであってもよく、絶縁体は、例えば酸化アルミニウムであってもよい。

【 0 0 1 4 】

図 2 に示すように、量子演算装置 10 において、複数の量子ビット素子 11 が、隣接する他の量子ビット素子 11 にビット間配線 221 を介して接続されている。ビット間配線 221 の経路上には、キャパシタ 222 が設けられている。これにより、量子ビット素子 11 の各々は隣接する他の量子ビット素子 11 との間で量子もつれ状態を作り出して量子演算を行う。図 1 は、1 つの量子ビット素子 11 の周辺の構成のみを抽出して示したものである。

10

【 0 0 1 5 】

共振器 12 は、量子ビット素子 11 と相互作用することによって量子ビット素子 11 の状態を示すビット信号を読み出す。共振器 12 は、量子ビット素子 11 にキャパシタ 16 を介して接続されている。共振器 12 は、超電導インダクタ 211 とキャパシタ 212 とを並列に接続した共振回路を含んで構成されている。

20

【 0 0 1 6 】

読み出しポート 13、グランドポート 14 及び制御ポート 15 は、外部から量子ビット素子 11 及び共振器 12 を含む量子演算回路にアクセスするためのアクセスポートである。読み出しポート 13 は、キャパシタ 17 を介して共振器 12 に接続されている。読み出しポート 13 は、共振器 12 によって読み出されたビット信号を外部に取り出すために使用される。グランドポート 14 は、量子ビット素子 11 及び共振器 12 に接続されている。グランドポート 14 は、外部から量子ビット素子 11 及び共振器 12 にグランド電位を与えるために使用される。制御ポート 15 は、キャパシタ 18 を介して量子ビット素子 11 に接続されている。制御ポート 15 は、外部から量子ビット素子 11 を制御するために使用される。

30

【 0 0 1 7 】

図 3 は、量子演算装置 10 の構成の一例を示す模式的な断面図である。図 3 は、1 つの量子ビット素子 11 の周辺の構成のみを抽出して示したものである。量子演算装置 10 は、第 1 の基板 30、第 2 の基板 40 及び第 3 の基板 50 を積層した構成を有する。本実施形態において、第 2 の基板 30 が最下層に配置され、第 3 の基板 40 が最上層に配置され、第 1 の基板 20 が最上層と最下層の間の中間層に配置されている。図 4 は、第 1 の基板 20、第 2 の基板 30 及び第 3 の基板 40 それぞれの構成の理解を容易にするために、これらの基板を分解して示した図である。

【 0 0 1 8 】

第 1 の基板 20 の下面には量子ビット素子 11 が設けられ、第 2 の基板 30 の上面には共振器 12 が設けられている。共振器 12 は、導電膜 50A をパターンニングすることによって形成されている。第 2 の基板 30 は、その上面が第 1 の基板 20 の下面に対向するように第 1 の基板 20 の下面側にシール部材 60 を介して接合されている。量子ビット素子 11 及び共振器 12 は、配線 21 及びバンプ 22、32 を介して互いに接続されている。シール部材 60 は、導電膜 50A 及び導電膜 50B を積層した積層膜を含んで構成されている。配線 21 は、導電膜 50A によって構成され、バンプ 22、32 はそれぞれ導電膜 50B によって構成されている。

40

【 0 0 1 9 】

第 1 の基板 20 の上面には、量子ビット素子 11 を制御するための制御信号が供給される制御電極 70 が設けられている。制御電極 70 は、量子ビット素子 11 の直上に配置さ

50

れており、制御電極 70 に供給される制御信号は、第 1 の基板 20 の基材を介して量子ビット素子 11 に伝送される。第 3 の基板 40 は、その下面が第 1 の基板 20 の上面に対向するように第 1 の基板 20 の上面側にシール部材 60 を介して接合されている。

【0020】

第 1 の基板 20 には貫通ビア 25 A、25 B が設けられ、第 2 の基板 30 には貫通ビア 35 A、35 B が設けられ、第 3 の基板 40 には貫通ビア 45 A、45 B が設けられている。これらの貫通ビアは、それぞれ当該基板を貫通する貫通孔 51 と、貫通孔 51 の内壁を覆う導電膜 50 B とを含んで構成されている。これらの貫通ビアは、隣接する層に配置された基板に設けられた電極 71 又は制御電極 70 に電氣的に接続されている。制御電極 70 及びその他の電極 71 は、それぞれ導電膜 50 A 及び導電膜 50 B を積層した積層膜を含んで構成されている。

10

【0021】

第 2 の基板 30 の貫通ビア 35 A は、グランドポート 14 として機能する。すなわち、量子演算装置 10 の使用時において、図 5 A に示すように、貫通ビア 35 A にはグランド電位に固定されたプローブ 300 A が当接される。プローブ 300 A から供給されるグランド電位は、貫通ビア 35 A によって、第 2 の基板 30 の上面及び下面に設けられている各要素に与えられる。グランド電位は、共振器 12 にも与えられる。貫通ビア 35 A は、第 1 の基板 20 の貫通ビア 25 A に電氣的に接続されており、グランド電位は、第 1 の基板 20 の上面及び下面に設けられている各要素に与えられる。グランド電位は、量子ビット素子 11 にも与えられる。貫通ビア 25 A は、第 3 の基板 40 の貫通ビア 45 A に電氣的に接続されており、グランド電位は、第 3 の基板 40 の上面及び下面に設けられている各要素に与えられる。

20

【0022】

なお、第 2 の基板 30 の貫通ビア 35 A 及び第 3 の基板 40 の貫通ビア 45 A の双方をグランドポート 14 として機能させてもよい。すなわち、量子演算装置 10 の使用時において、図 5 B に示すように、貫通ビア 35 A、45 A の各々にグランド電位に固定されたプローブ 300 A が当接されてもよい。

【0023】

第 2 の基板 30 の貫通ビア 35 B は、共振器 12 に電氣的に接続されている。貫通ビア 35 B は、量子ビット素子 11 の状態を示すビット信号を読み出すための読み出しポート 13 として機能する。すなわち、量子演算装置 10 の使用時において、図 5 A 及び図 5 B に示すように、貫通ビア 35 B にプローブ 300 B が当接され、プローブ 300 B によってビット信号が外部に取り出される。

30

【0024】

第 3 の基板 40 の貫通ビア 45 B は、第 1 の基板 20 に設けられている制御電極 70 に電氣的に接続されている。貫通ビア 45 B は、外部から量子ビット素子 11 を制御するための制御ポート 15 として機能する。すなわち、量子演算装置 10 の使用時において図 5 A 及び図 5 B に示すように、貫通ビア 45 B にプローブ 300 C が当接され、プローブ 300 C から供給される量子ビット素子 11 を制御するための制御信号が、貫通ビア 45 B を介して制御電極 70 に与えられる。量子演算装置 10 は、真空チャンバーの中で極低温に保たれた状態で使用される。プローブ 300 A、300 B、300 C は、量子演算装置 10 とともに希釈冷凍機の内部に収容され得る。

40

【0025】

第 1 の基板 20 の貫通ビア 25 B は、量子演算装置 10 の製造工程において、量子ビット素子 11 の表面を覆う保護膜を除去するためのガスの導入経路として用いられる。量子演算装置 10 の製造工程については後述する。

【0026】

第 1 の基板 20 と第 2 の基板 30 との間及び第 1 の基板 20 と第 3 の基板 40 との間には、それぞれ空間 80 が形成されている。量子ビット素子 11 の周囲にも空間 80 が形成されている。ガスの導入経路として用いられる第 1 の基板 20 の貫通ビア 25 B を構成す

50

る貫通孔 5 1 は、量子ビット素子 1 1 の周囲に延在する空間 8 0 に連通している。

【 0 0 2 7 】

ここで、図 6 A は、第 1 の基板 2 0 と第 2 の基板 3 0 との接合部及び第 1 の基板 2 0 と第 3 の基板 4 0 との接合部を形成するシール部材 6 0 の形態の一例を示す平面図である。図 6 に示すようにシール部材 6 0 は、基板間に形成される空間 8 0 を囲むリング状とされている。このように、空間 8 0 を囲むリング状のシール部材 6 0 を介して基板同士を接合することで、空間 8 0 は密閉状態とされる。また、第 2 の基板 3 0 の貫通ビア 3 5 A、3 5 B を構成する貫通孔 5 1 の開口端は、第 1 の基板 2 0 の下面に設けられている電極 7 1 によって塞がれている。同様に、第 3 の基板 4 0 の貫通ビア 4 5 A、4 5 B を構成する貫通孔 5 1 の開口端は、第 1 の基板 2 0 の上面に設けられている電極 7 1 及び制御電極 7 0 によって塞がれている。図 6 B は、貫通ビア 3 5 A、3 5 B、4 5 A、4 5 B を構成する貫通孔 5 1 が、それぞれ電極 7 1 又は制御電極 7 0 によって塞がれている状態を示す平面図である。このように、第 3 の基板 4 0 の貫通ビア 4 5 A、4 5 B 及び第 2 の基板 3 0 の貫通ビア 3 5 A、3 5 B を構成する貫通孔 5 1 の開口端を、第 1 の基板 2 0 に設けられた電極 7 1 又は制御電極 7 0 によって塞ぐことで、空間 8 0 は完全密閉状態とされる。

10

【 0 0 2 8 】

密閉された空間 8 0 は真空であることが好ましい。空間 8 0 が真空とされることで、量子ビット素子 1 1 の表面に誘電体損失を引き起こす保護膜を形成することなく量子ビット素子 1 1 への物質の吸着を抑制することができ、量子ビット素子 1 1 の表面を常に清浄な状態に保つことができる。なお、真空とは、完全な真空に限定されず、量子ビット素子 1 1 への物質の吸着を実質的に抑制する効果が発揮される程度の低圧状態を含む。

20

【 0 0 2 9 】

第 1 乃至第 3 の基板に設けられた各要素を構成する導電膜 5 0 A、5 0 B は、所定の温度以下の温度で超電導を発現する金属によって構成されることが好ましい。特に限定されるものではないが、導電膜 5 0 A として、例えば TiN (窒化チタン) を好適に用いることができ、導電膜 5 0 B として例えば Al (アルミニウム) を好適に用いることができる。

【 0 0 3 0 】

以下において、量子演算装置 1 0 の製造方法について説明する。初めに第 1 の基板 2 0 の製造方法の一例を、図 7 ~ 図 1 3 を参照しつつ説明する。

【 0 0 3 1 】

第 1 の基板 2 0 を構成する基材 2 0 a を用意する。基材 2 0 a として例えばシリコン基板を用いることができる (図 7)。次に、例えば蒸着法により、基材 2 0 a の上面及び下面にそれぞれ導電膜 5 0 A を形成する。導電膜 5 0 A として例えば TiN (窒化チタン) を好適に用いることができる (図 8)。次に、公知のフォトリソグラフィ技術を用いて導電膜 5 0 A をパターニングすることで、配線 2 1 等を形成する (図 9)。

30

【 0 0 3 2 】

次に、基材 2 0 a の表面に量子ビット素子 1 1 を形成する (図 1 0)。量子ビット素子 1 1 を構成する超電導ジョセフソン素子は、例えば、蒸着法によって基材 2 0 a の表面に Al (アルミニウム) を含む第 1 電極 (図示せず) を形成する工程、O₂ ガスを用いて第 1 電極の表面に厚さ数 nm 程度の極薄の酸化膜 (図示せず) を形成する工程、蒸着法によって酸化膜の表面に Al (アルミニウム) を含む第 2 電極 (図示せず) を形成する工程を経ることによって形成される。第 1 電極及び第 2 電極のパターニングは、例えば、パターニングされたレジスト (図示せず) を用いたリフトオフ法によって行ってもよい。この場合、レジストの開口パターンを、第 1 の方向に沿った第 1 の直線部と、第 1 の方向と直交する第 2 の方向に沿った第 2 の直線部とを含む十字型とし、第 1 の方向を回転軸として傾けて蒸着を行うことで、第 1 の直線部に対応する部分に第 1 電極を形成してもよい。続いて、第 2 の方向を回転軸として傾けて蒸着を行うことで、第 2 の直線部に対応する部分に第 2 電極を形成してもよい。上記の方法によれば、第 1 電極及び第 2 電極のパターニングを単一のレジストによって行うことが可能となる。

40

【 0 0 3 3 】

50

次に、例えばCVD法(chemical vapor deposition)により、基材20aの表面にSiO₂等の絶縁体からなる保護膜90を形成する。量子ビット素子11は、保護膜90によって覆われる。次に、公知のフォトリソグラフィ技術を用いて保護膜90をパターニングする。保護膜90は、量子ビット素子11を覆う部分を残して除去される(図11)。

【0034】

次に、基材20aの表面にレジスト(図示せず)を形成し、このレジストをパターニングする。パターニングされたレジストをマスクとして、例えばディープRIE(Reactive Ion Etching)によって基材20aに貫通孔51を形成する(図12)。

【0035】

次に、例えば蒸着法により、基材20aの上面及び下面に導電膜50Bを形成する。導電膜50Aの表面及び貫通孔51の内壁は、導電膜50Bで覆われる。導電膜50Bとして例えばAl(アルミニウム)を好適に用いることができる。導電膜50Bのパターニングは例えばリフトオフ法によって行われる(図13)。基材20aの表面には、導電膜50A及び導電膜50Bを積層した積層膜を含んで構成される制御電極70、その他の電極71及びリング状のシール部材60等が形成される。また、貫通孔51の内壁が導電膜50Bによって覆われることにより、貫通ビア25A、25Bが形成される。

10

【0036】

以上の各工程を経ることにより第1の基板20が完成する。第2の基板30及び第3の基板40は、第1の基板20と同様の要領によって製造されるので、これらの基板の製造方法の説明は省略する。

20

【0037】

以下において、第1の基板20、第2の基板30及び第3の基板40を組み合わせて量子演算装置10を形成する方法の一例を図14~図18を参照しつつ説明する。

【0038】

第1の基板20及び第2の基板30を真空チャンバー(図示せず)に収容し、真空チャンバー内において、第1の基板20の下面及び第2の基板30の上面にイオンビームを照射する(図14)。これにより、第1の基板20と第2の基板30との接合部を形成する導電膜50Bの表面に存在する酸化膜、水酸基及び水分子等の接合の妨げとなる要素が除去され、導電膜50Bの表面が活性化される。また、第1の基板20及び第2の基板30の表面に存在するレジスト残渣及び吸着物が除去され、第1の基板20及び第2の基板30の表面が清浄化される。イオンビームには、アルゴン等の不活性ガスが用いられる。量子ビット素子11は、保護膜90で覆われているため、イオンビーム照射による量子ビット素子11へのダメージは抑制される。

30

【0039】

次に、真空チャンバー内において、第1の基板20と第2の基板30とを接合する。すなわち、第1の基板20のシール部材60と第2の基板30のシール部材60とを接合し、第1の基板20の電極71と第2の基板30の貫通ビア35A、35Bとをそれぞれ接合し、第1の基板20のバンプ22と第2の基板30のバンプ32とを接合する。これらの各要素を構成する導電膜50Bの表面は、イオンビーム照射によって活性化されているため、常温下(25 程度)で強固な接合を得ることが可能となる。この手法は、表面活性化常温接合と呼ばれている。基板間の接合を常温下で行うことで、量子ビット素子11の加熱に伴う特性変動が抑制される。第2の基板30の貫通ビア35A及び35Bを構成する貫通孔51の開口端は第1の基板20の電極71によって塞がれる。第1の基板20と第2の基板30とは間隙を隔てて接合され、量子ビット素子11の周囲には空間80が形成される(図15)。

40

【0040】

次に、第1の基板20の貫通ビア25Bを構成する貫通孔51から量子ビット素子11の周囲の空間80にペーパーHFガス等のエッチングガスを導入する。これにより、量子ビット素子11を覆う保護膜90が除去されるとともに、第1の基板20及び第2の基板30の表面に形成されているシリコン酸化膜(SiO₂)が除去され、第1の基板20及

50

び第2の基板30の表面が清浄化される(図16)。

【0041】

次に、互いに接合された第1の基板20及び第2の基板30と、第3の基板40とを真空チャンバー(図示せず)に収容し、真空チャンバー内において、第1の基板20の上面及び第3の基板40の下面にイオンビームを照射する(図17)。これにより、第1の基板20と第3の基板40との接合部を形成する導電膜50Bの表面に存在する酸化膜、水酸基及び水分子等の接合の妨げとなる要素が除去され、導電膜50Bの表面が活性化される。また、第1の基板20及び第3の基板40の表面に存在するレジスト残渣及び吸着物が除去され、第1の基板20及び第3の基板40の表面が清浄化される。

【0042】

次に、真空チャンバー内において、第1の基板20と第3の基板40とを接合する。すなわち、第1の基板20のシール部材60と第3の基板40のシール部材60とを接合し、第1の基板20の電極71と第3の基板の貫通ビア45Aとを接合し、第1の基板20の制御電極70と第3の基板40の貫通ビア45Bとを接合し、第1の基板20の貫通ビア25Bと第3の基板40の電極71とを接合する(図18)。これらの各要素を構成する導電膜50Bの表面は、イオンビーム照射によって活性化されているため、常温下(25程度)で強固な接合を得ることが可能となる。第1の基板20の貫通ビア25Bは、第3の基板40の電極71によって塞がれる。また、第3の基板40の貫通ビア45A及び45Bは、それぞれ第1の基板20の電極71及び制御電極70によって塞がれる。以上の各工程を経ることにより、量子演算装置10が完成する。

【0043】

以上のように、開示の技術の実施形態に係る量子演算装置10は、量子ビット素子が設けられた第1の基板20、第1の基板20の下面側に積層された第2の基板30及び第1の基板20の上面側に積層された第3の基板40を含む。これらの基板のうち、最下層に配置された第2の基板30には、グランドポート14として機能する貫通ビア35A及び読み出しポート13として機能する貫通ビア35Bが設けられている。また、最上層に配置された第3の基板40には、制御ポート15として機能する貫通ビア45Bが設けられている。第3の基板40の貫通ビア45Aはグランドポート14として使用することも可能である。これらの貫通ビア35A、35B、45A及び45Bは、それぞれ、中間層に配置された第1の基板20に電氣的に接続されている。

【0044】

量子演算装置10の使用時においては図5A及び図5Bに示すように、これらの貫通ビア35A、35B、45A及び45Bにプローブ300A~300Cを当接することで量子ビット素子11及び共振器12を含む量子演算回路にアクセスすることが可能となる。必要なプローブの本数は、量子演算装置10のビット数の増加に伴って増加する。量子演算装置10において多ビット化及び小型化が進展するとポートの密度が高くなり、これに伴ってプローブの密度が高くなる。これにより、各ポートとプローブとの間の接触不良が発生したり、ポート間における信号のクロストークが発生したりするおそれがある。

【0045】

本実施形態に係る量子演算装置10においては、プローブが当接されるアクセスポートと機能する貫通ビア35A、35B、45A及び45Bが量子演算装置10の両面に分散して設けられている。これにより、これらの貫通ビア35A、35B、45A及び45Bが一方の面にのみ設けられる場合と比較して、多ビット化及び小型化に伴うアクセスポートの高密度化を抑制することが可能となる。また、第2の基板30の貫通ビア35A及び第3の基板40の貫通ビア45Aの双方をグランドポート14として使用することで、量子演算装置10の各部に供給されるグランド電位を均一且つ安定化させることができる。

【0046】

ここで、量子ビット素子11において量子演算を持続できる時間をコヒーレンス時間と呼ぶ。コヒーレンス時間は量子ビット素子11の周辺の状態の影響を敏感に受ける。例えば、量子ビット素子11の周辺に酸化膜などの誘電体が存在する場合、誘電体損失によっ

10

20

30

40

50

てコヒーレンス時間が短くなる。そのため、量子ビット素子 11 の表面には保護膜等の絶縁膜を形成しないことが好ましい。量子演算装置 10 は、真空チャンバーの中で極低温に保たれるが、大気中で吸着したデコヒーレンスの要因となる吸着物はそのまま冷却されて残留する。量子ビット素子 11 の表面に吸着した吸着物によってコヒーレンス時間が短縮されることから、量子ビット素子 11 の表面を常に清浄な状態に保つ必要がある。本実施形態に係る量子演算装置 10 においては、量子ビット素子 11 の周囲に形成される空間 80 が、真空密閉状態とされている。これにより、量子ビット素子 11 の表面に誘電体損失を引き起こす保護膜を形成することなく量子ビット素子 11 への物質の吸着を抑制することができ、量子ビット素子 11 の表面を常に清浄な状態に保つことができる。

【0047】

量子ビット素子 11 を構成する超電導ジョセフソン素子 201 は、加熱によって特性が変動するおそれがある。本実施形態に係る量子演算装置 10 の製造方法によれば、第 1 の基板 20 と第 2 の基板 30 との接合及び第 1 の基板 20 と第 3 の基板 40 との接合は、それぞれ、表面活性化常温接合によって行われる。従って、量子ビット素子 11 の加熱に伴う特性変動を回避することができる。表面活性化常温接合においては、各基板の表面にイオンビームが照射される。本実施形態に係る量子演算装置 10 の製造方法によれば、イオンビーム照射時において、量子ビット素子 11 は保護膜 90 で覆われている。これにより、イオンビーム照射による量子ビット素子 11 へのダメージを抑制することができる。

【0048】

また、本実施形態に係る量子演算装置 10 の製造方法によれば、量子ビット素子 11 を覆う保護膜 90 は、第 1 の基板 20 と第 2 の基板 30 との接合後に除去される。これにより、コヒーレンス時間の短縮をもたらす要因を排除することができる。

【0049】

また、本実施形態に係る量子演算装置 10 の製造方法によれば、保護膜 90 の除去は、第 1 の基板 20 と第 2 の基板 30 との接合後に、量子ビット素子 11 の周囲に形成される空間 80 に連通する貫通孔 51 からエッチングガスを導入することにより行われる。これにより、保護膜 90 を除去及び第 1 の基板 20 及び第 2 の基板 30 の表面の清浄化を効率的に行うことが可能となる。

【0050】

なお、本実施形態においては、第 1 の基板 20、第 2 の基板 30 及び第 3 の基板 40 を積層した 3 層構造の量子演算装置 10 の構成を例示したが、量子演算装置 10 は、2 層構造であってもよいし、4 以上の層数を有していてもよい。図 19 は、2 層構造の量子演算装置 10 A の構成の一例を示す模式的な断面図である。量子演算装置 10 A は、第 3 の基板 40 を有していない点が、図 3 等に示す量子演算装置 10 と異なる。すなわち、量子演算装置 10 A において、第 1 の基板 20 が最上層に配置されており、制御電極 70 が制御ポート 15 として機能し、制御電極 70 にプローブ 300 C が当接される。量子演算装置 10 A においては、量子ビット素子 11 の周囲の空間 80 は貫通ビア 25 B を構成する貫通孔 51 を介して大気に開放されている。

【0051】

また、本実施形態においては、量子ビット素子 11 が第 1 の基板 20 に設けられ、共振器 12 が第 2 の基板 30 に設けられた構成を例示したが、量子ビット素子 11 及び共振器 12 が、同一の基板に設けられていてもよい。図 20 は、量子ビット素子 11 及び共振器 12 が第 1 の基板 20 に設けられた量子演算装置 10 B の構成の一例を示す模式的な断面図である。

【0052】

また、本実施形態において、量子ビット素子 11 の周囲の空間 80 に連通する貫通孔 51 を有する貫通ビアが、第 1 の基板 20 に設けられたものであったが、空間 80 に連通する貫通孔 51 を有する貫通ビアは、第 1 の基板 20 以外の基板に設けられていてもよい。例えば、図 21 A に示す量子演算装置 10 C のように、第 2 の基板 30 に設けられた貫通ビア 35 C を構成する貫通孔 51 が、量子ビット素子 11 の周囲の空間 80 に連通してい

10

20

30

40

50

てもよい。この場合において、図 2 1 B に示す量子演算装置 1 0 D のように、第 3 の基板 4 0 を第 2 の基板 3 0 の下面側に接合し、空間 8 0 に連通する第 2 の基板 3 0 の貫通孔 5 1 の開口端を、第 3 の基板 4 0 の電極 7 1 によって塞いでもよい。量子演算装置 1 0 D において、最上層に配置された第 1 の基板 2 0 の貫通ビア 2 5 A 及び最下層に配置された第 3 の基板 4 0 の貫通ビア 4 5 A が、それぞれグランドポート 1 4 として機能する。最下層に配置された第 3 の基板 4 0 の貫通ビア 4 5 B が読み出しポート 1 3 として機能する。最上層に配置された第 1 の基板 2 0 の制御電極 7 0 が制御ポート 1 5 として機能する。

【 0 0 5 3 】

[第 2 の実施形態]

図 2 2 は、開示の技術の第 2 の実施形態に係る量子演算装置 1 0 E の構成の一例を示す模式的な断面図である。量子演算装置 1 0 E において量子ビット素子 1 1 が設けられた第 1 の基板 2 0 に隣接する層に配置された第 2 の基板 3 0 は、量子ビット素子 1 1 と対向する部位に、第 2 の基板 3 0 の厚さ方向に窪んだ凹部 9 5 A を有する。また、共振器 1 2 が設けられた第 2 の基板 3 0 に隣接する層に配置された第 1 の基板 2 0 は、共振器 1 2 と対向する部位に、第 1 の基板 2 0 の厚さ方向に窪んだ凹部 9 5 B を有する。凹部 9 5 A、9 5 B の表面は、導電膜 5 0 B によって覆われている。

【 0 0 5 4 】

このように、第 2 の基板 3 0 が凹部 9 5 A を有することで、量子ビット素子 1 1 と第 2 の基板 3 0 との間の容量カップリングを抑制することが可能となる。同様に、第 1 の基板 2 0 が凹部 9 5 B を有することで、共振器 1 2 と第 1 の基板 2 0 との間の容量カップリングを抑制することが可能となる。これにより、量子ビット素子 1 1 及び共振器 1 2 の動作を安定化させることができる。また、凹部 9 5 A、9 5 B の表面が導電膜 5 0 B によって覆われることで、量子ビット素子 1 1 及び共振器 1 2 の動作に影響を及ぼす外来ノイズを抑制するとともに量子ビット素子 1 1 及び共振器 1 2 から放射される電磁波ノイズの拡散を抑制することが可能となる。

【 符号の説明 】

【 0 0 5 5 】

1 0、1 0 A、1 0 B、1 0 C、1 0 D、1 0 E 量子演算装置

1 1 量子ビット素子

1 2 共振器

1 3 読み出しポート

1 4 グランドポート

1 5 制御ポート

2 0 第 1 の基板

2 5 A、2 5 B 貫通ビア

3 0 第 2 の基板

3 5 A、3 5 B、3 5 C 貫通ビア

4 0 第 3 の基板

4 5 A、4 5 B 貫通ビア

5 0 A、5 0 B 導電膜

5 1 貫通孔

6 0 シール部材

7 0 制御電極

7 1 電極

8 0 空間

9 0 保護膜

9 5 A、9 5 B 凹部

10

20

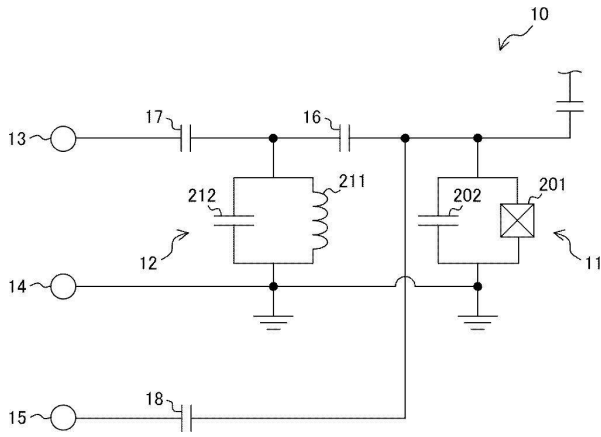
30

40

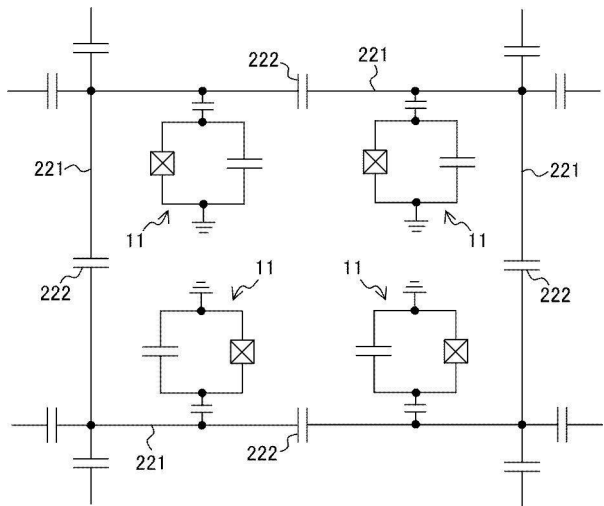
50

【図面】

【図 1】

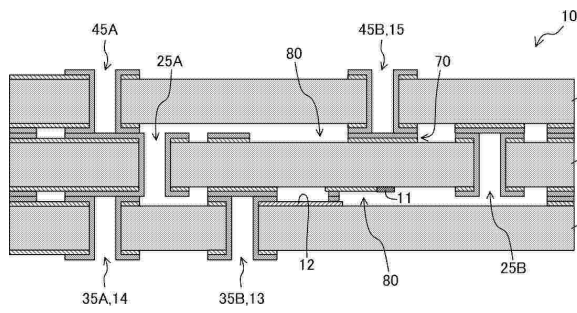


【図 2】

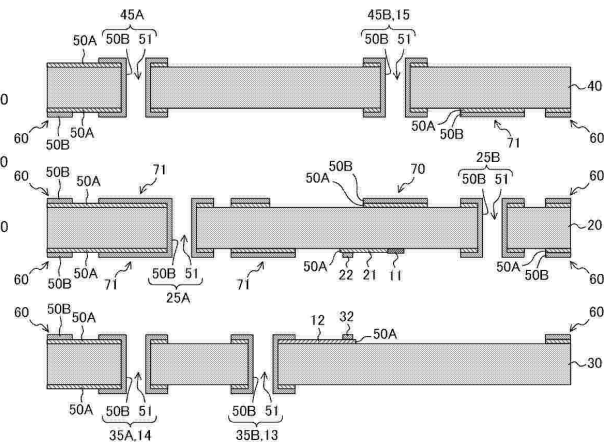


10

【図 3】



【図 4】



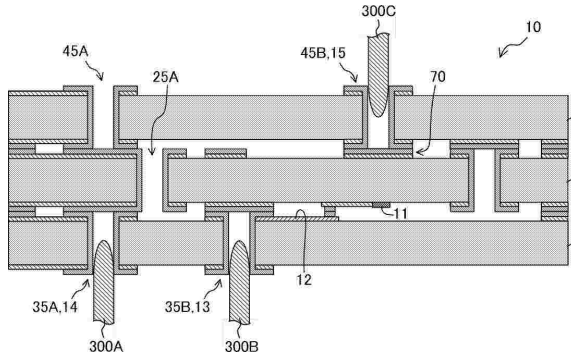
20

30

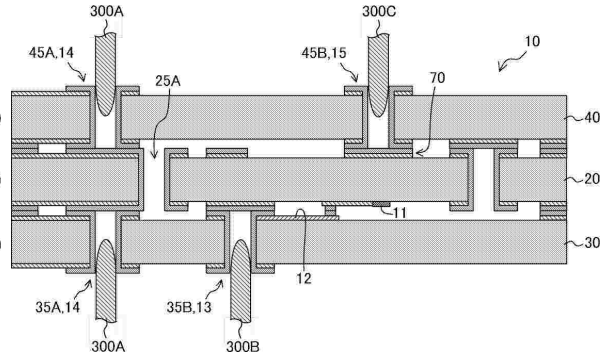
40

50

【図 5 A】

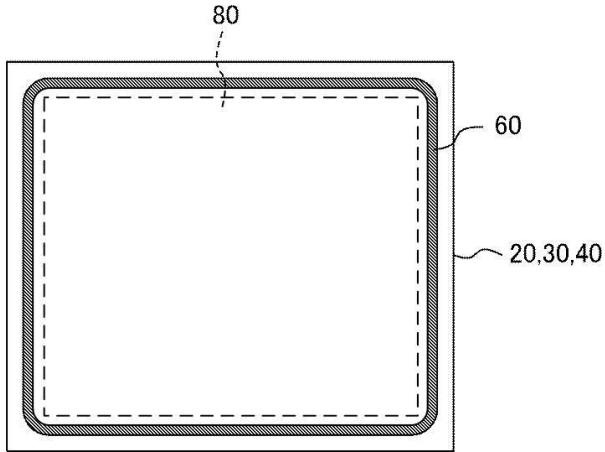


【図 5 B】

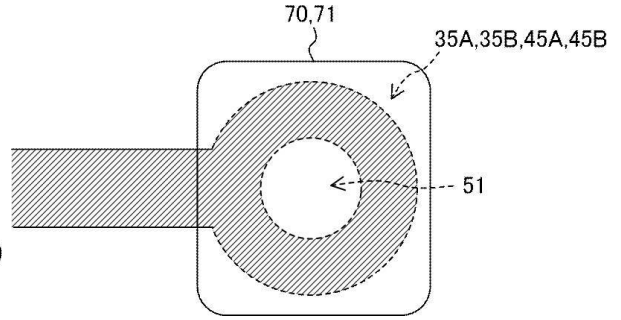


10

【図 6 A】



【図 6 B】

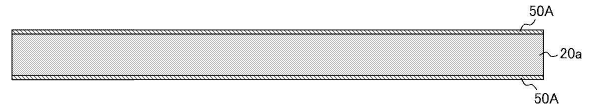


20

【図 7】



【図 8】

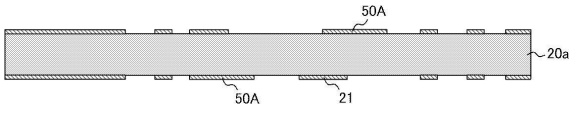


30

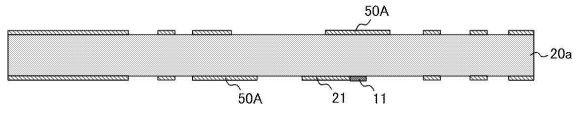
40

50

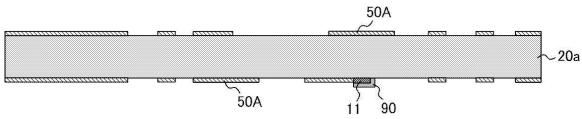
【図 9】



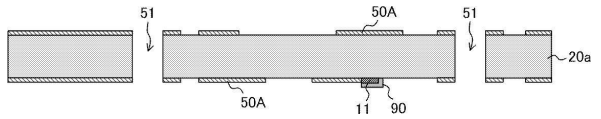
【図 10】



【図 11】

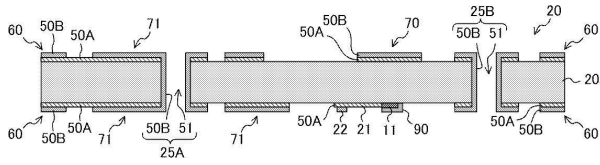


【図 12】

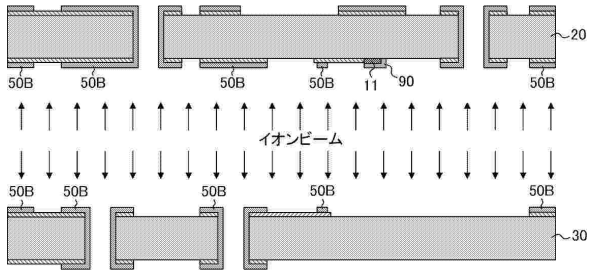


10

【図 13】

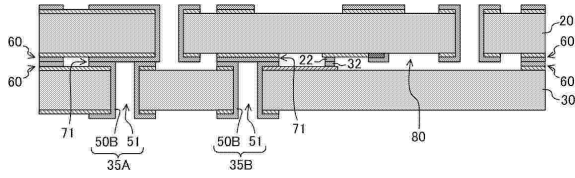


【図 14】

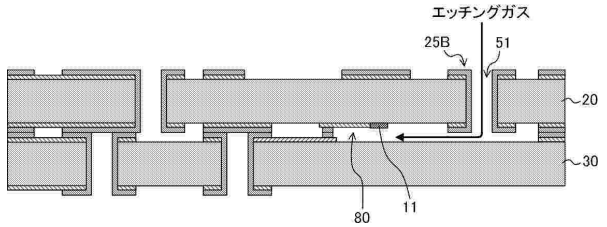


20

【図 15】



【図 16】

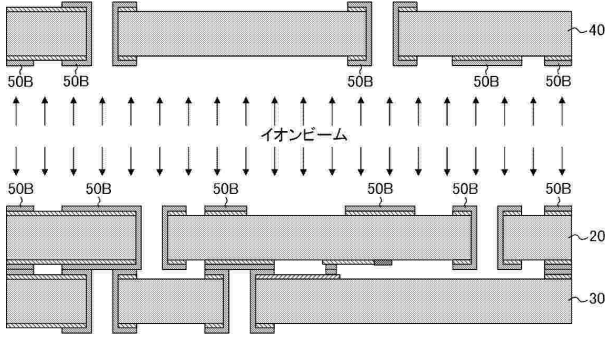


30

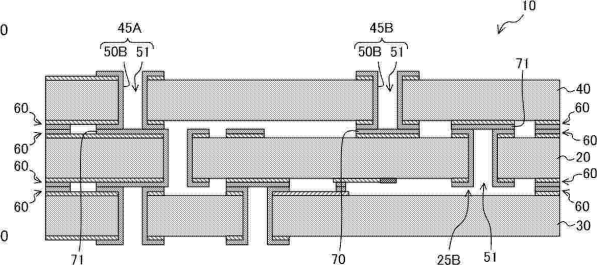
40

50

【図 17】

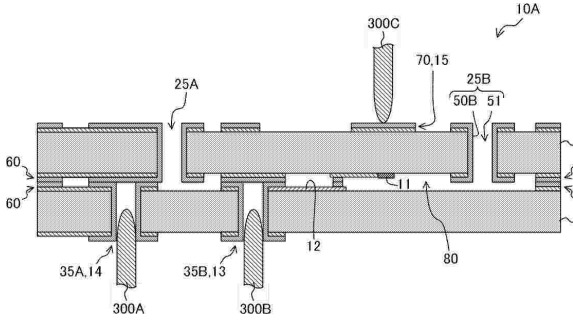


【図 18】

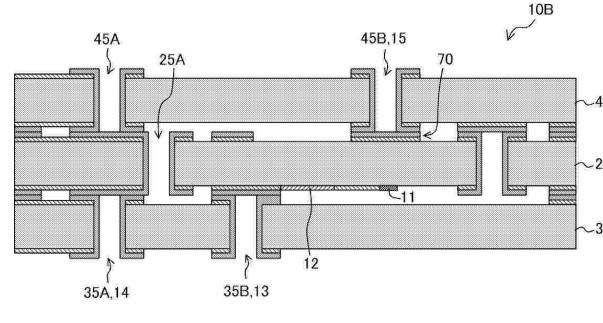


10

【図 19】

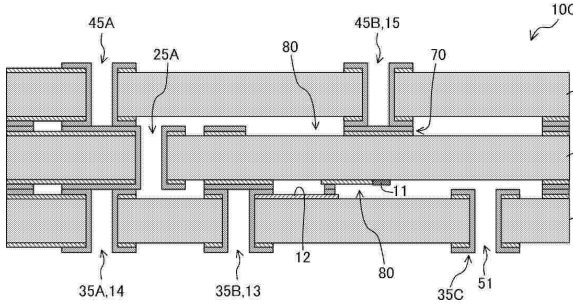


【図 20】

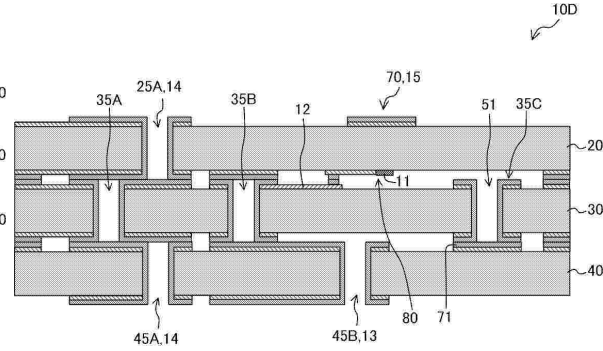


20

【図 21 A】



【図 21 B】

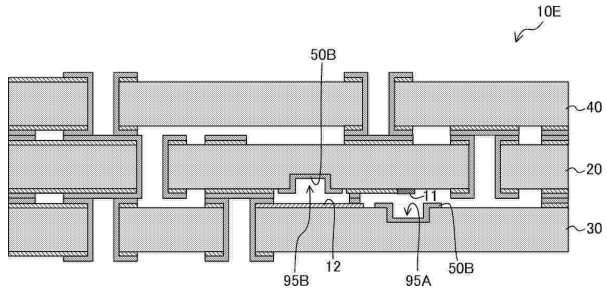


30

40

50

【 2 2 】



10

20

30

40

50

フロントページの続き

- (56)参考文献 米国特許出願公開第2018/0013052 (US, A1)
特開2021-72351 (JP, A)
特表2019-532505 (JP, A)
特開平11-177157 (JP, A)
特開平4-338683 (JP, A)

- (58)調査した分野 (Int.Cl., DB名)
H10N 60/80
H10N 60/12
H10N 60/01
H01L 23/12
H05K 3/46