

(43) 国際公開日
2006 年 4 月 6 日 (06.04.2006)

PCT

(10) 国際公開番号
WO 2006/035503 A1(51) 国際特許分類⁷: H01L 21/8247, 29/788, 29/792, 27/115

(21) 国際出願番号: PCT/JP2004/014254

(22) 国際出願日: 2004 年 9 月 29 日 (29.09.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイルワン エ
ムディ プレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (Spansion Japan Limited) [JP/JP]; 〒9650845 福島
県会津若松市門田町工業団地 6 番 Fukushima (JP).

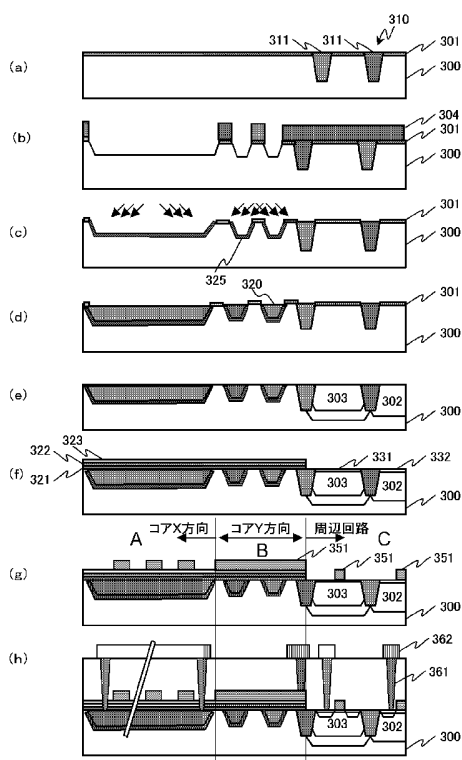
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 南晴宏之 (NAN-
SEI, Hiroyuki) [JP/JP]; 〒9650060 福島県会津若松市
高久工業団地 2 番 Spansion Japan 株式会社内 Fukushima (JP). 東雅彦 (HIGASHI, Masahiko)
[JP/JP]; 〒9650060 福島県会津若松市高久工業団
地 2 番 Spansion Japan 株式会社内
Fukushima (JP).(74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋 1-6-1 三井住友海上テプコビル
Tokyo (JP).(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,
SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置および半導体装置の製造方法

A CORE X DIRECTION
B CORE Y DIRECTION
C PERIPHERAL CIRCUIT(57) Abstract: An SONOS structured cell is provided by making a bit line
diffusion layer in a shallow trench wherein a conductive film is buried. Thus,
resistance of the bit line diffusion layer can be reduced without increasing
the area of the bit line diffusion layer on a semiconductor substrate major
side, and a semiconductor storage device having stable electrical charac-
teristics can be obtained without increasing a cell area. Furthermore, a bit
line is formed by providing an Si_3N_4 side wall and implanting ions. Thus, a
memory cell can be miniaturized.(57) 要約: 導電体膜が埋め込まれたシャロートレンチ溝内にビット
ライン拡散層を設けて SONOS 構造セルとすることとした。これにより、
ビットライン拡散層の半導体基板主面上での面積を大
きくせずにビットライン拡散層の抵抗を低くすることができ、セル
面積を増大させることなく安定した電気的特性の半導体記憶装
置が得られる。また、 Si_3N_4 のサイドウォールを設けてイオン
注入することでビットライン形成することとした。これにより、
メモリセルの微細化が可能となる。



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置および半導体装置の製造方法

技術分野

- [0001] 本発明は、半導体装置および半導体装置の製造方法に関し、より詳細には、ゲート絶縁膜中に電荷を蓄積してデータ保持する半導体装置およびその製造方法に関する。

背景技術

- [0002] 近年、データの書換えが可能な半導体装置である不揮発性メモリが広く利用されている。このような不揮発性メモリの技術分野においては、単位面積あたりのビット量を高めて単位ビットあたりのコストを低減させるための技術開発が進められている。
- [0003] 不揮発性メモリとしては、一般に、NOR型やNAND型のアレイ形式のフローティングゲート式フラッシュメモリが使用されている。このうち、NOR型のアレイ形式のフローティングゲート式フラッシュメモリはランダムアクセスが可能であるという特長を有する反面、各セルごとにビットライン・コンタクトを設けることが必要とされるために高密度化が難しいという問題がある。一方、NAND型のアレイ形式のフローティングゲート式フラッシュメモリはセルを直列接続させてビットライン・コンタクトの数を少なくすることができるとセルの高密度配置が可能となる反面、ランダムアクセスができないという問題がある。また、フローティングゲート型のフラッシュメモリは、一般にそのトンネル絶縁膜の薄膜化が容易ではなく、このことがメモリを大容量化する際の技術的な障害となっている。
- [0004] このような問題に対処するために、フローティングゲート型メモリの閾値を書き込み電荷量により変化させ、これにより1セルに多値データを記憶させるという方法が知られている。これは、通常のフローティングゲート型のフラッシュメモリではフローティングゲートの中に電荷が空間的に一様に蓄えられこの蓄積電荷量を制御することでセル・トランジスタの閾値変化の読み取りがなされるのに対して、ゲート絶縁膜の少なくとも一部を電荷捕獲性の材料で形成しこの部分に捕獲された電荷の量を制御することでセル・トランジスタの閾値の変化を読み取る形式のメモリセルである。具体的には

、ゲート電極直下のゲート絶縁膜構造をON構造もしくはONO構造とし、トランジスタのソース・ドレイン近傍の Si_3N_4 膜に局所的に電荷を蓄積させ、これにより1セル当たり2ビットのデータ記憶を可能とするものである。このような形式のメモリとしては埋め込みビットライン型SONOS式などの形式が知られており、蓄積電荷は絶縁膜中に必ずしも空間的に一様には分布せず、むしろ、電荷の注入ムラなどに起因する非一様性を有することとなる。

[0005] 埋め込みビットライン型SONOS式メモリのセル構造と埋め込みビットライン型のフローティングゲート式メモリのセル構造とを比較すると、同じく埋め込みビットライン型のメモリ・セルでありながら、電荷の保持形態の違いに加え、埋め込みビットライン型SONOS式メモリのセル構造においてはソースラインとビットラインが全く同じものであるという点で異なっている。なお、埋め込みビットライン型SONOS式メモリにおいては、ビットラインは各セルのソースとドレインの役割を果たしているので、以降の説明においては、セルのソースおよびドレインを意味する場合にもビットラインという表現を用いる。

[0006] このような埋め込みビットライン型SONOS式メモリは、フローティングゲート型のセルに比較して構造がシンプルであり、ランダムアクセス可能であるうえに、そのアレイ構造はコンタクトレスであり、1セルに2ビットの情報を記憶できるように高密度の情報記憶が可能であり(セル面積を約1/2に縮小化可能)、産業上極めて有用なデバイスである。ここで、埋め込みビットライン構造とは、SONOS式メモリのビットラインとなるソース・ドレイン拡散層をワードラインの下に形成することにより、NOR型メモリでありながら各トランジスタにビットライン・コンタクト窓を設けることを不要としたアレイ構造である。

[0007] 図1は、埋込みビットライン構造を有するSONOS構造の多値セルを形成するための従来の作製プロセスを説明するための図で、図中100は半導体基板、101は窒化膜などの絶縁膜、102および103はウェル領域、110は素子分離用トレンチ溝、111は素子分離用絶縁膜、112は素子分離形成用レジストパターン、121はトンネル絶縁膜、122はストレージ用窒化膜、123はONO構造の上部酸化膜、124はビットライン拡散層、131および132はゲート酸化膜、151はゲート電極、161はコンタクトホー

ル、そして162は配線である。ここに示した従来例では、周辺回路の素子分離にシャロー・トレンチ・アイソレーション(STI)を用いている。また、メモリセルアレイ部(コア部)はプレーナ型の構造とされている一方、周辺回路部はCMOS構造とされ、コア部と周辺回路部とは異なる構造となっている。

[0008] 図1(a)を参照すると、半導体基板100の主面に絶縁膜101を形成し、この絶縁膜101上に、フォトリソグラフィ技術とエッチング技術とによりレジストパターン112を形成して、素子分離用トレンチ溝110を設ける。例えば、半導体基板100をp型半導体基板とし、絶縁膜101として Si_3N_4 膜を100nm成長させ、レジスト塗布してこれをパターニングし、得られたレジストパターン112を素子分離形成用のマスクとして所定箇所の Si_3N_4 膜と半導体基板をエッチングして深さ350nm程度の素子分離用トレンチ110を形成する。

[0009] 次に、素子分離形成用レジストパターン112を除去して半導体基板100の主面上に埋め込み用絶縁膜を成長させ、CMP法によって絶縁膜101が露出するまで研磨し、素子分離用トレンチ110の内部のみに上記埋め込み用絶縁膜を残して素子分離用絶縁膜111とする。この素子分離用絶縁膜111の形成後に絶縁膜101を除去する(図1(b))。例えば、埋め込み用絶縁膜として550nmの膜厚のHDP(高密度プラズマ)酸化膜を用い、絶縁膜101としての Si_3N_4 膜の除去はリン酸によるエッチングにより実行する。これに続いて、イオン注入により、周辺回路部にウェル領域102、103を形成する(図1(c))。この工程は、例えば、レジストを塗布してこれをパターニングし、このレジストパターンをマスクとして用いてリンをイオン注入するなどして実行される。なお、かかるリンのイオン注入に続いてさらにボロンのイオン注入を行って、ウェル領域103をトリプルウェル構造とするようにしてもよい。

[0010] さらに、トンネル絶縁膜121、ストレージ用窒化膜122、および上部酸化膜123を順次積層させてONO構造を形成し、この積層膜の所定の箇所にフォトリソグラフィ技術によりビットライン拡散層124を形成するための開口部を設ける。そして、これらの開口部からイオン注入してビットライン拡散層124を形成する(図1(d))。この工程は、例えば、HF処理によりコア部および周辺回路部の絶縁膜が除去された半導体基板100の主面を熱酸化して膜厚7nmのトンネル酸化膜を形成し、このトンネル酸化膜

上に10nmの膜厚のCVD窒化膜を堆積し、さらに、CVD窒化膜の表面を熱酸化して10nmの膜厚の上部酸化膜を形成してONO構造とする。また、ビットライン拡散層形成用の開口部から加速電圧50KeVでドーズ量 $1.0 \times 10^{15} \text{cm}^{-2}$ の砒素をイオン注入してビットライン拡散層124が形成される。なお、上記ONO構造はコア部のみならず周辺回路部にも形成されることとなるが、このONO構造は周辺回路部には不要であるため、レジストパターニング技術により周辺回路部のONO構造を除去する(図1(e))。

[0011] これに続き、熱酸化により、互いに膜厚が異なる周辺回路用ゲート絶縁膜131および132を形成する(図1(f))。これらのゲート絶縁膜131、132は、例えば、先ず900℃の熱処理により8nmのゲート絶縁膜を形成し、レジストパターニングとHF処理を施した後に、再度900℃で熱酸化して10nmの膜厚の熱酸化膜を形成することで、その膜厚を10nmと13nmのように異ならせることができる。

[0012] このようなゲート絶縁膜の形成後、ONO構造およびゲート絶縁膜の上にゲート電極用導電性膜を成長させ、これにレジストパターニングとエッチング処理を施してワードラインおよび周辺回路のゲート電極151を形成する(図1(g))。このゲート電極用導電性膜は、例えば、熱CVD法により成長させた厚み180nmのポリシリコン膜とする。最後に、レジストパターニングとイオン注入により、周辺回路部にソース・ドレイン領域を形成し、必要に応じて、シリサイド形成、層間絶縁膜成長、コンタクトホール161、および配線162を形成する(図1(h))。

[0013] このような片側1ビットの従来のSONOS構造のセル・トランジスタは以下のような動作をする。すなわち、ドレイン近傍において、書き込み動作時にはチャネルホットエレクトロンが、消去動作時にはバンド間トンネリングによるホットホールが生成するが、これらの電子やホールはゲート絶縁膜中にトラップされる。一方、読み出し動作時には、ソースとドレインを反転させてトラップされた電荷の正負の電荷量の違いによる閾値の違いを検出する。片側1ビットSONOS構造のセルを高密度に配置するため、アレイには上述の埋め込み型のビットラインが用いられ、このビットラインは、書き込み・消去動作時のドレイン、読み出し動作時のソースを兼ねている。また、埋め込みビットラインを備えるプレーナ型SONOS構造のセルでは、上述のONO膜

によりビットライン拡散層とワードラインとの間の分離がなされる。

発明の開示

発明が解決しようとする課題

- [0014] 図2は、埋め込みビットラインを有するSONOS構造セルの概念的な平面図(図2(a))および図2(a)のA-A'、B-B'、C-C'およびD-D'に沿う各断面図(図2(b))である。図中、符号201はワードラインWL、符号202はビットラインBL、符号203はビットライン・コンタクト、そして符号204はゲート絶縁膜である。このSONOS構造セルはNOR型セルでありながら、通常は複数のワードライン(WL:201)毎に1つのビットライン・コンタクト203が配置されている。これは、ビットライン(拡散層)202がゲート絶縁膜204を介してワードライン201下に形成されていることによるメリットである。
- [0015] しかしながら、セルの微細化に伴ってビットライン拡散層202の幅は狭くなり、また短チャネル化を防止のために注入イオンのドーズ量を低くする必要性があることから、ビットライン拡散層202の抵抗が高くなり、結果としてコンタクトの数を増やさなければならなくなる。これは、ビットライン拡散層202の抵抗が高くなると、動作時(例えば、プログラム時)にビットラインを流れる電流による電圧効果の影響により、ビットライン・コンタクト203のすぐ横に位置しているワードライン201とビットライン・コンタクト203から離れて設けられているワードライン201のそれぞれに接続されているセルへの実効的な印加電圧が異なるために、各セル間においてビットライン・コンタクト203からの距離に依存した特性差を生じてしまうためである。
- [0016] したがって、セルの微細化を進める上では、例えば、16ワードライン毎にビットライン・コンタクト203を設けるレイアウトから、8ワードライン毎にビットライン・コンタクト203を設けるレイアウトへと変更することが必要となる。しかしながら、このようなレイアウトでは、埋め込みビットラインSONOS構造セルの利点であるところの小さなセル面積という技術的特長を損なうこととなってしまう。このような問題を解決するためには、ビットライン拡散層202の基板面上での平面的な表面積を大きくせずにビットライン拡散層202の抵抗を低くするという選択があり得る。
- [0017] 本発明は、かかる問題に鑑みてなされたもので、その目的とするところは、ビットライン拡散層をシャロートレンチの中に形成し、セル面積を増大させることなく安定した電

気的特性が得られる構成の埋め込みビットラインSONOS構造セルを提供することにある。

- [0018] また、本発明の他の目的は、埋め込みビットライン型不揮発メモリの微細化に適した製造方法を提供し、かつコンタクトの位置ずれに起因するビットライン間ショートを生じ難い構造を提供することにある。

特に、埋め込みビットライン型SONOS式メモリに対しては、ビットラインの不純物の拡散による横方向の拡がりを抑制し、ビットライン抵抗を小さくすることが可能な技術の提供を目的とする。

課題を解決するための手段

- [0019] 本発明は、かかる課題を解決するために、本発明の半導体装置は、埋め込みビットライン構造を有し、ビットラインが内部に埋め込まれた溝の内面に導電層を備えている構成である。好ましくは、前記導電層は、不純物拡散層である。また、好ましくは、前記不純物拡散層は、イオン注入により形成されたものである。また、前記溝は、基板主面に設けられたトレンチ溝とすることができる。好ましくは、前記溝の側壁に形成された不純物拡散層中の不純物濃度は、該溝の底面に形成された不純物拡散層中の不純物濃度に比較して低濃度である。さらに好ましくは、前記溝の側壁に形成された不純物拡散層表面に絶縁膜が設けられている。また、前記溝の内面には、底面の不純物拡散層表面上に形成された高融点金属のシリサイド膜が設けられている。前記高融点金属は、例えば、TiまたはCoである。

- [0020] 本発明の第1の半導体装置の製造方法は、半導体基板の主面上に素子分離により埋め込みビットライン形成領域を画定する第1のステップと、前記画定された埋め込みビットライン形成領域に溝を形成する第2のステップと、前記溝の内面に導電層を形成する第3のステップと、前記溝内に導電体膜を埋め込む第4のステップと、を備えている構成である。好ましくは、前記第2のステップにより形成される溝は、エッチングにより形成されたトレンチ溝である。また、好ましくは、前記第3のステップにより形成される導電層は、イオン注入により形成された不純物拡散層である。

- [0021] さらに好ましくは、前記第3のステップにおけるイオン注入は、第1および第2のイオン注入工程からなり、第1のイオン注入により前記溝の側壁にイオンを打ち込む第1

のサブステップと、前記溝の側壁に形成された不純物拡散層表面に絶縁膜を形成する第2のサブステップと、第2のイオン注入により前記溝の底部にイオンを打ち込む第3のサブステップと、を備えている。前記第3のサブステップに続いて、前記溝底面の不純物拡散層表面上に高融点金属のシリサイド膜を形成する第4のサブステップを備えるようにしてもよい。

[0022] 好ましくは、第4のステップにおける前記溝内への導電膜の埋め込みは、一様に成膜された導電膜をCMP処理して前記溝内の導電膜を残存させることにより実行されるものである。また、好ましくは、前記第3のステップは、前記半導体基板の主面に窒化珪素のサイドウォールを予め設ける工程を備え、当該ステップにおいてイオン注入される領域は、前記サイドウォールによりセルフアラインされる。

[0023] 本発明の第2の半導体装置の製造方法は、半導体基板の主面上に、コラム方向に延在する電極を形成する第1のステップと、前記電極の側壁に窒化珪素のサイドウォールを形成する第2のステップと、前記窒化珪素のサイドウォールをマスクとしてイオン注入しビットラインをセルフアライン形成する第3のステップと、前記半導体基板上にロウ方向に延在するワードラインを形成する第4のステップと、前記ワードラインが設けられていない領域の前記コラム方向に延在する電極の一部を除去して複数の電極に分離する第5のステップと、を備えている構成である。好ましくは、前記半導体基板の主面には酸化膜-窒化膜-酸化膜の積層膜(ONO膜)が予め設けられており、前記第1のステップは、前記電極で被覆されていない領域の前記ONO膜のうちの少なくとも窒化膜を除去する工程を備えている。

[0024] また、好ましくは、前記第2のステップは、前記電極の側壁下端部の前記半導体基板表面近傍領域にイオン注入してコアポケットを形成する工程を備えている。また、好ましくは、前記第3のステップにおけるイオン注入は、前記電極下端部から所定の間隔だけ離隔したオフセット領域に実行されるものである。さらに好ましくは、前記第3のステップは、少なくとも前記ビットラインの露出表面をシリサイド化するサブステップを備えている。

発明の効果

[0025] 本発明によれば、導電体膜が埋め込まれたシャロートレンチ溝内にビットライン拡散

層を設けてSONOS構造セルとすることができるので、ビットライン拡散層の半導体基板主面上での面積を大きくせずにビットライン拡散層の抵抗を低くすることができ、セル面積を増大させることなく安定した電気的特性の半導体記憶装置が得られる。

[0026] また、本発明によれば、 Si_3N_4 のサイドウォールを設けてイオン注入することでビットライン形成することとしたので、メモリセルの微細化が可能となる。

[0027] さらに、トレンチ溝内にビットライン拡散層をイオン注入により形成する手法と、 Si_3N_4 のサイドウォールを設けてイオン注入することでビットライン形成する手法とを組み合わせ、ビットラインをセルフアライン形成した埋込みビットライン構造のSONOS構造とすれば、セル面積を増大させることなく安定した電気的特性を得ることと、メモリセルの微細化とを同時に実現することが可能となる。

図面の簡単な説明

[0028] [図1](a)～(h)は埋込みビットライン構造を有するSONOS構造の多値セルを形成するための従来の作製プロセスを説明するための図である。

[図2]埋め込みビットラインを有するSONOS構造セルの概念的な平面図(a)および図(a)のA-A'、B-B'、C-C'およびD-D'に沿う各断面図(b)である。

[図3](a)～(h)は本発明の埋込みビットライン構造を有するSONOS構造の多値セルを形成するための本実施例の作製プロセスを説明するための図である。

[図4](a)～(e)は本発明の埋込みビットライン構造を有するSONOS構造の多値セルを形成するための第2の作製プロセスを説明するための図である。

[図5]実施例3の埋込みビットライン構造を有するSONOS構造の多値セルを形成するためのプロセスを説明するための図で、単一のダイ領域の上面概略図である。

[図6]実施例3の埋込みビットライン構造を有するSONOS構造の多値セルを形成するためのプロセスを説明するための図で、図(a)はダイのコア部から周辺回路部に至る断面の概略図、図(b)は図(a)に続きONO膜を形成した後の断面概略図、図(c)は図(b)に続く工程後の該当部の断面概略図、図(d)は図(a)に続く工程後の該当部の断面概略図である。

[図7]実施例3の埋込みビットライン構造を有するSONOS構造の多値セルを形成するためのプロセスを説明するための図で、図6(d)の状態のダイの上面概略図である。

。

[図8]実施例3の埋込みビットライン構造を有するSONOS構造の多値セルを形成するためのプロセスを説明するための図で、図(a)は図6(d)に続く工程後の該当部の断面概略図、図(b)はコアポケットへのイオン注入角度を0度とした場合の図6(d)に続く工程後の該当部の断面概略図、図(c)は図(b)に続いて2回目のイオン注入を実行してビットラインBLを形成した後の該当部の断面概略図、図(d)は図(a)に続く工程後の該当部の断面概略図である。

[図9]実施例3の埋込みビットライン構造を有するSONOS構造の多値セルを形成するためのプロセスを説明するための図で、図8(a)に続く工程後のダイの上面概略図である。

[図10]実施例3の埋込みビットライン構造を有するSONOS構造の多値セルを形成するためのプロセスを説明するための図で、図(a)は図8(d)に続くサリサイド工程後の該当部の断面概略図、図(b)は図(a)に続く工程後の該当部の断面概略図、図(c)は図(b)に続く工程後の該当部の断面概略図、図(d)は図(c)に続く工程後の該当部の断面概略図、図(e)は図(d)に続く工程後の該当部の断面概略図である。

[図11]実施例3の埋込みビットライン構造を有するSONOS構造の多値セルを形成するためのプロセスを説明するための図で、図(a)および図(b)は、図10(e)に続く工程後における、ワードラインおよびこの上の周辺配線に該当する部分およびワードラインおよびワードライン上にない部分の周辺配線に該当する部分の断面概略図である。

[図12]実施例3の埋込みビットライン構造を有するSONOS構造の多値セルを形成するためのプロセスを説明するための図で、図11(a)および図11(b)に示した周辺配線を有するダイの上面概略図である。

[図13]実施例3の埋込みビットライン構造を有するSONOS構造の多値セルを形成するためのプロセスを説明するための図で、図(a)および図(b)は各々、図11(a)および図11(b)に続く工程後における該当部の断面概略図である。

[図14]実施例3の埋込みビットライン構造を有するSONOS構造の多値セルを形成するためのプロセスを説明するための図で、図(a)および図(b)は各々、図13(a)お

よび図13(b)に続く工程後における該当部の断面概略図である。

[図15]実施例3の埋込みビットライン構造を有するSONOS構造の多値セルを形成するためのプロセスを説明するための図で、ダイの上面概略図である。

[図16]実施例3の埋込みビットライン構造を有するSONOS構造の多値セルを形成するためのプロセスを説明するための図で、コア部に設けられているコンタクト孔に位置ずれがある状態を示す図である。

[図17]実施例3におけるセルの作製プロセスにおいて図10(a)で説明した工程に対応するものである。

[図18](a)～(e)は、図17に示した構造を形成するためのプロセスを説明する図である。

発明を実施するための最良の形態

[0029] 以下に図面を参照して、本発明の実施の形態について説明する。

実施例 1

[0030] 図3は、本発明の埋込みビットライン構造を有するSONOS構造の多値セルを形成するための本実施例の作製プロセスを説明するための図で、図中300は半導体基板、301は窒化膜などの絶縁膜、302および303はウェル領域、304はビットライン形成用マスク、305はビットライン形成用シャロートレンチ溝、310は素子分離用トレンチ溝、311は素子分離用絶縁膜、321はトンネル絶縁膜、322はストレージ用窒化膜、323はONO構造の上部酸化膜、324はトレンチ溝内ビットライン拡散層、320はビットライントレンチ内に埋め込まれた導電体膜、331および332はゲート酸化膜、351はゲート電極、361はコンタクトホール、そして362は配線である。

[0031] 図3(a)を参照すると、半導体基板300の主面に絶縁膜301を形成し、この絶縁膜301上に、フォトリソグラフィ技術とエッチング技術とによりレジストパターンを形成して素子分離用トレンチ溝310を設け、半導体基板300の主面上に埋め込み用絶縁膜を成長させ、CMP法によって絶縁膜301が露出するまで研磨し、素子分離用トレンチ310の内部のみに上記埋め込み用絶縁膜を残して素子分離用絶縁膜311とする。

[0032] 例えば、半導体基板300をp型半導体基板とし、絶縁膜301としてSi₃N₄膜を100nm

m成長させ、レジスト塗布してこれをパターニングし、得られたレジストパターンを素子分離形成用のマスクとして所定箇所の Si_3N_4 膜と半導体基板をエッチングして深さが350nm程度の素子分離用トレンチ310を形成する。そして、埋め込み用絶縁膜として例えば550nmの膜厚のHDP(高密度プラズマ)酸化膜を成長させ、CMP法により素子分離用トレンチ310内にのみHDP酸化膜が残るようにする。なお、絶縁膜301としての Si_3N_4 膜の除去はリン酸によるエッチングにより実行する。

[0033] これに続いて、レジストパターニングにより、ビットライン形成用マスク304を形成し、エッチングによりビットライン形成用シャロートレンチ溝305を形成する(図3(b))。このエッチングは、ビットライン形成用マスク304の開口部から Si_3N_4 膜をエッチングし、さらに半導体基板300を例えば100nm程度エッチングする。この後ビットライン形成用マスク304を除去し、イオン注入によりトレンチ溝内ビットライン拡散層324を形成する(図3(c))。このときのイオン注入条件は、例えば、加速電圧を35KeV、砒素のドーズ量を $2 \times 10^{15} \text{cm}^{-2}$ とし、トレンチ溝の側面へもイオンが打ち込まれるようにチルト角30度の2方向注入ないしは4方向注入とする。

[0034] 膜厚が100nmの窒化膜を貫通させて下地の半導体基板300(Si基板)に砒素イオンを注入するのに必要な加速エネルギーは110KeV以上であるので、ビットライン用トレンチ溝305以外の領域の半導体基板300に砒素イオンが注入されることはない。すなわち、ビットライン用トレンチ溝305内にのみ砒素イオンが注入されることとなる。なお、ビットライン形成用マスク304を残したままビットライン用トレンチ溝305内にイオン注入するようにすることも可能であるが、この場合のイオン注入は、ビットライン形成用マスク304の高さを考慮してイオン注入時のチルト角を設定することとなる。

[0035] 次に、半導体基板300の主面全面に導電体膜を成長させ、これをCMP処理してビットライン形成用シャロートレンチ溝305内にのみ導電体膜320が埋め込まれるようにする(図3(d))。つまり、シャロートレンチ溝305の内面に導電体膜320を備えた構造である。この導電体膜320としては、例えば、 $1 \times 10^{20} \text{cm}^{-3}$ のリン濃度の膜厚200nmのポリシリコン膜とし、これをCMP処理してビットライン形成用シャロートレンチ溝305内への導電体膜320の埋め込みを行う。この後、絶縁膜301を除去し、イオン注入により、周辺回路部にウェル領域302、303を形成する(図3(e))。この工程は、例えば

、レジストを塗布してこれをパターニングし、このレジストパターンをマスクとして用いてリンをイオン注入するなどして実行される。なお、かかるリンのイオン注入に続いてさらにボロンのイオン注入を行って、ウェル領域303をトリプルウェル構造とするようにしてもよい。

[0036] さらに、トンネル絶縁膜321、ストレージ用窒化膜322、および上部酸化膜323を順次積層させてONO構造を形成し、フォトリソグラフィ技術により、周辺回路部のONO構造を除去し、互いに膜厚が異なる周辺回路用ゲート絶縁膜331および332を熱酸化により形成する(図3(f))。この工程は、例えば、HF処理によりコア部および周辺回路部の絶縁膜が除去された半導体基板300の主面を熱酸化して膜厚7nmのトンネル酸化膜を形成し、このトンネル酸化膜上に10nmの膜厚のCVD窒化膜を堆積し、さらに、CVD窒化膜の表面を熱酸化して10nmの膜厚の上部酸化膜を形成してONO構造とする。また、ゲート絶縁膜331、332は、例えば、先ず900℃の熱処理により8nmのゲート絶縁膜を形成し、レジストパターニングとHF処理を施した後に、再度900℃で熱酸化して10nmの膜厚の熱酸化膜を形成することで、その膜厚を10nmと13nmのように異ならせることができる。

[0037] このようなゲート絶縁膜の形成後、ONO構造およびゲート絶縁膜の上にゲート電極用導電性膜を成長させ、これにレジストパターニングとエッチング処理を施してワードラインおよび周辺回路のゲート電極351を形成する(図3(g))。このゲート電極用導電性膜は、例えば、熱CVD法により成長させた厚み180nmのポリシリコン膜とする。最後に、レジストパターニングとイオン注入により、周辺回路部にソース・ドレイン領域を形成し、必要に応じて、シリサイド形成、層間絶縁膜成長、コンタクトホール361、および配線362を形成する(図3(h))。

[0038] このようにして、導電体膜320が埋め込まれたシャロートレンチ溝305内にビットライン拡散層324が設けられたSONOS構造セルが得られ、ビットライン拡散層の半導体基板主面上での面積を大きくせずにビットライン拡散層の抵抗を低くすることができる。これにより、セル面積を増大させることなく安定した電気的特性の半導体記憶装置が得られる。

実施例 2

- [0039] 本実施例は、埋め込みビットラインの拡散層の抵抗を、実施例1におけるビットライン拡散層の抵抗に比較してさらに低くする場合のセルの作製プロセスに関するものである。
- [0040] 図4は、本実施例の埋込みビットライン構造を有するSONOS構造の多値セルを形成するための作製プロセスを説明するための図で、図中の符号312はビットライン形成用シャロートレンチ溝305の側壁に設けられた導電性もしくは絶縁性の膜であり、325および326は第1および第2のビットラインの拡散層である。なお、図3に示したものと同一要素には同じ符号を付して図示している。
- [0041] 図3(a)を用いて説明したのと同様にして素子分離用トレンチ310の内部に素子分離用絶縁膜311を形成した後に、レジストパターンニングにより、ビットライン形成用マスク304を形成し、エッチングによりビットライン形成用シャロートレンチ溝305を形成する(図4(a))。このエッチングは、ビットライン形成用マスク304の開口部から Si_3N_4 膜をエッチングし、さらに半導体基板300を例えば100nm程度エッチングする。
- [0042] この後ビットライン形成用マスク304を除去し、イオン注入(I_1^2)により第1のトレンチ溝内ビットライン拡散層325を形成する(図4(b))。このときのイオン注入条件は、後述する第2のトレンチ溝内ビットライン拡散層形成のためのイオン注入よりも少ない注入量とされ、例えば、加速電圧を20KeV、砒素のドーズ量を $5 \times 10^{14} \text{cm}^{-2}$ とし、トレンチ溝の側面へもイオンが打ち込まれるようにチルト角30度の2方向注入ないしは4方向注入とする。
- [0043] 次に、導電膜もしくは絶縁膜を半導体基板300の主面全面に成膜し、ビットライン形成用シャロートレンチ溝305の側面にのみ当該膜312が残るように異方性エッチングを施す(図4(c))。この工程は、トランジスタの側壁にサイドウォールを形成するのと同様の要領で実行することができる。具体的には、例えば膜厚が50nmの酸化膜を成長させ、これを異方性エッチングしてシャロートレンチ溝305の側面にのみ当該膜312を残す。なお、この膜312を導電膜であるポリシリコン膜としてもよい。この絶縁膜312は保護膜として作用する。
- [0044] さらに、絶縁膜301および膜312をマスクとして、2回目のイオン注入(I_2^2)を施し、シャロートレンチ溝305の底部に第2のトレンチ溝内ビットライン拡散層326を形成す

る(図4(d))。このときのイオン注入条件は、既に述べたように、第1のトレンチ溝内ビットライン拡散層形成のためのイオン注入よりも高い注入量とされ、例えば、加速電圧を35KeV、砒素のドーズ量を $2 \times 10^{15} \text{cm}^{-2}$ とし、トレンチ溝の底部のみにイオン注入されるようにチルト角を0度とする。なお、所望により、トレンチ溝の側面へもイオンが打ち込まれるチルト角として2方向注入ないしは4方向注入としてもよい。

[0045] なお、図示はしないが、図4(d)の工程に続いて、トレンチ溝内ビットライン拡散層326の上部に、高融点金属(例えば、TiやCoなど)によるシリサイド膜を形成しておくようにしてもよい。図4(d)に示されているように、Si表面が露出しているのはトレンチ溝内ビットライン拡散層326のみであるから、公知のシリサイド膜形成法により、このトレンチ溝内ビットライン拡散層326の上部にのみシリサイド膜を形成することは容易である。シリサイドの形成条件としては、例えば、先ず高融点金属を成長させ、Si面に接している高融点金属のみを熱処理によりシリサイド化する。そして、シリサイド化しなかった高融点金属はウェット処理により除去し、シリサイド化した高融点金属に再度の熱処理を施して低抵抗化する。

[0046] 次に、半導体基板300の主面全面に導電体膜を成長させ、これをCMP処理してビットライン形成用シャロートレンチ溝305内にのみ導電体膜320が埋め込まれるようにする(図4(e))。この導電体膜320としては、例えば、 $1 \times 10^{20} \text{cm}^{-3}$ のリン濃度の膜厚200nmのポリシリコン膜とし、これをCMP処理してビットライン形成用シャロートレンチ溝305内への導電体膜320の埋め込みを行う。

[0047] この後、図3(e)を用いて説明したように、絶縁膜301を除去し、イオン注入により、周辺回路部にウェル領域302、303を形成する。この工程においても、例えば、レジストを塗布してこれをパターニングし、このレジストパターンをマスクとして用いてリンをイオン注入するなどして実行される。なお、かかるリンのイオン注入に続いてさらにボロンのイオン注入を行って、ウェル領域303をトリプルウェル構造とするようにしてもよい。

[0048] さらに、図3(f)同様に、トンネル絶縁膜321、ストレージ用窒化膜322、および上部酸化膜323を順次積層させてONO構造を形成し、フォトリソグラフィ技術により、周辺回路部のONO構造を除去し、互いに膜厚が異なる周辺回路用ゲート絶縁膜331

および332を熱酸化により形成する。この工程は、例えば、HF処理によりコア部および周辺回路部の絶縁膜が除去された半導体基板300の主面を熱酸化して膜厚7nmのトンネル酸化膜を形成し、このトンネル酸化膜上に10nmの膜厚のCVD窒化膜を堆積し、さらに、CVD窒化膜の表面を熱酸化して10nmの膜厚の上部酸化膜を形成してONO構造とする。また、ゲート絶縁膜331、332は、例えば、先ず900℃の熱処理により8nmのゲート絶縁膜を形成し、レジストパターニングとHF処理を施した後に、再度900℃で熱酸化して10nmの膜厚の熱酸化膜を形成することで、その膜厚を10nmと13nmのように異ならせることができる。

[0049] このようなゲート絶縁膜の形成後、ONO構造およびゲート絶縁膜の上にゲート電極用導電性膜を成長させ、これにレジストパターニングとエッチング処理を施してワードラインおよび周辺回路のゲート電極351を形成する。このゲート電極用導電性膜は、例えば、熱CVD法により成長させた厚み180nmのポリシリコン膜とする。最後に、レジストパターニングとイオン注入により、周辺回路部にソース・ドレイン領域を形成し、必要に応じて、シリサイド形成、層間絶縁膜成長、コンタクトホール361、および配線362を形成する。

[0050] このようにして、導電体膜320が埋め込まれたシャロートレンチ溝305内に第1および第2のビットライン拡散層325および326が設けられたSONOS構造セルが得られる。このセルのビットライン拡散層は第1のビットライン拡散層325と第2のビットライン拡散層326とで構成され、実施例1のセルよりもさらにビットライン拡散層の抵抗を低くすることができる。これにより、セル面積を増大させることなくさらに安定した電気的特性の半導体記憶装置が得られる。

実施例 3

[0051] 本実施例は、コア部に設けられたゲート電極(下部)の側壁に形成された Si_3N_4 のサイドウォールを用いてイオン注入を行い、これによりビットラインをセルフアラインで形成した本発明の埋込みビットライン構造を有するSONOS構造の多値セルを形成する例である。詳細は後述するが、 Si_3N_4 のサイドウォールを用いてイオン注入することで狭い領域にイオンを打ち込むことができ、細い線幅でビットラインを形成することが可能となる。また、サイドウォールとして Si_3N_4 を用いることとしているために、ビットラ

インへのセルフアライン・コンタクトが可能となる。

[0052] 図5ー14は、本実施例の埋込みビットライン構造を有するSONOS構造の多値セルを形成するためのプロセスを説明するための図である。

[0053] 図5は単一のダイ領域の上面概略図で、1つのダイ領域500はコア部501と周辺回路部502とを含む。コア部501の外周部には、素子分離境界503、第1のコアウェル境界504、および第2のコアウェル境界505が設けられている。また、周辺回路部502の一部には、第1の周辺ウェル境界506および第2の周辺ウェル境界507で区画された領域内に、素子分離境界508a、508b、および508cで画定された領域が設けられている。なお、後述するように、コア部501にはメモリセルトランジスタのアレイが形成され、周辺回路部502には周辺トランジスタおよびその他の素子が多数形成されることになる。

[0054] 図6(a)は、ダイのコア部から周辺回路部に至る断面の概略図である。半導体基板50中には第1および第2のウェルが形成されており、後に活性領域となる領域の半導体基板50表面は犠牲膜53により被覆されている。また、活性領域を区分けするための素子分離領域にはシャロートレンチ54が形成されている。なお、埋め込みビットライン型SONOS式メモリにおいては、その特徴としてコア部501内部に素子分離領域を設けることは必須ではない。従って、この図に示したウェル構造は、埋め込みビットライン型SONOS式メモリに関して必ずしも必須のものというわけではない。具体的な作製プロセスは、半導体基板50としてシリコン基板を、犠牲膜53として熱酸化により形成されるシリコン酸化膜を、素子分離構造として公知の方法により形成されるシャロートレンチ54を、ウェル51、52としてパターニングされたフォトリソをマスクとして使用してその開口部から所定領域に所定深さでイオン注入法により注入されたボロンおよびリンおよび砒素を用いる。

[0055] 図6(b)は、図6(a)に続きONO膜を形成した後の断面概略図である。コア部501には半導体基板50の主面側から、トンネル膜521、ストレージ膜522、およびトップ膜523が順次積層されており、周辺回路部502に設けられた活性領域には厚いゲート絶縁膜531と薄いゲート絶縁膜532が形成されている。なお、活性領域の半導体基板50中には、それぞれ閾値調整用の不純物注入 I_a^2 ー I_d^2 がなされている。具体的

な作製プロセスは、図6(a)の状態から、閾値調整としてボロン、リン、または砒素などの不純物を打ち込み、トンネル膜521として犠牲膜53としてのシリコン酸化膜をフッ酸(HF)で半導体基板50の主面全面から剥離した後に熱酸化法により形成されるシリコン酸化膜を形成する。また、ストレージ膜522としては半導体基板50上のウェーハ全面に熱CVD法により堆積されるシリコン窒化膜を、トップ膜523としてはストレージ膜522である窒化膜の表面を熱酸化して形成されたシリコン酸化膜または当該窒化膜上に熱CVD法で堆積されたシリコン酸化膜を用いる。

[0056] 厚いゲート絶縁膜531は、2度の熱酸化を行ういわゆる「ダブルゲートプロセス」の結果として膜厚が厚くなるもので、フォトレジストをパターニングしてコア部501を覆い、ドライエッチングにより周辺回路部502に形成されているトップ膜523とストレージ膜522とを除去し、さらにフッ酸により周辺回路部502のトンネル膜521を除去し、シリコン酸化膜(熱酸化膜)を形成する。

[0057] また、薄いゲート絶縁膜532としては、厚いゲート絶縁膜531を形成した後にレジストをパターニングし、所定の位置を開口してこの開口部からフッ酸によるエッチングを施して、その領域に熱酸化法により形成されたシリコン酸化膜を用いる。なお、トンネル膜(SiO_2)521とストレージ膜(Si_3N_4)522とトップ膜(SiO_2)523の積層膜がONO膜となる。

[0058] 図6(c)は、図6(b)に続く工程後の該当部の断面概略図である。コア部501には、上記ONO膜の上にゲート電極膜55とキャップ膜56とが積層されて形成されており、周辺回路部502にはゲート電極膜55のみが形成されている。詳細は後述するが、このようにしておくと、コア部501のワードラインと周辺回路部502のプラグと配線とを同時に形成することができるようになる。具体的な作製プロセスは、ゲート電極膜55としては、熱CVD法により形成されたドーフト(またはアンドーフト)・アモルファスシリコンまたはドーフト(またはアンドーフト)・ポリシリコンを用いる。キャップ膜56としては、熱CVD法またはプラズマCVD法により堆積されるシリコン窒化膜を用い、さらにパターニングしたレジストをマスクとして用いたドライエッチングにより周辺回路部502のキャップ膜56だけを除去する。

[0059] 図6(d)は、図6(a)に続く工程後の該当部の断面概略図である。コア部501ではゲ

ート電極551の下部となる部分551aが、周辺回路部502ではゲート電極551および低濃度ドーパドレイン(LDD)57が形成されている。

[0060] 図7は、図6(d)の状態のダイの上面概略図である。ここで注意すべき点は、この時点でコア部501に残っているゲート電極下部551aは、最終的な半導体装置においてすべてが残るわけではないことである。すなわち、この段階ではゲート電極下部551aはビットライン方向(コラム方向)に伸びた複数のストライプ状に形成されており、後述の工程でワードライン方向(ロウ方向)に複数に分離される。

[0061] 図8(a)は、図6(d)に続く工程後の該当部の断面概略図である。コア部501のゲート電極下部551aが設けられていない部分のONO膜のトップ膜523とストレージ膜522とが除去されている。これにより、ストレージ膜522が後述するビットラインの上に重ならない構造とすることができ、書き換え耐性の向上が期待できる。また、コア部501には、所定のチルト角でイオン注入を行うことによりコアポケット58が形成されている(ポケット構造)。これにより、ビットライン間隔が狭くなると生じ易くなる短チャンネル効果を抑制することができる。従来方法のようにビットラインをレジストマスクによりイオン注入して形成する場合には、最小線幅が130nmを下回るとビットライン形成が困難になり、とりわけ最小線幅が90nmを下回る場合にはその形成は極めて困難となる。これに対して、上述した本発明の方法では、ゲート電極下部551aをマスクとしてコアポケット58を形成するため、レジストマスクを用いる従来方法に比較してビットラインの微細化が可能となる。

[0062] 図8(b)は、コアポケット58へのイオン注入角度を0度とした場合の図6(d)に続く工程後の該当部の断面概略図である。図8(a)では、所定のチルト角でイオン注入してゲート電極下部551aの下端領域にコアポケット58を形成したが、この図では、イオン注入角度を0度としてゲート電極下部551a相互間の半導体基板50主面領域にコアポケット58を形成している。また、図8(c)は、図8(b)に続いて2回目のイオン注入を実行してビットラインBLを形成した後の該当部の断面概略図である。

[0063] 図6(d)、図8(a)、図8(b)、および図8(c)に示した各構造は、具体的には、レジストをパターニングしてキャップ膜56およびゲート電極膜55をドライエッチングして上記のコア部501のゲート電極下部551aおよび周辺回路部502のゲート電極551の構

造を実現できる。また、LDD57は、所定部分を開口させたレジストおよび周辺回路部502のゲート電極551自体をマスクとして用いてイオン注入することにより形成できる。さらに、コア部501のコアポケット58およびビットラインBLは、コア部501を開口したレジストとコア部501のゲート電極下部551aをマスクとして用いてイオン注入することにより形成できる。

[0064] 図8(c)に示した時点でビットライン注入を行うと、周辺回路部502のゲート電極551の側壁およびコア部501のゲート電極下部551aの側壁の酸化、周辺回路部502のLDD57の不純物活性化、ならびにコア部501のコアポケット58の不純物活性化の後にビットライン注入することができるので、従来の方法で形成されるビットラインに比較して不純物拡散が抑制されて、微細化に有利である。

[0065] 図8(d)および図9は、図8(a)に続く工程後の該当部の断面概略図およびダイの上面概略図である。コア部501のゲート電極下部551aおよび周辺回路部502のゲート電極551にはサイドウォール59が、ゲート電極551およびサイドウォール59に被覆されずに露出している活性領域には、コア部501のビットラインBLと周辺回路部502のソース・ドレインS/Dが形成されている。具体的な作製プロセスとしては、サイドウォール59は熱CVD法によりウェーハ全面に形成されたシリコン窒化膜を非等方的にエッチバックすることにより形成される。また、ビットラインBLはコア部501にのみ開口部を有するレジストマスクとコア部501のゲート電極下部551aおよびこのゲート電極下部551a側壁のサイドウォール59をマスクとして砒素を注入することにより形成される。そして、周辺回路部502のソース・ドレインS/Dは周辺回路部502にのみ開口部を有するレジストマスクとゲート電極551およびこのゲート電極551側壁のサイドウォール59をマスクとして砒素またはリンあるいはボロンの不純物を注入することにより形成することができる。

[0066] 図8(d)に図示したように、サイドウォール59をマスクとしてビットラインBLを形成すると、リソグラフィの限界を超えた細さの領域にビットライン注入することが可能となるため、ビットラインの微細化に有利である。また、後続の工程を経た後でも、熱バジェットを一定値よりも小さくすることで、ゲート電極下部551aとビットラインBLとの接合間にオフセット(OS)をもたせたり、あるいはこの接合位置とゲート電極下部551aのエッ

ジの横方向の位置とを一致させることができる。これにより、プログラム時に注入される負の電荷と消去時に注入される正の電荷の位置ずれを抑えることができ、書き換え耐性が向上する。

[0067] 図10(a)は、図8(d)に続くサリサイド工程後の該当部の断面概略図である。コア部501に形成されたビットラインBLの表面、周辺回路部502に形成されたソース・ドレインS/Dの露出部表面、コア部501のゲート電極下部551a側壁のサイドウォール59およびキャップ膜56で被覆されずに露出しているゲート電極下部551a側壁面、周辺回路部502のゲート電極551側壁のサイドウォール59で被覆されずに露出している側壁面と上面、がシリサイド化(図中に波線で示した部分)されている。この工程には、コバルトを用いた従来のサリサイドプロセスを適用可能である。なお、図10(a)に見られるコア部501のゲート電極下部551a側壁のサイドウォール59およびキャップ膜56で被覆されずに露出している表面のシリサイドは、プロセス上不可避免的に形成されるものであって技術上の特別な役割を果たすわけではない。

[0068] 図10(b)は、図10(a)に続く工程後の該当部の断面概略図である。コア部501のゲート間および周辺回路部502のウェーハ主面上にギャップフィル膜560が形成されて表面が平坦化されている。具体的な作製プロセスとしては、ギャップフィル膜560として、BPSGやTEOSあるいはHDPなどのCVD法によるシリコン酸化膜を堆積し、CMP法でコア部501に設けられているゲート上のキャップ膜56をパッド膜としてポリッシュすることにより上記の構造を実現できる。

[0069] 図10(c)は、図10(b)に続く工程後の該当部の断面概略図である。コア部501に設けられたゲート電極下部551a上面のキャップ膜56が除去されてゲート電極下部551aの表面が露出している。なお、周辺回路部502のゲート電極551上のキャップ膜56は図Dに示した段階で既に取り除かれている。具体的には、燐酸ボイル法によりキャップ膜56としての窒化膜をウェットエッチすることでゲート電極下部551a上面のキャップ膜56を除去する。

[0070] 図10(d)は、図10(c)に続く工程後の該当部の断面概略図である。必要に応じて、周辺回路部502にコンタクト孔563が開孔されている。なお、この図ではソース・ドレインS/D上へのコンタクト孔563のみが図示されているが、当然のことながらゲート

電極から直接延びているポリシリコン上へもコンタクトが開口されることになる。具体的には、レジストをマスクとしてドライエッチングすることにより上記の構造を実現できる。

[0071] 図10(e)は、図10(d)に続く工程後の該当部の断面概略図である。ウェーハの全面に、配線材564とその上のキャップ膜565が堆積されている。このとき、コア部501のゲート電極下部551aの上方および周辺回路部502のコンタクト孔563の内部へ配線材564が埋め込まれることになる。具体的には、配線材564としてCVD法によりタングステンまたはタングステンシリサイドを堆積し、キャップ膜565としてCVD法によりシリコン窒化膜を堆積する。

[0072] 図11(a)および図11(b)は、図10(e)に続く工程後における、ワードラインおよびこの上の周辺配線に該当する部分およびワードラインおよびワードライン上にない部分の周辺配線に該当する部分の断面概略図である。

[0073] また、図12は、図11(a)および図11(b)に示した周辺配線を有するダイの上面概略図である。コア部501に着目すると、図11(a)に示すように、キャップ膜565と配線材564とからなるワードラインWLが、ビットラインBLと垂直方向(ロウ方向)に形成されている。また、図11(b)に示すように、隣接するワードラインWL相互の間のゲート電極材は取り去られて空隙が形成されている。このとき、空隙の底のONO膜のうち、特にストレージ膜522が残るような構造にしておく、例えばコア部501へのコンタクト位置ずれが生じたとしても、シリコン酸化膜とシリコン窒化膜サイドウォールおよびビットライン外のONO膜中のストレージ膜をエッチストップ膜として用いることができるためにコアプラグとビットラインBL外とのショートが起こらず、デバイス特性上問題を生じないようにすることができる。

[0074] また、図12を参照すると分かるように、周辺回路部502では、コンタクト孔563に配線材564が埋め込まれて周辺プラグ566が形成され、配線材564のパターニングによって周辺配線567が形成されている。具体的には、レジストを適当にパターニングしてドライエッチングすることによりコア部501のワードラインWLと周辺回路部の配線567が形成される。このとき、キャップ膜565および配線材564およびゲート電極材が選択的にエッチングされる。

[0075] 図13(a)および図13(b)は各々、図11(a)および図11(b)に続く工程後における

該当部の断面概略図であり、何れにおいても、ウェーハ全面にギャップフィル膜568が堆積されて表面が平坦化されている。具体的には、ギャップフィル膜568として、BPSGやTEOSあるいはHDPなどのCVD法によるシリコン酸化膜を堆積し、CMP法でポリッシュすることにより上記の構造を実現できる。

[0076] 図14(a)および図14(b)は各々、図13(a)および図13(b)に続く工程後における該当部の断面概略図であり、図15はこの状態のダイの上面概略図である。これらの図に示されているように、コア部501のコアプラグ569とコア配線570、および周辺回路部502の2層目の周辺配線571が形成されている。

[0077] このとき、図16に図示されているように、コア部501に設けられているコンタクト孔に位置ずれがあっても、シリコン酸化膜とシリコン窒化膜サイドウォールおよびビットライン外のONO膜中のストレージ膜をエッチストップ膜として用いることができ、コアプラグとビットラインBL外とのショートが起こらない。なお、このような構造は極めて一般的な方法で実現できる。最後に、広く一般的に用いられている方法で所定の配線と層間絶縁膜とを形成し、半導体装置として完成させる。

[0078] これまでは埋め込みビットライン型SONOS構造のメモリセルを例に Si_3N_4 のサイドウォールを用いたイオン注入によりビットラインを形成する本発明の手法について説明してきたが、かかるビットライン形成は埋め込みビットライン型フローティングゲート式メモリについても適用可能である。

[0079] 上述した手法によれば、コンタクト孔の形成位置がサイドウォールの外に位置ずれした場合はONO膜のうちの窒化膜をエッチストップ膜として使うことによりサイドウォール開口部のみにコンタクトさせることができる。したがって、埋め込みビットライン型SONOS式メモリに対しては、コンタクトの位置ずれに対する余裕を増やすことができる。また、少なくともONO膜形成および周辺回路のゲート絶縁膜形成およびゲート電極の側壁酸化と、さらに場合によってはサイドウォール堆積および少なくとも周辺部LDDおよびソース・ドレインの注入イオン活性化とをビットラインの不純物注入前に行うことができ、従来の方法に比べてビットラインの不純物の拡散による横方向の拡がりが増加されるとともに、上述のシリサイド化によりビットライン抵抗を小さくできる。さらに、ONO膜のチャネル方向端とビットラインの接合を合わせる(またはオフセットをも

たせる)ことで、消去位置を限定することができ、書き込み位置と消去位置の不均衡を防ぐことができる。

実施例 4

- [0080] 本実施例では、実施例1および2で説明したトレンチ溝内にビットライン拡散層をイオン注入により形成する手法と、実施例3で説明した Si_3N_4 のサイドウォールを設けてイオン注入することでビットライン形成する手法とを組み合わせ、ビットラインをセルフアライン形成した埋込みビットライン構造のSONOS構造について説明する。
- [0081] 図17は、実施例3におけるセルの作製プロセスにおいて図10(a)で説明した工程に対応するものである。すなわち、本実施例では、図8(a)の工程に続いて、図8(d)で図示したビットラインBLを形成することに替えて、実施例1および実施例2で説明したのと同様に、コアポケット58間にトレンチ溝を形成してこの溝内面にビットライン注入層324を形成したうえで、例えばポリシリコンなどの導電体膜320を当該溝内に埋め込んでいる。ここで、図中、符号60は埋め込み用ビットライン・サイドウォールであり、符号61はビットライン溝内に埋め込まれたポリシリコンである。なお、本実施例におけるセルの作製プロセスは、このビットライン形成の工程以外は実施例3と基本的に同じであるので、以下においてはこのビットライン形成工程のみを説明することとし、他の工程の説明は省略するものとする。
- [0082] 図18は、図17に示した構造を形成するためのプロセスを説明する図である。まず、図18(a)に示すように、側壁に Si_3N_4 のサイドウォール59を有するゲート電極下部551a相互間にビットライン形成用のビットライン溝(シャロートレンチ溝)305を形成するためのエッチングを行い、 Si_3N_4 のサイドウォール59をマスクとしてこの溝305の内側壁および底面にビットライン形成のための1回目のイオン注入を行う(図18(b))。次に、ビットライン溝324の側壁面に SiO_2 のビットライン・サイドウォール60を形成する(図18(c))。なお、このとき、レジストで覆っておくことにより周辺部分はサイドウォール材を全面的に残しておく。
- [0083] これに続いて、 SiO_2 のビットライン・サイドウォール60をマスクとしてビットライン溝324の底部に2回目のイオン注入を行った後に、ポリシリコン61を堆積してこれをエッチバックする(図18(d))。このようなポリシリコンは、コア部のビットラインで最も段差が大

きいため、ビットライン溝部にのみ残り、周辺回路部のポリシリコンは全面除去されてしまうことになる。さらに、コア部をレジストで覆い周辺回路部のサイドウォールだけをエッチバックすることにより周辺回路部のゲート電極頂部とソース・ドレイン表面を露出させる。

[0084] なお、このとき、ゲート電極下部551a側壁のサイドウォール59上部にもサイドウォールが形成されるが、これはビットライン・サイドウォール60の形成に伴って必然的に形成されるものに過ぎず、特段の意味があるわけではない。

[0085] そして、コア部のビットライン溝305内に埋め込まれたポリシリコン61の表面、および、周辺回路部に形成されたソース・ドレインS/Dの露出部表面ならびにゲート電極551側壁のサイドウォール59で被覆されずに露出している側壁面と上面、がシリサイド化(図中に波線で示した部分)される(図18(e))。このようにして図17に示した構造が得られる。

[0086] 本実施例のように、トレンチ溝内にビットライン拡散層をイオン注入により形成する手法と、 Si_3N_4 のサイドウォールを設けてイオン注入することでビットライン形成する手法とを組み合わせ、ビットラインをセルフアライン形成した埋込みビットライン構造のSONOS構造とすれば、ビットライン拡散層をシャロートレンチの中に形成してセル面積を増大させることなく安定した電気的特性を得るとともに、メモリセルの微細化とコンタクトの位置ずれに起因するビットライン間ショートを生じ難い構造とを同時に実現することが可能となる。

産業上の利用可能性

[0087] 本発明は、ビットライン拡散層をシャロートレンチの中に形成し、セル面積を増大させることなく安定した電気的特性が得られる構成の埋込みビットラインSONOS構造セルを提供する。また、本発明は、埋込みビットライン型不揮発メモリの微細化に適した製造方法を提供し、かつコンタクトの位置ずれに起因するビットライン間ショートを生じ難い構造を提供する。

請求の範囲

- [1] 埋め込みビットライン構造を有し、ビットラインが内部に埋め込まれた溝の内面に導電層を備えている半導体装置。
- [2] 前記導電層は、不純物拡散層である請求項1に記載の半導体装置。
- [3] 前記不純物拡散層は、イオン注入により形成されたものである請求項2に記載の半導体装置。
- [4] 前記溝は、基板主面に設けられたトレンチ溝である請求項1乃至3の何れかに記載の半導体装置。
- [5] 前記溝の側壁に形成された不純物拡散層中の不純物濃度は、該溝の底面に形成された不純物拡散層中の不純物濃度に比較して低濃度である請求項2乃至4の何れかに記載の半導体装置。
- [6] 前記溝の側壁に形成された不純物拡散層表面に絶縁膜が設けられている請求項2乃至5の何れかに記載の半導体装置。
- [7] 前記溝の内面には、底面の不純物拡散層表面上にのみ形成された高融点金属のシリサイド膜が設けられている請求項2乃至6の何れかに記載の半導体装置。
- [8] 前記高融点金属は、TiまたはCoである請求項7に記載の半導体装置。
- [9] 半導体基板の主面上に素子分離により埋め込みビットライン形成領域を画定する第1のステップと、
前記画定された埋め込みビットライン形成領域に溝を形成する第2のステップと、
前記溝の内面に導電層を形成する第3のステップと、
前記溝内に導電体膜を埋め込む第4のステップと、
を備えている半導体装置の製造方法。
- [10] 前記第2のステップにより形成される溝は、エッチングにより形成されたトレンチ溝である請求項9に記載の半導体装置の製造方法。
- [11] 前記第3のステップにより形成される導電層は、イオン注入により形成された不純物拡散層である請求項9または10に記載の半導体装置の製造方法。
- [12] 前記第3のステップにおけるイオン注入は第1及び第2のイオン注入工程を含み、
第1のイオン注入により前記溝の側壁にイオンを打ち込むステップと、

前記溝の側壁に形成された不純物拡散層表面に絶縁膜を形成する第2のステップと、

第2のイオン注入により前記溝の底部にイオンを打ち込む第3のステップと、
を備えている請求項11に記載の半導体装置の製造方法。

[13] 前記溝底面の不純物拡散層表面上に高融点金属のシリサイド膜を形成するサブステップを更に備えている請求項12に記載の半導体装置の製造方法。

[14] 第4のステップにおける前記溝内への導電体膜の埋め込みは、一様に成膜された導電体膜をCMP処理して前記溝内の導電体膜を残存させることにより実行されるものである請求項9乃至13の何れかに記載の半導体装置の製造方法。

[15] 前記第3のステップは、前記半導体基板の主面に窒化珪素のサイドウォールを予め設ける工程を備え、当該ステップにおいてイオン注入される領域は、前記サイドウォールによりセルフアラインされる請求項11乃至14の何れかに記載の半導体装置の製造方法。

[16] 半導体基板の主面上に、コラム方向に延在する電極を形成する第1のステップと、
前記電極の側壁に窒化珪素のサイドウォールを形成する第2のステップと、
前記窒化珪素のサイドウォールをマスクとしてイオン注入しビットラインをセルフアライン形成する第3のステップと、
前記半導体基板上にロウ方向に延在するワードラインを形成する第4のステップと、
前記ワードラインが設けられていない領域の前記コラム方向に延在する電極の一部を除去して複数の電極に分離する第5のステップと、
を備えている半導体装置の製造方法。

[17] 前記半導体基板の主面には酸化膜—窒化膜—酸化膜の積層膜(ONO膜)が予め設けられており、

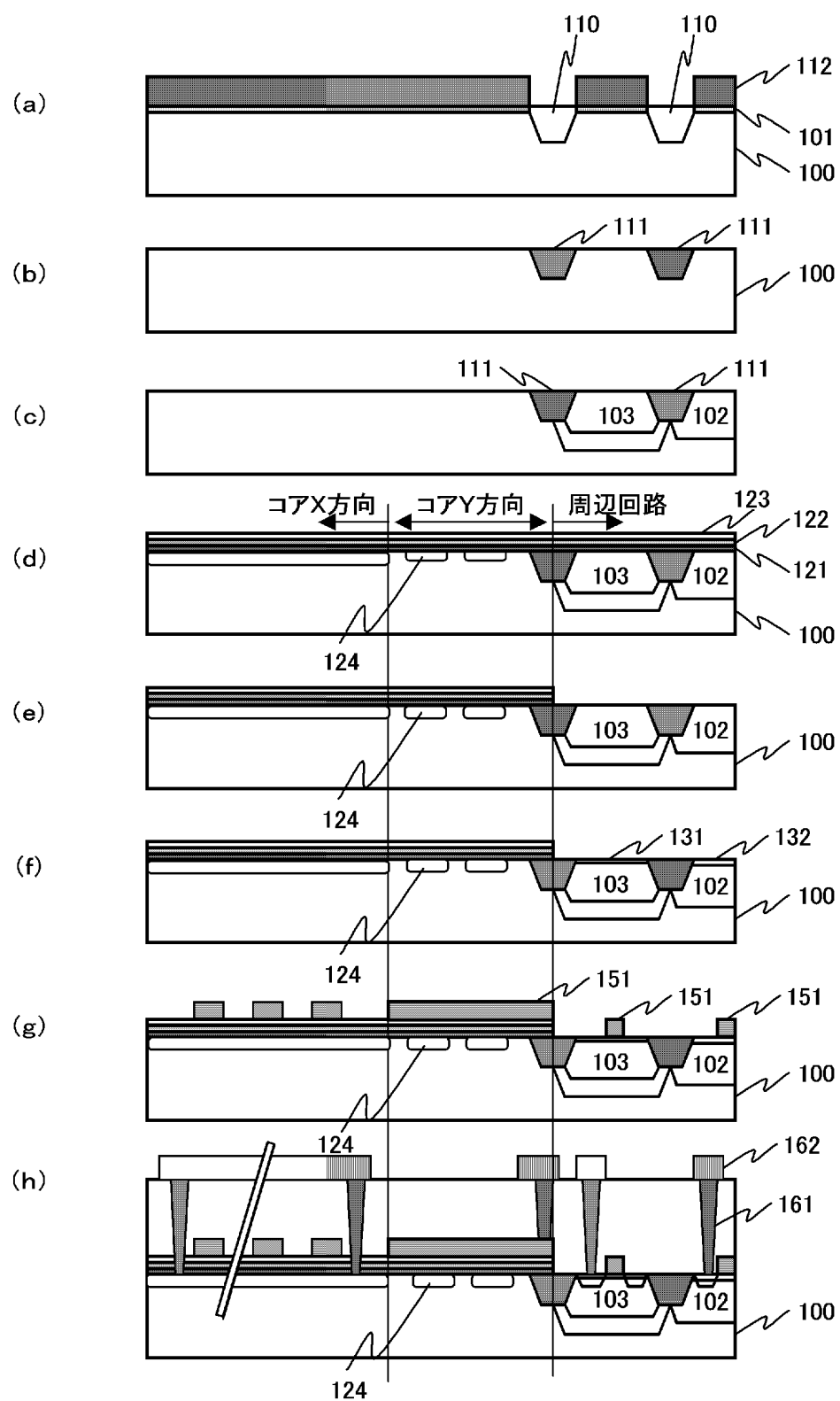
前記第1のステップは、前記電極で被覆されていない領域の前記ONO膜のうちの少なくとも窒化膜を除去する工程を備えている請求項16に記載の半導体装置の製造方法。

[18] 前記第2のステップは、前記電極の側壁下端部の前記半導体基板表面近傍領域にイオン注入してコアポケットを形成する工程を備えている請求項17に記載の半導体

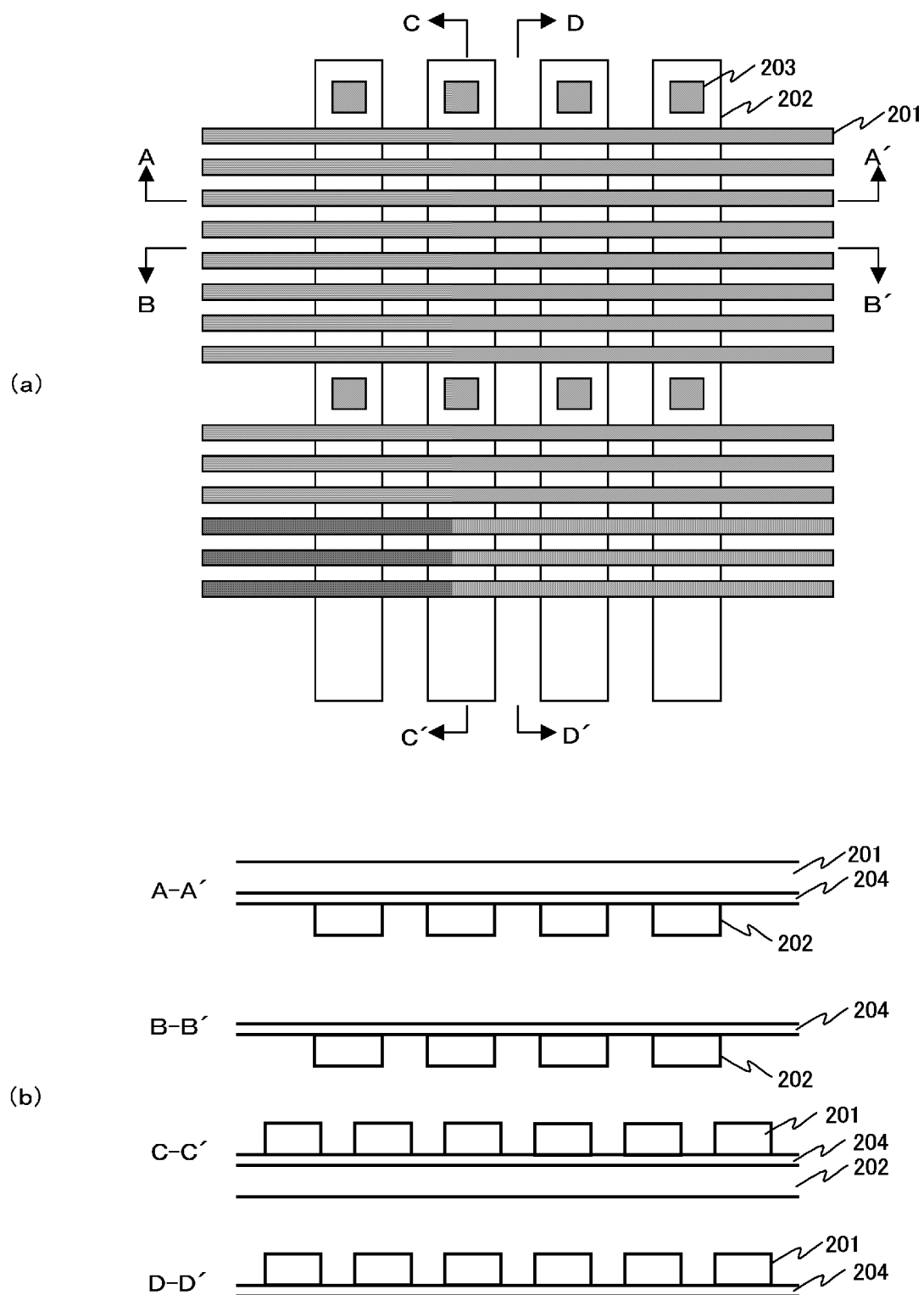
装置の製造方法。

- [19] 前記第3のステップにおけるイオン注入は、前記電極下端部から所定の間隔だけ離れたオフセット領域に実行されるものである請求項16乃至18の何れかに記載の半導体装置の製造方法。
- [20] 前記第3のステップは、少なくとも前記ビットラインの露出表面をシリサイド化するサブステップを備えている請求項16乃至19の何れかに記載の半導体装置の製造方法。

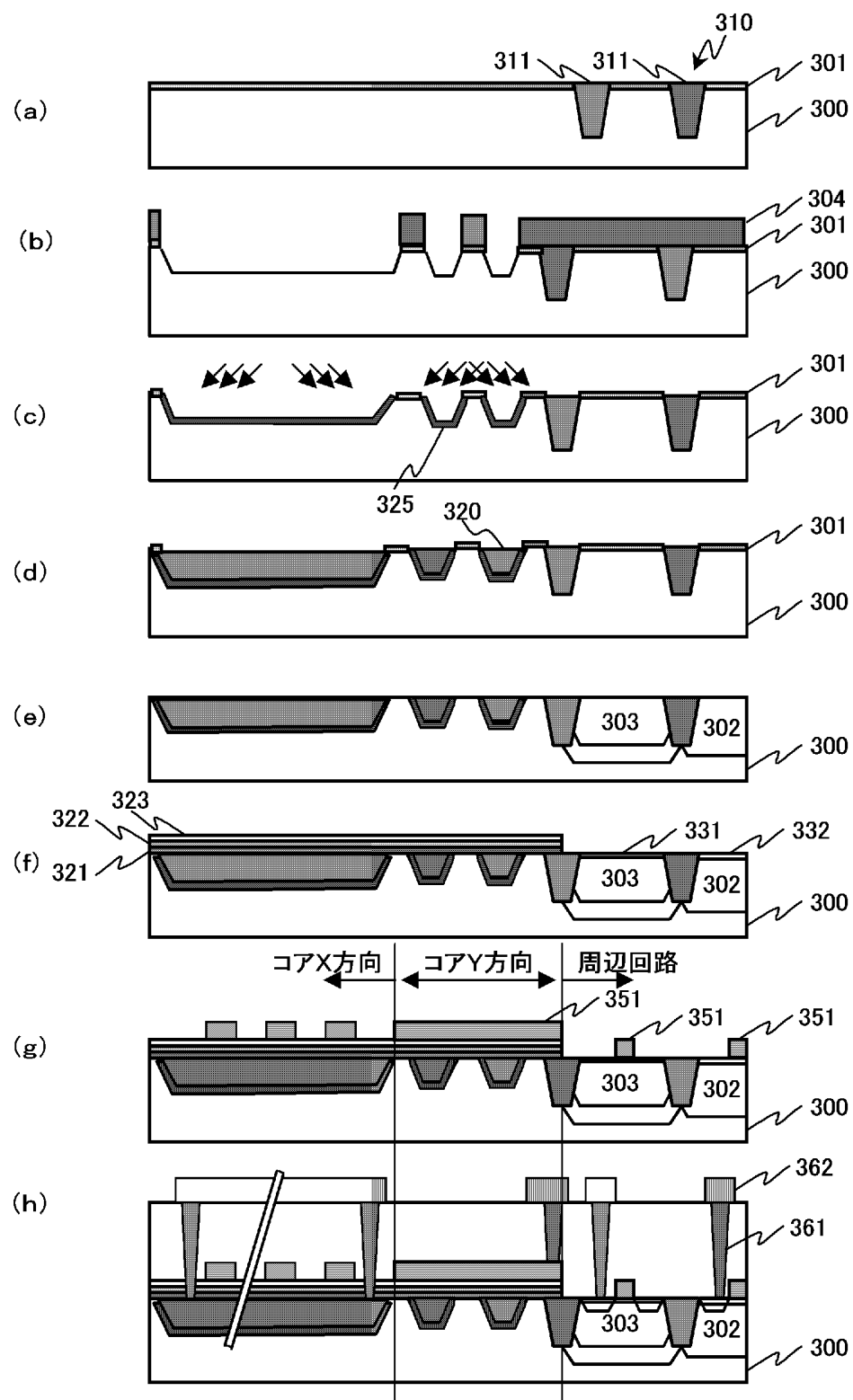
[図1]



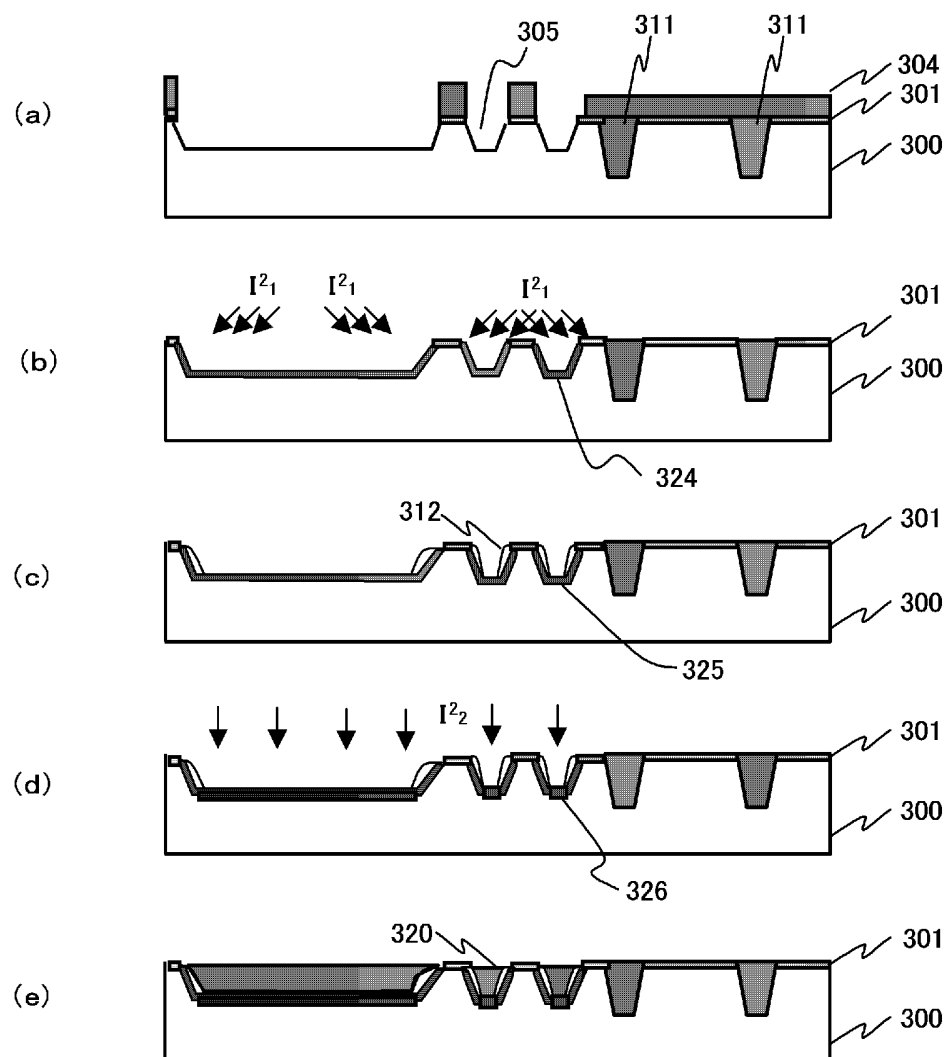
[図2]



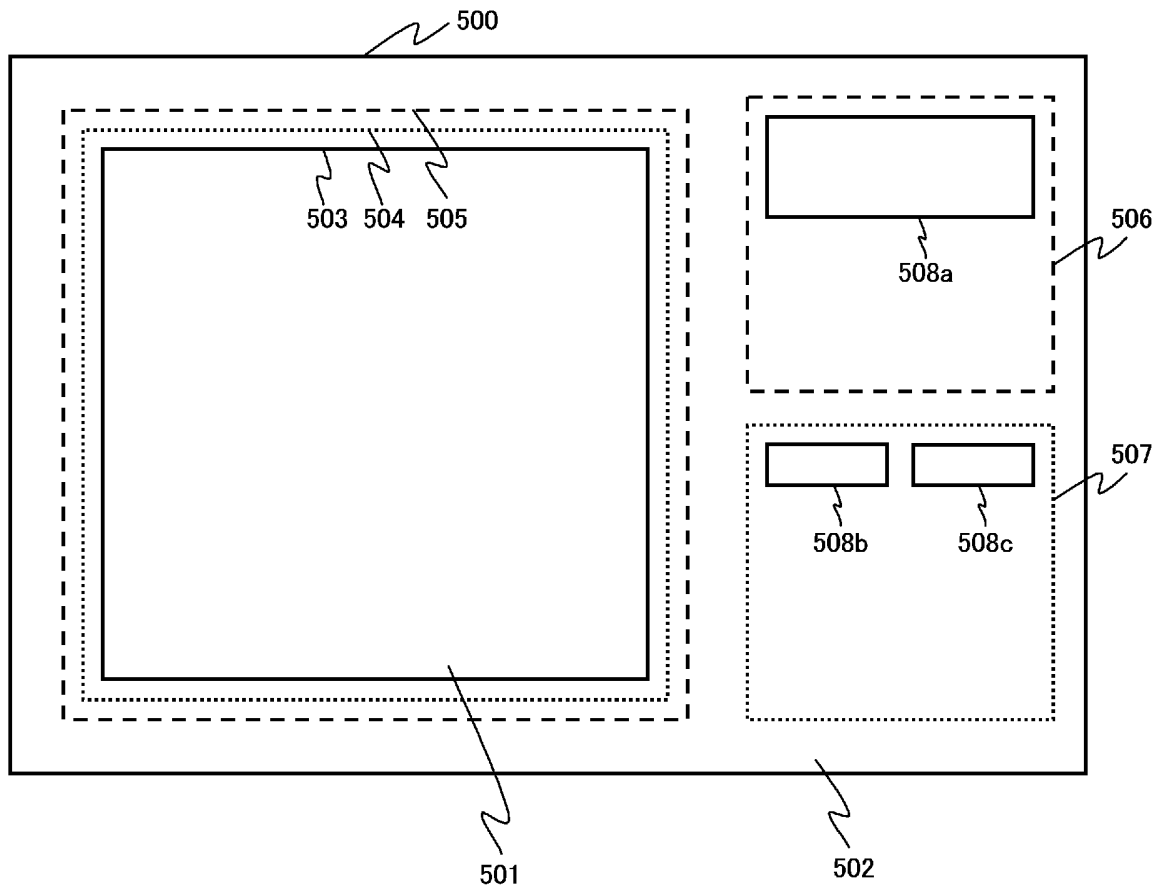
[図3]



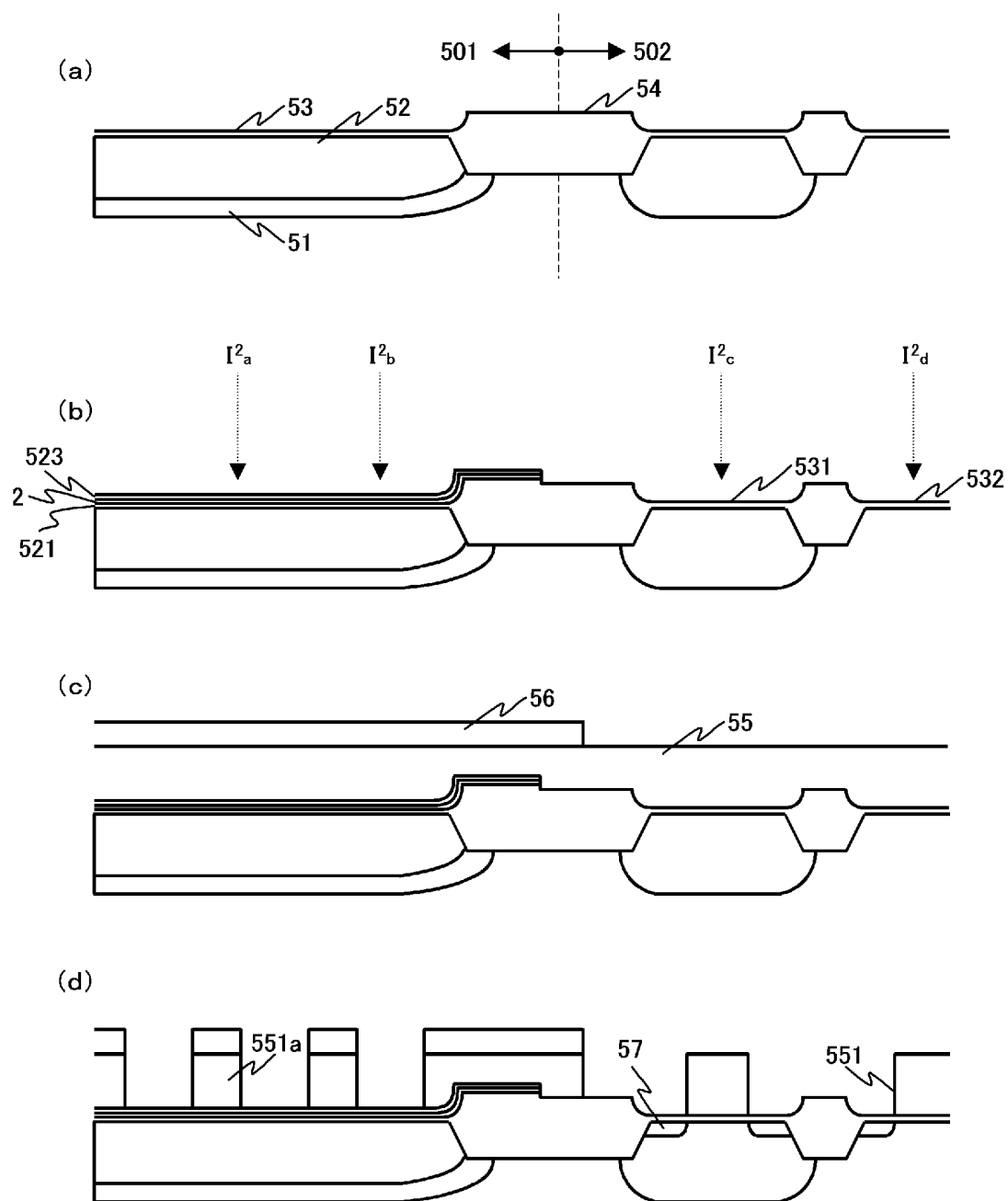
[図4]



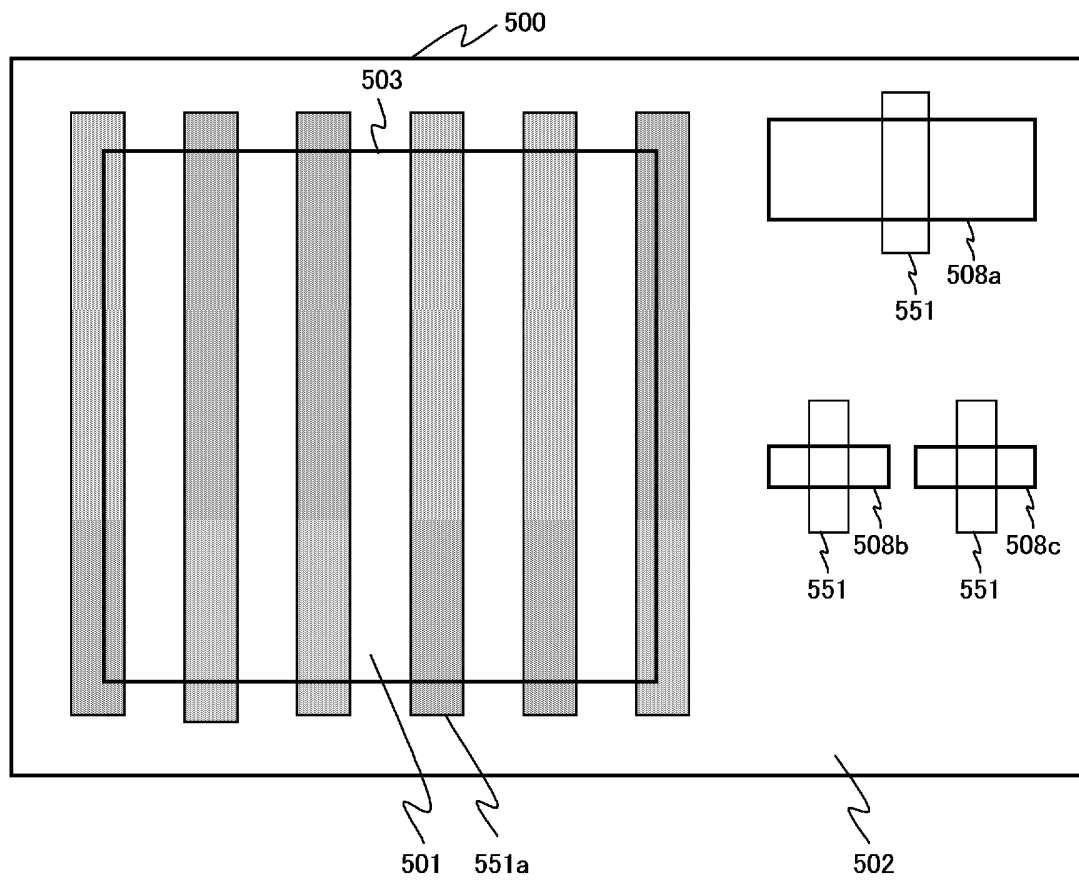
[図5]



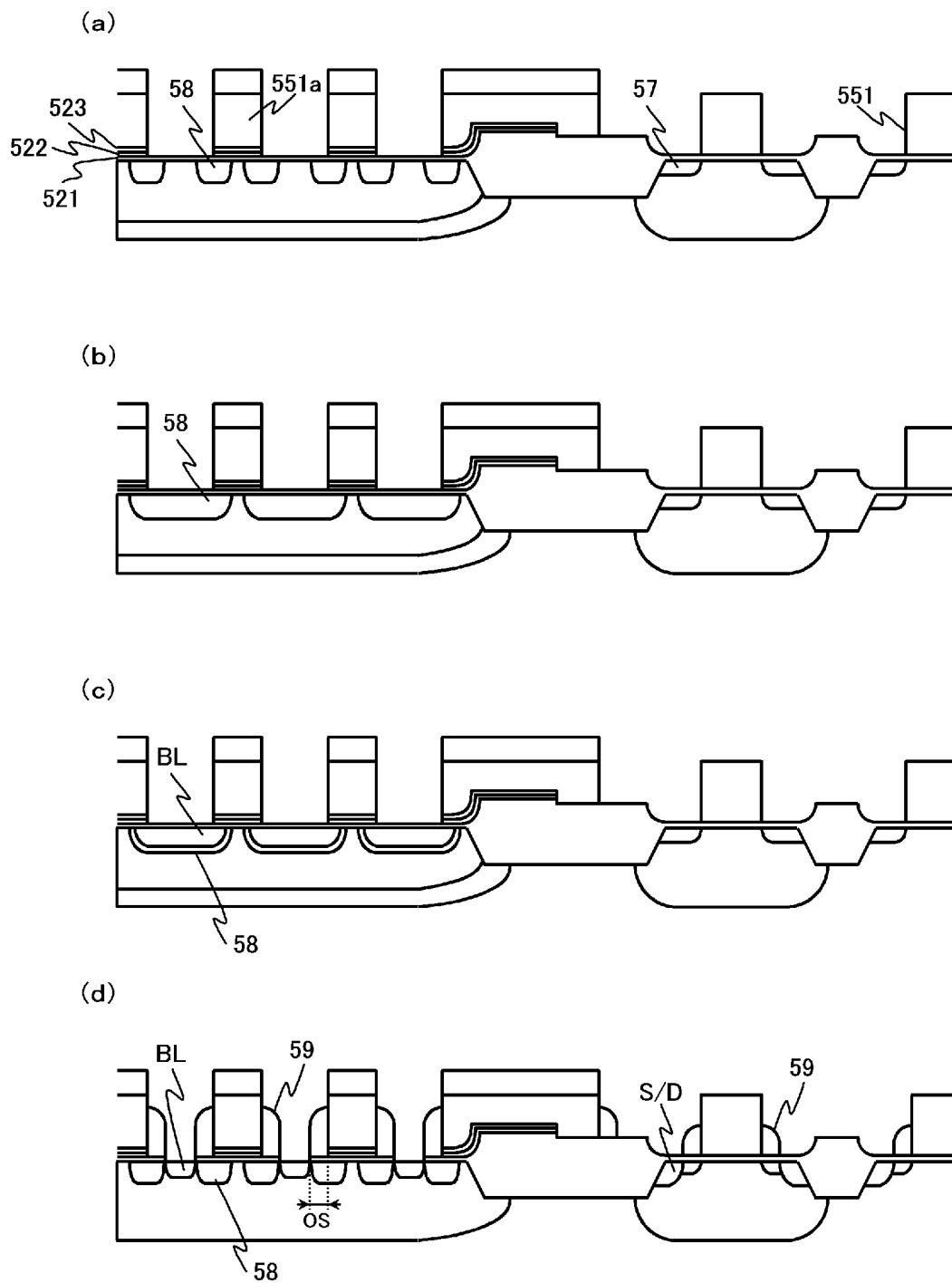
[図6]



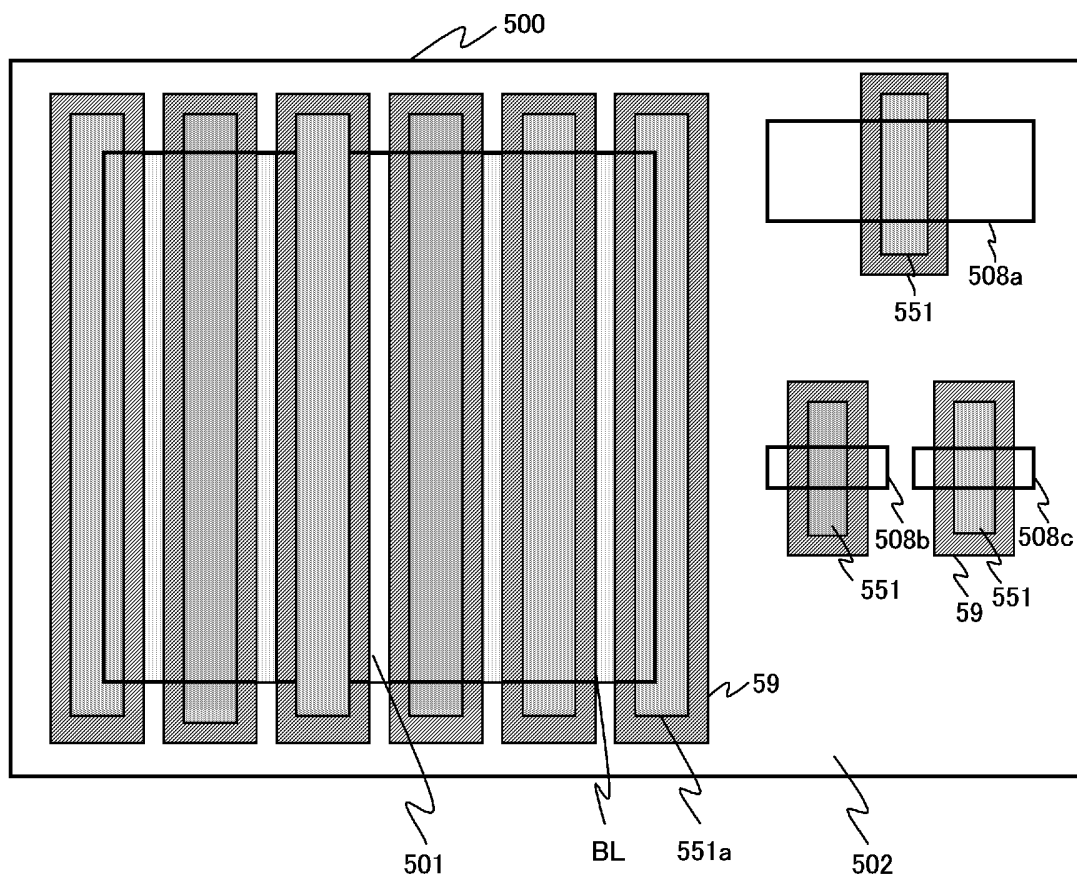
[図7]



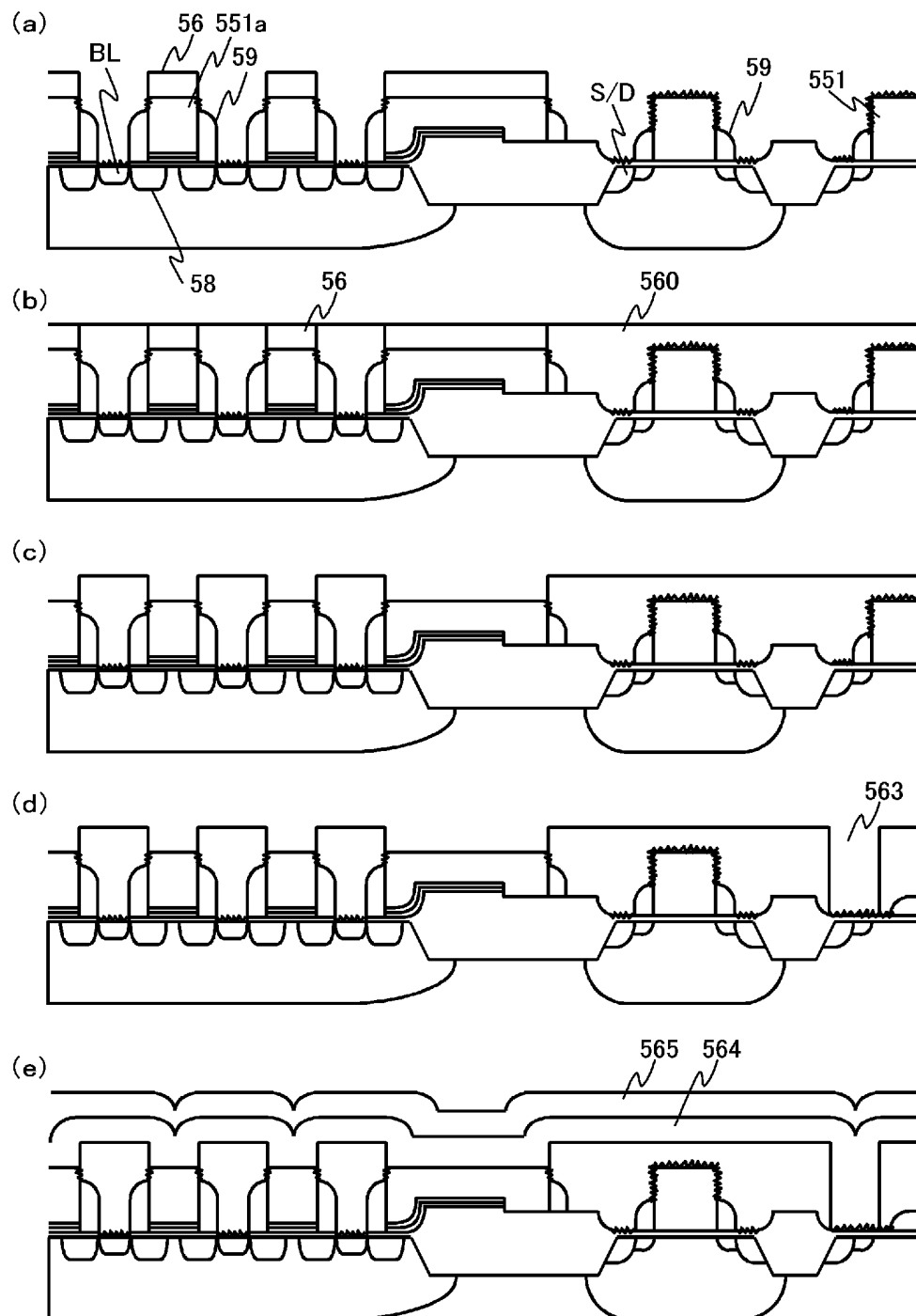
[図8]



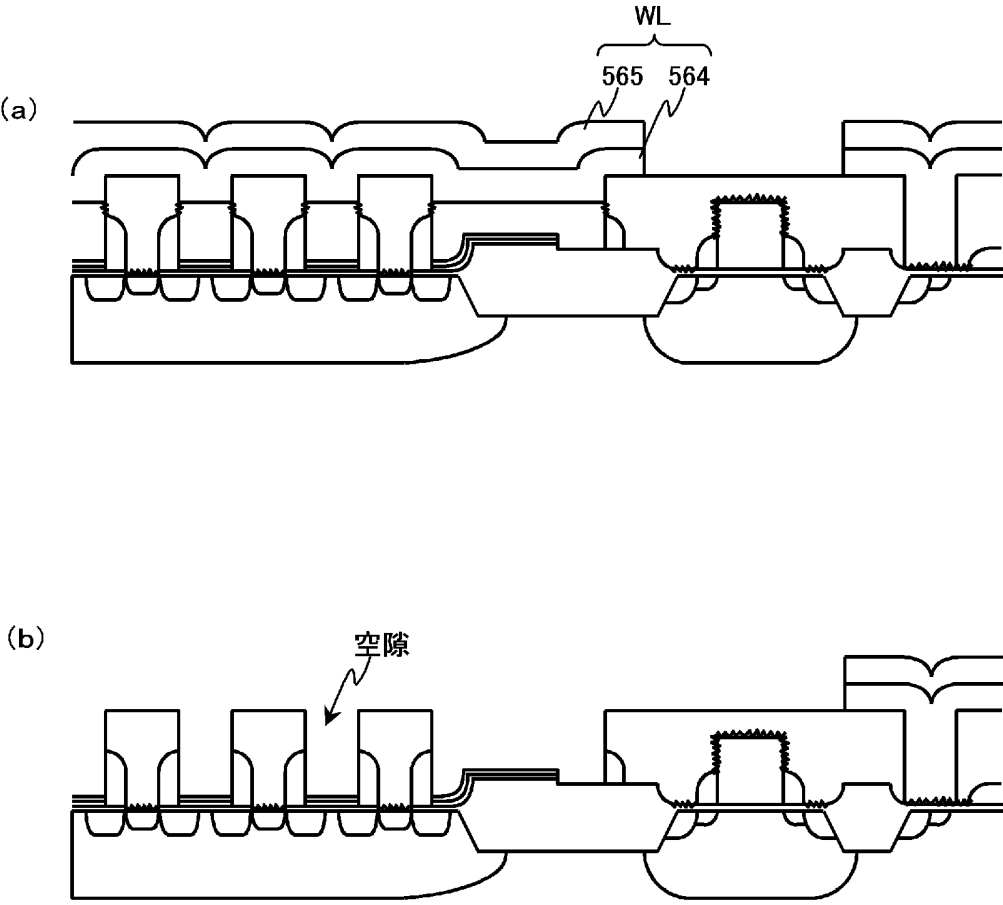
[図9]



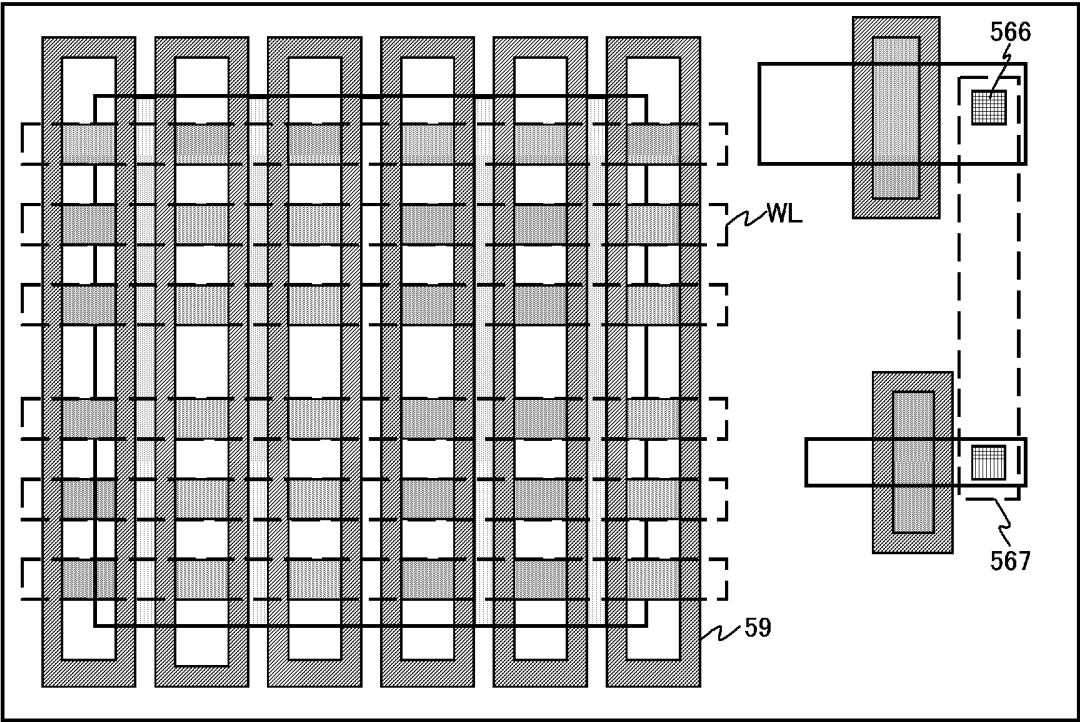
[図10]



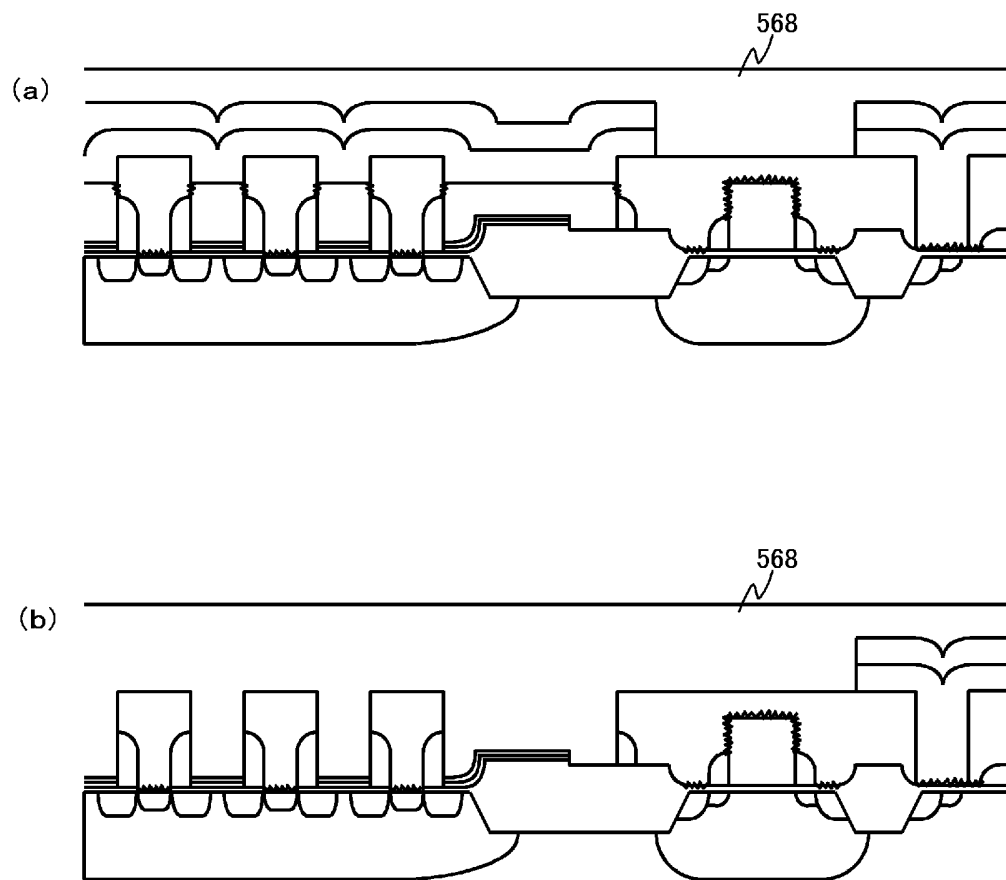
[図11]



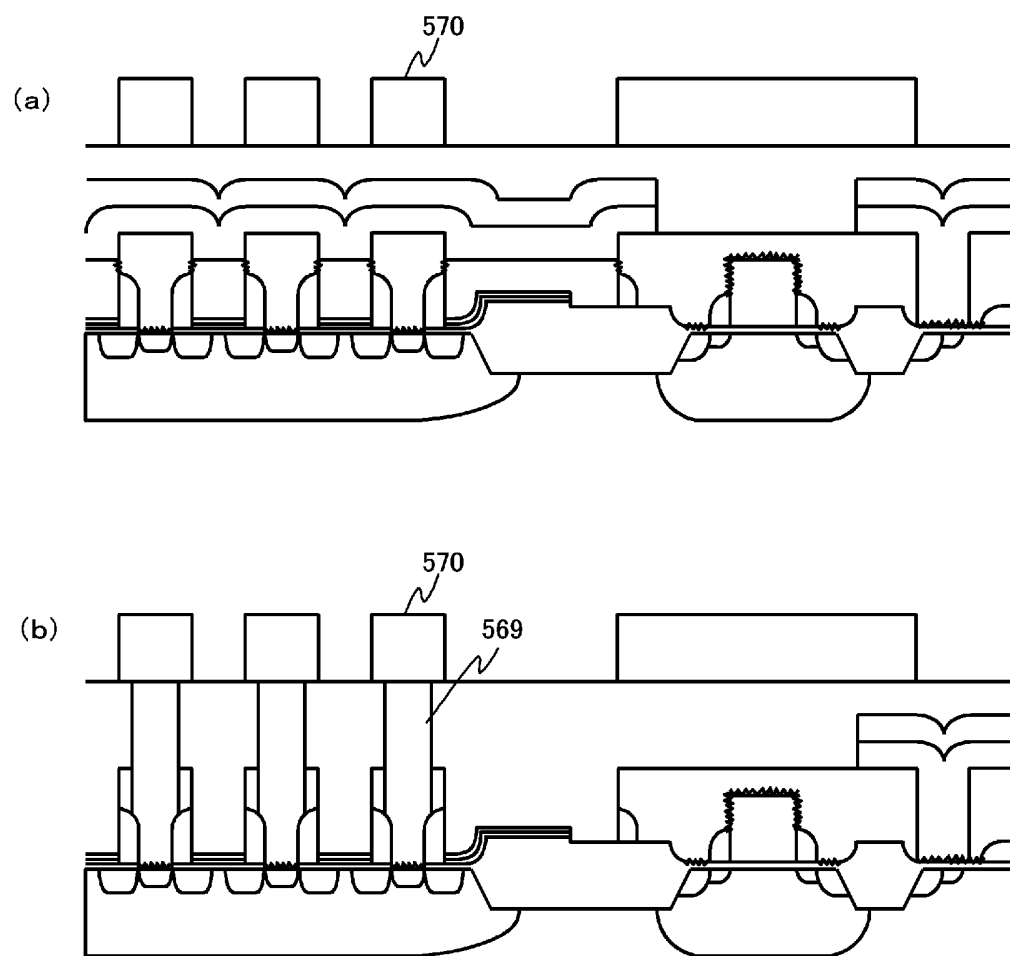
[図12]



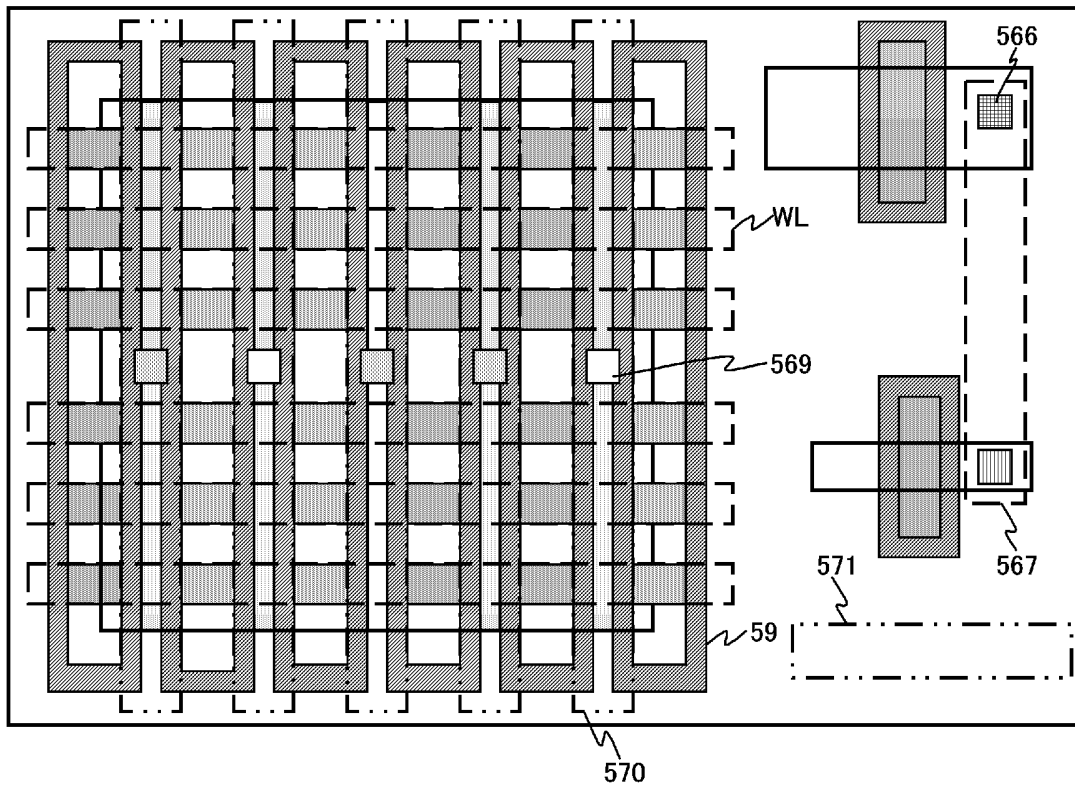
[図13]



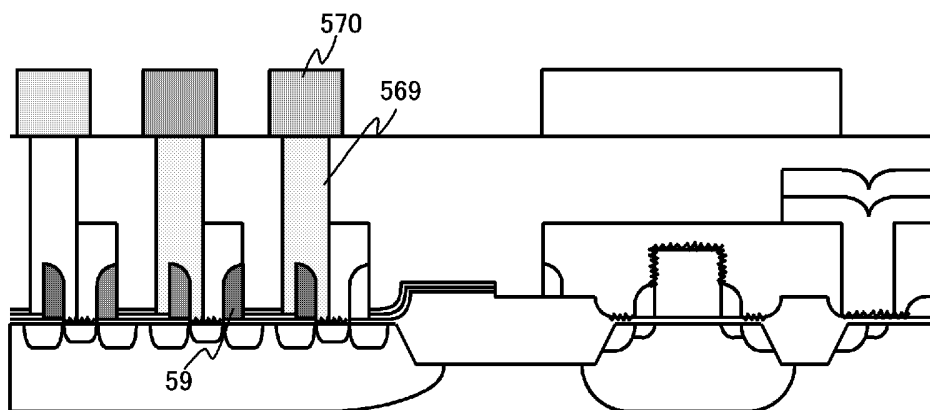
[図14]



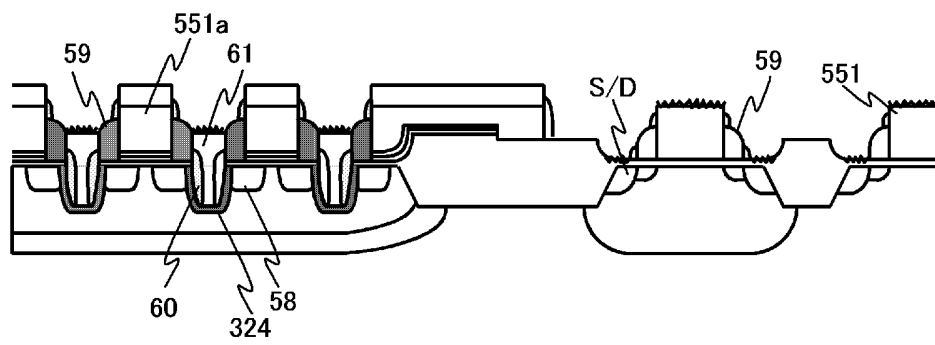
[図15]



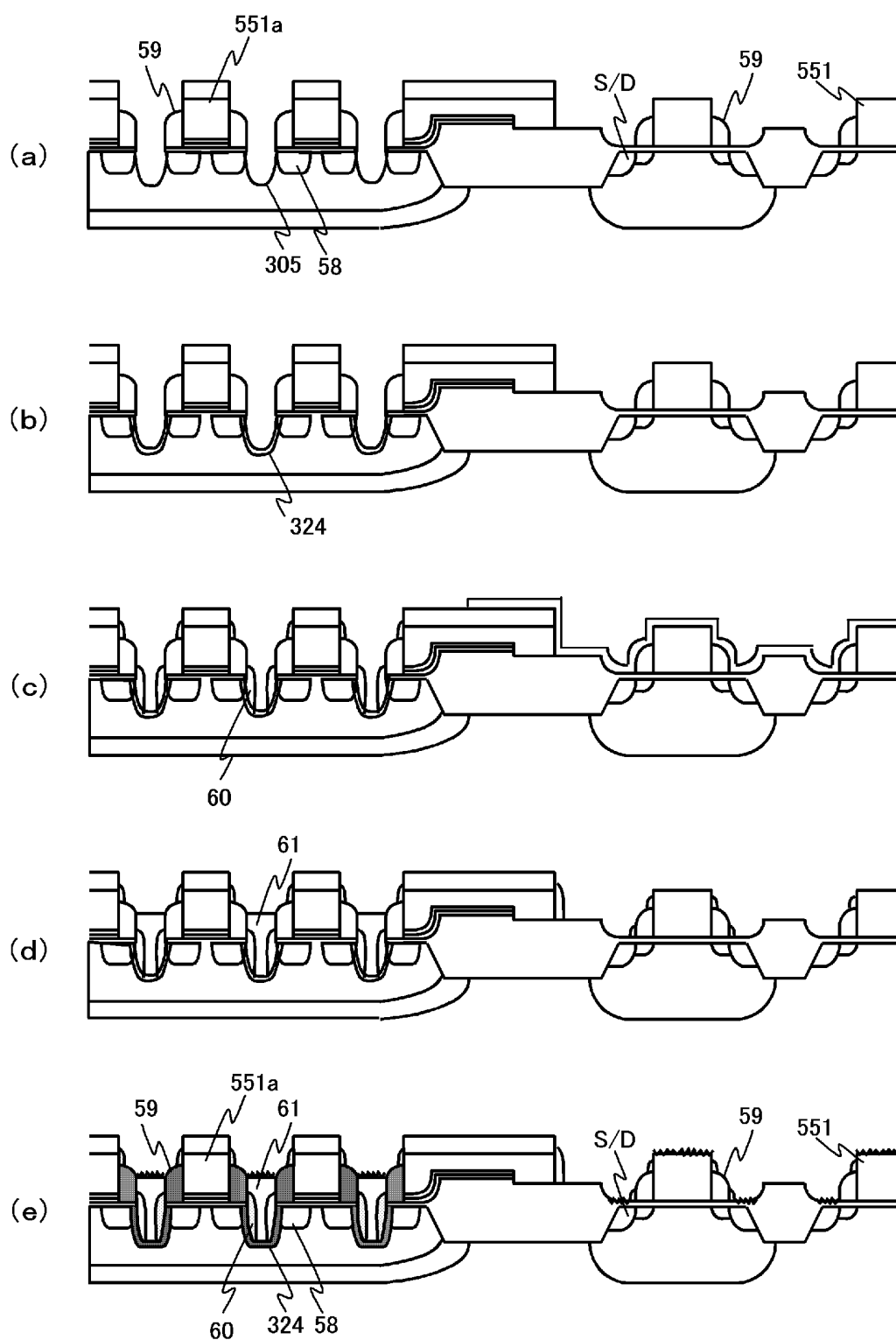
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014254

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/8247, 29/788, 29/792, 27/115

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/8247, 29/788, 29/792, 27/115

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2-360 A (NEC Corp.), 05 January, 1990 (05.01.90), Full text (Family: none)	1-4 5-8
X Y	JP 2004-247592 A (Sharp Corp.), 02 September, 2004 (02.09.04), Full text (Family: none)	1-4 5-8
Y	JP 4-209573 A (Toshiba Corp.), 30 July, 1992 (30.07.92), Full text (Family: none)	5-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 December, 2004 (15.12.04)

Date of mailing of the international search report
28 December, 2004 (28.12.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014254

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 1-152673 A (Toshiba Corp.), 15 June, 1989 (15.06.89), Full text (Family: none)	1-8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014254

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

There must exist a special technical feature to link the group of inventions in the claims to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. However, the group of inventions in claims 1-20 are merely linked by a technical feature of "a semiconductor device having a bit line."

The technical feature cannot be considered as a special technical feature since it is disclosed in the prior art documents, e.g., JP 1-152673 A (Toshiba Corp.), 15 June, 1989 (15.06.89), JP 2-360 A (NEC Corp.), 5 January, 1990 (05.01.90) and JP 2004-247592 A (Sharp Corp.), 2 September, 2004 (02.09.04). Consequently, (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-8

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014254

Continuation of Box No.III of continuation of first sheet(2)

there exists no special technical feature among the group of inventions in claims 1-20 so linked as to form a special technical feature. It is obvious that the group of inventions in claims 1-20 do not satisfy the requirement of unity of invention. Judging from the specific embodiments in independent claims, there are 3 inventions classified in claims 1-8, claims 9-15 and claims 16-20, respectively in this international application.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/8247, 29/788, 29/792, 27/115

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/8247, 29/788, 29/792, 27/115

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2-360 A (日本電気株式会社)	1-4
Y	1990.01.05, 全文 (ファミリーなし)	5-8
X	JP 2004-247592 A (シャープ株式会社)	1-4
Y	2004.09.02, 全文 (ファミリーなし)	5-8
Y	JP 4-209573 A (株式会社東芝)	5-8
	1992.07.30, 全文 (ファミリーなし)	

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

15.12.2004

国際調査報告の発送日

28.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井原 純

4M

9354

電話番号 03-3581-1101 内線 3462

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 1-152673 A (株式会社東芝) 1989.06.15, 全文 (ファミリーなし)	1-8

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように関連させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1～20に記載されている一群の発明は、「ビットラインを有する半導体装置」であるという事項でのみ関連しているものと認められる。

しかしながら、この事項は、先行技術文献、例えば、JP 1-152673 A (株式会社東芝)、1989.06.15、JP 2-360 A (日本電気株式会社)、1990.01.05、JP 2004-247592 A (シャープ株式会社)、2004.09.02に開示されているものであるから、特別な技術的特徴とはなり得ない。そうすると、請求の範囲1～20に記載されている一群の発明の間には、単一の一般的発明概念を形成するように関連させるための、特別な技術的特徴は存しないこととなる。そのため、請求の範囲1～20に記載されている一群の発明が単一性の要件を満たしていないことは明らかである。そして、独立請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、1～8と9～15と16～20とに区分される3個の発明が記載されているものと認められる。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲第1～8項

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。