



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 27.02.81 (21) 3251716/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 07.11.82. Бюллетень № 41

Дата опубликования описания 07.11.82

(11) 972500

[51] М. Кл.³

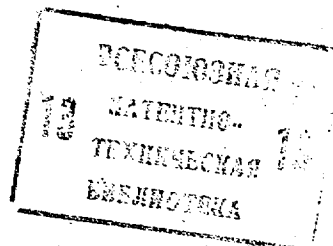
G 06 F 7/00

[53] УДК 681.
.3 (088.8)

(72) Авторы
изобретения

Ю.А.Бузунов, Н.Н.Шипилов и Н.И.Вородин

(71) Заявитель



(54) ПРОГРАММИРУЕМОЕ ЛОГИЧЕСКОЕ УСТРОЙСТВО

1

Изобретение относится к вычислительной технике и может быть использовано, в частности, при разработке больших интегральных схем (БИС).

Известно логическое устройство - программируемое логические матрицы (ПЛМ), размещаемые на одном кристалле и содержащие матрицы логических элементов И, ИЛИ и триггеры [1].

Недостатком этого устройства является его низкая универсальность, обусловленная стандартным назначением внешних выводов: одна часть выводов в них используется в качестве входов, а другая - в качестве выходов устройства.

Наиболее близким к предложенному по технической сущности является программируемый логический блок, содержащий матрицу основных и дополнительных логических элементов И, элементы ИЛИ и синхронизируемые триггеры [2].

Недостатком известного устройства является ограниченность его применения, обусловленная однозначным распределением функций внешних выводов. Одна группа выводов в устройстве используется в режиме "Вход устрой-

2

ва", другая - только в режиме "Выход триггера", и лишь третья группа выводов может использоваться как в режиме "Вход устройства", так и в режиме "Выход элемента ИЛИ". С помощью такого устройства нельзя, например, реализовать комбинационную схему с числом выходов, превышающим число выводов третьей группы, поскольку выходные сигналы на выводах второй группы будут запаздывать на один такт относительно сигналов на выводах третьей группы. Кроме того, на соотношение числа входов и выходов схем, для реализации которых предназначено устройство, налагаются жесткие ограничения. Все это сужает область применения устройства.

Цель изобретения - расширение области устройства за счет перераспределения функций внешних выводов.

Поставленная цель достигается тем, что программируемое логическое устройство, содержащее многофункциональный логический элемент, содержит коммутирующие блоки, первый и второй вход каждого из которых подключены к информационным выходам многофункционального логического элемента соответственно, третий вход каждого ком-

мутирующего блока подключен к входу синхронизации устройства, четвертый вход каждого коммутирующего блока подключен к внешнему выводу устройства, первый и второй выходы каждого коммутирующего блока соединены с входами многофункционального логического элемента соответственно, при этом каждый коммутирующий блок содержит триггер, переключатели и коммутатор, управляющий вход которого подключен к первому входу коммутирующего блока, второй вход которого подключен к информационному входу триггера и входу первого переключателя, выход которого подключен к первому информационному входу коммутатора, к первому выходу коммутирующего блока и выходу второго переключателя, вход которого подключен к выходу триггера, вход синхронизации которого подключен к третьему входу коммутирующего блока, четвертый вход которого подключен к второму информационному входу коммутатора, выход которого подключен к второму выходу коммутирующего блока.

Коммутатор содержит элементы И и НЕ, причем первый информационный вход коммутатора подключен к первому входу первого элемента И, второй вход которого подключен к управляющему входу коммутатора и к входу элемента НЕ, выход которого подключен к первому входу второго элемента И, второй вход которого подключен к выходу первого элемента И и к второму информационному входу коммутатора, выход которого подключен к выходу второго элемента И.

Каждый коммутирующий блок содержит триггер, информационный вход которого подключен к второму входу блока, вход синхронизации — к третьему входу блока, а выход, через один переключатель — к первому информационному входу коммутатора, соединенному также с первым выходом блока и, через другой переключатель — с вторым входом блока. Управляющий вход коммутатора соединен с первым входом блока, его второй информационный вход — с четвертым входом блока, а выход — со вторым выходом блока.

Коммутатор содержит элементы И, причем управляющий вход коммутатора подключен к управляющему входу первого элемента И и, через элемент НЕ — к управляющему входу второго элемента И, первый информационный вход коммутатора соединен с информационным входом первого элемента И, второй информационный вход коммутатора подключен к выходу первого и к информационному входу второго элементов И, а выход коммутатора соединен с выходом второго элемента И.

На фиг. 1 представлена структурная схема устройства; на фиг. 2 — функциональная схема коммутирующего блока; на фиг. 3 — схема коммутатора.

Устройство (фиг. 1) содержит многофункциональный логический элемент 1 и n одинаковых коммутирующих блоков $2_1 - 2_n$. Входы $3_i, 4_i$ i -го коммутирующего блока ($i = 1 \dots n$) подключены к выходам элемента 1. Входы $5_1 - 5_n$ всех блоков 2_i соединены с общим внешним выводом 6 устройства. Каждый блок 2_i подключен к своему внешнему выводу 7; устройства, а оба выхода блока 2_i соединены со своими входами элемента 1. Коммутирующий блок 2_i (фиг. 2) содержит триггер 8_i , информационный вход которого соединен со входом 3_i блока, т.е. с одним из выходов элемента 1. Синхронизирующий вход триггера 8_i подключен ко входу 5_i блока, а его выход, через переключатель 9_i — к информационному входу 10_i коммутатора 11_i . Вход 10_i коммутатора 11_i , через переключатель 12_i связан также со входом 3_i блока, и непосредственно соединен с первым выходом блока, т.е. с одним из входов элемента 1. Управляющий вход 13_i коммутатора 11_i подключен ко входу 4_i коммутирующего блока 2_i , т.е. к одному из выходов элемента 1. Вход 14_i коммутатора 11_i соединен с внешним выводом 7; устройства, а выход 15_i — со вторым выходом блока, т.е. с одним из входов элемента 1.

Коммутатор 11_i (фиг. 3) содержит первый 16_i и второй 17_i элементы И, причем управляющий вход 13_i коммутатора подключен к управляющему входу первого 16_i и, через элемент НЕ 18_i — к управляющему входу второго 17_i элементов И. Информационный вход 10_i и выход 15_i коммутатора 11_i соединены, соответственно, с информационным входом первого 16_i и выходом второго 17_i элементов И, а информационный вход 14_i коммутатора подключен к выходу первого 16_i и к информационному входу второго 17_i элементов И.

Устройство работает следующим образом.

Для реализации некоторой комбинационной или последовательностной схемы на основе данного устройства, последнее подвергается предварительной настройке путем настройки многофункционального элемента 1. Каждый внешний вывод 7; устройства, соединенный с выходом коммутирующего блока 2_i , может использоваться в любом из трех режимов: "Вход устройства", "Выход элемента 1" или "Выход триггера". При этом в процессе работы устройства допускается динамическая смена режима "Вход устройства" на режим "Выход элемента 1", или режима "Вход

устройства" на режим "Выход триггера". Выбор пары динамически сменяемых режимов осуществляется на этапе программирования устройства установкой переключателей 9_i и 12_i, которые могут представлять собой, например, выплавляемые перемычки.

Если размыкаются переключатели 9_i, а переключатель 12_i остается в замкнутом состоянии, выход триггера 8_i отключается от информационного входа 10_i коммутатора 11_i и к этому входу оказывается подключенным выход элемента 1, соединенный со входом 3_i коммутирующего блока 2_i. При этом сигнал с указанного выхода элемента 1 поступает через переключатель 12_i на вход элемента 1, подключенный к первому выходу коммутирующего блока 2_i. Тем самым в устройстве обеспечивается обратная связь, необходимая, например, при реализации переключательных функций в скобочной форме.

Если при этом на управляющий вход 13_i коммутатора 11_i с выхода элемента 1, подключенного по входу 4_i блока 2_i, поступает единичный сигнал, выход элемента 1, соединенный со входом 3_i блока 2_i, подключается коммутатором 11_i к внешнему выводу 7_i устройства. В этом случае вывод 7_i используется в режиме "Выход элемента 1".

Если на управляющий вход 13_i коммутатора 11_i поступает нулевой сигнал, выход элемента 1, соединенный со входом 3_i блока 2_i, отключается коммутатором 11_i от внешнего вывода 7_i устройства, вывод 7_i подключается ко входу элемента 1, соединенному со вторым выходом блока 2_i, и используется в режиме "Вход устройства". При этом обратная связь через переключатель 12_i в элементе 1 сохраняется.

Если на этапе программирования устройства размыкается переключатель 12_i, а переключатель 9_i остается в замкнутом состоянии, выход элемента 1, соединенный со входом 3_i блока 2_i, отключается от информационного входа 10_i коммутатора 11_i и к нему оказывается подключенным выход триггера 8_i. При этом сигнал с выхода триггера 8_i поступает также на вход элемента 1, соединенный с первым выходом коммутирующего блока 2_i. Тем самым обеспечивается обратная связь, необходимая при реализации последовательных схем. Вывод 7_i устройства используется при этом либо в режиме "Выход триггера", либо в режиме "Вход устройства". Порядок смены этих режимов в процессе работы устройства аналогичен описанному порядку смены режимов "Выход элемента 1" - "Вход устройства".

В ходе смены режимов коммутатор 11_i работает следующим образом.

Если на его управляющий вход 13_i поступает единичный сигнал, первым элементом И обеспечивается передача сигнала от входа 10_i коммутатора к его входу 14_i. При этом подачей нулевого сигнала с выхода элемента И 16_i на управляющий вход второго элемента И 17_i, выход последнего переводится в высокоимпедансное состояние, что равносильно отключению его от выхода 15_i коммутатора.

При подаче на вход 13_i нулевого сигнала элементы И 16_i, 17_i срабатывают в обратном порядке: выход элемента И 16_i отключается от входа коммутатора 14_i, а вторым элементом И 17_i обеспечивается передача сигнала от входа 14_i коммутатора к его выходу 15_i.

Таким образом, в отличие от известного устройства все внешние выводы данного устройства, за исключением служебных (питание, синхронизация и т.п.), являются равнозначными. Их конкретное назначение задается на этапе программирования устройства и может, кроме того, меняться в динамике его работы. На основе такого устройства можно реализовать комбинационную схему с отношением числа входов к числу выходов от 1/(n-1) до (n-1)/1, или последовательностную схему с числом элементов памяти от 1 до (n-1) и с суммарным числом входов и выходов, не превышающим n, а также различные комбинации таких схем с возможностью их динамической реконфигурации. Введение в устройство коммутирующих блоков обеспечивает многорежимное использование его внешних выводов, позволяет, в частности, применять устройство в системах с двунаправленными шинами и расширяет его область применения по сравнению с известными устройствами.

Формула изобретения

1. Программируемое логическое устройство, содержащее многофункциональный логический элемент, отличающееся тем, что, с целью расширения области применения за счет перераспределения функций внешних выводов, содержит коммутирующие блоки, первый и второй входы каждого из которых подключены к информационным выходам многофункционального логического элемента соответственно, третий вход каждого коммутирующего блока подключен к входу синхронизации устройства, четвертый вход каждого коммутирующего блока подключен к внешнему выводу устройства, первый и второй входы каждого коммутирующего блока соединены с входами многофункционального логического элемента со-

ответственно, при этом каждый коммутирующий блок содержит триггер, переключатели и коммутатор, управляющий вход которого подключен к первому входу коммутирующего блока, второй вход которого подключен к информационному входу триггера и входу первого переключателя, выход которого подключен к первому информационному входу коммутатора, к первому выходу коммутирующего блока и выходу второго переключателя, вход которого подключен к выходу триггера, вход синхронизации которого подключен к третьему входу коммутирующего блока, четвертый вход которого подключен к второму информационному входу коммутатора, выход которого подключен к второму выходу коммутирующего блока.

2. Устройство по п.1, отличающееся тем, что коммутатор

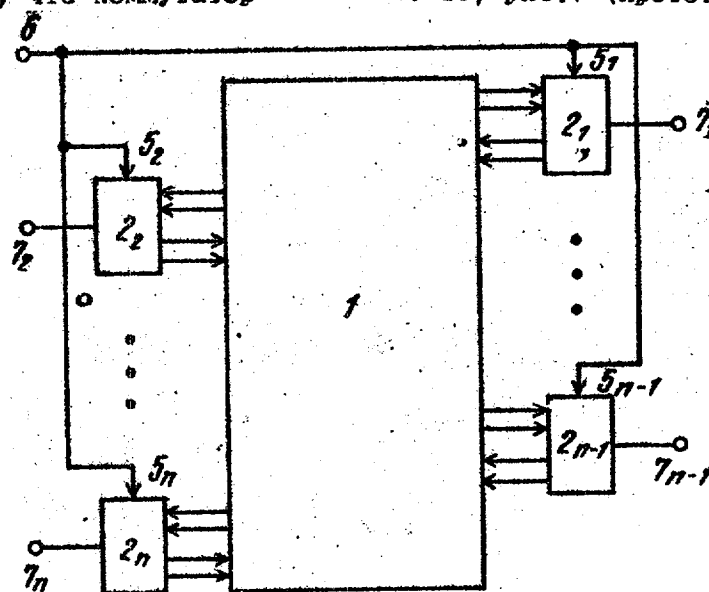
содержит элементы И и НЕ, причем первый информационный вход коммутатора подключен к первому входу первого элемента И, второй вход которого подключен к управляющему входу коммутатора и входу элемента НЕ, выход которого подключен к первому входу второго элемента И, второй вход которого подключен к выходу первого элемента И и второму информационному входу коммутатора, выход которого подключен к выходу второго элемента И.

Источники информации,

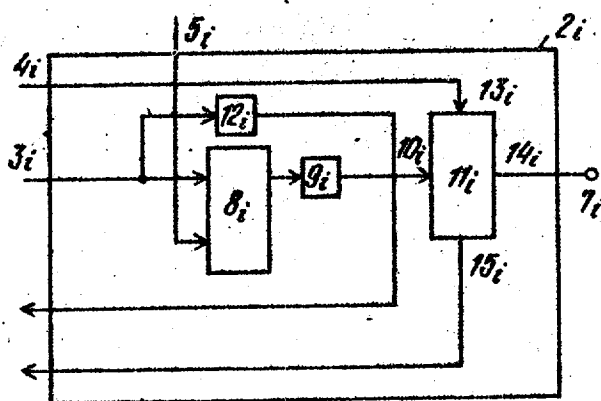
15 принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 739651, кл. G 11 С 15/04, 1979.

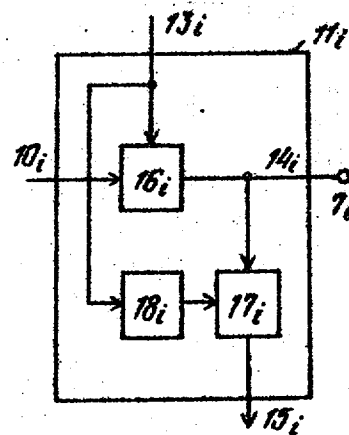
2. Логические программируемые устройства. Экспресс-информация. — "Вычислительная техника", 1980, № 30, с. 16, рис.7 (прототип).



Фиг. 1



Фиг. 2



Фиг. 3

ВНИИПИ Заказ 8518/41 Тираж 731 Подписное

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4