

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5577796号
(P5577796)

(45) 発行日 平成26年8月27日 (2014. 8. 27)

(24) 登録日 平成26年7月18日 (2014. 7. 18)

(51) Int. Cl.	F I	
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78	6 1 7 V
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78	6 1 7 U
HO 1 L 21/316 (2006. 01)	HO 1 L 29/78	6 1 7 T
HO 1 L 21/318 (2006. 01)	HO 1 L 29/78	6 1 8 B
	HO 1 L 21/316	X
請求項の数 11 (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2010-82201 (P2010-82201)	(73) 特許権者	000003193 凸版印刷株式会社 東京都台東区台東1丁目5番1号
(22) 出願日	平成22年3月31日 (2010. 3. 31)	(74) 代理人	100105854 弁理士 廣瀬 一
(65) 公開番号	特開2011-216602 (P2011-216602A)	(74) 代理人	100116012 弁理士 宮坂 徹
(43) 公開日	平成23年10月27日 (2011. 10. 27)	(72) 発明者	宮▲崎▼ ちひろ 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
審査請求日	平成25年2月20日 (2013. 2. 20)	(72) 発明者	伊藤 学 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
		最終頁に続く	

(54) 【発明の名称】 薄膜トランジスタ及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁基板上にゲート電極を形成し、前記ゲート電極及び前記絶縁基板上にゲート絶縁層を形成し、該ゲート絶縁層上に半導体活性層を形成し、該半導体活性層に接続されたソース電極及びドレイン電極を前記ゲート絶縁層上に形成するボトムゲート型薄膜トランジスタの製造方法であって、

前記ゲート絶縁層は、前記絶縁基板上に下部層と該下部層上に積層された少なくとも一層以上の上部層とがこの順で形成されてなり、前記下部層が真空紫外光CVD法により形成され、

前記上部層の少なくとも一層が、スパッタ法、原子層堆積法、又はプラズマCVD法で形成されていることを特徴とする薄膜トランジスタの製造方法。

10

【請求項 2】

前記下部層が酸化シリコンを含む材料からなることを特徴とする請求項 1 に記載の薄膜トランジスタの製造方法。

【請求項 3】

前記上部層の少なくとも一層が、酸化シリコン、窒化シリコン、シリコンオキシナイトライド、酸化アルミニウムのいずれか 1 種の化合物を含むことを特徴とする請求項 1 又は 2 に記載の薄膜トランジスタの製造方法。

【請求項 4】

前記下部層の抵抗率が 1.0×10^{11} ・ cm 以上であることを特徴とする請求項 1

20

乃至 3 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 5】

前記下部層を形成後、150 以上 200 以下で熱処理を行うことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 6】

前記下部層の膜厚が前記ゲート絶縁層の膜厚の 1/4 以上 1/2 以下であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 7】

前記下部層の膜厚が、ゲート電極の膜厚よりも厚いことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

10

【請求項 8】

前記半導体活性層が、金属酸化物半導体からなることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 9】

前記金属酸化物が、In、Ga、及び Zn の少なくとも一種を含む金属酸化物であることを特徴とする請求項 8 に記載の薄膜トランジスタの製造方法。

【請求項 10】

前記絶縁基板が、可撓性のプラスチック基板であることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 11】

請求項 1 乃至 10 のいずれか 1 項に記載の薄膜トランジスタの製造方法によって製造されたことを特徴とする薄膜トランジスタ。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ及びその製造方法に関する。

【背景技術】

【0002】

一般に電子デバイスの駆動用トランジスタとして、アモルファスシリコンや多結晶シリコン等を用いた薄膜トランジスタが用いられてきた。しかしながら、高品質なアモルファスシリコンや多結晶シリコンの作製には 200 以上の成膜温度を必要とするため、フレキシブルなデバイスを実現するためには基材として耐熱性の優れたポリイミドのような極めて高価かつ吸水率が高い、扱い難いフィルムを使わざるを得なかった。

30

【0003】

また近年、有機半導体材料を用いた薄膜トランジスタが盛んに研究されている。有機半導体材料は真空プロセスを用いず印刷プロセスで作成できるため、大幅にコストを下げられる可能性があり可撓性のプラスチック基材上に設けられる等の利点を有する。しかしながら、有機半導体材料の移動度は極めて低く、また経時劣化にも弱いという難点があり未だ広範な実用に至っていない。

【0004】

以上のような状況を受け、低温形成が可能な酸化物半導体材料が近年非常に注目を浴びている。例えばアモルファス In-Ga-Zn-O 系材料を半導体活性層として用いて、PET (ポリエチレンテレフタレート) 基板上に形成した薄膜トランジスタが移動度 $10 \text{ cm}^2 / \text{Vs}$ 前後の優れた特性を持つことが報告されている (非特許文献 1 参照)。室温作製でこのような高い移動度を実現できることを実証したことで、PET 等安価な汎用プラスチック基材上にトランジスタが形成可能となり、軽量で壊れにくいフレキシブルディスプレイの広範な普及への期待が大きくなってきた。しかしながら、プラスチック基板の表面粗度は、ガラス基板のそれと比較し大きい。このことはフレキシブルなデバイスを実現する上で大きな問題となる。

40

また、上述の酸化物半導体を半導体活性層としたフレキシブル薄膜トランジスタのゲー

50

ト絶縁層としては、例えば、スパッタ法を用いて室温成膜した酸化シリコン、窒化シリコン、酸化アルミニウム等の単膜又はそれらを積層した膜が用いられている（特許文献1参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-73697号公報

【非特許文献】

【0006】

【非特許文献1】K. Nomura et al Nature、432、488（2004） 10

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかし、ゲート絶縁層を全てスパッタ法で成膜した場合、スパッタで成膜した膜の表面は下地である基板の表面状態をそのまま受け継いでしまうため、基板にプラスチック基材を用いた場合、ゲート絶縁層の表面粗度が大きくなる。この場合、ゲート絶縁層と半導体活性層の界面ラフネスが大きくなり、素子特性に悪影響を与えるという問題があった。

さらに、ゲート絶縁層を全てスパッタ法で成膜する場合、スパッタ法は成膜速度が小さいために製造コストが大きくなるという問題があった。 20

【0008】

上記の問題は、ゲート絶縁層を原子層堆積法やプラズマCVD法を用いて形成する場合にも当てはまる。

そこで、本発明は上記の問題点に着目してなされたものであり、絶縁基板の表面粗度によらずゲート絶縁層の表面が平坦であり、信頼性が高く、製造コストを低減させた薄膜トランジスタ及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するための請求項1に係る発明は、絶縁基板の上にゲート電極を形成し、前記ゲート電極及び前記絶縁基板の上にゲート絶縁層を形成し、該ゲート絶縁層上に半導体活性層を形成し、該半導体活性層に接続されたソース電極及びドレイン電極を前記ゲート絶縁層上に形成するボトムゲート型薄膜トランジスタの製造方法であって、 30

前記ゲート絶縁層は、前記絶縁基板の上に下部層と該下部層上に積層された少なくとも一層以上の上部層とがこの順で形成されてなり、前記下部層が真空紫外光CVD法により形成され、

前記上部層の少なくとも一層が、スパッタ法、原子層堆積法、又はプラズマCVD法で形成されていることを特徴としている。

請求項1に係る発明によれば、ゲート絶縁層を構成する下部層及び上部層のうち、絶縁基板上に形成される下部層を、真空紫外光CVD法を用いて成膜したので、絶縁基板の表面状態によらず、ゲート絶縁層の表面が平坦であり、結果として、信頼性の高い薄膜トランジスタを提供することができる。 40

ここで、真空紫外光CVD法で酸化シリコンを形成する場合、有機シリコン化合物のシロキサン等を材料として形成する。その際、材料ガスが完全に分解するのではなく、一部は分解されて生成された反応活性種がマイグレーションし、フローしながら膜を形成するため、材料ガスに含まれるSi-CH₃等も膜中に多く含まれる。このため、真空紫外光CVD法で成膜したゲート絶縁層は400以上の高温アニールを行わない場合、一層だけでは十分な耐電圧性を持たせるのが困難な場合がある。

そこで、前記上部層として、スパッタ法、プラズマCVD法、原子層堆積法のいずれかを用いて、酸化シリコン、窒化シリコン、シリコンオキシナイトライド、酸化アルミニウムのいずれか一種の化合物を形成することで、十分な耐電圧を持つゲート絶縁層が形成さ 50

れた薄膜トランジスタを得ることができる。

【0010】

また、請求項2に係る発明は、請求項1に記載の薄膜トランジスタの製造方法において、前記下部層が、酸化シリコンを含む材料からなることを特徴としている。

請求項2に係る発明によれば、前記下部層を、酸化シリコンを含む材料で形成することで、優れた絶縁特性を持つ薄膜トランジスタを得ることができる。

【0011】

また、請求項3に係る発明は、請求項1又は2に記載の薄膜トランジスタの製造方法において、前記上部層の少なくとも一層が、酸化シリコン、窒化シリコン、シリコンオキシナイトライド、及び酸化アルミニウムの少なくともいずれか1種の化合物を含むことを特徴としている。

10

【0012】

また、請求項4に係る発明は、請求項1乃至3のいずれか1項に記載の薄膜トランジスタの製造方法において、前記下部層の抵抗率が $1.0 \times 10^{11} \cdot \text{cm}$ 以上であることを特徴としている。

請求項4に係る発明によれば、前記下部層の抵抗率が $1.0 \times 10^{11} \cdot \text{cm}$ 以上であることで、ゲート絶縁層全体として十分な絶縁性を呈し、ゲートリーク電流が抑制された薄膜トランジスタを得ることができる。

【0013】

また、請求項5に係る発明は、請求項1乃至4のいずれか1項に記載の薄膜トランジスタの製造方法において、前記下部層を形成後、 150 以上 200 以下で熱処理を行うことを特徴としている。

20

請求項5に係る発明によれば、前記下部層を形成後、 150 以上 200 以下で熱処理を行うことにより、より絶縁性に優れたゲート絶縁層が得られ、ゲートリーク電流が抑制された薄膜トランジスタを得ることができる。

【0014】

また、請求項6に係る発明は、請求項1乃至5のいずれか1項に記載の薄膜トランジスタの製造方法において、前記下部層の膜厚が、前記ゲート絶縁層の膜厚の $1/4$ 以上 $1/2$ 以下であることを特徴としている。

請求項6に係る発明によれば、前記下部層の膜厚が、前記ゲート絶縁層の膜厚の $1/4$ 以上 $1/2$ 以下であることで、ゲート絶縁層全体として特に優れた絶縁性を呈し、ゲートリーク電流が抑制された薄膜トランジスタを得ることができる。

30

【0015】

また、請求項7に係る発明は、請求項1乃至6のいずれか1項に記載の薄膜トランジスタの製造方法において、前記下部層の膜厚が、ゲート電極の膜厚よりも厚いことを特徴としている。

請求項7に係る発明によれば、前記下部層の膜厚をゲート電極の膜厚よりも厚くすることで、絶縁基板とゲート電極の段差を平坦化し、絶縁破壊が生じにくい信頼性の高いトランジスタを得ることができる。

【0016】

また、請求項8に係る発明は、請求項1乃至7のいずれか1項に記載の薄膜トランジスタの製造方法において、前記半導体活性層が、金属酸化物半導体からなるからなることを特徴としている。

40

請求項8に係る発明によれば、前記半導体活性層が金属酸化物半導体からなるので、優れたトランジスタ特性を有する薄膜トランジスタを得ることができる。

【0017】

また、請求項9に係る発明は、請求項8に記載の薄膜トランジスタの製造方法において、前記金属酸化物が、In、Ga、及びZnの少なくとも一種を含むことを特徴としている。

請求項9に係る発明によれば、前記金属酸化物が、In、Ga、及びZnの少なくとも

50

一種を含むことで、特に優れたトランジスタ特性を有する薄膜トランジスタを得ることができる。

【0018】

また、請求項10に係る発明は、請求項1乃至9のいずれか1項に記載の薄膜トランジスタの製造方法において、前記絶縁基板が、可撓性のプラスチック基板であることを特徴としている。

また、請求項11に係る発明は、請求項1乃至9のいずれか1項に記載の薄膜トランジスタの製造方法によって製造されたことを特徴としている。

【発明の効果】

【0019】

本発明によれば、絶縁基板の表面粗度によらずゲート絶縁層の表面が平坦であり、信頼性が高く、製造コストを低減させた薄膜トランジスタ及びその製造方法を提供することができる。

【図面の簡単な説明】

【0020】

【図1】本発明に係る薄膜トランジスタの製造方法の一実施形態によって得られる薄膜トランジスタの構成を示す断面図である。

【図2】本発明に係る薄膜トランジスタの製造方法の一実施形態を示す断面図である。

【図3】本発明に係る薄膜トランジスタの製造方法の他の実施形態によって得られる薄膜トランジスタの構成を示す断面図である。

【図4】本発明に係る薄膜トランジスタの製造方法の実施例によって得られる薄膜トランジスタの構成を示す断面図である。

【図5】薄膜トランジスタの比較例の構成を示す断面図である。

【発明を実施するための形態】

【0021】

以下、本発明に係る薄膜トランジスタ及びその製造方法の実施形態について図面を参照して説明する。なお、本実施形態の説明において、同一構成要素には同一符号を付け、実施の形態の間において重複する説明は省略する。

図1は本発明に係る薄膜トランジスタの製造方法の一実施形態によって得られる薄膜トランジスタの構成を示す断面図である。また、図2は、本発明に係る薄膜トランジスタの製造方法の一実施形態を示す断面図である。

【0022】

図1に示すように、本発明に係る薄膜トランジスタの製造方法の一実施形態によって得られる薄膜トランジスタ1は、絶縁基板10と、該絶縁基板10上に形成されたゲート電極11と、ゲート電極11上に該ゲート電極11を覆うように形成された下部層12aと、下部層12a上に形成された上部層12bと、該上部層12b上に形成された半導体活性層13と、それぞれが該半導体活性層13の一部を覆うように形成されて半導体活性層13に接続され、ゲート絶縁層12上に形成されたソース電極14及びドレイン電極15とを備えているボトムゲート-トップコンタクト型の薄膜トランジスタである。そして、下部層12a及び上部層12bがゲート絶縁層12を構成し、絶縁基板10に接する下部層12aが真空紫外光CVD法で成膜される。

【0023】

<絶縁基板>

絶縁基板10には、例えば、ガラス基板やプラスチック基板を用いることができる。

プラスチック基板としては、例えば、ポリメチルメタクリレート、ポリアクリレート、ポリカーボネート、ポリスチレン、ポリエチレンサルファイド、ポリエーテルスルホン(PES)、ポリオレフィン、ポリエチレンテレフタレート、ポリエチレンナフタレート(PEN)、シクロオレフィンポリマー、ポリエーテルサルフェン、トリアセチルセルロース、ポリビニルフルオライドフィルム、エチレン-テトラフルオロエチレン共重合樹脂、耐候性ポリエチレンテレフタレート、耐候性ポリプロピレン、ガラス繊維強化アクリル樹

10

20

30

40

50

脂フィルム、ガラス繊維強化ポリカーボネート、透明性ポリイミド、フッ素系樹脂、環状ポリオレフィン系樹脂等を使用することができる。

これらの基板は、単独で使用することもでき、二種以上を積層した複合基板を使用することもできる。また、ガラス基板やプラスチック基板上に樹脂層、例えばカラーフィルタが形成された基板を使用することもできる。

【0024】

<電極>

ゲート電極11、ソース電極14、及びドレイン電極15の各電極の材料としては、酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化カドミウム(CdO)、酸化インジウムカドミウム(CdIn_2O_4)、酸化カドミウムスズ(Cd_2SnO_4)、酸化亜鉛スズ(Zn_2SnO_4)、酸化インジウム亜鉛(In-Zn-O)等の酸化物材料が好適に用いられる。

10

【0025】

また、ゲート電極11、ソース電極14、及びドレイン電極15の各電極は、上記酸化物材料に不純物をドーピングした材料を採用することも導電率を上げるために好ましい。例えば、酸化インジウムにスズやモリブデン、チタンをドーピングしたもの、酸化スズにアンチモンやフッ素をドーピングしたもの、酸化亜鉛にインジウム、アルミニウム、ガリウムをドーピングしたものなどが挙げられる。

【0026】

これらの中では、特に、酸化インジウムにスズをドーピングした酸化インジウムスズ(通称ITO)が低い抵抗率のために特に好適に用いられる。また、Au、Ag、Cu、Cr、Al、Mg、Liなどの低抵抗金属材料も好適に用いられる。さらに、導電性酸化物材料と低抵抗金属材料を複数積層したものも使用できる。この場合、金属材料の酸化や経時劣化を防ぐために導電性酸化物薄膜/金属薄膜/導電性酸化物薄膜の順に積層した3層構造が特に好適に用いられる。また、PEDOT(ポリエチレンジオキシチオフェン)等の有機導電性材料も好適に用いることができる。ゲート電極、ソース電極及びドレイン電極は全て同じ材料であっても構わないし、また全て違う材料であっても構わない。しかし、工程数を減らすためにソース電極とドレイン電極は同一の材料であることがより望ましい。

20

【0027】

これらの電極は、真空蒸着法、イオンプレーティング法、スパッタ法、レーザーアブレーション法、プラズマCVD(Chemical Vapor Deposition)、光CVD、ホットワイヤーCVD法等で形成される。また上述の導電性材料をインキ状、ペースト状にしたものをスクリーン印刷、凸版印刷、インクジェット法等で塗布し、焼成して形成することもできるが、これらに限定されるものではない。

30

【0028】

<ゲート絶縁層>

ゲート絶縁層12は、下部層12aと上部層12bで構成される。ゲート絶縁層12の厚さは50nm以上2 μm 以下とすることが好ましい。下部層12aは真空紫外光CVD法により形成される。

ここで、真空紫外光CVD法を用いて成膜した膜は、マグネトロンスパッタ法等を用いて形成された膜と異なり、高い自己平坦化特性を持つ。

40

真空紫外光CVD法において絶縁基板10の材料や表面形状によらず平坦な膜が形成されるのは、表面反応によって膜が形成されるのではなく、気相中で光分解して発生したラジカル等の反応活性種が、表面をマイグレーションシフトしながら堆積し、薄膜が形成されるためである。

【0029】

従って、ボトムゲート型薄膜トランジスタ1の下部層12aを、真空紫外光CVD法を用いて成膜することで、絶縁基板10の表面の凹凸や、ゲート絶縁層12を形成する前に絶縁基板10上に形成したパターンによる凹凸(段差)を埋め込み平坦化することが可能となり、平坦な表面を得ることができる。

50

このように、絶縁基板 10 の表面の凹凸を低減させるようにゲート絶縁層（下部層）を形成することで、平坦なゲート絶縁層 - 半導体活性層界面が得られ、トランジスタ特性を向上させた薄膜トランジスタ 1 を得ることができる。

【0030】

また、真空紫外光 CVD は、室温での成膜が可能であるため、前記絶縁基板として、プラスチック基板を採用した場合にも容易に成膜を行うことが可能である。

また、真空紫外光 CVD 法は、マグネトロンスパッタ法とは異なり、例えば、酸化シリコンを成膜する場合、100 nm/min 以上という非常に速い成膜が可能である。よって、成膜速度の大きい光 CVD 法を用いてゲート絶縁層の一部を成膜することで、製造コストを低減させることができる。

10

【0031】

下部層 12 a の材料としては、例えば、酸化シリコンを含む材料が好ましい。出発原料としては、オクタメチルシクロテトラシロキサン、テトラエトキシシラン / O₂ 等が挙げられる。

下部層 12 a の抵抗値は $1.0 \times 10^{11} \cdot \text{cm}$ 以上が好ましく、より好ましくは $1.0 \times 10^{12} \cdot \text{cm}$ 以上である。抵抗値が $1.0 \times 10^{11} \cdot \text{cm}$ より小さいと、ゲート絶縁層 12 全体として十分な絶縁性を呈することができず、ゲートリーク電流が増大するため、良好な素子特性を得ることができない。

【0032】

下部層 12 a の膜厚は、ゲート絶縁層 12 全体の膜厚の 4/5 以下であると、ゲート絶縁層 12 全体として十分な絶縁性を呈し、ゲートリーク電流を抑制する上で好ましく、下部層 12 a の膜厚が、ゲート絶縁層 12 全体の膜厚の 1/4 以上 1/2 以下であるとより好ましい。

20

さらに、下部層 12 a の膜厚をゲート電極 11 の膜厚よりも厚くすることで、ゲート電極 11 の形状の起伏や絶縁基板 10 とゲート電極 11 の段差を平坦化し、絶縁破壊が生じにくい信頼性の高いトランジスタを得ることが可能となる。

【0033】

ここで、上部層 12 b は単層とすることもでき、複数の層を積層することもできる。すなわち、ゲート絶縁層 12 の構成は、下部層 12 a と、一層以上の上部層 12 b とからなる構成に限られず、少なくとも絶縁基板 10 上に複数のゲート絶縁層（下部層 12 a 及び上部層 12 b）が形成されてゲート絶縁層 12 を構成し、かつ絶縁基板 10 上に形成されるゲート絶縁層（下部層 12 a）が真空紫外光 CVD 法で成膜されればよい。

30

【0034】

また、上部層 12 b の材料はゲートリーク電流を抑制するための十分な絶縁性を有していれば特に制限はないが、抵抗率が $1.0 \times 10^{12} \cdot \text{cm}$ 以上の材料が好ましく、さらには $1.0 \times 10^{14} \cdot \text{cm}$ 以上であることが好ましい。

上部層 12 b を構成する材料としては、酸化シリコン、窒化シリコン、シリコンオキシナイトライド、酸化アルミニウムが特に好ましい。また、酸化タンタル、酸化イットリウム、酸化ハフニウム、ハフニウムアルミネート、酸化ジルコニア、酸化チタン等も挙げることができ、これらの材料を用いることでゲートリーク電流を抑制するために十分な絶縁性を得ることができる。

40

【0035】

<半導体活性層>

半導体活性層 13 の材料としては、例えば、亜鉛、インジウム、スズ、タングステン、マグネシウム、ガリウムのうち一種以上元素を含む酸化物が挙げられる。酸化亜鉛、酸化インジウム、酸化インジウム亜鉛、酸化スズ、酸化タングステン、酸化亜鉛ガリウムインジウム (In Ga Zn O) 等公知の材料が挙げられるがこれらに限定されるものではない。これらの材料の構造は単結晶、多結晶、微結晶、結晶 / アモルファスの混晶、ナノ結晶散在アモルファス、アモルファスのいずれであってもかまわない。半導体活性層の膜厚は少なくとも 10 nm 以上が望ましい。10 nm より小さいと島状成長により膜

50

中に半導体が形成されていない部分が生じるという問題が起こりうる。

【0036】

< 薄膜トランジスタの製造方法 >

次に、薄膜トランジスタ1の製造方法について図2を参照して説明する。

まず、図2(a)に示すように、スパッタ装置等を用いて、絶縁基板10上にゲート電極11を形成(成膜)する。

次に、図2(b)に示すように、真空紫外光CVD装置を用いて、酸化シリコンを含む材料からなる下部層12aを、絶縁基板10及びゲート電極11を覆うように形成(成膜)する。

【0037】

そして、下部層12aを形成(成膜)後、下部層12aが上面に形成された絶縁基板10に対して熱処理を行う。この熱処理は、150以上、200以下で熱処理を行うことが好ましい。前記熱処理温度が150未満であると、絶縁性が低下することがある。また、前記熱処理温度が200を超えると、前記絶縁基板及び前記下部層の基材としての耐性を低下させることになる。上記範囲で熱処理を行うことにより、より絶縁性に優れたゲート絶縁層が得られる。

【0038】

次に、図2(c)に示すように、スパッタ装置等を用いて下部層12a上に上部層12bを形成(成膜)する。

上部層12bは、スパッタ法、プラズマCVD法又は原子層堆積法で形成されることが好ましいが、真空蒸着法、イオンプレーティング法、レーザーアブレーション法、ホットワイヤーCVD法等の方法を用いても構わない。これらの上部層12bは膜の成長方向に向けて組成を傾斜したものもまた好適に用いることができる。

このようにして形成された下部層12a及び上部層12bがゲート絶縁層12を構成する。

【0039】

次に、図2(d)に示すように、上部層12b上に半導体活性層13を形成(成膜)する。

半導体活性層13は、スパッタ法、パルスレーザー堆積法、真空蒸着法、CVD法、ゾルゲル法などの方法を用いて形成される。これらの方法のうち、スパッタ法、パルスレーザー堆積法、真空蒸着法、CVD法で形成されることが好ましい。スパッタ法では、RFマグネトロンスパッタ法、DCスパッタ法、イオンビームスパッタ法が挙げられ、真空蒸着では、加熱蒸着、電子ビーム蒸着、イオンプレーティング法が挙げられ、CVD法では、ホットワイヤーCVD法、プラズマCVD法などが挙げられるが、これらに限定されるものではない。

【0040】

また、半導体活性層13は、金属酸化物を主成分とし、該金属酸化物は、例えば、亜鉛、インジウム、スズ、タングステン、マグネシウム、ガリウムのうち一種以上元素を含む酸化物が挙げられる。なお、これらゲート絶縁層12及び半導体活性層13の成膜における温度はいずれも室温である。

また、上部層12bを複数層形成した場合、複数の上部層12bのうち、半導体活性層13と接する層と、半導体活性層13の成膜方法は同一であるとより好ましい。同一チャンパー内で連続成膜を行うことで、優れた素子特性を持ち、信頼性の高い薄膜トランジスタを得ることができる。

【0041】

その後、半導体活性層13を、フォトリソグラフィ法を用いてエッチングによりパターン形成する。

その後、図2(e)に示すように、蒸着法によりソース電極14及びドレイン電極15を半導体活性層14上に形成(成膜)して、薄膜トランジスタ1が得られる。

【0042】

10

20

30

40

50

(他の実施形態)

図3は、本発明に係る薄膜トランジスタの他の実施形態における構成を示す断面図である。

図3に示すように、薄膜トランジスタ1は、他の実施形態として、絶縁基板10と、該絶縁基板10上に形成されたゲート電極11と、ゲート電極11上に該ゲート電極11を覆うように形成された下部層12aと、下部層12a上に形成された上部層12bと、該上部層12b上に形成されたソース電極14及びドレイン電極15と、ソース電極14及びドレイン電極15のそれぞれの一部を覆うように形成されてソース電極14及びドレイン電極15のそれぞれに接続され、上部層12b上に形成された半導体活性層13とを備えているボトムゲート-トップコンタクト型の薄膜トランジスタとしてもよい。本実施形態においても、下部層12a及び上部層12bがゲート絶縁層12を構成し、絶縁基板10に接する下部層12aが真空紫外光CVD法で成膜される。

10

【実施例】

【0043】

以下、本発明の薄膜トランジスタ及びその製造方法の実施例1乃至6、並びに比較例1及び2について説明する。

(実施例1)

実施例1では図4に示すような薄膜トランジスタ1を以下のようにして作製した。

絶縁基板10としてPEN基材(帝人デュボン社製Q65,厚さ125 μ m)上に、DCマグネトロンスパッタ装置を用いてITOを80nm成膜し、フォトリソグラフィ法を用いたエッチングによりゲート電極11を形成した。ITO成膜時の投入電力は100W、ガス流量はAr=50SCCM、O₂=0.1SCCM、成膜圧力は1.0Paとした。

20

【0044】

次に、真空紫外光CVD装置を用いてSiO₂からなる下部層12aを100nm成膜した。下部層12aは、原料としてオクタメチルシクロテトラシロキサンを5SCCM流し、投入電力100W、成膜圧力10Paとして成膜した。成膜後、基板に対して150、3時間大気中で熱処理を行った。半導体パラメータアナライザ(Keithley製,SCS4200)を用いて求めた抵抗率は1.3 $\times 10^{12}$ ・cmであった。

【0045】

その後、下部層12a上にRFマグネトロンスパッタ装置を用いてSiONからなる上部層12bを300nm(投入電力は500W、Ar=50SCCM、O₂=20SCCM、成膜圧力1.0Pa)、InGaZnO系酸化物からなる半導体活性層13を40nm(投入電力100W、Ar=100SCCM、O₂=2SCCM、成膜圧力1.0Pa)連続成膜した。各成膜における基板温度はいずれも室温である。

30

【0046】

その後、半導体活性層13を、フォトリソグラフィ法を用いてエッチングによりパターン形成した後、メタルマスクを用いたEB(Electron Beam)蒸着によりAlからなるソース電極14とドレイン電極15を膜厚100nmとして形成し、薄膜トランジスタ1を得た。ソース/ドレイン電極間の長さは0.2mmであり、ソース/ドレイン電極間の幅は2mmである。また、膜厚は触針式膜厚計(ULVAC製,DekTak6M)で測定した。なお、下部層12aの成膜速度は100nm/min、上部層12bの成膜速度は10nm/minである。よって、ゲート絶縁層12の成膜に要した時間は31minであった。このようにして作製された実施例1の薄膜トランジスタ1のトランジスタ特性を表1に示す。

40

【0047】

表1に示すように、半導体パラメータアナライザ(Keithley製SCS4200)を用いて測定した実施例1の薄膜トランジスタ1の移動度は10cm²/Vs、ソース/ドレイン電極間に10Vの電圧が印加されたときのON/OFF比は6桁、subthreshold swing値(s値)は0.8V/decadeであった。ゲート電

50

圧20V時のゲートリーク電流は 2.3×10^{-11} Aであり、良好なトランジスタ特性を示すとともに、十分にゲートリーク電流が抑制されていた。

【0048】

(実施例2)

下部層の膜厚を200nm、上部層12bの膜厚を200nmとした以外は実施例1と同様にして薄膜トランジスタ1を作製した。下部層12aの抵抗率は実施例1と同様、 $1.3 \times 10^{12} \cdot \text{cm}$ であった。なおゲート絶縁層12の成膜に要した時間は22minであった。このようにして作製された実施例2の薄膜トランジスタ1のトランジスタ特性を表1に示す。

【0049】

表1に示すように、半導体パラメータアナライザ(Keithley製, SCS4200)を用いて測定した実施例2の薄膜トランジスタ1の移動度は $10 \text{ cm}^2 / \text{Vs}$ 、ソース/ドレイン電極間に10Vの電圧が印加されたときのON/OFF比は6桁、s値は 0.8 V/decade 、ゲート電圧20V時のゲートリーク電流は 9.5×10^{-11} Aであり、良好なトランジスタ特性を示すとともに、十分にゲートリーク電流が抑制されていた。

【0050】

(実施例3)

下部層12aの膜厚を320nm、上部層12bの膜厚を80nmとした以外は実施例1と同様にして薄膜トランジスタ1を作製した。下部層12aの抵抗率は実施例1と同様、 $1.3 \times 10^{12} \cdot \text{cm}$ であった。なお、ゲート絶縁層12の成膜に要した時間は11.2minであった。このようにして作製された実施例3の薄膜トランジスタ1のトランジスタ特性を表1に示す。

【0051】

表1に示すように、半導体パラメータアナライザ(Keithley製, SCS4200)を用いて測定した実施例3の薄膜トランジスタ1の移動度は $8 \text{ cm}^2 / \text{Vs}$ 、ソース/ドレイン電極間に10Vの電圧が印加されたときのON/OFF比は5桁、s値は 1.0 V/decade 、ゲート電圧20V時のゲートリーク電流は 1.1×10^{-10} Aであり、実施例1と比較するとゲートリーク電流の値は大きいが良好な素子特性を示した。

【0052】

(実施例4)

下部層12aの成膜後の熱処理条件を変更した以外は実施例3と同様にして薄膜トランジスタ1を作製した。熱処理は80℃で3時間、大気中で行った。下部層12aの抵抗率は $1.3 \times 10^{11} \cdot \text{cm}$ であった。なおゲート絶縁層12の成膜に要した時間は11.2minであった。このようにして作製された実施例4の薄膜トランジスタ1のトランジスタ特性を表1に示す。

【0053】

表1に示すように、半導体パラメータアナライザ(Keithley製, SCS4200)を用いて測定した実施例4の薄膜トランジスタ1の移動度は $7 \text{ cm}^2 / \text{Vs}$ 、ソース/ドレイン電極間に10Vの電圧が印加されたときのON/OFF比は4桁、s値は 1.5 V/decade 、ゲート電圧20V時のゲートリーク電流は 1.5×10^{-9} Aであり、実施例1と比較するとゲートリーク電流の値は大きいが良好な素子特性を示した。

【0054】

(実施例5)

上部層12bとして原子層堆積装置を用いて Al_2O_3 を成膜した以外は、実施例3と同様にして薄膜トランジスタ1を作製した。 Al_2O_3 は基板温度を150℃とし、トリメチルアルミニウムと H_2O を原料として成膜した。下部層12aの抵抗率は実施例3と同様、 $1.3 \times 10^{12} \cdot \text{cm}$ であった。 Al_2O_3 の成膜時間は3nm/minであり、ゲート絶縁層12の成膜に要した時間は30minであった。このようにして作製された実施例5の薄膜トランジスタ1のトランジスタ特性を表1に示す。

10

20

30

40

50

【0055】

表1に示すように、半導体パラメータアナライザ（Keithley製，SCS4200）を用いて測定した実施例5の薄膜トランジスタ1の移動度は $12\text{ cm}^2/\text{Vs}$ 、ソース/ドレイン電極間に10Vの電圧が印加されたときのON/OFF比は7桁、 s 値は 0.4 V/decade 、ゲート電圧20V時のゲートリーク電流は $1.5 \times 10^{-10}\text{ A}$ であり、良好な素子特性を示した。

【0056】

（実施例6）

上部層12bとして平行平板プラズマCVD装置を用いて SiO_2 を成膜した以外は、実施例3と同様にして薄膜トランジスタ1を作製した。 SiO_2 は基板温度を120とし、ヘキサメチルジシロキサン（50）をガス流量5SCCM、 O_2 をガス流量50SCCM流し、投入電力100W、成膜圧力20Paとして成膜した。下部層12aの抵抗率は実施例3と同様、 $1.3 \times 10^{12} \cdot \text{cm}$ であった。 SiO_2 の成膜時間は20nm/minであり、ゲート絶縁層12の成膜に要した時間は7.2minであった。このようにして作製された実施例6の薄膜トランジスタ1のトランジスタ特性を表1に示す。

10

【0057】

表1に示すように、半導体パラメータアナライザ（Keithley製，SCS4200）を用いて測定した実施例6の薄膜トランジスタ1の移動度は $8\text{ cm}^2/\text{Vs}$ 、ソース/ドレイン電極間に10Vの電圧が印加されたときのON/OFF比は6桁、 s 値は 0.8 V/decade 、ゲート電圧20V時のゲートリーク電流は $1.8 \times 10^{-10}\text{ A}$ であり、良好な素子特性を示した。

20

【0058】

（実施例7）

図3において上部層12bとして平行平板プラズマCVD装置を用いて SiN を成膜した以外は、実施例3と同様にして薄膜トランジスタ1を作製した。 SiN は基板温度を120とし、シランをガス流量100SCCM、アンモニアをガス流量50SCCM、 N_2 をガス流量1SLM、 H_2 をガス流量1SLMとして流し、投入電力100W、成膜圧力200Paとして成膜した。下部層12aの抵抗率は実施例3と同様、 $1.3 \times 10^{12} \cdot \text{cm}$ であった。 SiN の成膜時間は20nm/minであり、ゲート絶縁層12の成膜に要した時間は7.2minであった。このようにして作製された実施例7の薄膜トランジスタ1のトランジスタ特性を表1に示す。

30

【0059】

表1に示すように、半導体パラメータアナライザ（Keithley製，SCS4200）を用いて測定した実施例7の薄膜トランジスタ1の移動度は $9\text{ cm}^2/\text{Vs}$ 、ソース/ドレイン電極間に10Vの電圧が印加されたときのON/OFF比は6桁、 s 値は 0.7 V/decade 、ゲート電圧20V時のゲートリーク電流は $2.2 \times 10^{-10}\text{ A}$ であり、良好な素子特性を示した。

【0060】

（実施例8）

図3において下部層12aの成膜後の熱処理を行わなかった以外は、実施例3と同様にして薄膜トランジスタ1を作製した。形成した下部層12aの抵抗率は $1.0 \times 10^{11} \cdot \text{cm}$ であり、炭素含有量は30atm%であった。

40

薄膜トランジスタ素子が絶縁基板上に形成された薄膜トランジスタ1を、直径2cmの筒に10回繰り返し巻きつける試験を行った後に、半導体パラメータアナライザ（Keithley製，SCS4200）を用いて実施例8の薄膜トランジスタ1の素子特性を測定した結果、移動度は $7\text{ cm}^2/\text{Vs}$ 、ソース/ドレイン電極間に10Vの電圧が印加されたときのON/OFF比は3桁、ゲート電圧20V時のゲートリーク電流は $3.6 \times 10^{-9}\text{ A}$ であり、実施例1と比較するとゲートリーク電流の値は大きいが良好な素子特性を示した。

【0061】

50

(比較例1)

比較例1では、図5に示すように、ゲート絶縁層12を単層とした薄膜トランジスタ100を作製した。具体的には、ゲート絶縁層12(上部層12b)としてRFマグネトロンスパッタ装置を用いてSiONを400nm(投入電力500W、Ar=50SCCM、O₂=20SCCM、成膜圧力1.0Pa)の膜厚で成膜した以外は実施例1と同様にして薄膜トランジスタ100を作製した。

【0062】

形成したゲート絶縁層12の抵抗率は 7.3×10^{-14} ・cmであった。なおゲート絶縁層12の成膜速度は10nm/minであったため、成膜に要した時間は40minであった。このようにして作製された比較例1の薄膜トランジスタ100のトランジスタ特性を表1に示す。

10

表1に示すように、半導体パラメータアナライザ(Keithley製,SCS4200)を用いて測定した比較例1の薄膜トランジスタ100の移動度は $1\text{cm}^2/\text{Vs}$ 、ソース/ドレイン電極間に10Vの電圧が印加されたときのON/OFF比は2桁、s値は5.0V/decade、ゲート電圧20V時のゲートリーク電流は 3.5×10^{-11} Aであり、実施例1と比較して、移動度とs値が劣る値となり、良好な素子特性を得ることができなかった。

【0063】

(比較例2)

ゲート絶縁層12を単層とし、ゲート絶縁層12(下部層12a)として真空紫外光CVD装置を用いてSiO₂を400nm(投入電力100W、成膜圧力10Pa)の膜厚で成膜した以外は実施例1と同様にして薄膜トランジスタ100を作製した。

20

形成したゲート絶縁層12の抵抗率は 1.3×10^{-12} ・cmであった。なおゲート絶縁層12の成膜速度は100nm/minであったため、成膜に要した時間は4minであった。このようにして作製された比較例2の薄膜トランジスタ100のトランジスタ特性を表1に示す。

表1に示すように、半導体パラメータアナライザ(Keithley製,SCS4200)による素子特性の評価中に素子の絶縁破壊が生じ、比較例2の薄膜トランジスタ100の素子特性を評価することはできなかった。

【0064】

30

【表 1】

	ゲート絶縁層の構成	下部層の成膜法	上部層の成膜法	下部層の膜厚(nm)	ゲート電極の膜厚(nm)	下部層の膜厚/ゲート絶縁層の膜厚	下部層の熱処理温度(°C)	移動度 (cm ² /Vs)	ON/OFF (桁)	s値 (V/dec.)	ゲートリーク電流(A)	ゲート絶縁層の成膜時間(min)
実施例 1	2層 真空紫外光CVD法	スパッタ法	100	80	1/4	150	10	6	0.8	2.3×10^{-11}	31	
実施例 2	2層 真空紫外光CVD法	スパッタ法	200	80	1/2	150	10	6	0.8	9.5×10^{-11}	22	
実施例 3	2層 真空紫外光CVD法	スパッタ法	320	80	4/5	150	8	5	1.0	1.1×10^{-10}	11.2	
実施例 4	2層 真空紫外光CVD法	スパッタ法	320	80	4/5	80	7	4	1.5	1.5×10^{-9}	11.2	
実施例 5	2層 真空紫外光CVD法	原子層堆積法	320	80	4/5	150	12	7	0.4	1.5×10^{-10}	30	
実施例 6	2層 真空紫外光CVD法	プラズマCVD法	320	80	4/5	150	10	6	0.5	1.8×10^{-10}	7.2	
実施例 7	2層 真空紫外光CVD法	プラズマCVD法	320	80	4/5	150	9	6	0.7	2.2×10^{-10}	7.2	
比較例 1	単層	—	—	80	0	150	1	2	5.0	3.5×10^{-11}	40	
比較例 2	単層	真空紫外光CVD法	—	80	1	150	測定不可	測定不可	測定不可	測定不可	4	

【 0 0 6 5 】

本発明の薄膜トランジスタの製造方法は、ゲート絶縁層を二層以上の多層構造とし、基板と接触する層を真空紫外光CVD法で成膜することで基板の表面状態によらず膜表面が平坦なゲート絶縁層を短時間で設けることができる。これにより、信頼性が高く、製造コストを低減させた薄膜トランジスタを提供することができる。

このようにして得られた薄膜トランジスタは、信頼性が高く、製造コストを低減させたという特性を生かして、電子ペーパー、LCD、有機ELディスプレイ等のスイッチング素子として利用できる。また特にフレキシブル基材を基板とするフレキシブルディスプレイや、ICカード、ICタグ等にも広く応用することができる。

なお、本発明は、上記実施形態に限定されるものではなく、本発明の趣旨を逸脱しなければ種々の変形が可能である。

10

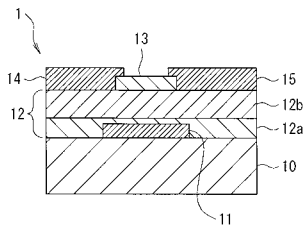
【符号の説明】

【 0 0 6 6 】

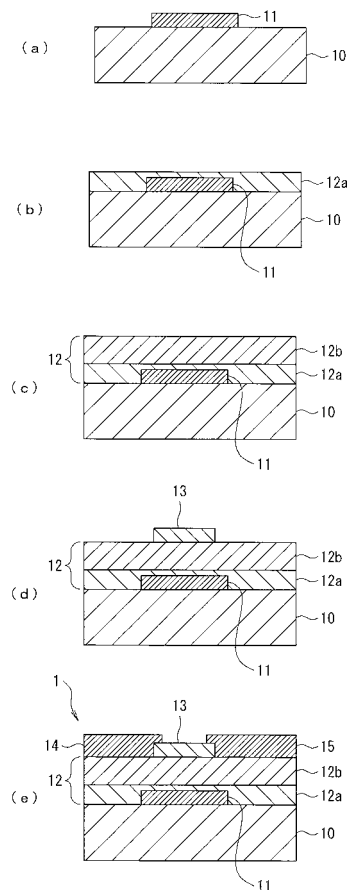
- 1 薄膜トランジスタ
- 10 絶縁基板
- 11 ゲート電極
- 12 ゲート絶縁層
- 12 a 下部層
- 12 b 上部層
- 13 半導体活性層
- 14 ソース電極
- 15 ドレイン電極

20

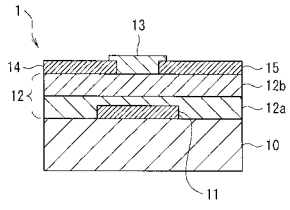
【 図 1 】



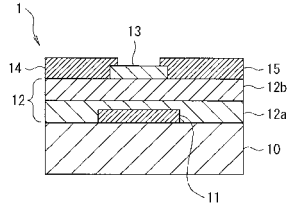
【 図 2 】



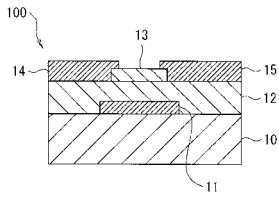
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/316 Y
H 0 1 L 21/318 C
H 0 1 L 21/318 B
H 0 1 L 21/318 M
H 0 1 L 21/316 M
H 0 1 L 29/78 6 2 7 A

(72)発明者 池田 典昭
東京都台東区台東1丁目5番1号 凸版印刷株式会社内

審査官 大橋 達也

(56)参考文献 特開2009-141342(JP,A)
特開2007-103754(JP,A)
特開平05-283693(JP,A)
特開2008-053561(JP,A)
特開2009-088180(JP,A)
特開2002-075988(JP,A)
特開2010-062549(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 3 1 6
H 0 1 L 2 1 / 3 1 8
H 0 1 L 2 9 / 7 8 6