【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成16年9月16日(2004.9.16)

【公開番号】特開2000-214967(P2000-214967A)
【公開日】平成12年8月4日(2000.8.4)
【出願番号】特願平11-307990
【国際特許分類第７版】
　Ｇ０６Ｆ　1/32
　Ｇ０６Ｆ　9/30
　Ｇ０６Ｆ　15/78
【ＦＩ】
　Ｇ０６Ｆ　1/00　３３２Ｚ
　Ｇ０６Ｆ　9/30　３１０Ａ
　Ｇ０６Ｆ　15/78　５１０Ｐ

【手続補正書】
【提出日】平成15年9月2日(2003.9.2)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
命令セットに含まれる命令信号によって使用される複数の回路ブロックと、
上記命令信号をデコードして上記複数の回路ブロックの使用を指示する制御信号を出力する命令デコーダとを有し、
上記複数の回路ブロックのそれぞれは所定のパイプラインステージにおいて使用され、上記制御信号は上記パイプラインステージに同期して伝達され、
上記複数の回路ブロックは、第１電位と第２電位との間に直列接続された第１ＰチャネルＭＯＳＦＥＴ及び第１ＮチャネルＭＯＳＦＥＴからなる相補形ＭＯＳＦＥＴを含み、
上記回路ブロックは、上記制御信号の伝達に応じて第１動作状態に、上記回路ブロックの使用の終了に応じて第２動作状態とされ、
上記第１動作状態において、上記第１ＰチャネルＭＯＳＦＥＴまたは上記第１ＮチャネルＭＯＳＦＥＴのゲート・ソース間電圧を０Ｖとした場合に、上記相補形ＭＯＳＦＥＴの直列結合されたソース・ドレイン経路に第１電流が流れ、
上記第２動作状態において、上記第１ＰチャネルＭＯＳＦＥＴまたは上記第１ＮチャネルＭＯＳＦＥＴのゲート・ソース間電圧を０Ｖとした場合に、上記相補形ＭＯＳＦＥＴの直列結合されたソース・ドレイン経路に上記第１電流よりも小さな第２電流が流れることを特徴とする情報処理装置。
【請求項２】
請求項１記載の情報処理装置において、
上記制御信号は、上記回路ブロックの使用の開始に先だって伝達され、
上記制御信号の伝達から上記回路ブロックの使用の開始までの期間は、上記回路ブロックが上記第２動作状態から上記第１動作状態に遷移する期間を含むことを特徴とする情報処理装置。
【請求項３】
請求項１記載の情報処理装置において、
上記第１ＰチャネルＭＯＳＦＥＴの基板電位を発生させる第１基板電位発生回路と、

上記第１ＮチャネルＭＯＳＦＥＴの基板電位を発生させる第２基板電位発生回路とを有し、
上記回路ブロックは、上記第１動作状態において、上記第１ＰチャネルＭＯＳＦＥＴの基板に上記第１電位が印加され、上記第１ＮチャネルＭＯＳＦＥＴの基板に上記第２電位が印加され、
上記第２動作状態において、上記第１ＰチャネルＭＯＳＦＥＴの基板に上記第１基板電位発生回路により発生された上記第１電位より高い電位が印加され、上記第１ＮチャネルＭＯＳＦＥＴの基板に上記第２基板電位発生回路により発生された上記第２電位より低い電位が印加されることを特徴とする情報処理装置。
【請求項４】
請求項１記載の情報処理装置において、
上記複数の回路ブロックは、上記第１電位と上記第１電位より高い第３電位との間にソース・ドレイン経路を有し、上記第１ＰチャネルＭＯＳＦＥＴのしきい値電圧よりも高いしきい値電圧を有する第２ＰチャネルＭＯＳＦＥＴを有し、
上記回路ブロックは、上記第１動作状態において上記第２ＰチャネルＭＯＳＦＥＴがオン状態であり、上記第２動作状態において上記第２ＰチャネルＭＯＳＦＥＴがオフ状態であることを特徴とする情報処理装置。
【請求項５】
請求項４記載の情報処理装置において、
上記第１ＰチャネルＭＯＳＦＥＴの基板電位に上記第３電位が印加されることを特徴とする情報処理装置。
【請求項６】
請求項１記載の情報処理装置において、
上記複数の回路ブロックは、上記第２電位と上記第２電位より低い第４電位との間にソース・ドレイン経路を有し、上記第１ＮチャネルＭＯＳＦＥＴのしきい値電圧よりも高いしきい値電圧を有する第２ＮチャネルＭＯＳＦＥＴを有し、
上記回路ブロックは、上記第１動作状態において上記第２ＮチャネルＭＯＳＦＥＴがオン状態であり、上記第２動作状態において上記第２ＮチャネルＭＯＳＦＥＴがオフ状態であることを特徴とする情報処理装置。
【請求項７】
請求項６記載の情報処理装置において、
上記第１ＮチャネルＭＯＳＦＥＴの基板電位に上記第４電位が印加されることを特徴とする情報処理装置。
【請求項８】
命令セットに含まれる命令を実行する情報処理装置であって、
それぞれ第１ＭＯＳトランジスタを含む複数の回路ブロックと、
上記命令をデコードし、上記回路ブロックの動作状態を制御する制御信号を出力する命令デコーダと、
上記制御信号を伝達するタイミングラッチとを有し、
上記制御信号は、所定のパイプラインステージで使用される回路ブロックが上記所定のパイプラインステージで受け取られるように上記タイミングラッチを伝達され、
上記回路ブロックは、上記制御信号を受け取ることにより第２動作状態から第１動作状態に制御され、
上記第１動作状態において、上記第１ＭＯＳトランジスタのゲート・ソース間電圧を０Ｖとした場合に、上記第１ＭＯＳトランジスタのソース・ドレイン経路に第１電流が流れ、
上記第２動作状態において、上記第１ＭＯＳトランジスタのゲート・ソース間電圧を０Ｖとした場合に、上記第１ＭＯＳトランジスタのソース・ドレイン経路に上記第１電流よりも小さな第２電流が流れる情報処理装置。
【請求項９】
請求項８記載において、

上記制御信号は上記所定のパイプラインステージの開始に先だって、上記所定のパイプラインステージで使用される回路ブロックに受け取られる情報処理装置。
【請求項１０】
請求項８記載において、
上記所定のパイプラインステージで使用される回路ブロックは、上記所定のパイプラインステージでの使用が終了した後に上記第１動作状態から上記第２動作状態に制御される情報処理装置。
【請求項１１】
請求項８記載において、
上記第１ＭＯＳトランジスタの基板電位は、上記第２動作状態における上記第１ＭＯＳトランジスタのしきい値電圧の絶対値が上記第１動作状態における上記第１ＭＯＳトランジスタのしきい値電圧の絶対値よりも大きくなるように制御される情報処理装置。
【請求項１２】
請求項８記載において、
上記複数の回路ブロックのそれぞれは上記第１ＭＯＳトランジスタと直列に接続される第２ＭＯＳトランジスタを含み、
上記第２ＭＯＳトランジスタは上記第１動作状態においてはオン状態であり、上記第２動作状態においてはオフ状態である情報処理装置。
【請求項１３】
請求項１２記載において、
上記第２ＭＯＳトランジスタのしきい値電圧の絶対値は上記第１ＭＯＳトランジスタのしきい値電圧の絶対値よりも大きい情報処理装置。
【請求項１４】
請求項１２記載において、
上記第１ＭＯＳトランジスタのウェルは、上記第２ＭＯＳトランジスタのソースに接続された情報処理装置。