

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-48748

(P2006-48748A)

(43) 公開日 平成18年2月16日(2006.2.16)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G 1 1 C 29/34 (2006.01)</b>	G 1 1 C 29/00 6 7 1 Q	2 G 1 3 2
<b>G 1 1 C 11/401 (2006.01)</b>	G 1 1 C 11/34 3 7 1 A	5 L 1 0 6
<b>G O 1 R 31/28 (2006.01)</b>	G O 1 R 31/28 B	5 M O 2 4
	G O 1 R 31/28 V	

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願2004-224116 (P2004-224116)  
 (22) 出願日 平成16年7月30日 (2004. 7. 30)

(71) 出願人 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区丸の内二丁目4番1号  
 (74) 代理人 100066474  
 弁理士 田澤 博昭  
 (74) 代理人 100088605  
 弁理士 加藤 公延  
 (74) 代理人 100123434  
 弁理士 田澤 英昭  
 (74) 代理人 100101133  
 弁理士 濱田 初音  
 (72) 発明者 吹上 貴彦  
 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

最終頁に続く

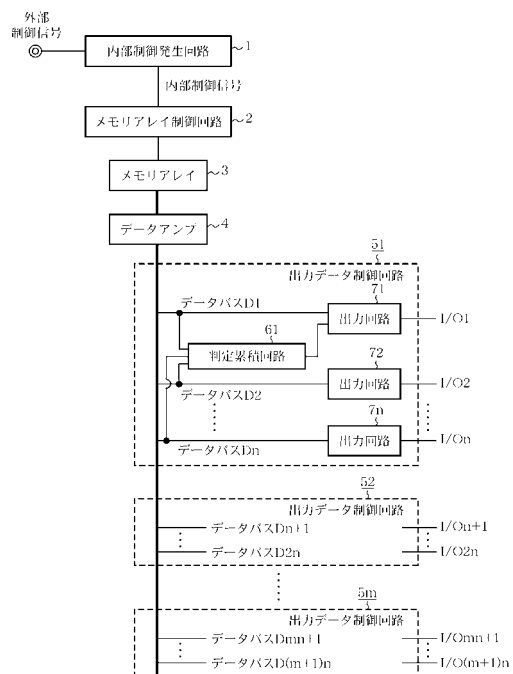
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 判定出力回数を減少させることにより出力ノイズを低減させ、判定出力の読み出し誤りを低減させる半導体記憶装置を得る。

【解決手段】 メモリアレイ 3 の n 個単位のメモリセルに対応して設けられ、内部制御信号のタイミングに基づいて順次異なる n 個単位のメモリセルから読み出される各データを伝送する n 本のデータバス D 1 ~ D n と、 n 本のデータバス D 1 ~ D n から同一のタイミングで伝送された n 個のデータが全て同一値であるか否かを判定し、各タイミング毎に出力される判定結果を累積し、その累積した全てのタイミングで全て同一値と判定された場合のみ良の判定を出力する判定累積回路 6 1 とを備えた。判定累積回路 6 1 により、一度にまとめて判定出力することができ、判定出力回数を減少させ、判定出力の読み出し誤りを低減させることができる。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

テスト対象の各メモリセルに同一値が書き込まれるメモリアレイと、  
 上記メモリアレイの  $n$  ( $n$  は 2 以上の任意の自然数) 個単位のメモリセルに対応して設けられ、内部制御信号のタイミングに基づいて順次異なる  $n$  個単位のメモリセルから読み出される各データを伝送する  $n$  本のデータバスと、  
 上記  $n$  本のデータバスから同一のタイミングで伝送された  $n$  個のデータが全て同一値であるか否かを判定する判定手段と、  
 上記判定手段から各タイミング毎に出力される判定結果を累積し、その累積した全てのタイミングで全て同一値と判定された場合のみ良の判定を出力する累積手段とを備えた半導体記憶装置。 10

## 【請求項 2】

テスト対象の各メモリセルに同一値が書き込まれるメモリアレイと、  
 上記メモリアレイの  $n \times m$  ( $n, m$  は共に 2 以上の任意の自然数) 個単位のメモリセルに対応して設けられ、内部制御信号のタイミングに基づいて順次異なる  $n \times m$  個単位のメモリセルから読み出される各データを伝送する  $n \times m$  本のデータバスと、  
 上記  $n$  本単位のデータバスにそれぞれ対応して設けられ、それら  $n$  本のデータバスから同一のタイミングで伝送された  $n$  個のデータが全て同一値であるか否かを各々判定する  $m$  個の判定手段と、  
 上記  $m$  個の判定手段から各タイミング毎に出力される判定結果を累積し、その累積した全てのタイミングで全て同一値と判定された場合のみ良の判定を出力する累積手段とを備えた半導体記憶装置。 20

## 【請求項 3】

入力される外部制御信号の複数倍の周波数の内部制御信号を発生する内部制御信号発生手段と、  
 上記内部制御信号発生手段により発生された内部制御信号のタイミングに基づいてメモリアレイからデータを読み出すメモリアレイ制御手段とを備えた請求項 1 または請求項 2 記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【技術分野】 30

## 【0001】

この発明は、SDR / DDR SDRAM (シングルデータレート / ダブルデータレート・シンクロナス・ダイナミック・ランダム・アクセス・メモリ) および PSRAM (擬似 SRAM) 等の高速動作試験を可能にした半導体記憶装置に関するものである。

## 【背景技術】

## 【0002】

従来では、半導体記憶装置のテストにおいて、外部クロックに基づいて高速な内部クロックを発生し、また、アドレスについては内部で自動発生して、内部にて読み出しデータ判定することで、高速にテストを実行可能にしたものがある (例えば、特許文献 1 参照) 。 40

また、従来では、半導体記憶装置のテストにおいて、複数のメモリセルの読み出しデータを 1 ビットデータに縮退して出力することで、複数のメモリセルを一度に判別し、テスト時間を短縮可能にしたものがある (例えば、特許文献 2 参照) 。

## 【0003】

【特許文献 1】特開平 9 - 7396 号公報

【特許文献 2】特開平 6 - 333400 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

従来の半導体記憶装置は以上のように構成されているので、テスト時間を短縮できるも 50

の、複数のメモリセルの読み出しデータ判定のタイミングで必ず1ビットデータに縮退して出力されることから、判定出力回数が多く、よって、出力ノイズが大きくなり、判定出力の読み出し誤りを発生するなどの課題があった。

【0005】

この発明は上記のような課題を解決するためになされたもので、判定出力回数を減少させることにより出力ノイズを低減させ、判定出力の読み出し誤りを低減させる半導体記憶装置を得ることを目的とする。

【課題を解決するための手段】

【0006】

この発明に係る半導体記憶装置は、メモリアレイのn個単位のメモリセルに対応して設けられ、内部制御信号のタイミングに基づいて順次異なるn個単位のメモリセルから読み出される各データを伝送するn本のデータバスと、n本のデータバスから同一のタイミングで伝送されたn個のデータが全て同一値であるか否かを判定する判定手段と、判定手段から各タイミング毎に出力される判定結果を累積し、その累積した全てのタイミングで全て同一値と判定された場合のみ良の判定を出力する累積手段とを備えたものである。

【発明の効果】

【0007】

この発明によれば、同一のタイミングで伝送されたn個のデータについて判定手段によりまとめて判定し、それら判定結果を複数のタイミングについて累積手段によりまとめて判定出力することにより、一度にまとめて判定出力することができ、判定出力回数を減少させることにより出力ノイズを低減させ、判定出力の読み出し誤りを低減させることができる効果がある。

【発明を実施するための最良の形態】

【0008】

実施の形態1.

図1はこの発明の実施の形態1による半導体記憶装置を示すブロック図であり、図において、内部制御発生回路(内部制御信号発生手段)1は、入力される外部制御信号の2倍の周波数の内部制御信号を発生するものである。メモリアレイ制御回路(メモリアレイ制御手段)2は、内部制御発生回路1により発生された内部制御信号のタイミングに基づいてアドレスを発生し、メモリアレイ3からデータを読み出すものである。

メモリアレイ3は、複数のメモリセルから構成され、テストモード時には、各メモリセルに同一値が書き込まれるものである。データアンプ4は、メモリアレイ3の各メモリセルから読み出される各データを増幅し、所定のレベルに変換するものである。

【0009】

出力データ制御回路5<sub>1</sub>~5<sub>m</sub>は、メモリアレイ3から読み出された各データを外部入出力ピンI/O<sub>1</sub>~I/O<sub>(m+1)n</sub>から出力するものである。

n×m(n,mは共に2以上の任意の自然数)本のデータバスD<sub>1</sub>~D<sub>(m+1)n</sub>は、メモリアレイ3のn×m個単位のメモリセルに対応して設けられ、内部制御信号のタイミングに基づいて順次異なるn×m個単位のメモリセルから読み出される各データを伝送するものである。判定累積回路6<sub>1</sub>~6<sub>m</sub>は、各々の出力データ制御回路5<sub>1</sub>~5<sub>m</sub>に1個ずつ設けられ、すなわち、n本単位のデータバスにそれぞれ1個ずつ対応して全部でm個設けられ、それらn本のデータバスから同一のタイミングで伝送されたn個のデータが全て同一値であるか否かを各々判定する(判定手段)と共に、各タイミング毎に出力される判定結果を累積し、その累積した全てのタイミングで全て同一値と判定された場合のみ良の判定を出力する(累積手段)のものである。出力回路7<sub>1</sub>~7<sub>(m+1)n</sub>は、データバスD<sub>1</sub>~D<sub>(m+1)n</sub>にそれぞれ対応して設けられ、各データを外部入出力ピンI/O<sub>1</sub>~I/O<sub>(m+1)n</sub>から出力するものである。

【0010】

図2はこの発明の実施の形態1による内部制御発生回路の詳細を示すブロック図であり、図において、内部制御発生回路1は、インバータ11が前段に設けられていない系統A

と、インバータ 1 1 が前段に設けられた系統 B とからなるものであり、系統 A は、奇数段のインバータの直列接続からなり、入力が外部制御信号入力端子に接続された遅延回路 1 2 a と、入力が外部制御信号入力端子と遅延回路 1 2 a の出力とに接続された N A N D 回路 1 3 a とを備えたものであり、系統 B は、入力が外部制御信号入力端子に接続されたインバータ 1 1 と、奇数段のインバータの直列接続からなり、入力がインバータ 1 1 の出力に接続された遅延回路 1 2 b と、入力がインバータ 1 1 の出力と遅延回路 1 2 b の出力とに接続された N A N D 回路 1 3 b とを備えたものである。N A N D 回路 1 4 は、入力が系統 A , B の出力、すなわち、N A N D 回路 1 3 a , 1 3 b の出力 ( ノード A , B ) に接続され、入力される外部制御信号の 2 倍の周波数の内部制御信号を発生するものである。

#### 【 0 0 1 1 】

図 3 はこの発明の実施の形態 1 による判定累積回路の詳細を示すブロック図であり、図において、判定累積回路 6 1 は、判定手段および累積手段からなるものである。

判定手段は、入力がデータバス D 1 ~ D n に接続された N A N D 回路 2 1 , 2 2 と、入力が N A N D 回路 2 1 の出力に接続されたインバータ 2 3 と、入力がインバータ 2 3 の出力と N A N D 回路 2 2 の出力とに接続された N O R 回路 2 4 と、入力が N O R 回路 2 4 の出力に接続されたインバータ 2 5 と備えたものである。

累積手段は、N c h トランジスタからなり入力 ( ドレイン ) がインバータ 2 5 の出力に接続されたスイッチ 2 6 と、P c h トランジスタからなりソースが電源にドレインがスイッチ 2 6 の出力に接続されたスイッチ 2 7 a、N c h トランジスタからなりドレインがスイッチ 2 6 の出力にソースがグランドにゲートが後述するインバータ 2 8 の出力に接続されたスイッチ 2 7 b、入力がスイッチ 2 7 a , 2 7 b の接続部に接続されたインバータ 2 8 からなるラッチ回路 2 9 と、N c h トランジスタからなり入力 ( ドレイン ) がラッチ回路 2 9 の出力に接続され、出力回路 7 1 に判定出力するスイッチ 3 0 とを備えたものである。

図 4 はこの発明の実施の形態 1 による半導体記憶装置のテストモード時の動作を示すタイミングチャートである。

#### 【 0 0 1 2 】

次に動作について説明する。

図 1 において、半導体記憶装置のテストモード時には、まず、メモリアレイ 3 のテスト対象となる各メモリセル全てに、“ 0 ” または “ 1 ” の同一値が書き込まれる。

テストから外部制御信号入力端子を通じて外部制御信号が入力されれば ( 図 4 の ( a ) )、内部制御発生回路 1 は以下のように動作する。

図 2 において、インバータ 1 1 が前段に設けられていない系統 A では、遅延回路 1 2 a で外部制御信号のパルスを遅延すると共に反転出力し、N A N D 回路 1 3 a で外部制御信号のパルスとその遅延反転出力パルスとの N A N D を採ることにより、図 4 の ( b ) に示すようなパルス幅の短い反転したパルスがノード A から得られる。また、インバータ 1 1 が前段に設けられた系統 B では、インバータ 1 1 で外部制御信号のパルスを遅延し、遅延回路 1 2 b でその遅延した外部制御信号のパルスをさらに遅延すると共に反転出力し、N A N D 回路 1 3 b で遅延した外部制御信号のパルスとその遅延反転出力パルスとの N A N D を採ることにより、図 4 の ( c ) に示すようなノード A のパルスよりも遅れ、同様にパルス幅の短い反転したパルスがノード B から得られる。N A N D 回路 1 4 は、ノード A , B から入力されるパルスの N A N D を採ることにより、図 4 の ( d ) に示すような外部制御信号の 2 倍の周波数の内部制御信号を発生することができる。

#### 【 0 0 1 3 】

図 1 において、メモリアレイ制御回路 2 は、内部制御発生回路 1 により発生された内部制御信号のタイミングに基づいてアドレスを発生し、メモリアレイ 3 の順次異なる n x m 個単位のメモリセルからデータを読み出し、データアンプ 4 は、メモリアレイ 3 の各メモリセルから読み出される各データを増幅し、所定のレベルに変換する。

出力データ制御回路 5 1 ~ 5 m において、データバス D 1 ~ D ( m + 1 ) n は、メモリアレイ 3 の n x m 個単位のメモリセルから読み出される各データを、内部制御信号のタイ

10

20

30

40

50

ミングに基づいて順次伝送する(図4の(e), (f))。

各出力データ制御回路51~5mには、n本単位のデータバスに対応した判定累積回路がそれぞれ設けられ、メモリセルから読み出される各データの良否判定およびそれら良否判定の出力制御が行なわれる。

#### 【0014】

以下、出力データ制御回路51に設けられた判定累積回路61を代表して説明する。

図3において、まず、半導体記憶装置のテストモードの開始時には、スイッチ27aのゲートにワンショットパルスが入力され(図4の(g))、スイッチ27aが一瞬だけオンすることにより、ノードCが“1”にノードDが“0”に初期化される(図4の(j), (k))。

その後、データバスD1~Dnを通じて入力される各データをNAND回路21, 22によりNANDを採り、インバータ23により否定し、また、NOR回路24により、インバータ23の出力とNAND回路22の出力とのNORを採り、さらに、インバータ25により否定することにより、インバータ25の出力では、データバスD1~Dnを通じて入力される各データが全て“0”または“1”の同一値である場合、すなわち、判定結果が良の場合に“1”が出力され、データバスD1~Dnを通じて入力される各データが全て“0”または“1”の同一値でない場合、すなわち、判定結果が否の場合に“0”が出力される。

スイッチ26は、内部制御信号の各タイミング毎にオンし(図4の(h))、ラッチ回路29に内部制御信号の各タイミング毎に出力される判定結果を累積する。すなわち、各タイミングにおいて連続して良判定されている間は、ノードCが“1”であり続けることからインバータ28の出力側のノードDには、その“1”を反転した“0”が保持され続ける。また、1度でも否判定された場合に、ノードCが“0”となることからインバータ28の出力側のノードDは、その“0”を反転した“1”となり、その結果、スイッチ27bがオンしてノードCの“0”が保持されることからノードDには“1”が保持され続ける(図4の(j), (k))。

スイッチ30は、判定結果の読み出しが必要な場合のみオンすることにより(図4の(i))、ラッチ回路29に累積した判定結果を図1における出力回路71および外部入出力ピンI/O1を通じて出力させ、その外部入出力ピンI/O1から出力された判定結果が“0”の場合は良、“1”の場合は否と判断することができる。

#### 【0015】

なお、図2に示した内部制御発生回路では、系統A, Bからなり、入力される外部制御信号の2倍の周波数の内部制御信号を発生する構成について示したが、内部制御発生回路として3系統以上の系統からなり、入力される外部制御信号の3倍以上の周波数の内部制御信号を発生する構成を採用しても良く、同様の効果を奏することができる。

また、図3に示した判定累積回路61~6mでは、複数の判定手段(NAND回路21からインバータ25までの構成)に、各累積手段(スイッチ26からスイッチ30までの構成)を組み合わせた構成について示したが、複数の判定手段に対して1個の累積手段のみを組み合わせた構成であっても良く、構成を簡単にすると共にユーザにとって良否判定を容易に判断することができる。

#### 【0016】

また、図1では、外部制御信号の2倍の周波数の内部制御信号を発生し、メモリアレイ3から読み出しテストを高速化した例について示したが、メモリアレイ3への書き込みテストに適用することもできる。

図5はこの発明の実施の形態1による半導体記憶装置の他の例を示すブロック図であり、図において、入力回路81~8nは、外部入出力ピンI/O1~I/Onに接続され、データを入力するものである。書き込みドライバ9は、入力回路81~8nおよびデータバスを通じて入力される各データを所定のレベルに変換し、書き込みデータとしてメモリアレイ3に書き込むものである。

このように構成しても、外部制御信号の2倍の周波数の内部制御信号を発生し、メモリ

10

20

30

40

50

アレイ制御回路 2 および書き込みドライバ 9 を 2 倍の速度で動作させれば、メモリアレイ 3 への書き込みテストを高速化することができる。

【 0 0 1 7 】

以上のように、この実施の形態 1 によれば、内部制御発生回路 1 により、外部制御信号の 2 倍の周波数の内部制御信号を発生することで、低速なテストでも、外部制御信号の 2 倍の高速動作試験を行なうことができる。

また、スイッチ 30 を設けたことにより、一度にまとめて判定出力することができ、判定出力回数を減少させることにより出力ノイズを低減させ、判定出力の読み出し誤りを低減させることができる。また、ユーザにとって良否判定を容易に判断することができる。

【 図面の簡単な説明 】

10

【 0 0 1 8 】

【 図 1 】 この発明の実施の形態 1 による半導体記憶装置を示すブロック図である。

【 図 2 】 この発明の実施の形態 1 による内部制御発生回路の詳細を示すブロック図である。

【 図 3 】 この発明の実施の形態 1 による判定累積回路の詳細を示すブロック図である。

【 図 4 】 この発明の実施の形態 1 による半導体記憶装置のテストモード時の動作を示すタイミングチャートである。

【 図 5 】 この発明の実施の形態 1 による半導体記憶装置の他の例を示すブロック図である。

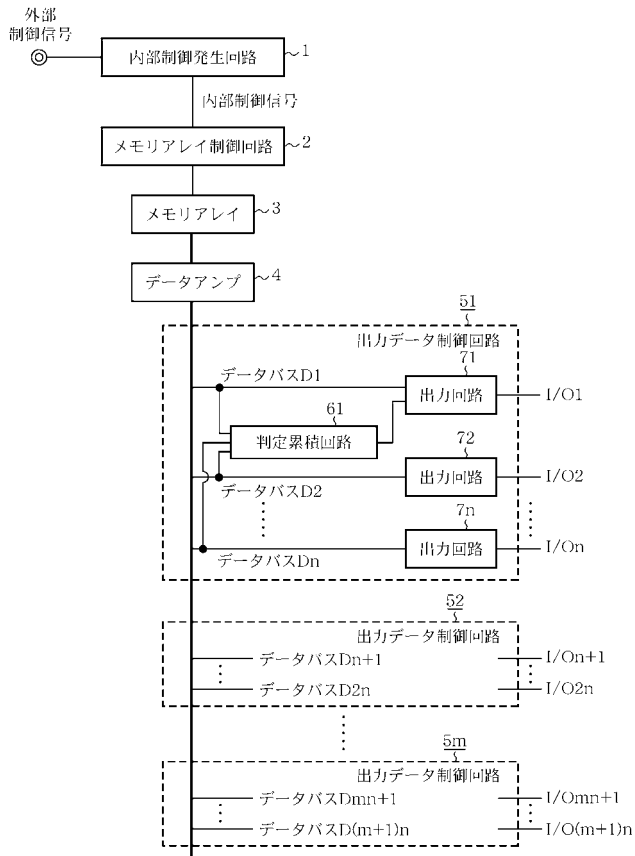
【 符号の説明 】

20

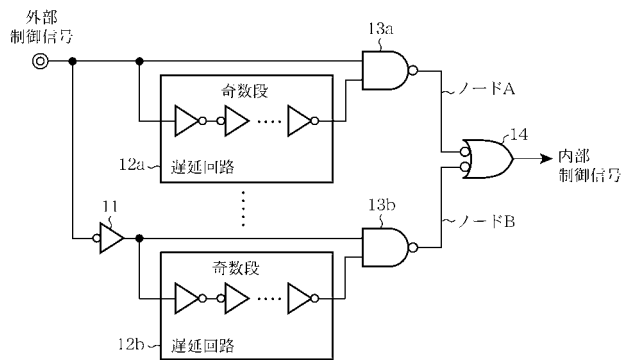
【 0 0 1 9 】

1 内部制御発生回路（内部制御信号発生手段）、2 メモリアレイ制御回路（メモリアレイ制御手段）、3 メモリアレイ、4 データアンプ、5 1 ~ 5 m 出力データ制御回路、6 1 ~ 6 m 判定累積回路、7 1 ~ 7 ( m + 1 ) n 出力回路、8 1 ~ 8 n 入力回路、9 書き込みドライバ、1 1 , 2 3 , 2 5 , 2 8 インバータ、1 2 a , 1 2 b 遅延回路、1 3 a , 1 3 b , 1 4 , 2 1 , 2 2 NAND回路、2 4 NOR回路、2 6 , 2 7 a , 2 7 b , 3 0 スイッチ、2 9 ラッチ回路、D 1 ~ D ( m + 1 ) n データバス、I / O 1 ~ I / O ( m + 1 ) n 外部入出力ピン。

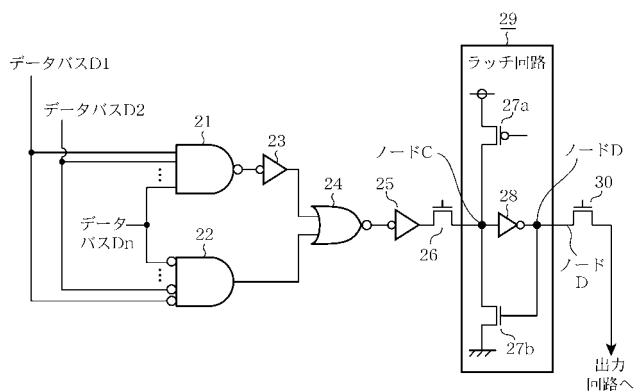
【 図 1 】



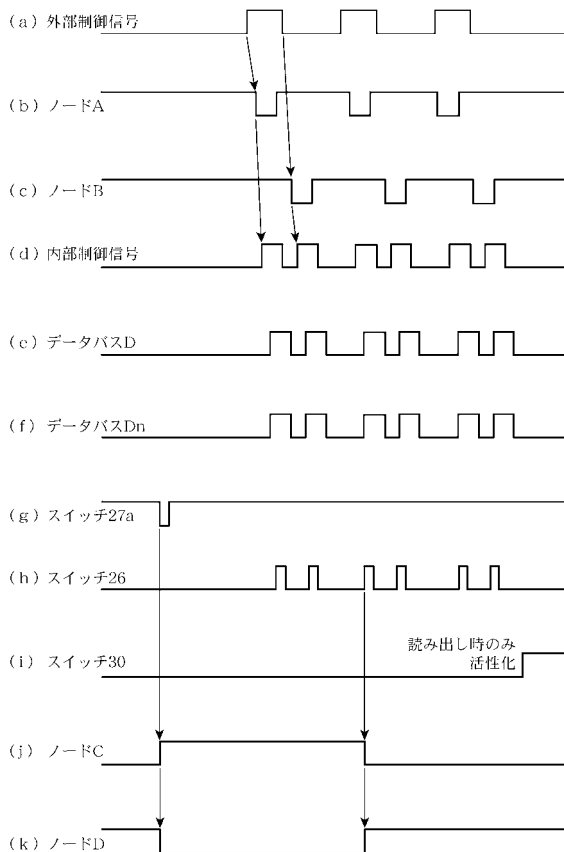
【 図 2 】



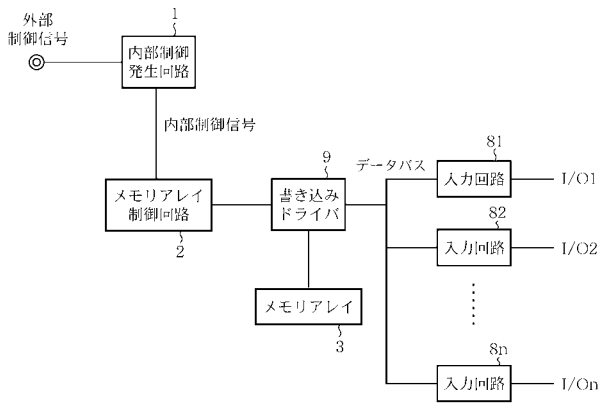
【 図 3 】



【 図 4 】



【 図 5 】



---

フロントページの続き

Fターム(参考) 2G132 AA08 AB01 AK07 AK09 AL00 AL11  
5L106 AA01 DD02 DD11 FF01 GG03  
5M024 AA22 BB30 BB33 DD90 LL01 MM04 PP01 PP02 PP03 PP07