

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-129341

(P2012-129341A)

(43) 公開日 平成24年7月5日(2012.7.5)

(51) Int.Cl.  
H01C 7/04 (2006.01)

F I  
H01C 7/04

テーマコード (参考)  
5E034

審査請求 有 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2010-279008 (P2010-279008)  
(22) 出願日 平成22年12月15日 (2010.12.15)

(71) 出願人 000003067  
TDK株式会社  
東京都中央区日本橋一丁目13番1号  
(74) 代理人 100088155  
弁理士 長谷川 芳樹  
(74) 代理人 100113435  
弁理士 黒木 義樹  
(74) 代理人 100124062  
弁理士 三上 敬史  
(74) 代理人 100145012  
弁理士 石坂 泰紀  
(72) 発明者 齋藤 洋  
東京都中央区日本橋一丁目13番1号 TDK-EPC株式会社内

最終頁に続く

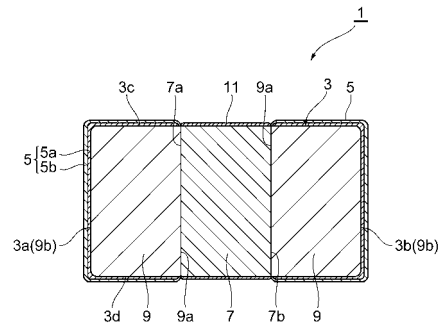
(54) 【発明の名称】 チップサーミスタ

(57) 【要約】

【課題】抵抗値の調整を容易に行うことができるチップサーミスタを提供すること。

【解決手段】チップサーミスタ1は、金属酸化物を主成分とするセラミックスからなるサーミスタ部7と、金属とガラス成分とを含み且つサーミスタ部7を挟むようにサーミスタ部7の両側に配置されてサーミスタ部7と接続されている一対の導体部9と、を備えている。サーミスタ部7と一対の導体部9とは、一対の導体部9の対向方向に直交する断面形状が一対の導体部9の対向方向にわたって同じである。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

金属酸化物を主成分とするセラミックスからなるサーミスタ部と、  
金属とガラス成分とを含み且つ前記サーミスタ部を挟むように前記サーミスタ部の両側に配置されて前記サーミスタ部と接続されている一对の導体部と、を備え、  
前記サーミスタ部と前記一对の導体部とは、前記一对の導体部の対向方向に直交する断面形状が前記一对の導体部の対向方向にわたって同じであることを特徴とするチップサーミスタ。

## 【請求項 2】

前記一对の導体部の外表面が、めっき層で覆われていることを特徴とする請求項 1 に記載のチップサーミスタ。 10

## 【請求項 3】

前記サーミスタ部は、前記一对の導体部の前記対向方向が積層方向となるように層状に形成されていることを特徴とする請求項 1 又は 2 に記載のチップサーミスタ。

## 【請求項 4】

前記一对の導体部それぞれは、前記一对の導体部の前記対向方向が積層方向となるように層状に形成されていることを特徴とする請求項 1 ~ 3 のいずれか一項に記載のチップサーミスタ。

## 【請求項 5】

前記サーミスタ部の外表面が、絶縁層で覆われていることを特徴とする請求項 1 ~ 4 の何れか一項に記載のチップサーミスタ。 20

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、チップサーミスタに関する。

## 【背景技術】

## 【0002】

Mn や Co の金属酸化物などを主成分とするサーミスタ素体の両端部に外部電極を形成したチップサーミスタが従来から知られている（例えば、特許文献 1 参照）。このようなチップサーミスタでは、サーミスタ素体の固有抵抗とその両端に形成された外部電極間の距離とによってチップサーミスタ全体の抵抗値が決定される。 30

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特開平 10 - 116704 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

ところで、このような構成のチップサーミスタでは、サーミスタ素体の固有抵抗や外部電極間の距離及びその形状といった複数の要素に応じてチップサーミスタ全体の抵抗値が変化する。このため、所望の抵抗値を得ようとした場合、複数の要素を考慮しなければならず、チップサーミスタの抵抗値を所望の値に調整することが難しい。特に、チップサーミスタが 0402（長さ 0.4 mm × 高さ 0.2 mm × 幅 0.2 mm）といった極小サイズとなると、外部電極間の距離などを所望の値に制御することが困難となり、チップサーミスタの抵抗値を所望の値に調整することが更に難しい。 40

## 【0005】

本発明は、抵抗値の調整を容易に行うことができるチップサーミスタを提供することを目的とする。

## 【課題を解決するための手段】

## 【0006】

本発明に係るチップサーミスタは、金属酸化物を主成分とするセラミックスからなるサーミスタ部と、金属とガラス成分とを含み且つサーミスタ部を挟むようにサーミスタ部の両側に配置されてサーミスタ部と接続されている一对の導体部と、を備え、サーミスタ部と一对の導体部とは、一对の導体部の対向方向に直交する断面形状が一对の導体部の対向方向にわたって同じであることを特徴とする。

【0007】

本発明に係るチップサーミスタでは、一对の導体部がサーミスタ部を挟むようにその両側に配置される構成が採用されている。このため、チップサーミスタの抵抗値を調整するのに、サーミスタ部における抵抗を主として考慮すればよく、例えばサーミスタ素体の外表面上での外部電極間の距離やその形状などをあまり考慮する必要がなくなる。従って、このチップサーミスタによれば、抵抗値の調整を容易に行うことができる。

10

【0008】

本発明に係るチップサーミスタの抵抗値は、一对の導体部の間隔、すなわちサーミスタ部の厚み（一对の導体部の対向方向での長さ）に比例し、一对の導体部の重なり面積に反比例する。ところで、本発明では、サーミスタ部と一对の導体部とは、一对の導体部の対向方向に直交する断面形状が一对の導体部の対向方向にわたって同じであることから、一对の導体部の重なり面積は、サーミスタ部における一对の導体部の対向方向に直交する断面の面積に相当することとなる。このため、本発明では、チップサーミスタの抵抗値がサーミスタ部の形状に支配されることとなり、抵抗値の特性ばらつきが生じ難い。

【0009】

本発明では、一对の導体部がサーミスタ部の両側に配置された構成が採用されるため、サーミスタ素体に直接外部電極が接続される従来の構成（特許文献1の図2など参照）に比べ、同一のチップサイズにおいて、低抵抗化を図ることもできる。また、サーミスタ部の厚みなどを調整することで抵抗値を変えることができるので、抵抗値の調整範囲を広くすることができる。

20

【0010】

本発明では、一对の導体部がサーミスタ部を挟み且つサーミスタ部と接続されているため、チップサーミスタにおける熱を、導体部を介して容易に放熱することができ、放熱性に優れたチップサーミスタを得ることができる。特に、サーミスタは元々、熱によって抵抗値が変わる特性を有しているため、放熱性が優れていることで、熱応答性が向上し、より正確な検出が可能となる。また、放熱性に優れたチップサーミスタであることから、チップサーミスタの定格電力を大きくすることもでき、様々な分野で使用されるチップサーミスタに適用できる。

30

【0011】

本発明に係るチップサーミスタを電子機器（回路基板や他の電子部品など）に実装する際には、導体部が電子機器に接続されることとなる。金属とガラス成分とを含む導体部は、一般、セラミックスからなるサーミスタ部よりも軟らかい。したがって、機械的衝撃が電子機器に加えられた場合でも、機械的衝撃は導体部により吸収され、サーミスタ部に伝わり難い。すなわち、本発明に係るチップサーミスタは、耐衝撃性に優れる。

【0012】

ところで、チップ型電子部品では、当該チップ型電子部品をはんだ実装する際に、チップ型電子部品が立ち上がる、チップ立ち（あるいは、ツームストーン）と呼ばれる現象が生じることがある。このチップ立ち現象は、素体の外表面に形成された外部電極の形状に起因して、溶融したはんだからチップ型電子部品に作用する力がチップ型電子部品の両端で不均一となることが原因の一つとされている。本発明では、サーミスタ部と一对の導体部とは、一对の導体部の対向方向に直交する断面形状が一对の導体部の対向方向にわたって同じであることから、電子機器に実装する際に、溶融したはんだからチップサーミスタに作用する力がチップサーミスタの両端で不均一となり難く、また、不均一である場合でも立ち上がり難い。この結果、チップ立ち現象の発生を抑制することができる。

40

【0013】

50

チップ型電子部品を電子機器にはんだ実装する場合、チップ型電子部品には熱衝撃が加わる。通常、端子電極は素体の外表面に形成され、また、素体はセラミックスにて構成される。したがって、熱衝撃が加わった場合、チップ型電子部品においては、端子電極が素体に比べて収縮し易い。この収縮応力は、端子電極の縁部周辺に集中し、当該端子電極の縁部周辺から素体にクラックが発生する恐れがある。また、チップ型電子部品が電子機器に実装された後、周囲の温度が急激に変化した場合に、素体、端子電極、はんだ、電子機器、各々の熱膨張係数差により応力吸収が不十分となり、同様に、端子電極の縁部周辺から素体にクラックが発生する恐れがある。本発明では、上述したように、導体部がサーミスタ部よりも軟らかいことから、上述した応力を導体部が吸収して、サーミスタ部にクラックが発生するのを抑制することができる。すなわち、本発明に係るチップサーミスタは、耐熱衝撃性にも優れる。

【0014】

本発明では、サーミスタ部と一对の導体部とは、一对の導体部の対向方向に直交する断面形状が一对の導体部の対向方向にわたって同じであることから、外部電極を素体の外表面に形成したチップサーミスタに比して、低背化を図ることができる。

【0015】

一对の導体部の外表面が、めっき層で覆われていてもよい。この場合、実装性にすぐれたチップサーミスタを得ることができる。めっき層の厚みは極めて薄いことから、上述したチップ立ち現象の発生抑制や低背化に関する効果に支障が生じることはない。

【0016】

サーミスタ部は、一对の導体部の対向方向が積層方向となるように層状に形成されていてもよい。この場合、サーミスタ部の厚さ（一对の導体部の対向方向における厚さ）がサーミスタ層の積層数によって調整されることとなり、サーミスタ部の厚さと比例関係にあるチップサーミスタの抵抗値を容易に調整することができる。また、サーミスタ層の積層数でチップサーミスタの抵抗値が調整されることとなるので、各チップサーミスタにおける抵抗値のバラツキを容易に抑えることができ、特に、極小サイズのチップサーミスタの場合において、そのバラツキを顕著に抑制することができる。つまり、本構成によれば、検出精度のよい極小サイズのチップサーミスタを容易に得ることができる。

【0017】

一对の導体部それぞれは、一对の導体部の対向方向が積層方向となるように層状に形成されていてもよい。この場合、各導体部の長さ（一对の導体部の対向方向における長さ）を導体層の積層数によって容易に調整することができる。特に、サーミスタ部及び導体部の両方を層状に形成するようにした場合、チップサーミスタ全体の長さなどを容易に調整することができ、極小サイズのチップサーミスタの場合であっても、寸法精度のよいチップサーミスタを容易に得ることができる。

【0018】

サーミスタ部の外表面が、絶縁層で覆われていてもよい。この場合、一对の導体部が短絡するのを防ぐことができる。

【発明の効果】

【0019】

本発明によれば、抵抗値の調整を容易に行うことができるチップサーミスタを提供することができる。

【図面の簡単な説明】

【0020】

【図1】本実施形態に係るチップサーミスタを示す斜視図である。

【図2】素体の構成を示す分解斜視図である。

【図3】本実施形態に係るチップサーミスタの断面構成を説明するための図である。

【図4】サーミスタ部及び導体部の構成を説明するための図である。

【図5】本実施形態に係るチップサーミスタの製造過程を説明するための図である。

【図6】本実施形態に係るチップサーミスタの製造過程を説明するための図である。

【図7】本実施形態に係るチップサーミスタの実装構造の一例を示す模式図である。

【図8】本実施形態に係るチップサーミスタの実装構造の一例を示す模式図である。

【発明を実施するための形態】

【0021】

以下、添付図面を参照して、本発明の好適な実施形態について詳細に説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。

【0022】

まず、図1～図3を参照して、本実施形態に係るチップサーミスタ1の構成を説明する。図1は、本実施形態に係るチップサーミスタを示す斜視図である。図2は、素体の構成を示す分解斜視図である。図3は、本実施形態に係るチップサーミスタの断面構成を説明するための図である。

10

【0023】

チップサーミスタ1は、図1～図3に示されるように、直方体形状の素体3と、素体3の両端に形成された一对のめっき電極5とを備えている。チップサーミスタ1は、たとえば、図示Y方向における長さが0.4mm、Z方向における高さが0.2mm、X方向における幅が0.2mmといった極小サイズ（いわゆる0402サイズ）のサーミスタである。チップサーミスタ1は、NTC（Negative Temperature Coefficient）サーミスタである。

【0024】

素体3は、サーミスタ部7と、一对の導体部9と、を有している。素体3は、外表面として、互いに対向し且つ正方形形状の端面3a、3bと、端面3a、3bに直交する4つの側面3c～3fとを有している。4つの側面3c～3fは、端面3a、3b間を連結するように伸びている。

20

【0025】

サーミスタ部7は、図2及び図3に示されるように、素体3の略中央に位置する直方体形状の部分である。サーミスタ部7は、その厚み方向（図中Y方向）に対向する一对の主面7a、7bを含んでいる。サーミスタ部7は、たとえば、Mnを主成分とし、更に、副成分としてNi、Co、Ca、Zr、Al、Cu、Feの少なくとも1種以上を含有するスピネル型金属酸化物により形成されており、当該スピネル型金属酸化物からなる半導体セラミックである。

30

【0026】

サーミスタ部7は、図4に示されるように、所定のB定数を有する複数のサーミスタ層8を図示Y方向（一对の導体部9の対向方向）に積層した層状の部分として形成される。サーミスタ部7の厚みは、サーミスタ層8の積層数を調整し、たとえば120～280μm程度に設定される。図4は、サーミスタ部及び導体部の構成を説明するための図である。実際のチップサーミスタ1では、各サーミスタ層8は、互いの間の境界が視認できない程度に一体化されている。

【0027】

導体部9は、図2及び図3に示されるように、素体3の両端側に寄った箇所に位置する略直方体形状の部分であり、サーミスタ部7をその間に挟むようにサーミスタ部7の両側に配置されている。導体部9は、サーミスタ部7（主面7a、7b）に接続される主面9aと、主面9aに対向する主面9bと、を有している。

40

【0028】

導体部9は、金属（たとえば、Ag、Pd、Au、又はPtなど）とガラス成分（たとえば、ホウケイ酸ガラスなど）とを含有している。導体部9は、含有される金属が導電経路を形成することで、電極として機能する。ガラス成分は、導体部9に含有される金属の融点よりも低い融点を有している。金属の含有量は、30～93重量%であることが好ましい。金属の含有量が30重量%より少ないと、導体部9の導電性を確保することが難しい。金属の含有量が93重量%より多いと、導体部9が変形し易く、また、サーミスタ部

50

7と導体部9との密着性を確保することが難しい。

【0029】

本実施形態では、サーミスタ部7の主面7a, 7bの全体が、導体部9の主面9aと接触して、接続されている。導体部9の主面9aは、サーミスタ部7の主面7a, 7bと同形状を呈している。導体部9の主面9bは、素体3の端面3a, 3bを構成する。導体部9の主面9aは、サーミスタ部7に対する電極面として機能する。

【0030】

導体部9は、図4に示されるように、金属とガラス成分とを含有する複数の導体層10を図示Y方向に積層した層状の部分として形成される。サーミスタ部7を間に挟んで互いに対向する各導体部9は、同数の導体層10を積層して形成されているため、同等の大きさ

10

【0031】

サーミスタ部7の外表面(素体の各側面3c~3fを構成する外表面)には、絶縁層11が形成されている。これにより、サーミスタ部7の露出面が絶縁層11により覆われることとなる。絶縁層11は、電気絶縁性を有する材料(たとえば、 $SiO_2$ 、 $ZrO_2$ 、又は $Al_2O_3$ など)からなる。絶縁層11の厚みは、たとえば0.01~10 $\mu m$ 程度に設定される。

【0032】

一对のめっき電極5は、素体3の各端面3a, 3bを覆うように多層に形成されている。詳細には、めっき電極5は、外表面(導体部9の主面9aを除く全ての表面)に形成されている。これにより、導体部9の露出面がめっき電極5により覆われることとなる。めっき電極5は、導体部9に直接接続され且つNiを主成分とする第一層5aと、第一層5aを覆うように形成され且つSnを主成分とする第二層5bとを含んでいる。第一層5aの厚みは、たとえば0.5~3.5 $\mu m$ 程度に設定され、第二層5bの厚みは、たとえば2~10 $\mu m$ 程度に設定される。

20

【0033】

続いて、図5及び図6を参照して、上述した構成を有するチップサーミスタ1の製造過程の一例について説明する。図5及び図6は、本実施形態に係るチップサーミスタの製造過程を説明するための図である。

30

【0034】

まず、サーミスタ層8(サーミスタ部7)となる第一グリーンシートを用意する。第一グリーンシートは、たとえば、以下の過程により形成される。公知の方法により、サーミスタ部7の主成分であるMnの金属酸化物と、副成分(Ni、Co、Ca、Zr、Al、Cu、Feの少なくとも1種以上)の金属酸化物とを所定の割合で混合してサーミスタ材料を調整する。そして、このサーミスタ材料に有機バインダなどを添加してスラリーを得る。このスラリーを、ドクターブレード法などの公知の方法により、例えばポリエチレンテレフタレートからなるフィルム上に塗布した後、乾燥して所定の厚さ(たとえば20 $\mu m$ 程度)の膜を形成する。こうして得られた膜をフィルムから剥離して第一グリーンシートを得る。

40

【0035】

次に、所定の枚数の第一グリーンシートを積層し、第一グリーンシートからなるサーミスタグリーン層を得る。その後、サーミスタグリーン層に圧力を加え、各第一グリーンシートを互いに圧着する。サーミスタグリーン層の厚みは、第一グリーンシートの枚数により調整される。

【0036】

次に、サーミスタグリーン層に、所定の条件(たとえば、180~400 で且つ0.5~24時間)で加熱処理を実施して脱バインダを行った後、さらに、所定の条件(たとえば、800~1400 で且つ0.5~48時間)で焼成を行う。この焼成によって、

50

第一グリーンシートからなるサーミスタグリーン層はサーミスタ部7を構成する層となる。

【0037】

一方、導体層10（導体部9）となる第二グリーンシートを用意する。第二グリーンシートは、たとえば、以下の過程により形成される。用意した金属粉（たとえば、Ag粉など）とガラス粉（たとえば、ホウケイ酸ガラスなど）に有機バインダなどを添加してスラリーを得る。このスラリーを、ドクターブレード法などの公知の方法により、例えばポリエチレンテレフタレートからなるフィルム上に塗布した後、乾燥して所定の厚さ（たとえば20 $\mu$ m程度）の膜を形成する。こうして得られた膜をフィルムから剥離して第二グリーンシートを得る。

10

【0038】

そして、サーミスタ部7を構成する層に、所定の枚数の第二グリーンシートを積層する。このとき、第二グリーンシートからなる導体グリーン層とサーミスタ部7を構成する層とを、サーミスタ部7を構成する層が導体グリーン層の間に挟まれるように積層する。その後、得られた積層中間体に圧力を加え、各第二グリーンシートを互いに圧着させると共に、第二グリーンシートとサーミスタ部7を構成する層とを互いに圧着させる。導体グリーン層の厚みは、第二グリーンシートの枚数により調整される。

【0039】

以上により、図5に示されるように、サーミスタ部7を構成する層L1と導体グリーン層L2とが積層された積層中間体LIが準備されることとなる。図5では、第二グリーンシート同士の境界は、図示を省略している。

20

【0040】

次に、積層中間体LIに、所定の条件（たとえば、600～900 で且つ0.5～3時間）で加熱処理を実施して、サーミスタ部7を構成する層に導体グリーン層L2（第二グリーンシート）を焼き付ける。これにより、第二グリーンシートからなる導体グリーン層L2は導体部9を構成する層となり、サーミスタ部7を構成する層が導体部9を構成する層で挟まれた積層体が得られることとなる。

【0041】

次に、焼成により得られた上記積層体を、図6に示されるように、チップ単位に切断し、複数の素体3を得る。積層体の切断は、たとえばダイシングソーなどにより行う。切断後、必要に応じて素体3にパレル研磨を施してもよい。

30

【0042】

次に、各素体3のサーミスタ部7を覆うように、絶縁層11を形成する。絶縁層11は、たとえばスパッタリング法によりSiO<sub>2</sub>などの材料をサーミスタ部7の外表面（露出面）に付与することにより形成される。

【0043】

次に、各素体3の導体部9を覆うように、めっき電極5を形成する。めっき電極5は、Niめっき及びSnめっきなどの電気めっき処理を順次行うことにより形成される。

【0044】

これらの過程により、チップサーミスタ1が得られる。

40

【0045】

続いて、図7及び図8を参照して、本実施形態に係るチップサーミスタ1の実装構造について説明する。図7及び図8は、本実施形態に係るチップサーミスタの実装構造の一例を示す模式図である。

【0046】

チップサーミスタ1は、図7に示されるように、電極ELが形成された電子機器ED（回路基板や他の電子部品など）にはんだ実装される。具体的には、チップサーミスタ1は電子機器ED上に載置されており、めっき電極5がはんだ（はんだフィレット）SOによりパッドPDに接続されて、固定されている。

【0047】

50

チップサーミスタ 1 は、図 8 に示されるように、受動部品埋め込み配線板化 (EPD : Embedded Passive Device) 技術に適用されて、基板 S に埋め込まれて実装されている。めっき電極 5 が、基板 S 内に形成されたビア導体 VC を介して、基板 S の主面上に形成された配線 W に接続されている。

【0048】

以上のように、本実施形態では、一对の導体部 9 がサーミスタ部 7 を挟むようにその両側に配置される構成が採用されている。このため、チップサーミスタ 1 の抵抗値を調整するのに、サーミスタ部 7 における抵抗を主として考慮すればよく、例えばサーミスタ素体の外表面上での外部電極間の距離やその形状などをあまり考慮する必要がなくなる。従って、チップサーミスタ 1 によれば、抵抗値の調整を容易に行うことができる。

10

【0049】

一般に、対向する複数の電極を備えるチップサーミスタの抵抗値「R」は、

$$R = (a * \quad * t) / S$$

の関係式で求められる。ここで、「a」は係数であり、「 $\quad$ 」はサーミスタ材料の比抵抗値であり、「t」は電極間の距離であり、「S」は電極の重なり面積である。

【0050】

チップサーミスタ 1 の抵抗値は、一对の導体部 9 の間隔、すなわちサーミスタ部 7 の厚み (一对の導体部 9 の対向方向での長さ) に比例し、一对の導体部 9 の重なり面積に反比例する。ところで、チップサーミスタ 1 では、サーミスタ部 7 と一对の導体部 9 とは、一对の導体部 9 の対向方向に直交する断面形状が一对の導体部 9 の対向方向にわたって同じであることから、一对の導体部 9 の重なり面積は、サーミスタ部 7 における一对の導体部 9 の対向方向に直交する断面の面積に相当することとなる。このため、チップサーミスタ 1 では、その抵抗値がサーミスタ部 7 の形状に支配されることとなり、抵抗値の特性ばらつきが生じ難い。

20

【0051】

上述した製造方法によれば、サーミスタ部 7 の形状は、焼成により得られた積層体の切断により規定される。このため、チップサーミスタ 1 の抵抗値の特性ばらつきは、より一層生じ難い。

【0052】

チップサーミスタ 1 では、一对の導体部 9 がサーミスタ部 7 の両側に配置された構成が採用されるため、サーミスタ素体に直接外部電極が接続される従来の構成に比べ、同一のチップサイズにおいて、低抵抗化を図ることもできる。また、サーミスタ部 7 の厚みなどを調整することで抵抗値を変えることができるので、抵抗値の調整範囲を広くすることができる。

30

【0053】

チップサーミスタ 1 では、一对の導体部 9 がサーミスタ部 7 を挟み且つサーミスタ部 7 と接続されているため、チップサーミスタ 1 における熱を、導体部 9 を介して容易に放熱することができる。特に、放熱性に優れたチップサーミスタ 1 を得ることができる。特に、サーミスタは元々、熱によって抵抗値が変わる特性を有しているため、放熱性が優れていることで、チップサーミスタ 1 では、熱応答性が向上し、より正確な検出が可能となる。また、チップサーミスタ 1 の定格電力を高く設定することが可能となり、チップサーミスタ 1 (サーミスタ部 7) の自己発熱を抑制することができる。チップサーミスタ 1 の自己発熱が抑制されると、チップサーミスタ 1 により温度測定精度が向上する。

40

【0054】

チップサーミスタ 1 を電子機器 ED に実装する際には、図 7 にも示されたように、導体部 9 が電子機器 ED に接続されることとなる。金属とガラス成分とを含有する導体部 9 は、一般、セラミックスからなるサーミスタ部 7 よりも軟らかい。したがって、機械的衝撃が電子機器 ED に加えられた場合でも、機械的衝撃は導体部 9 により吸収され、サーミスタ部 7 に伝わり難い。すなわち、チップサーミスタ 1 は、耐衝撃性に優れる。

【0055】

50

ところで、チップ型電子部品をはんだ実装する際に、チップ立ち現象が生じることがある。これに対して、本実施形態では、サーミスタ部7と一对の導体部9とが、一对の導体部9の対向方向に直交する断面形状が一对の導体部9の対向方向にわたって同じであることから、電子機器EDに実装する際に、溶融したはんだからチップサーミスタ1に作用する力がチップサーミスタ1の両端で不均一となり難く、また、不均一である場合でも立ち上がり難い。すなわち、チップサーミスタ1は、チップ立ち現象の発生を抑制することができる。

#### 【0056】

チップ型電子部品を電子機器にはんだ実装する場合、チップ型電子部品には熱衝撃が加わる。通常、端子電極は素体の外表面に形成され、また、素体はセラミックスにて構成される。したがって、熱衝撃が加わった場合、チップ型電子部品においては、端子電極が素体に比べて収縮し易い。この収縮応力は、端子電極の縁部周辺に集中し、当該端子電極の縁部周辺から素体にクラックが発生する恐れがある。また、チップ型電子部品が電子機器に実装された後、周囲の温度が急激に変化した場合に、素体、端子電極、はんだ、電子機器、各々の熱膨張係数差により応力吸収が不十分となり、同様に、端子電極の縁部周辺から素体にクラックが発生する恐れがある。これに対して、本実施形態では、上述したように、導体部9がサーミスタ部7よりも軟らかいことから、上述した応力を導体部9が吸収して、サーミスタ部7にクラックが発生するのを抑制することができる。すなわち、チップサーミスタ1は、耐熱衝撃性にも優れる。

#### 【0057】

本実施形態においては、サーミスタ部7と一对の導体部9とが、一对の導体部9の対向方向に直交する断面形状が一对の導体部9の対向方向にわたって同じであることから、外部電極を素体の外表面に形成したチップサーミスタに比して、低背化を図ることができる。したがって、図8にも示されたように、チップサーミスタ1は、EPD技術に極めて適した電子部品である。

#### 【0058】

また、チップサーミスタ1の高さが素子の外表面に端子電極を形成した従来のチップサーミスタの高さと同等に設定された場合には、素体3の高さを高く設定することが可能となり、その分、素体3の強度が向上する。したがって、耐衝撃性などがより一層向上することとなる。

#### 【0059】

本実施形態では、各導体部9の外表面が、めっき電極5で覆われている。これにより、実装性にすぐれたチップサーミスタ1を得ることができる。めっき電極5の厚みは極めて薄いことから、上述したチップ立ち現象の発生抑制や低背化に関する効果に支障が生じることはない。

#### 【0060】

本実施形態では、サーミスタ部7は、一对の導体部9の対向方向が積層方向となるように層状に形成されている。これにより、サーミスタ部7の厚さがサーミスタ層8の積層数によって調整されることとなり、サーミスタ部7の厚さと比例関係にあるチップサーミスタ1の抵抗値を容易に調整することができる。また、サーミスタ層8の積層数でチップサーミスタ1の抵抗値が調整されることとなるので、各チップサーミスタ1における抵抗値のパラッキを容易に抑えることができ、特に、極小サイズとされた場合において、そのパラッキを顕著に抑制することができる。つまり、検出精度のよい極小サイズのチップサーミスタ1を容易に得ることができる。

#### 【0061】

本実施形態では、各導体部9は、一对の導体部9の対向方向が積層方向となるように層状に形成されている。これにより、各導体部9の長さ（一对の導体部9の対向方向における長さ）を導体層10の積層数によって容易に調整することができる。特に、サーミスタ部7及び導体部9の両方を層状に形成するようにした場合、チップサーミスタ1全体の長さなどを容易に調整することができ、極小サイズとされた場合であっても、寸法精度のよ

10

20

30

40

50

いチップサーミスタ 1 を容易に得ることができる。

【 0 0 6 2 】

本実施形態では、サーミスタ部 7 の外表面が、絶縁層 1 1 で覆われている。これにより、一对の導体部 9 が短絡するのを防ぐことができる。また、めっき電極 5 を形成する際に、めっき伸びなどが生じることなく、各めっき電極 5 を確實且つ容易に形成することができる。

【 0 0 6 3 】

以上、本発明の好適な実施形態について説明してきたが、本発明は必ずしも上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲で様々な変更が可能である。

10

【 0 0 6 4 】

サーミスタ部 7 の組成は、上述した組成に限られない。サーミスタ部 7 は、たとえば、 $B a T i O_3$  を主成分とし、副成分として希土類及び P b、S r などの金属酸化物を含む組成であってもよい。

【 0 0 6 5 】

本実施形態では、導体部 9 は、金属粉とガラス粉とを含有する第二グリーンシートを焼成することにより形成されているが、これに限られない。たとえば、導体部 9 は、上述した金属粉、ガラス粉、及び有機バインダなど含むスラリーをスクリーン印刷法などで付与することによって形成されてもよい。

【 0 0 6 6 】

めっき電極 5 は、第一層 5 a と第二層 5 b とからなる二層構造とされているが、これに限られない。たとえば、めっき電極 5 は、C u めっきなどからなる一層構造とされていてもよい。

20

【 0 0 6 7 】

上述した実施形態及び変形例では、チップサーミスタ 1 として、N T C サーミスタを例にとって説明したが、本発明は、これに限定されない。本発明は、P T C (Positive Temperature Coefficient) サーミスタなど他のチップサーミスタに適用してもよい。

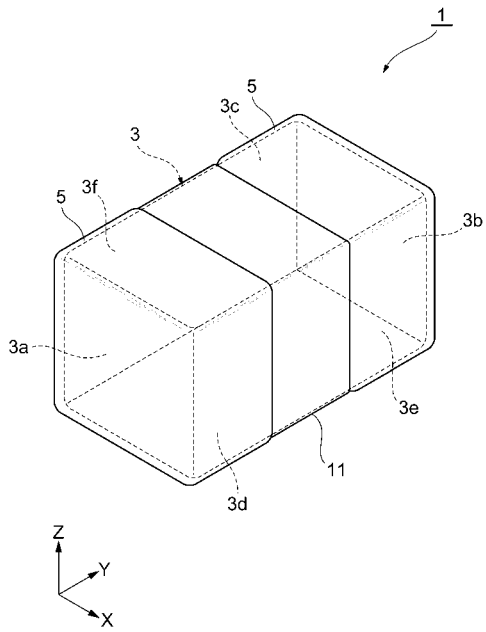
【 符号の説明 】

【 0 0 6 8 】

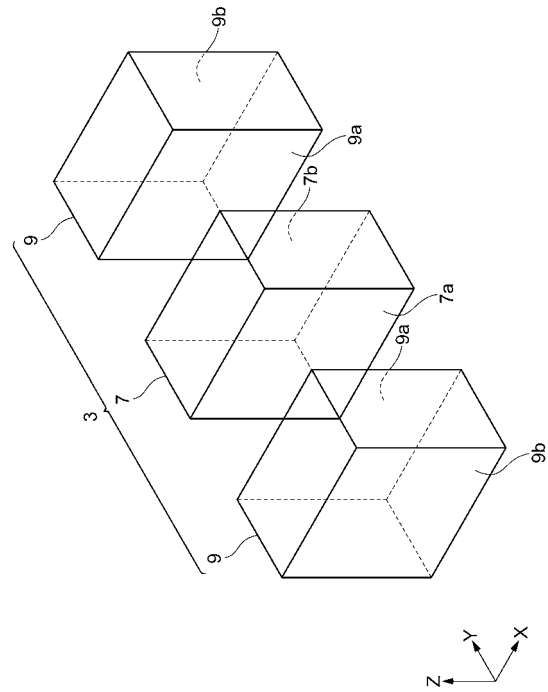
1 ... チップサーミスタ、 3 ... 素体、 5 ... めっき電極、 7 ... サーミスタ部、 8 ... サーミスタ層、 9 ... 導体部、 1 0 ... 導体層、 1 1 ... 絶縁層。

30

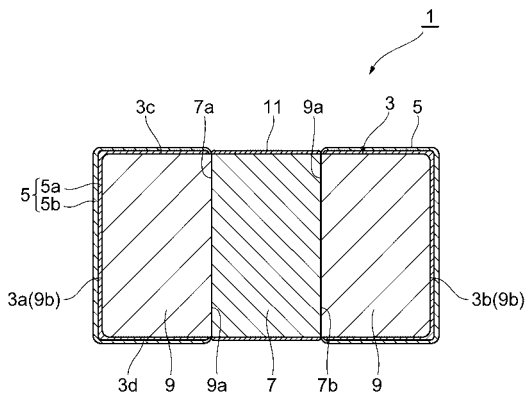
【 図 1 】



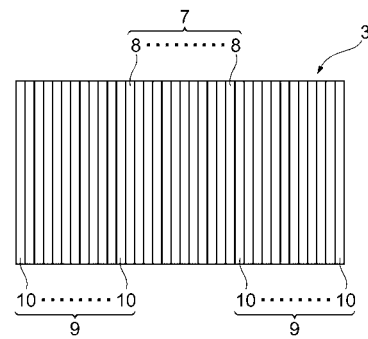
【 図 2 】



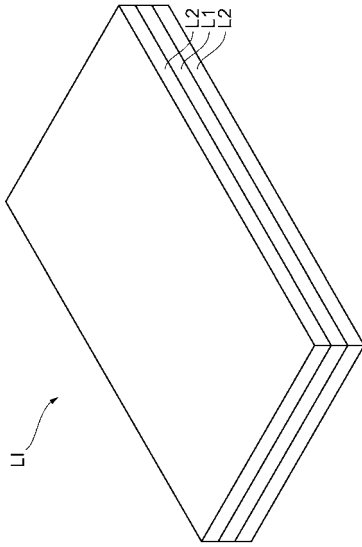
【 図 3 】



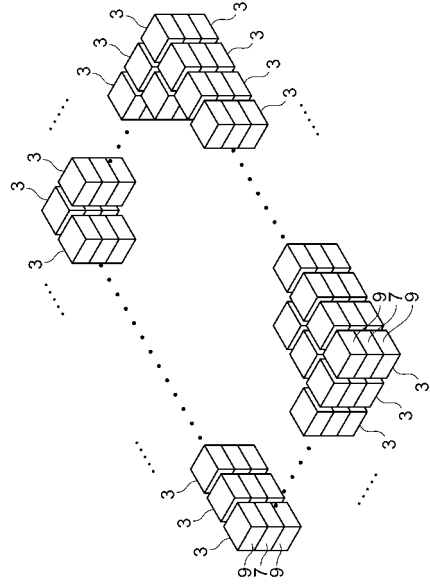
【 図 4 】



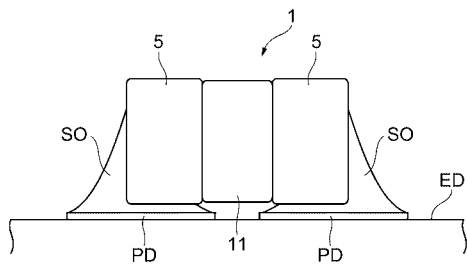
【 図 5 】



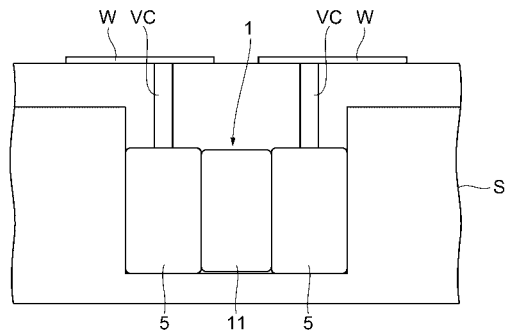
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 山田 孝樹

東京都中央区日本橋一丁目13番1号 TDK - EPC株式会社内

(72)発明者 村上 幸弘

東京都中央区日本橋一丁目13番1号 TDK - EPC株式会社内

Fターム(参考) 5E034 BA09 BB05 BC02 DA07 DC01