

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5551663号
(P5551663)

(45) 発行日 平成26年7月16日 (2014. 7. 16)

(24) 登録日 平成26年5月30日 (2014. 5. 30)

(51) Int. Cl.	F I
H04B 1/04 (2006.01)	H04B 1/04 F
H03D 7/00 (2006.01)	H03D 7/00 B
H03D 7/14 (2006.01)	H03D 7/14 A
H03D 7/12 (2006.01)	H03D 7/12 C

請求項の数 5 (全 19 頁)

(21) 出願番号	特願2011-187410 (P2011-187410)	(73) 特許権者	303046277
(22) 出願日	平成23年8月30日 (2011. 8. 30)		旭化成エレクトロニクス株式会社
(65) 公開番号	特開2013-51494 (P2013-51494A)		東京都千代田区神田神保町一丁目105番地
(43) 公開日	平成25年3月14日 (2013. 3. 14)	(74) 代理人	100066980
審査請求日	平成25年3月28日 (2013. 3. 28)		弁理士 森 哲也
		(74) 代理人	100109380
			弁理士 小西 恵
		(74) 代理人	100103850
			弁理士 田中 秀▲てつ▼
		(72) 発明者	福田 州一
			神奈川県厚木市岡田3050番地 旭化成エレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 直接RF変調送信器

(57) 【特許請求の範囲】

【請求項1】

1ビットのデジタルベースバンドデータの正転データと当該正転データの反転データとを入力し、第1RF信号と当該第1RF信号と位相が180度異なる第2RF信号とを入力し、前記正転データおよび前記反転データが前記第1RF信号および前記第2RF信号によって周波数変換された第1電圧信号と当該第1電圧信号の差動信号である第2電圧信号とを出力する受動ミキサ回路と、

定電流源と、

前記定電流源によって生成された定電流を、前記受動ミキサ回路から出力された前記第1電圧信号、第2電圧信号に応じて第1出力信号と、当該第1電圧信号の差動信号である第2出力信号とに変換する差動対素子と、

を有するユニットブロックを複数個含み、

複数ビットの前記デジタルベースバンドデータからなるデジタルベースバンド信号によって前記第1RF信号及び前記第2RF信号を変調し、前記各ユニットブロックからの出力信号を加算すること特徴とする直接RF変調送信器。

【請求項2】

前記受動ミキサ回路は、

ソースに前記1ビットのデジタルベースバンドデータの正転データが入力され、ゲートに前記第1RF信号が入力され、ドレインが前記差動対を構成する第5トランジスタのゲートに接続される第1トランジスタと、

ソースに前記１ビットのデジタルベースバンドデータの正転データが入力され、ゲートに前記第２ＲＦ信号が入力され、ドレインが前記差動対を構成する第６トランジスタのゲートに接続される第２トランジスタと、

ソースに前記１ビットのデジタルベースバンドデータの反転データが入力され、ゲートに前記第２ＲＦ信号が入力され、ドレインが前記第５トランジスタのゲートに接続される第３トランジスタと、

ソースに前記１ビットのデジタルベースバンドデータの反転データが入力され、ゲートに前記第１ＲＦ信号が入力され、ドレインが前記第６トランジスタのゲートに接続される第４トランジスタと、

を含むこと特徴とする請求項１に記載の直接ＲＦ変調送信器。

10

【請求項３】

前記定電流源は、前記第５トランジスタのソースと前記第６トランジスタのソースの共通接点に接続されることを特徴とする請求項２に記載の直接ＲＦ変調送信器。

【請求項４】

前記第１トランジスタ、前記第２トランジスタ、前記第３トランジスタ、前記第４トランジスタは、Ｎ型ＭＯＳトランジスタで構成されることを特徴とする請求項２から３のいずれかに１項に記載の直接ＲＦ変調送信器。

【請求項５】

前記第１トランジスタ、前記第２トランジスタ、前記第３トランジスタ、前記第４トランジスタは、Ｐ型ＭＯＳトランジスタで構成されることを特徴とする請求項２から３のいずれかに１項に記載の直接ＲＦ変調送信器。

20

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、直接ＲＦ変調送信器に関する。

【背景技術】

【０００２】

現在、複数の無線通信規格や複数の周波数のバンドに対応することができる携帯型の通信端末装置（以下、本明細書では携帯端末と記す）がある。複数の規格に対応することをマルチモード対応といい、複数の周波数のバンドに対応することをマルチバンド対応という。

30

このようなマルチモードマルチバンド対応端末の送信に係る構成として、デジタルベースバンド信号をアナログ信号に変換（デジタル／アナログ変換）する際に、同時にＲＦ送信キャリア周波数への周波数変換も行い、デジタル信号から直接ＲＦ周波数に変調する送信器が近年知られている。このような送信器は、例えば、特許文献１に記載されている。

【０００３】

特許文献１に記載された送信器では、広く知られた電流制御型デジタル／アナログ変換回路におけるトランジスタの縦積み回路の一部に、ギルバートセルミキサに類似した構成のＲＦ周波数変換回路を組み込んでいる。このような構成によれば、デジタル／アナログ変換器とＲＦ周波数変換器、あるいはＲＦ変調器を独立した回路とし、デジタル／アナログ変換とＲＦ周波数変換とを複合化して同時に行うことができる。

40

【０００４】

特許文献１に記載された送信器は、デジタル／ＲＦ変換器（Digital to RF converter）、直接ＲＦ変換器（Direct RF converter）、あるいは、それらによって構成される直接ＲＦ変調送信器（Direct RF Modulation Transmitter）等と呼ばれることがある。このような構成を送信器に用いると、従来型の分離動作する送信器において必要とされる、デジタル／アナログ変換器とＲＦ周波数変換器との間のアナログベースバンドフィルタ回路を省略できる等の利点がある。

【０００５】

図１１は、上記した直接ＲＦ変調送信器の構成を例示した図である。図１１に示した直

50

接RF変調送信器は、2つのデジタル／RF変換器（図中にDRCと記す）1、2、2分周器3、整合回路4、パワーアンプ（図中にPAと記す）5とから構成される。

2分周器3には、周波数掛算用のRF信号（以下、送信ローカルRF信号と記す） $L_{o i n+}$ 、送信ローカルRF信号 $L_{o i n+}$ の位相が反転された送信ローカルRF信号 $L_{o i n-}$ が外部から供給されている。2分周器3は、送信ローカルRF信号 $L_{o i n+}$ 、 $L_{o i n-}$ を入力し、90度位相の異なる二対の差動ローカル信号 $T x L_{o I+}$ 、 $T x L_{o I-}$ 、 $T x L_{o Q+}$ 、 $T x L_{o Q-}$ を生成し、デジタル／RF変換器1、2に各々出力する。

【0006】

図11に示した例では、2分周器3によって0度と90度との差動ローカル信号を生成するため、送信ローカルRF信号 $L_{o i n+}$ 、 $L_{o i n-}$ の周波数は目的とする送信キャリア波の周波数の2倍になる。差動ローカル信号 $T x L_{o I+}$ 、 $T x L_{o I-}$ 、 $T x L_{o Q+}$ 、 $T x L_{o Q-}$ の周波数は送信キャリア波の周波数となる。差動ローカル信号 $T x L_{o I+}$ 、 $T x L_{o I-}$ と、 $T x L_{o Q+}$ 、 $T x L_{o Q-}$ との間には、90度の位相差がある。

【0007】

デジタル／RF変換器1、2には、いわゆるIQ直交変調器と同じ形式の位相関係で差動ローカル信号 $T x L_{o I+}$ 、 $T x L_{o I-}$ と、 $T x L_{o Q+}$ 、 $T x L_{o Q-}$ が供給される。このことにより、直接RF変調送信器が構成される。すなわち、デジタル／RF変換器1には、I（In-Phase：同相）デジタルベースバンド信号（図中にIBBDATAと記す）が入力される。また、デジタル／RF変換器2には、Q（Quadrature：直交）デジタルベースバンド信号（図中にQBDATAと記す）が入力される。

【0008】

また、デジタル／RF変換器1、2には、サンプリングクロック信号（図中にCLKBと記す）が入力される。デジタル／RF変換器1、2は、いずれもデジタル／アナログ変換機能とベースバンド信号をRF信号に周波数変換する周波数掛算機能とを統合した機能を有する信号変換回路である。このような機能により、デジタル／RF変換器1は、サンプリングクロック信号、Iデジタルベースバンド信号、差動ローカル信号から出力差動信号を出力する。また、デジタル／RF変換器2は、サンプリングクロック信号、Qデジタルベースバンド信号、差動ローカル信号から出力差動信号を出力する。デジタル／RF変換器1、2から出力された出力差動信号は、加算され、その後、整合回路4を通して送信キャリア波をデジタルベースバンド信号で変調した信号（以下、送信キャリア波変調信号と記す）として出力される。

【0009】

整合回路4は、送信キャリア波の周波数を中心周波数とするバンドパス型のゲイン特性を有する回路であり、容量素子やインダクタ素子等の受動素子で構成されている。なお、図11に示した直接RF変調送信器では、デジタル／RF変換器1、2が電流を出力することを想定していて、デジタル／RF変換器1が出力した出力差動信号と、デジタル／RF変換器2が出力した出力差動信号との加算は、信号経路を直接結合することによって実現される。

【0010】

図12は、上記した特許文献1に記載されているデジタル／RF変換器1、2の構成を示した回路図である。デジタル／RF変換器1、2は、同じ構成を有している。このため、図12中にはデジタル／RF変換器1、2の構成にあたる部分を単に「DRC」と示す。また、図12の説明においても、デジタル／RF変換器1、2を区別せず、単にデジタル／RF変換器と記す。

【0011】

デジタル／RF変換器は、LSB（Least Significant Bit）側の信号を処理するブロックと、MSB（Most Significant Bit）側の信号を処理するブロックと、を少なくとも備えている。LSB側のブロックは、ユニットブロックがバイナリで重み付けされた電流

10

20

30

40

50

源 280、281、…28k と、ギルバートセル型に配置されたローカル信号用スイッチ 220、221、…22k と、データ信号用スイッチ 240、241、…24k とで構成されている。1つの電流源と、この電流源に対応して配置された1組のローカル信号用スイッチ、データ信号用スイッチを、以降ユニットブロックとも記す。図12では、1つのユニットブロックに符号 u' を付して示す。

【0012】

また、MSB (Most Significant Bit) 側のブロックは、同じ値に重み付けされた電流源 290 と、ギルバートセル型に配置されたローカル信号用スイッチ 230 とデータ信号用スイッチ 260 とが必要なビット分並列に接続された構成を有している。このような構成により、特許文献1に記載された直接RF変調送信器では、デジタル／アナログ変換と周波数掛算とを同時に行うことができる。なお、図12に示した例では、デジタル／RF変換器の外部に設けられた外部負荷によって全ユニットブロックの電流出力が電圧変換されることとなっている。

10

【0013】

図13は、デジタル／RF変換器の一般的な動作を説明するための図である。このような回路には、RF信号、デジタルベースバンド信号が入力される。入力されたRF信号は、デジタルベースバンド信号によって変調されて出力される。変調された信号は、デジタルベースバンド信号が切り替わるタイミングで送信キャリア波の位相を反転した信号となる。

【0014】

20

図14は、図12に示したデジタル／RF変換器のユニットブロックをN型のMOS (Metal Oxide Semiconductor) トランジスタを使って構成した例を示した図である。図14に示したデジタル／RF変換器は、MOS トランジスタ 141～147 を含んでいる。MOS トランジスタ 147 は、定電流源を構成しており、ゲート電圧が適切にバイアスされることによって定電流を生成している。MOS トランジスタ 147 によって生成された電流は、MOS トランジスタ 141～146 によって構成される、いわゆるギルバートセル型のミキサ回路に供給される。

【0015】

図14に示した構成のデジタル／RF変換器では、送信キャリア波の周波数で振動する差動入力信号 $LO+$ 、 $LO-$ によって周波数変換された、デジタルベースバンド信号 V_{LN+} 、 V_{LN-} に応じた電流が、差動出力電流 I_N 、 I_{XN} として出力される。

30

ここで入力信号 $LO+$ 、 $LO-$ が入力される差動対を構成するMOS トランジスタ 145、146 のゲート幅 W について説明する。

【0016】

全てのユニットブロックにおいて、MOS トランジスタ 145、146 のゲート長 L を同じにし、図12に示したLSB側のMOS トランジスタのゲート幅 W を W_0 、電流値を I_0 とする。このとき、LSB+1ビット目のユニットブロックを流れる電流の電流値が2倍となるため、電流値は $2 \times I_0$ となる。このとき、MOS のバイアス状態を揃えるためには、MOS トランジスタ 145、146 のゲート幅 W を $2 \times W_0$ とする。

【0017】

40

ここで、5ビットのデジタル／RF変換器を、全てバイナリ型で構成した場合のMOS トランジスタ 145、146 のゲート面積の総和は、 $W_0 + 2 \times W_0 + 4 \times W_0 + 8 \times W_0 + 16 \times W_0 = 31 \times W_0$ となる。図11に示したデジタル／RF変換器1、2のユニットブロックに図14の回路を適用したとき、MOS トランジスタ 145、146 には、図11の2分周器3から出力される差動ローカル信号 $TxLoI+$ 、 $TxLoI-$ 、 $TxLoQ+$ 、 $TxLoQ-$ のうちのいずれかを出力する端子と接続される。このため、MOS トランジスタ 145、146 は、2分周器3にとっては容量性の負荷と見なされる。負荷の大きさは、MOS トランジスタ 145、146 のゲート面積に比例して増大する。

【0018】

高周波回路における2分周器では、容量性負荷の増大は、一般的に消費電流の増大を招

50

く。このため、図11に示した直接RF変調送信器では、容量性負荷を小さくできるため、MOSトランジスタ145、146のゲート面積は小さいほど好ましい。

次に、図14に示したユニットブロックに必要な電源電圧V_{dd}について説明する。この説明では、差動入力信号L_O⁺、L_O⁻のうち、入力信号L_O⁺は正、入力信号L_O⁻は負の状態であるとする。また、デジタルベースバンド信号V_{L_N⁺}、V_{L_N⁻}のうち、デジタルベースバンド信号V_{L_N⁺}は正、デジタルベースバンド信号V_{L_N⁻}は負の状態であるとする。すなわち、以下の説明では、MOSトランジスタ147で発生した定電流が、MOSトランジスタ145、141を経由して出力に流れる場合を想定している。

【0019】

上記した状態において、MOSトランジスタ141、145、147各々の閾値電圧をV_{tn}とし、MOSトランジスタ141のオーバードライブ電圧をV_{ov1}[']、MOSトランジスタ145のオーバードライブ電圧をV_{ov5}[']、MOSトランジスタ147のオーバードライブ電圧をV_{ov7}[']とする。ここでオーバードライブ電圧とはMOSトランジスタのゲート・ソース間電圧から閾値電圧を引いた電圧であり、MOSトランジスタが飽和領域で動作するためには、ソース・ドレイン間電圧がオーバードライブ電圧以上であることが必要である。

【0020】

高速動作が必要なアナログ回路において、MOSトランジスタはトランスコンダクタンスが高く、増幅動作に向けた飽和領域で動作させることが望ましい。ここで、図14に示したユニットブロックにおいて、シングルエンドのゼロピーク電圧振幅がV₀必要なとき、MOSトランジスタ141、145、147が飽和領域で動作するための必要最低限の電源電圧V_{dd}[']は、数式(1)で示される。

$$V_{dd}' > V_o + V_{ov1}' + V_{ov5}' + V_{ov7}' \quad \cdots \text{式(1)}$$

ここで、出力電圧は電源電圧V_{dd}[']を中心として電源電圧V_{dd}[']+V₀からV_{dd}[']-V₀の間で変化すると想定している。定電流源用のMOSトランジスタ147の電流値をI₀とすると、このユニットブロックで消費される消費電力はV_{dd}[']×I₀となる。携帯型の送信器等では、その消費電力が蓄電池の放電時間に影響を与えるため、小さいほど好ましい。図14に示したユニットブロックの消費電力は、MOSトランジスタ141、145、147のオーバードライブ電圧を小さくすることによって数式上は削減可能である。

【先行技術文献】

【特許文献】

【0021】

【特許文献1】Patent Application Publication US 2005/0111573 A1

【発明の概要】

【発明が解決しようとする課題】

【0022】

しかしながら、オーバードライブ電圧を小さくするためには、MOSトランジスタのゲート幅Wとゲート長Lの比であるW/L値を大きく設計する必要がある。しかし、定電流源用のMOSトランジスタ147では、サイズのばらつき抑止や熱雑音低減の観点からオーバードライブ電圧を小さくすることは好ましくない。MOSトランジスタの141、142、143、144、145、146に関しては、通常は、Lはプロセスの最小値で設計されることを考慮すると、ゲート幅Wを大きくすることになる。ゲート幅Wの拡大は、W×Lで示されるMOSトランジスタのゲート面積の増大を招く。

【0023】

ゲート面積の増大は、その前段回路（例えば2分周器）の容量性負荷が増大し、デジタル／RF変換器の消費電流増大を招くため好ましくない。つまり、従来技術では、低電源電圧化による低消費電力化と、前段回路への容量負荷軽減による低消費電流化による低消費電力化とがトレードオフの関係にある。

本発明は、以上の点に鑑みてなされたものであり、消費電力をより省力化することがで

10

20

30

40

50

きる直接RF変調送信器を提供することを目的とする。

【課題を解決するための手段】

【0024】

本発明の直接RF変調送信器は、1ビットのデジタルベースバンドデータの正転データと当該正転データの反転データとを入力し、第1RF信号と当該第1RF信号と位相が180度異なる第2RF信号とを入力し、前記正転データおよび前記反転データが前記第1RF信号および前記第2RF信号によって周波数変換された第1電圧信号と当該第1電圧信号の差動信号である第2電圧信号とを出力する受動ミキサ回路と、定電流源と、前記定電流源によって生成された定電流を、前記受動ミキサ回路から出力された前記第1電圧信号、第2電圧信号に応じて第1出力信号と、当該第1電圧信号の差動信号である第2出力信号とに変換する差動対素子と、を有するユニットブロックを複数個含み、複数ビットの前記デジタルベースバンドデータからなるデジタルベースバンド信号によって前記第1RF信号及び前記第2RF信号を変調し、前記各ユニットブロックからの出力信号を加算すること特徴とすることを特徴とする。

10

【0025】

また、本発明の直接RF変調送信器は、上記した発明において、前記受動ミキサ回路が、ソースに前記1ビットのデジタルベースバンドデータの正転データが入力され、ゲートに前記第1RF信号が入力され、ドレインが前記差動対を構成する第5トランジスタ（例えば図1に示したMOSトランジスタ105）のゲートに接続される第1トランジスタ（例えば図1に示したMOSトランジスタ101）と、ソースに前記1ビットのデジタルベースバンドデータの正転データが入力され、ゲートに前記第2RF信号が入力され、ドレインが前記差動対を構成する第6トランジスタ（例えば図1に示したMOSトランジスタ106）のゲートに接続される第2トランジスタ（例えば図1に示したMOSトランジスタ102）と、ソースに前記1ビットのデジタルベースバンドデータの反転データが入力され、ゲートに前記第2RF信号が入力され、ドレインが前記第5トランジスタのゲートに接続される第3トランジスタ（例えば図1に示したMOSトランジスタ103）と、ソースに前記1ビットのデジタルベースバンドデータの反転データが入力され、ゲートに前記第1RF信号が入力され、ドレインが前記第6トランジスタのゲートに接続される第4トランジスタ（例えば図1に示したMOSトランジスタ104）と、を含むことが望ましい。

20

30

【0026】

また、本発明の直接RF変調送信器は、上記した発明において、前記定電流源が、前記第5トランジスタのソースと前記第6トランジスタのソースの共通接点に接続されることが望ましい。

また、本発明の直接RF変調送信器は、上記した発明において、前記第1トランジスタ、前記第2トランジスタ、前記第3トランジスタ、前記第4トランジスタが、N型MOSトランジスタで構成されることが望ましい。

【0027】

また、本発明の直接RF変調送信器は、上記した発明において、前記第1トランジスタ、前記第2トランジスタ、前記第3トランジスタ、前記第4トランジスタが、P型MOSトランジスタで構成されることが望ましい。

40

【発明の効果】

【0028】

上記した本発明の直接RF変調送信器は、パッシュミキサと差動対の組み合わせ回路をギルバートセルの替わりに用いることで、低電源電圧化による低消費電力化と、前段回路への容量負荷軽減による低消費電流化による低消費電力化を両立させることができる。そのため、このような送信器を半導体集積回路で実現した場合、消費電力を従来に比べ少なくすることができる。

以上のことから、本発明によれば、消費電力をいっそう省力化することができる直接RF変調送信器を提供することができる。

50

【図面の簡単な説明】

【0029】

【図1】本発明の第1実施形態の直接RF変調送信器の1つのユニットブロックを示した図である。

【図2】本発明の第1実施形態の1ビットベースバンドデータ、差動ローカル信号、出力電圧を示した図である。

【図3】本発明の第2実施形態の直接RF変調送信器の、ユニットブロックを説明するための図である。

【図4】図1に示した1ビットデジタル信号、反転データ、差動ローカル信号の電圧の変化の状態を示した図である。

10

【図5】図4に示すように各信号の電圧レベルが変化する場合の、図1に示した各MOSトランジスタのオン、オフの動作を説明するための図である。

【図6】図5に示したように図1に示したMOSトランジスタが動作したときの、受動ミキサ回路の出力電圧の変化を示した図である。

【図7】図3に示した1ビットデジタル信号、反転データ、差動ローカル信号の電圧の変化の状態を示した図である。

【図8】図7に示すように各信号の電圧レベルが変化する場合の、図3に示した各MOSトランジスタのオン、オフの動作を説明するための図である。

【図9】図8に示したように図3に示したMOSトランジスタが動作したときの、受動ミキサ回路の出力電圧の変化を示した図である。

20

【図10】本発明の第3実施形態のデジタル／RF変換器の回路図である。

【図11】本発明の従来技術の上記した直接RF変調送信器の構成を例示した図である。

【図12】図11に示した直接RF変調送信器のデジタル／RF変換器の構成を説明するための図である。

【図13】デジタル／RF変換器の一般的な動作を説明するための図である。

【図14】図12に示したデジタル／RF変換器の1つのユニットブロックを示した図である。

【発明を実施するための形態】

【0030】

(第1実施形態)

30

以下、本発明の直接RF変調送信器の第1実施形態、第2実施形態、第3実施形態を説明する。

・回路構成

図1は、第1実施形態の直接RF変調送信器の回路構成を説明するための図であって、直接RF変調送信器に含まれるデジタル／RF変換器の1つのユニットブロックu1を示している。なお、ユニットブロックとは、直接RF変調送信器に含まれるデジタル／RF変換器を構成する1つの電流源と、この電流源に対応して設けられた複数のスイッチとを含むユニットを指す。

【0031】

ユニットブロックu1は、MOSトランジスタ101、102、103、104、105、106、107を含んでいる。第1実施形態では、MOSトランジスタ101～107は、N型MOSトランジスタである。MOSトランジスタ101～104は、受動ミキサ回路100を構成する。また、MOSトランジスタ105～107は、電流出力回路150を構成する。

40

【0032】

MOSトランジスタ101、102のソースは、端子108に接続されている。また、MOSトランジスタ103、104のソースは端子109に接続されている。端子108は、受動ミキサ回路100に1ビットベースバンドデータDを入力する。端子109は、受動ミキサ回路100に1ビットベースバンドデータDの反転データDNを入力する。

また、受動ミキサ回路100のMOSトランジスタ101、104のゲートには、差動

50

ローカル信号 $TxLoI+$ が入力される。MOSトランジスタ102、103のゲートには、差動ローカル信号 $TxLoI-$ が入力される。差動ローカル信号 $TxLoI+$ 、 $TxLoI-$ は、送信キャリア波の周波数で振動する。

【0033】

MOSトランジスタ105、106は、ソース同士が接続されて差動対を構成する。MOSトランジスタのドレイン105、106には、MOSトランジスタ107のドレインが接続されている。MOSトランジスタ107のゲートには電圧 Vb が供給され、電圧 Vb に対応する量の電流がMOSトランジスタ105、106に供給される。このようなMOSトランジスタ107は、定電流源として機能する。

【0034】

MOSトランジスタ105のゲートには、受動ミキサ回路100のMOSトランジスタ101、103のドレインから出力される出力電圧 Vp が入力される。MOSトランジスタ106のゲートには、MOSトランジスタ104、102のドレインから出力される出力電圧 Vn が入力される。

MOSトランジスタ105、106は、MOSトランジスタ107から供給された一定の電流を、出力端子110、111に振り分ける。出力端子110、111に振り分けられた電流は、ユニットブロックu1の外部で電流負荷回路に入力され、電圧に変換される。この結果、MOSトランジスタ105のドレインと接続する出力端子110には出力電圧 Von がかかる。また、MOSトランジスタ106のドレインと接続する出力端子111には出力電圧 Vop がかかる。

【0035】

図2は、1ビットベースバンドデータ D 、差動ローカル信号 $TxLoI+$ 、出力電圧 Vp 、出力電圧 Von 、 Vop を示した図である。図2に示したように、出力電圧 Vp は、入力される1ビットベースバンドデータ D と、差動ローカル信号 $TxLoI+$ の極性にしたがって「1」または「0」の値をとる。1ビットベースバンドデータ D は、受動ミキサ回路100において、差動ローカル信号 $TxLoI+$ 、 $TxLoI-$ によって周波数変換されたとみなすことができる。

【0036】

・電源電圧

第1実施形態の直接RF変調送信器において、電流出力回路150を構成する全てのMOSトランジスタが飽和領域で動作するための必要最低限の電源電圧 Vdd は、数式(2)で表される。

$$Vdd > Vo + Vov5 + Vov7 \quad \cdots \text{式(2)}$$

式(2)において、 $Vov5$ はMOSトランジスタ105のオーバードライブ電圧を指す。また、 $Vov7$ は、MOSトランジスタ107のオーバードライブ電圧を指す。また、受動ミキサ回路100の出力電圧 Vp の極性がハイであり、 Vn の極性がローであり、ユニットブロックの出力においてシングルエンドのゼロピーク電圧振幅 $V0$ が必要であるものとした。

【0037】

上記した式(2)と、図14に示した従来のユニットブロックの電源電圧を示す式(1)とを比較すると、第1実施形態のユニットブロックに必要な電源電圧 Vdd は、従来のユニットブロックに必要な電源電圧 Vdd' よりも $Vov1'$ だけ小さいことが分かる。なお、図1に示したMOSトランジスタ107が、図14に示したMOSトランジスタ147と同じ設計条件、同じプロセス条件で製造されたものとする。図1に示したMOSトランジスタ105、106が図14に示したMOSトランジスタ145、146と同じ設計条件、同じプロセス条件で製造されたものとする。

さらに、第1実施形態では、受動ミキサ回路100の電源、グランド間に電流が流れる経路が無い場合、受動ミキサ回路100では電流が消費されない。このため、図1に示したユニットブロックを含む第1実施形態の直接RF変調送信器は、従来の直接RF変調送信器と比較していっそうの低電源電圧化による低消費電力化が可能である。

10

20

30

40

50

【0038】

・前段回路への影響（第1実施形態の効果）

次に、ユニットブロックを含むデジタル／RF変換器の前段回路（例えば2分周器）に対する、第1実施形態の影響について説明する。

図1に示した受動ミキサ回路100を構成するMOSトランジスタ101～104は、そのゲート、ソース間電圧が十分高くなってオーバードライブ電圧が正になると、ソース、ドレイン間が電氣的に接続される。そして、ソース、ドレイン間の電圧が等しくするように動作する。このような動作は、受動ミキサ回路100を構成するMOSトランジスタ101～104が、正のオーバードライブ電圧のときに、基本的に三極管領域において動作することを意味する。

10

【0039】

受動ミキサ回路100に入力される1ビットベースバンドデータD、反転データDNは、差動ローカル信号TxLo+、TxLo-によって周波数変換される。周波数変換された信号は、差動対を構成するMOSトランジスタ105、106のゲートに入力される。MOSトランジスタ105のゲートに出力される出力電圧Vpの変化速度は、トランジスタ101もしくはトランジスタ103のオーバードライブ電圧が正の場合の抵抗成分と、トランジスタ105のゲートの容量成分によって制限される。

【0040】

式(3)は、所望の周波数をf、MOSトランジスタ101、103のゲート幅をW、ゲート長をL、トランジスタ101、103のオーバードライブ電圧が負から正に遷移するときの、ソース、ドレイン電圧をVds、MOSトランジスタ105のゲート容量CL、キャリアの移動度をμ、単位面積当たりのゲート容量をCoxとしたときの、必要なW/L比の最小値を示している。ここでfは送信キャリア周波数よりも高い周波数を設定することが望ましい。

20

$$W/L = 2 \cdot \pi \cdot CL \cdot f / (\mu \cdot Cox \cdot Vds) \quad \dots \text{式(3)}$$

【0041】

MOSトランジスタのゲート容量は、ゲート幅Wとゲート長LとCoxから計算され、式(4)に示される。図14に示したMOSトランジスタ145のゲート幅Wを20[μm]、ゲート長Lを0.13[μm]、キャリア移動度μを100[μA/V²]、Coxを10[fF/μm²]とする。このとき、MOSトランジスタ145のゲート容量CLは、式(4)から26[fF]と算出される。この結果は、前段回路からの信号LO+が26[fF]の容量を駆動することを意味する。

30

$$CL = Cox \cdot W \cdot L \quad \text{式(4)}$$

次に、図1の差動対を構成するMOSトランジスタ105が、図14のトランジスタ145と同一サイズ、同じ単位面積当たりのゲート容量Coxを有し、MOSトランジスタ105と図14に示したMOSトランジスタ145とはゲート容量CLが等しいとする。さらに、図1に示したMOSトランジスタ107と図14に示したMOSトランジスタ147は同一値の定電流を生成するものとする。

【0042】

このとき、第1実施形態の受動ミキサ回路100を構成するトランジスタ101のW/Lの最小値は、f=2[GHz]、Vds=0.1[V]とすると、W/L=32.67と計算される。ここでL=0.13[μm]とすると、W=4.25[μm]となり、トランジスタ101のゲート容量は、Cox=10[fF/μm²]とすると、5.52[fF]となる。

40

【0043】

一般に、1つの受動ミキサ回路100を構成するトランジスタ101～104は、全て同じゲート幅とゲート長とを有するように設計される。これにより、前段の回路からのローカル差動信号TxLo+は、MOSトランジスタ101のゲート容量と、MOSトランジスタ104のゲート容量の合計値である11.04[fF]を駆動する。

以上のことから、第1実施形態の直接RF変調送信器は、そのユニットブロックの前段

50

回路が駆動すべき容量が、従来技術よりも小さくなる。このため、第1実施形態の直接RF変調送信器は、従来よりも低い消費電力で駆動することができるようになる。

【0044】

(第2実施形態)

・回路構成

図3は、本発明の第2実施形態の直接RF変調送信器の、ユニットブロックu2を説明するための図である。ユニットブロックu2は、MOSトランジスタ201、202、203、204、205、206を含んでいる。MOSトランジスタ201～204は、P型MOSトランジスタであって、受動ミキサ回路200を構成する。MOSトランジスタ205、206は、NMOSトランジスタである。

10

【0045】

さらに、ユニットブロックu2は、MOSトランジスタ205、206のソースに接続される定電流源207を含んでいる。MOSトランジスタ205、206、定電流源207は、電流出力回路250を構成する。

MOSトランジスタ201、202のソースは、端子208に接続されている。また、MOSトランジスタ203、204のソースは端子209に接続されている。端子208は、受動ミキサ回路200に1ビットベースバンドデータDを入力する。端子209は、受動ミキサ回路200に1ビットベースバンドデータDの反転データDNを入力する。

【0046】

また、受動ミキサ回路200のMOSトランジスタ201、204のゲートには、差動ローカル信号TxLoI+が入力される。MOSトランジスタ202、203のゲートには、差動ローカル信号TxLoI-が入力される。差動ローカル信号TxLoI+、TxLoI-は、送信キャリア波の周波数で振動する。このとき、受動ミキサ回路200の出力電圧Vp、Vnは、入力される1ビットベースバンドデータDと差動ローカル信号TxLoI+の極性から、図2に示した表の極性に従って出力される。

20

【0047】

図2に示したように、受動ミキサ回路200において、1ビットベースバンドデータDは、差動ローカル信号TxLoI+、TxLoI-によって周波数変換されるものとみなせる。受動ミキサ回路200の出力電圧Vpは、差動対を構成するMOSトランジスタ205のゲートに入力される。出力電圧Vnは、差動対を構成するMOSトランジスタ206のゲートに入力される。MOSトランジスタ205、206は、定電流源207によって生成された定電流を、出力端子210、211に振り分ける。このとき、定電流源207は適切にバイアスされている。

30

出力端子210、211に振り分けられた電流は、ユニットブロックu2の外部で電流負荷回路に入力され、電圧に変換される。

【0048】

・電源電圧

第2実施形態の直接RF変調送信器の電流出力回路250は、図1に示したMOSトランジスタ107に代えて、定電流源207を設けた点でのみ第1実施形態と相違する。電流出力回路250は第1実施形態の電流出力回路150と同様に動作するため、その説明を省くものとする。

40

【0049】

・前段回路への影響

次に、ユニットブロックを含むデジタル/RF変換器の前段回路（例えば2分周器）に対する、第2実施形態の影響について説明する。

まず、図3に示したMOSトランジスタ201のゲート幅Wとゲート長LのW/L比を、式(3)を使って計算する。差動対を構成するMOSトランジスタ205、206は、図1に示したMOSトランジスタ105、106と同一の設計条件、プロセス条件によって製造されているものとする。また、受動ミキサ回路200を構成するMOSトランジスタ201の $V_{ds} = -0.1$ [V]、キャリア移動度 $\mu = -40$ [$\mu A/V^2$] とする。こ

50

の他の条件は、第1実施形態のMOSトランジスタ101のW/L比を計算するにあたって式(3)に入力されたものと同じであるものとする。

【0050】

このような計算により、MOSトランジスタ201のW/L比は、81.68となる。ここで $L = 0.13$ [um] とすると $W = 10.62$ [um] となる。また、MOSトランジスタ201の単位面積当たりのゲート容量 $C_{ox} = 10$ [fF/um²] とすると、MOSトランジスタ201のゲート容量 C_L は、式(4)から13.80 [fF] となる。したがって、第2実施形態では、前段回路から入力される差動ローカル信号 $TxLo+$ が駆動する容量は、27.6 [fF] となる。この値は図14に示した入力信号 $Lo+$ が26 [fF] 駆動する容量とほぼ等しい。本計算は $f = 2$ [GHz] として計算を行ったが、より低い周波数を想定した場合、必要なW/L値が小さくなるため、ゲート容量の値をより小さくすることが可能である。

10

【0051】

・定電流源への影響

次に、受動ミキサ回路200の出力電圧変化の挙動が、受動ミキサ回路200と接続される電流出力回路250に与える影響を説明する。

(1) 第1実施形態について(比較例)

第2実施形態と比較するため、先ず、受動ミキサ回路100を構成するMOSトランジスタに、NMOSトランジスタを使った第1実施形態における定電流源への影響について説明する。

20

NMOSトランジスタがスイッチとしてオン状態となる条件は、式(5)によって表される。

$$V_{gs} - V_{tn} > 0$$

式(5)

【0052】

ここで、 V_{gs} はMOSトランジスタのゲート、ソース間電圧であり、 V_{tn} は閾値電圧である。 $V_{tn} = 0.5$ とし、図1に示した1ビットデジタル信号D、反転データDN、差動ローカル信号 $TxLo+$ 、 $TxLo-$ の電圧が図4のように変化したとする。図4の縦軸は信号の電圧レベルを示し、横軸は時間を示している。曲線aは差動ローカル信号 $TxLo+$ を示し、曲線bは差動ローカル信号 $TxLo-$ を示している。直線cは1ビットデジタル信号Dを示し、直線dは反転データDNを示している。

30

【0053】

図4に示すように各信号の電圧レベルが変化する場合、MOSトランジスタ101~104は、図5に示すようにオン、オフされる。図5(a)はMOSトランジスタ101のオン、オフ状態を示す。図5の縦軸は各MOSトランジスタのオン、オフ状態を示し、横軸は時間を示す。図5(b)はMOSトランジスタ102のオン、オフ状態を、(c)はMOSトランジスタ103のオン、オフ状態を、(d)はMOSトランジスタ104のオン、オフ状態をそれぞれ示している。図5(a)~(d)において、ハイ区間がMOSトランジスタのオンを表し、ロー区間がMOSトランジスタのオフを表す。

【0054】

図6は、図5に示したようにMOSトランジスタ101~104がオン、オフ動作したときの、受動ミキサ回路100の出力電圧 V_p 、 V_n の変化を示している。図6の縦軸は出力電圧のレベルであり、横軸は時間である。図6において、プロット「□」は出力電圧 V_p を示している。また、プロット「×」は出力電圧 V_n を示している。

40

出力電圧 V_p は、MOSトランジスタ101がオン、MOSトランジスタ103がオフの場合、1ビットベースバンドデータDにしたがう電圧となる。また、MOSトランジスタ101がオフ、MOSトランジスタ103がオンの場合、反転データDNにしたがう電圧となる。また、MOSトランジスタ101がオン、MOSトランジスタ103がオンの場合、1ビットベースバンド信号にしたがう電圧と、反転データDNにしたがう電圧の中間電圧となる。さらに、MOSトランジスタ101がオフ、MOSトランジスタ103がオフになる状態は、差動ローカル信号 $TxLo+$ 、 $TxLo-$ の動作点を適切にバイアス

50

することによって回避される。

【0055】

出力電圧 V_n は、MOSトランジスタ102がオン、MOSトランジスタ104がオフの場合、1ビットベースバンドデータDにしたがう電圧となる。また、MOSトランジスタ102がオフ、MOSトランジスタ104がオンの場合、反転データDNにしたがう電圧となる。また、MOSトランジスタ102がオン、MOSトランジスタ104がオンの場合、1ビットベースバンド信号にしたがう電圧と、反転データDNにしたがう電圧の中間電圧となる。さらに、MOSトランジスタ102がオフ、MOSトランジスタ104がオフになる状態は、差動ローカル信号 $TxLo+$ 、 $TxLo-$ の動作点を適切にバイアスすることによって回避される。

10

【0056】

NMOSトランジスタで構成された受動ミキサ回路100は、図4に示した入力状態のとき、ソース電圧の低いMOSトランジスタ103、104の方が、MOSトランジスタ101、102よりもオン状態に遷移し易い。このため図6に示した入力電圧 V_p 、 V_n のように、ハイ電圧出力（図6の縦軸1.5）よりもロー電圧出力（図6の縦軸1.0）の時間が長くなり、瞬間的に V_p がロー電圧で V_n もロー電圧という状況が発生し得る。

【0057】

出力電圧 V_p 、 V_n は、受動ミキサ回路100の後段に設置される電流出力回路150のMOSトランジスタ105、106のゲート電圧になる。このため、出力電圧 V_p 、 V_n が共にロー電圧になる、という状況は、定電流源として機能するMOSトランジスタ107のドレイン電圧を瞬間的に低下させる場合がある。MOSトランジスタ107のドレイン電圧が瞬間的に低下すると、MOSトランジスタ107の状態は、瞬間的に飽和領域から三極間領域に遷移する。このとき、MOSトランジスタ107から出力される電流の値は、本来期待されている値から外れる可能性がある。電流値が期待値から瞬間的にずれることは、出力における歪みとなることもある。

20

【0058】

（2）第2実施形態について（第2実施形態の効果）

次に、図3に示した受動ミキサ回路200の出力の電圧変化の挙動が、電流出力回路250のMOSトランジスタ205、206と定電流源207に与える影響を説明する。

受動ミキサ回路200を構成するMOSトランジスタ201～204は、PMOSトランジスタである。PMOSトランジスタがスイッチとしてオン状態となる条件は、式（6）によって与えられる。式（6）において、 V_{gs} はトランジスタのゲート、ソース間電圧であり、 V_{tp} はPMOSトランジスタの閾値電圧である。

30

$$V_{gs} - V_{tp} < 0 \quad \cdots \text{式（6）}$$

【0059】

図7は、図3に示したユニットブロックu2における、1ビットベースバンドデータD、反転データDN、差動ローカル信号 $TxLo+$ 、 $TxLo-$ の電圧の変化の状態を示した図である。図7の縦軸は、各信号の電圧レベルを示し、横軸は時間を示している。図7中に示した曲線aは差動ローカル信号 $TxLo+$ を示し、曲線bは差動ローカル信号 $TxLo-$ を示している。直線cは1ビットデジタル信号Dを示し、直線dは反転データDNを示している。なお、図7に示した状態では、閾値電圧 V_{tp} が、 $-0.5V$ であるものとする。

40

【0060】

図7に示すように各信号の電圧レベルが変化する場合、MOSトランジスタ201～204は、図8に示すようにオン、オフされる。図8の縦軸は各MOSトランジスタのオン、オフ状態を示し、横軸は時間を示す。図8（a）はMOSトランジスタ201のオン、オフ状態を示す。図8（b）はMOSトランジスタ202のオン、オフ状態を、（c）はMOSトランジスタ203のオン、オフ状態を、（d）はMOSトランジスタ204のオン、オフ状態をそれぞれ示している。図8（a）～（d）において、ハイ区間がMOSトランジスタのオンを表し、ロー区間がMOSトランジスタのオフを表す。

50

【0061】

図9は、図3に示したMOSトランジスタ201～204が図8に示したようにオン、オフ動作したときの、受動ミキサ回路200の出力電圧 V_p 、 V_n の変化を示している。図9の縦軸は出力電圧のレベルであり、横軸は時間である。図9において、プロット「□」は出力電圧 V_p を示している。また、プロット「×」は出力電圧 V_n を示している。

出力電圧 V_p は、MOSトランジスタ201がオン、MOSトランジスタ203がオフの場合、1ビットベースバンドデータDにしたがう電圧となる。また、MOSトランジスタ201がオフ、MOSトランジスタ203がオンの場合、反転データDNにしたがう電圧となる。また、MOSトランジスタ201がオン、MOSトランジスタ203がオンの場合、1ビットベースバンド信号にしたがう電圧と、反転データDNにしたがう電圧の中間電圧となる。さらに、MOSトランジスタ201がオフ、MOSトランジスタ203がオフになる状態は、差動ローカル信号TxLo+、TxLo-の動作点を適切にバイアスすることによって回避される。

10

【0062】

PMOSトランジスタで構成された受動ミキサ回路200は、図7に示した入力状態のとき、ソース電圧の高いMOSトランジスタ201、202の方が、MOSトランジスタ203、204よりもオン状態に遷移し易い。このため図9に示した出力電圧 V_p 、 V_n のように、ロー電圧出力よりもハイ電圧出力の時間が長くなる。そのため、受動ミキサ回路200をNMOSトランジスタで構成した場合と異なり、 V_p がロー電圧で V_n もロー電圧という状況は、瞬間的であっても発生しない。このため定電流源207の状態が瞬間的に飽和領域から三極間領域に遷移し、定電流源207から出力される電流が、本来期待されている値から外れることを防ぐことができる。

20

【0063】

(第3実施形態)

・回路構成

図10は、本発明の第3実施形態を説明するための図であって、実施形態3の直接RF変調送信器に含まれる、デジタル／RF変換器(図中、DRCと記す)の回路図である。デジタル／RF変換器は、LSB(Least Significant Bit)側の信号を処理するブロックと、MSB(Most Significant Bit)側の信号を処理するブロックとを備えている。LSB側のブロックは、ユニットブロックがバイナリで重み付けされた電流源300、301、…30kと、NMOSトランジスタで構成された差動対340、341、…34kと、ローカル信号用とデータ信号を周波数掛算するためのNMOSトランジスタで構成されたミキサ回路320、321、…32kと、で構成されている。

30

【0064】

また、MSB(Most Significant Bit)側のブロックは、同じ値に重み付けされた電流源310と、NMOSトランジスタで構成された差動対350と、ローカル信号用とデータ信号をミキシングするためのNMOSトランジスタで構成されたミキサ回路330とが必要なビット分並列に接続された構成を有している。このような構成により、実施形態3のデジタル／RF変換器を有した直接RF変調送信器では、デジタル／アナログ変換と周波数掛算とを同時に行うことができる。なお、図10に示した例では、デジタル／RF変換器の外部に設けられた外部負荷によって全ユニットブロックの電流出力が電圧変換されることとなっている。

40

【0065】

ミキサ回路320、321、…32k、ミキサ回路320と差動対340、341、…304k、差動対350で構成される各回路は、第1実施形態で示したユニットブロックそのものである。

また、ミキサ回路320、321、…32k、ミキサ回路320を第2実施形態で説明した、PMOSトランジスタで構成された受動ミキサ回路に置き換えたデジタル／RF変換器回路を有した直接RF変調送信器においても、デジタル／アナログ変換と周波数掛算とを同時に行うことができる。

50

図10に示した第1実施形態、第2実施形態のユニットブロックに相当する構成から得られた電流は、図10に示すように、加算されて外部に出力される。

【0066】

・電源電圧と前段回路への影響（実施形態3の効果）

図10に示した実施形態3のデジタル／RF変換器回路は、第1実施形態もしくは第2実施形態に記載のユニットブロックにより構成される。このため、第1実施形態、第2の実施形態において説明した通り、従来技術と比較し、低電圧化による低消費化に加え、前段回路の消費電流低減による低消費電力化が可能である。

【産業上の利用可能性】

【0067】

10

本発明の直接RF変調送信器は、消費電力が小さいため、特に携帯型の機器に適用することに適している。

【符号の説明】

【0068】

MOSトランジスタ 101～107、201～206

受動ミキサ回路 100、200

端子 108、109、208、209

出力端子 110、111、210、211

電流出力回路 150、250

定電流源 207、300～30K、310

20

ミキサ回路 320～32K、330

差動対 340～34K、350

デジタル／RF変換器（DRC）1、2

2分周器 3

整合回路 4

パワーアンプ（PA） 5

ローカル信号用スイッチ 220～22k、230

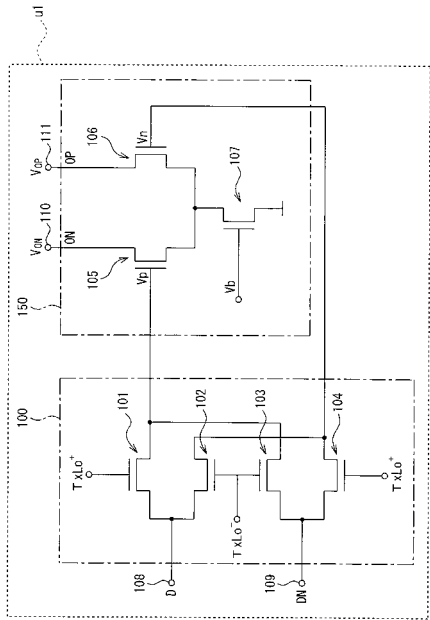
データ信号用スイッチ 240～24k、260

定電流源 280～28K、290

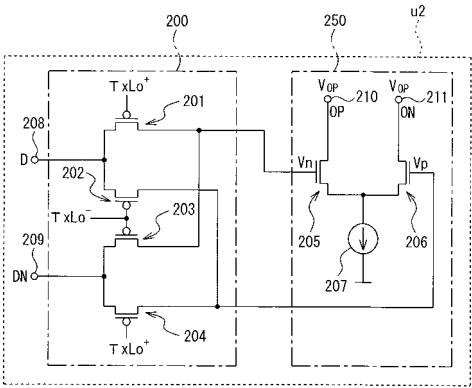
MOSトランジスタ 141～147

30

【図 1】



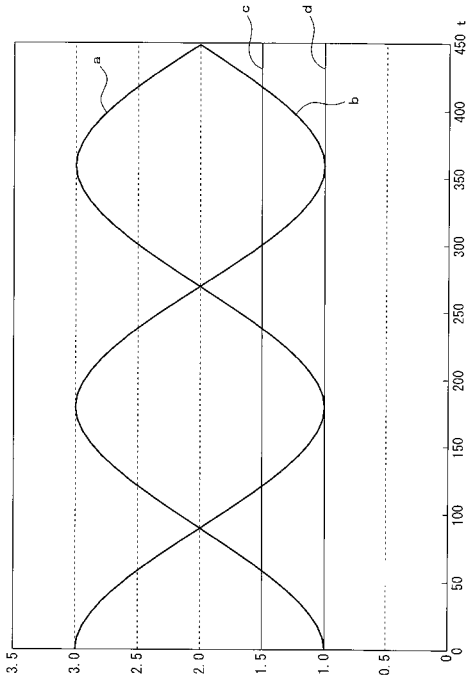
【図 3】



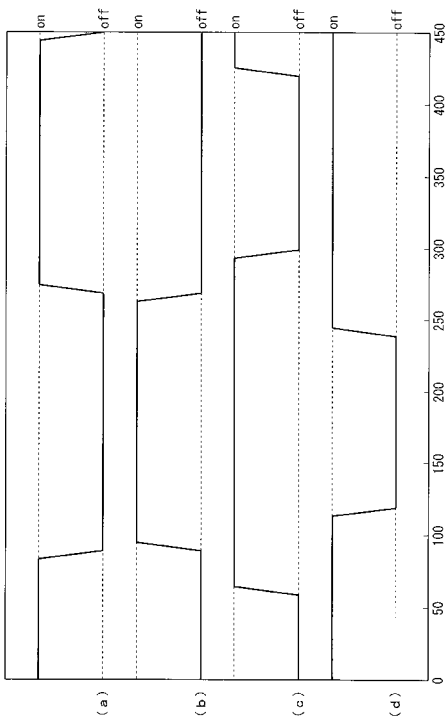
【図 2】

D	TxLo ⁺	V _P	V _{ON}	V _{DP}
0	0	1	L	H
0	1	0	H	L
1	0	0	H	L
1	1	1	L	H

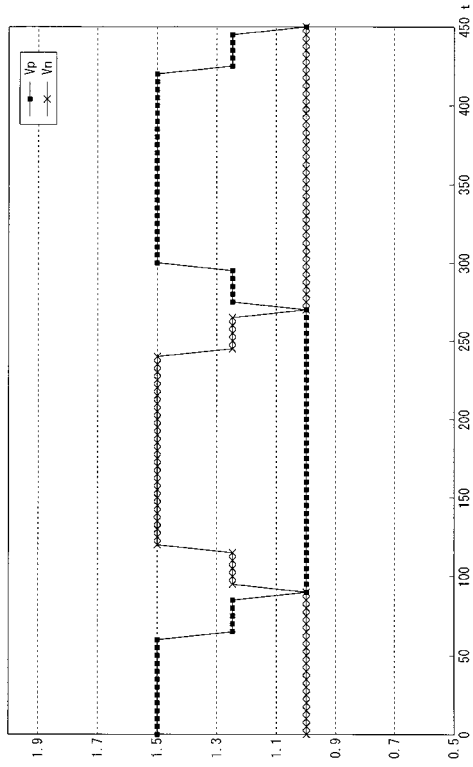
【図 4】



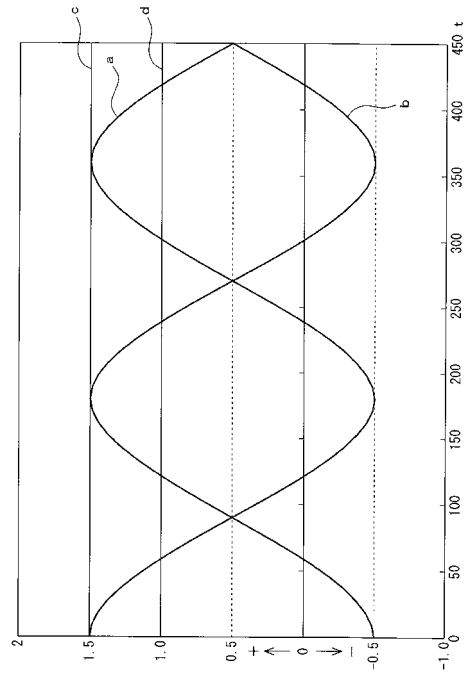
【図 5】



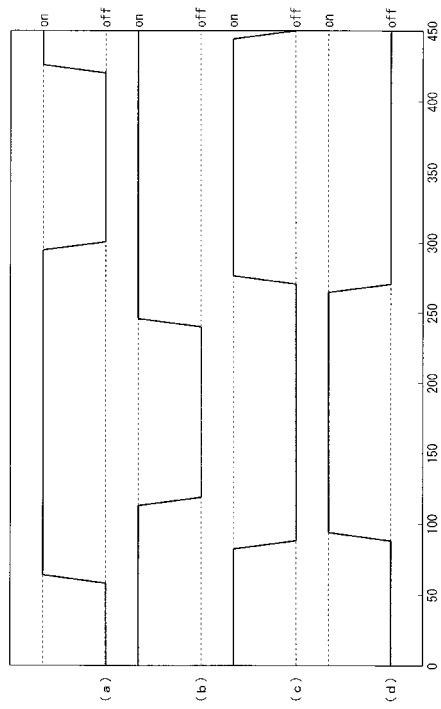
【図 6】



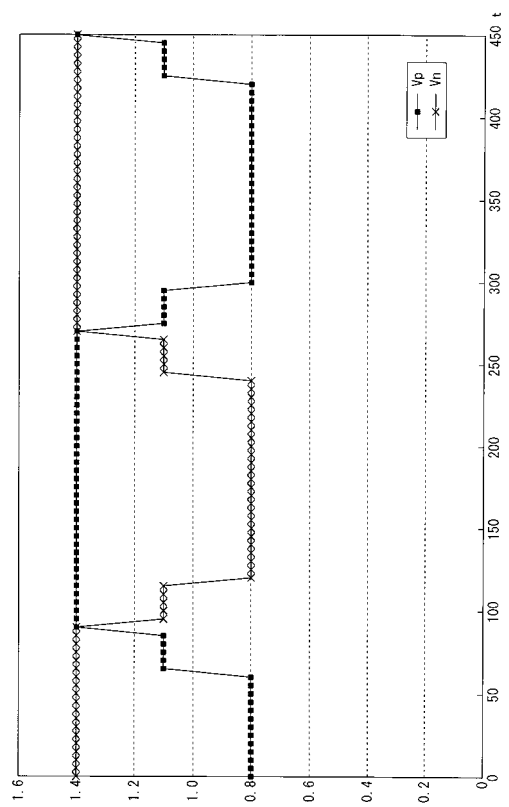
【図 7】



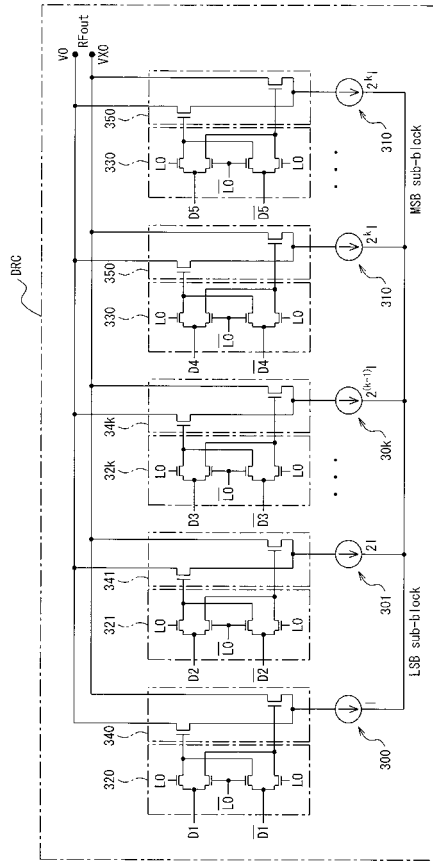
【図 8】



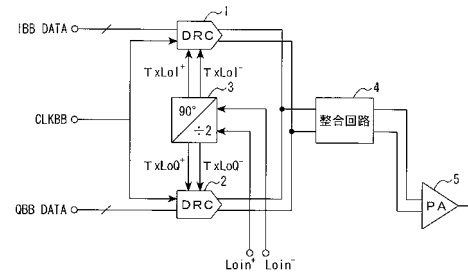
【図 9】



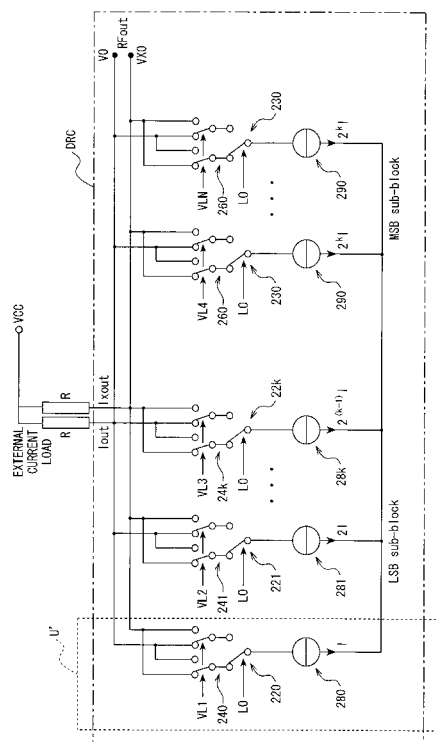
【図10】



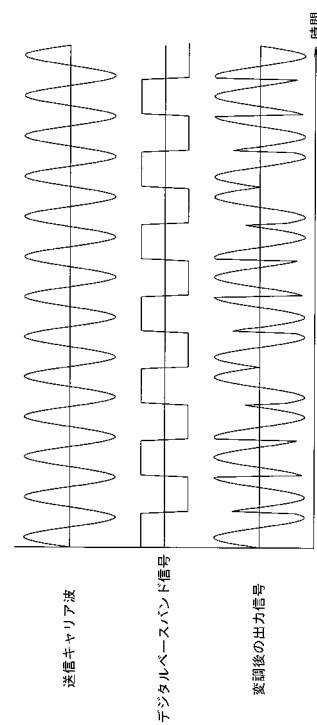
【図11】



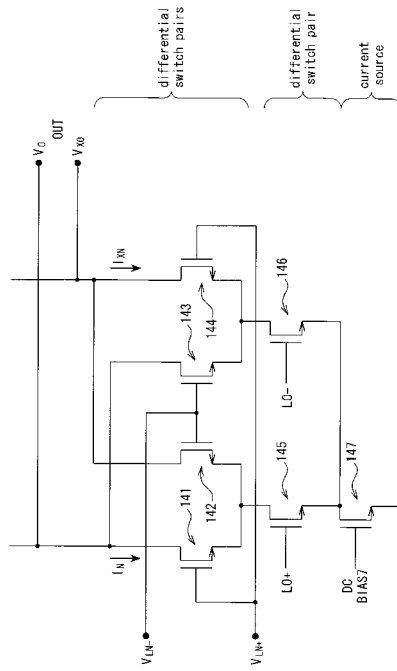
【図12】



【図13】



【図 14】



フロントページの続き

(72)発明者 ブラム ナウタ

オランダ王国 7 5 2 2 N B エスヘンディ ドリーネルロラン5 トゥエンテ大学内 ビルデ
ィング カーレ 2 6 3 3

審査官 石田 昌敏

(56)参考文献 米国特許出願公開第2005/0111573 (US, A1)

特表2011-507456 (JP, A)

特開2009-049585 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04B 1/02- 1/04

H03D 7/00- 9/06

H03H 11/00-11/54

H03C 1/00- 1/62