(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/8247

(45) 공고일자 2004년03월19일
(11) 등록번호 10-0417451
(24) 등록일자 2004년01월24일

(21) 출원번호	10-1997-0709885	(65) 공개번호	10-1999-0028565
(22) 출원일자	1997년12월30일	(43) 공개일자	1999년04월15일
번역문제출일자	1997년12월30일		
(86) 국제출원번호	PCT/DE1996/001117	(87) 국제공개번호	WO 1997/02599
(86) 국제출원일자	1996년06월25일	(87) 국제공개일자	1997년01월23일
(81) 지정국	국내특허 : 아일랜드 중국 일본 대한민국 EA 유라시아특허 : 러시아 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 핀랜드 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼		
(30) 우선권주장	195 24 478.8 1995년07월05일 독일(DE)		

(73) 특허권자 지멘스 악티엔게젤샤프트
독일 뮌헨 80333 비텔스파허프라쯔 2
(72) 발명자 호프만, 프란츠
독일 데-80995 뮌헨 헤르베르크슈트라쎄 25베
뢰스너, 볼프강
독일 데-81739 뮌헨 하인첼멘헨슈트라쎄 2
크라우트슈나이더, 볼프강
독일 데-83104 호엔탄 암 오버펠트 50
리슈, 로타르
독일 데-85579 노이비베르크 티치안슈트라쎄 27
(74) 대리인 남상선

심사관 : 반성원

(54) 판독전용메모리셀구조를제조하기위한방법

명세서

기술분야

<1> 소위 EEPROM라 불리는 전기적으로 기록 및 소거가능한 실리콘 기술을 이용한 판독전용 메모리 셀을 가진 판독 전용 메모리 셀 장치는 많은 응용 분야에서 필요로한다. 저장된 데이터는 공급 전압이 인가되지 않을 때조차 이들 EEPROM 장치에 남아있다.

<2> 기술적 관점에서 볼 때, 메모리 셀은 채널 영역 상에 제 1 유전체, 플로팅 게이트, 제 2 유전체 및 제어 게이트를 갖는 MOS 트랜지스터에 의해 제조된다. 만일 전하가 플로팅 게이트상에 저장된다면, 이 전하는 MOS 트랜지스터의 임계전압에 영향을 미친다. 이러한 메모리 셀 구조에 있어서, "플로팅 게이트상에 전하가 저장된" 상태는 제 1논리값으로 할당되며, "플로팅 게이트상에 전하가 저장되지 않은" 상태는 제 2논리값으로 할당된다. 정보는 Fowler-Nordheim 터널링 전류를 사용함으로써, 또는 "열전자" 전류에 의해 메모리 셀내에 기록되며, 이 전류에 의해 전자는 플로팅 게이트상에 주입된다. 정보는 제 1유전체를 통해 터널링 전류에 의해 소거된다. 적어도 8개의 EEPROM 트랜지스터는 NAND 구조에서 서로 직렬 접속된다.

<3> MOS 트랜지스터는 평면 MOS 트랜지스터로써 설계되며, 평면 셀 구조로 배열된다. 따라서, 메모리 셀에서 요구되는 최소영역은 $4F^2$와 동일하며, 여기서 F는 각각의 기술에서 최소의 제조가능한 구조의 크기이며, 이러한 형태의 EEPROM 구조는 현재 32Mbit의 최대 데이터 용량을 위해 제공된다.

<4> JP-A 3-1574는 반도체 기판의 주표면에 수직하며 플로팅 게이트 및 제어 게이트를 가지는 MOS 트랜지스터를 메모리 셀로써 포함하는 전기적으로 기록 및 소거가능한 판독 전용 메모리 셀 구조를 개시하고 있다. 본질적으로 평행한 스트립 형상 트렌치는 기판내에 형성된다. 수직 MOS 트랜지스터는 트렌치의 측면상에 배열된다. 이러한 경우에, 메모리 셀은 각 경우에 트렌치의 반대 측면상에 배열된다. MOS 트랜지스터의 소오스 및 드레인 영역을 포함하는 도핑된 스트립 형상 영역은 각 경우에 트렌치 하부에서 그리고 인접 트렌치 사이의 주 표면상에서 연장된다. 이들 도핑된 스트립 형상 영역은 트렌치가 형성된 후 마스크 주입에 의해 형성된다. 마스킹 단계가 사용될 때 불가피한 부정확한 정렬 때문에, 이 메모리 셀 구조에서 달성될 수 있는 패킹 밀도는 제한된다.

<5> US-A 5 049 956은 포인트형 트렌치내에 배열된 플로팅 게이트 및 제어 게이트를 가진 수직 MOS 트랜지스터를 포함하는 전기적으로 기록 및 소거가능한 메모리 셀 구조를 개시하고 있다. 모든 MOS 트랜지스터에 대한 공통 소오스 영역으로써 동작하는 연속적으로 도핑된 층은 트렌치의 하부에 제공된다. 결

합 용량을 증가시키기 위해서, 플로팅 게이트는 기판의 표면상에서 돌출된다.

<6> 대용량 데이터는 현재 다이나믹 메모리 셀구조(DRAM)에 또는 자기 데이터 캐리어상에 판독 및 소거가능하게 저장될 수 있다. DRAM은 저장된 데이터를 유지하기 위하여 공급전압을 계속해서 필요로 한다. 대조적으로, 자기 데이터 캐리어는 회전가능한 기록매체를 가진 기계적인 시스템에 기초한다.

<7> 본 발명의 문제점은 메모리 셀당 최저 면적으로 형성될 수 있는 판독전용 메모리셀 구조를 제조하기 위한 방법을 제공하는데 있다.

<8> 이와같은 문제점은 본 발명의 청구범위 제 1항에 따른 판독 전용 메모리 셀 구조를 제조하는 방법에 의해 달성된다. 더욱이, 본 발명의 다른 특징은 종속항에 의해 달성된다.

<9> 본 발명에 따른 방법에 의해 제조되는 전기적으로 기록 및 소거가능한 판독전용 메모리 셀 구조는 바람직하게 단결정 실리콘으로 이루어진 반도체 기판 또는 SOI 기판의 실리콘 층내에 형성된다. 메모리 셀을 가진 셀 어레이는 반도체 기판의 주표면 상에 제공된다. 각각의 메모리 셀은 소오스/드레인 영역 및 이 소오스/드레인 영역사이에 배열된 채널 영역 외에 제 1유전체, 플로팅 게이트, 제 2 유전체 및 제어 게이트를 가지며, 주표면에 수직한 MOS 트랜지스터를 포함한다.

<10> 다수의 평행한 스트립 형상 트렌치가 셀 어레이내에 제공된다. 수직 MOS 트랜지스터는 트렌치의 측면상에 배열된다. 이러한 경우, 메모리 셀은 트렌치의 맞은편 측면상에 각각 배열된다.

<11> 스트립 형상 도핑 영역은 각각의 경우에 트렌치 하부 및 이웃하는 트렌치 사이의 주표면 상으로 연장된다. 각각의 측면에 인접한 스트립 형상 도핑 영역은 측면 상에 배열된 MOS 트랜지스터의 소스/드레인 영역을 형성한다. 제 1 유전체, 플로팅 게이트, 제 2 유전체 및 제어 게이트는 대응하는 소오스/드레인 영역 사이의 측면을 따라 각경우에 배열된다. 다수의 메모리 셀이 측면을 따라 각각의 경우에 배열된다. 플로팅 게이트 및 제어 게이트는 측면을 따라 상호 절연된 인접 메모리 셀이다.

<12> 트렌치에 대해 가로로 연장되는 워드라인은 각각의 워드라인 아래에 배열되는 수직 MOS 트랜지스터의 제어 게이트에 접속된다.

<13> 플로팅 게이트는 바람직하게 트렌치의 깊이 방향보다 트렌치의 표면에 수직한 방향에서 넓은 면적을 가진다. 플로팅 게이트는 주표면 위로 돌출된다. 플로팅 게이트와 제어 게이트 사이의 결합 용량은 이러한 방식으로 증가될 수 있다.

<14> 만일 인접 트렌치간의 분리가 트렌치의 폭에 동일하게 선택된다면, 본 발명에 따른 판독 전용 메모리 셀 구조는 $2F^2$의 메모리 셀당 최저 공간요구로 자체-정렬 제조방법에 의해 형성될 수 있으며, 여기서 F는 각 기술에서 최소 구조 크기이다. 판독 전용 메모리 셀 구조의 자체-정렬제조를 위해 단지 2개의 리소그라픽으로 제조된 마스크, 즉 트렌치를 에칭하기 위한 마스크와 트렌치에 대해 가로로 연장하는 워드라인을 구조화하기 위한 마스크가 요구된다. 플로팅 게이트는 스페이서 에칭에 의해 형성되어 트렌치의 측면에 자체 정렬된다. 플로팅 게이트 및 제 2 유전체는 워드라인 마스크를 사용함으로써 트렌치의 넓이에 평행하게 구조화된다.

<15> 플로팅 게이트를 형성하는 스페이서 에칭은 트렌치 마스크가 제거되기 전에 바람직하게 실행된다. 주표면에 수직한 플로팅 게이트의 넓이는 트렌치 마스크의 두께에 의해 조절될 수 있다. 트렌치 마스크는 제 2 유전체를 형성하는 제 2 유전체층을 증착하기 전에 제거된다.

<16> 플로팅 게이트의 넓이를 증가시켜 플로팅 게이트 및 제어 게이트 사이의 결합용량을 증가시키는 것이 필요하지 않은 경우에, 트렌치 마스크는 플로팅 게이트를 형성하는 제 1 도핑된 폴리실리콘층을 증착하기 전에 제거된다.

<17> 본 발명은 첨부된 도면을 참조로하여 이하에서 더 상세히 설명될 것이다.

도면의 간단한 설명

<18> 도 1은 셀 어레이에서 도핑된 영역을 가진 기판을 나타낸 도면.

<19> 도 2는 트렌치가 에칭된 후 트렌치 마스크를 가진 기판을 나타낸 도면.

<20> 도 3은 스트립형 도핑 영역이 트렌치의 하부에 형성된 후 기판을 나타낸 도면.

<21> 도 4는 트렌치의 측면상에 제 1 유전체층 및 도핑된 폴리실리콘 스페이서를 형성한 후 기판을 나타낸 도면.

<22> 도 5는 제 2 유전체층 및 제 2 도핑된 폴리실리콘층을 증착한 다음에 기판을 나타낸 도면.

<23> 도 6은 전기적으로 기록 및 소거가능한 완성된 판독전용 메모리 셀 구조의 평면도.

실시예

<24> 예를들어, $5\times10^{15}cm^{-3}$ 의 도판트 농도를 가진 p-도핑된 단결정 실리콘으로 이루어진 기판(1)은, 예를 들어 50nm 두께의 스크린 산화물(도시안됨)을 가진 주표면(2)상에 제공된다. $3\times10^{17}cm^{-3}$의 도판트 농도를 가진 p-도핑된 웰(3)은 붕소를 주입한 다음 열처리함으로써 형성된다(도 1에 도시됨). 다음, 에칭에 의해 스크린 산화물이 제거된다.

<25> 절연 구조(도시안됨)는 예를 들어 LOCOS 방법에 의해 p-도핑된 웰(3)의 에지에 순차적으로 형성된다. 절연 구조는 셀 어레이를 위한 영역을 한정한다.

<26> 추가 20nm 스크린 산화물(도시안됨)을 형성한 후, n^+-도핑된 영역(4)은 비소 주입(50kV 및 5×

$10^{15}cm^{-2}$)에 의해 형성된다. n^+-도핑된 영역(4)은 $1\times10^{21}cm^{-3}$의 도판트 농도를 가진다. n^+-도핑된 영역(4)은 셀 어레이를 위한 영역위에서 주표면(2)까지 연장된다. n^+-도핑된 영역(4)의 깊이는 예를 들어 200nm와 동일하다.

<27> 스크린 산화물이 제거된 후, SiO_2 층은 예를 들어 800℃의 열산화에 의해 50nm의 두께로 주표면(2)상에 형성되며, 질화물층은 CVD에 의해 50nm의 두께로 형성된다. SiO_2층 및 질화물층은 보조층(5)(도 2에 도시됨)을 형성한다.

<28> 다음에, 트렌치 마스크(6)를 형성하기 위하여, 300nm 두께의 SiO_2층은 TEOS 방법에 의해 증착되며, CHF_3 및 O_2를 사용하는 이방성 건식 에칭에 의해 리소그라픽 방법으로 구조화된다.

<29> 그다음에, 보조층(5)은 이방성 건식 에칭에 의해 트렌치 마스크(6)에 따라 구조화된다. 보조층(5)은 예를 들어 CHF_3 및 O_3에 의해 에칭된다. 트렌치 마스크(6)를 구조화하기 위해 사용된 포토레지스트 마스크를 제거한 후에, 트렌치 에칭이 수행된다. 트렌치 에칭은 예를 들어 HBr, He O_2 및 NF_3를 사용하는 이방성 건식 에칭 방법에 의해 수행된다. 이것에 의해, 예를들어 0.6㎛ 두께를 가진 트렌치(7)가 형성된다. 트렌치(8)는 NAND 셀 어레이의 블록 위에서 연장된다. 트렌치(8)는 예를들어 8㎛의 길이와 0.4㎛의 폭을 가진다. 인접하는 트렌치(7)는 셀 어레이에서 0.4㎛ 분리되어 배열된다. 트렌치(7)는 사실상 평행하다.

<30> 등각(conformal) 증착에 의해, 20nm 두께의 TEOS층(도시안됨)이 형성된 다음, 80nm 두께의 Si_3N_4층이 형성된다. Si_3N_4 스페이서(8)는 CHF_3 및 O_2를 사용하는 이방성 건식 에칭에 의해 트렌치(7) 및 트렌치 마스크(6)(도 3에 도시됨)의 수직 측면상에 형성된다.

<31> 스크린 산화물층(9)은 TEOS 방법에 의해 전체 표면상에서 20nm의 두께로 증착된다. 이온주입($5\times10^{15}cm^{-2}$, 50keV)은 수행되어, n^+-도핑된 스트립형 영역(14a)이 트렌치(7)의 하부에 형성된다. 도핑된 영역(14a)은 열처리 단계 의해 활성화된다. 예를 들어 $1\times20^{21}cm^{-3}$의 도판트 농도는 도핑된 스트립 형상 영역(14a)에 설정된다.

<32> Si_3N_4 스페이서(8)는 이온 주입 동안 트렌치(7)의 측면을 마스킹한다. 이것은 트렌치(7)의 측면상에 형성된 수직 MOS 트랜지스터의 임계 전압의 이동을 막는다.

<33> 도핑된 스트립 형상 영역(14b)은 인접 트렌치(7)사이의 n^+-도핑된 영역을 구조화함으로써, 트렌치 에칭동안 반도체 기판(1)의 주표면(2)상에 형성된다.

<34> 스크린 산화물(9)은 예를들어 HF 디프(dip)에서 제거된다. Si_3N_4 스페이서(8)는 H_3PO_4를 사용하는 습식 화학 에칭에 의해 제거된다. 그다음에, 얇은 산화물 서브층은 HF를 사용하는 습식화학에칭에 의해 제거된다. 그다음에, 실리콘 표면은 트렌치(7)의 측면상에 그리고 트렌치(7)의 하부에 덮혀지지 않는다.

<35> SiO_2로 이루어진 제 1 유전체층(10)은 예를 들어 800℃의 열적 산화에 의해 적어도 노출된 실리콘 표면상에 형성된다. 제 1 유전체층(10)은 예를들어 10nm의 두께를 가진 측면상에 형성된다. 도핑된 스트립형 영역(14a)의 도핑이 트렌치(7)의 하부에서 증가하기 때문에, 제 1 유전체층은 50nm의 두께로 형성된다.

<36> 도핑된 폴리실리콘 스페이서(11)는 100nm의 두께를 가진 도핑된 인-시튜 폴리실리콘층의 증착을 수행한 다음에 이방성 후방 에칭(etching-back)을 수행함으로써 트렌치의 측면상에 형성된다.

<37> 도핑된 폴리실리콘 스페이서를 형성하기 위하여, 외부수단에 의해 순차적으로 도핑되는 비도핑된 폴리실리콘층을 증착하는 것이 가능하다.

<38> 그다음에, 트렌치 마스크(6)는 예를들어 HF 증기를 사용하는 습식 에칭에 의해 제거된다. 이와 같은 에칭에서, TEOS 방법으로 증착된 SiO_2는 열적 SiO_2에 대해 선택적으로 제거된다. 도핑된 스트립형 영역(14a,14b)상의 보조층(5) 및 제 1유전체층(10)은 상기 에칭동안 공격되지 않는다(도 5에 도시됨). 더욱이, 이와같은 에칭은 폴리실리콘에 대해 선택적이다. 트렌치 마스크(6)가 제거된 다음에, 도핑된 폴리실리콘 스페이서(11)는 주표면(2)사에서 돌출된다. 주표면(2)에 수직한 방향에서 폴리실리콘 스페이서(11)의 넓이는 트렌치 마스크(6)의 두께 의해 결정된다.

<39> 그다음에, 제 2 유전체층(12)은 전체 표면위에 형성된다. 제 2 유전체층(12)은 제 SiO_2 층, Si_3N_4층 및 제 2 SiO_2층으로 이루어진 다중층으로써 형성된다. 이러한 경우에, Si_3N_4층은 CVD 공정으로 증착되며, 제 1 및 제 2 SiO_2층은 열적 산화에 의해 형성된다. 제 2 유전체층(12)은 8nm 두께로 형성된다.

<40> 그다음에, 도핑된 제 2 폴리실리콘층(13)이 증착된다. 도핑된 제 2 폴리실리콘층(13)은 인-시튜 도핑으로 증착된다. 도핑된 제 2 폴리실리콘층(13)은 예를들어 500nm의 두께로 증착된다. 도핑된 제 2 폴리실리콘층(13)은 트렌치(7)를 완전히 충진시킨다. 또한, 도핑된 제 2 폴리실리콘층(13)은 주표면(2)상의 인접하는 폴리실리콘 스페이서(11)사이의 중간 스페이스를 충전한다.

<41> 워드라인 마스크는 예를들어 100nm의 두께로 TEOS SiO_2 층을 증착하고 리소그라픽 공정 단계(도시안됨)를 사용하여 TEOS SiO_2층을 구조화함으로써 형성된다. 워드라인 마스크는 트렌치(7)에 대해 가로로 연장되는 워드라인을 한정한다. 제 2 폴리실리콘층(13)은 예를들어 HBr, Cl_2 및 He를 사용하는 이방성 건식 에칭 방법으로 구조화되며, 워드라인 마스크는 에칭 마스크로써 사용된다. 이것은 트렌치(도 6의 평면도에 도시됨)에 대해 가로로 연장되는 워드라인(13a)을 형성하며, 트렌치(7)에 제어 게이트를 형성한다. 에칭은 제 2 유전체층(12)의 표면이 노출되자마자 중지된다.

<42> 다음 제 2유전체층(12)은 ONO의 경우에서 예를 들어 CHF_3 및 O_2 을 사용하는 또다른 건식 에칭방법에 의해 에칭된다. 그다음에, 폴리실리콘은 산화물/질화물에 대해 고선택성을 가진 HBr, Cl_2 및 He에 의해 다시 에칭된다. 이 경우에, 플로팅 게이트 및 제어 게이트는 트렌치의 하부까지 지금 에칭된다. 플로팅 게이트는 이 에칭동안 도핑된 폴리실리콘 스페이서(11)로부터 형성된다.

<43> 제 2 유전체층(12)은 예를들어 HF 및 H_3PO_4를 사용하는 습식에칭에 의해 제거된다.

<44> 워드라인(13a)의 넓이에 따라 제 2 유전체층(12) 및 도핑된 제 2 폴리실리콘층(13)의 도핑된 폴리실리콘 스페이서(11)를 구조화하는 동안, 제 1 유전체층(10)은 트렌치(7)의 인접 워드라인(13a)사이에서 노출된다. 이것은 트렌치(7)가 제 1유전체층(10)까지 인접 워드라인(13a)사이에서 개방된다는 것을 의미한다. 그다음에, 이 중간 스페이서는 예를 들어 800nm의 층 두께로 TEOS SiO_2층을 증착시키고, 워드라인(13a)의 표면이 노출될때까지(도시안됨) TEOS SiO_2층을 후방 에칭함으로써 충전된다.

<45> 최종적으로, 붕소-인 실리케이트 글라스로 이루어진 평면화된 중간 산화물층은 전체 면적위에 증착되며, 콘택홀은 이 층에서 개방된다. 콘택홀은 워드라인(13a)까지, 트렌치(7)의 하부에 배열된 도핑된 스트립형 영역(14a)까지 및 인접 트렌치(7)사이의 주표면(2)상에 배열되는 도핑된 스트립형 영역(14b)까지 개방된다. 콘택홀은 예를들어 알루미늄으로 충전된다. 금속화 평면은 예를들어 알루미늄층을 증착 및 구조화함으로써 지금 형성된다. 불활성화 층이 최종적으로 형성된다. 이들 표준단계는 상세히 기술되지 않는다.

<46> 본 발명에 따라 형성된 판독전용 메모리 셀 구조에 있어서, 개별 메모리 셀은 "가상 그라운드(virtual ground)" 원리에 따라 평가된다. 각각의 도핑된 스트립형 영역(14a, 14b)은 메모리 셀의 두 행으로 배열된다. 주표면상에서 인접 배열된 도핑된 영역(14a)과 하부에서 인접 배열된 도핑된 영역(14b)으로 구성되는 한쌍의 도핑된 스트립 형상 영역(14a, 14b)은 이경우에 메모리 셀의 한 행으로 명백하게 할당된다. 따라서, 판독전용 메모리 셀 구조가 판독될 때, 워드라인(13a)을 통해 선택한 후, 절연 트렌치의 하부에 있는 도핑된 스트립 형상 영역(14a)과 주표면(2)상에 있는 인접하는 도핑된 스트립 형상 영역(14b)사이의 전류흐름이 평가된다. 트렌치(7)의 하부와 주표면(2)상에 있는 도핑된 스트립 형상 영역(14a, 14b)은 기준라인 또는 비트라인으로써 배선구조에 따라 동작한다.

<47> 정보는 EEPROM구조의 경우에서와 같이 "열전자" 주입에 의해 메모리 셀에 기록된다. 메모리 셀은 Fowler-Nordheim방법으로 소거된다.

<48> 프로그래밍을 하기 위하여, 제 1 공급전압, 예를들어 V_{dd} 는 선택 트랜지스터의 좌측에 있는 도핑된 스트립형 영역(14a, 14b)에 공급되며, 제 2 공급전압, 예를들어 V_{ss}는 선택 트랜지스터의 우측에 있는 도핑된 스트립 형상 영역(14a, 14b)에 공급된다. 예를들어 7볼트의 높은 게이트 전압은 트렌치(7)에 배열되고 제어 게이트로써 동작하는 워드라인(13a)의 부분에 공급된다. 이에 따라, 전자는 연관된 플로팅 게이트에 주입된다.

<49> 정보를 소거하기 위하여, 플로팅 게이트는 Fowler-Nordheim 방법에 의해 기판으로 방전된다.

<50> 도 6은 본 발명에 따른 판독전용 메모리셀 구조의 셀 어레이의 평면도를 도시한다. 메모리 셀의 셀 크기는 점선으로 표시된다. 메모리 셀의 폭은 트렌치(7) 폭의 절반 더하기 인접 트렌치사이의 분리영역의 절반으로 구성된다. 메모리 셀의 길이는 워드라인(13a)의 폭 더하기 인접 워드라인(13a)사이의 절반 분리영역의 두배로 구성된다. 만일 트렌치(7)가 F의 폭을 가지고 F로 분리되어 형성되고 워드라인(13a)이 F의 폭을 가지고 F로 분리되어 형성된다면(여기서, F는 각 기술에서 최소 구조크기이다), $2F^2$의 메모리 셀 어레이가 얻어진다.

(57) 청구의 범위

청구항 1

판독전용 메모리셀 구조를 제조하기 위한 방법에 있어서,

- 제 1 유전체(10), 플로팅 게이트(11), 제 2 유전체(12) 및 제어 게이트(13a)를 가지며 반도체 기판(1)의 주표면(2)에 수직한 MOS 트랜지스터를 각각 구비하는 메모리셀을 포함하는 셀 어레이는 상기 반도체 기판(1)의 주표면(2)상에 형성되며;

- 상기 반도체 기판(1)은 적어도 셀 어레이 영역에서 제 1도전형으로 도핑되며;

- 상기 셀 어레이를 형성하기 위하여, 제 2 도전형으로 도핑되고 전체 셀 어레이상에서 연장되는 영역(4)은 상기 반도체 기판(1)의 주표면(2)상에 형성되며;

- 트렌치 마스크(6)가 형성되며;

- 평행한 다수의 스트립 형상 트렌치(7)는 이방성 건식 에칭공정에 의해 주표면(2)에서 에칭되며, 상기 트렌치 마스크(6)는 에칭 마스크로써 사용되며, 인접하는 상기 트렌치(7)사이의 주표면(2)상에 배열되고 제 2 도전형으로 도핑되는 스트립형 영역(14b)은 제 2 도전형으로 도핑된 영역(4)을 구조화함으로써 형성되며;

- 상기 트렌치(7)의 하부에 배열되고 제 2 도전형으로 도핑되는 스트립형 영역(14a)은 이온주입에 의해 형성되며, 상기 트렌치 마스크(6)는 주입 마스크로써 동작하며;

- 상기 수직 MOS 트랜지스터를 구성하는 상기 제 1 유전체(10), 상기 플로팅 게이트(11), 상기 제 2 유전체(12) 및 상기 제어 게이트(13a)는 각 경우에 상기 트렌치(7)의 반대 측면상에 형성되며;

- 측면을 따르는 인접 MOS 트랜지스터의 상기 플로팅 게이트(11) 및 상기 제어 게이트(13a)는 서

로 분리되며;

- 워드라인(13a)은 상기 트렌치(7)에 대해 가로로 연장되도록 형성되며, 상기 각 워드라인(13a) 아래에 배열된 상기 수직 MOS 트랜지스터의 상기 제어 게이트(13a)에 접속되는 것을 특징으로 하는 판독전용 메모리셀 구조 제조 방법.

청구항 2

제 1 항에 있어서, 상기 트렌치(7)의 하부에 배열되는 상기 도핑된 스트립형 영역(14a)을 형성하기 위해 이온주입 전에, 상기 트렌치(7)의 측벽은 이온주입후에 제거되는 마스킹 스페이서(8)로 덮혀지는 것을 특징으로 하는 판독전용 메모리셀 구조 제조 방법.

청구항 3

제 1항 또는 제 2항에 있어서,

- 상기 도핑된 스트립형 영역(14a, 14b)이 형성된 후에, 적어도 상기 트렌치(7)의 측면을 덮는 제 1 유전체층(10)이 형성되며;

- 제 1 도핑된 폴리실리콘층은 상기 제 1 유전체층(10)상에 형성되며;

- 도핑된 폴리실리콘 스페이서(11)는 이방성 에칭에 의해 상기 제 1 도핑된 폴리실리콘층으로부터 형성되며,

- 제 2 도핑된 폴리실리콘층(13)이 형성되며;

- 상기 워드라인(13a) 및 제어 게이트(13a)는 워드라인 마스크를 사용하여 상기 제 2 폴리실리콘층(13)을 구조화함으로써 형성되며;

- 상기 MOS 트랜지스터를 구성하는 상기 제 2 유전체층 및 상기 플로팅 게이트는 상기 제 2유전체층(12) 및 상기 도핑된 폴리실리콘 스페이서(11)를 구조화함으로써 각 경우에 형성되는 것을 특징으로 하는 판독전용 메모리셀 구조 제조 방법.

청구항 4

제 3 항에 있어서, 상기 트렌치 마스크(6)는 상기 도핑된 폴리실리콘 스페이서(11)가 형성된 후에 제거되는 것을 특징으로 하는 판독전용 메모리셀 구조 제조 방법.

요약

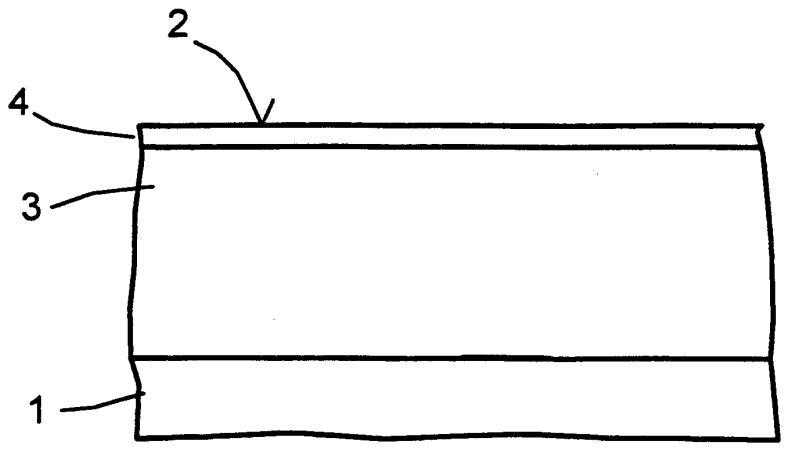
판독전용 메모리 셀구조를 형성하기 위하여, 스트립형 홈은 반도체 기판에서 에칭되며, 기억셀은 이들 홈의 측면상에 형성되는 플로팅 게이트(11)를 가진 수직 MOS 트랜지스터를 각각 포함한다. MOS 트랜지스터의 소오스/드레인 영역은 단지 하나의 마스크만을 사용하는 자체 정렬방식으로 홈(7)의 베이스에서 그리고 인접 홈(7)사이에서 도핑된 스트립형 영역으로써 형성된다. 홈(7)의 폭 및 홈 사이의 공간은 메모리 셀구조가 $2F^2$(F는 구조의 최소 크기)의 공간으로 제조될 수 있도록 동일하다.

대표도

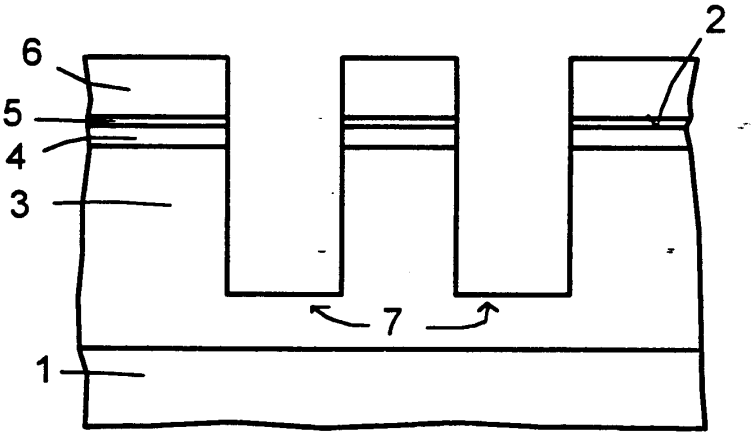
도5

도면

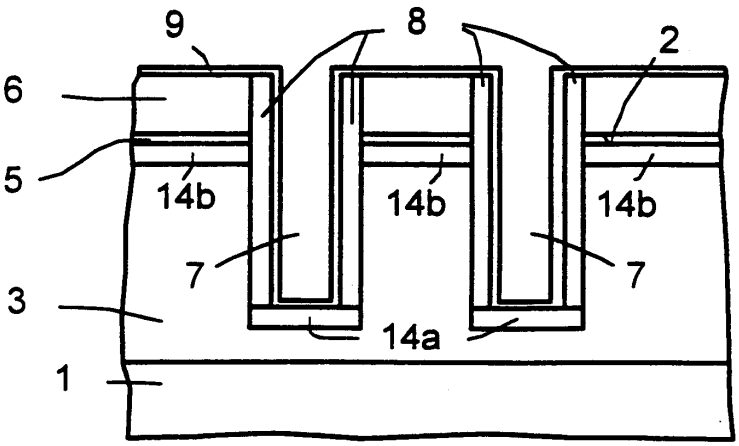
도면1



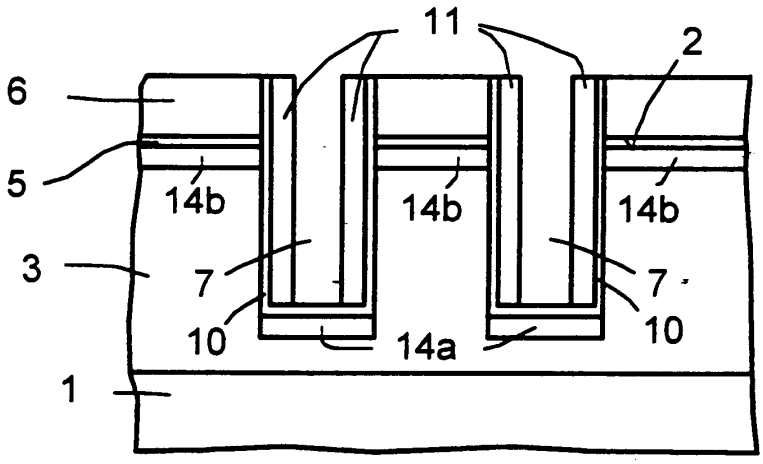
도면2


6
5
4
3
2
7
1

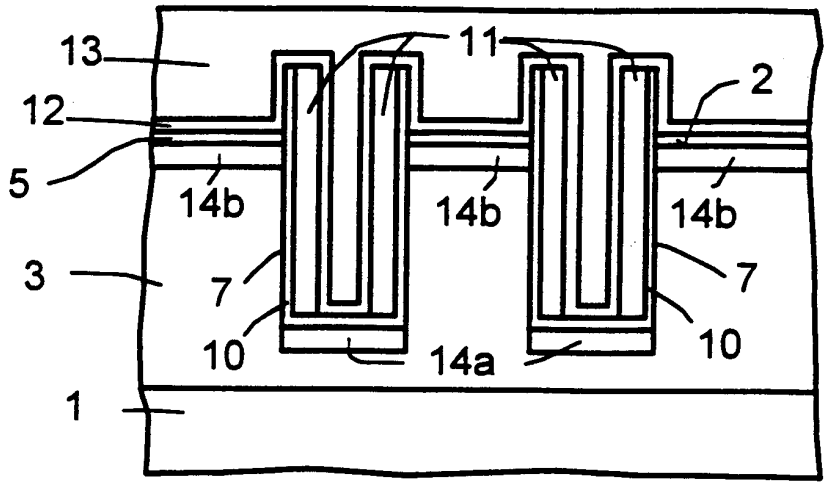
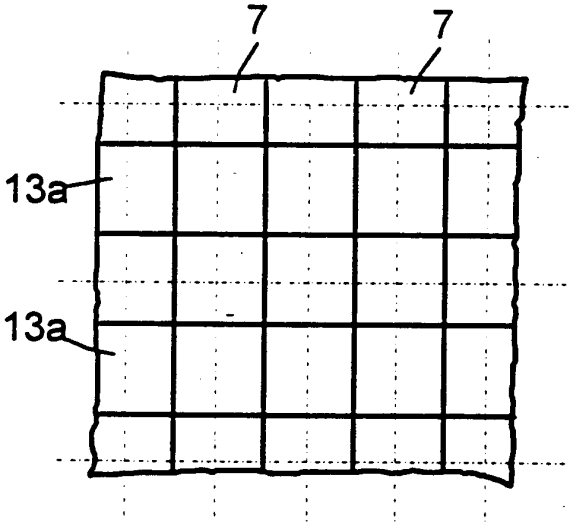
도면3


9
8
2
6
5
14b
14b
14b
7
7
3
14a
1

도면4


11
2
6
5
14b
14b
14b
3
7
7
10
10
14a
1

도면5



도면6