



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098487  
(43) 공개일자 2008년11월10일

(51) Int. Cl.

H03K 19/003 (2006.01) G02F 1/133 (2006.01)  
G09G 3/20 (2006.01)

(21) 출원번호 10-2008-7018781

(22) 출원일자 2008년07월30일

심사청구일자 없음

번역문제출일자 2008년07월30일

(86) 국제출원번호 PCT/JP2006/326348

국제출원일자 2006년12월26일

(87) 국제공개번호 WO 2007/080813

국제공개일자 2007년07월19일

(30) 우선권주장

JP-P-2006-00001941 2006년01월07일 일본(JP)

(71) 출원인

가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

우메자키 아츠시

일본국 2430036 가나가와Ken 아쓰기시 하세 398 가  
부시키가이샤한도오따이 에네루기 켄큐쇼 내

(74) 대리인

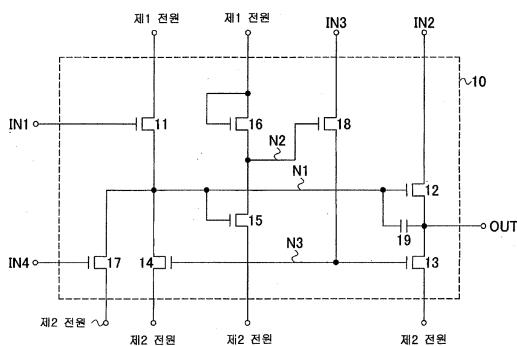
황의만

전체 청구항 수 : 총 15 항

(54) 반도체장치와, 이 반도체장치를 구비한 표시장치 및 전자기기

**(57) 요 약**

동작을 불안정하게 함이 없이 각 트랜지스터의 특성 열화를 억제할 수 있는 반도체장치를 제공하는 것을 과제로 한다. 비선택 기간에서, 트랜지스터가 일정 시간 간격으로 온(ON)으로 됨으로써, 시프트 레지스터 회로의 출력 단자에 전원 전위를 공급한다. 그리고, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 전원 전위가 공급된다. 이 트랜지스터는 비선택 기간에 항상 온으로 되지 않으므로, 이 트랜지스터의 스레시홀드 전압 시프트가 억제될 수 있다. 또한, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 일정 시간 간격으로 전원 전위가 공급된다. 따라서, 시프트 레지스터 회로는 출력 단자에서 노이즈가 발생하는 것을 억제할 수 있다.

**대 표 도**

## 특허청구의 범위

### 청구항 1

제1 트랜지스터;

제2 트랜지스터;

제3 트랜지스터;

인버터;

제1 배선;

제2 배선; 및

제3 배선을 포함하고,

상기 제1 트랜지스터의 제1 단자가 상기 제1 배선에 전기적으로 접속되고, 상기 제1 트랜지스터의 제2 단자가 상기 제2 트랜지스터의 제2 단자에 전기적으로 접속되고, 상기 제1 트랜지스터의 게이트 단자가 상기 인버터의 제1 단자에 전기적으로 접속되고;

상기 제2 트랜지스터의 제1 단자가 상기 제2 배선에 전기적으로 접속되고, 상기 제2 트랜지스터의 게이트 단자가 상기 제3 트랜지스터의 제2 단자에 전기적으로 접속되고;

상기 제3 트랜지스터의 제1 단자가 상기 제3 배선에 전기적으로 접속되고, 상기 제3 트랜지스터의 게이트 단자가 상기 인버터의 제2 단자에 전기적으로 접속되고;

상기 제1 트랜지스터의 게이트 단자는 상기 제1 트랜지스터의 게이트 단자를 플로팅(floating) 상태로 하기 위한 트랜지스터에 전기적으로 접속되어 있는 반도체장치.

### 청구항 2

제1 트랜지스터;

제2 트랜지스터;

제3 트랜지스터;

제4 트랜지스터;

제5 트랜지스터;

제1 배선;

제2 배선;

제3 배선; 및

제4 배선을 포함하고,

상기 제1 트랜지스터의 제1 단자가 상기 제1 배선에 전기적으로 접속되고, 상기 제1 트랜지스터의 제2 단자가 상기 제2 트랜지스터의 제2 단자에 전기적으로 접속되고, 상기 제1 트랜지스터의 게이트 단자가 상기 제4 트랜지스터의 게이트 단자에 전기적으로 접속되고;

상기 제2 트랜지스터의 제1 단자가 상기 제2 배선에 전기적으로 접속되고, 상기 제2 트랜지스터의 게이트 단자가 상기 제3 트랜지스터의 제2 단자에 전기적으로 접속되고;

상기 제3 트랜지스터의 제1 단자가 상기 제3 배선에 전기적으로 접속되고, 상기 제3 트랜지스터의 게이트 단자가 상기 제4 트랜지스터의 제2 단자 및 상기 제5 트랜지스터의 제2 단자에 전기적으로 접속되고;

상기 제4 트랜지스터의 제1 단자가 상기 제2 배선에 전기적으로 접속되고;

상기 제5 트랜지스터의 제1 단자가 상기 제4 배선에 전기적으로 접속되고, 상기 제5 트랜지스터의 게이트 단자

가 상기 제4 배선에 전기적으로 접속되고;

상기 제1 트랜지스터의 게이트 단자는 상기 제1 트랜지스터의 게이트 단자를 플로팅 상태로 하기 위한 트랜지스터에 전기적으로 접속되어 있는 반도체장치.

### 청구항 3

제1 트랜지스터;

제2 트랜지스터;

제3 트랜지스터;

제4 트랜지스터;

제5 트랜지스터;

제6 트랜지스터;

제1 배선;

제2 배선;

제3 배선;

제4 배선; 및

제5 배선을 포함하고,

상기 제1 트랜지스터의 제1 단자가 상기 제1 배선에 전기적으로 접속되고, 상기 제1 트랜지스터의 제2 단자가 상기 제2 트랜지스터의 제2 단자에 전기적으로 접속되고, 상기 제1 트랜지스터의 게이트 단자가 상기 제4 트랜지스터의 게이트 단자 및 상기 제6 트랜지스터의 제2 단자에 전기적으로 접속되고;

상기 제2 트랜지스터의 제1 단자가 상기 제2 배선에 전기적으로 접속되고, 상기 제2 트랜지스터의 게이트 단자가 상기 제3 트랜지스터의 제2 단자에 전기적으로 접속되고;

상기 제3 트랜지스터의 제1 단자가 상기 제3 배선에 전기적으로 접속되고, 상기 제3 트랜지스터의 게이트 단자가 상기 제4 트랜지스터의 제2 단자 및 상기 제5 트랜지스터의 제2 단자에 전기적으로 접속되고;

상기 제4 트랜지스터의 제1 단자가 상기 제2 배선에 전기적으로 접속되고;

상기 제5 트랜지스터의 제1 단자가 상기 제4 배선에 전기적으로 접속되고, 상기 제5 트랜지스터의 게이트 단자가 상기 제4 배선에 전기적으로 접속되고;

상기 제6 트랜지스터의 제1 단자가 상기 제4 배선에 전기적으로 접속되고, 상기 제6 트랜지스터의 게이트 단자가 상기 제5 배선에 전기적으로 접속되어 있는 반도체장치.

### 청구항 4

제1 트랜지스터;

제2 트랜지스터;

제3 트랜지스터;

제4 트랜지스터;

제5 트랜지스터;

제6 트랜지스터;

제7 트랜지스터;

제1 배선;

제2 배선;

제3 배선;

제4 배선; 및

제5 배선을 포함하고,

상기 제1 트랜지스터의 제1 단자가 상기 제1 배선에 전기적으로 접속되고, 상기 제1 트랜지스터의 제2 단자가 상기 제2 트랜지스터의 제2 단자에 전기적으로 접속되고, 상기 제1 트랜지스터의 게이트 단자가 상기 제4 트랜지스터의 게이트 단자, 상기 제6 트랜지스터의 제2 단자, 및 상기 제7 트랜지스터의 제2 단자에 전기적으로 접속되고;

상기 제2 트랜지스터의 제1 단자가 상기 제2 배선에 전기적으로 접속되고, 상기 제2 트랜지스터의 게이트 단자가 상기 제3 트랜지스터의 제2 단자 및 상기 제7 트랜지스터의 게이트 단자에 전기적으로 접속되고;

상기 제3 트랜지스터의 제1 단자가 상기 제3 배선에 전기적으로 접속되고, 상기 제3 트랜지스터의 게이트 단자가 상기 제4 트랜지스터의 제2 단자 및 상기 제5 트랜지스터의 제2 단자에 전기적으로 접속되고;

상기 제4 트랜지스터의 제1 단자가 상기 제2 배선에 전기적으로 접속되고;

상기 제5 트랜지스터의 제1 단자가 상기 제4 배선에 전기적으로 접속되고, 상기 제5 트랜지스터의 게이트 단자가 상기 제4 배선에 전기적으로 접속되고;

상기 제6 트랜지스터의 제1 단자가 상기 제4 배선에 전기적으로 접속되고, 상기 제6 트랜지스터의 게이트 단자가 상기 제5 배선에 전기적으로 접속되고;

상기 제7 트랜지스터의 제1 단자가 상기 제2 배선에 전기적으로 접속되어 있는 반도체장치.

## 청구항 5

제1 트랜지스터;

제2 트랜지스터;

제3 트랜지스터;

제4 트랜지스터;

제5 트랜지스터;

제6 트랜지스터;

제7 트랜지스터;

제8 트랜지스터;

제1 배선;

제2 배선;

제3 배선;

제4 배선;

제5 배선; 및

제6 배선을 포함하고,

상기 제1 트랜지스터의 제1 단자가 상기 제1 배선에 전기적으로 접속되고, 상기 제1 트랜지스터의 제2 단자가 상기 제2 트랜지스터의 제2 단자에 전기적으로 접속되고, 상기 제1 트랜지스터의 게이트 단자가 상기 제4 트랜지스터의 게이트 단자, 상기 제6 트랜지스터의 제2 단자, 상기 제7 트랜지스터의 제2 단자, 및 상기 제8 트랜지스터의 제2 단자에 전기적으로 접속되고;

상기 제2 트랜지스터의 제1 단자가 상기 제2 배선에 전기적으로 접속되고, 상기 제2 트랜지스터의 게이트 단자가 상기 제3 트랜지스터의 제2 단자 및 상기 제7 트랜지스터의 게이트 단자에 전기적으로 접속되고;

상기 제3 트랜지스터의 제1 단자가 상기 제3 배선에 전기적으로 접속되고, 상기 제3 트랜지스터의 게이트 단자

가 상기 제4 트랜지스터의 제2 단자 및 상기 제5 트랜지스터의 제2 단자에 전기적으로 접속되고;

상기 제4 트랜지스터의 제1 단자가 상기 제2 배선에 전기적으로 접속되고;

상기 제5 트랜지스터의 제1 단자가 상기 제4 배선에 전기적으로 접속되고, 상기 제5 트랜지스터의 게이트 단자가 상기 제4 배선에 전기적으로 접속되고;

상기 제6 트랜지스터의 제1 단자가 상기 제4 배선에 전기적으로 접속되고, 상기 제6 트랜지스터의 게이트 단자가 상기 제5 배선에 전기적으로 접속되고;

상기 제7 트랜지스터의 제1 단자가 상기 제2 배선에 전기적으로 접속되고;

상기 제8 트랜지스터의 제1 단자가 상기 제2 배선에 전기적으로 접속되고, 상기 제8 트랜지스터의 게이트 단자가 상기 제6 배선에 전기적으로 접속되어 있는 반도체장치.

#### **청구항 6**

제 2 항 내지 제 5 항 중 어느 한 항에 있어서, 상기 제4 트랜지스터의 채널 길이(L) 대 채널 폭(W)의 비(W/L)는 상기 제5 트랜지스터의 채널 길이(L) 대 채널 폭(W)의 비(W/L)의 10배 이상인 반도체장치.

#### **청구항 7**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서, 상기 제1 트랜지스터와 상기 제3 트랜지스터는 동일 도전형을 가지는 반도체장치.

#### **청구항 8**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서, 상기 제1 트랜지스터와 상기 제3 트랜지스터는 n채널형 트랜지스터인 반도체장치.

#### **청구항 9**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서, 상기 제1 트랜지스터의 제2 단자와 상기 제1 트랜지스터의 게이트 단자 사이에 전기적으로 접속된 커패시터가 제공되어 있는 반도체장치.

#### **청구항 10**

제 9 항에 있어서, 상기 커패시터는 제1 전극, 제2 전극, 및 제1 전극과 제2 전극 사이에 보유된 절연체를 포함하고,

상기 제1 전극이 반도체층이고, 상기 제2 전극이 게이트 배선층이고, 상기 절연체가 게이트 절연막인 반도체장치.

#### **청구항 11**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서, 상기 제1 배선에는 클록 신호가 공급되고, 상기 제3 배선에는 반전된 클록 신호가 공급되는, 반도체장치.

#### **청구항 12**

제 1 항 내지 제 5 항 중 어느 한 항에 따른 반도체장치를 포함하는 구동회로와;

다수의 화소를 포함하고,

상기 다수의 화소 각각이 상기 구동회로에 의해 제어되는, 표시장치.

#### **청구항 13**

제 12 항에 있어서, 상기 화소는 트랜지스터를 포함하고,

상기 화소에 포함되는 트랜지스터와, 상기 구동회로에 포함되는 트랜지스터가 동일 도전형을 가지는, 표시장치.

#### **청구항 14**

제 12 항에 있어서, 상기 화소는 상기 구동회로와 동일 기판 위에 형성되어 있는, 표시장치.

### 청구항 15

제 12 항에 따른 표시장치를 포함하는 전자기기.

## 명세서

### 기술분야

<1> 본 발명은 반도체장치에 관한 것이다. 특히, 본 발명은 트랜지스터를 사용하여 구성되는 시프트 레지스터에 관한 것이다. 또한, 본 발명은 반도체장치를 구비하는 표시장치, 및 이 표시장치를 구비하는 전자기기에 관한 것이다.

### 배경기술

<2> 근년, 액정 텔레비전 등의 대형 표시장치가 증가하기 때문에, 액정 표시장치나 발광장치 등의 표시장치가 활발하게 개발되고 있다. 특히, 절연체 위에 비정질 반도체에 의해 형성된 트랜지스터를 사용하여, 화소 회로, 및 시프트 레지스터 회로 등을 포함하는 구동회로(이하, 내부 회로라고 한다)를 동일 기판 위에 형성하는 기술은, 저소비전력화 및 저비용화에 크게 공헌하기 때문에, 활발하게 개발되고 있다. 절연체 위에 형성된 내부 회로는 FPC 등을 통하여 절연체 외측에 배치된 컨트롤러 IC 등(이하, 외부 회로라고 한다)에 접속되고, 그의 동작이 제어되고 있다.

<3> 또한, 절연체 위에 형성되는 내부 회로로서, 비정질 반도체로 된 트랜지스터를 사용하여 구성되는 시프트 레지스터 회로가 고안되었다(문헌 1: PCT 국제공고 95/31804호 공보 참조).

<4> 그러나, 시프트 레지스터 회로는 출력 단자가 플로팅(floating) 상태가 되는 기간을 가지기 때문에, 출력 단자에 노이즈(noise)가 발생하기 쉽다. 이 출력 단자에 발생한 노이즈에 때문에, 시프트 레지스터 회로의 오동작이 일어난다.

<5> 상기 문제점을 해결하기 위해, 출력 단자가 플로팅 상태로 되지 않는 시프트 레지스터 회로가 고안되었다. 이 시프트 레지스터 회로는 소위 스태틱(static) 구동에 의해 동작한다(문헌 2: 일본국 공개특허공고 2004-78172호 공보 참조).

<6> 문헌 2에 개시된 시프트 레지스터 회로는 스태틱 구동을 실현할 수 있다. 따라서, 이 시프트 레지스터 회로에서는 출력 단자가 플로팅 상태로 되지 않기 때문에, 출력 단자에 발생하는 노이즈를 줄일 수 있다.

### 발명의 상세한 설명

<7> 상기 문헌 2에 개시된 시프트 레지스터 회로에서는, 그의 동작 기간이, 1 선택 신호를 출력하는 선택 기간과, 비선택 신호를 출력하는 비선택 기간으로 나누어져 있고, 이를 동작 기간 중 대부분의 기간이 비선택 기간이 된다. 비선택 기간에서는, 출력 단자에 트랜지스터를 통하여 저전위를 공급하고 있다. 즉, 이 출력 단자에 저전위를 공급하기 위한 트랜지스터는 시프트 레지스터 회로의 동작 기간 중 대부분의 기간에 온(ON)으로 되어 있다.

<8> 비정질 반도체를 사용하여 제작되는 트랜지스터의 특성은, 그 트랜지스터가 온으로 되는 시간, 및 그 트랜지스터에 인가하는 전위에 따라 열화(劣化)하는 것으로 알려져 있다. 그 중에서도, 트랜지스터의 스레시홀드 전압이 상승하는 스레시홀드 전압 시프트(shift)는 트랜지스터의 특성이 열화할 때 현저하게 된다. 이 스레시홀드 전압 시프트가 시프트 레지스터 회로의 오동작의 큰 원인 중의 하나이다.

<9> 이와 같은 문제점을 감안하여, 본 발명은, 비선택 기간에서도 노이즈가 적고, 또한, 트랜지스터의 열화를 억제 할 수 있는 시프트 레지스터 회로, 이 시프트 레지스터 회로를 구비하는 반도체장치 또는 표시장치, 및 이 표시장치를 구비하는 전자기기를 제공하는 것을 목적으로 한다.

<10> 본 발명에서는, 반도체장치에 포함되는 트랜지스터가 항상 온으로 되는 것을 없애어, 이 트랜지스터의 특성 열화를 억제한다.

<11> 본 발명의 일 양태에 따른 반도체장치는, 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 인버터, 제1 배선, 제2 배선, 및 제3 배선을 포함하고, 제1 트랜지스터의 제1 단자가 제1 배선에 전기적으로 접속되고, 제1 트랜지



제4 배선에 전기적으로 접속되고, 제6 트랜지스터의 제1 단자가 제4 배선에 전기적으로 접속되고, 제6 트랜지스터의 게이트 단자가 제5 배선에 전기적으로 접속되고, 제7 트랜지스터의 제1 단자가 제2 배선에 전기적으로 접속되고, 제8 트랜지스터의 제1 단자가 제2 배선에 전기적으로 접속되고, 제8 트랜지스터의 게이트 단자가 제6 배선에 전기적으로 접속되어 있다.

- <16> 또한, 본 발명에서, 상기 제4 트랜지스터의 채널 길이(L) 대 채널 폭(W)의 비(W/L)는 상기 제5 트랜지스터의 채널 길이(L) 대 채널 폭(W)의 비(W/L)의 10배 이상이어도 좋다.
- <17> 또한, 본 발명에서, 상기 제1 트랜지스터와 상기 제3 트랜지스터는 동일한 도전형을 가져도 좋다.
- <18> 또한, 본 발명에서, 상기 제1 트랜지스터와 상기 제4 트랜지스터는 n채널형 트랜지스터이어도 좋고, p채널형 트랜지스터이어도 좋다.
- <19> 또한, 본 발명에서, 상기 제1 트랜지스터의 제2 단자와 상기 제1 트랜지스터의 게이트 단자와의 사이에 전기적으로 접속된 커패시터가 제공되어 있어도 좋다.
- <20> 또한, 본 발명에서, 상기 커패시터 대신에, MOS 트랜지스터를 사용하여, 용량(커패시턴스)이 형성되어도 좋다.
- <21> 또한, 본 발명에서, 상기 커패시터는 제1 전극, 제2 전극, 및 제1 전극과 제2 전극 사이에 보유된 절연체를 포함하고, 상기 제1 전극은 반도체층이고, 상기 제2 전극은 게이트 배선층이고, 상기 절연체는 게이트 절연막이어도 좋다.
- <22> 또한, 본 발명에서, 상기 제1 배선에는 클록 신호가 공급되고, 상기 제3 배선에는 상기 클록 신호와 위상이 180도 다른 반전된 클록 신호가 공급되어도 좋다.
- <23> 본 발명의 일 양태에 따른 표시장치는 다수의 화소와 구동회로를 포함하고, 상기 다수의 화소 각각은 상기 구동회로에 의해 제어되고, 상기 구동회로는 다수의 트랜지스터와, 상기 다수의 트랜지스터 각각을 항상 온으로 되지 않게 하는 회로를 포함한다.
- <24> 또한, 본 발명에서, 상기 구동회로는 상기 설명한 반도체장치를 포함하고 있어도 좋다.
- <25> 또한, 본 발명에서, 상기 다수의 화소 각각은 적어도 하나의 트랜지스터를 포함하고, 상기 다수의 화소 각각에 포함되는 트랜지스터와, 상기 구동회로에 포함되는 트랜지스터는 동일한 도전형을 가져도 좋다.
- <26> 또한, 본 발명에서, 상기 다수의 화소 각각과 상기 구동회로는 동일 기판 위에 형성되어도 좋다.
- <27> 또한, 본 발명의 표시장치는 전자기기에 적용될 수도 있다.
- <28> 상기와 같이, 본 발명에서는, 제2 트랜지스터 및 제7 트랜지스터를 항상 온으로 되지 않게 하기 위해, 제3 배선에 공급되는 신호에 의해, 제2 트랜지스터 및 제7 트랜지스터의 온 또는 오프를 제어하는 것이다.
- <29> 또한, 제1 트랜지스터가 온으로 된 때 제2 트랜지스터가 온으로 되지 않도록 하기 위해, 제1 트랜지스터의 게이트 단자를 인버터를 통하여 제2 트랜지스터의 게이트 단자에 접속함으로써, 제3 트랜지스터를 오프로 하고 있다. 제3 트랜지스터가 오프로 되기 전에 제2 트랜지스터가 오프로 되어 있으면, 제2 트랜지스터는 계속 오프로 된다. 따라서, 제1 배선과 제2 배선은 제1 트랜지스터 및 제2 트랜지스터를 통하여 도통하는 일은 없다.
- <30> 또한, 제1 트랜지스터가 온이고 제2 트랜지스터가 오프일 때, 제1 배선의 전위가 변화하면, 제1 트랜지스터의 제2 단자의 전위도 변화한다. 이때, 제1 트랜지스터의 게이트 단자가 플로팅 상태이면, 제1 트랜지스터의 게이트 단자의 전위는 커패시터의 용량 결합에 의해 동시에 변화한다. 여기서, 제1 트랜지스터의 게이트 단자의 전위가 제1 배선의 전위와 제1 트랜지스터의 스레시홀드 전압과의 합 이상 또는 이하의 값까지 변화하면, 제1 트랜지스터는 계속 온으로 된다. 이와 같이, 본 발명은, 제1 배선의 전위가 변화하여도, 제1 트랜지스터를 온으로 하여 제1 트랜지스터의 제1 단자와 제2 단자를 같은 전위로 하는 기능도 가진다.
- <31> 또한, 본 명세서에 기재된 스위치는, 예를 들어, 전기적인 스위치, 또는 기계적인 스위치를 사용할 수 있다. 즉, 전류의 흐름을 제어할 수 있는 것이면 어느 소자라도 사용할 수 있어, 스위치가 특정의 것에 한정되지 않는다. 예를 들어, 트랜지스터이어도 좋고, 다이오드(예를 들어, PN 접합 다이오드, PIN 접합 다이오드, 쇼트키 다이오드(Schottky diode), 다이오드 접속의 트랜지스터 등)이어도 좋고, 그것들을 조합한 논리회로이어도 좋다. 따라서, 스위치로서 트랜지스터를 사용하는 경우, 그 트랜지스터는 단순한 스위치로서 동작하기 때문에, 그 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다. 그러나, 오프 전류가 적은 것이 바람직한 경우, 오프 전류가 적은 극성의 트랜지스터를 사용하는 것이 바람직하다. 오프 전류가 적은 트랜지스터의 예로서는,

LDD 영역을 가지는 트랜지스터, 멀티게이트 구조를 가지는 트랜지스터 등을 들 수 있다. 또한, 스위치로서 동작하는 트랜지스터의 소스 단자의 전위가 저전위측 전원(예를 들어, Vss, GND, 또는 0 V)에 가까운 상태의 경우는 n채널형 트랜지스터를 사용하고, 반대로, 소스 단자의 전위가 고전위측 전원(예를 들어, Vdd)에 가까운 상태의 경우는 p채널형 트랜지스터를 사용하는 것이 바람직하다. 왜냐하면, 트랜지스터의 게이트와 소스 사이의 전압의 절대값을 크게 할 수 있기 때문에, 스위치로서 기능시킬 때 동작시키기 쉽기 때문이다. 또한, n채널형 트랜지스터와 p채널형 트랜지스터 양쪽 모두를 사용하여, CMOS형 스위치로 하여도 좋다.

<32> 또한, 본 발명에서는, "접속되어 있다"라는 기재는, "전기적으로 접속되어 있다"라는 기재와 동의(同義)이다. 따라서, 소자들 사이에 다른 소자나 스위치가 개재되어 있어도 좋다.

<33> 또한, 표시소자, 표시소자를 가지는 장치인 표시장치, 발광소자, 및 발광소자를 가지는 장치인 발광장치는 다양한 형태를 이용할 수 있고, 다양한 소자를 포함할 수 있다. 예를 들어, EL 소자(예를 들어, 유기 EL 소자, 무기 EL 소자, 또는 유기물과 무기물 모두를 함유하는 EL 소자), 전자 방출 소자, 액정 소자, 전자 잉크 등, 전자 자기적 작용에 의해 콘트라스트가 변화하는 표시 매체를 적용할 수 있다. 또한, EL 소자를 사용한 표시장치로서는 EL 디스플레이가 있고, 전자 방출 소자를 사용한 표시장치로서는 전계 방출 디스플레이(FED)나 SED 방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등이 있고, 액정 소자를 사용한 표시장치로서는 액정 디스플레이가 있고, 전자 잉크를 사용한 표시장치로서는 전자 페이퍼가 있다.

<34> 또한, 본 발명에서, 적용될 수 있는 트랜지스터의 종류에 한정은 없고, 비정질 실리콘이나 다결정 실리콘으로 대표되는 비(非)단결정 반도체막을 사용한 박막 트랜지스터(TFT), 반도체 기판이나 SOI 기판을 사용하여 형성되는 트랜지스터, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴러 트랜지스터, ZnO 또는 a-InGaZnO 등의 화합물 반도체를 사용한 트랜지스터, 유기 반도체나 카본 나노튜브를 사용한 트랜지스터, 그 외의 트랜지스터가 적용될 수 있다. 또한, 트랜지스터가 형성되는 기판의 종류에 한정은 없고, 단결정 기판, SOI 기판, 유리 기판, 플라스틱 기판 등 위에 트랜지스터를 배치할 수 있다.

<35> 또한, 이미 설명한 바와 같이, 본 발명에서는 각종 타입의 트랜지스터가 사용될 수 있고, 그러한 트랜지스터는 각종 타입의 기판 위에 형성될 수도 있다. 따라서, 회로 전부가 유리 기판 위에 형성되어 있어도 좋고, 플라스틱 기판 위에 형성되어 있어도 좋고, 단결정 기판 위에 형성되어 있어도 좋고, SOI 기판 위에 형성되어 있어도 좋고, 임의의 다른 기판 위에 형성되어 있어도 좋다. 또는, 회로들의 일부가 어떤 기판 위에 형성되고, 회로들의 다른 일부가 다른 기판 위에 형성되어 있어도 좋다. 즉, 회로의 전부가 동일 기판 위에 형성되어 있지 않아도 좋다. 예를 들어, 회로의 일부는 유리 기판 위에 트랜지스터를 사용하여 형성하고, 회로의 다른 일부는 단결정 기판 위에 형성하고, 그 IC 칩을 COG(Chip On Glass)에 의해 유리 기판에 접속하여도 좋다. 또는, 그 IC 칩을 TAB(Tape Automated Bonding)나 인쇄 회로판을 사용하여 유리 기판에 접속하여도 좋다.

<36> 또한, 트랜지스터의 구성은 특별히 한정되는 것은 아니다. 예를 들어, 2개 이상의 게이트를 가지는 멀티게이트 구조를 사용하여도 좋고, 또한, 채널의 상하에 게이트 전극이 배치되어 있는 구조이어도 좋고, 채널 위에 게이트 전극이 배치되어 있는 구조이어도 좋고, 채널 아래에 게이트 전극이 배치되어 있는 구조이어도 좋고, 순 스탠드Off 구조이어도 좋고, 역 스탠드Off 구조이어도 좋고, 채널 영역이 다수의 영역으로 나누어져 있는 구조이어도 좋고, 나누어진 영역들이 병렬로 또는 직렬로 접속되어 있는 구조이어도 좋고, 채널(또는 그의 일부)에 소스 전극이나 드레인 전극이 중첩되어 있어도 좋고, LDD(Lightly Doped Drain) 영역이 제공되어 있어도 좋다.

<37> 또한, 본 명세서에서는, 1 화소란, 화상의 최소 단위를 나타내는 것으로 한다. 따라서, R(적), G(녹), B(청)의 색 요소로 이루어지는 풀 컬러 표시장치의 경우에는, 1 화소란, R의 색 요소의 도트와, G의 색 요소의 도트와, B의 색 요소의 도트로 구성되는 것으로 한다.

<38> 또한, 본 명세서에서, 화소들이 매트릭스로 배치되어 있다라는 것은, 수직방향 줄무늬와 횡방향 줄무늬를 조합시킨 소위 격자 패턴으로 화소들이 배치되어 있는 경우 뿐만 아니라, 3색의 색 요소(예를 들어, RGB)로 풀 컬러 표시를 행하는 경우에 3개의 색 요소의 도트가 소위 멜타 패턴으로 배치되어 있는 경우도 포함하는 것으로 한다. 또한, 색 요소의 도트마다 발광 영역의 크기가 달라도 좋다.

<39> 트랜지스터란, 게이트, 드레인, 소스의 적어도 3개의 단자를 가지는 소자이고, 드레인 영역과 소스 영역 사이에 채널 영역을 가진다. 여기서, 트랜지스터의 소스 영역과 드레인 영역은 트랜지스터의 구조나 동작 조건 등에 따라 바뀌기 때문에, 어느 것이 소스 영역 또는 드레인 영역인지를 한정하는 것은 곤란하다. 따라서, 본 명세서에서는, 소스 영역 및 드레인 영역으로서 기능하는 영역들 중 한쪽 영역을 제1 단자라고 표기하고, 다른 한쪽 영역을 제2 단자라고 표기한다.

<40> 또한, 본 명세서에서, 반도체장치란, 반도체소자(예를 들어, 트랜ジ스터 또는 다이오드)를 포함하는 회로를 가지는 장치를 말한다. 또한, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반으로 좋다. 또한, 표시장치란, 기판 위에 형성된 액정 소자나 EL 소자 등의 표시 소자를 포함하는 다수의 화소가 그들 화소를 구동시키는 주변 구동회로와 동일 기판 위에 형성된 표시 패널 자체 뿐만 아니라, 거기에 플렉서블 인쇄 회로(FPC)나 프린트 배선판(PWB)이 부착된 것도 포함한다. 또한, 발광장치란, EL 소자나 FED에 사용하는 소자 등의 자기발광형 표시 소자를 사용하고 있는 표시장치를 말한다.

<41> 본 발명의 반도체장치는 제3 배선에 공급되는 신호에 의해 온/오프가 제어되는 트랜지스터를 일정 시간 간격으로 온(ON)으로 할 수 있다. 이렇게 함으로써, 본 발명의 반도체장치를 사용한 시프트 레지스터 회로의 트랜지스터는 비선택 기간에 항상 온으로 되지 않으므로, 이 트랜지스터의 스레시홀드 전압 시프트가 억제될 수 있다. 또한, 본 발명의 반도체장치를 사용한 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 일정 시간 간격으로 전원 전위가 공급된다. 따라서, 본 발명의 반도체장치를 사용한 시프트 레지스터 회로는 출력 단자에 발생하는 노이즈를 억제할 수 있다.

### 실시 예

<167> 이하, 본 발명을 실시형태 및 실시예에 의해 도면을 참조하여 설명한다. 그러나, 본 발명은 많은 다른 양태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그의 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 실시형태 및 실시예의 기재 내용에 한정하여 해석되는 것은 아니다.

<168> [실시형태 1]

<169> 도 1은 본 발명의 시프트 레지스터 회로에 포함되는 플립플롭 회로(10)의 일 형태를 나타낸다. 본 발명의 시프트 레지스터 회로는 플립플롭 회로(10)를 다수 단(stage) 가지고 있다. 도 1에 나타내는 플립플롭 회로(10)는 트랜지스터(11), 트랜지스터(12), 트랜지스터(13), 트랜지스터(14), 트랜지스터(15), 트랜지스터(16), 트랜지스터(17), 트랜지스터(18), 및 2개의 전극을 가지는 커패시터(19)를 포함하고 있다. 그러나, 커패시터(19)는, 트랜지스터(12)의 게이트 용량이 커패시터(19)로서 사용할 수 있는 경우에는 반드시 필요하지는 않다.

<170> 플립플롭 회로(10)에 나타내는 바와 같이, 트랜지스터(11)의 게이트 단자가 입력 단자(IN1)에 접속되고, 트랜지스터(11)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(11)의 제2 단자가 트랜지스터(12)의 게이트 단자, 트랜지스터(14)의 제2 단자, 트랜지스터(15)의 게이트 단자, 트랜지스터(17)의 제2 단자, 및 커패시터(19)의 제2 전극에 접속되어 있다. 트랜지스터(15)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(15)의 제2 단자가 트랜지스터(16)의 제2 단자 및 트랜지스터(18)의 게이트 단자에 접속되어 있다. 트랜지스터(16)의 게이트 단자 및 제1 단자가 제1 전원에 접속되어 있다. 트랜지스터(18)의 제1 단자가 입력 단자(IN3)에 접속되고, 트랜지스터(18)의 제2 단자가 트랜지스터(13)의 게이트 단자 및 트랜지스터(14)의 게이트 단자에 접속되어 있다. 트랜지스터(13)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(13)의 제2 단자가 커패시터(19)의 제1 전극, 트랜지스터(12)의 제2 단자, 및 출력 단자(OUT)에 접속되어 있다. 트랜지스터(12)의 제1 단자가 입력 단자(IN2)에 접속되어 있다. 트랜지스터(14)의 제1 단자가 제2 전원에 접속되어 있다. 트랜지스터(17)의 게이트 단자가 입력 단자(IN4)에 접속되고, 트랜지스터(17)의 제1 단자가 제2 전원에 접속되어 있다.

<171> 또한, 플립플롭 회로(10)에서, 트랜지스터(11)의 제2 단자, 트랜지스터(12)의 게이트 단자, 트랜지스터(14)의 제2 단자, 트랜지스터(15)의 게이트 단자, 트랜지스터(17)의 제2 단자, 및 커패시터(19)의 제2 전극의 노드(node)를 N1로 나타낸다. 트랜지스터(15)의 제2 단자, 트랜지스터(16)의 제2 단자, 및 트랜지스터(18)의 게이트 단자의 노드를 N2로 나타낸다. 트랜지스터(13)의 게이트 단자, 트랜지스터(14)의 게이트 단자, 및 트랜지스터(18)의 제2 단자의 노드를 N3으로 나타낸다.

<172> 또한, 제1 전원에는 전원 전위(VDD)가 공급되고, 제2 전원에는 전원 전위(VSS)가 공급된다. 제1 전원의 전원 전위(VDD)와 제2 전원의 전원 전위(VSS)와의 전위차(VDD-VSS)가 플립플롭 회로(10)의 전원 전압에 상당한다. 또한, 전원 전위(VDD)는 전원 전위(VSS)보다 높은 전위이다.

<173> 또한, 입력 단자(IN1~IN4) 각각에는 제어 신호가 공급된다. 또한, 출력 단자(OUT)는 출력 신호를 출력한다. 입력 단자(IN1)에는 전단(前段)의 플립플롭 회로(10)의 출력 신호가 제어 신호로서 공급된다. 입력 단자(IN4)에는 다음 단의 플립플롭 회로(10)의 출력 신호가 제어 신호로서 공급된다.

<174> 또한, 트랜지스터(11~18) 각각은 n채널형 트랜지스터이다. 그러나, 트랜지스터(11~18) 각각은 p채널형 트랜

지스터이어도 좋다.

<175> 다음에, 도 2에 나타내는 타이밍 차트를 사용하여, 도 1에 나타내는 플립플롭 회로(10)의 동작에 대하여 설명한다. 도 2는, 도 1에 나타낸 입력 단자(IN1~IN4) 각각에 공급되는 제어 신호와, 출력 단자(OUT)로부터 출력되는 출력 신호와, 노드(N1~N3)의 전위의 타이밍 차트를 나타내고 있다. 또한, 도 2에 나타내는 타이밍 차트는 편의상, 기간(T1~T4)으로 분할되어 있다.

<176> 또한, 기간(T4) 이후의 기간에서는, 기간(T3)과 기간(T4)을 순차로 반복한다. 또한, 도 2에서는, 기간(T1)을 선택 준비 기간이라고 정의하고, 기간(T2)을 선택 기간이라고 정의하고, 기간(T3) 및 기간(T4)을 비선택 기간이라고 정의한다. 즉, 하나의 선택 준비 기간과, 하나의 선택 기간과, 다수의 비선택 기간을 순차로 반복하고 있다.

<177> 또한, 도 2에 나타내는 타이밍 차트에서는, 제어 신호 및 출력 신호 각각은 2개의 값(0과 1)을 가지고 있다. 즉, 이들 신호 각각은 디지털 신호이고, 디지털 신호의 전위들 중 하나는, 그 디지털 신호가 H 신호일 때는 제1 전원의 전원 전위와 같은 전위인 VDD(이하, 전위(VDD) 또는 H 레벨이라고도 한다)이고, 그 디지털 신호가 L 신호일 때는 제2 전원의 전원 전위와 같은 전위인 VSS(이하, 전위(VSS) 또는 L 레벨이라고도 한다)이다.

<178> 또한, 도 3~도 6은 각각 기간(T1)~기간(T4)에서의 동작에 대응한 플립플롭 회로(10)의 접속 상태를 나타내고 있다.

<179> 또한, 도 3~도 6에서, 실선으로 나타낸 트랜지스터는 온(ON) 상태에 있는 것을 나타내고, 점선으로 나타낸 트랜지스터는 오프(OFF) 상태에 있는 것을 나타낸다. 실선으로 나타낸 배선은 전원 또는 입력 단자에 접속되어 있는 것을 나타내고, 점선으로 나타낸 배선은 전원 또는 입력 단자에 접속되어 있지 않은 것을 나타낸다.

<180> 다음에, 도 3~도 6을 사용하여, 각 기간마다의 동작에 대하여 설명한다.

<181> 먼저, 기간(T1)에서의 플립플롭 회로(10)의 동작에 대하여 도 3을 사용하여 설명한다. 도 3은 기간(T1)에서의 플립플롭 회로(10)의 접속 상태를 나타내는 도면이다.

<182> 기간(T1)에서는, 입력 단자(IN1)는 H 레벨이 되어, 트랜지스터(11)가 온으로 된다. 입력 단자(IN4)는 L 레벨이 되어, 트랜지스터(17)가 오프로 된다. 노드(N3)는 후에 설명하는 기간(T3)에서 얻은 VSS로 유지되기 때문에, 트랜지스터(14)가 오프로 된다. 노드(N1)는 트랜지스터(11)를 통하여 제1 전원에 전기적으로 접속되고, 노드(N1)의 전위가 상승하여 Vn11이 된다. 노드(N1)가 Vn11이 되면, 트랜지스터(11)가 오프로 된다. 여기서, Vn11은 전원 전위(VDD)로부터 트랜지스터(11)의 스레시홀드 전압(Vth11)을 뺀 값(VDD-Vth11)이다. 또한, Vn11은 트랜지스터(12) 및 트랜지스터(15)를 온으로 할 수 있는 전위이다.

<183> 노드(N1)의 전위가 Vn11이 되면, 트랜지스터(11)가 오프로 되고, 트랜지스터(12) 및 트랜지스터(15)가 온으로 된다. 노드(N2)는 트랜지스터(15)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(16)를 통하여 제1 전원에 전기적으로 접속되고, 노드(N2)의 전위가 상승하여 Vn21이 된다. 여기서, Vn21은 트랜지스터(16) 및 트랜지스터(15)의 동작점에 의해 결정된다. 또한, 트랜지스터(15)와 트랜지스터(16)는 그 2개의 트랜지스터를 사용하여 인버터를 구성한다. 따라서, 트랜지스터(15)의 게이트 단자(노드(N1))에 H 레벨의 신호가 입력된 때, 노드(N2)에는 L 레벨의 신호가 입력된다. 여기서, Vn21은 트랜지스터(18)를 오프로 할 수 있는 전위이다. 따라서, 입력 단자(IN3)가 H 레벨이 되어 트랜지스터(18)가 오프이기 때문에, 노드(N3)는 VSS로 유지될 수 있다. 입력 단자(IN2)가 L 레벨이 되고 출력 단자(OUT)가 트랜지스터(12)를 통하여 입력 단자(IN2)에 전기적으로 접속되기 때문에, 출력 단자(OUT)의 전위는 VSS가 된다.

<184> 노드(N2)의 전위가 Vn21이 되고 트랜지스터(18)가 오프이기 때문에, 노드(N3)는 VSS로 유지되고, 트랜지스터(13) 및 트랜지스터(14)는 오프로 된다.

<185> 이상의 동작에 의해, 기간(T1)에서는, 트랜지스터(12)를 온으로 하고, 출력 단자(OUT)를 L 레벨로 한다. 또한, 트랜지스터(11)가 오프이므로, 노드(N1)를 플로팅(floating) 상태로 한다.

<186> 다음에, 기간(T2)에서의 플립플롭 회로(10)의 동작에 대하여 도 4를 사용하여 설명한다. 도 4는 기간(T2)에서의 플립플롭 회로(10)의 접속 상태를 나타내는 도면이다.

<187> 기간(T2)에서는, 입력 단자(IN1)는 L 레벨이 되고, 트랜지스터(11)는 오프이다. 입력 단자(IN4)는 L 레벨인 채이고, 트랜지스터(17)는 오프이다. 따라서, 노드(N1)는 기간(T1)에서부터 계속 플로팅 상태에 있어, 기간(T1)에서의 전위(Vn11)를 유지한다.

- <188> 노드(N1)의 전위는 Vn11로 유지되기 때문에, 트랜지스터(12)는 온이다. 그리고, 입력 단자(IN2)는 H 레벨이 된다. 그 다음, 출력 단자(OUT)가 트랜지스터(12)를 통하여 입력 단자(IN2)에 전기적으로 접속되기 때문에, 출력 단자(OUT)의 전위가 VSS로부터 상승한다. 노드(N1)의 전위는 커패시터(19)의 용량 결합에 의해 Vn12로 바뀌어, 트랜지스터(12)의 온 상태를 유지한다. 소위 부트스트랩(bootstrap) 동작이 행해진다. 그 결과, 출력 단자(OUT)의 전위는 입력 단자(IN2)의 전위인 VDD와 같은 전위까지 상승한다. 또한, Vn12는 전위(VDD)와 트랜지스터(12)의 스레시홀드 전압(Vth12)과의 합 이상의 값이다.
- <189> 노드(N1)의 전위가 Vn12가 되어도, 트랜지스터(15)는 계속 온 상태에 있다. 따라서, 노드(N2)의 전위 및 노드(N3)의 전위는 기간(T1)일 때의 전위와 같은 전위가 된다.
- <190> 이상의 동작에 의해, 기간(T2)에서는, 부트스트랩 동작에 의해, 플로팅 상태의 노드(N1)의 전위를 상승시킴으로써, 트랜지스터(12)가 계속 온 상태로 된다. 따라서, 출력 단자(OUT)의 전위를 VDD로 하여, 출력 단자(OUT)를 H 레벨로 한다.
- <191> 다음에, 기간(T3)에서의 플립플롭 회로(10)의 동작에 대하여 도 5를 사용하여 설명한다. 도 5는 기간(T3)에서의 플립플롭 회로(10)의 접속 상태를 나타내는 도면이다.
- <192> 기간(T3)에서는, 입력 단자(IN1)는 L 레벨인 채이고, 트랜지스터(11)는 오프이다. 입력 단자(IN4)는 H 레벨이 되어, 트랜지스터(17)를 온으로 한다. 그러면, 노드(N1)는 트랜지스터(17)를 통하여 제2 전원에 전기적으로 접속되어, 노드(N1)의 전위가 VSS가 된다.
- <193> 노드(N1)의 전위는 VSS가 되어, 트랜지스터(12) 및 트랜지스터(15)를 오프로 한다. 노드(N2)는 트랜지스터(16)를 통하여 제1 전원에 전기적으로 접속되어 있으므로, 노드(N2)의 전위가 상승하여 Vn22가 된다. 여기서, Vn22는 전원 전위(VDD)로부터 트랜지스터(16)의 스레시홀드 전압(Vth16)을 뺀 값(VDD-Vth16)이다. 또한, Vn22는 트랜지스터(18)를 온으로 할 수 있는 전위이다.
- <194> 노드(N2)의 전위가 Vn22가 되면, 트랜지스터(18)가 온으로 된다. 그리고, 입력 단자(IN3)는 H 레벨로 되어 있으므로, 노드(N3)는 트랜지스터(18)를 통하여 입력 단자(IN3)에 전기적으로 접속되고, 노드(N3)의 전위가 Vn31이 된다. 여기서, Vn31은 노드(N2)의 전위인 Vn22로부터 트랜지스터(18)의 스레시홀드 전압(Vth18)을 뺀 값(Vn22-Vth18)이다. 또한, Vn31은 전원 전위(VDD)로부터 트랜지스터(16)의 스레시홀드 전압(Vth16) 및 트랜지스터(18)의 스레시홀드 전압(Vth18)을 뺀 값(VDD-Vth16-Vth18)에 상당한다. 또한, Vn31은 트랜지스터(13) 및 트랜지스터(14)를 온으로 할 수 있는 전위이다.
- <195> 노드(N3)의 전위가 Vn31이 되면, 트랜지스터(13)가 온으로 된다. 그리고, 출력 단자(OUT)는 트랜지스터(13)를 통하여 제2 전원에 전기적으로 접속되어 있으므로, 출력 단자(OUT)의 전위가 VSS가 된다.
- <196> 이상의 동작에 의해, 기간(T3)에서는, 노드(N1)에 VSS가 공급되어, 트랜지스터(12) 및 트랜지스터(15)를 오프로 하고 있다. 또한, 노드(N3)를 H 레벨로 하여, 트랜지스터(13) 및 트랜지스터(14)를 온으로 하고 있다. 따라서, 출력 단자(OUT)의 전위를 VSS로 하여, 출력 단자(OUT)를 L 레벨로 하고 있다.
- <197> 다음에, 기간(T4)에서의 플립플롭 회로(10)의 동작에 대하여 도 6을 사용하여 설명한다. 도 6은 기간(T4)에서의 플립플롭 회로(10)의 접속 상태를 나타내는 도면이다.
- <198> 기간(T4)에서는, 입력 단자(IN3)는 L 레벨이 되고, 노드(N3)의 전위가 VSS가 된다. 따라서, 트랜지스터(13)와 트랜지스터(14)가 오프로 된다. 입력 단자(IN4)는 L 레벨이 되어, 트랜지스터(17)를 오프로 한다. 따라서, 노드(N1)는 플로팅 상태가 되고, 노드(N1)의 전위는 VSS로 유지된다.
- <199> 노드(N1)의 전위는 VSS인 채이므로, 트랜지스터(12)와 트랜지스터(15)는 계속 오프인 채이다. 따라서, 노드(N2)는 계속 Vn22인 채이고, 트랜지스터(18)가 계속 온인 채이다.
- <200> 트랜지스터(12) 및 트랜지스터(13)는 오프이기 때문에, 출력 단자(OUT)는 플로팅 상태가 된다. 따라서, 출력 단자(OUT)의 전위는 VSS로 유지된다.
- <201> 이상의 동작에 의해, 기간(T4)에서는, 출력 단자(OUT)의 전위가 VSS로 유지되어, 트랜지스터(13) 및 트랜지스터(14)를 오프로 할 수 있다. 이와 같이 트랜지스터(13) 및 트랜지스터(14)는 항상 온으로 되지 않기 때문에, 트랜지스터(13) 및 트랜지스터(14)의 특성 열화를 억제할 수 있다.
- <202> 기간(T1)~기간(T4)의 관계에 대하여 설명한다. 기간(T1)의 다음 기간은 기간(T2)이고, 기간(T2)의 다음 기간은 기간(T3)이고, 기간(T3)의 다음 기간은 기간(T4)이다. 여기서, 기간(T4)의 다음 기간은 기간(T1) 또는 기간

(T3)이다. 즉, 기간(T4)의 다음 기간은, 입력 단자(IN1)가 H 레벨이 되면 기간(T1)이 되고, 입력 단자(IN1)가 L 레벨인 채이면 기간(T3)이 된다. 또한, 기간(T3)이 기간(T4)의 다음 기간인 경우에는, 입력 단자(IN4)는 L 레벨인 채이고, 트랜지스터(17)는 계속 오프인 채이다.

<203> 여기서, 트랜지스터(11~18) 및 커패시터(19)의 기능에 대하여 이하에 설명한다.

<204> 트랜지스터(11)는, 입력 단자(IN1)에 공급되는 제어 신호에 따라, 제1 전원과 노드(N1)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 기간(T1)에서, 트랜지스터(11)는 노드(N1)에 전원 전위(VDD)를 공급하고, 노드(N1)의 전위가 Vn11이 되면 오프로 되는 기능을 가진다.

<205> 또한, 트랜지스터(11)는 입력 단자(IN1)에 공급되는 제어 신호에 따라 노드(N1)를 플로팅 상태(부유 상태)로 하는 기능을 가진다. 기간(T1) 및 기간(T2)에서, 트랜지스터(11)는 노드(N1)의 전위가 Vn11 이상이 되면 오프로 되는 기능을 가진다.

<206> 트랜지스터(12)는 노드(N1)의 전위에 따라, 입력 단자(IN2)와 출력 단자(OUT)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 기간(T1)에서, 트랜지스터(12)는 출력 단자(OUT)에 VSS를 공급하는 기능을 가진다. 기간(T2)에서, 트랜지스터(12)는 출력 단자(OUT)에 VDD를 공급하는 기능을 가진다.

<207> 트랜지스터(13)는 노드(N3)의 전위에 따라, 제2 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 기간(T3)에서, 트랜지스터(13)는 출력 단자(OUT)에 전원 전위(VSS)를 공급하는 기능을 가진다.

<208> 트랜지스터(14)는 노드(N3)의 전위에 따라, 제2 전원과 노드(N1)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 기간(T3)에서, 트랜지스터(14)는 노드(N1)에 전원 전위(VSS)를 공급하는 기능을 가진다.

<209> 트랜지스터(15)는 노드(N1)의 전위에 따라, 제2 전원과 노드(N2)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 기간(T1) 및 기간(T2)에서, 트랜지스터(15)는 노드(N2)에 전원 전위(VSS)를 공급하는 기능을 가진다.

<210> 트랜지스터(16)는, 입력 단자가 제1 전원에 접속되고 출력 단자가 노드(N2)에 접속된 다이오드로서의 기능을 가진다.

<211> 트랜지스터(17)는 입력 단자(IN4)에 공급되는 제어 신호에 따라, 제2 전원과 노드(N1)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 기간(T2) 후의 기간(T3)에서, 트랜지스터(17)는 노드(N1)에 전원 전위(VSS)를 공급하는 기능을 가진다.

<212> 트랜지스터(18)는 노드(N2)의 전위에 따라, 입력 단자(IN3)와 노드(N3)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 기간(T3)에서, 트랜지스터(18)는 노드(N3)에 VDD를 공급하는 기능을 가진다. 또한, 기간(T4)에서, 트랜지스터(18)는 노드(N3)에 VSS를 공급하는 기능을 가진다.

<213> 커패시터(19)는 출력 단자(OUT)의 전위에 따라 노드(N1)의 전위를 변화시키는 기능을 가진다. 기간(T2)에서, 커패시터(19)는 출력 단자(OUT)의 전위의 상승에 의해 노드(N1)의 전위를 상승시키는 기능을 가진다.

<214> 이와 같이, 도 1에 나타내는 플립플롭 회로(10)에서는, 트랜지스터(13) 및 트랜지스터(14)가 기간(T3)에서는 온으로 되고, 기간(T4)에서는 오프로 됨으로써, 트랜지스터(13) 및 트랜지스터(14)가 항상 온으로 되는 것을 피할 수 있다. 따라서, 트랜지스터(13) 및 트랜지스터(14)의 특성 열화가 억제될 수 있다. 따라서, 도 1에 나타내는 플립플롭 회로(10)에서는, 트랜지스터(13) 및 트랜지스터(14)의 특성 열화에 의한 오동작도 억제할 수 있다.

<215> 또한, 트랜지스터(13) 및 트랜지스터(14)가 온으로 된 때, 전원 전위(VSS)가 출력 단자(OUT) 및 노드(N1)에 공급된다. 따라서, 도 1에 나타내는 플립플롭 회로(10)에서는, 일정 시간 간격으로 출력 단자(OUT) 및 노드(N1)에 전원 전위(VSS)를 공급할 수 있어, 출력 단자(OUT) 및 노드(N1)의 전위의 변동을 줄일 수 있다.

<216> 또한, 도 1에 나타낸 플립플롭 회로(10)는 모두 n채널형 트랜지스터로 구성되어 있으므로, 반도체층으로서 아모르퍼스(amorphous) 실리콘을 사용할 수 있어, 제조 공정의 간략화를 도모할 수 있다. 따라서, 제조 비용의 삭감이나 제품 수율의 향상을 도모할 수 있다. 또한, 대형의 표시 패널을 작성하는 것도 가능하게 된다. 또한, 본 발명의 플립플롭 회로를 사용함으로써, 특성이 열화하기 쉬운 아모르퍼스 실리콘으로 된 트랜지스터를 사용하여도, 반도체장치의 수명을 길게 할 수 있다.

- <217> 또한, 기간(T1)~기간(T4)에서, 각각 도 3~도 6의 상태를 만족하도록 플립플롭 회로(10)에 트랜지스터 또는 스위치 등의 소자가 제공되어도 좋다.
- <218> 또한, 커패시터(19)는 게이트 배선총과 반도체총을 사용하여 형성되는 것이 바람직하다. 게이트 배선총과 반도체총은 게이트 절연막을 사이에 두고 적층된다. 게이트 절연막의 막 두께는 총간막 등의 다른 절연층보다 매우 얇기 때문에, 커패시터는, 게이트 절연막을 절연체로서 사용하면 소면적 및 대용량이 된다.
- <219> 또한, 트랜지스터(15)의 사이즈(W/L)는 트랜지스터(16)의 사이즈보다 큰 것이 바람직하다. 여기서, W는 트랜지스터의 채널 폭을 나타내고, L은 트랜지스터의 채널 길이를 나타낸다. 트랜지스터(15)가 온으로 되는 경우, 노드(N2)의 전위는 트랜지스터(15)와 트랜지스터(16)의 동작점에 의해 결정된다. 즉, 트랜지스터(15)의 사이즈가 트랜지스터(16)의 사이즈보다 충분히 크지 않으면, 노드(N2)의 전위가 높아져, 트랜지스터(18)가 오프로 될 수 없게 된다. 따라서, 트랜지스터(18)를 오프로 하기 위해, 트랜지스터(15)의 사이즈는 트랜지스터(16)의 사이즈 보다 충분히 크게 할 필요가 있다.
- <220> 또한, 트랜지스터(15)의 사이즈는 트랜지스터(16)의 사이즈의 4배 이상인 것이 바람직하고, 더 바람직하게는, 10배 이상이다. 전원 전압이 낮을 때는, 트랜지스터(15) 대 트랜지스터(16)의 사이즈 비는 4:1 정도이면 되지만, 전원 전압이 높게 되면, 그 사이즈 비는 10:1 정도일 필요가 있다.
- <221> 여기서, 레벨 시프트 회로 등이 플립플롭 회로(10)의 출력 단자(OUT)에 접속되어 있는 경우는, 트랜지스터(15) 대 트랜지스터(16)의 사이즈 비는 4:1 이상이 바람직하다. 왜냐하면, 플립플롭 회로(10)의 출력 신호의 진폭 전압이 레벨 시프트 회로 등에 의해 증가하여, 플립플롭 회로(10)가 낮은 전원 전압에서 동작하는 경우가 많기 때문이다.
- <222> 또는, 레벨 시프트 회로 등이 플립플롭 회로(10)의 출력 단자(OUT)에 접속되어 있지 않은 경우는, 트랜지스터(15) 대 트랜지스터(16)의 사이즈 비는 10:1 이상이 바람직하다. 왜냐하면, 플립플롭 회로(10)의 출력 신호가 레벨 시프트하지 않고 어떠한 동작에 적용되어, 플립플롭 회로(10)가 높은 전원 전압에서 동작하는 경우가 많기 때문이다.
- <223> 또한, 전원 전위 및 제어 신호의 전위 각각은, 대상으로 하는 트랜지스터의 온/오프를 제어할 수 있다면, 어떠한 전위이어도 좋다.
- <224> 예를 들어, 전원 전위(VDD)는 제어 신호의 H 레벨 전위보다 높아도 좋다. 왜냐하면, 노드(N3)의 전위가 Vn31(VDD-Vth16-Vth18)이어서, 전원 전위(VDD)가 높아지면 노드(N3)의 전위(Vn31)도 높아지기 때문이다. 따라서, 트랜지스터(13) 및 트랜지스터(14)의 스레시홀드 전압이 트랜지스터(13) 및 트랜지스터(14)의 특성 열화에 때문에 높아지더라도, 트랜지스터(13) 및 트랜지스터(14)는 확실히 온으로 될 수 있다.
- <225> 또한, 전원 전위(VDD)는, 각 트랜지스터의 온/오프를 제어할 수 있다면, 제어 신호의 H 레벨 전위보다 낮아도 좋다.
- <226> 또한, 커패시터(19)는, 트랜지스터(12)의 게이트 단자와 제2 단자와의 사이의 게이트 용량(기생 용량)이 충분히 크다면, 반드시 필요하지는 않다.
- <227> 예를 들어, 도 7의 플립플롭 회로(70)에서와 같이, 커패시터(19)를 접속하지 않아도 좋다. 따라서, 플립플롭 회로(70)의 소자수가 플립플롭 회로(10)의 소자수보다 하나 적게 되므로, 플립플롭 회로(70)에서는 각 소자를 고밀도로 배치할 수 있다.
- <228> 또한, 다른 예로서, 도 10의 플립플롭 회로(100)에서와 같이, 트랜지스터(101)를 사용하여 커패시터를 형성하여도 좋다. 왜냐하면, 트랜지스터(101)가 온일 때, 트랜지스터(101)의 게이트 용량이 커패시터로서 충분히 기능하기 때문이다.
- <229> 또한, 기간(T1) 및 기간(T2)(부트스트랩 동작시)에서, 트랜지스터(101)는 온이기 때문에, 채널 영역이 트랜지스터(101)에 형성되어, 트랜지스터(101)가 커패시터로서 기능한다. 한편, 기간(T3) 및 기간(T4)(부트스트랩 동작을 하고 있지 않을 때)에서, 트랜지스터(101)는 오프이기 때문에, 채널 영역이 트랜지스터(101)에 형성되지 않으므로, 트랜지스터(101)는 커패시터로서 기능하지 않거나, 작은 커패시터로서 기능한다.
- <230> 여기서, 앞에서 설명한 도 10의 플립플롭 회로(100)에서와 같이 트랜지스터(101)를 사용하여 커패시터를 형성함으로써, 트랜지스터(101)는 필요할 때(기간(T1) 및 기간(T2))만 커패시터로서 기능하고, 불필요한 때(기간(T3) 및 기간(T4))에는 커패시터로서 기능하지 않으므로, 플립플롭 회로(100)는 노드(N1) 및 출력 단자(OUT)의 전위

의 변화에 기인하여 오동작하기 어려워진다.

<231> 또한, 트랜지스터(101)는 트랜지스터(12)와 같은 극성을 가진다.

<232> 또한, 트랜지스터(11)의 제1 단자는, 노드(N1)를 플로팅 상태로 할 수 있다면, 기간(T1) 및 기간(T2)에서 어디에 접속되어도 좋다.

<233> 예를 들어, 도 8의 플립플롭 회로(80)에서와 같이, 트랜지스터(11)의 제1 단자는 입력 단자(IN1)에 접속되어도 좋다. 왜냐하면, 트랜지스터(11)의 제1 단자가 입력 단자(IN1)에 접속되어도, 기간(T1) 및 기간(T2)에서 노드(N1)를 플로팅 상태로 할 수 있기 때문이다.

<234> 또한, 도 1의 플립플롭 회로(10)에서, 입력 단자(IN1)의 전위가 변화하면, 트랜지스터(11)의 제1 단자와 게이트 단자와의 사이의 기생 용량에 의해 제1 전원에 노이즈가 발생한다. 또한, 트랜지스터(11)의 온/오프에 의해 제1 전원으로부터 노드(N1)에 전류가 공급되면, 그 전류에 기인한 전압 강하에 의해 제1 전원에 노이즈가 발생한다. 그러한 노이즈는 입력 단자(IN1)의 전위의 변화에 의해 발생한다.

<235> 여기서, 앞에서 설명한 도 8의 플립플롭 회로(80)와 같이 접속함으로써, 앞에서 설명한 노이즈를 억제할 수 있다. 또한, 제1 전원에서의 노이즈가 억제됨으로써, 제1 전원을 사용하는 다른 회로가 안정적으로 동작할 수 있다.

<236> 또한, 제1 전원을 사용하는 다른 회로란, 플립플롭 회로(80)의 출력 단자(OUT)에 접속되는 인버터 회로, 레벨 시프트 회로, 래치 회로, 또는 PWC 회로 등에 상당한다.

<237> 또한, 트랜지스터(16)는, 트랜지스터(15)와 함께 인버터 회로를 구성할 수 있다면 어떠한 소자라도 사용할 수 있다. 트랜지스터(16)는 반드시 정류성을 가질 필요는 없고, 전류가 흐르 전압이 발생하는 소자라면 어떠한 소자라도 사용할 수 있다.

<238> 예를 들어, 도 9의 플립플롭 회로(90)에서와 같이, 트랜지스터(16) 대신에 저항 소자(레지스터)(91)를 접속하여도 좋다. 왜냐하면, 트랜지스터(16) 대신에 저항 소자(91)를 접속하여도, 저항 소자(91)와 트랜지스터(15)를 사용하여 인버터 회로를 구성할 수 있기 때문이다.

<239> 또한, 트랜지스터(15)가 오프일 때, 노드(N2)의 전위는 제1 전원의 전위와 같은 전위인 VDD가 된다. 또한, 이 때의 노드(N3)의 전위는 전원 전위(VDD)로부터 트랜지스터(18)의 스레시홀드 전압(Vth18)을 뺀 값(VDD-Vth18)이 된다.

<240> 여기서, 앞에서 설명한 도 9의 플립플롭 회로(90)에서와 같이 트랜지스터(16) 대신에 저항 소자(91)를 사용함으로써, 각 트랜지스터의 스레시홀드 전압이 특성 열화에 의해 높아지더라도, 노드(N2)의 전위는 VDD가 되고, 노드(N3)의 전위는 트랜지스터(18)의 스레시홀드 전압(Vth18)만큼 VDD보다 낮아질 뿐이므로, 트랜지스터(13) 및 트랜지스터(14)가 쉽게 온으로 될 수 있다.

<241> 또한, 입력 단자(IN1), 입력 단자(IN2), 입력 단자(IN3), 및 입력 단자(IN4) 각각에 제어 신호가 공급되지만, 본 발명이 반드시 이것에 한정되는 것은 아니다.

<242> 예를 들어, 입력 단자(IN1), 입력 단자(IN2), 입력 단자(IN3), 및 입력 단자(IN4) 각각에 전원 전위(VDD)가 공급되어도 좋고, 전원 전위(VSS)가 공급되어도 좋고, 또는 다른 전위가 공급되어도 좋다.

<243> 또한, 트랜지스터(11)의 제1 단자 및 트랜지스터(16)의 제1 단자는 제1 전원에 접속되어 있지만, 본 발명이 반드시 이것에 한정되는 것은 아니다.

<244> 예를 들어, 트랜지스터(11)의 제1 단자 및 트랜지스터(16)의 제1 단자는 각기 다른 전원에 접속되어도 좋다. 이때, 트랜지스터(16)의 제1 단자에 접속되는 전원의 전위는 트랜지스터(11)의 제1 단자에 접속되는 전원의 전위보다 높은 것이 바람직하다.

<245> 다른 예로서, 트랜지스터(11)의 제1 단자 및 트랜지스터(16)의 제1 단자 각각에 제어 신호가 공급되어도 좋다.

<246> 또한, 트랜지스터(13)의 제1 단자, 트랜지스터(14)의 제1 단자, 및 트랜지스터(17)의 제1 단자는 제2 전원에 접속되어 있지만, 본 발명이 반드시 이것에 한정되는 것은 아니다.

<247> 예를 들어, 트랜지스터(13)의 제1 단자, 트랜지스터(14)의 제1 단자, 및 트랜지스터(17)의 제1 단자는 각기 다른 전원에 접속되어도 좋다.

- <248> 다른 예로서, 트랜지스터(13)의 제1 단자, 트랜지스터(14)의 제1 단자, 및 트랜지스터(17)의 제1 단자 각각에 제어 신호가 공급되어도 좋다.
- <249> 도 1에서 나타낸 플립플롭 회로(10)는 모두 n채널형 트랜지스터를 사용하여 구성하고 있지만, 모두 p채널형 트랜지스터를 사용하여 구성하여도 좋다. 여기서, 모두 p채널형 트랜지스터를 사용하여 구성한 경우의 플립플롭 회로를 도 11에 나타낸다.
- <250> 도 11은, 본 발명의 시프트 레지스터 회로에 포함되는 플립플롭 회로(110)의 일 형태를 나타낸다. 본 발명의 시프트 레지스터 회로는 플립플롭 회로(110)를 다수 단 가지고 있다. 도 11에 나타내는 플립플롭 회로(110)는 트랜지스터(111), 트랜지스터(112), 트랜지스터(113), 트랜지스터(114), 트랜지스터(115), 트랜지스터(116), 트랜지스터(117), 트랜지스터(118), 및 2개의 전극을 가지는 커패시터(119)를 포함하고 있다. 그러나, 커패시터(119)는, 트랜지스터(112)의 게이트 용량으로 커패시터(119)를 대용할 수 있는 경우에는 반드시 필요한 것은 아니다.
- <251> 플립플롭 회로(110)에 나타내는 바와 같이, 트랜지스터(111)의 게이트 단자가 입력 단자(IN1)에 접속되고, 트랜지스터(111)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(111)의 제2 단자가 트랜지스터(112)의 게이트 단자, 트랜지스터(114)의 제2 단자, 트랜지스터(115)의 게이트 단자, 트랜지스터(117)의 제2 단자, 및 커패시터(119)의 제2 전극에 접속되어 있다. 트랜지스터(115)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(115)의 제2 단자가 트랜지스터(116)의 제2 단자 및 트랜지스터(118)의 게이트 단자에 접속되어 있다. 트랜지스터(116)의 게이트 단자 및 제1 단자가 제1 전원에 접속되어 있다. 트랜지스터(118)의 제1 단자가 입력 단자(IN3)에 접속되고, 트랜지스터(118)의 제2 단자가 트랜지스터(113)의 게이트 단자 및 트랜지스터(114)의 게이트 단자에 접속되어 있다. 트랜지스터(113)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(113)의 제2 단자가 커패시터(119)의 제1 전극, 트랜지스터(112)의 제2 단자, 및 출력 단자(OUT)에 접속되어 있다. 트랜지스터(112)의 제1 단자가 입력 단자(IN2)에 접속되어 있다. 트랜지스터(114)의 제1 단자가 제2 전원에 접속되어 있다. 트랜지스터(117)의 게이트 단자가 입력 단자(IN4)에 접속되고, 트랜지스터(117)의 제1 단자가 제2 전원에 접속되어 있다.
- <252> 또한, 플립플롭 회로(110)에서는, 트랜지스터(111)의 제2 단자, 트랜지스터(112)의 게이트 단자, 트랜지스터(114)의 제2 단자, 트랜지스터(115)의 게이트 단자, 트랜지스터(117)의 제2 단자, 및 커패시터(119)의 제2 전극의 노드를 N1로 나타낸다. 트랜지스터(115)의 제2 단자, 트랜지스터(116)의 제2 단자, 및 트랜지스터(118)의 게이트 단자의 노드를 N2로 나타낸다. 트랜지스터(113)의 게이트 단자, 트랜지스터(114)의 게이트 단자, 및 트랜지스터(118)의 제2 단자의 노드를 N3으로 나타낸다.
- <253> 또한, 제1 전원에는 전원 전위(VSS)가 공급되고, 제2 전원에는 전원 전위(VDD)가 공급된다. 제1 전원의 전원 전위(VSS)와 제2 전원의 전원 전위(VDD)와의 전위차(VDD-VSS)가, 플립플롭 회로(110)의 전원 전압에 상당한다. 또한, 전원 전위(VDD)는 전원 전위(VSS)보다 높은 전위이다.
- <254> 또한, 입력 단자(IN1~IN4) 각각에는 제어 신호가 공급된다. 또한, 출력 단자(OUT)는 출력 신호를 출력한다. 입력 단자(IN1)에는 전단의 플립플롭 회로(110)의 출력 신호가 제어 신호로서 공급되고, 입력 단자(IN4)에는 다음 단의 플립플롭 회로(110)의 출력 신호가 제어 신호로서 공급된다.
- <255> 또한, 트랜지스터(111~118) 각각은 p채널형 트랜지스터이다. 그러나, 트랜지스터(111~118) 각각이 n채널형 트랜지스터이어도 좋다.
- <256> 다음에, 도 12에 나타낸 타이밍 차트를 사용하여, 도 11에 나타낸 플립플롭 회로(110)의 동작에 대하여 설명한다. 도 12는, 도 11에 나타낸 입력 단자(IN1~IN4) 각각에 공급되는 제어 신호와, 출력 단자(OUT)로부터 출력되는 출력 신호와, 노드(N1~N3)의 전위의 타이밍 차트를 나타내고 있다. 또한, 제어 신호 및 출력 신호의 타이밍에 대해서는, H 레벨 및 L 레벨이, 플립플롭 회로가 모두 n채널형 트랜지스터로 구성되는 경우(도 1)의 것으로부터 반전되어 있다. 또한, 도 12에 나타낸 타이밍 차트는 편의상, 기간(T1)~기간(T4)으로 나누어져 있다.
- <257> 또한, 기간(T4) 이후의 기간에서는, 기간(T3)과 기간(T4)이 순차로 반복하고 있다. 또한, 도 12에서, 기간(T1)을 선택 준비 기간이라고 정의하고, 기간(T2)을 선택 기간이라고 정의하고, 기간(T3) 및 기간(T4)을 비선택 기간이라고 정의한다. 즉, 하나의 선택 준비 기간과, 하나의 선택 기간과, 다수의 비선택 기간을 순차로 반복하고 있다.

- <258> 또한, 도 12에 나타낸 타이밍 차트에서는, 제어 신호와 출력 신호 각각이 2개 값을 가진 디지털 신호이다. 디지털 신호의 2개 값 중 하나는, 그 디지털 신호가 H 신호일 때 제2 전원의 전원 전위와 같은 전위인 VDD(이하, 전위(VDD) 또는 H 레벨이라고도 한다)이고, 디지털 신호의 2개 값 중 다른 하나는, 그 디지털 신호가 L 신호일 때 제1 전원의 전원 전위와 같은 전위인 VSS(이하, 전위(VSS) 또는 L 레벨이라고도 한다)이다.
- <259> 다음에, 플립플롭 회로(110)의 각 기간마다의 동작에 대하여 설명한다.
- <260> 먼저, 기간(T1)에서의 플립플롭 회로(110)의 동작에 대하여 설명한다.
- <261> 기간(T1)에서는, 입력 단자(IN1)는 L 레벨이 되어 트랜지스터(111)를 온으로 하고, 입력 단자(IN4)는 H 레벨이 되어 트랜지스터(117)를 오프로 한다. 노드(N3)는 후에 설명하는 기간(T3)에서 얻은 VDD로 유지되기 때문에, 트랜지스터(114)는 오프로 된다. 노드(N1)는 트랜지스터(111)를 통하여 제1 전원에 전기적으로 접속되고, 노드(N1)의 전위가 낮아져 Vn11이 된다. 노드(N1)가 Vn11이 되면, 트랜지스터(111)가 오프로 된다. 여기서, Vn11은 전원 전위(VSS)와 트랜지스터(111)의 스레시홀드 전압(Vth111)의 절대값과의 합이 되는 값(VSS+ | Vth111 | )이다. 또한, Vn11은 트랜지스터(112) 및 트랜지스터(115)를 온으로 할 수 있는 전위이다.
- <262> 노드(N1)의 전위가 Vn11이 되면, 트랜지스터(111)가 오프로 되고, 트랜지스터(112) 및 트랜지스터(115)가 온으로 된다. 노드(N2)는 트랜지스터(115)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(116)를 통하여 제1 전원에 전기적으로 접속되고, 노드(N2)의 전위가 Vn21이 된다. 여기서, Vn21은 트랜지스터(116)와 트랜지스터(115)의 동작점에 의해 결정된다. 또한, 트랜지스터(115)와 트랜지스터(116)는 그 2개의 트랜지스터를 사용한 인버터를 구성한다. 따라서, 트랜지스터(115)의 게이트 단자(노드(N1))에 L 레벨 신호가 입력된 때, 노드(N2)에는 H 레벨 신호가 입력된다. 여기서, Vn21은 트랜지스터(118)를 오프로 할 수 있는 전위이다. 따라서, 입력 단자(IN3)가 L 레벨이어도 트랜지스터(118)는 오프이기 때문에, 노드(N3)는 VDD로 유지될 수 있다. 입력 단자(IN2)는 H 레벨이 되고, 출력 단자(OUT)는 트랜지스터(112)를 통하여 입력 단자(IN2)에 전기적으로 접속되어 있으므로, 출력 단자(OUT)의 전위는 VDD가 된다.
- <263> 노드(N2)의 전위는 Vn21이 되고, 트랜지스터(118)가 오프이기 때문에, 노드(N3)는 VDD로 유지되고, 트랜지스터(113) 및 트랜지스터(114)가 오프로 된다.
- <264> 이상의 동작에 의해, 기간(T1)에서는, 트랜지스터(112)가 온이고, 출력 단자(OUT)는 H 레벨로 하고 있다. 또한, 트랜지스터(111)가 오프이므로, 노드(N1)는 플로팅 상태로 하고 있다.
- <265> 다음에, 기간(T2)에서의 플립플롭 회로(110)의 동작에 대하여 설명한다.
- <266> 기간(T2)에서는, 입력 단자(IN1)는 H 레벨이 되고, 트랜지스터(111)는 오프이다. 입력 단자(IN4)는 H 레벨인 채이고, 트랜지스터(117)는 오프이다. 따라서, 노드(N1)는 기간(T1)에서부터 계속 플로팅 상태가 되어, 기간(T1)에서의 전위(Vn11)을 유지한다.
- <267> 노드(N1)의 전위는 Vn11로 유지되고 있기 때문에, 트랜지스터(112)는 온이다. 그리고, 입력 단자(IN2)는 H 레벨이 된다. 그러면, 출력 단자(OUT)는 트랜지스터(112)를 통하여 입력 단자(IN2)에 전기적으로 접속되기 때문에, 출력 단자(OUT)의 전위가 VDD로부터 감소한다. 노드(N1)의 전위는 커패시터(119)의 용량 결합에 의해 Vn12로 변화하여, 트랜지스터(112)의 온 상태를 계속 유지한다. 소위 부트스트랩 동작이 행해진다. 그 결과, 출력 단자(OUT)의 전위는 입력 단자(IN2)의 전위인 VSS와 동일한 전위까지 감소한다. 또한, Vn12는, 전위(VSS)로부터 트랜지스터(112)의 스레시홀드 전압(Vth112)의 절대값을 뺀 값(VSS- | Vth112 | ) 이하인 값이다. 입력 단자(IN2)는 L 레벨로 되어 있고, 출력 단자(OUT)는 트랜지스터(112)를 통하여 입력 단자(IN2)에 전기적으로 접속되어 있으므로, 출력 단자(OUT)의 전위는 VSS가 된다.
- <268> 노드(N1)의 전위가 Vn12가 되어도, 트랜지스터(115)는 계속 온 상태에 있다. 따라서, 노드(N2)의 전위 및 노드(N3)의 전위는 기간(T1)에서와 동일한 전위가 된다.
- <269> 이상의 동작에 의해, 기간(T2)에서는, 부트스트랩 동작에 의해, 플로팅 상태의 노드(N1)의 전위를 낮춤으로써, 출력 단자(OUT)를 VSS로 하고 있다.
- <270> 다음에, 기간(T3)에서의 플립플롭 회로(110)의 동작에 대하여 설명한다.
- <271> 기간(T3)에서는, 입력 단자(IN1)는 H 레벨인 채이고, 트랜지스터(111)는 오프이다. 입력 단자(IN4)는 L 레벨이 되어 트랜지스터(117)를 온으로 한다. 그러면, 노드(N1)는 트랜지스터(117)를 통하여 제2 전원에 전기적으로 접속되어, 노드(N1)의 전위가 VDD가 된다.

- <272> 노드(N1)의 전위는 VDD가 되어, 트랜지스터(112) 및 트랜지스터(115)를 오프로 한다. 노드(N2)는 트랜지스터(116)를 통하여 제1 전원에 전기적으로 접속되어 있으므로, 노드(N2)의 전위가 감소하여 Vn22가 된다. 여기서, Vn22는, 전원 전위(VSS)와 트랜지스터(116)의 스레시홀드 전압(Vth116)의 절대값과의 합이 되는 값(VSS + |Vth116|)이다. 또한, Vn22는 트랜지스터(118)를 온으로 할 수 있는 전위이다.
- <273> 노드(N2)의 전위가 Vn22가 되면, 트랜지스터(118)가 온으로 된다. 그리고, 입력 단자(IN3)는 L 레벨로 되어 있으므로, 노드(N3)는 트랜지스터(118)를 통하여 입력 단자(IN3)에 전기적으로 접속되고, 노드(N3)의 전위가 Vn31이 된다. 여기서, Vn31은, 노드(N2)의 전위인 Vn22와 트랜지스터(118)의 스레시홀드 전압(Vth118)의 절대값과의 합이 되는 값(Vn22 + |Vth118|)이 된다. 또한, Vn31은, 전원 전위(VSS)와 트랜지스터(116)의 스레시홀드 전압(Vth116)의 절대값 및 트랜지스터(118)의 스레시홀드 전압(Vth118)의 절대값과의 합이 되는 값(VSS + |Vth116| + |Vth118|)에 상당한다. 또한, Vn31은 트랜지스터(113) 및 트랜지스터(114)를 온으로 할 수 있는 전압이다.
- <274> 노드(N3)의 전위가 Vn31이 되면, 트랜지스터(113)가 온으로 된다. 그리고, 출력 단자(OUT)는 트랜지스터(113)를 통하여 제2 전원에 전기적으로 접속되어 있으므로, 출력 단자(OUT)의 전위가 VDD가 된다.
- <275> 이상의 동작에 의해, 기간(T3)에서는, 노드(N1)에 VDD가 공급되어 트랜지스터(112) 및 트랜지스터(115)를 오프로 한다. 또한, 노드(N3)가 L 레벨로 되어 트랜지스터(113) 및 트랜지스터(114)를 온으로 한다. 따라서, 출력 단자(OUT)의 전위가 VDD로 되어, 출력 단자(OUT)가 H 레벨을 가진다.
- <276> 다음에, 기간(T4)에서의 플립플롭 회로(110)의 동작에 대하여 설명한다.
- <277> 기간(T4)에서는, 입력 단자(IN3)는 H 레벨이 되고, 노드(N3)의 전위가 VDD가 된다. 따라서, 트랜지스터(113)와 트랜지스터(114)가 오프로 된다. 입력 단자(IN4)는 H 레벨이 되어 트랜지스터(117)를 오프로 한다. 따라서, 노드(N1)는 플로팅 상태가 되고, 노드(N1)의 전위는 VDD로 유지된다.
- <278> 노드(N1)의 전위는 VDD인 채이므로, 트랜지스터(112)와 트랜지스터(115)는 계속 오프인 채이다. 따라서, 노드(N2)는 Vn22인 채이고, 트랜지스터(118)는 계속 오프인 채이다.
- <279> 트랜지스터(112) 및 트랜지스터(113)는 오프이기 때문에, 출력 단자(OUT)는 플로팅 상태가 된다. 따라서, 출력 단자(OUT)의 전위는 VDD로 유지된다.
- <280> 이상의 동작에 의해, 기간(T4)에서는, 출력 단자(OUT)의 전위가 VDD로 유지되어 트랜지스터(113) 및 트랜지스터(114)를 오프로할 수 있다. 이와 같이 트랜지스터(113) 및 트랜지스터(114)는 항상 온이 되지 않기 때문에, 트랜지스터(113) 및 트랜지스터(114)의 특성 열화를 억제할 수 있다.
- <281> 기간(T1)~기간(T4)의 관계에 대하여 설명한다. 기간(T1)의 다음 기간은 기간(T2)이고, 기간(T2)의 다음 기간은 기간(T3)이고, 기간(T3)의 다음 기간은 기간(T4)이다. 여기서, 기간(T4)의 다음 기간은 기간(T1) 또는 기간(T3)이다. 즉, 기간(T4)의 다음 기간은, 입력 단자(IN1)가 L 레벨이 되면 기간(T1)이 되고, 입력 단자(IN1)가 H 레벨인 채이면 기간(T3)이 된다. 또한, 기간(T3)이 기간(T4)의 다음 기간인 경우는, 입력 단자(IN4)는 H 레벨인 채이고, 트랜지스터(117)는 오프인 채이다.
- <282> 여기서, 트랜지스터(111)~트랜지스터(118), 및 커패시터(119)는 각각 도 1에 나타낸 트랜지스터(11)~트랜지스터(18), 및 커패시터(19)와 같은 기능을 가진다.
- <283> 이와 같이, 도 11에 나타내는 플립플롭 회로(110)에서는, 트랜지스터(113), 및 트랜지스터(114)가 기간(T3)에서 온으로 되고, 기간(T4)에서 오프로 됨으로써, 트랜지스터(113) 및 트랜지스터(114)가 항상 온이 되는 것을 피할 수 있다. 따라서, 트랜지스터(113) 및 트랜지스터(114)의 특성 열화가 억제될 수 있다. 따라서, 도 11에 나타내는 플립플롭 회로(110)에서는, 트랜지스터(113) 및 트랜지스터(114)의 특성 열화에 기인한 오동작도 억제할 수 있다.
- <284> 또한, 트랜지스터(113) 및 트랜지스터(114)가 온으로 되면, 전원 전위(VDD)가 출력 단자(OUT) 및 노드(N1)에 공급된다. 따라서, 도 11에 나타내는 플립플롭 회로(110)에서는, 일정 시간 간격으로 출력 단자(OUT) 및 노드(N1)에 전원 전위(VDD)를 공급할 수 있어, 출력 단자(OUT) 및 노드(N1)의 전위의 변동을 줄일 수 있다.
- <285> 또한, 도 11에 나타낸 플립플롭 회로(110)에서는, 반도체층에 폴리실리콘을 사용할 수 있어, 제조 공정의 간략화를 도모할 수 있다. 따라서, 제조 비용의 삭감 및 제품 수율의 향상을 도모할 수 있다. 또한, 폴리실리콘의 특성은 열화하기 어렵기 때문에, 반도체층에 아모르퍼스 실리콘을 사용한 경우보다, 반도체장치의 수명을 길게

할 수 있다. 또한, 본 발명의 플립플롭 회로를 사용함으로써, 반도체장치의 수명을 더욱 길게 할 수 있다. 또한, 폴리실리콘을 사용한 트랜지스터의 이동도가 높기 때문에, 플립플롭 회로(110)는 고속동작이 가능하게 된다.

<286> 또한, 커패시터(119)는 게이트 배선층과 반도체층을 사용하여 형성되는 것이 바람직하다. 게이트 배선층과 반도체층은 게이트 절연막을 사이에 두고 적층되어 있다. 게이트 절연막의 막 두께는 층간막 등의 다른 절연층보다 매우 얇기 때문에, 커패시터는 게이트 절연막을 절연체로서 사용하면 소면적 및 대용량이 된다.

<287> 또한, 트랜지스터(115)의 사이즈( $W/L$ )는 트랜지스터(116)의 사이즈보다 큰 것이 바람직하다. 여기서,  $W$ 는 트랜지스터의 채널 폭을 나타내고,  $L$ 은 트랜지스터의 채널 길이를 나타낸다. 트랜지스터(115)가 온일 때, 노드(N2)의 전위는 트랜지스터(115)와 트랜지스터(116)의 동작점에 의해 결정된다. 즉, 트랜지스터(115)의 사이즈가 트랜지스터(116)의 사이즈보다 충분히 크지 않으면, 노드(N2)의 전위가 높아져, 트랜지스터(118)가 오프로 될 수 없게 된다. 따라서, 트랜지스터(118)를 오프로 하기 위해, 트랜지스터(115)의 사이즈는 트랜지스터(116)의 사이즈보다 충분히 크게 할 필요가 있다.

<288> 또한, 트랜지스터(115)의 사이즈는 트랜지스터(116)의 사이즈의 4배 이상인 것이 바람직하고, 더 바람직하게는 10배 이상이다. 전원 전압이 낮을 때는, 트랜지스터(115) 대 트랜지스터(116)의 사이즈 비는 4:1 정도이면 좋지만, 전원 전압이 높아지면, 트랜지스터(115) 대 트랜지스터(116)의 사이즈 비는 10:1 정도일 필요가 있다.

<289> 여기서, 레벨 시프트 회로 등이 플립플롭 회로(110)의 출력 단자(OUT)에 접속되어 있는 경우는, 트랜지스터(115) 대 트랜지스터(116)의 사이즈 비는 4:1 이상이 바람직하다. 왜냐하면, 플립플롭 회로(110)의 출력 신호의 진폭 전압이 레벨 시프트 회로 등에 의해 증가하여, 플립플롭 회로(110)가 낮은 전원 전압에서 동작하는 경우가 많기 때문이다.

<290> 또는, 레벨 시프트 회로 등이 플립플롭 회로(110)의 출력 단자(OUT)에 접속되어 있지 않는 경우는, 트랜지스터(115) 대 트랜지스터(116)의 사이즈 비는 10:1 이상이 바람직하다. 왜냐하면, 플립플롭 회로(110)의 출력 신호는 레벨 시프트하지 않고 어떠한 동작에 적용되어, 플립플롭 회로(110)가 높은 전원 전압에서 동작하는 경우가 많기 때문이다.

<291> 또한, 전원 전위 및 제어 신호의 전위 각각은, 대상으로 하는 트랜지스터의 온/오프를 제어할 수 있다면, 어떠한 전위이어도 좋다.

<292> 예를 들어, 전원 전위(VSS)는 제어 신호의 L 레벨 전위보다 낮은 전위이어도 좋다. 왜냐하면, 노드(N3)의 전위는  $V_{n31}(VSS + | V_{th16} | + | V_{th18} |)$ 이어서, 전원 전위(VSS)가 낮아지면, 노드(N3)의 전위( $V_{n31}$ )도 낮아지기 때문이다. 따라서, 트랜지스터(113) 및 트랜지스터(114)의 스레시홀드 전압이 트랜지스터(113) 및 트랜지스터(114)의 특성 열화에 기인하여 낮아져도, 트랜지스터(113) 및 트랜지스터(114)는 확실하게 온으로 될 수 있다.

<293> 또한, 전원 전위(VSS)는, 각 트랜지스터의 온/오프를 제어할 수 있다면, 제어 신호의 L 레벨 전위보다 높은 전위이어도 좋다.

<294> 또한, 커패시터(119)는, 트랜지스터(112)의 게이트 단자와 제2 단자 사이의 게이트 용량(기생 용량)이 충분히 크다면, 반드시 필요하지는 않다.

<295> 예를 들어, 도 13의 플립플롭 회로(130)에서와 같이, 커패시터(119)를 접속하지 않아도 좋다. 따라서, 플립플롭 회로(130)의 소자수가 플립플롭 회로(110)의 소자수보다 하나 적게 되므로, 플립플롭 회로(130)에서는 각 소자를 고밀도로 배치할 수 있다.

<296> 또한, 다른 예로서, 도 16의 플립플롭 회로(160)에서와 같이, 트랜지스터(161)를 사용하여 커패시터를 형성하여도 좋다. 왜냐하면, 트랜지스터(161)가 온일 때, 트랜지스터(161)의 게이트 용량이 커패시터로서 충분히 기능하기 때문이다.

<297> 또한, 기간(T1) 및 기간(T2)(부트스트랩 동작시)에서는 트랜지스터(161)가 온이기 때문에, 채널 영역이 트랜지스터(161)에 형성되어, 트랜지스터(161)가 커패시터로서 기능한다. 한편, 기간(T3) 및 기간(T4)(부트스트랩 동작을 하고 있지 않을 때)에서는 트랜지스터(161)가 오프이기 때문에, 채널 영역이 트랜지스터(101)에 형성되지 않아서, 트랜지스터(161)는 커패시터로서 기능하지 않거나, 작은 커패시터로서 기능한다.

<298> 여기서, 앞에서 설명한 도 16의 플립플롭 회로(160)에서와 같이, 트랜지스터(161)를 사용하여 커패시터를 형성함으로써, 트랜지스터(161)는 필요할 때(기간(T1) 및 기간(T2))만 커패시터로서 기능하고, 불필요할 때(기간

(T3) 및 기간(T4))에는 커패시터로서 기능하지 않으므로, 플립플롭 회로(160)는 노드(N1) 및 출력 단자(OUT)의 전위의 변화에 기인하여 오동작하기가 어렵게 된다.

<299> 또한, 트랜지스터(161)는 트랜지스터(112)와 같은 극성을 가진다.

<300> 또한, 트랜지스터(111)의 제1 단자는 기간(T1) 및 기간(T2)에서, 노드(N1)를 플로팅 상태로 할 수 있다면, 어디에 접속되어도 좋다.

<301> 예를 들어, 도 14의 플립플롭 회로(140)에서와 같이, 트랜지스터(111)의 제1 단자는 입력 단자(IN1)에 접속되어도 좋다. 왜냐하면, 트랜지스터(111)의 제1 단자가 입력 단자(IN1)에 접속되어도, 기간(T1) 및 기간(T2)에서 노드(N1)를 플로팅 상태로 할 수 있기 때문이다.

<302> 또한, 도 11의 플립플롭 회로(110)에서, 입력 단자(IN1)의 전위가 변화하면, 트랜지스터(111)의 제1 단자와 게이트 단자와의 사이의 기생 용량에 의해 제1 전원에 노이즈가 발생한다. 또한, 트랜지스터(111)의 온/오프에 의해 제1 전원으로부터 노드(N1)에 전류가 공급되면, 그 전류에 기인한 전압 강하에 의해 제1 전원에 노이즈가 발생한다. 그러한 노이즈는 입력 단자(IN1)의 전위의 변화에 의해 발생한다.

<303> 여기서, 앞에서 설명한 도 14의 플립플롭 회로(140)에서와 같이 접속함으로써, 앞에서 설명한 노이즈를 억제할 수 있다. 또한, 제1 전원의 노이즈가 억제됨으로써, 제1 전원을 사용하는 다른 회로가 안정적으로 동작할 수 있다.

<304> 또한, 제1 전원을 사용하는 다른 회로란, 플립플롭 회로(140)의 출력 단자(OUT)에 접속되는 인버터 회로, 레벨 시프트 회로, 래치 회로, 또는 PWC 회로 등에 상당한다.

<305> 또한, 트랜지스터(116)는 트랜지스터(115)와 함께 인버터 회로를 구성할 수 있다면 어떠한 소자라도 사용할 수 있다. 트랜지스터(116)는 반드시 정류성을 가질 필요는 없고, 전류가 흐르면 전압이 발생하는 소자라면 어떠한 소자라도 사용할 수 있다.

<306> 예를 들어, 도 15의 플립플롭 회로(150)에서와 같이, 트랜지스터(116) 대신에 저항 소자(레지스터)(151)를 접속 하여도 좋다. 왜냐하면, 트랜지스터(116) 대신에 저항 소자(151)를 접속하여도, 저항 소자(151)와 트랜지스터(115)를 사용하여 인버터 회로를 구성할 수 있기 때문이다.

<307> 또한, 트랜지스터(115)가 오프일 때, 노드(N2)의 전위는 제1 전원의 전위와 같은 전위인 VSS가 된다. 또한, 이 때의 노드(N3)의 전위는, 전원 전위(VSS)와 트랜지스터(118)의 스레시홀드 전압(Vth118)의 절대값과의 합이 되는 값(VSS + |Vth118|)이 된다.

<308> 여기서, 앞에서 설명한 도 15의 플립플롭 회로(150)에서와 같이, 트랜지스터(116) 대신에 저항 소자(151)를 사용함으로써, 각 트랜지스터의 스레시홀드 전압이 특성 열화에 기인하여 높아져도, 노드(N2)의 전위는 VSS가 되고, 노드(N3)의 전위는 트랜지스터(118)의 스레시홀드 전압(Vth118)만큼 VSS보다 높아질 뿐이므로, 트랜지스터(113) 및 트랜지스터(114)가 쉽게 온으로 될 수 있다.

<309> 또한, 입력 단자(IN1), 입력 단자(IN2), 입력 단자(IN3), 및 입력 단자(IN4) 각각에 제어 신호가 공급되지만, 본 발명이 반드시 이것에 한정되는 것은 아니다.

<310> 예를 들어, 입력 단자(IN1), 입력 단자(IN2), 입력 단자(IN3), 및 입력 단자(IN4) 각각에 전원 전위(VDD)가 공급되어도 좋고, 전원 전위(VSS)가 공급되어도 좋고, 또는 다른 전위가 공급되어도 좋다.

<311> 또한, 트랜지스터(111)의 제1 단자 및 트랜지스터(116)의 제1 단자는 제1 전원에 접속되어 있지만, 본 발명이 반드시 이것에 한정되는 것은 아니다.

<312> 예를 들어, 트랜지스터(111)의 제1 단자 및 트랜지스터(116)의 제1 단자는 각기 다른 전원에 접속되어도 좋다. 이때, 트랜지스터(116)의 제1 단자에 접속된 전원의 전위는 트랜지스터(111)의 제1 단자에 접속된 전원의 전위 보다 높은 것이 바람직하다.

<313> 다른 예로서, 트랜지스터(111)의 제1 단자 및 트랜지스터(116)의 제1 단자 각각에 제어 신호가 공급되어도 좋다.

<314> 또한, 트랜지스터(113)의 제1 단자, 트랜지스터(114)의 제1 단자, 및 트랜지스터(117)의 제1 단자는 제2 전원에 접속되어 있지만, 본 발명이 반드시 이것에 한정되는 것은 아니다.

<315> 예를 들어, 트랜지스터(113)의 제1 단자, 트랜지스터(114)의 제1 단자, 및 트랜지스터(117)의 제1 단자는 각기

다른 전원에 접속되어도 좋다.

<316> 또한, 본 실시형태는 본 명세서 중의 다른 실시형태 및 실시예의 어떠한 기재와도 자유롭게 조합하여 실시될 수 있다. 즉, 비선택 기간에서, 본 발명의 시프트 레지스터 회로의 트랜지스터가 일정 시간 간격으로 온으로 됨으로써, 출력 단자에 전원 전위가 공급된다. 따라서, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 전원 전위가 공급된다. 이 트랜지스터는 비선택 기간에 항상 온으로 되지 않으므로, 이 트랜지스터의 스레시홀드 전압 시프트가 억제될 수 있다. 또한, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 일정 시간 간격으로 전원 전위가 공급된다. 따라서, 시프트 레지스터 회로는 출력 단자에서 노이즈가 발생하는 것을 억제할 수 있다.

<317> [실시형태 2]

<318> 본 실시형태에서는 본 발명의 시프트 레지스터 회로의 구성에 대하여 설명한다.

<319> 도 17은 본 발명의 시프트 레지스터 회로의 일 형태를 나타낸다. 도 17에 나타내는 시프트 레지스터 회로는 다수의 플립플롭 회로(171), 제어 신호선(172), 제어 신호선(173), 및 제어 신호선(174)을 포함하고 있다.

<320> 도 17의 시프트 레지스터 회로에 나타내는 바와 같이, 각 플립플롭 회로(171)의 입력 단자(IN1)가 전단의 플립플롭 회로(171)의 출력 단자(OUT)에 접속되어 있다. 출력 단자(OUT)는 다음 단의 플립플롭 회로(171)의 입력 단자(IN1), 전단의 플립플롭 회로(171)의 입력 단자(IN4), 및 시프트 레지스터 회로의 출력 단자(SRout)에 접속되어 있다. 또한, 제1 단의 플립플롭 회로(171)의 입력 단자(IN1)는 제어 신호선(172)에 접속되어 있다. 또한, 최종 단의 플립플롭 회로(171)의 입력 단자(IN4)는 전원에 접속되어 있다. 홀수 단의 플립플롭 회로(171)에서는, 입력 단자(IN2)가 제어 신호선(173)에 접속되고, 입력 단자(IN3)가 제어 신호선(174)에 접속되어 있다. 한편, 짝수 단의 플립플롭 회로(171)에서는, 입력 단자(IN2)가 제어 신호선(174)에 접속되고, 입력 단자(IN3)가 제어 신호선(173)에 접속되어 있다.

<321> 또한, 플립플롭 회로(171)로서는, 실시형태 1에서 나타낸 플립플롭 회로와 같은 것을 사용할 수 있다.

<322> 또한, 플립플롭 회로(171)의 입력 단자(IN1~IN4) 및 출력 단자(OUT)로서는, 실시형태 1에서 설명한 것과 같은 것을 사용할 수 있다.

<323> 또한, 본 발명의 시프트 레지스터 회로의 제1 단의 출력 단자(SRout)를 SRout1이라 표기하고, 제2 단의 출력 단자(SRout)를 SRout2라 표기하고, 제3 단의 출력 단자(SRout)를 SRout3이라 표기하고, 제4 단의 출력 단자(SRout)를 SRout4라 표기하고, n번째 단의 출력 단자(SRout)를 SRoutn이라 표기한다.

<324> 또한, 플립플롭 회로(171)에서는, 편의상, 전원 및 전원선을 도시하지 않았다. 전원 및 전원선에는, 실시형태 1에서 설명한 제1 전원 및 제2 전원을 사용할 수 있다. 따라서, 제1 전원의 전원 전위(VDD)와 제2 전원의 전원 전위(VSS)와의 전위차(VDD-VSS)가 플립플롭 회로(171)의 전원 전압에 상당한다.

<325> 또한, 제어 신호선(172)~제어 신호선(174)에는, 각각 제어 신호(SSP), 제어 신호(CK), 제어 신호(CKB)가 공급된다. 또한, 시프트 레지스터 회로의 출력 단자(SRout1~SRout4) 및 출력 단자(SRoutn)에는, 각각 제1 단~제4 단 및 n번째 단의 플립플롭 회로(171)의 출력 신호가 공급된다.

<326> 다음에, 도 18에 나타낸 타이밍 차트를 사용하여, 도 17에 나타낸 시프트 레지스터 회로의 동작에 대하여 설명한다. 도 18은, 제어 신호선(172~174)에 각각 공급되는 제어 신호(SSP), 제어 신호(CK), 제어 신호(CKB)와, 출력 단자(SRout1~SRout4) 및 출력 단자(SRoutn)의 출력 신호의 타이밍 차트를 나타내고 있다. 또한, 도 18에 나타내는 타이밍 차트는 편의상, 기간(T0)~기간(T5), 기간(Tn), 및 기간(Tn+1)으로 나누어져 있다.

<327> 또한, 도 18은 플립플롭 회로(171)의 트랜지스터로서 n채널형 트랜지스터를 사용한 경우의 타이밍 차트이다. 즉, 도 18은 플립플롭 회로(171)로서 도 1 및 도 7~도 10에 나타낸 플립플롭 회로를 사용한 경우의 타이밍 차트이다.

<328> 또한, 도 18에 나타내는 타이밍 차트에서는, 제어 신호 및 출력 신호 각각이 실시형태 1과 같이 2개 값을 가지는 디지털 신호이다.

<329> 도 17에 나타내는 시프트 레지스터 회로의 동작에 대하여 도 18을 참조하여 설명한다.

<330> 먼저, 기간(T0)에서의 시프트 레지스터 회로의 동작에 대하여 설명한다. 기간(T0)에서는, 제어 신호(SSP)가 H 레벨이 되고, 제어 신호(CK)가 L 레벨이 되고, 제어 신호(CKB)가 H 레벨이 된다.

- <331> 제1 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 H 레벨이 되고, 입력 단자(IN2)가 L 레벨이 되고, 입력 단자(IN3)가 H 레벨이 되고, 입력 단자(IN4)가 L 레벨이 된다. 따라서, 출력 단자(OUT)는 L 레벨이 된다. 이 상태는, 도 2에 나타내는 기간(T1)에서의 타이밍 차트의 것과 같다.
- <332> 제1 단을 제외한 홀수 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 L 레벨이 되고, 입력 단자(IN2)가 L 레벨이 되고, 입력 단자(IN3)가 H 레벨이 되고, 입력 단자(IN4)가 L 레벨이 된다. 따라서, 출력 단자(OUT)는 L 레벨이 된다. 이 상태는 도 2에 나타내는 기간(T3)에서의 타이밍 차트의 것과 같다.
- <333> 짹수 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 L 레벨이 되고, 입력 단자(IN2)가 H 레벨이 되고, 입력 단자(IN3)가 L 레벨이 되고, 입력 단자(IN4)가 L 레벨이 된다. 따라서, 출력 단자(OUT)는 L 레벨이 된다. 이 상태는 도 2에 나타내는 기간(T4)에서의 타이밍 차트의 것과 같다.
- <334> 이렇게 하여, 시프트 레지스터 회로의 모든 출력 단자(SRout)가 L 레벨이 된다.
- <335> 다음에, 기간(T1)에서의 시프트 레지스터 회로의 동작에 대하여 설명한다. 기간(T1)에서는, 제어 신호(SSP)가 L 레벨이 되고, 제어 신호(CK)가 H 레벨이 되고, 제어 신호(CKB)가 L 레벨이 된다.
- <336> 제1 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 L 레벨이 되고, 입력 단자(IN2)가 H 레벨이 되고, 입력 단자(IN3)가 L 레벨이 되고, 입력 단자(IN4)가 L 레벨인 채이다. 따라서, 출력 단자(OUT)는 H 레벨이 된다. 이 상태는 도 2에 나타내는 기간(T2)에서의 타이밍 차트의 것과 같다.
- <337> 제2 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 H 레벨이 되고, 입력 단자(IN2)가 L 레벨이 되고, 입력 단자(IN3)가 H 레벨이 되고, 입력 단자(IN4)가 L 레벨인 채이다. 따라서, 출력 단자(OUT)는 L 레벨인 채이다. 이 상태는 도 2에 나타내는 기간(T1)에서의 타이밍 차트의 것과 같다.
- <338> 제1 단을 제외한 홀수 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 L 레벨인 채이고, 입력 단자(IN2)가 H 레벨이 되고, 입력 단자(IN3)가 L 레벨이 되고, 입력 단자(IN4)가 L 레벨인 채이다. 따라서, 출력 단자(OUT)는 L 레벨인 채이다. 이 상태는 도 2에 나타내는 기간(T4)에서의 타이밍 차트의 것과 같다.
- <339> 제2 단을 제외한 짹수 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 L 레벨인 채이고, 입력 단자(IN2)가 L 레벨이 되고, 입력 단자(IN3)가 H 레벨이 되고, 입력 단자(IN4)가 L 레벨인 채이다. 따라서, 출력 단자(OUT)는 L 레벨인 채이다. 이 상태는 도 2에 나타내는 기간(T3)에서의 타이밍 차트의 것과 같다.
- <340> 이렇게 하여, 시프트 레지스터 회로의 출력 단자(SRout1)가 H 레벨이 되고, 다른 출력 단자(SRout)는 L 레벨인 채이다.
- <341> 다음에, 기간(T2)에서의 시프트 레지스터 회로의 동작에 대하여 설명한다. 기간(T2)에서는, 제어 신호(SSP)가 L 레벨이 되고, 제어 신호(CK)가 L 레벨이 되고, 제어 신호(CKB)가 H 레벨이 된다.
- <342> 제1 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 L 레벨인 채이고, 입력 단자(IN2)가 L 레벨이 되고, 입력 단자(IN3)가 L 레벨이 되고, 입력 단자(IN4)가 H 레벨이 된다. 따라서, 출력 단자(OUT)는 L 레벨이 된다. 이 상태는 도 2에 나타내는 기간(T3)에서의 타이밍 차트의 것과 같다.
- <343> 제2 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 L 레벨이 되고, 입력 단자(IN2)가 H 레벨이 되고, 입력 단자(IN3)가 L 레벨이 되고, 입력 단자(IN4)가 L 레벨인 채이다. 따라서, 출력 단자(OUT)는 H 레벨이 된다. 이 상태는 도 2에 나타내는 기간(T2)에서의 타이밍 차트의 것과 같다.
- <344> 제3 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 H 레벨이 되고, 입력 단자(IN2)가 L 레벨이 되고, 입력 단자(IN3)가 H 레벨이 되고, 입력 단자(IN4)가 L 레벨인 채이다. 따라서, 출력 단자(OUT)는 L 레벨인 채이다. 이 상태는 도 2에 나타내는 기간(T1)에서의 타이밍 차트의 것과 같다.
- <345> 제1 단 및 제3 단을 제외한 홀수 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 L 레벨인 채이고, 입력 단자(IN2)가 L 레벨이 되고, 입력 단자(IN3)가 H 레벨이 되고, 입력 단자(IN4)가 L 레벨인 채이다. 따라서, 출력 단자(OUT)는 L 레벨인 채이다. 이 상태는 도 2에 나타내는 기간(T3)에서의 타이밍 차트의 것과 같다.
- <346> 제2 단을 제외한 짹수 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 L 레벨인 채이고, 입력 단자(IN2)가 H 레벨이 되고, 입력 단자(IN3)가 L 레벨이 되고, 입력 단자(IN4)가 L 레벨인 채이다. 따라서, 출력 단자(OUT)는 L 레벨인 채이다. 이 상태는 도 2에 나타내는 기간(T4)에서의 타이밍 차트의 것과 같다.
- <347> 이렇게 하여, 시프트 레지스터 회로의 출력 단자(SRout1)가 L 레벨이 되고, 출력 단자(SRout2)가 H 레벨이

되고, 다른 출력 단자(SRout)는 L 레벨인 채이다.

<348> 이후의 기간에서도 마찬가지로, 기간(T3)에서는 시프트 레지스터 회로의 출력 단자(SRout3)가 H 레벨이 되고, 기간(T4)에서는 시프트 레지스터 회로의 출력 단자(SRout4)가 H 레벨이 되고, 기간(T5)에서는 시프트 레지스터 회로의 제5 단의 출력 단자(SRout5)가 H 레벨이 되고, 기간(Tn)에서는 시프트 레지스터 회로의 n번째 단의 출력 단자(SRoutn)가 H 레벨이 된다. 이와 같이, 시프트 레지스터 회로의 출력 단자들은 1 기간만 순차로 H 레벨이 된다. 또한, 1 기간이란, 제어 신호(CK) 또는 제어 신호(CKB)의 반주기에 상당한다.

<349> 이상의 동작에 의해, 도 17에 나타내는 시프트 레지스터 회로의 출력 단자(SRout)를 1단씩 H 레벨로 할 수 있다. 또한, 플립플롭 회로(171)로서, 실시형태 1에서 나타낸 플립플롭 회로를 사용함으로써, 도 17에 나타내는 플립플롭 회로는 트랜지스터의 특성 열화에 기인한 오동작을 일으키기 어렵고, 출력 신호의 노이즈가 적어진다.

<350> 도 18은 플립플롭 회로(171)의 트랜지스터가 n채널형 트랜지스터인 경우의 타이밍 차트를 나타내었지만, 도 19는 플립플롭 회로(171)의 트랜지스터가 p채널형 트랜지스터인 경우의 타이밍 차트를 나타낸다. 즉, 도 19는 플립플롭 회로(171)로서 도 11 및 도 13~도 16에 나타낸 플립플롭 회로를 사용한 경우의 타이밍 차트이다.

<351> 다음에, 도 19에 나타내는 타이밍 차트를 사용하여, 도 17에 나타내는 시프트 레지스터 회로의 동작에 대하여 설명한다. 도 19는 도 17에 나타낸 제어 신호선(172~174)에 각각 공급되는 제어 신호(SSP), 제어 신호(CK), 제어 신호(CKB)와, 출력 단자(SRout1~SRout4) 및 출력 단자(SRoutn)의 출력 신호의 타이밍 차트를 나타내고 있다. 또한, 도 19에 나타내는 타이밍 차트는 편의상, 기간(T0)~기간(T5), 기간(Tn), 및 기간(Tn+1)으로 나누어져 있다. 또한, 제어 신호 및 출력 신호의 타이밍에 대해서는, H 레벨 및 L 레벨이 플립플롭 회로(171)가 모두 n채널형 트랜지스터로 구성되는 경우(도 18)의 것으로부터 반전되어 있다.

<352> 또한, 도 19에 나타내는 타이밍 차트에서는, 제어 신호 및 출력 신호 각각이 실시형태 1과 같은 2개 값을 가지는 디지털 신호이다.

<353> 도 17에 나타내는 시프트 레지스터 회로의 동작에 대하여 도 19를 참조하여 설명한다.

<354> 먼저, 기간(T0)에서의 시프트 레지스터 회로의 동작에 대하여 설명한다. 기간(T0)에서는, 제어 신호(SSP)가 L 레벨이 되고, 제어 신호(CK)가 H 레벨이 되고, 제어 신호(CKB)가 L 레벨이 된다.

<355> 제1 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 L 레벨이 되고, 입력 단자(IN2)가 H 레벨이 되고, 입력 단자(IN3)가 L 레벨이 되고, 입력 단자(IN4)가 H 레벨이 된다. 따라서, 출력 단자(OUT)는 H 레벨이 된다. 이 상태는 도 12에 나타내는 기간(T1)에서의 타이밍 차트의 것과 같다.

<356> 제1 단을 제외한 홀수 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 L 레벨이 되고, 입력 단자(IN2)가 H 레벨이 되고, 입력 단자(IN3)가 L 레벨이 되고, 입력 단자(IN4)가 H 레벨이 된다. 따라서, 출력 단자(OUT)는 H 레벨이 된다. 이 상태는 도 12에 나타내는 기간(T2)에서의 타이밍 차트의 것과 같다.

<357> 짹수 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 H 레벨이 되고, 입력 단자(IN2)가 L 레벨이 되고, 입력 단자(IN3)가 H 레벨이 되고, 입력 단자(IN4)가 H 레벨이 된다. 따라서, 출력 단자(OUT)는 H 레벨이 된다. 이 상태는 도 12에 나타내는 기간(T4)에서의 타이밍 차트의 것과 같다.

<358> 이렇게 하여, 시프트 레지스터 회로의 모든 출력 단자(SRout)가 H 레벨이 된다.

<359> 다음에, 기간(T1)에서의 시프트 레지스터 회로의 동작에 대하여 설명한다. 기간(T1)에서는, 제어 신호(SSP)가 H 레벨이 되고, 제어 신호(CK)가 L 레벨이 되고, 제어 신호(CKB)가 H 레벨이 된다.

<360> 제1 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 H 레벨이 되고, 입력 단자(IN2)가 L 레벨이 되고, 입력 단자(IN3)가 H 레벨이 되고, 입력 단자(IN4)가 H 레벨인 채이다. 따라서, 출력 단자(OUT)는 L 레벨이 된다. 이 상태는 도 12에 나타내는 기간(T2)에서의 타이밍 차트의 것과 같다.

<361> 제2 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 L 레벨이 되고, 입력 단자(IN2)가 H 레벨이 되고, 입력 단자(IN3)가 L 레벨이 되고, 입력 단자(IN4)가 H 레벨인 채이다. 따라서, 출력 단자(OUT)는 H 레벨인 채이다. 이 상태는 도 12에 나타내는 기간(T1)에서의 타이밍 차트의 것과 같다.

<362> 제1 단을 제외한 홀수 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 H 레벨인 채이고, 입력 단자(IN2)가 L 레벨이 되고, 입력 단자(IN3)가 H 레벨이 되고, 입력 단자(IN4)가 H 레벨인 채이다. 따라서, 출력 단자(OUT)는

H 레벨인 채이다. 이 상태는 도 12에 나타내는 기간(T4)에서의 타이밍 차트의 것과 같다.

<363> 제2 단을 제외한 짹수 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 H 레벨인 채이고, 입력 단자(IN2)가 H 레벨이 되고, 입력 단자(IN3)가 L 레벨이 되고, 입력 단자(IN4)가 H 레벨인 채이다. 따라서, 출력 단자(OUT)는 H 레벨인 채이다. 이 상태는 도 12에 나타내는 기간(T3)에서의 타이밍 차트의 것과 같다.

<364> 이렇게 하여, 시프트 레지스터 회로의 출력 단자(SRout1)가 L 레벨이 되고, 다른 출력 단자(SRout)들은 H 레벨인 채이다.

<365> 다음에, 기간(T2)에서의 시프트 레지스터 회로의 동작에 대하여 설명한다. 기간(T2)에서는, 제어 신호(SSP)가 H 레벨이 되고, 제어 신호(CK)가 H 레벨이 되고, 제어 신호(CKB)가 L 레벨이 된다.

<366> 제1 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 H 레벨인 채이고, 입력 단자(IN2)가 H 레벨이 되고, 입력 단자(IN3)가 L 레벨이 되고, 입력 단자(IN4)가 L 레벨이 된다. 따라서, 출력 단자(OUT)는 H 레벨이 된다. 이 상태는 도 12에 나타내는 기간(T3)에서의 타이밍 차트의 것과 같다.

<367> 제2 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 H 레벨이 되고, 입력 단자(IN2)가 L 레벨이 되고, 입력 단자(IN3)가 H 레벨이 되고, 입력 단자(IN4)가 H 레벨인 채이다. 따라서, 출력 단자(OUT)는 L 레벨이 된다. 이 상태는 도 12에 나타내는 기간(T2)에서의 타이밍 차트의 것과 같다.

<368> 제3 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 L 레벨이 되고, 입력 단자(IN2)가 H 레벨이 되고, 입력 단자(IN3)가 L 레벨이 되고, 입력 단자(IN4)가 H 레벨인 채이다. 따라서, 출력 단자(OUT)는 H 레벨인 채이다. 이 상태는 도 12에 나타내는 기간(T1)에서의 타이밍 차트의 것과 같다.

<369> 제1 단 및 제3 단을 제외한 홀수 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 H 레벨인 채이고, 입력 단자(IN2)가 H 레벨이 되고, 입력 단자(IN3)가 L 레벨이 되고, 입력 단자(IN4)가 H 레벨인 채이다. 따라서, 출력 단자(OUT)는 H 레벨인 채이다. 이 상태는 도 12에 나타내는 기간(T3)에서의 타이밍 차트의 것과 같다.

<370> 제2 단을 제외한 짹수 단의 플립플롭 회로(171)에서, 입력 단자(IN1)가 H 레벨인 채이고, 입력 단자(IN2)가 L 레벨이 되고, 입력 단자(IN3)가 H 레벨이 되고, 입력 단자(IN4)가 H 레벨인 채이다. 따라서, 출력 단자(OUT)는 H 레벨인 채이다. 이 상태는 도 12에 나타내는 기간(T4)에서의 타이밍 차트의 것과 같다.

<371> 이렇게 하여, 시프트 레지스터 회로의 출력 단자(SRout1)가 H 레벨이 되고, 출력 단자(SRout2)가 L 레벨이 되고, 다른 출력 단자(SRout)들은 H 레벨인 채이다.

<372> 이후의 기간에서도 마찬가지로, 기간(T3)에서는 시프트 레지스터 회로의 출력단자(SRout3)가 L 레벨이 되고, 기간(T4)에서는 시프트 레지스터 회로의 출력 단자(SRout4)가 L 레벨이 되고, 기간(T5)에서는 시프트 레지스터 회로의 제5 단의 출력 단자(SRout5)가 L 레벨이 되고, 기간(Tn)에서는 시프트 레지스터 회로의 n번째 단의 출력 단자(SRoutn)가 L 레벨이 된다. 이와 같이, 시프트 레지스터 회로의 출력 단자들은 1 기간만 순차로 L 레벨이 된다. 또한, 1 기간이란, 제어 신호(CK) 또는 제어 신호(CKB)의 반주기에 상당한다.

<373> 이상의 동작에 의해, 도 17에 나타내는 시프트 레지스터 회로의 출력 단자(SRout)를 1단씩 L 레벨로 할 수 있다. 또한, 플립플롭 회로(171)로서, 실시형태 1에서 나타낸 플립플롭 회로를 사용함으로써, 도 17에 나타내는 플립플롭 회로는 트랜지스터의 특성 열화에 기인한 오동작을 일으키기 어렵고, 출력 신호의 노이즈가 적어진다.

<374> 또한, 플립플롭 회로(171)는, 제1 단부터 순차로 시프트 레지스터 회로의 출력 단자(SRout)들에 선택 신호를 공급할 수 있다면, 어떤 플립플롭 회로이어도 좋다.

<375> 또한, 플립플롭 회로(171)의 출력 단자(OUT)는 어떠한 소자 및 회로를 통하여서도 시프트 레지스터 회로의 출력 단자(SRout)에 접속될 수 있다. 어떠한 소자 및 회로란, 인버터 회로, 베퍼 회로, NAND 회로, NOR 회로, 트리스테이트(tristate) 베퍼 회로, PWC 회로 등의 논리회로, 스위치, 저항 소자, 커패시터, 다른 소자 등에 상당한다. 또한, 이를 소자 또는 회로를 조합시킴으로써, 다양한 회로를 구성할 수 있다.

<376> 또한, 제어 신호선(172~174) 각각에 제어 신호가 공급되지만, 본 발명이 반드시 이것에 한정되는 것은 아니다.

<377> 예를 들어, 제어 신호선(172~174) 각각에 전원 전위(VDD)가 공급되어도 좋고, 전원 전위(VSS)가 공급되어도 좋고, 또는 다른 전위가 공급되어도 좋다.

<378> 또한, 제어 신호선(173)에는 제어 신호(CK)가 공급되고, 제어 신호선(174)에는 제어 신호(CKB)가 공급되지만,

본 발명이 반드시 이것에 한정되는 것은 아니다.

<379> 예를 들어, 제어 신호선(173)에는 제어 신호(CK)를 공급하고, 제어 신호선(174)에는 인버터 회로를 통하여 제어 신호(CK)의 반전 신호를 공급하여도 좋다. 또는, 제어 신호선(173)에는 인버터 회로를 통하여 제어 신호(CKB)의 반전 신호를 공급하고, 제어 신호선(174)에는 제어 신호(CKB)를 공급하여도 좋다. 또한, 이 인버터 회로는 시프트 레지스터 회로와 동일 기판 위에 형성되는 것이 바람직하다.

<380> 또한, 최종 단의 플립플롭 회로(171)의 입력 단자(IN4)는 전원에 접속되어 있지만, 본 발명이 반드시 이것에 한정되는 것은 아니다.

<381> 예를 들어, 최종 단의 플립플롭 회로(171)의 입력 단자(IN4)는 제어 신호선(172~174) 중의 어느 하나에 접속되어도 좋고, 다른 제어 신호에 접속되어도 좋고, 또는 다른 단의 플립플롭 회로(171)의 출력 단자(OUT)에 접속되어도 좋다.

<382> 또한, 본 실시형태는 본 명세서 중의 다른 실시형태 및 실시예의 어떠한 기재와도 자유롭게 조합하여 실시될 수 있다. 즉, 비선택 기간에서, 본 발명의 시프트 레지스터 회로의 트랜지스터가 일정 시간 간격으로 온으로 됨으로써, 출력 단자에 전원 전위를 공급한다. 따라서, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 전원 전위가 공급된다. 이 트랜지스터는 비선택 기간에 항상 온으로 되지 않으므로, 이 트랜지스터의 스레시홀드 전압 시프트가 억제될 수 있다. 또한, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 일정 시간 간격으로 전원 전위가 공급된다. 따라서, 시프트 레지스터 회로는 출력 단자에서 노이즈가 발생하는 것을 억제할 수 있다.

<383> [실시형태 3]

<384> 본 실시형태에서는 구동회로의 일부로서, 실시형태 1에서 설명한 플립플롭 회로, 및 실시형태 2에서 설명한 시프트 레지스터 회로 등을 사용한 경우의 구성예에 대하여 설명한다.

<385> 게이트 드라이버에 적용될 수 있는 구동회로의 구성예를 도 20~도 27을 참조하여 설명한다. 그러나, 도 20~도 27의 구동회로는 게이트 드라이버 뿐만 아니라, 어떠한 회로 구성에도 적용될 수 있다.

<386> 도 20은 본 발명의 게이트 드라이버의 일 형태를 나타낸다. 본 발명의 게이트 드라이버는 시프트 레지스터 회로(200)와 버퍼 회로(201)를 포함하고 있다.

<387> 도 20의 게이트 드라이버에 나타내는 바와 같이, 시프트 레지스터 회로(200)의 출력 단자(SRout)가 버퍼 회로(201)를 통하여 게이트 드라이버의 출력 단자(GDout)에 접속되어 있다.

<388> 또한, 시프트 레지스터 회로(200)는 실시형태 2에서 설명한 것과 같은 것으로 한다.

<389> 또한, 시프트 레지스터 회로(200)의 출력 단자(SRout1~SRout4) 및 출력 단자(SRoutn)는 실시형태 2에서 설명한 것과 같은 것으로 한다.

<390> 또한, 본 발명의 게이트 드라이버의 제1 단의 출력 단자(GDout)를 GDout1이라 표기하고, 제2 단의 출력 단자(GDout)를 GDout2라 표기하고, 제3 단의 출력 단자(GDout)를 GDout3이라 표기하고, n번째 단의 출력 단자(GDout)를 GDoutn이라 표기한다.

<391> 또한, 버퍼 회로(201)는 인버터 회로, 버퍼 회로, NAND 회로, NOR 회로, 트리스테이트 버퍼 회로, PWC 회로 등의 논리회로, 스위치, 저항 소자, 커패시터, 또는 다른 소자 등을 포함하고 있다. 또한, 이들 소자 및 회로를 조합하는 것에 의해, 다양한 회로를 구성할 수 있다.

<392> 또한, 도 20의 게이트 드라이버에서는, 편의상, 전원선 및 제어 신호선을 나타내지 않았다.

<393> 또한, 시프트 레지스터 회로(200)가 n채널형 트랜지스터를 사용하여 구성되는 경우, 버퍼 회로(201)도 n채널형 트랜지스터를 사용하여 구성되는 것이 바람직하다. 시프트 레지스터 회로(200)가 p채널형 트랜지스터를 사용하여 구성되는 경우, 버퍼 회로(201)도 p채널형 트랜지스터를 사용하여 구성되는 것이 바람직하다.

<394> 또한, 시프트 레지스터 회로(200)가 n채널형 트랜지스터를 사용하여 구성되는 경우, 시프트 레지스터 회로(200)의 출력 신호는 도 18의 타이밍 차트의 것과 같다. 시프트 레지스터 회로(200)가 p채널형 트랜지스터를 사용하여 구성되는 경우, 시프트 레지스터 회로(200)의 출력 신호는 도 19의 타이밍 차트의 것과 같다.

<395> 여기서, 버퍼 회로(201)의 구체적인 구성예에 대하여 설명한다. 도 21~도 27은 버퍼 회로를 포함하는 게이트

드라이버의 구성예를 나타낸다. 그러나, 베피 회로(201)는 도 21~도 27의 구성에 한정되는 것은 아니다.

<396> 도 21은, 본 발명의 베피 회로를 포함하는 게이트 드라이버의 일 형태를 구체적으로 나타낸다. 도 21의 게이트 드라이버는 시프트 레지스터 회로(200)와 베피 회로(210)를 포함하고 있다. 베피 회로(210)는 제1 단의 인버터 회로(211A)와, 제2 단의 인버터 회로(211B)를 가지고 있다.

<397> 도 21의 게이트 드라이버에 나타내는 바와 같이, 시프트 레지스터 회로(200)의 출력 단자(SRout)는 베피 회로(210)를 통하여 게이트 드라이버의 출력 단자(GDout)에 접속되어 있다.

<398> 베피 회로(210)의 접속 관계에 대하여 설명한다. 인버터 회로(211A)의 입력 단자(IN)가 시프트 레지스터 회로(200)의 출력 단자(SRout)에 접속되고, 인버터 회로(211A)의 출력 단자(OUT)가 인버터 회로(211B)의 입력 단자(IN)에 접속되어 있다. 인버터 회로(211B)의 출력 단자(OUT)가 게이트 드라이버의 출력 단자(GDout)에 접속되어 있다. 즉, 베피 회로(210)에서, 2개의 인버터 회로(211A, 211B)가 각 단의 시프트 레지스터 회로(200)의 출력 단자(SRout)마다 직렬로 접속되어 있다.

<399> 출력 단자(SRout)가 H 레벨인 경우와 L 레벨인 경우에 있어서의 도 21의 게이트 드라이버의 동작에 대하여 각각 설명한다.

<400> 먼저, 출력 단자(SRout)가 H 레벨인 경우에 대하여 설명한다. 출력 단자(SRout)는 2개의 인버터 회로(211A, 211B)를 통하여 출력 단자(GDout)에 접속되어 있으므로, 출력 단자(GDout)가 H 레벨이 된다.

<401> 다음에, 출력 단자(SRout)가 L 레벨인 경우에 대하여 설명한다. 출력 단자(SRout)는 2개의 인버터 회로(211A, 211B)를 통하여 출력 단자(GDout)에 접속되어 있으므로, 출력 단자(GDout)가 L 레벨이 된다.

<402> 이상의 동작에 의해, 출력 단자(SRout)가 H 레벨이 되면, 출력 단자(GDout)가 H 레벨이 된다. 또한, 출력 단자(SRout)가 L 레벨이 되면, 출력 단자(GDout)가 L 레벨이 된다.

<403> 또한, 인버터 회로(211A, 211B)는 정류 작용을 가지므로, 출력 단자(SRout)의 노이즈가 게이트 드라이버의 출력 단자(GDout)에 영향을 주는 것을 억제할 수 있다.

<404> 또한, 베피 회로(210)에서 2개의 인버터 회로(211A, 211B)가 직렬로 접속되어 있지만, 다수의 인버터 회로(211)가 직렬로 접속되어 있어도 좋다. 예를 들어, 짹수개의 인버터 회로(211)가 직렬로 접속되어 있는 경우, 출력 단자(GDout)는 출력 단자(SRout)와 반대의 레벨이 된다. 짹수개의 인버터 회로(211)가 직렬로 접속되어 있는 경우, 출력 단자(GDout)는 출력 단자(SRout)와 같은 레벨이 된다.

<405> 또한, 베피 회로(210)에서 2개의 인버터 회로(211A, 211B)가 직렬로 접속되어 있지만, 다수의 인버터 회로(211)가 병렬로 접속되어 있어도 좋다. 이렇게 하면, 인버터 회로(211A, 211B)의 전류 밀도가 작아지기 때문에, 인버터 회로(211A, 211B)를 구성하는 소자의 특성 열화가 억제될 수 있다.

<406> 도 22는 본 발명의 베피 회로를 포함하는 게이트 드라이버의 다른 형태를 구체적으로 나타낸다. 도 22의 게이트 드라이버는 시프트 레지스터 회로(200), 베피 회로(220), 및 제어 신호선(222)을 포함하고 있다. 베피 회로(210)는 NAND 회로(221)를 가지고 있다.

<407> 도 22의 게이트 드라이버에 나타내는 바와 같이, 시프트 레지스터 회로(200)의 출력 단자(SRout)는 베피 회로(220)를 통하여 게이트 드라이버의 출력 단자(GDout)에 접속되어 있다.

<408> 베피 회로(220)의 접속 관계에 대하여 설명한다. NAND 회로(221)의 입력 단자(IN1)가 제어 신호선(222)에 접속되고, NAND 회로(221)의 입력 단자(IN2)가 시프트 레지스터 회로(200)의 출력 단자(SRout)에 접속되고, NAND 회로(221)의 출력 단자(OUT)가 게이트 드라이버의 출력 단자(GDout)에 접속되어 있다.

<409> 또한, 제어 신호선(222)에는 인에이블(enable) 신호(En)가 공급된다. 인에이블 신호(En)는 디지털 신호이다.

<410> 제어 신호선(222)이 H 레벨인 경우와 L 레벨인 경우, 출력 단자(SRout)가 H 레벨인 경우와 L 레벨인 경우에 있어서의 도 22의 게이트 드라이버의 동작에 대하여 각각 설명한다.

<411> 먼저, 제어 신호선(222)이 H 레벨이고 출력 단자(SRout)가 H 레벨인 경우에 대하여 설명한다. NAND 회로(221)의 입력 단자(IN1)가 H 레벨이 되고, NAND 회로(221)의 입력 단자(IN2)가 H 레벨이 된다. 따라서, NAND 회로(221)의 출력 단자(OUT)는 L 레벨이 되므로, 게이트 드라이버의 출력 단자(GDout)가 L 레벨이 된다.

<412> 다음에, 제어 신호선(222)이 H 레벨이고 출력 단자(SRout)가 L 레벨인 경우에 대하여 설명한다. NAND 회로(221)의 입력 단자(IN1)가 H 레벨이 되고, NAND 회로(221)의 입력 단자(IN2)가 L 레벨이 된다. 따라서, NAND

회로(221)의 출력 단자(OUT)는 H 레벨이 되므로, 게이트 드라이버의 출력 단자(GDout)가 H 레벨이 된다.

<413> 다음에, 제어 신호선(222)이 L 레벨이고 출력 단자(SRout)가 H 레벨인 경우에 대하여 설명한다. NAND 회로(221)의 입력 단자(IN1)가 L 레벨이 되고, NAND 회로(221)의 입력 단자(IN2)가 H 레벨이 된다. 따라서, NAND 회로(221)의 출력 단자(OUT)는 H 레벨이 되므로, 게이트 드라이버의 출력 단자(GDout)가 H 레벨이 된다.

<414> 다음에, 제어 신호선(222)이 L 레벨이고 출력 단자(SRout)가 L 레벨인 경우에 대하여 설명한다. NAND 회로(221)의 입력 단자(IN1)가 L 레벨이 되고, NAND 회로(221)의 입력 단자(IN2)가 L 레벨이 된다. 따라서, NAND 회로(221)의 출력 단자(OUT)는 H 레벨이 되므로, 게이트 드라이버의 출력 단자(GDout)가 H 레벨이 된다.

<415> 이상의 동작에 의해, 제어 신호선(222)이 H 레벨인 경우, 출력 단자(SRout)가 H 레벨일 때 게이트 드라이버의 출력 단자(GDout)는 L 레벨이 되고, 출력 단자(SRout)가 L 레벨일 때 게이트 드라이버의 출력 단자(GDout)는 H 레벨이 된다. 제어 신호선(222)이 L 레벨인 경우에는, 출력 단자(SRout)의 전위에 관계없이, 게이트 드라이버의 출력 단자(GDout)는 H 레벨이 된다.

<416> 이와 같이, 게이트 드라이버의 출력 신호는 인에이블 신호(En)에 의해 임의로 변경될 수 있다. 도 22의 게이트 드라이버에서는, 소위 펄스폭 제어(PWC)를 행할 수 있다.

<417> 여기서, 펄스폭 제어는, 인에이블 신호(En)가 L 레벨일 때 출력 단자(SRout)의 전위에 관계없이 출력 단자(GDout)가 H 레벨이 되는 것을 이용하여 행해진다. 즉, 시프트 레지스터 회로(200)의 출력 신호가 어떤 L 레벨의 펄스폭(주기)을 가져도, 인에이블 신호(En)를 L 레벨로 함으로써, 그 출력 신호를 짧게 할 수 있다.

<418> 또한, NAND 회로(221)는 2개의 입력 단자를 가지고 있지만, 입력 단자들 중 어느 하나에 시프트 레지스터 회로(200)의 출력 신호가 공급된다면, NAND 회로(221)의 입력 단자의 수는 몇 개라도 좋다. NAND 회로(221)의 입력 단자가 다수이면, 버퍼 회로(220)는 보다 정확하게 게이트 드라이버의 출력 신호를 제어할 수 있다.

<419> 또한, 도 24의 버퍼 회로(240)에서와 같이, 출력 단자(SRout)는 인버터 회로(211)를 통하여 NAND 회로(221)의 입력 단자(IN2)에 접속되어도 좋다. 이 경우, 제어 신호선(222)이 H 레벨인 경우, 출력 단자(SRout)가 H 레벨일 때, 게이트 드라이버의 출력 단자(GDout)는 H 레벨이 되고, 출력 단자(SRout)가 L 레벨일 때, 게이트 드라이버의 출력 단자(GDout)는 L 레벨이 된다. 제어 신호선(222)이 L 레벨인 경우는, 출력 단자(SRout)의 전위에 관계없이, 게이트 드라이버의 출력 단자(GDout)는 H 레벨이 된다.

<420> 또한, 도 26의 버퍼 회로(260)에서와 같이, NAND 회로(221)의 출력 단자(OUT)는 인버터 회로(211)를 통하여 게이트 드라이버의 출력 단자(GDout)에 접속되어 있어도 좋다. 이 경우, 제어 신호선(222)이 H 레벨인 경우, 출력 단자(SRout)가 H 레벨일 때, 게이트 드라이버의 출력 단자(GDout)는 H 레벨이 되고, 출력 단자(SRout)가 L 레벨일 때, 게이트 드라이버의 출력 단자(GDout)는 L 레벨이 된다. 제어 신호선(222)이 L 레벨인 경우는, 출력 단자(SRout)의 전위에 관계없이, 게이트 드라이버의 출력 단자(GDout)는 L 레벨이 된다.

<421> 또한, 제어 신호선(222)에는 인에이블 신호(En)가 공급되지만, 본 발명은 이것에 한정되는 것은 아니다.

<422> 예를 들어, 제어 신호선(222)에는 다른 제어 신호가 공급되어도 좋다.

<423> 다른 예로서, 제어 신호선(222)에는 전원이 공급되어도 좋다.

<424> 도 23은 본 발명의 버퍼 회로를 포함하는 게이트 드라이버의 다른 형태를 구체적으로 나타낸다. 도 23의 게이트 드라이버는 시프트 레지스터 회로(200), 버퍼 회로(230), 및 제어 신호선(222)을 포함하고 있다. 버퍼 회로(230)는 NOR 회로(231)를 가지고 있다.

<425> 도 23의 게이트 드라이버에 나타내는 바와 같이, 시프트 레지스터 회로(200)의 출력 단자(SRout)는 버퍼 회로(230)를 통하여 게이트 드라이버의 출력 단자(GDout)에 접속되어 있다.

<426> 버퍼 회로(230)의 접속 관계에 대하여 설명한다. NOR 회로(231)의 입력 단자(IN1)가 제어 신호선(222)에 접속되고, NOR 회로(231)의 입력 단자(IN2)가 시프트 레지스터 회로(200)의 출력 단자(SRout)에 접속되고, NOR 회로(231)의 출력 단자(OUT)가 게이트 드라이버의 출력 단자(GDout)에 접속되어 있다.

<427> 또한, 제어 신호선(222)에는 인에이블 신호(En)가 공급된다.

<428> 제어 신호선(222)이 H 레벨인 경우와 L 레벨인 경우, 시프트 레지스터 회로(200)의 출력 단자(SRout)가 H 레벨인 경우와 L 레벨인 경우에 있어서의 도 23의 게이트 드라이버의 동작에 대하여 각각 설명한다.

<429> 먼저, 제어 신호선(222)이 H 레벨이고, 시프트 레지스터 회로(200)의 출력 단자(SRout)가 H 레벨인 경우에 대하-

여 설명한다. NOR 회로(231)의 입력 단자(IN1)가 H 레벨이 되고, NOR 회로(231)의 입력 단자(IN2)가 H 레벨이 된다. 따라서, NOR 회로의 출력 단자(OUT)는 L 레벨이 되므로, 게이트 드라이버의 출력 단자(GDout)가 L 레벨이 된다.

<430> 다음에, 제어 신호선(222)이 H 레벨이고, 시프트 레지스터 회로(200)의 출력 단자(SRout)가 L 레벨인 경우에 대하여 설명한다. NOR 회로(231)의 입력 단자(IN1)가 H 레벨이 되고, NOR 회로(231)의 입력 단자(IN2)가 L 레벨이 된다. 따라서, NOR 회로의 출력 단자(OUT)는 L 레벨이 되므로, 게이트 드라이버의 출력 단자(GDout)가 L 레벨이 된다.

<431> 다음에, 제어 신호선(222)이 L 레벨이고, 시프트 레지스터 회로(200)의 출력 단자(SRout)가 H 레벨인 경우에 대하여 설명한다. NOR 회로(231)의 입력 단자(IN1)가 L 레벨이 되고, NOR 회로(231)의 입력 단자(IN2)가 H 레벨이 된다. 따라서, NOR 회로의 출력 단자(OUT)는 L 레벨이 되므로, 게이트 드라이버의 출력 단자(GDout)가 L 레벨이 된다.

<432> 다음에, 제어 신호선(222)이 L 레벨이고, 시프트 레지스터 회로(200)의 출력 단자(SRout)가 L 레벨인 경우에 대하여 설명한다. NOR 회로(231)의 입력 단자(IN1)가 L 레벨이 되고, NOR 회로(231)의 입력 단자(IN2)가 L 레벨이 된다. 따라서, NOR 회로의 출력 단자(OUT)는 H 레벨이 되므로, 게이트 드라이버의 출력 단자(GDout)가 H 레벨이 된다.

<433> 이상의 동작에 의해, 제어 신호선(222)이 H 레벨이면, 출력 단자(SRout)의 전위에 관계없이, 게이트 드라이버의 출력 단자(GDout)가 L 레벨이 된다. 제어 신호선(222)이 L 레벨이면, 출력 단자(SRout)가 H 레벨일 때, 게이트 드라이버의 출력 단자(GDout)가 L 레벨이 되고, 출력 단자(SRout)가 L 레벨일 때, 게이트 드라이버의 출력 단자(GDout)가 H 레벨이 된다.

<434> 이와 같이, 게이트 드라이버의 출력 단자(GDout)는 인에이블 신호(En)에 의해 임의로 변경될 수 있다. 도 23의 게이트 드라이버에서는, 소위 펄스폭 제어(PWC)를 행할 수 있다.

<435> 여기서, 펄스폭 제어는, 인에이블 신호(En)가 H 레벨일 때 출력 단자(SRout)의 전위에 관계없이 출력 단자(GDout)가 L 레벨이 되는 것을 이용하여 행한다. 즉, 시프트 레지스터 회로(200)의 출력 신호가 어떤 H 레벨 펄스폭(주기)을 가져도, 인에이블 신호(En)를 H 레벨로 함으로써, 그 출력 신호를 쉽게 할 수 있다.

<436> 또한, NOR 회로(231)는 2개의 입력 단자를 가지고 있지만, 입력 단자들 중 어느 하나에 시프트 레지스터 회로(200)의 출력 신호가 공급된다면, NOR 회로(231)의 입력 단자는 몇 개이어도 좋다. NOR 회로(231)의 입력 단자가 다수이면, 버퍼 회로(230)는 보다 정확하게 게이트 드라이버의 출력 신호를 제어할 수 있다.

<437> 또한, 도 25의 버퍼 회로(250)에서와 같이, 시프트 레지스터 회로(200)의 출력 단자(SRout)는 인버터 회로(211)를 통하여 NOR 회로(231)의 입력 단자(IN2)에 접속되어도 좋다. 이 경우, 제어 신호선(222)이 H 레벨이면, 출력 단자(SRout)의 전위에 관계없이 게이트 드라이버의 출력 단자(GDout)는 L 레벨이 된다. 제어 신호선(222)이 L 레벨이면, 출력 단자(SRout)가 H 레벨일 때 게이트 드라이버의 출력 단자(GDout)는 H 레벨이 되고, 출력 단자(SRout)가 L 레벨일 때 게이트 드라이버의 출력 단자(GDout)는 L 레벨이 된다.

<438> 또한, 도 27의 버퍼 회로(270)에서와 같이, NOR 회로(231)의 출력 단자(OUT)는 인버터 회로(211)를 통하여 게이트 드라이버의 출력 단자(GDout)에 접속되어도 좋다. 이 경우, 제어 신호선(222)이 H 레벨이면, 출력 단자(SRout)의 전위에 관계없이 게이트 드라이버의 출력 단자(GDout)는 H 레벨이 된다. 제어 신호선(222)이 L 레벨이면, 출력 단자(SRout)가 H 레벨일 때, 게이트 드라이버의 출력 단자(GDout)는 H 레벨이 되고, 출력 단자(SRout)가 L 레벨일 때, 게이트 드라이버의 출력 단자(GDout)는 L 레벨의 신호를 출력한다.

<439> 여기서, 인버터 회로(211)에 적용할 수 있는 구성예에 대하여 설명한다.

<440> 도 28은 인버터 회로(211)의 일 형태를 나타낸다. 도 28의 인버터 회로(280)는 트랜지스터(281) 및 트랜지스터(282)를 가지고 있다.

<441> 도 28의 인버터 회로(280)에 나타내는 바와 같이, 트랜지스터(281)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(281)의 제2 단자가 트랜지스터(282)의 제2 단자 및 출력 단자(OUT)에 접속되고, 트랜지스터(281)의 게이트 단자가 입력 단자(IN)에 접속되어 있다. 트랜지스터(282)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(282)의 게이트 단자가 제1 전원에 접속되어 있다.

<442> 또한, 제1 전원에는 전원 전위(VDD)가 공급되고, 제2 전원에는 전원 전위(VSS)가 공급된다. 제1 전원의 전원

전위(VDD)와 제2 전원의 전원 전위(VSS)와의 전위차(VDD-VSS)가 인버터 회로(280)의 전원 전압에 상당한다. 또한, 전원 전위(VDD)는 전원 전위(VSS)보다 높은 전위이다.

<443> 또한, 입력 단자(IN)에는 디지털 제어 신호가 공급된다. 또한, 출력 단자(OUT)는 출력 신호를 출력한다.

<444> 또한, 트랜지스터(281)와 트랜지스터(282) 각각은 n채널형 트랜지스터이다.

<445> 입력 단자(IN)가 H 레벨인 경우와 L 레벨인 경우에 있어서의 도 28의 인버터 회로(280)의 동작에 대하여 각각 설명한다.

<446> 먼저, 입력 단자(IN)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN)가 H 레벨이 되면, 트랜지스터(281)가 온으로 된다. 출력 단자(OUT)는 트랜지스터(281)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(282)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(281)와 트랜지스터(282)의 동작점에 의해 결정되어, 출력 단자(OUT)가 L 레벨이 된다.

<447> 다음에, 입력 단자(IN)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN)가 L 레벨이 되면, 트랜지스터(281)가 오프로 된다. 출력 단자(OUT)는 트랜지스터(282)를 통하여 제1 전원에 전기적으로 접속되고, 출력 단자(OUT)의 전위가 상승한다. 이때의 출력 단자(OUT)의 전위는 전원 전위(VDD)로부터 트랜지스터(282)의 스레시홀드 전압( $V_{th282}$ )을 뺀 값( $VDD - V_{th282}$ )이 되어, 출력 단자(OUT)가 H 레벨이 된다.

<448> 또한, 트랜지스터(282)는 정류성을 가지고 있을 필요는 없고, 전류가 흐르면 전압이 발생하는 소자라면 어떠한 소자라도 사용할 수 있다. 예를 들어, 도 32의 인버터 회로(320)에서와 같이, 트랜지스터(282) 대신에 저항 소자(321)를 접속하여도 좋다.

<449> 여기서, 트랜지스터(281) 및 트랜지스터(282)의 기능에 대하여 이하에 설명한다.

<450> 트랜지스터(281)는 입력 단자(IN)의 전위에 따라, 제2 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 입력 단자(IN)가 H 레벨일 때, 트랜지스터(281)는 출력 단자(OUT)에 전원 전위(VSS)를 공급하는 기능을 가진다.

<451> 트랜지스터(282)는 다이오드로서의 기능을 가진다.

<452> 도 29는 인버터 회로(211)의 다른 일 형태를 나타낸다. 도 29의 인버터 회로(290)는 트랜지스터(291), 트랜지스터(292), 트랜지스터(293), 및 2개의 전극을 가지는 커패시터(294)를 가지고 있다. 또한, 커패시터(294)는 반드시 필요하지는 않다.

<453> 도 29의 인버터 회로(290)에 나타내는 바와 같이, 트랜지스터(291)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(291)의 제2 단자가 트랜지스터(292)의 제2 단자, 커패시터(294)의 제2 전극, 및 출력 단자(OUT)에 접속되고, 트랜지스터(291)의 게이트 단자가 입력 단자(IN)에 접속되어 있다. 트랜지스터(292)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(292)의 게이트 단자가 트랜지스터(293)의 제2 단자 및 커패시터(294)의 제1 전극에 접속되어 있다. 트랜지스터(293)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(293)의 게이트 단자가 제1 전원에 접속되어 있다.

<454> 또한, 제1 전원, 제2 전원, 입력 단자(IN), 및 출력 단자(OUT)는 도 28의 것과 같은 것을 사용할 수 있다.

<455> 또한, 트랜지스터(291~293) 각각은 n채널형 트랜지스터이다.

<456> 입력 단자(IN)가 H 레벨인 경우와 L 레벨인 경우에 있어서의 도 29의 인버터 회로(290)의 동작에 대하여 각각 설명한다.

<457> 먼저, 입력 단자(IN)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN)가 H 레벨이 되면, 트랜지스터(291)가 온으로 된다. 트랜지스터(292)의 게이트 단자의 전위는 전원 전위(VDD)로부터 트랜지스터(293)의 스레시홀드 전압( $V_{th293}$ )을 뺀 값( $VDD - V_{th293}$ )이 되어, 트랜지스터(292)는 온이 된다. 또한, 트랜지스터(292)의 게이트 단자는 플로팅 상태에 있다.

<458> 따라서, 출력 단자(OUT)는 트랜지스터(291)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(292)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(291)와 트랜지스터(292)의 동작점에 의해 결정되어, 출력 단자(OUT)가 L 레벨이 된다.

<459> 다음에, 입력 단자(IN)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN)가 L 레벨이 되면, 트랜지스터(291)가 오프로 된다. 트랜지스터(292)의 게이트 단자의 전위는 전원 전위(VDD)로부터 트랜지스터(293)의 스레시

홀드 전압( $V_{th293}$ )을 뺀 값(VDD- $V_{th293}$ )이 되어, 트랜지스터(292)는 온이 된다. 또한, 트랜지스터(292)의 게이트 단자는 플로팅 상태에 있다.

<460> 따라서, 출력 단자(OUT)는 트랜지스터(292)를 통하여 제1 전원에 전기적으로 접속되고, 출력 단자(OUT)의 전위가 상승한다. 트랜지스터(292)의 게이트 단자의 전위는 커패시터(294)의 용량 결합에 따라, 전원 전위(VDD)와 트랜지스터(292)의 스레시홀드 전압( $V_{th292}$ )과의 합 이상의 값까지 상승하여, 트랜지스터(292)가 계속 온 상태에 있다. 소위 부트스트랩 동작이 행해진다. 따라서, 이때의 출력 단자(OUT)의 전위는 VDD가 되고, 출력 단자(OUT)가 H 레벨이 된다.

<461> 이와 같이, 도 29의 인버터 회로(290)에서는 부트스트랩 동작에 의해, 출력 단자(OUT)의 H 레벨 전위를 제1 전원의 전원 전위(VDD)까지 상승시킬 수 있다.

<462> 또한, 도 29의 인버터 회로(290)의 회로 구성은, 입력 단자(IN)가 L 레벨일 때 부트스트랩 동작을 행할 수 있다면, 도 29의 회로 구성에 한정되는 것은 아니다. 입력 단자(IN)가 H 레벨일 때는, 트랜지스터(292)의 게이트 단자에 전위가 공급되어도 좋다.

<463> 예를 들어, 도 33의 인버터 회로(330)에서와 같이, 트랜지스터(331)를 추가하여도 좋다. 왜냐하면, 출력 단자(OUT)가 L 레벨일 때 출력 단자(OUT)의 전위를 VSS로 할 수 있기 때문이다. 즉, 입력 단자(IN)가 H 레벨일 때 트랜지스터(331)가 온으로 되기 때문에, 트랜지스터(292)의 게이트 단자가 L 레벨이 된다. 그리고, 트랜지스터(292)는 오프로 되어, 출력 단자(OUT)는 트랜지스터(291)를 통하여 제2 전원에만 전기적으로 접속된다.

<464> 또한, 트랜지스터(331)는 n채널형 트랜지스터이다.

<465> 다른 예로서, 도 36의 인버터 회로(360)에서와 같이, 트랜지스터(293)의 제1 단자가 입력 단자(INb)에 접속되어도 좋다. 왜냐하면, 출력 단자(OUT)가 L 레벨일 때 출력 단자(OUT)의 전위를 VSS로 할 수 있기 때문이다. 즉, 입력 단자(IN)가 H 레벨일 때, 입력 단자(INb)가 L 레벨이 되기 때문에, 트랜지스터(292)의 게이트 단자가 L 레벨이 된다. 그리고, 트랜지스터(292)는 오프로 되어, 출력 단자(OUT)가 트랜지스터(291)를 통하여 제2 전원에만 전기적으로 접속된다.

<466> 또한, 입력 단자(INb)에는 입력 단자(IN)의 신호의 반전 신호가 공급된다. 또한, 입력 단자(INb)에 공급되는 신호를 생성하는 방법에 대하여 설명한다.

<467> 예를 들어, 도 124에 나타내는 바와 같이, 입력 단자(INb)에는 입력 단자(IN)의 신호가 인버터 회로(1241)를 통하여 공급되어도 좋다. 또한, 인버터 회로(1241)로서, 도 28~도 35에 나타낸 인버터 회로를 적용할 수 있다.

<468> 또한, 입력 단자(INb)에는 입력 단자(IN)의 신호의 반전 신호가 반드시 공급되는 것은 아니다. 이하에, 입력 신호(INb)에 공급되는 신호에 대하여 설명한다.

<469> 예를 들어, 입력 단자(IN)가 n번째 단의 출력 단자(SRoutn)에 접속되어 있는 경우, 입력 단자(INb)는 n-1번째 단의 출력 단자(SRoutn-1)에 접속되어도 좋다.

<470> 다른 예로서, 입력 단자(IN)가 n번째 단의 출력 단자(SRoutn)에 접속되어 있는 경우, 입력 단자(INb)는 n+1번째 단의 출력 단자(SRoutn+1)에 접속되어도 좋다.

<471> 다른 예로서, 입력 단자(IN)가 n번째 단의 출력 단자(SRout)에 접속되어 있는 경우, 입력 단자(INb)는 n번째 단의 플립플롭 회로의 노드(N2)에 접속되어도 좋다. 왜냐하면, 비선택 기간에서, 플립플롭 회로의 노드(N2)의 전위는 출력 단자(SRout)의 전위와 반전 전위이므로, 플립플롭 회로의 노드(N2)의 전위는 반전 신호로서 이용될 수 있기 때문이다. 따라서, 인버터 회로(360)의 입력 단자(INb)에 플립플롭 회로의 노드(N2)의 전위를 공급함으로써, 반전 신호를 생성하기 위한 인버터 회로가 불필요하게 된다.

<472> 다른 예로서, 입력 단자(INb)에 제어 신호(디지털값)이 공급되면, 도 36의 인버터 회로는 트리스테이트 버퍼 회로로서 동작할 수 있다. 왜냐하면, 입력 단자(IN)가 L 레벨이 되고, 입력 단자(INb)가 L 레벨이 되면, 트랜지스터(291) 및 트랜지스터(292)가 오프로 되어, 출력 단자(OUT)는 어느 전원에도 접속되지 않기 때문이다. 따라서, 인버터 회로(360)가 트리스테이트 버퍼 회로 또는 인버터 회로로서의 기능을 가질 수 있다.

<473> 이와 같이, 인버터 회로(360)의 입력 단자(INb)에는 다양한 방법으로 신호를 공급할 수 있다.

<474> 이하에, 도 29의 응용예에 대하여 더 설명한다.

<475> 다른 예로서, 도 39의 인버터 회로(390)에서와 같이, 트랜지스터(293)의 제1 단자 및 게이트 단자가 입력 단자

(INb)에 접속되고, 트랜지스터(391)가 추가되어도 좋다. 왜냐하면, 출력 단자(OUT)가 L 레벨일 때, 출력 단자(OUT)의 전위를 VSS로 할 수 있기 때문이다. 즉, 입력 단자(INb)가 L 레벨일 때, 트랜지스터(292)의 게이트 단자가 L 레벨이 된다. 그리고, 트랜지스터(292)는 오프로 되어, 출력 단자(OUT)는 트랜지스터(291)를 통하여 제2 전원에만 전기적으로 접속된다.

<476> 또한, 커패시터(294)로서는, 용량성을 가지는 소자라면 어떠한 소자라도 사용할 수 있다. 예를 들어, 도 30의 인버터 회로(300), 도 34의 인버터 회로(340), 도 37의 인버터 회로(370), 및 도 40의 인버터 회로(400)에서와 같이, 커패시터(294) 대신에 각각 트랜지스터(301), 트랜지스터(341), 트랜지스터(371), 트랜지스터(401)를 접속하여도 좋다.

<477> 또한, 커패시터(294)는, 트랜지스터(292)의 제2 단자와 게이트 단자와의 사이의 용량값이 충분히 크다면, 반드시 필요하지는 않다. 예를 들어, 도 31의 인버터 회로(310), 도 35의 인버터 회로(350), 도 38의 인버터 회로(380), 및 도 41의 인버터 회로(410)에서와 같이, 커패시터(294)를 접속하지 않아도 좋다.

<478> 여기서, 트랜지스터(291~293), 트랜지스터(301), 트랜지스터(331), 트랜지스터(341), 및 커패시터(294)의 기능에 대하여 이하에 설명한다.

<479> 트랜지스터(291)는 입력 단자(IN)의 전위에 따라, 제2 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 입력 단자(IN)가 H 레벨일 때, 트랜지스터(291)는 출력 단자(OUT)에 전원 전위(VSS)를 공급하는 기능을 가진다.

<480> 트랜지스터(292)는 제1 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다.

<481> 트랜지스터(293)는 다이오드로서의 기능을 가진다. 또한, 트랜지스터(293)는 트랜지스터(292)의 게이트 단자를 플로팅 상태로 하는 기능을 가진다.

<482> 트랜지스터(301)는 출력 단자(OUT)와 트랜지스터(292)의 게이트 단자와의 사이에 접속된 커패시터로서의 기능을 가진다. 입력 단자(IN)가 L 레벨일 때, 트랜지스터(301)는 트랜지스터(292)의 게이트 단자의 전위를 상승시키는 기능을 가진다.

<483> 트랜지스터(331)는 입력 단자(IN)의 전위에 따라, 제2 전원과 트랜지스터(292)의 게이트 단자를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다.

<484> 트랜지스터(341)는 출력 단자(OUT)와 트랜지스터(292)의 게이트 단자와의 사이에 접속된 커패시터로서의 기능을 가진다. 입력 단자(IN)가 L 레벨일 때, 트랜지스터(341)는 출력 단자(OUT)의 전위의 상승에 의해, 트랜지스터(292)의 게이트 단자의 전위를 상승시키는 기능을 가진다.

<485> 커패시터(294)는 출력 단자(OUT)의 전위에 따라 트랜지스터(292)의 게이트 단자의 전위를 변화시키기 위한 기능을 가진다. 입력 단자(IN)가 L 레벨일 때, 커패시터(294)는 출력 단자(OUT)의 전위의 상승에 의해 트랜지스터(292)의 게이트 단자의 전위를 상승시키는 기능을 가진다.

<486> 이와 같이, 도 28~도 41의 인버터 회로에서는, H 레벨의 신호를 출력할 때, 전원 전위(VDD)를 변경함으로써, 출력 단자(OUT)의 전위를 자유롭게 바꿀 수 있다. 즉, 도 28~도 41의 인버터 회로는 인버터 회로로서 동작할 뿐만 아니라, 레벨 시프트 회로로도 동작할 수 있다.

<487> 도 28~도 41에서는 모두 n채널형 트랜지스터를 사용하여 구성된 인버터 회로들에 대하여 설명하였지만, 그 인버터 회로들이 모두 p채널형 트랜지스터를 사용하여 구성되어도 좋다. 여기서, 모두 p채널형 트랜지스터를 사용하여 구성된 인버터 회로를 도 58~도 71에 나타낸다.

<488> 도 58은 인버터 회로(211)의 일 형태를 나타낸다. 도 58의 인버터 회로(580)는 트랜지스터(581)와 트랜지스터(582)를 가지고 있다.

<489> 도 58의 인버터 회로(580)에 나타내는 바와 같이, 트랜지스터(581)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(581)의 제2 단자가 트랜지스터(582)의 제2 단자 및 출력 단자(OUT)에 접속되고, 트랜지스터(581)의 게이트 단자가 입력 단자(IN)에 접속되어 있다. 트랜지스터(582)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(582)의 게이트 단자가 제1 전원에 접속되어 있다.

<490> 또한, 제1 전원에는 전원 전위(VSS)가 공급되고, 제2 전원에는 전원 전위(VDD)가 공급된다. 제1 전원의 전원

전위(VSS)와 제2 전원의 전원 전위(VDD)와의 전위차(VDD-VSS)가 인버터 회로(580)의 전원 전압에 상당한다. 또한, 전원 전위(VDD)는 전원 전위(VSS)보다 높은 전위이다.

<491> 또한, 입력 단자(IN)에는 디지털 제어 신호가 공급된다. 또한, 출력 단자(OUT)는 출력 신호를 출력한다.

<492> 또한, 트랜지스터(581)와 트랜지스터(582) 각각은 p채널형 트랜지스터이다.

<493> 입력 단자(IN)가 H 레벨인 경우와 L 레벨인 경우에 있어서의 도 58의 인버터 회로(580)의 동작에 대하여 각각 설명한다.

<494> 먼저, 입력 단자(IN)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN)가 H 레벨이 되면, 트랜지스터(581)가 오프로 된다. 출력 단자(OUT)는 트랜지스터(582)를 통하여 제1 전원에 전기적으로 접속되고, 출력 단자(OUT)의 전위가 낮아진다. 이때의 출력 단자(OUT)의 전위는 전원 전위(VSS)와 트랜지스터(582)의 스레시홀드 전압( $V_{th582}$ )의 절대값과의 합이 되는 값( $V_{SS} + |V_{th582}|$ )이 되어, 출력 단자(OUT)가 L 레벨이 된다.

<495> 다음에, 입력 단자(IN)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN)가 L 레벨이 되면, 트랜지스터(581)가 온으로 된다. 출력 단자(OUT)는 트랜지스터(581)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(582)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 상승한다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(581)와 트랜지스터(582)의 동작점에 의해 결정되어, 출력 단자(OUT)가 H 레벨이 된다.

<496> 또한, 트랜지스터(582)는 정류성을 가지고 있을 필요는 없고, 전류가 흐르면 전압이 발생하는 소자라면 어떠한 소자라도 사용할 수 있다. 예를 들어, 도 62의 인버터 회로(620)에서와 같이, 트랜지스터(582) 대신에 저항 소자(621)를 접속하여도 좋다.

<497> 여기서, 트랜지스터(581)와 트랜지스터(582)의 기능에 대하여 이하에 설명한다.

<498> 트랜지스터(581)는 입력 단자(IN)의 전위에 따라, 제2 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 입력 단자(IN)가 L 레벨일 때, 트랜지스터(581)는 출력 단자(OUT)에 전원 전위(VDD)를 공급하는 기능을 가진다.

<499> 트랜지스터(582)는 다이오드로서의 기능을 가진다.

<500> 도 59는 인버터 회로(211)의 다른 일 형태를 나타낸다. 도 59에 나타낸 인버터 회로(590)는 트랜지스터(591), 트랜지스터(592), 트랜지스터(593), 및 2개의 전극을 가지는 커패시터(594)를 가지고 있다. 또한, 커패시터(594)는 반드시 필요한 것은 아니다.

<501> 도 59의 인버터 회로(590)에 나타내는 바와 같이, 트랜지스터(591)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(591)의 제2 단자가 트랜지스터(592)의 제2 단자, 커패시터(594)의 제2 전극, 및 출력 단자(OUT)에 접속되고, 트랜지스터(591)의 게이트 단자가 입력 단자(IN)에 접속되어 있다. 트랜지스터(592)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(592)의 게이트 단자가 트랜지스터(593)의 제2 단자, 및 커패시터(594)의 제1 전극에 접속되어 있다. 트랜지스터(593)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(593)의 게이트 단자가 제1 전원에 접속되어 있다.

<502> 또한, 제1 전원, 제2 전원, 입력 단자(IN), 및 출력 단자(OUT)는 도 58에 나타낸 것과 같은 것을 사용할 수 있다.

<503> 또한, 트랜지스터(591~593) 각각은 p채널형 트랜지스터이다.

<504> 입력 단자(IN)가 H 레벨인 경우와 L 레벨인 경우에 있어서의 도 59의 인버터 회로(590)의 동작에 대하여 각각 설명한다.

<505> 먼저, 입력 단자(IN)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN)가 H 레벨이 되면, 트랜지스터(591)가 오프로 된다. 트랜지스터(592)의 게이트 단자의 전위는 전원 전위(VSS)와 트랜지스터(593)의 스레시홀드 전압( $V_{th593}$ )의 절대값과의 합이 되는 값( $V_{SS} + |V_{th593}|$ )이 되어, 트랜지스터(592)가 온으로 된다. 또한, 트랜지스터(592)의 게이트 단자는 플로팅 상태로 된다.

<506> 따라서, 출력 단자(OUT)는 트랜지스터(592)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 트랜지스터(592)의 게이트 단자의 전위는 커패시터(594)의 용량 결합에 따라, 전원 전위(VSS)로부터 트랜지스터(592)의 스레시홀드 전압( $V_{th592}$ )의 절대값( $|V_{th592}|$ )을 뺀 값( $V_{SS} - |V_{th592}|$ ) 이하의 값까지 낮아지고, 트랜지스터(592)가 계속 온 상태에 있다. 소위 부트스트랩 동작이 행해진다. 따라서, 이때의 출

력 단자(OUT)의 전위는 VSS가 되고, 출력 단자(OUT)가 L 레벨이 된다.

<507> 다음에, 입력 단자(IN)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN)가 L 레벨이 되면, 트랜지스터(591)가 온으로 된다. 트랜지스터(592)의 게이트 단자의 전위는 전원 전위(VSS)와 트랜지스터(593)의 스레시홀드 전압의 절대값(|Vth593|)과의 합이 되는 값(VSS + |Vth593|)이 되어, 트랜지스터(592)가 온으로 된다. 또한, 트랜지스터(592)의 게이트 단자는 플로팅 상태로 된다.

<508> 따라서, 출력 단자(OUT)는 트랜지스터(591)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(592)를 통하여 제1 전원에 전기적으로 접속되고, 출력 단자(OUT)의 전위가 상승한다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(591)와 트랜지스터(592)의 동작점에 의해 결정되어, 출력 단자(OUT)가 H 레벨이 된다.

<509> 이와 같이, 도 59의 인버터 회로(590)에서는 부트스트랩 동작에 의해, 출력 단자(OUT)의 L 레벨 전위를 제1 전원의 전원 전위(VSS)까지 낮출 수 있다.

<510> 또한, 도 59의 인버터 회로(590)의 회로 구성은 입력 단자(IN)가 H 레벨일 때 부트스트랩 동작을 행할 수 있다면, 도 59의 회로 구성에 한정되는 것은 아니다. 입력 단자(IN)가 L 레벨일 때, 트랜지스터(592)의 게이트 단자에 전위를 공급하여도 좋다.

<511> 예를 들어, 도 63의 인버터 회로(630)에서와 같이, 트랜지스터(631)를 추가하여도 좋다. 왜냐하면, 출력 단자(OUT)가 H 레벨일 때, 출력 단자(OUT)의 전위를 VDD로 할 수 있기 때문이다. 즉, 입력 단자(IN)가 L 레벨일 때 트랜지스터(631)가 온으로 되기 때문에, 트랜지스터(592)의 게이트 단자가 H 레벨이 된다. 그리고, 트랜지스터(592)는 오프로 되어, 출력 단자(OUT)는 트랜지스터(591)를 통하여 제2 전원에만 전기적으로 접속된다.

<512> 또한, 트랜지스터(631)는 p채널형 트랜지스터이다.

<513> 다른 예로서, 도 66의 인버터 회로(660)에서와 같이, 트랜지스터(593)의 제1 단자가 입력 단자(INb)에 접속되어도 좋다. 왜냐하면, 출력 단자(OUT)가 H 레벨일 때, 출력 단자(OUT)의 전위를 VDD로 할 수 있기 때문이다. 즉, 입력 단자(IN)가 L 레벨일 때, 입력 단자(INb)가 H 레벨이 되기 때문에, 트랜지스터(592)의 게이트 단자가 H 레벨이 된다. 그리고, 트랜지스터(592)는 오프로 되어, 출력 단자(OUT)는 트랜지스터(591)를 통하여 제2 전원에만 전기적으로 접속된다.

<514> 또한, 입력 단자(INb)에는 입력 단자(IN)의 신호의 반전 신호가 공급된다. 또한, 그 입력 단자(INb)로서는 도 36의 입력 단자(INb)와 같은 것을 사용할 수 있다.

<515> 예를 들어, 도 125에 나타내는 바와 같이, 입력 단자(INb)에는, 입력 단자(IN)에 입력되는 신호를 인버터 회로(1251)를 통하여 공급하여도 좋다. 또한, 인버터 회로(1251)로서는, 도 58~도 65에 나타낸 인버터 회로를 적용할 수 있다.

<516> 또한, 도 36은, 인버터 회로(360)가 입력 단자(INb)에 제어 신호를 공급함으로써 트리스테이트 버퍼 회로로도 기능하는 것을 나타낸다. 여기서, 도 66에 나타낸 인버터 회로(660)도 마찬가지로, 입력 단자(INb)에 제어 신호를 공급함으로써 트리스테이트 버퍼 회로로도 기능할 수 있다. 즉, 입력 단자(IN)가 H 레벨이 되고, 입력 단자(INb)가 H 레벨이 되면, 트랜지스터(591)와 트랜지스터(592)가 오프로 되어, 출력 단자(OUT)는 어느 전원에도 접속되지 않으므로, 인버터 회로(660)는 트리스테이트 버퍼 회로로서 기능할 수 있다.

<517> 이하에, 도 59의 응용예에 대하여 더 설명한다.

<518> 다른 예로서, 도 69의 인버터 회로(690)에서와 같이, 트랜지스터(593)의 제1 단자 및 게이트 단자가 입력 단자(INb)에 접속되고, 트랜지스터(631)가 추가되어도 좋다. 왜냐하면, 출력 단자(OUT)가 H 레벨일 때, 출력 단자(OUT)의 전위를 VDD로 할 수 있기 때문이다. 즉, 입력 단자(INb)가 H 레벨일 때, 트랜지스터(592)의 게이트 단자가 H 레벨이 된다. 그리고, 트랜지스터(592)는 오프로 되어, 출력 단자(OUT)는 트랜지스터(591)를 통하여 제2 전원에만 전기적으로 접속된다.

<519> 또한, 커패시터(594)는, 용량성을 가지는 소자라면 어떠한 소자라도 사용할 수 있다. 예를 들어, 도 60의 인버터 회로(600), 도 64의 인버터 회로(640), 도 67의 인버터 회로(670), 및 도 70의 인버터 회로(700)에서와 같이, 커패시터(594) 대신에 각각 트랜지스터(601), 트랜지스터(641), 트랜지스터(671), 트랜지스터(701)를 접속하여도 좋다.

<520> 또한, 커패시터(594)는, 트랜지스터(592)의 제2 단자와 게이트 단자와의 사이의 용량값이 충분히 크다면, 반드시 필요하지는 않다. 예를 들어, 도 61의 인버터 회로(610), 도 65의 인버터 회로(650), 도 68의 인버터 회로

(680), 및 도 71의 인버터 회로(710)에서와 같이, 커패시터(594)를 접속하지 않아도 좋다.

<521> 여기서, 트랜지스터(591~593), 트랜지스터(601), 트랜지스터(631), 트랜지스터(641), 및 커패시터(594)의 기능에 대하여 이하에 설명한다.

<522> 트랜지스터(591)는 입력 단자(IN)의 전위에 따라, 제2 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 결정하는 스위치로서의 기능을 가진다. 입력 단자(IN)가 L 레벨일 때, 트랜지스터(591)는 출력 단자(OUT)에 전원 전위(VDD)를 공급하는 기능을 가진다.

<523> 트랜지스터(592)는 제1 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 결정하는 스위치로서의 기능을 가진다.

<524> 트랜지스터(593)는 다이오드로서의 기능을 가진다. 또한, 트랜지스터(593)는 트랜지스터(592)의 게이트 단자를 플로팅 상태로 하는 기능을 가진다.

<525> 트랜지스터(601)는 출력 단자(OUT)와 트랜지스터(592)의 게이트 단자와의 사이에 접속된 커패시터로서의 기능을 가진다. 입력 단자(IN)가 H 레벨일 때, 트랜지스터(601)는 트랜지스터(592)의 게이트 단자의 전위를 낮추는 기능을 가진다.

<526> 트랜지스터(631)는 입력 단자(IN)의 전위에 따라, 제2 전원과 트랜지스터(592)의 게이트 단자를 접속할지 접속하지 않을지를 결정하는 스위치로서의 기능을 가진다. 입력 단자(IN)가 L 레벨일 때, 트랜지스터(631)는 트랜지스터(592)의 게이트 단자에 전원 전위(VDD)를 공급하는 기능을 가진다.

<527> 트랜지스터(641)는 출력 단자(OUT)와 트랜지스터(592)의 게이트 단자와의 사이에 접속된 커패시터로서의 기능을 가진다. 입력 단자(IN)가 L 레벨일 때, 커패시터(594)는 출력 단자(OUT)의 전위의 하강에 의해, 트랜지스터(592)의 게이트 단자의 전위를 하강시키는 기능을 가진다.

<528> 커패시터(594)는 출력 단자(OUT)의 전위에 따라 트랜지스터(592)의 게이트 단자의 전위를 변경하기 위한 기능을 가진다. 입력 단자(IN)가 H 레벨일 때, 커패시터(594)는 출력 단자(OUT)의 전위의 하강에 의해 트랜지스터(592)의 게이트 단자의 전위를 낮추는 기능을 가진다.

<529> 이와 같이, 도 58~도 71의 인버터 회로들은 L 레벨 신호를 출력할 때 전원 전위(VSS)를 변경함으로써 출력 단자(OUT)의 전위를 자유롭게 바꿀 수 있다. 즉, 도 58~도 71의 인버터 회로들은 인버터 회로로서 동작할 뿐만 아니라, 레벨 시프트 회로로도 동작할 수 있다.

<530> 여기서, NAND 회로(221)에 적용할 수 있는 몇몇 구성예에 대하여 설명한다.

<531> 도 42는 NAND 회로(221)의 일 형태를 나타낸다. 도 42의 NAND 회로(420)는 트랜지스터(421), 트랜지스터(422), 및 트랜지스터(423)를 가지고 있다.

<532> 도 42의 NAND 회로(420)에 나타내는 바와 같이, 트랜지스터(421)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(421)의 제2 단자가 트랜지스터(422)의 제1 단자에 접속되고, 트랜지스터(421)의 게이트 단자가 입력 단자(IN1)에 접속되어 있다. 트랜지스터(422)의 제2 단자가 트랜지스터(423)의 제1 단자 및 출력 단자(OUT)에 접속되고, 트랜지스터(422)의 게이트 단자가 입력 단자(IN2)에 접속되어 있다. 트랜지스터(423)의 제2 단자가 제1 전원에 접속되고, 트랜지스터(423)의 게이트 단자가 제1 전원에 접속되어 있다.

<533> 또한, 제1 전원에는 전원 전위(VDD)가 공급되고, 제2 전원에는 전원 전위(VSS)가 공급된다. 제1 전원의 전원 전위(VDD)와 제2 전원의 전원 전위(VSS)와의 전위차(VDD-VSS)가 NAND 회로(420)의 전원 전압에 상당한다. 또한, 전원 전위(VDD)는 전원 전위(VSS)보다 높은 전위이다.

<534> 또한, 입력 단자(IN1) 및 입력 단자(IN2) 각각에는 디지털 제어 신호가 공급된다. 또한, 출력 단자(OUT)는 출력 신호를 출력한다.

<535> 또한, 트랜지스터(421~423) 각각은 n채널형 트랜지스터이다.

<536> 입력 단자(IN1)가 H 레벨인 경우와 L 레벨인 경우, 및 입력 단자(IN2)가 H 레벨인 경우와 L 레벨인 경우에 있어서의 도 42의 NAND 회로(420)의 동작에 대하여 각각 설명한다.

<537> 먼저, 입력 단자(IN1)가 H 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(421)가 온으로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(422)가 온으로 된

다.

<538> 따라서, 출력 단자(OUT)는 트랜지스터(421)와 트랜지스터(422)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(423)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(421)와 트랜지스터(422)와 트랜지스터(423)의 동작점에 의해 결정되어, 출력 단자(OUT)는 L 레벨이 된다.

<539> 다음에, 입력 단자(IN1)가 H 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(421)가 온으로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(422)가 오프로 된다.

<540> 따라서, 출력 단자(OUT)는 트랜지스터(423)를 통하여 제1 전원에 전기적으로 접속되고, 출력 단자(OUT)의 전위가 상승한다. 이때의 출력 단자(OUT)의 전위는 전원 전위(VDD)로부터 트랜지스터(423)의 스레시홀드 전압( $V_{th423}$ )을 뺀 값( $VDD - V_{th423}$ )이 되어, 출력 단자(OUT)가 H 레벨이 된다.

<541> 다음에, 입력 단자(IN1)가 L 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 L 레벨이 되면, 트랜지스터(421)가 오프로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(422)가 온으로 된다.

<542> 따라서, 출력 단자(OUT)는 트랜지스터(423)를 통하여 제1 전원에 전기적으로 접속되고, 출력 단자(OUT)의 전위가 상승한다. 이때의 출력 단자(OUT)의 전위는 전원 전위(VDD)로부터 트랜지스터(423)의 스레시홀드 전압( $V_{th423}$ )을 뺀 값( $VDD - V_{th423}$ )이 되어, 출력 단자(OUT)가 H 레벨이 된다.

<543> 다음에, 입력 단자(IN1)가 L 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 L 레벨이 되면, 트랜지스터(421)가 오프로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(422)가 오프로 된다.

<544> 따라서, 출력 단자(OUT)는 트랜지스터(423)를 통하여 제1 전원에 전기적으로 접속되고, 출력 단자(OUT)의 전위가 상승한다. 이때의 출력 단자(OUT)의 전위는 전원 전위(VDD)로부터 트랜지스터(423)의 스레시홀드 전압( $V_{th423}$ )을 뺀 값( $VDD - V_{th423}$ )이 되어, 출력 단자(OUT)가 H 레벨이 된다.

<545> 또한, 트랜지스터(423)는 정류성을 가지고 있을 필요는 없고, 전류가 흐르면 전압이 발생하는 소자라면 어떠한 소자라도 사용할 수 있다. 예를 들어, 도 46의 NAND 회로(460)에서와 같이, 트랜지스터(423) 대신에 저항 소자(461)를 접속하여도 좋다.

<546> 여기서, 트랜지스터(421~423)의 기능에 대하여 이하에 설명한다.

<547> 트랜지스터(421)는 입력 단자(IN1)의 전위에 따라, 제2 전원과 트랜지스터(422)의 제1 단자를 접속할지 접속하지 않을지를 결정하는 스위치로서의 기능을 가진다.

<548> 트랜지스터(422)는 입력 단자(IN2)의 전위에 따라, 트랜지스터(421)의 제2 단자와 출력 단자(OUT)를 접속할지 접속하지 않을지를 결정하는 스위치로서의 기능을 가진다.

<549> 트랜지스터(423)는 다이오드로서의 기능을 가진다.

<550> 도 43은 NAND 회로(221)의 다른 일 형태를 나타낸다. 도 43의 NAND 회로(430)는 트랜지스터(431), 트랜지스터(432), 트랜지스터(433), 트랜지스터(434), 및 커패시터(435)를 가지고 있다.

<551> 도 43의 NAND 회로(430)에 나타내는 바와 같이, 트랜지스터(431)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(431)의 제2 단자가 트랜지스터(432)의 제1 단자에 접속되고, 트랜지스터(431)의 게이트 단자가 입력 단자(IN1)에 접속되어 있다. 트랜지스터(432)의 제2 단자가 트랜지스터(433)의 제2 단자, 커패시터(435)의 제2 전극, 및 출력 단자(OUT)에 접속되고, 트랜지스터(432)의 게이트 단자가 입력 단자(IN2)에 접속되어 있다. 트랜지스터(433)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(433)의 게이트 단자가 트랜지스터(434)의 제2 단자 및 커패시터(435)의 제1 전극에 접속되어 있다. 트랜지스터(434)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(434)의 게이트 단자가 제1 전원에 접속되어 있다.

<552> 또한, 제1 전원, 제2 전원, 입력 단자(IN1), 입력 단자(IN2), 및 출력 단자(OUT)는 도 42에 나타낸 것과 같은 것을 사용할 수 있다.

<553> 또한, 트랜지스터(431~434) 각각은 n채널형 트랜지스터이다.

- <554> 입력 단자(IN1)가 H 레벨인 경우와 L 레벨인 경우, 및 입력 단자(IN2)가 H 레벨인 경우와 L 레벨인 경우에 있어서 도 43의 NAND 회로(430)의 동작에 대하여 각각 설명한다.
- <555> 먼저, 입력 단자(IN)가 H 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(431)가 온으로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(432)가 온으로 된다. 트랜지스터(433)의 게이트 단자의 전위는 전원 전위(VDD)로부터 트랜지스터(434)의 스레시홀드 전압(Vth434)을 뺀 값(VDD-Vth434)이 되어, 트랜지스터(433)가 온으로 된다.
- <556> 따라서, 출력 단자(OUT)는 트랜지스터(431)와 트랜지스터(432)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(433)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(431)와 트랜지스터(432)와 트랜지스터(433)의 동작점에 의해 결정되어, 출력 단자(OUT)가 L 레벨이 된다.
- <557> 다음에, 입력 단자(IN1)가 H 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(431)가 온으로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(432)가 오프로 된다. 트랜지스터(433)의 게이트 단자의 전위는 전원 전위(VDD)로부터 트랜지스터(434)의 스레시홀드 전압(Vth434)을 뺀 값(VDD-Vth434)이 되어, 트랜지스터(433)가 온으로 된다. 또한, 트랜지스터(433)의 게이트 단자는 플로팅 상태로 된다.
- <558> 따라서, 출력 단자(OUT)는 트랜지스터(433)를 통하여 제1 전원에 전기적으로 접속되고, 출력 단자(OUT)의 전위가 상승한다. 트랜지스터(433)의 게이트 단자의 전위는 커패시터(435)의 용량 결합에 따라, 전원 전위(VDD)와 트랜지스터(433)의 스레시홀드 전압(Vth433)과의 합 이상의 값까지 상승하여, 트랜지스터(433)가 계속 온 상태에 있다. 소위 부트스트랩 동작이 행해진다. 이때의 출력 단자(OUT)의 전위는 VDD가 되어, 출력 단자(OUT)가 H 레벨이 된다.
- <559> 다음에, 입력 단자(IN1)가 L 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 L 레벨이 되면, 트랜지스터(431)가 오프로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(432)가 온으로 된다. 트랜지스터(433)의 게이트 단자의 전위는 전원 전위(VDD)로부터 트랜지스터(434)의 스레시홀드 전압(Vth434)을 뺀 값(VDD-Vth434)이 되어, 트랜지스터(433)가 온으로 된다. 또한, 트랜지스터(433)의 게이트 단자는 플로팅 상태로 된다.
- <560> 따라서, 출력 단자(OUT)는 트랜지스터(433)를 통하여 제1 전원에 전기적으로 접속되고, 출력 단자(OUT)의 전위가 상승한다. 트랜지스터(433)의 게이트 단자의 전위는 커패시터(435)의 용량 결합에 따라, 전원 전위(VDD)와 트랜지스터(433)의 스레시홀드 전압(Vth433)과의 합 이상의 값까지 상승하여, 트랜지스터(433)가 계속 온 상태에 있다. 소위 부트스트랩 동작이 행해진다. 따라서, 이때의 출력 단자(OUT)의 전위는 VDD가 되어, 출력 단자(OUT)가 H 레벨이 된다.
- <561> 다음에, 입력 단자(IN1)가 L 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 L 레벨이 되면, 트랜지스터(431)가 오프로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(432)가 오프로 된다. 트랜지스터(433)의 게이트 단자의 전위는 전원 전위(VDD)로부터 트랜지스터(434)의 스레시홀드 전압(Vth434)을 뺀 값(VDD-Vth434)이 되어, 트랜지스터(433)가 온으로 된다. 또한, 트랜지스터(433)의 게이트 단자는 플로팅 상태로 된다.
- <562> 따라서, 출력 단자(OUT)는 트랜지스터(433)를 통하여 제1 전원에 전기적으로 접속되고, 출력 단자(OUT)의 전위가 상승한다. 트랜지스터(433)의 게이트 단자의 전위는 커패시터(435)의 용량 결합에 따라, 전원 전위(VDD)와 트랜지스터(433)의 스레시홀드 전압(Vth433)과의 합 이상의 값까지 상승하여, 트랜지스터(433)가 계속 온 상태에 있다. 소위 부트스트랩 동작이 행해진다. 따라서, 이때의 출력 단자(OUT)의 전위는 VDD가 되어, 출력 단자(OUT)가 H 레벨이 된다.
- <563> 이와 같이, 도 43의 NAND 회로(430)에서는 부트스트랩 동작에 의해, 출력 단자(OUT)의 H 레벨 전위를 제1 전원의 전원 전위(VDD)까지 상승시킬 수 있다.
- <564> 또한, 도 43의 NAND 회로(430)의 회로 구성은, 입력 단자(IN1) 또는 입력 단자(IN2)가 L 레벨일 때 부트스트랩 동작을 행할 수 있다면, 도 43의 회로 구성에 한정되는 것은 아니다. 입력 단자(IN1) 및 입력 단자(IN2)가 H 레벨일 때, 트랜지스터(433)의 게이트 단자에 전위를 공급하여도 좋다.
- <565> 예를 들어, 도 47의 NAND 회로(470)에서와 같이, 트랜지스터(471)와 트랜지스터(472)를 추가하여도 좋다. 왜냐

하면, 출력 단자(OUT)가 L 레벨일 때, 출력 단자(OUT)의 전위를 VSS로 할 수 있기 때문이다. 즉, 입력 단자(IN1) 및 입력 단자(IN2)가 H 레벨일 때, 트랜지스터(471) 및 트랜지스터(472)가 온으로 되기 때문에, 트랜지스터(433)의 게이트 단자가 L 레벨이 된다. 그리고, 트랜지스터(433)는 오프로 되어, 출력 단자(OUT)는 트랜지스터(431) 및 트랜지스터(432)를 통하여 제2 전원에만 전기적으로 접속된다.

<566> 또한, 트랜지스터(471) 및 트랜지스터(472)는 각각 n채널형 트랜지스터이다.

<567> 또한, 커패시터(435)는 용량성을 가지는 소자라면 어떠한 소자라도 사용할 수 있다. 예를 들어, 도 44의 NAND 회로(440) 및 도 48의 NAND 회로(480)에서와 같이, 커패시터(435) 대신에 각각 트랜지스터(441) 및 트랜지스터(481)를 접속하여도 좋다.

<568> 또한, 커패시터(435)는, 트랜지스터(433)의 제2 단자와 게이트 단자와의 사이의 용량값이 충분히 크다면, 반드시 필요하지는 않다. 예를 들어, 도 45의 NAND 회로(450) 및 도 49의 NAND 회로(490)에서와 같이, 커패시터(435)를 접속하지 않아도 좋다.

<569> 여기서, 트랜지스터(431~434), 트랜지스터(441), 트랜지스터(471), 트랜지스터(472), 트랜지스터(481), 커패시터(435)의 기능에 대하여 이하에 설명한다.

<570> 트랜지스터(431)는 입력 단자(IN1)의 전위에 따라, 제2 전원과 트랜지스터(432)의 제1 단자를 접속할지 접속하지 않을지를 결정하는 스위치로서의 기능을 가진다.

<571> 트랜지스터(432)는 입력 단자(IN2)의 전위에 따라, 트랜지스터(432)의 제2 단자와 출력 단자(OUT)를 접속할지 접속하지 않을지를 결정하는 스위치로서의 기능을 가진다.

<572> 트랜지스터(433)는 제1 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 결정하는 스위치로서의 기능을 가진다.

<573> 트랜지스터(434)는 다이오드로서의 기능을 가진다. 또한, 트랜지스터(434)는 트랜지스터(433)의 게이트 단자를 플로팅 상태로 하는 기능을 가진다.

<574> 트랜지스터(441)는 출력 단자(OUT)와 트랜지스터(433)의 게이트 단자와의 사이에 접속된 커패시터로서의 기능을 가진다. 입력 단자(IN1) 또는 입력 단자(IN2)가 L 레벨일 때, 트랜지스터(441)는 트랜지스터(433)의 게이트 단자의 전위를 상승시키는 기능을 가진다.

<575> 트랜지스터(471)는 입력 단자(IN1)의 전위에 따라, 제2 전원과 트랜지스터(472)의 제1 단자를 접속할지 접속하지 않을지를 결정하는 스위치로서의 기능을 가진다.

<576> 트랜지스터(472)는 입력 단자(IN2)의 전위에 따라, 트랜지스터(471)의 제1 단자와 트랜지스터(433)의 게이트 단자를 접속할지 접속하지 않을지를 결정하는 스위치로서의 기능을 가진다.

<577> 트랜지스터(481)는 출력 단자(OUT)와 트랜지스터(433)의 게이트 단자와의 사이에 접속된 커패시터로서의 기능을 가진다. 입력 단자(IN1) 또는 입력 단자(IN2)가 L 레벨일 때, 트랜지스터(441)는 트랜지스터(433)의 게이트 단자의 전위를 상승시키는 기능을 가진다.

<578> 커패시터(435)는 출력 단자(OUT)의 전위에 따라 트랜지스터(433)의 게이트 단자의 전위를 변경하기 위한 기능을 가진다. 입력 단자(IN1) 또는 입력 단자(IN2)가 L 레벨일 때, 커패시터(435)는 트랜지스터(433)의 게이트 단자의 전위를 상승시키는 기능을 가진다.

<579> 이와 같이, 도 42~도 49의 NAND 회로에서는, H 레벨 신호를 출력하는 경우 전원 전위(VDD)를 변경함으로써, 출력 단자(OUT)의 전위를 자유롭게 바꿀 수 있다. 즉, 도 42~도 49의 NAND 회로는 인버터 회로로서 동작할 뿐만 아니라, 레벨 시프트 회로로도 동작할 수 있다.

<580> 도 42~도 49에서는 모두 n채널형 트랜지스터를 사용하여 구성된 NAND 회로에 대하여 설명하였지만, NAND 회로는 모두 p채널형 트랜지스터를 사용하여 구성되어도 좋다. 여기서, 모두 p채널형 트랜지스터를 사용하여 구성된 NAND 회로를 도 80~도 87에 나타낸다.

<581> 도 80은 NAND 회로(221)의 다른 일 형태를 나타낸다. 도 80의 NAND 회로(800)는 트랜지스터(801), 트랜지스터(802), 및 트랜지스터(803)를 가지고 있다.

<582> 도 80의 NAND 회로(800)에 나타내는 바와 같이, 트랜지스터(801)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(801)의 제2 단자가 트랜지스터(802)의 제2 단자, 트랜지스터(803)의 제2 단자, 및 출력 단자(OUT)에 접속되

고, 트랜지스터(801)의 게이트 단자가 입력 단자(IN1)에 접속되어 있다. 트랜지스터(802)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(802)의 게이트 단자가 입력 단자(IN2)에 접속되어 있다. 트랜지스터(803)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(803)의 게이트 단자가 제1 전원에 접속되어 있다.

<583> 또한, 제1 전원에는 전원 전위(VSS)가 공급되고, 제2 전원에는 전원 전위(VDD)가 공급된다. 제1 전원의 전원 전위(VSS)와 제2 전원의 전원 전위(VDD)와의 전위차(VDD-VSS)가 NAND 회로(800)의 전원 전압에 상당한다. 또한, 전원 전위(VDD)는 전원 전위(VSS)보다 높은 전위이다.

<584> 또한, 입력 단자(IN1) 및 입력 단자(IN2) 각각에는 디지털 제어 신호가 공급된다. 또한, 출력 단자(OUT)는 출력 신호를 출력한다.

<585> 또한, 트랜지스터(801~803) 각각은 p채널형 트랜지스터이다.

<586> 입력 단자(IN1)가 H 레벨인 경우와 L 레벨인 경우, 및 입력 단자(IN2)가 H 레벨인 경우와 L 레벨인 경우에 있어서도 80의 NAND 회로(800)의 동작에 대하여 각각 설명한다.

<587> 먼저, 입력 단자(IN1)가 H 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(801)가 오프로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(802)가 오프로 된다.

<588> 따라서, 출력 단자(OUT)는 트랜지스터(803)를 통하여 제1 전원에 전기적으로 접속되고, 출력 단자(OUT)의 전위가 낮아진다. 이때의 출력 단자(OUT)의 전위는 전원 전위(VSS)와 트랜지스터(803)의 스레시홀드 전압(Vth803)의 절대값과의 합이 되는 값( $VSS + |Vth803|$ )이 되어, 출력 단자(OUT)가 L 레벨이 된다.

<589> 다음에, 입력 단자(IN1)가 H 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(801)가 오프로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(802)가 온으로 된다.

<590> 따라서, 출력 단자(OUT)는 트랜지스터(802)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(803)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 상승한다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(802)와 트랜지스터(803)의 동작점에 의해 결정되어, 출력 단자(OUT)가 H 레벨이 된다.

<591> 다음에, 입력 단자(IN1)가 L 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 L 레벨이 되면, 트랜지스터(801)가 온으로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(802)가 오프로 된다.

<592> 따라서, 출력 단자(OUT)는 트랜지스터(801)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(803)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 상승한다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(801)와 트랜지스터(803)의 동작점에 의해 결정되어, 출력 단자(OUT)가 H 레벨이 된다.

<593> 다음에, 입력 단자(IN1)가 L 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 L 레벨이 되면, 트랜지스터(801)가 온으로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(802)가 온으로 된다.

<594> 따라서, 출력 단자(OUT)는 트랜지스터(801)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(802)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(803)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 상승한다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(801)와 트랜지스터(802)와 트랜지스터(803)의 동작점에 의해 결정되어, 출력 단자(OUT)가 H 레벨이 된다.

<595> 또한, 트랜지스터(803)는 정류성을 가지고 있을 필요는 없고, 전류가 흐르면 전압이 발생하는 소자라면 어떠한 소자라도 사용할 수 있다. 예를 들어, 도 84의 NAND 회로(840)에서와 같이, 트랜지스터(803) 대신에 저항 소자(841)를 접속하여도 좋다.

<596> 여기서, 트랜지스터(801~803)의 기능에 대하여 이하에 설명한다.

<597> 트랜지스터(801)는 입력 단자(IN1)의 전위에 따라, 제2 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 결정하는 스위치로서의 기능을 가진다. 입력 단자(IN1)가 L 레벨일 때, 트랜지스터(801)는 출력 단자(OUT)에 전원 전위(VDD)를 공급하는 기능을 가진다.

<598> 트랜지스터(802)는 입력 단자(IN2)의 전위에 따라, 제2 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를

결정하는 스위치로서의 기능을 가진다. 입력 단자(IN2)가 L 레벨일 때, 트랜지스터(802)는 출력 단자(OUT)에 전원 전위(VDD)를 공급하는 기능을 가진다.

<599> 트랜지스터(803)는 다이오드로서의 기능을 가진다.

<600> 도 81은 NAND 회로(221)의 다른 일 형태를 나타낸다. 도 81의 NAND 회로(810)는 트랜지스터(811), 트랜지스터(812), 트랜지스터(813), 트랜지스터(814), 및 커패시터(815)를 가지고 있다.

<601> 도 81의 NAND 회로(810)에 나타내는 바와 같이, 트랜지스터(811)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(811)의 제2 단자가 트랜지스터(812)의 제2 단자, 트랜지스터(813)의 제2 단자, 커패시터(815)의 제1 전극에 접속되고, 트랜지스터(811)의 게이트 단자가 입력 단자(IN1)에 접속되어 있다. 트랜지스터(812)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(812)의 게이트 단자가 입력 단자(IN2)에 접속되어 있다. 트랜지스터(813)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(813)의 게이트 단자가 트랜지스터(814)의 제2 단자 및 커패시터(815)의 제2 전극에 접속되어 있다. 트랜지스터(814)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(814)의 게이트 단자가 제1 전원에 접속되어 있다.

<602> 또한, 제1 전원, 제2 전원, 입력 단자(IN1), 입력 단자(IN2), 및 출력 단자(OUT)는 도 80에 나타낸 것과 같은 것을 사용할 수 있다.

<603> 또한, 트랜지스터(811~814) 각각은 p채널형 트랜지스터이다.

<604> 입력 단자(IN1)가 H 레벨인 경우와 L 레벨인 경우, 및 입력 단자(IN2)가 H 레벨인 경우와 L 레벨인 경우에 있어서의 도 81의 NAND 회로(810)의 동작에 대하여 각각 설명한다.

<605> 먼저, 입력 단자(IN1)가 H 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(811)가 오프로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(812)가 오프로 된다. 트랜지스터(813)의 게이트 단자의 전위는 전원 전위(VSS)와 트랜지스터(814)의 스레시홀드 전압(Vth814)의 절대값과의 합이 되는 값( $VSS + |Vth(814)|$ )이 되어, 트랜지스터(813)가 온으로 된다. 또한, 트랜지스터(813)의 게이트 단자는 플로팅 상태로 된다.

<606> 따라서, 출력 단자(OUT)는 트랜지스터(813)를 통하여 제1 전원에 전기적으로 접속되고, 출력 단자(OUT)의 전위가 낮아진다. 트랜지스터(813)의 게이트 단자의 전위는 커패시터(815)의 용량 결합에 따라, 전원 전위(VSS)로부터 트랜지스터(813)의 스레시홀드 전압(Vth813)의 절대값을 뺀 값( $VSS - |Vth813|$ ) 이하의 값까지 낮아져, 트랜지스터(813)가 계속 온 상태에 있다. 소위 부트스트랩 동작이 행해진다. 이때의 출력 단자(OUT)의 전위는 VSS가 되어, 출력 단자(OUT)가 L 레벨이 된다.

<607> 다음에, 입력 단자(IN)가 H 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(811)가 오프로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(812)가 온으로 된다. 트랜지스터(813)의 게이트 단자의 전위는 전원 전위(VSS)와 트랜지스터(814)의 스레시홀드 전압(Vth814)의 절대값과의 합이 되는 값( $Vss + |Vth(814)|$ )이 되어, 트랜지스터(813)가 온으로 된다. 또한, 트랜지스터(813)의 게이트 단자는 플로팅 상태로 된다.

<608> 따라서, 출력 단자(OUT)는 트랜지스터(812)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(813)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 상승한다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(812)와 트랜지스터(813)의 동작점에 의해 결정되어, 출력 단자(OUT)가 H 레벨이 된다.

<609> 다음에, 입력 단자(IN)가 L 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(811)가 온으로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(812)가 오프로 된다. 트랜지스터(813)의 게이트 단자의 전위는 전원 전위(VSS)와 트랜지스터(814)의 스레시홀드 전압(Vth814)의 절대값과의 합이 되는 값( $Vss + |Vth(814)|$ )이 되어, 트랜지스터(813)가 온으로 된다. 또한, 트랜지스터(813)의 게이트 단자는 플로팅 상태로 된다.

<610> 따라서, 출력 단자(OUT)는 트랜지스터(811)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(813)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 상승한다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(811)와 트랜지스터(813)의 동작점에 의해 결정되어, 출력 단자(OUT)가 H 레벨이 된다.

<611> 다음에, 입력 단자(IN)가 L 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 L 레벨이 되면, 트랜지스터(811)가 온으로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(812)가 온으로

된다. 트랜지스터(813)의 게이트 단자의 전위는 전원 전위(VSS)와 트랜지스터(814)의 스레시홀드 전압(Vth814)의 절대값과의 합이 되는 값( $V_{ss} + |V_{th}(814)|$ )이 되어, 트랜지스터(813)가 온으로 된다. 또한, 트랜지스터(813)의 게이트 단자는 플로팅 상태로 된다.

<612> 따라서, 출력 단자(OUT)는 트랜지스터(811)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(812)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(813)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 상승한다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(811)와 트랜지스터(812)와 트랜지스터(813)의 동작점에 의해 결정되어, 출력 단자(OUT)가 H 레벨이 된다.

<613> 이와 같이, 도 81의 NAND 회로(810)에서는 부트스트랩 동작에 의해, 출력 단자(OUT)의 L 레벨 전위를 제1 전원의 전원 전위(VSS)까지 낮출 수 있다.

<614> 또한, 도 81의 NAND 회로(810)의 회로 구성은, 입력 단자(IN1) 및 입력 단자(IN2)가 H 레벨일 때 부트스트랩 동작을 행할 수 있다면, 도 81의 회로 구성에 한정되는 것은 아니다. 입력 단자(IN1) 또는 입력 단자(IN2)가 L 레벨일 때, 트랜지스터(813)의 게이트 단자에 전위를 공급하여도 좋다.

<615> 예를 들어, 도 85의 NAND 회로(850)에서와 같이, 트랜지스터(851) 및 트랜지스터(852)를 추가하여도 좋다. 왜냐하면, 출력 단자(OUT)가 H 레벨일 때 출력 단자(OUT)의 전위를 VDD로 할 수 있기 때문이다. 즉, 입력 단자(IN1) 또는 입력 단자(IN2)가 L 레벨일 때, 트랜지스터(851) 또는 트랜지스터(852)가 온으로 되기 때문에, 트랜지스터(813)의 게이트 단자가 H 레벨이 된다. 그리고, 트랜지스터(813)는 오프로 되어, 출력 단자(OUT)는 트랜지스터(811) 또는 트랜지스터(812)를 통하여 제2 전원에만 전기적으로 접속된다.

<616> 또한, 트랜지스터(851)와 트랜지스터(852) 각각은 p채널형 트랜지스터이다.

<617> 또한, 커패시터(815)는, 용량성을 가지는 소자라면 어떠한 소자라도 사용할 수 있다. 예를 들어, 도 82의 NAND 회로(820) 및 도 86의 NAND 회로(860)에서와 같이, 커패시터(815) 대신에 각각 트랜지스터(821)와 트랜지스터(861)를 접속하여도 좋다.

<618> 또한, 커패시터(815)는, 트랜지스터(813)의 제2 단자와 게이트 단자와의 사이의 용량값이 충분히 크다면, 반드시 필요하지는 않다. 예를 들어, 도 83의 NAND 회로(830) 및 도 87의 NAND 회로(870)에서와 같이, 커패시터(815)를 접속하지 않아도 좋다.

<619> 여기서, 트랜지스터(811~814), 트랜지스터(821), 트랜지스터(851), 트랜지스터(852), 트랜지스터(861), 커패시터(815)의 기능에 대하여 이하에 설명한다.

<620> 트랜지스터(811)는 입력 단자(IN1)의 전위에 따라, 제2 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 결정하는 스위치로서의 기능을 가진다. 입력 단자(IN1)가 L 레벨일 때, 트랜지스터(811)는 출력 단자(OUT)에 전원 전위(VDD)를 공급하는 기능을 가진다.

<621> 트랜지스터(812)는 입력 단자(IN2)의 전위에 따라, 제2 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 결정하는 스위치의 기능을 가진다. 입력 단자(IN2)가 L 레벨일 때, 트랜지스터(812)는 출력 단자(OUT)에 전원 전위(VDD)를 공급하는 기능을 가진다.

<622> 트랜지스터(813)는 제1 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 결정하는 스위치로서의 기능을 가진다.

<623> 트랜지스터(814)는 다이오드로서의 기능을 가진다. 또한, 트랜지스터(814)는 트랜지스터(813)의 게이트 단자를 플로팅 상태로 하는 기능을 가진다.

<624> 트랜지스터(821)는 출력 단자(OUT)와 트랜지스터(813)의 게이트 단자와의 사이에 접속된 커패시터로서의 기능을 가진다. 입력 단자(IN1) 및 입력 단자(IN2)가 H 레벨일 때, 트랜지스터(821)는 트랜지스터(813)의 게이트 단자의 전위를 낮추는 기능을 가진다.

<625> 트랜지스터(851)는 입력 단자(IN1)의 전위에 따라, 제2 전원과 트랜지스터(813)의 게이트 단자를 접속할지 접속하지 않을지를 결정하는 스위치로서의 기능을 가진다. 입력 단자(IN1)가 L 레벨일 때, 트랜지스터(851)는 트랜지스터(813)의 게이트 단자에 전원 전위(VDD)를 공급하는 기능을 가진다.

<626> 트랜지스터(852)는 입력 단자(IN2)의 전위에 따라, 제2 전원과 트랜지스터(813)의 게이트 단자를 접속할지 접속하지 않을지를 결정하는 스위치로서의 기능을 가진다. 입력 단자(IN2)가 L 레벨일 때, 트랜지스터(852)는 트랜

지스터(813)의 게이트 단자에 전원 전위(VDD)를 공급하는 기능을 가진다.

<627> 트랜지스터(861)는 출력 단자(OUT)와 트랜지스터(813)의 게이트 단자와의 사이에 접속된 커패시터로서의 기능을 가진다. 입력 단자(IN1) 및 입력 단자(IN2)가 H 레벨일 때, 트랜지스터(861)는 트랜지스터(813)의 게이트 단자의 전위를 낮추는 기능을 가진다.

<628> 커패시터(815)는 출력 단자(OUT)의 전위에 따라 트랜지스터(813)의 게이트 단자의 전위를 변경하기 위한 기능을 가진다. 입력 단자(IN1) 또는 입력 단자(IN2)가 H 레벨일 때, 커패시터(815)는 트랜지스터(813)의 게이트 단자의 전위를 낮추는 기능을 가진다.

<629> 이와 같이, 도 81~도 87의 NAND 회로에서는, L 레벨 신호를 출력할 때, 전원 전위(VSS)를 변경함으로써, 출력 단자(OUT)의 전위를 자유롭게 바꿀 수 있다. 즉, 도 81~도 87의 NAND 회로는 NAND 회로로서 동작할 뿐만 아니라, 레벨 시프트 회로로도 동작할 수 있다.

<630> 여기서, NOR 회로(231)에 적용할 수 있는 몇몇 구성예에 대하여 설명한다.

<631> 도 50은 NOR 회로(231)의 일 형태를 나타낸다. 도 50의 NOR 회로(500)는 트랜지스터(501), 트랜지스터(502), 및 트랜지스터(503)를 가지고 있다.

<632> 도 50의 NOR 회로(500)에 나타내는 바와 같이, 트랜지스터(501)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(501)의 제2 단자가 트랜지스터(502)의 제2 단자, 트랜지스터(503)의 제2 단자, 및 출력 단자(OUT)에 접속되고, 트랜지스터(501)의 게이트 단자가 입력 단자(IN1)에 접속되어 있다. 트랜지스터(502)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(502)의 게이트 단자가 입력 단자(IN2)에 접속되어 있다. 트랜지스터(503)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(503)의 게이트 단자가 제1 전원에 접속되어 있다.

<633> 또한, 제1 전원에는 전원 전위(VDD)가 공급되고, 제2 전원에는 전원 전위(VSS)가 공급된다. 제1 전원의 전원 전위(VDD)와 제2 전원의 전원 전위(VSS)와의 전위차(VDD-VSS)가 NOR 회로(500)의 전원 전압에 상당한다. 또한, 전원 전위(VDD)는 전원 전위(VSS)보다 높은 전위이다.

<634> 또한, 입력 단자(IN1) 및 입력 단자(IN2) 각각에는 디지털 제어 신호가 공급된다. 또한, 출력 단자(OUT)는 출력 신호를 출력한다.

<635> 또한, 트랜지스터(501~503) 각각은 n채널형 트랜지스터이다.

<636> 입력 단자(IN1)가 H 레벨인 경우와 L 레벨인 경우, 및 입력 단자(IN2)가 H 레벨인 경우와 L 레벨인 경우에 있어서 도 50의 NOR 회로(500)의 동작에 대하여 각각 설명한다.

<637> 먼저, 입력 단자(IN1)가 H 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(501)가 온으로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(502)가 온으로 된다.

<638> 따라서, 출력 단자(OUT)는 트랜지스터(501) 및 트랜지스터(502)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(503)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(501)와 트랜지스터(502)와 트랜지스터(503)의 동작점에 의해 결정되어, 출력 단자(OUT)가 L 레벨이 된다.

<639> 다음에, 입력 단자(IN1)가 H 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(501)가 온으로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(502)가 오프로 된다.

<640> 따라서, 출력 단자(OUT)는 트랜지스터(501)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(503)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(501)와 트랜지스터(503)의 동작점에 의해 결정되어, 출력 단자(OUT)가 L 레벨이 된다.

<641> 다음에, 입력 단자(IN1)가 L 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 L 레벨이 되면, 트랜지스터(501)가 오프로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(502)가 온으로 된다.

<642> 따라서, 출력 단자(OUT)는 트랜지스터(502)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(503)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 이때의 출력 단자(OUT)의 전위는 트

랜지스터(502)와 트랜지스터(503)의 동작점에 의해 결정되어, 출력 단자(OUT)가 L 레벨이 된다.

<643> 다음에, 입력 단자(IN1)가 L 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 L 레벨이 되면, 트랜지스터(501)가 오프로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(502)가 오프로 된다.

<644> 따라서, 출력 단자(OUT)는 트랜지스터(503)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 상승한다. 이때의 출력 단자(OUT)의 전위는 전원 전위(VDD)로부터 트랜지스터(503)의 스레시홀드 전압( $V_{th503}$ )을 뺀 값( $VDD - V_{th503}$ )이 되어, 출력 단자(OUT)가 H 레벨이 된다.

<645> 또한, 트랜지스터(503)는 정류성을 가지고 있을 필요는 없고, 전류가 흐르면 전압이 발생하는 소자라면 어떠한 소자라도 사용할 수 있다. 예를 들어, 도 54의 NOR 회로(540)에서와 같이, 트랜지스터(503) 대신에 저항 소자(541)를 접속하여도 좋다.

<646> 여기서, 트랜지스터(501~503)의 기능에 대하여 이하에 설명한다.

<647> 트랜지스터(501)는 입력 단자(IN1)의 전위에 따라, 제2 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다.

<648> 트랜지스터(502)는 입력 단자(IN2)의 전위에 따라, 제2 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다.

<649> 트랜지스터(503)는 다이오드로서의 기능을 가진다.

<650> 도 51은 NOR 회로(231)의 다른 일 형태를 나타낸다. 도 51의 NOR 회로(510)는 트랜지스터(511), 트랜지스터(512), 트랜지스터(513), 트랜지스터(514), 및 2개의 전극을 가지는 커패시터(515)를 가지고 있다.

<651> 도 51의 NOR 회로(510)에 나타내는 바와 같이, 트랜지스터(511)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(511)의 제2 단자가 트랜지스터(512)의 제2 단자, 트랜지스터(513)의 제2 단자, 커패시터(515)의 제2 전극, 및 출력 단자(OUT)에 접속되고, 트랜지스터(511)의 게이트 단자가 입력 단자(IN1)에 접속되어 있다. 트랜지스터(512)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(512)의 게이트 단자가 입력 단자(IN2)에 접속되어 있다. 트랜지스터(513)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(513)의 게이트 단자가 트랜지스터(514)의 제2 단자 및 커패시터(515)의 제1 전극에 접속되어 있다. 트랜지스터(514)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(514)의 게이트 단자가 제1 전원에 접속되어 있다.

<652> 또한, 제1 전원, 제2 전원, 입력 단자(IN1), 입력 단자(IN2), 및 출력 단자(OUT)는 도 50의 것과 같은 것을 사용할 수 있다.

<653> 또한, 트랜지스터(511~514) 각각은 n채널형 트랜지스터이다.

<654> 입력 단자(IN1)가 H 레벨인 경우와 L 레벨인 경우, 및 입력 단자(IN2)가 H 레벨인 경우와 L 레벨인 경우에 있어서의 도 51의 NOR 회로(510)의 동작에 대하여 각각 설명한다.

<655> 먼저, 입력 단자(IN)가 H 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(511)가 온으로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(512)가 온으로 된다. 트랜지스터(513)의 게이트 단자의 전위는 전원 전위(VDD)로부터 트랜지스터(514)의 스레시홀드 전압( $V_{th514}$ )을 뺀 값( $VDD - V_{th514}$ )이 되고, 트랜지스터(513)가 온으로 된다. 또한, 트랜지스터(513)의 게이트 단자는 플로팅 상태로 된다.

<656> 따라서, 출력 단자(OUT)는 트랜지스터(511) 및 트랜지스터(512)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(513)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(511)와 트랜지스터(512)와 트랜지스터(513)의 동작점에 의해 결정되어, 출력 단자(OUT)가 L 레벨이 된다.

<657> 다음에, 입력 단자(IN1)가 H 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(511)가 온으로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(512)가 오프로 된다. 트랜지스터(513)의 게이트 단자의 전위는 전원 전위(VDD)로부터 트랜지스터(514)의 스레시홀드 전압( $V_{th514}$ )을 뺀 값( $VDD - V_{th514}$ )이 되고, 트랜지스터(513)가 온으로 된다. 또한, 트랜지스터(513)의 게이트 단자는 플로팅 상태로 된다.

- <658> 따라서, 출력 단자(OUT)는 트랜지스터(511)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(513)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(511)와 트랜지스터(512)와 트랜지스터(513)의 동작점에 의해 결정되어, 출력 단자(OUT)가 L 레벨이 된다.
- <659> 다음에, 입력 단자(IN)가 L 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 L 레벨이 되면, 트랜지스터(511)가 오프로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(512)가 온으로 된다. 트랜지스터(513)의 게이트 단자의 전위는 전원 전위(VDD)로부터 트랜지스터(514)의 스레시홀드 전압( $V_{th514}$ )을 뺀 값( $VDD - V_{th514}$ )이 되고, 트랜지스터(513)가 온으로 된다. 또한, 트랜지스터(513)의 게이트 단자는 플로팅 상태로 된다.
- <660> 따라서, 출력 단자(OUT)는 트랜지스터(512)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(513)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(511)와 트랜지스터(512)와 트랜지스터(513)의 동작점에 의해 결정되고, 출력 단자(OUT)가 L 레벨이 된다.
- <661> 다음에, 입력 단자(IN)가 L 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 L 레벨이 되면, 트랜지스터(511)가 오프로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(512)가 오프로 된다. 트랜지스터(513)의 게이트 단자의 전위는 전원 전위(VDD)로부터 트랜지스터(514)의 스레시홀드 전압( $V_{th514}$ )을 뺀 값( $VDD - V_{th514}$ )이 되고, 트랜지스터(513)가 온으로 된다. 또한, 트랜지스터(513)의 게이트 단자는 플로팅 상태로 된다.
- <662> 따라서, 출력 단자(OUT)는 트랜지스터(513)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 상승한다. 트랜지스터(513)의 게이트 단자의 전위는 커패시터(515)의 용량 결합에 따라, 전원 전위(VDD)와 트랜지스터(513)의 스레시홀드 전압( $V_{th513}$ )과의 합 이상의 값까지 상승하여, 트랜지스터(513)가 계속 온 상태에 있다. 소위 부트스트랩 동작이 행해진다. 이때의 출력 단자(OUT)의 전위는 VDD가 되고, 출력 단자(OUT)가 H 레벨이 된다.
- <663> 이와 같이, 도 51의 NOR 회로(510)에서는 부트스트랩 동작에 의해, 출력 단자(OUT)의 전위를 H 레벨로부터 제1 전원의 전원 전위(VDD)까지 상승시킬 수 있다.
- <664> 또한, 도 51의 NOR 회로(510)는, 입력 단자(IN1) 및 입력 단자(IN2)가 L 레벨일 때 부트스트랩 동작을 행할 수 있다면, 도 51의 회로 구성에 한정되는 것은 아니다. 입력 단자(IN1) 또는 입력 단자(IN2)가 H 레벨일 때, 트랜지스터(513)의 게이트 단자에 전위를 공급하여도 좋다.
- <665> 예를 들어, 도 55의 NOR 회로(550)와 같이, 트랜지스터(551)와 트랜지스터(552)를 추가하여도 좋다. 왜냐하면, 출력 단자(OUT)가 L 레벨일 때, 출력 단자(OUT)의 전위를 VSS로 할 수 있기 때문이다. 즉, 입력 단자(IN1)와 입력 단자(IN2) 중의 어느 한쪽 또는 양쪽 모두가 H 레벨일 때, 트랜지스터(551)와 트랜지스터(552) 중의 어느 한쪽 또는 양쪽 모두가 온으로 되므로, 트랜지스터(513)의 게이트 단자가 L 레벨이 되고, 이어서, 트랜지스터(513)가 오프로 되고, 출력 단자(OUT)는 트랜지스터(511)와 트랜지스터(512) 중의 어느 한쪽 또는 양쪽 모두를 통하여 제2 전원에만 전기적으로 접속되기 때문이다.
- <666> 또한, 트랜지스터(551)와 트랜지스터(552) 각각은 n채널형 트랜지스터이다.
- <667> 또한, 커패시터(515)는, 용량성을 가지는 소자라면 어떠한 소자라도 사용할 수 있다. 예를 들어, 도 52의 NOR 회로(520) 및 도 56의 NOR 회로(560)에서와 같이, 커패시터(515) 대신에, 각각 트랜지스터(521) 및 트랜지스터(561)를 접속하여도 좋다.
- <668> 또한, 커패시터(515)는, 트랜지스터(513)의 제2 단자와 게이트 단자와의 사이의 용량값이 충분히 크다면, 반드시 필요하지는 않다. 예를 들어, 도 53의 NOR 회로(530) 및 도 57의 NOR 회로(570)에서와 같이, 커패시터(515)를 접속하지 않아도 좋다.
- <669> 여기서, 트랜지스터(511~514), 트랜지스터(521), 트랜지스터(551), 트랜지스터(552), 트랜지스터(561), 커패시터(515)의 기능에 대하여 이하에 설명한다.
- <670> 트랜지스터(511)는 입력 단자(IN1)의 전위에 따라, 제2 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 입력 단자(IN1)가 H 레벨일 때, 출력 단자(OUT)에 전원 전위(VSS)가 공

급된다.

<671> 트랜지스터(512)는 입력 단자(IN2)의 전위에 따라, 제2 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 입력 단자(IN2)가 H 레벨일 때, 출력 단자(OUT)에 전원 전위(VSS)가 공급된다.

<672> 트랜지스터(513)는 제1 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다.

<673> 트랜지스터(514)는 다이오드로서의 기능을 가진다. 또한, 트랜지스터(514)는 트랜지스터(513)의 게이트 단자를 플로팅 상태로 하는 기능을 가진다.

<674> 트랜지스터(521)는 출력 단자(OUT)와 트랜지스터(513)의 게이트 단자와의 사이에 접속된 커패시터로서의 기능을 가진다. 입력 단자(IN1) 및 입력 단자(IN2)가 L 레벨일 때, 트랜지스터(521)는 트랜지스터(513)의 게이트 단자의 전위를 상승시키는 기능을 가진다.

<675> 트랜지스터(551)는 입력 단자(IN1)의 전위에 따라, 제2 전원과 트랜지스터(513)의 게이트 단자를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 입력 단자(IN1)가 H 레벨일 때, 트랜지스터(551)는 트랜지스터(513)의 게이트 단자에 전원 전위(VSS)를 공급하는 기능을 가진다.

<676> 트랜지스터(552)는 입력 단자(IN2)의 전위에 따라, 제2 전원과 트랜지스터(513)의 게이트 단자를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 입력 단자(IN2)가 H 레벨일 때, 트랜지스터(552)는 트랜지스터(513)의 게이트 단자에 전원 전위(VSS)를 공급하는 기능을 가진다.

<677> 트랜지스터(561)는 출력 단자(OUT)와 트랜지스터(513)의 게이트 단자와의 사이에 접속된 커패시터로서의 기능을 가진다. 입력 단자(IN1) 및 입력 단자(IN2)가 L 레벨일 때, 트랜지스터(561)는 트랜지스터(513)의 게이트 단자의 전위를 상승시키는 기능을 가진다.

<678> 커패시터(515)는 출력 단자(OUT)의 전위에 따라 트랜지스터(513)의 게이트 단자의 전위를 변경하기 위한 기능을 가진다. 입력 단자(IN1) 및 입력 단자(IN2)가 L 레벨일 때, 커패시터(515)는 트랜지스터(513)의 게이트 단자의 전위를 상승시키는 기능을 가진다.

<679> 이와 같이, 도 50~도 57의 NOR 회로에서는, H 레벨 신호를 출력할 때, 전원 전위(VDD)를 변경함으로써 출력 단자(OUT)의 전위를 자유롭게 바꿀 수 있다. 즉, 도 50~도 57의 NOR 회로들 각각은 인버터 회로로서 동작할 뿐만 아니라, 레벨 시프트 회로로도 동작할 수 있다.

<680> 도 50~도 57의 NOR 회로는 모두 n채널형 트랜지스터를 사용하여 구성되어 있는 경우에 대하여 설명하였지만, 모두 p채널형 트랜지스터를 사용하여 구성되어도 좋다. 여기서, 모두 p채널형 트랜지스터를 사용하여 구성된 경우의 인버터 회로를 도 72~도 79에 나타낸다.

<681> 도 72는 NOR 회로(231)의 다른 일 형태를 나타낸다. 도 72의 NOR 회로(720)는 트랜지스터(721), 트랜지스터(722), 및 트랜지스터(723)를 가지고 있다.

<682> 도 72의 NOR 회로(720)에 나타내는 바와 같이, 트랜지스터(721)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(721)의 제2 단자가 트랜지스터(722)의 제1 단자에 접속되고, 트랜지스터(721)의 게이트 단자가 입력 단자(IN1)에 접속되어 있다. 트랜지스터(722)의 제2 단자가 트랜지스터(723)의 제2 단자 및 출력 단자(OUT)에 접속되고, 트랜지스터(722)의 게이트 단자가 입력 단자(IN2)에 접속되어 있다. 트랜지스터(723)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(723)의 게이트 단자가 제1 전원에 접속되어 있다.

<683> 또한, 제1 전원에는 전원 전위(VSS)가 공급되고, 제2 전원에는 전원 전위(VDD)가 공급된다. 제1 전원의 전원 전위(VSS)와 제2 전원의 전원 전위(VDD)와의 전위차(VDD-VSS)가, NOR 회로(720)의 전원 전압에 상당한다. 또한, 전원 전위(VDD)는 전원 전위(VSS)보다 높은 전위이다.

<684> 또한, 입력 단자(IN1) 및 입력 단자(IN2) 각각에는 제어 신호가 공급된다. 또한, 출력 단자(OUT)는 출력 신호를 출력한다.

<685> 또한, 트랜지스터(721~723) 각각은 p채널형 트랜지스터이다.

<686> 입력 단자(IN1)가 H 레벨인 경우와 L 레벨인 경우, 및 입력 단자(IN2)가 H 레벨인 경우와 L 레벨인 경우에 있어서의 도 72의 NOR 회로(720)의 동작에 대하여각각 설명한다.

- <687> 먼저, 입력 단자(IN1)가 H 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(721)가 오프로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(722)가 오프로 된다.
- <688> 따라서, 출력 단자(OUT)는 트랜지스터(723)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 이때의 출력 단자(OUT)의 전위는 전원 전위(VSS)와 트랜지스터(723)의 스레시홀드 전압(Vth723)의 절대값과의 합이 되는 값( $VSS + |Vth723|$ )이 되고, 출력 단자(OUT)가 L 레벨이 된다.
- <689> 다음에, 입력 단자(IN1)가 H 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(721)가 오프로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(722)가 온으로 된다.
- <690> 따라서, 출력 단자(OUT)는 트랜지스터(723)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 이때의 출력 단자(OUT)의 전위는 전원 전위(VSS)와 트랜지스터(723)의 스레시홀드 전압(Vth723)의 절대값과의 합이 되는 값( $VSS + |Vth723|$ )이 되고, 출력 단자(OUT)가 L 레벨이 된다.
- <691> 다음에, 입력 단자(IN1)가 L 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 L 레벨이 되면, 트랜지스터(721)가 온으로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(722)가 오프로 된다.
- <692> 따라서, 출력 단자(OUT)는 트랜지스터(723)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 이때의 출력 단자(OUT)의 전위는 전원 전위(VSS)와 트랜지스터(723)의 스레시홀드 전압(Vth723)의 절대값과의 합이 되는 값( $VSS + |Vth723|$ )이 되고, 출력 단자(OUT)가 L 레벨이 된다.
- <693> 다음에, 입력 단자(IN1)가 L 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 L 레벨이 되면, 트랜지스터(721)가 온으로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(722)가 온으로 된다.
- <694> 따라서, 출력 단자(OUT)는 트랜지스터(721) 및 트랜지스터(722)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(723)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 상승한다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(721)와 트랜지스터(722)와 트랜지스터(723)의 동작점에 의해 결정되고, 출력 단자(OUT)가 H 레벨이 된다.
- <695> 또한, 트랜지스터(723)는 정류성을 가지고 있을 필요는 없고, 전류가 흐르면 전압이 발생하는 소자라면 어떠한 소자라도 사용할 수 있다. 예를 들어, 도 76의 NOR 회로(760)와 같이, 트랜지스터(723) 대신에 저항 소자(761)를 접속하여도 좋다.
- <696> 여기서, 트랜지스터(721~723)의 기능에 대하여 이하에 설명한다.
- <697> 트랜지스터(721)는 입력 단자(IN1)의 전위에 따라, 제2 전원과 트랜지스터(722)의 제1 단자를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다.
- <698> 트랜지스터(722)는 입력 단자(IN2)의 전위에 따라, 트랜지스터(721)의 제2 단자와 출력 단자(OUT)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다.
- <699> 트랜지스터(723)는 다이오드로서의 기능을 가진다.
- <700> 도 73은 NOR 회로(231)의 다른 일 형태를 나타낸다. 도 73의 NOR 회로(730)는 트랜지스터(731), 트랜지스터(732), 트랜지스터(733), 트랜지스터(734), 및 2개의 전극을 가지는 커패시터(735)를 가지고 있다.
- <701> 도 73의 NOR 회로(730)에 나타내는 바와 같이, 트랜지스터(731)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(731)의 제2 단자가 트랜지스터(732)의 제1 단자에 접속되고, 트랜지스터(731)의 게이트 단자가 입력 단자(IN1)에 접속되어 있다. 트랜지스터(732)의 제2 단자가 트랜지스터(733)의 제2 단자, 커패시터(735)의 제2 전극, 및 출력 단자(OUT)에 접속되고, 트랜지스터(732)의 게이트 단자가 입력 단자(IN2)에 접속되어 있다. 트랜지스터(733)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(733)의 게이트 단자가 트랜지스터(734)의 제2 단자 및 커패시터(735)의 제1 전극에 접속되어 있다. 트랜지스터(734)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(734)의 게이트 단자가 제1 전원에 접속되어 있다.
- <702> 또한, 제1 전원, 제2 전원, 입력 단자(IN1), 입력 단자(IN2), 및 출력 단자(OUT)는 도 72에서의 것과 같은 것을

사용할 수 있다.

<703> 또한, 트랜지스터(731~734) 각각은 p채널형 트랜지스터이다.

<704> 입력 단자(IN1)가 H 레벨인 경우와 L 레벨인 경우, 및 입력 단자(IN2)가 H 레벨인 경우와 L 레벨인 경우에 있어서도 73의 NOR 회로(730)의 동작에 대하여 각각 설명한다.

<705> 먼저, 입력 단자(IN1)가 H 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(731)가 오프로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(732)가 오프로 된다. 트랜지스터(733)의 게이트 단자의 전위는 전원 전위(VSS)와 트랜지스터(734)의 스레시홀드 전압(Vth734)의 절대값을 합한 값( $VSS + |Vth734|$ )이 되고, 트랜지스터(733)가 온으로 된다. 또한, 트랜지스터(733)의 게이트 단자는 플로팅 상태로 된다.

<706> 따라서, 출력 단자(OUT)는 트랜지스터(733)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 트랜지스터(733)의 게이트 단자의 전위는 커패시터(735)의 용량 결합에 따라, 전원 전위(VSS)로부터 트랜지스터(733)의 스레시홀드 전압(Vth733)의 절대값을 뺀 값( $VSS - |Vth733|$ ) 이하의 값까지 낮아지고, 트랜지스터(733)가 계속 온 상태에 있다. 소위 부트스트랩 동작이 행해진다. 이때의 출력 단자(OUT)의 전위는 VSS가 되고, 출력 단자(OUT)가 L 레벨이 된다.

<707> 다음에, 입력 단자(IN1)가 H 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 H 레벨이 되면, 트랜지스터(731)가 오프로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(732)가 온으로 된다. 트랜지스터(733)의 게이트 단자의 전위는 전원 전위(VSS)와 트랜지스터(734)의 스레시홀드 전압(Vth734)의 절대값과의 합이 되는 값( $VSS + |Vth734|$ )이 되고, 트랜지스터(733)가 온으로 된다. 또한, 트랜지스터(733)의 게이트 단자는 플로팅 상태로 된다.

<708> 따라서, 출력 단자(OUT)는 트랜지스터(733)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 트랜지스터(733)의 게이트 단자의 전위는 커패시터(735)의 용량 결합에 따라, 전원 전위(VSS)로부터 트랜지스터(733)의 스레시홀드 전압(Vth733)의 절대값을 뺀 값( $VSS - |Vth733|$ ) 이하의 값까지 낮아지고, 트랜지스터(733)가 계속 온 상태에 있다. 소위 부트스트랩 동작이 행해진다. 이때의 출력 단자(OUT)의 전위는 VSS가 되고, 출력 단자(OUT)가 L 레벨이 된다.

<709> 다음에, 입력 단자(IN1)가 L 레벨이고, 입력 단자(IN2)가 H 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 L 레벨이 되면, 트랜지스터(731)가 온으로 된다. 입력 단자(IN2)가 H 레벨이 되면, 트랜지스터(732)가 오프로 된다. 트랜지스터(733)의 게이트 단자의 전위는 전원 전위(VSS)와 트랜지스터(734)의 스레시홀드 전압(Vth734)의 절대값과의 합이 되는 값( $VSS + |Vth734|$ )이 되고, 트랜지스터(733)가 온으로 된다. 또한, 트랜지스터(733)의 게이트 단자는 플로팅 상태로 된다.

<710> 따라서, 출력 단자(OUT)는 트랜지스터(733)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 낮아진다. 트랜지스터(733)의 게이트 단자의 전위는 커패시터(735)의 용량 결합에 따라, 전원 전위(VSS)로부터 트랜지스터(733)의 스레시홀드 전압(Vth733)의 절대값을 뺀 값( $VSS - |Vth733|$ ) 이하의 값까지 낮아지고, 트랜지스터(733)가 계속 온 상태에 있다. 소위 부트스트랩 동작이 행해진다. 이때의 출력 단자(OUT)의 전위는 VSS가 되고, 출력 단자(OUT)가 L 레벨이 된다.

<711> 다음에, 입력 단자(IN1)가 L 레벨이고, 입력 단자(IN2)가 L 레벨인 경우에 대하여 설명한다. 입력 단자(IN1)가 L 레벨이 되면, 트랜지스터(731)가 온으로 된다. 입력 단자(IN2)가 L 레벨이 되면, 트랜지스터(732)가 온으로 된다. 트랜지스터(733)의 게이트 단자의 전위는 전원 전위(VSS)와 트랜지스터(734)의 스레시홀드 전압(Vth734)의 절대값과의 합이 되는 값( $VSS + |Vth734|$ )이 되고, 트랜지스터(733)가 온으로 된다. 또한, 트랜지스터(733)의 게이트 단자는 플로팅 상태로 된다.

<712> 따라서, 출력 단자(OUT)는 트랜지스터(731) 및 트랜지스터(732)를 통하여 제2 전원에 전기적으로 접속되고, 트랜지스터(733)를 통하여 제1 전원에 전기적으로 접속되어, 출력 단자(OUT)의 전위가 상승한다. 이때의 출력 단자(OUT)의 전위는 트랜지스터(731)와 트랜지스터(732)와 트랜지스터(733)의 동작점에 의해 결정되고, 출력 단자(OUT)가 H 레벨이 된다.

<713> 이와 같이, 도 73의 NOR 회로(730)에서는 부트스트랩 동작에 의해, 출력 단자(OUT)의 전위를 L 레벨로부터 제1 전원의 전원 전위(VSS)까지 낮출 수 있다.

<714> 또한, 도 73의 NOR 회로(730)는, 입력 단자(IN1) 또는 입력 단자(IN2)가 H 레벨일 때 부트스트랩 동작을 행할

수 있다면, 도 73의 회로 구성에 한정되는 것은 아니다. 입력 단자(IN1) 및 입력 단자(IN2)가 L 레벨일 때, 트랜지스터(733)의 게이트 단자에 전위를 공급하여도 좋다.

<715> 예를 들어, 도 77의 NOR 회로(770)에서와 같이, 트랜지스터(771)와 트랜지스터(772)를 추가하여도 좋다. 왜냐하면, 출력 단자(OUT)가 H 레벨일 때, 출력 단자(OUT)의 전위를 VDD로 할 수 있기 때문이다. 즉, 입력 단자(IN1) 및 입력 단자(IN2)가 L 레벨일 때, 트랜지스터(771)와 트랜지스터(772)가 온으로 되므로, 트랜지스터(733)의 게이트 단자가 H 레벨이 되고, 이어서, 트랜지스터(733)가 오프로 되고, 출력 단자(OUT)는 트랜지스터(731) 또는 트랜지스터(732)를 통하여 제2 전원에만 전기적으로 접속되기 때문이다.

<716> 또한, 트랜지스터(771) 및 트랜지스터(772) 각각은 p채널형 트랜지스터이다.

<717> 또한, 커패시터(735)는, 용량성을 가지는 소자라면 어떠한 소자라도 사용할 수 있다. 예를 들어, 도 74의 NOR 회로(740) 및 도 78의 NAND 회로(780)에서와 같이, 커패시터(735) 대신에 트랜지스터(741) 및 트랜지스터(781) 각각을 접속하여도 좋다.

<718> 또한, 커패시터(735)는, 트랜지스터(733)의 제2 단자와 게이트 단자와의 사이의 용량값이 충분히 크다면, 반드시 필요하지는 않다. 예를 들어, 도 75의 NOR 회로(750) 및 도 79의 NOR 회로(790)에서와 같이, 커패시터(735)를 접속하지 않아도 좋다.

<719> 여기서, 트랜지스터(731~734), 트랜지스터(741), 트랜지스터(771), 트랜지스터(772), 트랜지스터(781), 커패시터(735)의 기능에 대하여 이하에 설명한다.

<720> 트랜지스터(731)는 입력 단자(IN1)의 전위에 따라, 제2 전원과 트랜지스터(732)의 제1 단자를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다.

<721> 트랜지스터(732)는 입력 단자(IN2)의 전위에 따라, 트랜지스터(731)의 제2 단자와 출력 단자(OUT)를 선택하는 스위치로서의 기능을 가진다.

<722> 트랜지스터(733)는 제1 전원과 출력 단자(OUT)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다.

<723> 트랜지스터(734)는 다이오드로서의 기능을 가진다. 또한, 트랜지스터(734)는 트랜지스터(733)의 게이트 단자를 플로팅 상태로 하는 기능을 가진다.

<724> 트랜지스터(741)는 출력 단자(OUT)와 트랜지스터(733)의 게이트 단자와의 사이에 접속된 커패시터로서의 기능을 가진다. 입력 단자(IN1)와 입력 단자(IN2) 중의 어느 한쪽 또는 양쪽 모두가 H 레벨일 때, 트랜지스터(741)는 트랜지스터(733)의 게이트 단자의 전위를 낮추는 기능을 가진다.

<725> 트랜지스터(771)는 입력 단자(IN1)의 전위에 따라, 제2 전원과 트랜지스터(772)의 제1 단자와 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다.

<726> 트랜지스터(772)는 입력 단자(IN2)의 전위에 따라, 트랜지스터(771)의 제1 단자와 트랜지스터(733)의 게이트 단자를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다.

<727> 트랜지스터(781)는 출력 단자(OUT)와 트랜지스터(733)의 게이트 단자와의 사이에 접속된 커패시터로서의 기능을 가진다. 입력 단자(IN1)와 입력 단자(IN2) 중의 어느 한쪽 또는 양쪽 모두가 H 레벨일 때, 트랜지스터(781)는 트랜지스터(733)의 게이트 단자의 전위를 낮추는 기능을 가진다.

<728> 커패시터(735)는 출력 단자(OUT)의 전위에 따라, 트랜지스터(733)의 게이트 단자의 전위를 변경하기 위한 기능을 가진다. 입력 단자(IN1)와 입력 단자(IN2) 중의 어느 한쪽 또는 양쪽 모두가 L 레벨일 때, 커패시터(735)는 트랜지스터(733)의 게이트 단자의 전위를 낮추는 기능을 가진다.

<729> 이와 같이, 도 73~도 78의 NOR 회로에서는, L 레벨 신호를 출력할 때, 전원 전위(VSS)를 변경함으로써, 출력 단자(OUT)의 전위를 자유롭게 바꿀 수 있다. 즉, 도 73~도 78의 NOR 회로들 각각은 인버터 회로로서 동작할 뿐만 아니라, 레벨 시프트 회로로도 동작할 수 있다.

<730> 또한, 인버터 회로(211), NAND 회로(221), 및 NOR 회로(231)로서, 도 28~도 87의 회로 구성을 사용하므로, 시프트 레지스터 회로(200)를 동작시키기 위한 마진(margin)이 커진다. 왜냐하면, 인버터 회로(211), NAND 회로(221), 및 NOR 회로(231)에서는 하나의 트랜지스터의 게이트 단자가 출력 단자(SRout)에 접속되어 있기 때문이다. 따라서, 출력 단자(SRout)의 부하 용량이 작아지기 때문에, 시프트 레지스터 회로(200)를 동작시키기 위한

마진을 크게 할 수 있다.

<731> 또한, 도 28~도 87에 나타낸 인버터 회로, NAND 회로, 및 NOR 회로는 각각 동일한 극성의 트랜지스터들을 사용하여 구성되어 있다. 따라서, 이들 트랜지스터의 극성이 동일 기관 위의 다른 트랜지스터의 극성과 같으면, 제조 공정의 간략화를 도모할 수 있다. 따라서, 제조 비용의 삭감 및 제품 수율의 향상을 도모할 수 있다.

<732> 또한, 도 28~도 87에 나타낸 제1 전원 및 제2 전원에는 전원 전위(VDD) 또는 전원 전위(VSS)가 공급되지만, 본 발명이 반드시 이것에 한정되는 것은 아니다.

<733> 예를 들어, 도 28~도 87의 제1 전원 및 제2 전원 각각에 상이한 전위가 공급되어도 좋다.

<734> 다른 예로서, 도 28~도 87의 제1 전원 및 제2 전원 각각에 제어 신호가 공급되어도 좋다.

<735> 또한, 도 28~도 87의 입력 단자들 각각에 제어 신호가 공급되지만, 본 발명이 반드시 이것에 한정되는 것은 아니다.

<736> 예를 들어, 도 28~도 87의 입력 단자에 전원 전압이 공급되어도 좋다.

<737> 또한, 본 실시형태는 본 명세서 중의 다른 실시형태 및 실시예의 어떠한 기재와도 자유롭게 조합하여 실시될 수 있다. 즉, 비선택 기간에서, 본 발명의 시프트 레지스터 회로의 트랜지스터가 일정 시간 간격으로 온으로 됨으로써, 출력 단자에 전원 전위를 공급한다. 따라서, 시프트 레지스터 회로의 출력 단자는 이 트랜지스터를 통하여 전원 전위가 공급된다. 이 트랜지스터는 비선택 기간에 항상 온으로 되지 않으므로, 이 트랜지스터의 스레시홀드 전압 시프트가 억제될 수 있다. 또한, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 일정 시간 간격으로 전원 전위가 공급된다. 따라서, 이 시프트 레지스터 회로는 출력 단자에서 노이즈가 발생하는 것을 억제할 수 있다.

<738> [실시형태 4]

<739> 본 실시형태에서는, 실시형태 3에서 설명한 구동회로와는 다른 구성에 대하여 설명한다.

<740> 구동회로로서, 소스 드라이버에 적용할 수 있는 구성예를 도 88~도 91을 참조하여 설명한다. 도 88~도 91의 구동회로는 소스 드라이버 뿐만 아니라, 어떠한 회로 구성에도 적용될 수 있다.

<741> 도 88은 본 발명의 소스 드라이버의 일 형태를 나타낸다. 본 발명의 소스 드라이버는 시프트 레지스터 회로(880), 다수의 스위치(SW), 및 비디오 신호선(881)을 포함하고 있다.

<742> 도 88의 소스 드라이버에 나타내는 바와 같이, 비디오 신호선(881)이 스위치(SW)의 제1 단자에 접속되고, 스위치(SW)의 제2 단자가 출력 단자(SDout)에 접속되어 있다. 스위치(SW)의 제어 단자는 시프트 레지스터 회로(880)의 출력 단자(SRout)에 접속되어 있다.

<743> 또한, 시프트 레지스터 회로(880)는 실시형태 2에서 설명한 것과 마찬가지로 한다. 또한, 시프트 레지스터 회로(880)에는 실시형태 3에서 설명한 게이트 드라이버를 적용하여도 좋다.

<744> 또한, 시프트 레지스터 회로(880)의 출력 단자(SRout1~SRout4) 및 출력 단자(SRoutn)는 실시형태 2에서 설명한 것과 같은 것이어도 좋다.

<745> 또한, 본 발명의 소스 드라이버의 제1 단의 출력 단자(SDout)를 출력 단자(SDout1)로 하고, 제2 단의 출력 단자(SDout)를 출력 단자(SDout2)로 하고, 제3 단의 출력 단자(SDout)를 출력 단자(SDout3)로 하고, n번째 단의 출력 단자(SDout)를 출력 단자(SDoutn)로 한다.

<746> 또한, 도 88의 소스 드라이버에서는, 편의상, 전원선 및 제어 신호선을 나타내지 않았다.

<747> 또한, 시프트 레지스터 회로(880)가 n채널형 트랜지스터를 사용하여 구성되어는 경우, 시프트 레지스터 회로(880)의 출력 신호는 도 18의 타이밍 차트와 마찬가지이다. 시프트 레지스터 회로(880)가 p채널형 트랜지스터를 사용하여 구성되는 경우, 시프트 레지스터 회로(880)의 출력 신호는 도 19의 타이밍 차트와 마찬가지이다.

<748> 또한, 비디오 신호선(881)에는 비디오 신호가 공급된다. 비디오 신호는 전류이어도 좋고 전압이어도 좋고, 아날로그 신호이어도 좋고 디지털 신호이어도 좋다. 비디오 신호는 아날로그 전압인 것이 바람직하다. 왜냐하면, 많은 외부 회로는 액정 표시장치용의 것이 많기 때문이다. 즉, 비디오 신호가 아날로그 전압이면, 외부 회로로서 기준의 저렴한 회로를 사용할 수 있기 때문이다.

<749> 시프트 레지스터 회로(880)의 출력 단자(SRout)가 H 레벨인 경우와 L 레벨인 경우에 있어서의 도 88의 소스 드

라이버의 동작에 대하여 각각 설명한다.

<750> 또한, 편의상, 도 88의 스위치(SW)는 제어 단자가 H 레벨일 때 온으로 되고, 제어 단자가 L 레벨일 때 오프로 되는 것으로 한다. 물론, 스위치(SW)는 제어 단자가 H 레벨일 때 오프로 되고, 제어 단자가 L 레벨일 때 온으로 되어도 좋다.

<751> 먼저, 출력 단자(SRout)가 H 레벨인 경우에 대하여 설명한다. 시프트 레지스터 회로의 출력 단자(SRout)가 H 레벨이 되면, 스위치(SW)가 온으로 된다. 스위치(SW)는 온으로 되면, 비디오 신호선(881)이 스위치(SW)를 통하여 소스 드라이버의 출력 단자(SRout)에 접속된다.

<752> 따라서, 소스 드라이버의 출력 단자(SDout)는 비디오 신호선(881)과 동일한 전위 또는 동일한 전류를 가지기 때문에, 소스 드라이버가 비디오 신호를 출력한다.

<753> 다음에, 출력 단자(SRout)가 L 레벨인 경우에 대하여 설명한다. 시프트 레지스터 회로의 출력 단자(SRout)가 L 레벨이 되면, 스위치(SW)가 오프로 된다. 스위치(SW)는 오프로 되면, 비디오 신호선(881)이 소스 드라이버의 출력 단자(SRout)에 접속되지 않게 된다.

<754> 따라서, 소스 드라이버의 출력 단자(SDout)는 비디오 신호선(881)의 전위에 의해 영향을 받지 않게 되기 때문에, 소스 드라이버가 비디오 신호를 출력하지 않게 된다.

<755> 실시형태 2에서 설명한 바와 같이, 시프트 레지스터 회로(880)가 n채널형 트랜지스터로 구성되는 경우, 시프트 레지스터 회로(880)는 출력 단자(SRout1)로부터 순차로 H 레벨이 된다. 즉, 도 88에 나타내는 스위치(SW)는 스위치(SW1)(제1 열의)로부터 순차로 온으로 되고, 소스 드라이버의 출력 단자(SDout)는 출력 단자(SDout1)(제1 열의)로부터 순차로 비디오 신호와 동일한 전위 또는 동일한 전류가 된다.

<756> 또한, 시프트 레지스터 회로(880)가 H 레벨의 신호를 출력할 때마다 비디오 신호는 바꿈으로써, 도 88에 나타내는 소스 드라이버가 출력 단자(SDout1)로부터 순차로 상이한 비디오 신호들을 출력할 수 있다.

<757> 또한, 시프트 레지스터 회로(880)의 각 출력 단자(SRout)는 하나의 스위치를 제어하지만, 본 발명이 반드시 이 것에 한정되는 것은 아니다. 시프트 레지스터 회로(880)의 각 출력 단자(SRout)가 다수의 스위치(SW)를 제어하여도 좋다. 그 경우, 비디오 신호선도 다수로 하고, 각각 스위치(SW)의 제1 단자에 접속하면 좋다.

<758> 예를 들어, 도 89의 소스 드라이버에서와 같이, 시프트 레지스터 회로(880)의 하나의 출력 단자(SRout)가 3개의 스위치(SW)를 제어하여도 좋다. 왜냐하면, 3개의 스위치의 제1 단자에는 비디오 신호선(891), 비디오 신호선(892), 및 비디오 신호선(893)이 접속되어, 소스 드라이버의 3개의 출력 단자(SDout)가 동시에 비디오 신호를 출력할 수 있기 때문이다. 따라서, 시프트 레지스터 회로(880)의 동작 주파수를 낮게 할 수 있기 때문에, 시프트 레지스터 회로(880)의 소비전력이 억제된다.

<759> 또한, 스위치(SW)로서는, 예를 들어, 전기적 스위치 또는 기계적 스위치를 사용할 수 있다. 즉, 전류의 흐름을 제어할 수 있는 것이라면 좋고, 특정의 것에 한정되지 않는다. 트랜지스터이어도 좋고, 다이오드이어도 좋고, 그것들을 조합한 논리회로이어도 좋다. 따라서, 스위치로서 트랜지스터를 사용하는 경우, 그 트랜지스터는 단순한 스위치로서 동작하기 때문에, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다. 그러나, 오프 전류가 적은 것이 바람직한 경우, 오프 전류가 적은 쪽의 극성을 가지는 트랜지스터를 사용하는 것이 바람직하다. 오프 전류가 적은 트랜지스터로서는, LDD 영역을 가지는 트랜지스터, 멀티게이트 구조를 가지는 트랜지스터 등이 있다. 또한, 스위치로서 동작하는 트랜지스터의 소스 단자의 전위가 저전위측 전원(Vss, GND, 0 V 등)에 가까운 상태에서 동작하는 경우는 n채널형 트랜지스터를 사용하는 것이 바람직하고, 반대로, 트랜지스터의 소스 단자의 전위가 고전위측 전원(Vdd 등)에 가까운 상태에서 동작하는 경우는 p채널형 트랜지스터를 사용하는 것이 바람직하다. 왜냐하면, 게이트-소스간 전압의 절대값을 크게 할 수 있기 때문에, 스위치로서 기능시킬 때 동작시키기 쉽기 때문이다. 또한, n채널형 트랜지스터와 p채널형 트랜지스터 모두를 사용하여, CMOS형 스위치로 하여도 좋다.

<760> 예를 들어, 도 90의 소스 드라이버에서와 같이, 스위치(SW)로서 트랜지스터(901)를 접속하여도 좋다. 이 트랜지스터(901)는 시프트 레지스터 회로(880)에 의해 그의 온·오프가 제어된다. 트랜지스터(901)가 온으로 된 때, 소스 드라이버의 출력 단자(SDout)가 비디오 신호를 출력한다.

<761> 또한, 트랜지스터(901)는 n채널형 트랜지스터이다.

<762> 또한, 트랜지스터(901)는 시프트 레지스터 회로(880)의 출력 단자(SRout)의 전위에 따라, 비디오 신호선(881)과

소스 드라이버의 출력 단자(SDout)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 시프트 레지스터 회로(880)의 출력 단자(SRout)가 H 레벨일 때, 트랜지스터(901)는 소스 드라이버의 출력 단자(SDout)에 비디오 신호를 공급한다.

<763> 또한, 이때의 시프트 레지스터 회로(880)는 n채널형 트랜지스터를 사용하여 구성되는 것이 바람직하다. 시프트 레지스터 회로(880)가 n채널형 트랜지스터를 사용하여 구성되면, 제조 공정의 간략화를 도모할 수 있다. 따라서, 제조 비용의 삭감 및 제품 수율의 향상을 도모할 수 있다.

<764> 다른 예로서, 도 91의 소스 드라이버에서와 같이, 스위치(SW)로서 트랜지스터(911)를 접속하여도 좋다. 이 트랜지스터(911)는 시프트 레지스터 회로(880)에 의해 그의 온·오프가 제어되고 있다. 트랜지스터(911)가 온으로 된 때, 소스 드라이버 회로의 출력 단자(SDout)가 비디오 신호를 출력한다.

<765> 또한, 트랜지스터(911)는 p채널형 트랜지스터이다.

<766> 또한, 트랜지스터(911)는 시프트 레지스터 회로(880)의 출력 단자(SRout)의 전위에 따라, 비디오 신호선(881)과 소스 드라이버의 출력 단자(SDout)를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 시프트 레지스터 회로(880)의 출력 단자(SRout)가 L 레벨일 때, 트랜지스터(911)는 소스 드라이버의 출력 단자(SDout)에 비디오 신호를 공급한다.

<767> 또한, 이때의 시프트 레지스터 회로(880)는 p채널형 트랜지스터를 사용하여 구성되는 것이 바람직하다. 시프트 레지스터 회로(880)가 p채널형 트랜지스터를 사용하여 구성되면, 제조 공정의 간략화를 도모할 수 있다. 따라서, 제조 비용의 삭감 및 제품 수율의 향상을 도모할 수 있다.

<768> 또한, 본 실시형태는 본 명세서 중의 다른 실시형태 및 실시예의 어떠한 기재와도 자유롭게 조합하여 실시될 수 있다. 즉, 비선택 기간에서, 본 발명의 시프트 레지스터 회로의 트랜지스터가 일정 시간 간격으로 온으로 되어, 출력 단자에 전원 전위를 공급한다. 따라서, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 전원 전위가 공급된다. 이 트랜지스터는 비선택 기간에 항상 온으로 되지 않기 때문에, 이 트랜지스터의 스레시홀드 전압 시프트가 억제될 수 있다. 또한, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 일정 시간 간격으로 전원 전위가 공급된다. 따라서, 시프트 레지스터 회로는 출력 단자에서 노이즈가 발생하는 것을 억제할 수 있다.

#### [실시형태 5]

<770> 본 실시형태에서는, 실시형태 1에서 나타낸 플립플롭 회로의 레이아웃도를 설명한다.

<771> 도 1에 나타낸 플립플롭 회로(10)의 레이아웃도를 도 122에 나타낸다.

<772> 도 122에 나타내는 플립플롭 회로의 레이아웃도는, 플립플롭 회로가 아모르퍼스 실리콘으로 된 트랜지스터를 사용하여 구성되는 경우를 나타낸다.

<773> 도 122의 플립플롭 회로는 전원선(12201), 제어선(12202), 제어선(12203), 제어선(12204), 제어선(12205), 전원선(12206), 출력 단자(12207), 트랜지스터(11), 트랜지스터(12), 트랜지스터(13), 트랜지스터(14), 트랜지스터(15), 트랜지스터(16), 트랜지스터(17), 및 트랜지스터(18)를 포함하고 있다.

<774> 또한, 부호 12208은 반도체층을 나타내고, 12209는 게이트 전극 및 게이트 배선층을 나타내고, 12210은 제2 배선층을 나타내고, 12211은 콘택트층을 나타낸다.

<775> 도 122에 나타내는 플립플롭 회로의 접속 관계에 대하여 설명한다. 플립플롭 회로(10)에 나타내는 바와 같이, 트랜지스터(11)의 게이트 단자가 입력 단자(IN1)에 접속되고, 트랜지스터(11)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(11)의 제2 단자가 트랜지스터(12)의 게이트 단자, 트랜지스터(14)의 제2 단자, 트랜지스터(15)의 게이트 단자, 트랜지스터(17)의 제2 단자, 및 커페시터(19)의 제2 전극에 접속되어 있다. 트랜지스터(15)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(15)의 제2 단자가 트랜지스터(16)의 제2 단자 및 트랜지스터(18)의 게이트 단자에 접속되어 있다. 트랜지스터(16)의 게이트 단자 및 제1 단자가 제1 전원에 접속되어 있다. 트랜지스터(18)의 제1 단자가 입력 단자(IN3)에 접속되고, 트랜지스터(18)의 제2 단자가 트랜지스터(13)의 게이트 단자 및 트랜지스터(14)의 게이트 단자에 접속되어 있다. 트랜지스터(13)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(13)의 제2 단자가 커페시터(19)의 제1 전극, 트랜지스터(12)의 제2 단자, 및 출력 단자(OUT)에 접속되어 있다. 트랜지스터(12)의 제1 단자가 입력 단자(IN2)에 접속되어 있다. 트랜지스터(14)의 제1 단자가 제2 전원에 접속되어 있다. 트랜지스터(17)의 게이트 단자가 입력 단자(IN4)에 접속되고, 트랜지스터(17)의 제

1 단자가 제2 전원에 접속되어 있다.

<776> 또한, 도 122의 트랜지스터(11~18)는 도 1의 트랜지스터(11~18)에 각각 대응한다. 도 122의 제어선(12204), 제어선(12202), 제어선(12203), 및 제어선(12205)은 도 1의 입력 단자(IN1)~입력 단자(IN4)에 각각 대응한다. 출력 단자(12207)는 도 1의 출력 단자(OUT)에 대응한다.

<777> 또한, 도 122의 플립플롭 회로의 레이아웃도에서, 트랜지스터(15)의 채널 영역의 형상이 U자형이다. 또한, 앞에서도 설명한 바와 같이, 트랜지스터(15)의 사이즈는 를 필요가 있다. 따라서, 도 122의 트랜지스터(15)와 같아, 채널 영역을 U자형으로 함으로써, 트랜지스터(15)를 소면적으로 하고, 또한, 트랜지스터(15)의 사이즈(또는 W/L비)를 크게 할 수 있다.

<778> 또한, 제어선(12202) 및 제어선(12203)의 배선폭은 전원선(12201)의 것보다 크다. 또한, 도 122의 플립플롭 회로에서는, 제어선(12202) 및 제어선(12203)에 의해, 플립 플립플롭 회로에 전원선(12201)보다 많은 전류 또는 전압을 공급하고 있다. 따라서, 제어선(12202) 및 제어선(12203)의 배선폭이 크면, 제어선(12202) 및 제어선(12203)의 전압 강하의 영향을 작게 할 수 있다.

<779> 또한, 도 122의 플립플롭 회로는 아모르퍼스 실리콘으로 된 트랜지스터를 사용하여 구성되어 있지만, 본 발명이 이것에 한정되는 것은 아니다.

<780> 예를 들어, 도 123의 플립플롭 회로에서와 같이, 플립플롭 회로가 폴리실리콘으로 된 트랜지스터를 사용하여 구성되어도 좋다.

<781> 여기서, 플립플롭 회로가 폴리실리콘으로 된 트랜지스터를 사용하여 구성되는 경우에 대하여 설명한다.

<782> 도 123의 플립플롭 회로는 전원선(12201), 제어선(12202), 제어선(12203), 제어선(12204), 제어선(12205), 전원선(12206), 출력 단자(12207), 트랜지스터(11), 트랜지스터(12), 트랜지스터(13), 트랜지스터(14), 트랜지스터(15), 트랜지스터(16), 트랜지스터(17), 및 트랜지스터(18)를 포함하고 있다.

<783> 또한, 부호 12208은 반도체층을 나타내고, 12209는 게이트 전극 및 게이트 배선층을 나타내고, 12210은 제2 배선층을 나타내고, 12211은 콘택트층을 나타낸다.

<784> 도 123에 나타내는 플립플롭 회로의 접속 관계에 대하여 설명한다. 플립플롭 회로(10)에 나타내는 바와 같이, 트랜지스터(11)의 게이트 단자가 입력 단자(IN1)에 접속되고, 트랜지스터(11)의 제1 단자가 제1 전원에 접속되고, 트랜지스터(11)의 제2 단자가 트랜지스터(12)의 게이트 단자, 트랜지스터(14)의 제2 단자, 트랜지스터(15)의 게이트 단자, 트랜지스터(17)의 제2 단자, 및 커패시터(19)의 제2 전극에 접속되어 있다. 트랜지스터(15)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(15)의 제2 단자가 트랜지스터(16)의 제2 단자 및 트랜지스터(18)의 게이트 단자에 접속되어 있다. 트랜지스터(16)의 게이트 단자 및 제1 단자가 제1 전원에 접속되어 있다. 트랜지스터(18)의 제1 단자가 입력 단자(IN3)에 접속되고, 트랜지스터(18)의 제2 단자가 트랜지스터(13)의 게이트 단자 및 트랜지스터(14)의 게이트 단자에 접속되어 있다. 트랜지스터(13)의 제1 단자가 제2 전원에 접속되고, 트랜지스터(13)의 제2 단자가 커패시터(19)의 제1 전극, 트랜지스터(12)의 제2 단자, 및 출력 단자(OUT)에 접속되어 있다. 트랜지스터(12)의 제1 단자가 입력 단자(IN2)에 접속되어 있다. 트랜지스터(14)의 제1 단자가 제2 전원에 접속되어 있다. 트랜지스터(17)의 게이트 단자가 입력 단자(IN4)에 접속되고, 트랜지스터(17)의 제1 단자가 제2 전원에 접속되어 있다.

<785> 또한, 전원선(12201), 제어선(12202), 제어선(12203), 제어선(12204), 제어선(12205), 전원선(12206), 출력 단자(12207), 트랜지스터(11), 트랜지스터(12), 트랜지스터(13), 트랜지스터(14), 트랜지스터(15), 트랜지스터(16), 트랜지스터(17), 및 트랜지스터(18)는 도 122의 것과 같은 것을 사용할 수 있다.

<786> 또한, 반도체층(12208), 게이트 배선층(12209)(게이트 전극층), 제2 배선층(12210), 및 콘택트층(12211)은 도 122의 것과 같은 것을 사용할 수 있다.

<787> 또한, 도 123의 플립플롭 회로의 레이아웃도에서, 트랜지스터(13)의 게이트 단자와 트랜지스터(14)의 게이트 단자가 제2 배선층(12210)을 통하여 서로 접속되어 있어, 게이트 배선층(12209)을 짧게 할 수 있다. 게이트 배선층(12209)이 길면, 반도체장치의 제조 공정에서, 게이트 배선층(12209)을 통하여 정전 파괴가 일어나기 쉬워진다는 것은 알려져 있다. 따라서, 트랜지스터(13)의 게이트 단자와 트랜지스터(14)의 게이트 단자를 제2 배선층(12210)을 통하여 서로 접속함으로써, 게이트 배선층(12209)을 통한 정전 파괴를 억제할 수 있다. 또한, 정전 파괴를 억제함으로써, 제품 수율의 향상, 생산성의 향상, 반도체장치의 장수명화 등의 이점이 얻어진다.

- <788> 또한, 트랜지스터(15)는 다수의 채널 영역을 가지고 있다. 이와 같이, 채널 영역을 다수의 영역으로 분할함으로써, 트랜지스터(15)의 발열을 작게 할 수 있고, 트랜지스터(15)의 특성 열화를 억제할 수 있다.
- <789> 또한, 본 실시형태는 본 명세서 중의 다른 실시형태 및 실시예의 어떠한 기재와도 자유롭게 조합하여 실시될 수 있다. 즉, 비선택 기간에서, 본 발명의 시프트 레지스터 회로의 트랜지스터가 일정 시간 간격으로 온으로 됨으로써, 출력 단자에 전원 전위를 공급한다. 따라서, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 전원 전위가 공급된다. 이 트랜지스터는 비선택 기간에 항상 온으로 되지 않으므로, 이 트랜지스터의 스레시홀드 전압 시프트가 억제될 수 있다. 또한, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 일정 시간 간격으로 전원 전위가 공급된다. 따라서, 시프트 레지스터 회로는 출력 단자에서 노이즈가 발생하는 것을 억제할 수 있다.
- <790> [실시예 1]
- <791> 본 실시예에서는, 표시장치, 게이트 드라이버, 및 소스 드라이버 등의 구성에 대하여 설명한다. 또한, 본 발명의 반도체장치는 게이트 드라이버 또는 소스 드라이버의 일부에 적용될 수 있다.
- <792> 도 92는 본 발명을 적용한 표시장치의 일 형태를 나타낸다. 본 발명을 적용한 표시장치(920)는, 화소 영역(921), 게이트 드라이버(922), 제어 신호선(923), 및 FPC(926)를 가지고 있다. 화소 영역(921)은 화소를 가지고 있고, 화소는 표시 소자, 및 그 표시 소자를 제어하는 회로를 가지고 있다.
- <793> 도 92에서, FPC(926)가 제어 신호선(923) 및 소스 신호선(924)에 접속되어 있고, 게이트 드라이버(922)가 제어 신호선(923) 및 게이트 신호선(925)과 접속되어 있다.
- <794> 또한, 게이트 드라이버(922)는 실시형태 3에서 설명한 것과 같은 것을 사용할 수 있다.
- <795> 또한, 게이트 드라이버(922)의 수는 1개 이상이어도 좋다.
- <796> 이미 설명한 바와 같이, 표시 소자를 가지는 장치인 표시장치, 또는 발광소자를 가지는 장치인 발광장치는 다양한 형태를 사용하거나, 다양한 소자를 가질 수 있다. 예를 들어, EL 소자(유기 EL 소자, 무기 EL 소자, 또는 유기물과 무기물을 포함하는 EL 소자), 전자 방출 소자, 액정 소자, 전자 잉크 등, 전기 또는 자기적 작용에 의해 콘트라스트가 변화하는 표시 매체를 적용할 수 있다. 또한, EL 소자를 사용한 표시장치로서는 EL 디스플레이가 있고, 전자 방출 소자를 사용한 표시장치로서는 전계 방출 디스플레이(FED)나 SED 방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등이 있고, 액정 소자를 사용한 표시장치로서는 액정 디스플레이가 있고, 전자 잉크를 사용한 표시장치로서는 전자 페이퍼가 있다.
- <797> 표시장치(920)의 동작에 대하여 간단히 설명한다.
- <798> 게이트 드라이버(922)는 게이트 신호선(925)을 통하여, 화소 영역(921)에 선택 신호를 순차로 출력한다. 외부 회로가 FPC(926) 및 소스 신호선(924)을 통하여, 화소 영역(921)에 비디오 신호를 순차로 출력한다. 외부 회로는 도시하지 않았다. 화소 영역(921)에서는, 비디오 신호에 따라 광 상태를 제어함으로써, 화상이 표시된다.
- <799> 또한, 외부 회로로부터 제어 신호선(923)에 제어 신호가 공급되고, 그 제어 신호에 의해 게이트 드라이버(922)가 제어된다. 예를 들어, 제어 신호로서, 스타트 펄스, 클록 신호, 반전된 클록 신호 등이 사용된다.
- <800> 또한, 비디오 신호는 전압값의 입력이어도 좋고 전류값의 입력이어도 좋다. 예를 들어, 표시 소자로서 액정 소자를 사용하는 경우, 비디오 신호는 전압값의 입력인 것이 바람직하다. 왜냐하면, 액정 소자는 전계에 의해 액정 소자의 틸트(tilt)가 제어되어, 전압값을 가지는 비디오 신호에 의해 용이하게 제어될 수 있기 때문이다.
- <801> 또한, 비디오 신호는 디지털값이어도 좋고 아날로그값이어도 좋다. 예를 들어, 표시 소자로서 액정 소자를 사용하는 경우, 비디오 신호는 아날로그값인 것이 바람직하다. 왜냐하면, 액정 소자의 응답 속도가 느려, 액정 소자가 1 프레임 기간에 한 번만 아날로그값의 비디오 신호를 공급함으로써 제어될 수 있기 때문이다.
- <802> 또한, FPC(926)는 하나의 FPC(926)로 구성되어 있지만, 본 발명이 반드시 이것에 한정되는 것은 아니다. FPC(926)는 다수의 FPC로 분할되어 있어도 좋다.
- <803> 예를 들어, 도 93의 표시장치(920)에서와 같이, FPC(926)가 3개로 분할되어 있어도 좋다. 왜냐하면, 표시장치가 큰 경우, 또는 FPC(926)와 표시장치(920)와의 접속수가 많은 경우에도, 기존의 FPC 및 기존의 FPC 압착 장치를 이용할 수 있음으로써, 제조 비용을 억제할 수 있기 때문이다. 또한, FPC(926)와 표시장치(920)와의 접속이 실패한 경우, 그 접속이 실패한 FPC(926)만 바꾸면 되기 때문에, 제조 비용을 억제할 수 있다.

- <804> 또한, 비디오 신호는 어떤 회로 및 어떤 소자를 통해서도 화소 영역(921)에 출력될 수 있다.
- <805> 예를 들어, 도 94에 나타낸 바와 같이, 비디오 신호는 신호선 제어 회로(941)를 통하여 화소 영역(921)에 출력되어도 좋다. 왜냐하면, 신호선 제어 회로(941)가 다양한 기능을 가지고 있다면, 외부 회로의 구성이 간단하게 되므로, 표시장치 전체로서의 비용이 저렴될 수 있기 때문이다. 또한, FPC(926)와 표시장치(920)와의 접속수가 대폭으로 적어질 수 있다.
- <806> 또한, 신호선 제어 회로(941)에는 제어 신호선(942)에 의해 비디오 신호와 제어 신호가 공급된다.
- <807> 이와 같이, 본 발명의 표시장치에는 다양한 구성을 적용할 수 있다.
- <808> 또한, 본 실시예에서는, 다양한 표시장치의 구성을 나타내었지만, 본 발명의 표시장치의 구성은 이들 표시장치에 한정되는 것은 아니다.
- <809> 또한, 본 실시예는 본 명세서 중의 다른 실시형태 및 실시예의 어떠한 기재와도 자유롭게 조합하여 실시될 수 있다. 즉, 비선택 기간에서, 트랜지스터가 일정 시간 간격으로 온으로 됨으로써, 본 발명의 시프트 레지스터 회로를 구비하는 게이트 드라이버 및 소스 드라이버가 출력 단자에 전원 전위를 공급한다. 따라서, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 전원 전위가 공급된다. 이 트랜지스터는 비선택 기간에 항상 온으로 되지 않기 때문에, 이 트랜지스터의 스레시홀드 전압 시프트가 억제될 수 있다. 또한, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 일정 시간 간격으로 전원 전위가 공급된다. 따라서, 시프트 레지스터 회로는 출력 단자에서 노이즈가 발생하는 것을 억제할 수 있다.
- <810> [실시예 2]
- <811> 다음에, 실시예 1에서 설명한 신호선 제어 회로(941)의 구체적인 구성을 설명한다.
- <812> 또한, 신호선 제어 회로(941)로서, 실시형태 4에서 설명한 소스 드라이버를 적용할 수 있다.
- <813> 도 95는, 실시형태 4에서 설명한 소스 드라이버와는 다른 신호선 제어 회로(941)의 일 형태를 나타낸다. 도 95의 신호선 제어 회로(950)는 다수의 스위치(SW)를 가지고 있다.
- <814> 도 95에 나타내는 바와 같이, 비디오 신호선(954)이 스위치(SW1)의 제1 단자, 스위치(SW2)의 제1 단자, 및 스위치(SW3)의 제1 단자에 접속되어 있다. 스위치(SW1)의 제2 단자가 소스 신호선(955)에 접속되고, 스위치(SW2)의 제2 단자가 소스 신호선(956)에 접속되고, 스위치(SW3)의 제2 단자가 소스 신호선(957)에 접속되어 있다. 스위치(SW1)의 제어 단자는 제어 신호선(951)에 접속되고, 스위치(SW2)의 제어 단자는 제어 신호선(952)에 접속되고, 스위치(SW3)의 제어 단자는 제어 신호선(953)에 접속되어 있다. 또한, 비디오 신호선(954), 제어 신호선(951), 제어 신호선(952) 및 제어 신호선(953)은 FPC를 통하여 외부 회로에 접속되어 있다.
- <815> 또한, 제어 신호선(951)에는 제어 신호 A가 공급되고, 제어 신호선(952)에는 제어 신호 B가 공급되고, 제어 신호선(953)에는 제어 신호 C가 공급된다. 비디오 신호선(954)에는 비디오 신호가 공급된다.
- <816> 이미 설명한 바와 같이, 스위치(SW1~SW3)로서는, 예를 들어, 전기적인 스위치 또는 기계적인 스위치를 사용할 수 있다. 즉, 그 스위치는 전류의 흐름을 제어할 수 있는 것이면 되고, 특정의 것에 한정되는 것은 아니다. 트랜지스터이어도 좋고, 다이오드이어도 좋고, 그것들을 조합한 논리회로이어도 좋다. 따라서, 스위치로서 트랜지스터를 사용하는 경우, 그 트랜지스터는 단순한 스위치로서 동작하기 때문에, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다. 그러나, 오프 전류가 적은 것이 바람직한 경우, 오프 전류가 적은 쪽의 극성의 트랜지스터를 사용하는 것이 바람직하다. 오프 전류가 적은 트랜지스터로서는, LDD 영역을 가진 트랜지스터, 멀티 게이트 구조를 가진 트랜지스터 등을 사용할 수 있다. 또한, 스위치로서 동작하는 트랜지스터의 소스 단자의 전위가 저전위측 전원(Vss, GND, 0 V 등)에 가까운 상태에서 동작하는 경우는 n채널형 트랜지스터를 사용하는 것이 바람직하고, 반대로, 트랜지스터의 소스 단자의 전위가 고전위측 전원(Vdd 등)에 가까운 상태에서 동작하는 경우는 p채널형 트랜지스터를 사용하는 것이 바람직하다. 왜냐하면, 트랜지스터는 그의 게이트-소스간 전압의 절대값을 크게 할 수 있기 때문에, 스위치로서 용이하게 기능할 수 있기 때문이다. 또한, n채널형 트랜지스터와 p채널형 트랜지스터 양쪽 모두를 사용하여 CMOS형 스위치로 하여도 좋다.
- <817> 도 95의 신호선 제어 회로(950)의 동작에 대하여 설명한다.
- <818> 제어 신호 A, 제어 신호 B, 및 제어 신호 C는 스위치(SW1), 스위치(SW2), 및 스위치(SW3)를 순차로 온으로 하는 신호이다. 비디오 신호의 값은 스위치(SW1), 스위치(SW2), 및 스위치(SW3)의 온·오프 상태에 따라 변경된다.

- <819> 먼저, 스위치(SW1)가 제어 신호 A에 의해 온으로 된다. 이때, 스위치(SW2)가 제어 신호 B에 의해 오프로 되고, 스위치(SW3)가 제어 신호 C에 의해 오프로 된다. 따라서, 비디오 신호는 비디오 신호선(954) 및 스위치(SW1)를 통하여 소스 신호선(955)에 공급된다. 이때, 스위치(SW2) 및 스위치(SW3)는 오프이기 때문에, 비디오 신호가 소스 신호선(956) 및 소스 신호선(957)에는 공급되지 않는다.
- <820> 다음에, 스위치(SW2)가 제어 신호 B에 의해 온으로 된다. 이때, 스위치(SW1)가 제어 신호 A에 의해 오프로 되고, 스위치(SW3)가 제어 신호 C에 의해 오프로 된다. 따라서, 비디오 신호는 비디오 신호선(954) 및 스위치(SW2)를 통하여 소스 신호선(956)에 공급된다. 이때, 스위치(SW1) 및 스위치(SW3)는 오프이기 때문에, 비디오 신호가 소스 신호선(955) 및 소스 신호선(957)에는 공급되지 않는다.
- <821> 다음에, 스위치(SW3)가 제어 신호 C에 의해 온으로 된다. 이때, 스위치(SW1)가 제어 신호 A에 의해 오프로 되고, 스위치(SW3)가 제어 신호 B에 의해 오프로 된다. 따라서, 비디오 신호는 비디오 신호선(954) 및 스위치(SW3)를 통하여 소스 신호선(957)에 공급된다. 이때, 스위치(SW1) 및 스위치(SW2)는 오프이기 때문에, 비디오 신호가 소스 신호선(955) 및 소스 신호선(956)에는 공급되지 않는다.
- <822> 다음과 같은 동작에 의해, 비디오 신호는 하나의 비디오 신호선(954)을 사용하여 소스 신호선(955), 소스 신호선(956), 및 소스 신호선(957)의 3개 선에 공급된다. 즉, 비디오 신호선(954)의 수는 소스 신호선의 수의 1/3이 되기 때문에, FPC와 표시장치와의 접속수가 대폭으로 저감된다. 따라서, FPC와 표시장치와의 접속 실패의 확률이 대폭으로 작아진다.
- <823> 또한, 도 95의 신호선 제어 회로(950)는 3개의 스위치(SW)를 가지고 있지만, 본 발명이 이것에 한정되는 것은 아니다. 스위치(SW)는 제한되지 않는다. 제어 신호의 수는 스위치(SW)의 수에 대응하여 변경될 필요가 있다. 예를 들어, 스위치(SW)가 4개인 경우, 제어 신호는 4개로 한다.
- <824> 또한, 도 95의 신호선 제어 회로(950)는, 스위치(SW1~SW3)가 모두 온을 되지 않는 기간을 가져도 좋다. 왜냐하면, 크로스토크 등의 화상 불량이 억제될 수 있기 때문이다. 즉, 새로운 비디오 신호가 소스 신호선에 공급되는 경우, 소스 신호선의 전위가 바로 변화하지는 않는다. 왜냐하면, 이전의 전위의 영향이 소스 신호선에 남아 있는 일이 있기 때문에, 크로스토크 등의 화상 불량이 발생하기 때문이다. 이 기간은 다음 행의 기입을 위한 준비 기간이다.
- <825> 또한, 제어 신호 A, 제어 신호 B, 및 제어 신호 C는 실시형태 2의 시프트 레지스터 회로에 의해 공급되어도 좋다. 이때, 시프트 레지스터 회로는 3개 이상의 플립플롭 회로를 포함한다. 시프트 레지스터 회로는 3개 이상의 플립플롭 회로, 5개 이하의 플립플롭 회로를 가지고 있는 것이 바람직하다.
- <826> 또한, 표시장치(920)에서, 신호선 제어 회로(950)를 동일 기판 위에 형성함으로써, FPC와 표시장치(920)와의 접속수를 더 줄일 수 있다.
- <827> 이와 같이, 본 발명의 표시장치에는 다양한 신호선 제어 회로를 사용할 수 있다.
- <828> 또한, 본 실시예에서는, 다양한 신호선 제어 회로를 나타내었지만, 본 발명의 표시장치에 적용할 수 있는 신호선 제어 회로는 이들 신호선 제어 회로에 한정되는 것은 아니다.
- <829> 또한, 본 실시예는 본 명세서 중의 다른 실시형태 및 실시예의 어떠한 기재와도 자유롭게 조합하여 실시될 수 있다. 즉, 비선택 기간에서, 트랜지스터가 일정 시간 간격으로 온으로 됨으로써, 본 발명의 시프트 레지스터 회로를 구비하는 신호선 제어 회로가 출력 단자에 전원 전위를 공급한다. 따라서, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 전원 전위가 공급된다. 이 트랜지스터는 비선택 기간에 항상 온으로 되지 않으므로, 이 트랜지스터의 스레시홀드 전압 시프트가 억제될 수 있다. 또한, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 일정 시간 간격으로 전원 전위가 공급된다. 따라서, 시프트 레지스터 회로는 출력 단자에서 노이즈가 발생하는 것을 억제할 수 있다.
- <830> [실시예 3]
- <831> 다음에, 실시예 1에서 설명한 화소의 구체적인 구성을 설명한다.
- <832> 도 96는 화소의 일 형태를 나타낸다. 도 96의 화소(960)는 트랜지스터(961), 2개의 전극을 가진 액정 소자(962), 2개의 전극을 가진 커패시터(963)를 가지고 있다.
- <833> 도 96의 화소(960)에 나타내는 바와 같이, 트랜지스터(961)의 제1 단자가 소스 신호선(924)에 접속되고, 트랜지스터(961)의 제2 단자가 액정 소자(962)의 제1 전극 및 커패시터(963)의 제1 전극에 접속되고, 트랜지스터(961)

1)의 게이트 단자가 게이트 신호선(925)에 접속되어 있다. 액정 소자(962)의 제2 전극이 대향 전극(964)이다. 커패시터(963)의 제2 전극이 공통선(965)에 접속되어 있다.

<834> 또한, 소스 신호선(924)에는 비디오 신호가 공급되고, 게이트 신호선(925)에는 선택 신호가 공급된다. 또한, 소스 신호선(924) 및 게이트 신호선(925)은 실시예 1에서의 것과 같은 것을 사용할 수 있다.

<835> 또한, 공통선(965)에는 공통 전위가 공급되고, 대향 전극(964)에는 기판 전위가 공급된다. 공통 전위 및 기판 전위는 일정한 전위이다.

<836> 또한, 트랜지스터(961)는 n채널형 트랜지스터이다.

<837> 게이트 신호선(925)에 선택 신호가 공급되는 경우(H 레벨)와 선택 신호가 공급되지 않는 경우(L 레벨)에 있어서의 도 96의 화소(960)의 동작에 대하여 각각 설명한다. 또한, 게이트 신호선(925)에 선택 신호가 공급되는 기간을 제1 기간이라 하고, 선택 신호가 공급되지 않는 기간을 제2 기간이라 한다.

<838> 먼저, 제1 기간에 대하여 설명한다. 게이트 신호선(925)이 H 레벨이 되고, 트랜지스터(961)가 온으로 된다. 소스 신호선(924)은 액정 소자(962)의 제1 전극 및 커패시터(963)의 제1 전극에 전기적으로 접속되고, 액정 소자(962)의 제1 전극 및 커패시터(963)의 제1 전극의 전위가 소스 신호선(924)의 전위와 같은 전위가 된다.

<839> 여기서, 소스 신호선(924)의 전위는 비디오 신호에 대응한 전위이다.

<840> 액정 소자(962)의 광 투과율이 비디오 신호에 대응한 전위에 의해 결정된다. 커패시터(963)에는 비디오 신호에 대응한 전위가 보유된다.

<841> 다음에, 제2 기간에 대하여 설명한다. 게이트 신호선(925)이 L 레벨이 되고, 트랜지스터(961)가 오프로 된다. 소스 신호선(924)은 액정 소자(962)의 제1 전극 및 커패시터(963)의 제1 전극에 전기적으로 접속되지 않게 된다. 따라서, 이전에 입력된 비디오 신호에 대응한 전위가 액정 소자(962)의 제1 전극 및 커패시터(963)의 제1 전극의 전위로서 유지되기 때문에, 액정 소자(962)의 광 투과율도 유지된다.

<842> 여기서, 트랜지스터(961) 및 커패시터(963)의 기능에 대하여 이하에 설명한다.

<843> 트랜지스터(961)는, 게이트 신호선(925)의 전위에 따라, 소스 신호선(924)을 액정 소자(962)의 제1 전극 및 커패시터(963)의 제1 전극에 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 제1 기간에서, 트랜지스터(961)는 화소(960)에 비디오 신호를 공급하는 기능을 가진다.

<844> 커패시터(963)는 비디오 신호를 보유하는 기능을 가진다. 제1 기간에서, 비디오 신호가 커패시터(963)에 공급되고, 커패시터(963)는 비디오 신호를 보유하는 기능을 가진다. 제2 기간에서, 커패시터(963)는 다음의 제1 기간까지 비디오 신호를 보유하는 기능을 가진다.

<845> 이와 같이, 화소(960)는 액티브 구동을 할 수 있다. 또한, 화소(960)와 동일 기판 위의 다른 트랜지스터가 n채널형 트랜지스터이면, 제조 공정의 간략화를 도모할 수 있다. 따라서, 제조 비용의 삭감 및 제품 수율의 향상을 도모할 수 있다.

<846> 또한, 커패시터(963)의 제2 전극은, 화소(960)의 동작 기간 중에 커패시터(963)의 제2 전극이 일정한 전위로 유지된다면, 어디에 접속되어도 좋다. 예를 들어, 커패시터(963)의 제2 전극은 이전 행의 게이트 신호선(925)에 접속되어도 좋다. 왜냐하면, 공통선(965)이 필요 없게 되어, 화소(960)의 개구율이 증대되기 때문이다.

<847> 또한, 대향 전극(964)에는 일정한 전위가 공급되지만, 본 발명이 이것에 한정되는 것은 아니다. 예를 들어, 화소(960)가 반전 구동하는 경우, 대향 전극(964)의 전위는 반전 구동에 대응하여 변경되어도 좋다. 이때, 비디오 신호가 정(正)의 전위인 경우, 대향 전극(964)의 전위가 부(負)의 전위가 된다. 또한, 비디오 신호가 부의 전위인 경우, 대향 전극(964)의 전위가 정의 전위가 된다.

<848> 도 96의 화소가 n채널형 트랜지스터를 사용하여 구성되어 있는 경우에 대하여 설명하였지만, p채널형 트랜지스터를 사용하여 구성되어도 좋다. 여기서, p채널형 트랜지스터를 사용하여 구성된 경우의 화소를 도 120에 나타낸다.

<849> 도 120은 화소의 일 형태를 나타낸다. 도 120의 화소(1200)는 트랜지스터(1201), 2개의 전극을 가진 액정 소자(962), 2개의 전극을 가진 커패시터(963)를 가지고 있다.

<850> 도 120의 화소(1200)에 나타내는 바와 같이, 트랜지스터(1201)의 제1 단자가 소스 신호선(924)에 접속되고, 트랜지스터(1201)의 제2 단자가 액정 소자(962)의 제1 전극 및 커패시터(963)의 제1 전극에 접속되고, 트랜지스터

(1201)의 게이트 단자가 게이트 신호선(925)에 접속되어 있다. 액정 소자(962)의 제2 전극이 대향 전극(964)이다. 커패시터(963)의 제2 전극이 공통선(965)에 접속되어 있다.

<851> 또한, 소스 신호선(924)에는 비디오 신호가 공급되고, 게이트 신호선(925)에는 선택 신호가 공급된다. 또한, 소스 신호선(924) 및 게이트 신호선(925)은 실시예 1에서의 것과 같은 것을 사용할 수 있다.

<852> 또한, 공통선(965)에는 공통 전위가 공급되고, 대향 전극(964)에는 기판 전위가 공급된다. 공통 전위와 기판 전위는 일정한 전위이다.

<853> 또한, 액정 소자(962), 커패시터(963), 대향 전극(964), 및 공통선(965)은 도 96의 것과 같은 것을 사용할 수 있다.

<854> 또한, 트랜지스터(1201)는 p채널형 트랜지스터이다.

<855> 게이트 신호선(925)에 선택 신호가 공급되는 경우(L 레벨)와 선택 신호가 공급되지 않는 경우(H 레벨)에 있어서의 도 120의 화소(1200)의 동작에 대하여 각각 설명한다. 또한, 게이트 신호선(925)에 선택 신호가 공급되는 기간을 제1 기간이라 하고, 선택 신호가 공급되지 않는 기간을 제2 기간이라 한다.

<856> 먼저, 제1 기간에 대하여 설명한다. 게이트 신호선(925)이 L 레벨이 되고, 트랜지스터(1201)가 온으로 된다. 소스 신호선(924)은 액정 소자(962)의 제1 전극 및 커패시터(963)의 제1 전극에 전기적으로 접속되고, 액정 소자(962)의 제1 전극 및 커패시터(963)의 제1 전극의 전위가 소스 신호선(924)의 전위와 같은 전위가 된다.

<857> 여기서, 소스 신호선(924)의 전위는 비디오 신호에 대응한 전위이다.

<858> 액정 소자(962)의 광 투과율이 비디오 신호에 대응한 전위에 의해 결정된다. 커패시터(963)에는 비디오 신호에 대응한 전위가 보유된다.

<859> 다음에, 제2 기간에 대하여 설명한다. 게이트 신호선(925)이 H 레벨이 되고, 트랜지스터(1201)가 오프로 된다. 소스 신호선(924)은 액정 소자(962)의 제1 전극 및 커패시터(963)의 제1 전극에 전기적으로 접속되지 않게 된다. 따라서, 이전에 입력된 비디오 신호에 대응한 전위가 액정 소자(962)의 제1 전극 및 커패시터(963)의 제1 전극의 전위로서 유지되기 때문에, 액정 소자(962)의 광 투과율도 유지된다.

<860> 여기서, 트랜지스터(1201) 및 커패시터(963)의 기능에 대하여 이하에 설명한다.

<861> 트랜지스터(1201)는, 게이트 신호선(925)의 전위에 따라, 소스 신호선(924)을 액정 소자(962)의 제1 단자 및 커패시터(963)의 제1 전극에 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 제1 기간에서, 트랜지스터(1201)는 화소(1200)에 비디오 신호를 공급하는 기능을 가진다.

<862> 이와 같이, 화소(1200)는 액티브 구동을 할 수 있다. 또한, 화소(1200)와 동일 기판 위의 다른 트랜지스터가 p 채널형 트랜지스터이면, 제조 공정의 간략화를 도모할 수 있다. 따라서, 제조 비용의 삭감 및 제품 수율의 향상을 도모할 수 있다.

<863> 또한, 커패시터(963)의 제2 전극은, 화소(1200)의 동작 기간 중에 커패시터(963)의 제2 전극이 일정한 전위로 유지된다면, 어디에 접속되어도 좋다. 예를 들어, 커패시터(963)의 제2 전극은 이전 행의 게이트 신호선(925)에 접속되어도 좋다. 왜냐하면, 공통선(965)이 필요 없게 되어, 화소(1200)의 개구율이 증대되기 때문이다.

<864> 또한, 대향 전극(964)에는 일정한 전위가 공급되지만, 본 발명이 이것에 한정되는 것은 아니다. 예를 들어, 화소(1200)가 반전 구동하는 경우, 대향 전극(964)의 전위는 반전 구동에 대응하여 변경되어도 좋다. 이때, 비디오 신호가 정의 전위인 경우, 대향 전극(964)의 전위가 부의 전위가 된다. 또한, 비디오 신호가 부의 전위인 경우, 대향 전극(964)의 전위가 정의 전위가 된다.

<865> 도 97은 화소의 다른 일 형태를 나타낸다. 도 97의 화소(970)는 트랜지스터(971), 트랜지스터(972), 2개의 전극을 가진 표시 소자(973), 및 2개의 전극을 가진 커패시터(974)를 가지고 있다.

<866> 도 97의 화소(970)에 나타내는 바와 같이, 트랜지스터(971)의 제1 단자가 소스 신호선(924)에 접속되고, 트랜지스터(971)의 제2 단자가 트랜지스터(972)의 게이트 단자 및 커패시터(974)의 제1 전극에 접속되고, 트랜지스터(971)의 게이트 단자가 게이트 신호선(925)에 접속되어 있다. 커패시터(974)의 제2 전극이 전원선(976)에 접속되어 있다. 트랜지스터(972)의 제1 단자가 전원선(976)에 접속되고, 트랜지스터(972)의 제2 단자가 표시 소자(973)의 제1 전극에 접속되어 있다. 표시 소자(973)의 제2 전극은 공통 전극(975)이다.

<867> 또한, 소스 신호선(924)에는 비디오 신호가 공급되고, 게이트 신호선(925)에는 선택 신호가 공급된다. 또한,

소스 신호선(924) 및 게이트 신호선(925)은 실시예 1에서의 것과 같은 것을 사용할 수 있다.

<868> 또한, 전원선(976)에는 양극(anode) 전위가 공급되고, 공통 전극(975)에는 음극(cathode) 전위가 공급된다. 또한, 양극 전위는 음극 전위보다 높은 전위이다.

<869> 또한, 트랜지스터(971) 및 트랜지스터(972) 각각은 n채널형 트랜지스터이다.

<870> 게이트 신호선(925)에 선택 신호가 공급되는 경우(H 레벨)와 공급되지 않는 경우(L 레벨)에 있어서의 도 97의 화소(970)의 동작에 대하여 각각 설명한다. 또한, 게이트 신호선(925)에 선택 신호가 공급되는 기간을 제1 기간이라 하고, 선택 신호가 공급되지 않는 기간을 제2 기간이라 한다.

<871> 먼저, 제1 기간에 대하여 설명한다. 게이트 신호선(925)이 H 레벨이 되고, 트랜지스터(971)가 온으로 된다. 소스 신호선(924)은 트랜지스터(972)의 게이트 단자 및 커패시터(974)의 제1 전극에 전기적으로 접속되고, 트랜지스터(972)의 게이트 단자 및 커패시터(974)의 제1 전극의 전위가 소스 신호선(924)의 전위와 같은 전위가 된다.

<872> 여기서, 소스 신호선(924)의 전위는 비디오 신호에 대응한 전위이다.

<873> 트랜지스터(972)의 전류값은 비디오 신호에 대응한 전위와 트랜지스터(972)의 제2 단자의 전위와의 전위차( $V_{gs}$ )에 의해 결정되고, 트랜지스터(972)와 같은 전류가 표시 소자(973)에 흐른다. 이 경우, 트랜지스터(972)와 표시 소자(973)의 동작점은 포화 영역에 설정될 필요가 있다. 이렇게 하여, 비디오 신호에 의해, 표시 소자(973)의 전류값을 자유롭게 결정할 수 있다.

<874> 또한, 트랜지스터(972)와 표시 소자(973)의 동작점이 선형 영역에 설정되는 경우, 표시 소자(973)의 제1 전극은 트랜지스터(972)를 통하여 전원선(976)에 전기적으로 접속되고, 전원선(976)의 전위와 대략 동일한 전압이 표시 소자(973)의 제1 전극에 인가된다. 또한, 트랜지스터(972)와 표시 소자(973)의 동작점을 선형 영역에 설정하는 것이 유리한데, 그 이유는, 트랜지스터(972)의 전류값이 트랜지스터(972)의 특성 편차 및 열화의 영향을 받지 않기 때문이다.

<875> 다음에, 게이트 신호선(925)에 선택 신호가 공급되지 않는 경우에 대하여 설명한다. 게이트 신호선(925)이 L 레벨이 되고, 트랜지스터(971)가 오프로 된다. 소스 신호선(924)은 트랜지스터(972)의 제2 단자에 전기적으로 접속되지 않게 된다. 따라서, 이전에 입력된 비디오 신호에 대응한 전위가 트랜지스터(972)의 제2 단자의 전위로서 유지되기 때문에, 트랜지스터(972)의  $V_{gs}$ 는 그대로 유지된다. 따라서, 표시 소자(973)의 전류값도 그대로 유지된다.

<876> 여기서, 트랜지스터(971), 트랜지스터(972), 및 커패시터(974)의 기능에 대하여 이하에 설명한다.

<877> 트랜지스터(971)는, 게이트 신호선(925)의 전위에 따라, 소스 신호선(924)을 트랜지스터(972)의 게이트 단자 및 커패시터(974)의 제1 전극에 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 제1 기간에서, 트랜지스터(971)는 화소(970)에 비디오 신호를 공급하는 기능을 가진다.

<878> 트랜지스터(972)는, 트랜지스터(972)의 게이트 단자 및 커패시터(974)의 제1 전극의 전위에 따라, 표시 소자(973)에 전류 또는 전압을 공급하는 구동 트랜지스터로서의 기능을 가진다. 또한, 트랜지스터(972)와 표시 소자(973)의 동작점이 포화 영역에 설정되는 경우, 트랜지스터(972)는 표시 소자(973)에 전류를 공급하는 전류원으로서의 기능을 가진다. 또한, 트랜지스터(972)와 표시 소자(973)의 동작점이 선형 영역에 설정되는 경우에는, 트랜지스터(972)는 전원선(976)과 표시 소자(973)의 제1 전극을 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다.

<879> 커패시터(974)는 비디오 신호를 보유하는 기능을 가진다. 제1 기간에서, 비디오 신호가 커패시터(974)에 공급되고, 커패시터(974)는 비디오 신호를 보유하는 기능을 가진다. 제2 기간에서, 커패시터(974)는 다음의 제1 기간까지 비디오 신호를 보유하는 기능을 가진다.

<880> 이와 같이, 화소(970)는 액티브 구동을 할 수 있다. 또한, 화소(970)와 동일 기판 위의 다른 트랜지스터가 n채널형 트랜지스터이면, 제조 공정의 간략화를 도모할 수 있다. 따라서, 제조 비용의 삭감 및 제품 수율의 향상을 도모할 수 있다.

<881> 또한, 커패시터(974)의 제2 전극은, 화소(970)의 동작 기간 중에 커패시터(974)의 제2 전극이 일정한 전위로 유지된다면, 어디에 접속되어도 좋다. 예를 들어, 커패시터(974)의 제2 전극이 이전 행의 게이트 신호선(925)에 접속되어도 좋다.

- <882> 다른 예로서, 도 98의 화소(980)에서와 같이, 커패시터(974)의 제2 전극이 트랜지스터(972)의 제2 단자에 접속되어도 좋다. 왜냐하면, 트랜지스터(972)의 게이트 단자의 전위는 트랜지스터(972)의 제2 단자의 전위의 변화에 따라 변화하므로, 보다 정확한 전류가 표시 소자에 공급되기 때문이다. 즉, 트랜지스터(972)의 제2 단자의 전위가 변동하면, 트랜지스터(972)의 게이트 단자의 전위는 커패시터(974)의 용량 결합에 따라 동시에 변동한다. 소위 부트스트랩 동작을 행한다.
- <883> 도 97의 화소는 모두 n채널형 트랜지스터를 사용하여 구성되어 있는 경우에 대하여 설명하였지만, 모두 p채널형 트랜지스터를 사용하여 구성되어도 좋다. 여기서, 모두 p채널형 트랜지스터를 사용하여 구성된 경우의 화소를 도 121에 나타낸다.
- <884> 도 121은 화소의 다른 일 형태를 나타낸다. 도 121의 화소(1210)는 트랜지스터(1211), 트랜지스터(1212), 2개의 전극을 가진 표시 소자(973), 및 2개의 전극을 가진 커패시터(974)를 가지고 있다.
- <885> 도 121의 화소(1210)에 나타내는 바와 같이, 트랜지스터(1211)의 제1 단자가 소스 신호선(924)에 접속되고, 트랜지스터(1211)의 제2 단자가 트랜지스터(1212)의 게이트 단자 및 커패시터(974)의 제1 전극에 접속되고, 트랜지스터(1211)의 게이트 단자가 게이트 신호선(925)에 접속되어 있다. 커패시터(974)의 제2 전극이 전원선(976)에 접속되어 있다. 트랜지스터(1212)의 제1 단자가 전원선(976)에 접속되고, 트랜지스터(1212)의 제2 단자가 표시 소자(973)의 제1 전극에 접속되어 있다. 표시 소자(973)의 제2 전극은 공통 전극(975)이다.
- <886> 또한, 소스 신호선(924)에는 비디오 신호가 공급되고, 게이트 신호선(925)에는 선택 신호가 공급된다. 또한, 소스 신호선(924) 및 게이트 신호선(925)은 실시예 1에서의 것과 같은 것을 사용할 수 있다.
- <887> 또한, 전원선(976)에는 양극 전위가 공급되고, 공통 전극(975)에는 음극 전위가 공급된다. 또한, 양극 전위는 음극 전위보다 높은 전위이다.
- <888> 또한, 표시 소자(973), 커패시터(974), 공통 전극(975), 및 전원선(976)은 도 97에서의 것과 같은 것을 사용할 수 있다.
- <889> 또한, 트랜지스터(1211) 및 트랜지스터(1212) 각각은 p채널형 트랜지스터이다.
- <890> 게이트 신호선(925)에 선택 신호가 공급되는 경우(L 레벨)와 공급되지 않는 경우(H 레벨)에 있어서의 도 121의 화소(1210)의 동작에 대하여 각각 설명한다. 또한, 게이트 신호선(925)에 선택 신호가 공급되는 기간을 제1 기간이라 하고, 선택 신호가 공급되지 않는 기간을 제2 기간이라 한다.
- <891> 먼저, 제1 기간에 대하여 설명한다. 게이트 신호선(925)이 L 레벨이 되고, 트랜지스터(1211)가 온으로 된다. 소스 신호선(924)은 트랜지스터(1212)의 게이트 단자 및 커패시터(974)의 제1 전극에 전기적으로 접속되고, 트랜지스터(1212)의 게이트 단자 및 커패시터(974)의 제1 전극의 전위가 소스 신호선(924)의 전위와 같은 전위가 된다.
- <892> 여기서, 소스 신호선(924)의 전위는 비디오 신호에 대응한 전위이다.
- <893> 트랜지스터(1212)의 전류값은 비디오 신호에 대응한 전위와 전원선(976)의 전위와의 전위차(V<sub>gs</sub>)에 의해 결정되고, 같은 전류가 표시 소자(973)에 흐른다. 이 경우, 트랜지스터(1212)와 표시 소자(973)의 동작점이 포화 영역에 설정될 필요가 있다. 이렇게 하여, 비디오 신호에 의해, 표시 소자(973)의 전류값이 자유롭게 결정될 수 있다.
- <894> 또한, 트랜지스터(1212)와 표시 소자(973)의 동작점이 선형 영역에 설정되는 경우, 표시 소자(973)의 제1 전극이 트랜지스터(1212)를 통하여 전원선(976)에 전기적으로 접속되어, 표시 소자(973)의 제1 전극의 전위가 인가된다. 또한, 트랜지스터(1212)와 표시 소자(973)의 동작점이 선형 영역에 설정되는 것이 유리한데, 그 이유는 트랜지스터(1212)의 전류값은 트랜지스터(1212)의 특성 편차 및 열화의 영향을 받지 않기 때문이다.
- <895> 다음에, 게이트 신호선(925)에 선택 신호가 공급되지 않는 경우에 대하여 설명한다. 게이트 신호선(925)이 H 레벨이 되고, 트랜지스터(1211)가 오프로 된다. 소스 신호선(924)은 트랜지스터(1212)의 제2 단자에 전기적으로 접속되지 않게 된다. 따라서, 이전에 입력된 비디오 신호에 대응한 전위가 트랜지스터(1212)의 제2 단자의 전위로서 유지되기 때문에, 트랜지스터(1212)의 V<sub>gs</sub>는 그대로 유지된다. 따라서, 표시 소자(973)의 전류값도 그대로 유지된다.
- <896> 여기서, 트랜지스터(1211) 및 트랜지스터(1212)의 기능에 대하여 이하에 설명한다.

- <897> 트랜지스터(1211)는, 게이트 신호선(925)의 전위에 따라, 소스 신호선(924)을 트랜지스터(1212)의 게이트 단자 및 커패시터(974)의 제1 단자에 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 제1 기간에서, 트랜지스터(1211)는 화소(1210)에 비디오 신호를 공급하는 기능을 가진다.
- <898> 트랜지스터(1212)는, 트랜지스터(1212)의 게이트 단자 및 커패시터(974)의 제2 전극의 전위에 따라, 표시 소자(973)에 전류 또는 전압을 공급하는 구동 트랜지스터로서의 기능을 가진다. 또한, 트랜지스터(1212)와 표시 소자(973)의 동작점이 포화 영역에 설정되는 경우, 트랜지스터(1212)는 표시 소자(973)에 전류를 공급하는 전류원으로서의 기능을 가진다. 또한, 트랜지스터(1212)와 표시 소자(973)의 동작점이 선형 영역에 설정되는 경우에는, 트랜지스터(1212)는 전원선(976)과 표시 소자(973)의 제1 전극을 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다.
- <899> 이와 같이, 화소(970)는 액티브 구동을 할 수 있다. 또한, 화소(970)와 동일 기판 위의 다른 트랜지스터가 n채널형 트랜지스터이면, 제조 공정의 간략화를 도모할 수 있다. 따라서, 제조 비용의 삭감 및 제품 수율의 향상을 도모할 수 있다.
- <900> 또한, 커패시터(974)의 제2 전극은, 화소(1210)의 동작 기간 중에 커패시터(974)의 제2 전극이 일정한 전위로 유지된다면, 어디에 접속되어도 좋다. 예를 들어, 커패시터(974)의 제2 전극은, 이전 행의 게이트 신호선(925)에 접속되어도 좋다.
- <901> 도 99는 화소의 다른 일 형태를 나타낸다. 도 99의 화소(990)는 트랜지스터(991), 트랜지스터(992), 트랜지스터(993), 2개의 전극을 가진 표시 소자(973), 2개의 전극을 가진 커패시터(994)를 가지고 있다.
- <902> 도 99의 화소(990)에 나타내는 바와 같이, 트랜지스터(991)의 제1 단자가 소스 신호선(924)에 접속되고, 트랜지스터(991)의 제2 단자가 트랜지스터(992)의 제2 단자, 커패시터(994)의 제1 전극, 및 표시 소자(973)의 제1 전극에 접속되어 있다. 트랜지스터(992)의 제1 단자가 전원선(995)에 접속되고, 트랜지스터(992)의 게이트 단자가 트랜지스터(993)의 제2 단자 및 커패시터(994)의 제2 전극에 접속되어 있다. 트랜지스터(993)의 제1 단자가 게이트 신호선(925)에 접속되고, 트랜지스터(993)의 게이트 단자가 전원선(995)에 접속되어 있다. 표시 소자(973)의 제2 전극은 공통 전극(975)이다.
- <903> 또한, 소스 신호선(924)에는 비디오 신호가 공급되고, 게이트 신호선(925)에는 선택 신호가 공급된다. 또한, 소스 신호선(924) 및 게이트 신호선(925)는 실시예 1에서의 것과 같은 것을 사용할 수 있다.
- <904> 또한, 비디오 신호는 아날로그 전류이다.
- <905> 또한, 전원선(995)에는 제어 전위가 공급되고, 공통 전극에는 음극 전위가 공급된다. 또한, 제어 전위는 화소(990)의 동작에 의해 변화한다.
- <906> 또한, 표시 소자(973) 및 공통 전극(975)은 도 97에서의 것과 같은 것을 사용할 수 있다.
- <907> 또한, 트랜지스터(991~993) 각각은 n채널형 트랜지스터이다.
- <908> 게이트 신호선(925)에 선택 신호가 공급되는 경우(H 레벨)와 공급되지 않는 경우(L 레벨)에 있어서의 도 99의 화소(990)의 동작에 대하여 각각 설명한다. 또한, 게이트 신호선(925)에 선택 신호가 공급되는 기간을 제1 기간이라 하고, 선택 신호가 공급되지 않은 기간을 제2 기간이라 한다.
- <909> 먼저, 제1 기간에 대하여 설명한다. 게이트 신호선(925)이 H 레벨이 되고, 트랜지스터(991) 및 트랜지스터(993)가 온으로 된다. 트랜지스터(992)의 제1 단자와 게이트 단자가 트랜지스터(993)를 통하여 전기적으로 접속되고, 트랜지스터(992)는 다이오드 접속된다. 또한, 소스 신호선(924)은 트랜지스터(992)의 제2 단자, 커패시터(994)의 제1 전극, 및 표시 소자(973)의 제1 전극에 전기적으로 접속된다.
- <910> 이때, 전원선(995)의 전위는, 표시 소자(973)의 제1 전극의 전위가 공통 전극(975)의 전위보다 낮은 전위가 되도록 설정된다.
- <911> 비디오 신호에 대해서는, 전원선(995)으로부터 트랜지스터(992) 및 트랜지스터(991)를 통하여 소스 신호선(924)에 흐르는 아날로그 전류를 화소(990)에 공급한다. 그리고, 트랜지스터(992)에는 비디오 신호와 같은 전류가 공급된다. 트랜지스터(992)는 다이오드 접속되어 있으므로, 커패시터(994)에는 그때의 트랜지스터(992)의 제1 단자와 게이트 단자와의 사이의 전압( $V_{gs}$ )이 보유된다.
- <912> 또한, 표시 소자(973)의 제1 전극의 전위는 공통 전극의 전위보다 낮기 때문에, 표시 소자(973)가 발광하지 않

는다.

<913> 다음에, 제2 기간에 대하여 설명한다. 게이트 신호선(925)이 L 레벨이 되고, 트랜지스터(991) 및 트랜지스터(993)가 오프로 된다. 트랜지스터(992)의 제1 단자와 게이트 단자가 트랜지스터(993)를 통하여 전기적으로 접속되지 않게 되고, 트랜지스터(992)는 다이오드 접속되지 않게 된다. 또한, 소스 신호선(924)은 트랜지스터(992)의 제2 단자, 커패시터(994)의 제1 전극, 및 표시 소자(973)의 제1 전극에 전기적으로 접속되지 않게 된다.

<914> 이때, 전원선(995)의 전위는 표시 소자(973)의 제1 전극의 전위가 공통 전극(975)의 전위보다 높은 전위가 되도록 설정된다.

<915> 커패시터(994)에는, 트랜지스터(992)가 비디오 신호와 같은 전류를 공급하는 전압이 보유되어 있다. 전원선(995)의 전위가 상승하면, 커패시터(994)의 제1 전극의 전위도 상승한다. 여기서, 트랜지스터(992)의 게이트 단자의 전위는 커패시터(994)의 용량 결합에 의해 상승하고, 트랜지스터(992)의 V<sub>gs</sub>는 그대로 유지된다. 따라서, 표시 소자(973)에는 비디오 신호와 같은 전류가 공급된다.

<916> 여기서, 트랜지스터(991~993), 및 커패시터(994)의 기능에 대하여 이하에 설명한다.

<917> 트랜지스터(991)는, 게이트 신호선(925)의 전위에 따라, 소스 신호선(924)을 트랜지스터(992)의 제2 단자, 커패시터(994)의 제1 전극, 및 표시 소자(973)의 제1 전극에 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 제1 기간에서, 트랜지스터(991)는 화소(990)에 비디오 신호를 공급하는 기능을 가진다.

<918> 트랜지스터(992)는, 트랜지스터(992)의 게이트 단자, 트랜지스터(993)의 제2 단자, 및 커패시터(994)의 제2 전극의 전위에 따라, 표시 소자(973)에 전류를 공급하는 전류원으로서의 기능을 가진다.

<919> 트랜지스터(993)는, 트랜지스터(992)의 제1 단자와 트랜지스터(992)의 게이트 단자를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 제1 기간에서, 트랜지스터(993)는 트랜지스터(992)를 다이오드 접속으로 하는 기능을 가진다.

<920> 커패시터(994)는, 표시 소자(973)의 제1 전극의 전위에 따라 트랜지스터(992)의 게이트 단자의 전위를 변경하는 기능을 가진다. 제2 기간에서, 커패시터(994)는 표시 소자(973)의 제1 전극의 전위를 상승시킴으로써 트랜지스터(992)의 게이트 단자의 전위를 상승시키는 기능을 가진다.

<921> 이와 같이, 화소(990)는 액티브 구동을 할 수 있다. 또한, 화소(990)와 동일 기판 위의 다른 트랜지스터가 n채널형 트랜지스터이면, 제조 공정의 간략화를 도모할 수 있다. 따라서, 제조 비용의 삭감 및 제품 수율의 향상을 도모할 수 있다.

<922> 도 118은 화소의 다른 일 형태를 나타낸다. 도 118의 화소(1180)는 트랜지스터(1181), 트랜지스터(1182), 트랜지스터(1183), 트랜지스터(1184), 2개의 전극을 가진 표시 소자(973), 및 2개의 전극을 가진 커패시터(974)를 가지고 있다.

<923> 도 118의 화소(1180)에 나타내는 바와 같이, 트랜지스터(1181)의 제1 단자가 소스 신호선(924)에 접속되고, 트랜지스터(1181)의 제2 단자가 트랜지스터(1182)의 제2 단자, 트랜지스터(1183)의 게이트 단자, 트랜지스터(1184)의 게이트 단자, 및 커패시터(974)의 제2 전극에 접속되고, 트랜지스터(1181)의 게이트 단자가 게이트 신호선(925)에 접속되어 있다. 트랜지스터(1182)의 제1 단자가 트랜지스터(1183)의 제1 단자에 접속되고, 트랜지스터(1182)의 게이트 단자가 게이트 신호선(925)에 접속되어 있다. 트랜지스터(1183)의 제2 단자가 트랜지스터(1184)의 제2 단자 및 표시 소자(973)의 제1 전극에 접속되어 있다. 트랜지스터(1184)의 제1 단자가 전원선(976)에 접속되어 있다. 커패시터(974)의 제2 전극이 전원선(976)에 접속되어 있다. 표시 소자(973)의 제2 전극은 공통 전극(975)이다.

<924> 또한, 소스 신호선(924)에는 비디오 신호가 공급되고, 게이트 신호선(925)에는 선택 신호가 공급된다. 또한, 소스 신호선(924) 및 게이트 신호선(925)은 실시예 1에서의 것과 같은 것을 사용할 수 있다.

<925> 또한, 비디오 신호는 아날로그 전류이다.

<926> 또한, 전원선(976)에는 양극 전위가 공급되고, 공통 전극(975)에는 음극 전위가 공급된다. 또한, 양극 전위는 음극 전위보다 높은 전위이다.

<927> 또한, 표시 소자(973), 공통 전극(975), 및 전원선(976)은 도 97에서와 것과 같은 것을 사용할 수 있다.

- <928> 또한, 트랜지스터(1181~1184)는 각각 n채널형 트랜지스터이다.
- <929> 게이트 신호선(925)에 선택 신호가 공급되는 경우(H 레벨)와 공급되지 않는 경우(L 레벨)에 있어서의 도 118의 화소(1180)의 동작에 대하여 각각 설명한다. 또한, 게이트 신호선(925)에 선택 신호가 공급되는 기간을 제1 기간이라 하고, 선택 신호가 공급되지 않는 기간을 제2 기간이라 한다.
- <930> 먼저, 제1 기간에 대하여 설명한다. 게이트 신호선(925)이 H 레벨이 되고, 트랜지스터(1181) 및 트랜지스터(1182)가 온으로 된다. 트랜지스터(1183)의 제1 단자와 게이트 단자가 트랜지스터(1182)를 통하여 전기적으로 접속되고, 트랜지스터(1183)가 다이오드 접속된다. 또한, 소스 신호선(924)은 트랜지스터(1182)의 제1 단자, 트랜지스터(1183)의 게이트 단자, 트랜지스터(1184)의 게이트 단자, 및 커패시터(974)의 제2 전극에 전기적으로 접속된다.
- <931> 비디오 신호에 대해서는, 소스 신호선(924)으로부터 트랜지스터(1181), 트랜지스터(1182), 트랜지스터(1183), 및 표시 소자(973)를 통하여 공통 전극(975)에 흐르는 아날로그 전류를 화소(1180)에 공급한다. 그리고, 트랜지스터(1183)에는 비디오 신호와 같은 전류가 공급된다. 트랜지스터(1183)의 게이트 단자, 트랜지스터(1184)의 게이트 단자, 및 커패시터(974)의 제2 전극이 서로 접속되어 있으므로, 커패시터(974)의 제2 전극에는 그때의 트랜지스터(1183)의 게이트 단자의 전위가 보유된다.
- <932> 다음에, 제2 기간에 대하여 설명한다. 게이트 신호선(925)이 L 레벨이 되고, 트랜지스터(1181) 및 트랜지스터(1182)가 오프로 된다. 트랜지스터(1183)의 제1 단자와 게이트 단자가 트랜지스터(1182)를 통하여 전기적으로 접속되지 않게 된다. 또한, 소스 신호선(924)은 트랜지스터(1182)의 제1 단자, 트랜지스터(1183)의 게이트 단자, 트랜지스터(1184)의 게이트 단자, 및 커패시터(974)의 제2 전극에 전기적으로 접속되지 않게 된다.
- <933> 커패시터(974)에는 비디오 신호에 대응한 전위가 보유되어 있다. 즉, 트랜지스터(1183)의 게이트 단자의 전위는 제1 기간에 취득한 전위와 같다. 따라서, 트랜지스터(1184)의 게이트 단자의 전위도 커패시터(974)의 제2 전극의 전위와 같기 때문에, 트랜지스터(1184)는 표시 소자(973)에 비디오 신호에 대응한 전류를 공급할 수 있다.
- <934> 여기서, 트랜지스터(1181~1184)의 기능에 대하여 이하에 설명한다.
- <935> 트랜지스터(1181)는, 게이트 신호선(925)의 전위에 따라, 소스 신호선(924)을 트랜지스터(1182)의 제1 단자, 트랜지스터(1183)의 게이트 단자, 트랜지스터(1184)의 게이트 단자, 및 커패시터(974)의 제2 전극에 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 제1 기간에서, 트랜지스터(1181)는 화소(1180)에 비디오 신호를 공급하는 기능을 가진다.
- <936> 트랜지스터(1182)는, 게이트 신호선(925)의 전위에 따라, 트랜지스터(1183)의 제1 단자와 트랜지스터(1183)의 게이트 단자를 접속할지 접속하지 않을지를 선택하는 스위치로서의 기능을 가진다. 제1 기간에서, 트랜지스터(1182)는 트랜지스터(1183)를 다이오드 접속하는 기능을 가진다.
- <937> 트랜지스터(1183)는, 비디오 신호에 따라, 표시 소자(973)의 제1 전극의 전위와 트랜지스터(1184)의 게이트 단자의 전위를 결정하는 기능을 가진다.
- <938> 트랜지스터(1184)는, 커패시터(974)의 제2 전극의 전위에 따라, 표시 소자(973)에 전류를 공급하는 전류원으로서의 기능을 가진다.
- <939> 이와 같이, 화소(1180)는 액티브 구동을 할 수 있다. 또한, 화소(1180)와 동일 기판 위의 다른 트랜지스터가 n 채널형 트랜지스터이면, 제조 공정의 간략화를 도모할 수 있다. 따라서, 제조 비용의 삭감 및 제품 수율의 향상을 도모할 수 있다.
- <940> 또한, 커패시터(974)의 제1 전극은, 화소(1180)의 동작 기간 중에 커패시터(974)의 제1 전극이 일정한 전위로 유지된다면, 어디에 접속되어도 좋다. 예를 들어, 커패시터(974)의 제1 전극은 이전 행의 게이트 신호선(925)에 접속되어도 좋다.
- <941> 다른 예로서, 도 119의 화소(1190)에서와 같이, 커패시터(974)의 제1 전극은 트랜지스터(1184)의 제2 단자에 접속되어도 좋다. 왜냐하면, 트랜지스터(1184)의 게이트 단자의 전위는 트랜지스터(1184)의 제2 단자의 전위의 변화에 따라 변화하므로, 보다 정확한 전류가 표시 소자에 공급되기 때문이다. 즉, 트랜지스터(1183)의 사이즈가 트랜지스터(1184)의 사이즈와 다르면, 표시 소자(973)에 공급되는 전류도 달라지기 때문에, 제1 기간에서의 표시 소자(973)의 제1 전극의 전위가 제2 기간에서의 그의 전위와 다르다. 따라서, 트랜지스터(1184)의 게이트

단자의 전위는 커패시터(974)의 용량 결합에 따라 동시에 변동한다. 소위 부트스트랩 동작을 행한다.

<942> 이와 같이, 본 발명의 표시장치에는 다양한 화소를 사용할 수 있다.

<943> 또한, 본 실시예에서는 다양한 화소를 나타내었지만, 본 발명의 표시장치에 사용할 수 있는 화소는 이들 화소에 한정되는 것은 아니다.

<944> 또한, 본 실시예는 본 명세서 중의 다른 실시형태 및 실시예의 어떠한 기재와도 자유롭게 조합하여 실시될 수 있다. 즉, 비선택 기간에서, 트랜지스터가 일정 시간 간격으로 온으로 됨으로써, 본 실시예에서 설명한 화소에 접속되는 본 발명의 시프트 레지스터 회로가 출력 단자에 전원 전위를 공급한다. 따라서, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 전원 전위가 공급된다. 이 트랜지스터는 비선택 기간에 항상 온으로 되지 않기 때문에, 이 트랜지스터의 스레시홀드 전압 시프트가 억제될 수 있다. 또한, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 일정 시간 간격으로 전원 전위가 공급된다. 따라서, 시프트 레지스터 회로는 출력 단자에서 노이즈가 발생하는 것을 억제할 수 있다.

<945> [실시예 4]

<946> 본 실시예에서는 상기 실시예에서 나타낸 화소 구성을 가지는 표시 패널의 구성에 대하여 도 100(A) 및 도 100(B)를 사용하여 설명한다.

<947> 도 100(A)는 표시 패널을 나타내는 상면도이고, 도 100(B)는 도 100(A)의 선 A-A'에 따른 단면도이다. 이 표시 패널은, 점선으로 나타낸 신호선 제어 회로(6701), 화소부(6702), 제1 게이트 드라이버(6703), 및 제2 게이트 드라이버(6706)를 포함한다. 또한, 이 표시 패널은 봉지(封止) 기판(6704)과 시일(seal)재(6705)로 포함하고, 시일재(6705)로 둘러싸인 내측은 공간(6707)으로 되어 있다.

<948> 또한, 배선(6708)은 제1 게이트 드라이버(6703), 제2 게이트 드라이버(6706) 및 신호선 제어 회로(6701)에 입력되는 신호를 전송하기 위한 배선이고, 외부 입력 단자로서 기능하는 FPC(6709)(Flexible Print Circuit)로부터 비디오 신호, 클록 신호, 스타트 신호 등을 받는다. FPC(6709)와 표시 패널과의 접속부 위에는 IC 칩(6719)(메모리 회로나, 버퍼 회로 등을 포함하는 반도체 칩)이 COG(Chip On Glass) 등에 의해 실장되어 있다. 또한, 여기서는 FPC만이 도시되어 있지만, 이 FPC에는 프린트 배선판(PWB)이 부착되어 있어도 좋다. 본 명세서에서의 표시장치란, 표시 패널 본체뿐만 아니라, 표시 패널 본체에 FPC 또는 PWB가 부착된 상태도 포함하는 것으로 하고, 또한, IC 칩 등이 실장된 표시 패널을 포함하는 것으로 한다.

<949> 다음에, 단면 구조에 대하여 도 100(B)를 사용하여 설명한다. 기판(6710) 위에는, 화소부(6702)와 주변 구동회로(제1 게이트 드라이버(6703), 제2 게이트 드라이버(6706) 및 신호선 제어 회로(6701))가 형성되어 있지만, 여기서는 신호선 제어 회로(6701)와 화소부(6702)가 도시되어 있다.

<950> 또한, 신호선 제어 회로(6701)는 n채널형 트랜지스터(6720)나 p채널형 트랜지스터(6721)와 같은 단극성의 트랜지스터를 사용하여 구성된다. 또한, 화소 구성에는, 도 96~도 99, 도 118, 및 도 119의 화소 구성 중 어느 것을 적용함으로써, 단극성의 트랜지스터를 사용하여 화소를 구성할 수 있다. 따라서, 주변 구동회로를 n채널형 트랜지스터로 구성하면, 단극성 표시 패널을 제작할 수 있다. 물론, 단극성의 트랜지스터뿐만 아니라 p채널형 트랜지스터도 사용하여 CMOS 회로를 형성하여도 좋다.

<951> 또한, n채널형 트랜지스터(6720) 및 p채널형 트랜지스터(6721)가 p채널형 트리istor였던 경우, 도 120이나 도 121의 화소 구성은 적용함으로써 단극성의 트랜지스터를 사용하여 화소를 구성할 수 있다. 따라서, 주변 구동회로를 p채널형 트랜지스터로 구성하면, 단극성 표시 패널을 작성할 수 있다. 물론, 단극성의 트랜지스터뿐만 아니라 n채널형 트랜지스터도 사용하여 CMOS 회로를 형성하여도 좋다.

<952> 또한, 본 실시예에서는, 화소부와 동일 기판 위에 주변 구동회로를 일체로 형성한 표시 패널을 나타내지만, 반드시 그렇게 할 필요는 없고, 주변 구동회로의 전부 또는 일부를 IC 칩 등에 형성하고, 그 IC 칩을 COG 등으로 실장하여도 좋다. 그 경우, 구동회로는 단극성으로 할 필요가 없고, n채널형 트랜지스터와 p채널형 트랜지스터를 조합하여 사용할 수 있다.

<953> 또한, 화소부(6702)는 트랜지스터(6711)와 트랜지스터(6712)를 가지고 있다. 또한, 트랜지스터(6712)의 소스 전극은 제1 전극(화소 전극(6713))에 접속되어 있다. 또한, 화소 전극(6713)의 단부를 덮도록 절연물(6714)이 형성되어 있다. 여기서는 절연물(6714)에 포지티브형의 감광성 아크릴 수지막을 사용한다.

<954> 또한, 커버리지를 양호한 것으로 하기 위해, 절연물(6714)의 상단부 또는 하단부에 곡률을 가지는 곡면이 형성

되도록 한다. 예를 들어, 절연물(6714)의 재료로서 포지티브형의 감광성 아크릴을 사용한 경우, 절연물(6714)의 상단부에만 곡률 반경( $0.2 \mu\text{m} \sim 3 \mu\text{m}$ )을 가지는 곡면을 가지게 하는 것이 바람직하다. 또한, 절연물(6714)로서, 광에 의해 에칠퐁에 불용해성이 되는 네거티브형의 감광성 아크릴, 또는 광에 의해 에칠퐁에 용해성이 되는 포지티브형의 감광성 아크릴을 사용할 수 있다.

<955> 화소 전극(6713) 위에는, 유기 화합물을 함유하는 층(6716) 및 제2 전극(대향 전극(6717))이 형성되어 있다. 여기서, 양극으로서 기능하는 화소 전극(6713)에 사용하는 재료로서는, 일 함수가 큰 재료를 사용하는 것이 바람직하다. 예를 들어, ITO(인듐 주석 산화물)막, 인듐 아연 산화물(IZO)막, 질화티탄막, 크롬막, 텉스텐막, Zn 막, Pt막 등의 단층막 외에, 질화티탄막과 알루미늄을 주성분으로 하는 막과의 적층, 질화티탄막과 알루미늄을 주성분으로 하는 막과 질화티탄막과의 3층 구조 등을 사용할 수 있다. 또한, 적층 구조의 경우, 배선으로서의 저항도 낮고, 양호한 오믹 콘택트(ohmic contact)를 취할 수 있고, 더욱 양극으로서 기능시킬 수 있다.

<956> 또한, 유기 화합물을 함유하는 층(6716)은, 증착 마스크를 사용한 증착법, 또는 잉크젯법에 의해 형성된다. 유기 화합물을 함유하는 층(6716)의 일부에, 원소 주기율표의 4족에 속하는 금속의 착체를 사용하고, 저분자계 재료 또는 고분자계 재료를 조합하여 사용하여도 좋다. 또한, 유기 화합물을 함유하는 층에 사용하는 재료로서는, 통상, 유기 화합물을 단층 또는 적층으로 하여 사용하는 경우가 많지만, 본 실시예에서는, 유기 화합물로 형성된 막의 일부에 무기 화합물을 사용하는 구성도 포함하는 것으로 한다. 또한, 공지의 삼중향 재료를 사용하는 것도 가능하다.

<957> 또한, 유기 화합물을 함유하는 층(6716) 위에 형성되는 대향 전극(6717)에 사용하는 재료로서는, 일 함수가 작은 재료(Al, Ag, Li, Ca, 또는 이들의 합금, 예를 들어, MgAg, MgIn, AlLi, 불화칼슘, 또는 질화칼슘)를 사용하면 좋다. 또한, 유기 화합물을 함유하는 층(6716)에서 생긴 광이 대향 전극(6717)을 투과하는 경우에는, 대향 전극(6717)(음극)으로서, 막 두께를 얇게 한 금속 박막과 투명 도전막(ITO(인듐 주석 산화물), 산화인듐 산화아연 합금( $\text{In}_2\text{O}_3\text{-ZnO}$ ), 산화아연(ZnO) 등으로 된)과의 적층을 사용하는 것이 좋다.

<958> 또한, 시일재(6705)로 봉지 기판(6704)을 기판(6710)에 부착시킴으로써, 기판(6710), 봉지 기판(6704), 및 시일재(6705)로 둘러싸인 공간(6707)에 발광소자(6718)가 제공된 구조로 된다. 또한, 공간(6707)에 불활성 기체(질소, 아르곤 등)뿐만 아니라 시일재(6705)가 충전되는 구성도 포함하는 것으로 한다.

<959> 또한, 시일재(6705)에는 에폭시계 수지를 사용하는 것이 바람직하다. 또한, 시일재의 재료는 수분이나 산소를 가능한 한 투과하지 않는 재료인 것이 바람직하다. 또한, 봉지 기판(6704)에 사용하는 재료로서, 유리 기판이나 석영 기판 외에, FRP(Fiberglass-Reinforced Plastics), PVF(폴리비닐 플루오라이드), 마일러, 폴리에스터 또는 아크릴 등으로 이루어지는 플라스틱 기판을 사용할 수 있다.

<960> 이상과 같이 하여, 본 발명의 화소 구성을 가지는 표시 패널을 얻을 수 있다. 또한, 상기한 구성은 일 예일 뿐이고, 본 발명의 표시 패널의 구성은 이것에 한정되지 않는다.

<961> 도 100(A) 및 도 100(B)에 나타내는 바와 같이, 신호선 제어 회로(6701), 화소부(6702), 제1 게이트 드라이버(6703), 및 제2 게이트 드라이버(6706)를 동일 기판 위에 형성함으로써, 표시장치의 저비용화를 도모할 수 있다. 또한, 이 경우, 신호선 제어 회로(6701), 화소부(6702), 제1 게이트 드라이버(6703), 및 제2 게이트 드라이버(6706)에 단극성의 트랜지스터를 사용함으로써, 제작 공정의 간략화를 도모할 수 있으므로, 더욱 저비용화를 도모할 수 있다.

<962> 또한, 표시 패널의 구성은, 도 100(A)에 나타낸 바와 같이 신호선 제어 회로(6701), 화소부(6702), 제1 게이트 드라이버(6703), 및 제2 게이트 드라이버(6706)가 동일 기판 위에 형성된 구성에 한정되지 않고, 신호선 제어 회로(6701)에 상당하는 도 101(A)에 나타내는 신호선 제어 회로(6801)를 IC 칩 위에 형성하고, COG 등에 의해 표시 패널에 실장한 구성으로 하여도 좋다. 또한, 도 101(A)의 기판(6800), 화소부(6802), 제1 게이트 드라이버(6803), 제2 게이트 드라이버(6804), FPC(6805), IC 칩(6806), IC 칩(6807), 봉지 기판(6808), 및 시일재(6809)는 도 100(A)의 기판(6710), 화소부(6702), 제1 게이트 드라이버(6703), 제2 게이트 드라이버(6706), FPC(6709), IC 칩(6719), 봉지 기판(6704), 및 시일재(6705)에 각각 상당한다.

<963> 즉, 고속 동작이 요구되는 신호선 제어 회로만을, CMOS 등을 사용하여 IC 칩에 형성하여, 저소비전력화를 도모한다. 또한, IC 칩으로서 실리콘 웨이퍼 등으로 형성된 반도체 칩을 사용함으로써, 더욱 고속의 동작 및 저소비전력화를 도모할 수 있다.

<964> 그리고, 제1 게이트 드라이버(6803) 및 제2 게이트 드라이버(6804)를 화소부(6802)와 동일 기판 위에 형성함으

로써, 저비용화를 도모할 수 있다. 그리고, 제1 게이트 드라이버(6803), 제2 게이트 드라이버(6804), 및 화소부(6802)에 단극성의 트랜지스터를 사용함으로써, 더욱 저비용화를 도모할 수 있다. 화소부(6802)에 포함되는 화소의 구성으로서는, 실시예 3에서 나타낸 화소를 적용할 수 있다.

<965> 이렇게 하여, 고정세한 표시장치의 저비용화를 도모할 수 있다. 또한, FPC(6805)와 기판(6800)과의 접속부에 기능 회로(메모리나 버퍼)를 포함하는 IC 칩을 실장함으로써, 기판 면적을 유효하게 이용할 수 있다.

<966> 또한, 도 100(A)에 나타낸 신호선 제어 회로(6701), 제1 게이트 드라이버(6703), 및 제2 게이트 드라이버(6706)에 상당하는 도 101(B)의 신호선 제어 회로(6811), 제1 게이트 드라이버(6814), 및 제2 게이트 드라이버(6813)를 IC 칩 위에 형성하고, COG 등에 의해 표시 패널에 실장한 구성으로 하여도 좋다. 이 경우에는, 고정 세한 표시장치의 저소비전력화를 도모할 수 있다. 따라서, 소비전력이 더욱 적은 표시장치로 얻기 위해서는, 화소부에 사용되는 트랜지스터의 반도체층에는 아모르페스 실리콘을 사용하는 것이 바람직하다. 또한, 도 101(B)의 기판(6810), 화소부(6812), FPC(6815), IC 칩(6816), IC 칩(6817), 봉지 기판(6818), 및 시일재(6819)는 도 100(A)의 기판(6710), 화소부(6702), FPC(6709), IC 칩(6719), 봉지 기판(6704), 및 시일재(6705)에 각각 상당한다.

<967> 또한, 화소부(6812)의 트랜지스터의 반도체층에 아모르페스 실리콘을 사용함으로써, 더욱 저비용화를 도모할 수 있다. 또한, 대형의 표시 패널을 제작하는 것도 가능하게 된다.

<968> 또한, 화소의 행 방향 및 열 방향에, 제2 게이트 드라이버, 제1 게이트 드라이버, 및 신호선 제어 회로를 제공하지 않아도 좋다. 예를 들어, 도 102(A)에 나타내는 바와 같이 IC 칩 위에 형성된 주변 구동회로(6901)가, 도 101(B)에 나타내는 제1 게이트 드라이버(6814), 제2 게이트 드라이버(6813), 및 신호선 제어 회로(6811)의 기능을 가지도록 하여도 좋다. 또한, 도 102(A)의 기판(6900), 화소부(6902), FPC(6904), IC 칩(6905), IC 칩(6906), 봉지 기판(6907), 및 시일재(6908)는 도 100(A)의 기판(6710), 화소부(6702), FPC(6709), IC 칩(6719), 봉지 기판(6704), 및 시일재(6705)에 각각 상당한다.

<969> 또한, 도 102(A)의 표시장치의 배선의 접속을 설명하는 모식도를 도 102(B)에 나타낸다. 이 표시장치는 기판(6910), 주변 구동회로(6911), 화소부(6912), FPC(6913), 및 FPC(6914)를 포함한다. FPC(6913)로부터 주변 구동회로(6911)에 외부로부터의 신호 및 전원 전위가 입력된다. 그리고, 주변 구동회로(6911)로부터의 출력은, 화소부(6912)에 포함되는 화소에 접속된 행 방향 및 열 방향의 배선에 입력된다.

<970> 또한, 도 103(A) 및 도 103(B)는 발광소자(6718)에 적용할 수 있는 발광소자의 예를 나타낸다. 즉, 상기 실시 예들에서 나타낸 화소에 적용할 수 있는 발광소자의 구성에 대하여 도 103(A) 및 도 103(B)를 참조하여 설명한다.

<971> 도 103(A)의 발광소자는, 기판(7001) 위에 양극(7002), 정공 주입 재료로 형성된 정공 주입층(7003), 정공 수송 재료로 형성된 정공 수송층(7004), 발광층(7005), 전자 수송 재료로 형성된 전자 수송층(7006), 전자 주입 재료로 형성된 전자 주입층(7007), 및 음극(7008)을 적층시킨 소자 구조이다. 여기서, 발광층(7005)은 일 종류의 발광재료만으로 형성되기도 하지만, 2 종류 이상의 재료로 형성되어도 좋다. 또한, 본 발명의 소자의 구조는 이 구조에 한정되는 것은 아니다.

<972> 또한, 도 103(A)에 나타낸 각 기능층을 적층한 적층 구조 외에, 고분자 화합물을 사용하여 형성한 소자, 발광층에 삼중향 여기 상태로부터 복귀할 때 발광하는 삼중향 발광재료를 이용한 고효율 소자 등, 변형은 다방면에 걸친다. 이들 변형은, 정공 블록층에 의해 캐리어의 재결합 영역을 제어하여 발광 영역을 2개의 영역으로 분할함으로써 얻어지는 백색 발광소자 등에도 응용할 수 있다.

<973> 도 103(A)에 나타내는 본 발명의 소자의 제작방법으로는, 먼저, 양극(7002)(ITO)을 가지는 기판(7001) 위에 정공 주입 재료, 정공 수송 재료, 및 발광재료를 순차로 퇴적한다. 다음에, 전자 수송 재료와 전자 주입 재료를 퇴적하고, 마지막으로 음극(7008)을 증착에 의해 형성한다.

<974> 다음에, 정공 주입 재료, 정공 수송 재료, 전자 수송 재료, 전자 주입 재료, 발광재료에 적합한 재료에 대하여 이하에 설명한다.

<975> 정공 주입 재료로서는, 포르파린계 화합물, 프탈로시아닌(이하, "H<sub>2</sub>Pc"라고 기재한다), 구리 프탈로시아닌(이하 "CuPc"라고 기재한다) 등의 유기 화합물이 유용하다. 또한, 사용하는 정공 수송 재료보다 이온화 포텐셜의 값이 작고, 또한, 정공 수송 기능을 가지는 재료도 정공 주입 재료로서 사용할 수 있다. 도전성 고분자 화합물에 화학 도핑을 실시한 재료도 있고, 예를 들어, 폴리스티렌 술폰산(이하, "PSS"라고 기재한다)을 도핑한 폴리에틸

렌 디옥시티오펜(이하, "PEDOT"라고 기재한다), 폴리아닐린 등을 들 수 있다. 또한, 절연성의 고분자 화합물도 양극의 평탄화의 점에서 유효하고, 폴리아미드(이하 "PI"라고 기재한다)도 자주 사용된다. 또한, 무기 화합물도 사용되고, 금이나 백금 등의 금속의 박막 뿐만 아니라, 산화알루미늄(이하, "알루미나"라고 기재한다)의 초박막 등이 있다.

<976> 정공 수송 재료로서 가장 널리 사용되고 있는 것은 방향족 아민계 화합물(즉, 벤젠 고리-질소의 결합을 가지는 화합물)이다. 정공 수송 재료로서 널리 사용되고 있는 재료로서는, 4,4'-비스(디페닐아미노)-비페닐(이하, "TAD"라고 기재한다), 그의 유도체인 4,4'-비스[N-(3-메틸페닐)-N-페닐-아미노]-비페닐(이하, "TPD"라고 기재한다), 4,4'-비스[N-(1-나프틸)-N-페닐-아미노]-비페닐(이하, "α-NPD"라고 기재한다)이 있고, 또한, 4,4',4''-트리스(N,N-디페닐-아미노)-트리페닐아민(이하, "TADATA"라고 기재한다), 4,4',4''-트리스[N-(3-메틸페닐)-N-페닐-아미노]-트리페닐아민(이하, "MTDATA"라고 기재한다) 등의 스타버스트형 방향족 아민 화합물을 들 수 있다.

<977> 전자 수송 재료로서는, 금속 착체가 자주 사용되고, Alq, BA1q, 트리스(4-메틸-8-퀴놀리놀라토)알루미늄(이하, "Almq"라고 기재한다), 비스(10-하이드록시벤조[h]-퀴놀리나토)베릴륨(이하, "Bebq"라고 기재한다) 등의 퀴놀린 골격 또는 벤조퀴놀린 골격을 가지는 금속 착체 등이 있다. 또한, 비스[2-(2-하이드록시페닐)-벤조옥사졸라토]아연(이하, "Zn(BOX)<sub>2</sub>"라고 기재한다), 비스[2-(2-하이드록시페닐)-벤조티아졸라토]아연(이하, "Zn(BTZ)<sub>2</sub>"라고 기재한다) 등의 옥사졸계 또는 티아졸계 배위자를 가지는 금속 착체도 있다. 또한, 금속 착체 이외에도, 2-(4-비페닐릴)-5-(4-tert-부틸페닐)-1,3,4-옥사디아졸(이하, "PBD"라고 기재한다), OXD-7 등의 옥사디아졸 유도체, TAZ, 3-(4-tert-부틸페닐)-4-(4-에틸페닐)-5-(4-비페닐릴)-2,3,4-트리아졸(이하, "p-EtTAZ"라고 기재한다) 등의 트리아졸 유도체, 바소페난트롤린(이하, "BPhen"라고 기재한다), BCP 등의 폐난트롤린 유도체가 전자 수송 성을 가진다.

<978> 전자 주입 재료로서는, 위에서 설명한 전자 수송 재료를 사용할 수 있다. 그 외에, 불화칼슘, 불화리튬, 불화세슘 등의 금속 할로겐화물이나, 산화리튬 등의 알칼리 금속 산화물과 같은 절연물의 초박막이 자주 사용된다. 또한, 리튬 아세틸 아세토네이트(이하, "Li(acac)"라고 기재한다)나, 8-퀴놀리놀라토-리튬(이하, "Liq"라고 기재한다) 등의 알칼리 금속 착체도 유효하다.

<979> 발광재료로서는, 앞에서 설명한 Alq, Almq, BeBq, BA1q, Zn(BOX)<sub>2</sub>, Zn(BTZ)<sub>2</sub> 등의 금속 착체 외에, 각종 형광 색소가 유효하다. 형광 색소로서는, 청색의 4,4'-비스(2,2-디페닐-비닐)-비페닐이나, 적등색의 4-(디시아노메틸렌)-2-메틸-6-(p-디메틸아미노스티릴)-4H-피란 등이 있다. 또한, 삼중항 발광재료도 가능하고, 백금 또는 이리듐을 중심 금속으로 하는 착체가 주체이다. 삼중항 발광재료로서, 트리스(2-페닐피리딘)이리듐, 비스(2-(4'-톨릴)피리디나토-N,C<sup>2'</sup>)아세틸아세토나토 이리듐(이하 "acacIr(tpy)<sub>2</sub>"라고 기재한다), 2,3,7,8,12,13,17,18-옥타에틸-21H,23H-포르피린 백금 등이 알려져 있다.

<980> 이상에서 설명한 바와 같은 각 기능을 가지는 재료를 각각 조합하여 사용함으로써, 고신뢰성의 발광소자를 제작 할 수 있다.

<981> 또한, 실시예 3에서 나타낸 표시 소자(973)로서, 도 103(B)에 나타내는 바와 같이 도 103(A)와는 반대의 순서로 층을 형성한 발광소자를 사용할 수 있다. 즉, 기판(7011) 위에, 음극(7018), 전자 주입 재료로 형성된 전자 주입층(7017), 전자 수송 재료로 형성된 전자 수송층(7016), 발광층(7015), 정공 수송 재료로 형성된 정공 수송층(7014), 정공 주입 재료로 형성된 정공 주입층(7013), 및 양극(7012)을 순차로 적층한 소자 구조이다.

<982> 또한, 발광소자의 양극과 음극 중의 적어도 한쪽이 발광을 취출하기 위해 투명할 필요가 있다. 그리고, 기판 위에 트랜지스터 및 발광소자를 형성하고, 기판의 반대측의 면으로부터 발광을 취출하는 상면 사출 구조, 기판 측의 면으로부터 발광을 취출하는 하면 사출 구조, 및 기판측의 면과 기판의 반대측의 면으로부터 발광을 취출하는 양면 사출 구조의 발광소자가 있고, 본 발명의 화소 구성은 어느 사출 구조의 발광소자에도 적용할 수 있다.

<983> 상면 사출 구조의 발광소자에 대하여 도 104(A)를 참조하여 설명한다.

<984> 기판(7100) 위에 구동용 TFT(7101)가 형성되고, 구동용 TFT(7101)의 소스 전극에 접하여 제1 전극(7102)이 형성 되고, 그 위에, 유기 화합물을 함유하는 층(7103)과 제2 전극(7104)이 형성되어 있다.

<985> 또한, 제1 전극(7102)은 발광소자의 양극이고, 제2 전극(7104)은 발광소자의 음극이다. 즉, 제1 전극(7102)과 제2 전극(7104) 사이에, 유기 화합물을 함유하는 층(7103)이 끼어진 영역이 발광소자가 된다.

- <986> 또한, 여기서, 양극으로서 기능하는 제1 전극(7102)에 사용하는 재료로서는, 일 함수가 큰 재료를 사용하는 것이 바람직하다. 예를 들어, 질화티탄막, 크롬막, 텉스텐막, Zn막, Pt막 등의 단층막, 질화티탄과 알루미늄을 주성분으로 하는 막과의 적층, 질화티탄막과 알루미늄을 주성분으로 하는 막과 질화티탄막과의 3층 구조 등을 사용할 수 있다. 또한, 적층 구조의 경우, 배선으로서의 저항도 낮고, 양호한 오믹 콘택트를 취할 수 있고, 더욱 양극으로서 기능시킬 수 있다. 광을 반사하는 금속막을 사용함으로써, 광을 투과시키지 않는 양극을 형성할 수 있다.
- <987> 또한, 음극으로서 기능하는 제2 전극(7104)에 사용하는 재료로서는, 일 함수가 작은 재료(Al, Ag, Li, Ca, 또는 이들의 합금, 예를 들어, MgAg, MgIn, AlLi, 불화칼슘, 또는 질화칼슘)으로 형성된 금속 박막과, 투명 도전막(ITO(인듐 주석 산화물), 인듐 아연 산화물(IZO), 산화아연(ZnO) 등으로 된)과의 적층을 사용하는 것이 좋다. 얇은 금속 박막과 투광성을 가지는 투명 도전막을 사용함으로써, 광을 투과시킬 수 있는 음극을 형성할 수 있다.
- <988> 이렇게 하여, 도 104(A)에서 화살표로 나타내는 바와 같이, 발광소자로부터의 광을 상면으로부터 취출할 수 있다. 즉, 도 100(A) 및 도 100(B)에 나타낸 표시 패널에 적용한 경우에는, 봉지 기판(6704)측으로 광이 사출하게 된다. 따라서, 상면 사출 구조의 발광소자를 표시장치에 사용하는 경우에는, 봉지 기판(6704)으로서, 투광성을 가지는 기판을 사용한다.
- <989> 또한, 광학 필름을 제공하는 경우에는, 봉지 기판(6704)에 광학 필름을 제공하면 좋다.
- <990> 또한, 제1 전극(7102)에는, 음극으로서 기능하고 일 함수가 작은, MgAg, MgIn, AlLi 등의 재료로 형성된 금속막을 사용할 수 있다. 그리고, 제2 전극(7104)에는, ITO(인듐 주석 산화물)막, 인듐 아연 산화물(IZO) 등의 투명 도전막을 사용할 수 있다. 따라서, 이 구성에 따르면, 상면 사출의 투과율을 높게 할 수 있다.
- <991> 또한, 하면 사출 구조의 발광소자에 대하여 도 104(B)를 참조하여 설명한다. 광 사출 구조 이외는 도 104(A)와 같은 구조의 발광소자이므로, 같은 부호를 사용하여 설명한다.
- <992> 여기서, 양극으로서 기능하는 제1 전극(7102)에 사용하는 재료로서는, 일 함수가 큰 재료를 사용하는 것이 바람직하다. 예를 들어, ITO(인듐 주석 산화물)막, 인듐 아연 산화물(IZO)막 등의 투명 도전막을 사용할 수 있다. 투광성을 가지는 투명 도전막을 사용함으로써, 광을 투과시킬 수 있는 양극을 형성할 수 있다.
- <993> 또한, 음극으로서 기능하는 제2 전극(7104)에 사용하는 재료로서는, 일 함수가 작은 재료(Al, Ag, Li, Ca, 또는 이들의 합금, 예를 들어, MgAg, MgIn, AlLi, 불화칼슘, 또는 Ca<sub>3</sub>N<sub>2</sub>)로 형성된 금속막을 사용할 수 있다. 광을 반사하는 금속막을 사용함으로써, 광이 투과하지 않는 음극을 형성할 수 있다.
- <994> 이렇게 하여, 도 104(B)에서 화살표로 나타내는 바와 같이 발광소자로부터의 광을 하면으로부터 취출할 수 있다. 즉, 도 100(A) 및 도 100(B)의 표시 패널에 적용한 경우에는, 기판(6710)측으로 광이 사출하게 된다. 따라서, 하면 사출 구조의 발광소자를 표시장치에 사용하는 경우에는, 기판(6710)은 투광성을 가지는 기판을 사용한다.
- <995> 또한, 광학 필름을 제공하는 경우에는, 기판(6710)에 광학 필름을 제공하면 좋다.
- <996> 또한, 양면 사출 구조의 발광소자에 대하여 도 104(C)를 참조하여 설명한다. 광 사출 구조 이외는 도 104(A)와 같은 구조의 발광소자이기 때문에, 같은 부호를 사용하여 설명한다.
- <997> 여기서, 양극으로서 기능하는 제1 전극(7102)에 사용하는 재료로서는, 일 함수가 큰 재료를 사용하는 것이 바람직하다. 예를 들어, ITO(인듐 주석 산화물)막, 인듐 아연 산화물(IZO)막 등의 투명 도전막을 사용할 수 있다. 투광성을 가지는 투명 도전막을 사용함으로써, 광을 투과시킬 수 있는 양극을 형성할 수 있다.
- <998> 또한, 음극으로서 기능하는 제2 전극(7104)에 사용하는 재료로서는, 일 함수가 작은 재료(Al, Ag, Li, Ca, 또는 이들의 합금, 예를 들어, MgAg, MgIn, AlLi, 불화칼슘, 또는 질화칼슘)으로 형성된 금속 박막과, 투명 도전막(ITO(인듐 주석 산화물), 산화인듐 산화아연 합금(In<sub>2</sub>O<sub>3</sub>-ZnO), 산화아연(ZnO) 등)과의 적층을 사용하는 것이 좋다. 얇은 금속 박막과, 투광성을 가지는 투명 도전막을 사용함으로써 광을 투과시킬 수 있는 음극을 형성할 수 있다.
- <999> 이렇게 하여, 도 104(C)에서 화살표로 나타내는 바와 같이 발광소자로부터의 광을 양면으로부터 취출할 수 있다. 즉, 도 100(A) 및 도 100(B)의 표시 패널에 적용한 경우에는, 기판(6710)측과 봉지 기판(6704)측으로 광이 사출하게 된다. 따라서, 양면 사출 구조의 발광소자를 표시장치에 사용하는 경우에는, 기판(6710) 및 봉지

기판(6704) 모두에, 투광성을 가지는 기판을 사용한다.

<1000> 또한, 광학 필름을 제공하는 경우에는 기판(6710) 및 봉지 기판(6704)의 양쪽에 광학 필름을 제공하면 좋다.

<1001> 또한, 백색 발광소자와 컬러 필터를 사용하여 풀 컬러 표시를 실현하는 표시장치에도 본 발명을 적용하는 것이 가능하다.

<1002> 도 105에 나타내는 바와 같이, 기판(7200) 위에 하지막(7202)이 형성되고, 그 위에 구동용 TFT(7201)가 형성되고, 구동용 TFT(7201)의 소스 전극에 접하여 제1 전극(7203)이 형성되고, 그 위에, 유기 화합물을 함유하는 층(7204)과 제2 전극(7205)이 형성된다.

<1003> 또한, 제1 전극(7203)은 발광소자의 양극이고, 제2 전극(7205)은 발광소자의 음극이다. 즉, 제1 전극(7203)과 제2 전극(7205) 사이에, 유기 화합물을 함유하는 층(7204)이 끼어진 영역이 발광소자가 된다. 도 105의 구성에서는, 백색 광을 발광한다. 그리고, 발광소자의 상부에 적색 컬러 필터(7206R), 녹색 컬러 필터(7206G), 청색 컬러 필터(7206B)를 제공하여, 풀 컬러 표시를 행할 수 있다. 또한, 이들 컬러 필터를 분리하는 블랙 매트릭스(BM)(7207)가 제공되어 있다.

<1004> 상기한 발광소자의 구성은 조합하여 사용될 수 있고, 본 발명의 화소 구성을 가지는 표시장치에 적용될 수 있다. 또한, 상기한 표시 패널 및 발광소자의 구성은 예일 뿐이고, 본 발명의 화소 구성은 다른 구성의 표시장치에 적용할 수도 있음을 물론이다.

<1005> 다음에, 표시 패널의 화소부의 부분 단면도를 설명한다.

<1006> 먼저, 트랜지스터의 반도체층에 결정성 반도체막(폴리실리콘(p-Si:H)막)을 사용한 경우에 대하여 도 106(A) 및 도 106(B)와 도 107(A) 및 도 107(B)를 사용하여 설명한다.

<1007> 여기서, 반도체층은, 예를 들어, 공지의 성막법에 의해 기판 위에 아모르페스 실리콘(a-Si)막을 형성하여 얹어진다. 또한, 아모르페스 실리콘막에 한정되지 않고, 비정질 구조를 가지는 어떠한 반도체막(미(微)결정 반도체막을 포함한다)이라도 사용할 수 있다. 또한, 비정질 실리콘 게르마늄막 등의, 비정질 구조를 가지는 화합물 반도체막이어도 좋다.

<1008> 그 다음, 아모르페스 실리콘막을, 레이저 결정화법이나, RTA나 퍼니스 어닐로를 사용한 열결정화법이나, 결정화를 조장하는 금속 원소를 사용한 열 결정화법 등에 의해 결정화시킨다. 물론, 그러한 결정화법들을 조합하여 행하여도 좋다.

<1009> 상기한 결정화의 결과로, 비정질 반도체막의 일부에 결정화된 영역이 형성된다.

<1010> 또한, 부분적으로 결정성이 높아진 결정성 반도체막을 소망의 형상으로 패터닝하여, 결정화된 영역으로부터 섬 형상의 반도체막을 형성한다. 이 반도체막을 트랜지스터의 반도체층으로서 사용한다.

<1011> 도 106(A)에 나타내는 바와 같이, 기판(26101) 위에 하지막(26102)이 형성되고, 그 위에 반도체층이 형성되어 있다. 반도체층은 구동 트랜지스터(26118)의 채널 형성 영역(26103), 및 소스 영역 또는 드레인 영역이 되는 불순물 영역(26105), 및 커패시터(26119)의 하부 전극이 되는 채널 형성 영역(26106), LDD 영역(26107) 및 불순물 영역(26108)을 가진다. 또한, 채널 형성 영역(26103) 및 채널 형성 영역(26106)에는 채널 도핑이 행해져도 좋다.

<1012> 기판으로는, 유리 기판, 석영 기판, 세라믹 기판, 플라스틱 기판 등을 사용할 수 있다. 또한, 하지막(26102)으로서는, 질화알루미늄(AlN), 산화규소( $\text{SiO}_2$ ), 산화질화규소( $\text{SiO}_x\text{N}_y$ ) 등의 단층이나 이들의 적층을 사용할 수 있다.

<1013> 반도체층 위에는 게이트 절연막(26109)을 사이에 두고 게이트 전극(26110) 및 커패시터의 상부 전극(26111)이 형성되어 있다.

<1014> 구동 트랜지스터(26118) 및 커패시터(26119)를 덮도록 층간절연물(26112)이 형성되고, 층간절연물(26112) 위에 콘택트 홀을 통하여 불순물 영역(26105)과 접하도록 배선(26113)이 형성되어 있다. 배선(26113)에 접하여 화소 전극(26114)이 형성되고, 화소 전극(26114)의 단부 및 배선(26113)을 덮도록 제2 층간절연물(26115)이 형성되어 있다. 여기서는, 제2 층간절연물(26115)이 포지티브형의 감광성 아크릴 수지막을 사용하여 형성되어 있다. 그리고, 화소 전극(26114) 위에 유기 화합물을 함유하는 층(26116) 및 대향 전극(26117)이 형성되고, 화소 전극(26114)과 대향 전극(26117) 사이에 유기 화합물을 함유하는 층(26116)이 끼어진 영역에 발광소자(26120)가 형

성되어 있다.

<1015> 또한, 도 106(B)에 나타내는 바와 같이, 커패시터(26119)의 하부 전극의 일부를 구성하는 LDD 영역이 상부 전극(26111)과 겹치는 영역(26202)을 형성하여도 좋다. 또한, 도 106(A)와 공통되는 부분에 공통의 부호를 사용하고, 그의 설명은 생략한다.

<1016> 또한, 도 107(A)에 나타내는 바와 같이, 구동 트랜지스터(26118)의 불순물 영역(26105)과 접하는 배선(26113)과 같은 층에 형성된 제2 상부 전극(26301)을 가지고 있어도 좋다. 또한, 도 106(A)와 공통되는 부분에 공통의 부호를 사용하고, 그의 설명은 생략한다. 제2 상부 전극(26301)과 상부 전극(26111) 사이에 충간절연물(26112)을 끼워, 제2 커패시터를 구성하고 있다. 또한, 제2 상부 전극(26301)은 불순물 영역(26108)과 접하여 있기 때문에, 상부 전극(26111)과 채널 형성 영역(26106) 사이에 게이트 절연막(26109)이 끼어진 구성을 가지는 제1 커패시터와, 상부 전극(26111)과 제2 상부 전극(26301) 사이에 충간절연물(26112)이 끼어진 구성을 가지는 제2 커패시터가 병렬로 접속되어, 제1 커패시터와 제2 커패시터를 가지는 커패시터(26302)를 구성하고 있다. 이 커패시터(26302)의 용량은 제1 커패시터의 용량과 제2 커패시터의 용량을 합한 용량이기 때문에, 작은 면적으로 큰 용량의 커패시터를 형성할 수 있다. 즉, 본 발명의 화소 구성의 커패시터를 사용하면 개구율을 더욱 향상시킬 수 있다.

<1017> 또는, 도 107(B)에 나타내는 커패시터의 구성으로 하여도 좋다. 기판(27101) 위에 하지막(27102)이 형성되고, 그 위에 반도체층이 형성되어 있다. 반도체층은 구동 트랜지스터(27118)의 채널 형성 영역(27103), 및 소스 영역 또는 드레인 영역이 되는 불순물 영역(27105)을 포함한다. 또한, 채널 형성 영역(27103)에 채널 도핑이 행해져 있어도 좋다.

<1018> 기판으로는, 유리 기판, 석영 기판, 세라믹 기판, 플라스틱 기판 등을 사용할 수 있다. 또한, 하지막(27102)으로서는, 질화알루미늄(AlN), 산화규소(SiO<sub>2</sub>), 산화질화규소(SiO<sub>x</sub>N<sub>y</sub>) 등의 단층이나 이들의 적층을 사용할 수 있다.

<1019> 반도체층 위에는 게이트 절연막(27106)을 사이에 두고 게이트 전극(27107) 및 제1 전극(27108)이 형성되어 있다.

<1020> 구동 트랜지스터(27118) 및 제1 전극(27108)을 덮도록 제1 충간절연물(27109)이 형성되고, 제1 충간절연물(27109) 위에 콘택트 홀을 통하여 불순물 영역(27105)과 접하도록 배선(27110)이 형성되어 있다. 또한, 배선(27110)과 같은 재료로 같은 층에 제2 전극(27111)이 형성되어 있다.

<1021> 또한, 배선(27110) 및 제2 전극(27111)을 덮도록 제3 충간절연물(27112)이 형성되고, 제2 충간절연물(27112) 위에 콘택트 홀을 통하여 배선(27110)과 접하여 화소 전극(27113)이 형성되어 있다. 또한, 화소 전극(27113)과 같은 재료로 같은 층에 제3 전극(27114)이 형성되어 있다. 여기서, 제1 전극(27108), 제2 전극(27111), 및 제3 전극(27114)으로 커패시터(27119)가 형성된다.

<1022> 화소 전극(27113)과 제3 전극(27114)의 단부를 덮도록 제3 충간절연물(27115)이 형성되고, 제3 충간절연물(27115) 및 제3 전극(27114) 위에, 유기 화합물을 함유하는 층(27116) 및 대향 전극(27117)이 형성되고, 화소 전극(27113)과 대향 전극(27117) 사이에 유기 화합물을 함유하는 층(27116)이 끼어진 영역에 발광소자(27120)가 형성되어 있다.

<1023> 상기한 바와 같이, 결정성 반도체막을 반도체층에 사용한 트랜지스터의 구성의 예로서, 도 106(A) 및 도 106(B)와 도 107(A) 및 도 107(B)에 나타낸 구성을 들 수 있다. 또한, 도 106(A) 및 도 106(B)와 도 107(A) 및 도 107(B)에 나타낸 구성을 가지는 트랜지스터는 탑 게이트형 트랜지스터의 예이다. 즉, 트랜지스터는 p채널형 트랜지스터이어도 좋고 n채널형 트랜지스터이어도 좋다. n채널형 트랜지스터의 경우에는, LDD 영역은 게이트 전극과 겹치도록 형성되어도 좋고, 게이트 전극과 겹치지 않아도 좋고, 또는 LDD 영역의 일부가 게이트 전극과 겹치도록 형성되어도 좋다. 또한, 게이트 전극은 테이퍼 형상을 가져도 좋고, 게이트 전극의 테이퍼부의 하부에 LDD 영역이 자기정합적으로 형성되어 있어도 좋다. 또한, 게이트 전극의 수는 2개에 한정되지 않고, 3개 이상의 게이트 전극을 가지는 멀티게이트 구조이어도 좋고, 하나의 게이트 전극이어도 좋다.

<1024> 본 발명의 화소에 포함되는 트랜지스터의 반도체층(채널 형성 영역, 소스 영역, 드레인 영역 등)에 결정성 반도체막을 사용함으로써, 예를 들어, 도 100(A) 및 도 100(B)의 화소부(6702)와 동일 기판 위에, 제1 게이트 드라이버(6703), 제2 게이트 드라이버(6706), 및 신호선 제어 회로(6701)를 형성하는 것이 용이하게 된다.

<1025> 또한, 반도체층에 폴리실리콘(p-Si:H)을 사용하는 트랜지스터의 구성으로서, 도 108(A) 및 도 108(B) 각각은,

기판과 반도체층 사이에 게이트 전극이 끼어진 구조, 즉, 반도체층 아래에 게이트 전극이 위치하는 보텀 게이트 구조를 가지는 트랜지스터를 사용한 표시 패널의 부분 단면을 나타낸다.

<1026> 기판(7501) 위에 하지막(7502)이 형성되어 있다. 또한, 하지막(7502) 위에 게이트 전극(7503)이 형성되어 있다. 또한, 게이트 전극과 같은 층에 같은 재료로 제1 전극(7504)이 형성되어 있다. 게이트 전극(7503)의 재료로서는, 인이 첨가된 다결정 실리콘을 사용할 수 있다. 다결정 실리콘 외에, 금속과 실리콘의 화합물인 실리사이드가 사용될 수도 있다.

<1027> 그리고, 게이트 전극(7503) 및 제1 전극(7504)을 덮도록 게이트 절연막(7505)이 형성되어 있다. 게이트 절연막(7505)으로서는, 산화규소막, 질화규소막 등이 사용된다.

<1028> 또한, 게이트 절연막(7505) 위에 반도체층이 형성되어 있다. 반도체층은 구동 트랜지스터(7522)의 채널 형성 영역(7506), LDD 영역(7507), 및 소스 영역 또는 드레인 영역이 되는 불순물 영역(7508), 및 커페시터(7523)의 제2 전극이 되는 채널 형성 영역(7509), LDD 영역(7510), 및 불순물 영역(7511)을 포함한다. 또한, 채널 형성 영역(7506) 및 채널 형성 영역(7509)에는 채널 도핑이 행해져 있어도 좋다.

<1029> 기판으로는, 유리 기판, 석영 기판, 세라믹 기판, 플라스틱 기판 등을 사용할 수 있다. 또한, 하지막(7502)으로서는, 질화알루미늄(AlN), 산화규소( $\text{SiO}_2$ ), 산화질화규소( $\text{SiO}_x\text{N}_y$ ) 등의 단층이나 이들의 적층을 사용할 수 있다.

<1030> 반도체층을 덮도록 제1 층간절연물(7512)이 형성되고, 제1 층간절연물(7512) 위에 콘택트 홀을 통하여 불순물 영역(7508)과 접하도록 배선(7513)이 형성되어 있다. 또한, 배선(7513)과 같은 층에 같은 재료로 제3 전극(7514)이 형성되어 있다. 제1 전극(7504), 제2 전극, 제3 전극(7514)에 의해 커페시터(7523)가 구성되어 있다.

<1031> 또한, 제1 층간절연물(7512)에는 개구부(7515)가 형성되어 있다. 구동 트랜지스터(7522), 커페시터(7523) 및 개구부(7515)를 덮도록 제2 층간절연물(7516)이 형성되고, 제2 층간절연물(7516) 위에 콘택트 홀을 통하여 화소 전극(7517)이 형성되어 있다. 그리고, 화소 전극(7517)의 단부를 덮도록 절연물(7518)이 형성되어 있다. 절연물(7518)로서는, 예를 들어, 포지티브형의 감광성 아크릴 수지막을 사용할 수 있다. 그리고, 화소 전극(7517) 위에, 유기 화합물을 함유하는 층(7519) 및 대향 전극(7520)이 형성되고, 화소 전극(7517)과 대향 전극(7520) 사이에 유기 화합물을 함유하는 층(7519)이 끼어진 영역에 발광소자(7521)가 형성되어 있다. 그리고, 발광소자(7521)의 하부에 개구부(7515)가 위치하고 있다. 즉, 발광소자(7521)로부터의 발광을 기판측으로부터 쥐출할 때, 개구부(7515)가 제공되어 있기 때문에 투과율이 향상될 수 있다.

<1032> 또한, 도 108(A)의 화소 전극(7517)과 같은 층에 같은 재료로 제4 전극(7524)을 형성한 도 108(B)에 나타낸 구성으로 하여도 좋다. 그러면, 제1 전극(7504), 제2 전극, 제3 전극(7514) 및 제4 전극(7524)에 의해 커페시터(7523)를 형성할 수 있다.

<1033> 다음에, 트랜지스터의 반도체층에 아모르피스 실리콘(a-Si:H)막을 사용한 경우에 대하여 설명한다. 도 109(A) 및 도 109(B)는 탑 게이트형 트랜지스터의 경우를 나타내고, 도 110(A) 및 도 110(B)와 도 111(A) 및 도 111(B)는 보텀 게이트형 트랜지스터의 경우를 나타낸다.

<1034> 도 109(A)는 반도체층에 아모르피스 실리콘을 사용한 순스태거 구조의 트랜지스터의 단면을 나타낸다. 기판(7601) 위에 하지막(7602)이 형성되어 있다. 또한, 하지막(7602) 위에 화소 전극(7603)이 형성되어 있다. 또한, 화소 전극(7603)과 같은 층에 같은 재료로 제1 전극(7604)이 형성되어 있다.

<1035> 기판으로서는, 유리 기판, 석영 기판, 세라믹 기판, 플라스틱 기판 등을 사용할 수 있다. 또한, 하지막(7602)으로서는, 질화알루미늄(AlN), 산화규소( $\text{SiO}_2$ ), 산화질화규소( $\text{SiO}_x\text{N}_y$ ) 등의 단층이나 이들의 적층을 사용할 수 있다.

<1036> 또한, 하지막(7602) 위에 배선(7605) 및 배선(7606)이 형성되고, 화소 전극(7603)의 단부가 배선(7605)으로 덮여 있다. 배선(7605) 및 배선(7606)의 상부에, n형의 도전형을 가지는 n형 반도체층(7607) 및 n형 반도체층(7608)이 각각 형성되어 있다. 또한, 배선(7605)과 배선(7606)의 사이에서 하지막(7602) 위에 반도체층(7609)이 형성되어 있다. 그리고, 반도체층(7609)의 일부는 n형 반도체층(7607) 및 n형 반도체층(7608) 위에까지 연장되어 있다. 또한, 이 반도체층은 아모르피스 실리콘(a-Si:H)막, 미(微)결정 반도체( $\mu\text{-Si:H}$ )막 등의 비(非)결정성 반도체막으로 형성되어 있다. 또한, 반도체층(7609) 위에 게이트 절연막(7610)이 형성되어 있다. 또한, 게이트 절연막(7610)과 같은 층에 같은 재료로 이루어지는 절연막(7611)이 제1 전극(7604) 위에도 형성되

어 있다. 또한, 게이트 절연막(7610)으로서는 산화규소막이나 질화규소막 등이 사용된다.

<1037> 또한, 게이트 절연막(7610) 위에 게이트 전극(7612)이 형성되어 있다. 또한, 게이트 전극과 같은 층에 같은 재료로 된 제2 전극(7613)이 절연막(7611)을 사이에 두고 제1 전극(7604) 위에 형성되어 있다. 제1 전극(7604)과 제2 전극(7613) 사이에 절연막(7611)이 끼어진 커패시터(7619)가 형성되어 있다. 또한, 화소 전극(7603)의 단부, 구동 트랜지스터(7618), 및 커패시터(7619)를 덮도록 층간절연물(7614)이 형성되어 있다.

<1038> 층간절연물(7614) 및 그 층간절연물(7614)의 개구부에 위치하는 화소 전극(7603) 위에, 유기 화합물을 함유하는 층(7615) 및 대향 전극(7616)이 형성되어 있다. 화소 전극(7603)과 대향 전극(7616) 사이에 유기 화합물을 함유하는 층(7615)이 끼어진 영역에 발광소자(7617)가 형성된다.

<1039> 또한, 도 109(A)에 나타내는 제1 전극(7604) 대신에, 도 109(B)에 나타내는 바와 같은 제1 전극(7620)이 형성되어도 좋다. 제1 전극(7620)은 배선(7605) 및 배선(7606)과 같은 층에 같은 재료로 형성되어 있다.

<1040> 또한, 도 110(A) 및 도 110(B)는 반도체층에 아모르퍼스 실리콘을 사용한 보텀 게이트형 트랜지스터를 포함하는 표시 패널의 부분 단면을 나타낸다.

<1041> 기판(7701) 위에 하지막(7702)이 형성되어 있다. 또한, 하지막(7702) 위에 게이트 전극(7703)이 형성되어 있다. 또한, 게이트 전극과 같은 층에 같은 재료로 제1 전극(7704)이 형성되어 있다. 게이트 전극(7703)의 재료로서는, 인이 첨가된 다결정 실리콘을 사용할 수 있다. 다결정 실리콘 외에, 금속과 실리콘의 화합물인 실리사이드가 사용되어도 좋다.

<1042> 또한, 게이트 전극(7703) 및 제1 전극(7704)을 덮도록 게이트 절연막(7705)이 형성되어 있다. 게이트 절연막(7705)으로서는, 산화규소막이나 질화규소막 등이 사용된다.

<1043> 또한, 게이트 절연막(7705) 위에 반도체층(7706)이 형성되어 있다. 또한, 반도체층(7706)과 같은 층에 같은 재료로 반도체층(7707)이 형성되어 있다.

<1044> 기판으로서는, 유리 기판, 석영 기판, 세라믹 기판, 플라스틱 기판 등을 사용할 수 있다. 또한, 하지막(7602)으로서는, 질화알루미늄(AlN), 산화규소(SiO<sub>2</sub>), 산화질화규소(SiO<sub>x</sub>N<sub>y</sub>) 등의 단층이나 이들의 적층을 사용할 수 있다.

<1045> 반도체층(7706) 위에는, n형의 도전성을 가지는 n형 반도체층(7708, 7709)이 형성되고, 반도체층(7707) 위에는 n형 반도체층(7710)이 형성되어 있다.

<1046> n형 반도체층(7708, 7709) 위에는 각각 배선(7711, 7712)이 형성되고, n형 반도체층(7710) 위에는, 배선(7711) 및 배선(7712)과 같은 층에 같은 재료로 이루어지는 도전층(7713)이 형성되어 있다.

<1047> 반도체층(7707), n형 반도체층(7710) 및 도전층(7713)으로 제2 전극이 구성된다. 또한, 이 제2 전극과 제1 전극(7704) 사이에 게이트 절연막(7705)이 끼어진 구조의 커패시터(7720)가 형성되어 있다.

<1048> 또한, 배선(7711)의 한쪽 단부는 연장되어 있고, 그 연장되어 있는 배선(7711)의 상부에 접하도록 화소 전극(7714)이 형성되어 있다.

<1049> 또한, 화소 전극(7714)의 단부, 구동 트랜지스터(7719) 및 커패시터(7720)를 덮도록 절연물(7715)이 형성되어 있다.

<1050> 화소 전극(7714) 및 절연물(7715) 위에는, 유기 화합물을 함유하는 층(7716) 및 대향 전극(7717)이 형성되어 있다. 화소 전극(7714)과 대향 전극(7717) 사이에 유기 화합물을 함유하는 층(7716)이 끼어진 영역에 발광소자(7718)가 형성된다.

<1051> 커패시터의 제2 전극의 일부가 되는 반도체층(7707) 및 n형 반도체층(7710)은 반드시 형성될 필요는 없다. 즉 제2 전극은 도전층(7713)으로 될 수 있으므로, 커패시터는 제1 전극(7704)과 도전층(7713) 사이에 게이트 절연막이 끼어진 구조를 가질 수도 있다.

<1052> 또한, 도 110(A)에서, 배선(7711)을 형성하기 전에 화소 전극(7714)을 형성하여, 도 110(B)에 나타내는 바와 같이, 화소 전극(7714)으로 이루어진 제2 전극(7721)과 제1 전극(7704) 사이에 게이트 절연막(7705)이 끼어진 구조를 가지는 커패시터(7720)를 형성할 수도 있다.

<1053> 또한, 도 110(A) 및 도 110(B)는 역스태거형의 채널 에치(channel-etch) 구조의 트랜지스터를 나타내었지만, 채

널 보호 구조의 트랜지스터이어도 좋다. 채널 보호 구조의 트랜지스터에 대하여 도 111(A) 및 도 111(B)를 참조하여 설명한다.

<1054> 도 111(A)에 나타내는 채널 보호 구조의 트랜지스터는, 반도체층(7706)의 채널이 형성될 영역 위에 에칭 마스크로서 기능하는 절연물(7801)이 제공되어 있는 점에서 도 110(A)에 나타낸 채널 에치 구조의 구동 트랜지스터(7719)와 다르다. 그 점 외의 다른 공통되는 부분에는 동일 부호를 사용하고 있다.

<1055> 또한, 마찬가지로, 도 111(B)에 나타내는 채널 보호 구조의 트랜지스터는, 반도체층(7706)의 채널이 형성될 영역 위에 에칭 마스크로서 기능하는 절연물(7802)이 제공되어 있는 점에서 도 110(B)에 나타낸 채널 에치 구조의 구동 트랜지스터(7719)와 다르다. 그 점 외의 다른 공통되는 부분에는 동일 부호를 사용하고 있다.

<1056> 본 발명의 화소에 포함되는 트랜지스터의 반도체층(채널 형성 영역, 소스 영역, 드레인 영역 등)으로서 비정질 반도체막을 사용함으로써, 제조 비용을 삭감할 수 있다. 예를 들어, 실시예 3에서 나타낸 화소 구성을 사용함으로써, 비정질 반도체막을 적용하는 것이 가능하다.

<1057> 또한, 본 발명의 화소 구성을 적용할 수 있는 트랜지스터의 구조 및 커패시터의 구조는 상기한 구성에 한정되지 않고, 다양한 구성의 트랜지스터 및 커패시터를 사용할 수 있다.

<1058> 또한, 본 실시예는 본 명세서 중의 다른 실시형태 및 실시예의 어떠한 기재와도 자유롭게 조합하여 실시될 수 있다. 즉, 비선택 기간에서, 트랜지스터가 일정 시간 간격으로 온으로 됨으로써, 본 실시예에서 나타낸 표시 패널에 접속되는 본 발명의 시프트 레지스터 회로가 출력 단자에 전원 전위를 공급한다. 따라서, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 전원 전위가 공급된다. 이 트랜지스터는 비선택 기간에 항상 온으로 되지 않으므로, 이 트랜지스터의 스레시홀드 전압 시프트가 억제될 수 있다. 또한, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 일정 시간 간격으로 전원 전위가 공급된다. 따라서, 시프트 레지스터 회로는 출력 단자에서 노이즈가 발생하는 것을 억제할 수 있다.

[실시예 5]

<1060> 본 발명의 표시장치는 다양한 전자기기에 적용될 수 있다. 구체적으로는 전자기기의 표시부에 적용될 수 있다. 그와 같은 전자기기로서, 비디오 카메라와 디지털 카메라, 고글형 디스플레이, 내비게이션 시스템, 음향 재생장치(카 오디오, 오디오 컴포넌트 등), 컴퓨터, 게임기기, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기, 휴대형 게임기 또는 전자 서적 등), 기록 매체를 구비한 화상 재생장치(구체적으로는, DVD(Digital Versatile Disc) 등의 기록 매체를 재생하고 그 화상을 표시할 수 있는 디스플레이를 구비한 장치) 등을 들 수 있다.

<1061> 도 117(A)는, 케이스(84101), 지지대(84102), 표시부(84103) 등을 포함하는 디스플레이를 나타낸다. 본 발명의 화소 구성을 가지는 표시장치를 표시부(84103)에 사용할 수 있다. 또한, 이 디스플레이에는, 퍼스널 컴퓨터용, 텔레비전 방송 수신용, 광고 표시용 등의 모든 정보 표시용 표시장치가 포함된다. 본 발명의 화소 구성을 가지는 표시장치를 표시부(84103)에 사용한 디스플레이는 소비전력을 억제하면서, 표시 불량을 방지할 수 있다. 또한, 저비용화를 도모하는 것도 가능하다.

<1062> 근년, 디스플레이의 대형화의 요구가 높아지고 있다. 그리고, 디스플레이의 대형화에 따라, 가격의 상승이 문제가 되고 있다. 따라서, 제조 비용을 가능한 한 많이 삭감하고, 고품질의 제품을 가능한 한 저가격으로 제공하는 것이 과제가 된다.

<1063> 예를 들어, 실시예 3에서 나타내는 화소 구성을 표시 패널의 화소부에 적용함으로써, 단극성의 트랜지스터를 사용하여 구성된 표시 패널을 제공할 수 있다. 따라서, 공정수를 줄여 제조 비용을 삭감할 수 있다.

<1064> 또한, 도 100(A)에 나타내는 바와 같이 화소부와 주변 구동회로를 동일 기판 위에 형성함으로써, 단극성의 트랜지스터로 이루어지는 회로를 사용하여 표시 패널을 형성할 수 있다.

<1065> 또한, 화소부에 포함되는 회로의 트랜지스터의 반도체층에 비정질 반도체(예를 들어, 아모르퍼스 실리콘(a-Si:H))을 사용함으로써, 제조공정을 간략화하고, 더욱 비용 삭감을 도모할 수 있다. 이 경우에는, 도 101(B) 및 도 102(A)에 나타낸 바와 같이, 화소부의 주변의 구동회로를 IC 칩 위에 형성하고, COG 등으로 표시 패널에 실장하면 좋다. 이와 같이, 비정질 반도체를 사용함으로써, 디스플레이의 대형화가 용이하게 된다.

<1066> 도 117(B)는, 본체(84201), 표시부(84202), 수상부(84203), 조작 키(84204), 외부 접속 포트(84205), 셔터(84206) 등을 포함하는 카메라를 나타낸다.

- <1067> 근년, 디지털 카메라 등의 고성능화에 따라, 생산 경쟁이 격화(激化)하고 있다. 그리하여, 고성능의 제품을 가능한 한 저가격으로 제공하는 것이 중요하다. 본 발명의 화소 구성을 가지는 표시장치를 표시부(84202)에 사용한 디지털 카메라는 소비전력을 억제하면서, 표시 불량을 방지할 수 있다. 또한, 저비용화를 도모하는 것도 가능하다.
- <1068> 예를 들어, 실시예 3에서 나타내는 화소 구성은 화소부에 사용함으로써, 단극성의 트랜지스터로 화소부를 구성할 수 있다. 또한, 도 101(A)에 나타내는 바와 같이, 동작 속도가 높은 신호선 제어 회로를 IC 칩 위에 형성하고, 동작 속도가 비교적 낮은 게이트 드라이버를 화소부와 동일 기판 위에 단극성의 트랜지스터로 구성되는 회로로 형성함으로써, 고성능화를 실현하여, 저비용화를 도모할 수 있다. 또한, 화소부와, 화소부와 동일 기판 위에 형성되는 게이트 드라이버에 포함되는 트랜지스터의 반도체층에 아모르페스 실리콘과 같은 비정질 반도체를 사용함으로써 더욱 더 저비용화를 도모할 수 있다.
- <1069> 도 117(C)는, 본체(84301), 케이스(84302), 표시부(84303), 키보드(84304), 외부 접속 포트(84305), 포인팅 디바이스(84306) 등을 포함하는 컴퓨터를 나타낸다. 본 발명의 화소 구성은 표시장치를 표시부(84303)에 사용한 컴퓨터는 소비전력을 억제하면서, 표시 불량을 방지할 수 있다. 또한, 저비용화를 도모하는 것도 가능하다.
- <1070> 도 117(D)는, 본체(84401), 표시부(84402), 스위치(84403), 조작 키(84404), 적외선 포트(84405) 등을 포함하는 모바일 컴퓨터를 나타낸다. 본 발명의 화소 구성은 표시장치를 표시부(84402)에 사용한 모바일 컴퓨터는 소비전력을 억제하면서, 표시 불량을 방지할 수 있다. 또한, 저비용화를 도모하는 것도 가능하다.
- <1071> 도 117(E)는 기록 매체를 구비한 휴대형 화상 재생장치(구체적으로는, DVD 플레이어)를 나타내고, 이 화상 재생장치는 본체(84501), 케이스(84502), 표시부 A(84503), 표시부 B(84504), 기록 매체 판독부(84505), 조작 키(84506), 스피커부(84507) 등을 포함한다. 표시부 A(84503)는 주로 화상 정보를 표시하고, 표시부 B(84504)는 주로 문자 정보를 표시한다. 본 발명의 화소 구성은 표시장치를 표시부 A(84503) 및 표시부 B(84504)에 사용한 화상 재생장치는 소비전력을 억제하면서, 표시 불량을 방지할 수 있다. 또한, 저비용화를 도모하는 것도 가능하다.
- <1072> 도 117(F)는, 본체(84601), 표시부(84602), 이어폰(84603), 지지부(84604)를 포함하는 고글형 디스플레이를 나타낸다. 본 발명의 화소 구성은 표시장치를 표시부(84602)에 사용한 고글형 디스플레이는 소비전력을 억제하면서, 표시 불량을 방지할 수 있다. 또한, 저비용화를 도모하는 것도 가능하다.
- <1073> 도 117(G)는, 케이스(84701), 표시부(84702), 스피커부(84703), 조작 키(84704), 기억 매체 삽입부(84705) 등을 포함하는 휴대형 게임기를 나타낸다. 본 발명의 화소 구성은 표시장치를 표시부(84702)에 사용한 휴대형 게임기는 소비전력을 억제하면서, 표시 불량을 방지할 수 있다. 또한, 저비용화를 도모하는 것도 가능하다.
- <1074> 도 117(H)는 텔레비전 수상 기능을 가진 디지털 카메라를 나타내고, 이 디지털 카메라는 본체(84801), 표시부(84802), 조작 키(84803), 스피커(84804), 셔터(84805), 수상부(84806), 안테나(84807) 등을 포함한다. 본 발명의 화소 구성은 표시장치를 표시부(84802)에 사용한 텔레비전 수상 기능을 가진 디지털 카메라는 소비전력을 억제하면서, 표시 불량을 방지할 수 있다. 또한, 화소의 개구율이 높고, 고정세한 표시가 가능하게 된다. 또한, 저비용화를 도모하는 것도 가능하다.
- <1075> 예를 들어, 도 96~도 99, 도 118, 및 도 119의 화소 구성은 화소부에 사용함으로써, 화소의 개구율을 증대시킬 수 있다. 구체적으로는, 발광소자를 구동하는 구동 트랜지스터에 n채널형 트랜지스터를 사용함으로써 개구율이 증대될 수 있다. 따라서, 고정세한 표시부를 가지는, 텔레비전 수상 기능을 가진 디지털 카메라가 제공될 수 있다.
- <1076> 텔레비전 수상 기능을 가진 디지털 카메라는 다기능화되고, 텔레비전 시청 등에 사용 빈도가 높아지는 한편, 1회 충전 당 배터리 수명을 길게 하는 것이 요구된다.
- <1077> 예를 들어, 도 101(B) 및 도 102(A)에 나타내는 바와 같이, 주변 구동회로를 IC 칩 위에 형성하고 CMOS 등을 사용함으로써, 저소비전력화를 도모하는 것이 가능하다.
- <1078> 이상과 같이, 본 발명은 각종 전자기기에 적용될 수 있다.
- <1079> 또한, 본 실시예는 본 명세서 중의 다른 실시형태 및 실시예의 어떠한 기재와도 자유롭게 조합하여 실시될 수 있다. 즉, 비선택 기간에서, 트랜지스터가 일정 시간 간격으로 온으로 됨으로써, 본 실시예에서 기재한 전자기

기에 접속되는 본 발명의 시프트 레지스터 회로가 출력 단자에 전원 전위를 공급한다. 따라서, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 전원 전위가 공급된다. 이 트랜지스터는 비선택 기간에 항상 온으로 되지 않으므로, 이 트랜지스터의 스레시홀드 전압 시프트가 억제될 수 있다. 또한, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 일정 시간 간격으로 전원 전위가 공급된다. 따라서, 시프트 레지스터 회로는 출력 단자에서 노이즈가 발생하는 것을 억제할 수 있다.

<1080> [실시예 6]

<1081> 본 실시예에서, 본 발명의 화소 구성을 사용한 표시장치를 표시부에 가지는 휴대 전화기의 구성예에 대하여 도 116을 사용하여 설명한다.

<1082> 표시 패널(8301)은 하우징(8330)에 착탈 가능하게 조립된다. 하우징(8330)의 형상 및 사이즈는 표시 패널(8301)의 사이즈에 맞추어 적절히 변경될 수 있다. 표시 패널(8301)을 고정한 하우징(8330)은 인쇄 회로 기판(8331)에 끼워져 모듈로서 조립된다.

<1083> 표시 패널(8301)은 FPC(8313)를 통하여 인쇄 회로 기판(8331)에 접속된다. 인쇄 회로 기판(8331) 위에는, 스피커(8332), 마이크로폰(8333), 송수신 회로(8334), CPU 및 컨트롤러 등을 포함하는 신호 처리 회로(8335)가 제공되어 있다. 이와 같은 모듈, 입력 유닛(8336), 배터리(8337), 및 안테나(8340)를 조합하여 케이스(8339)내에 수납한다. 표시 패널(8301)의 화소부는 케이스(8339)에 형성된 개구창으로부터 시인(視認)되도록 제공된다.

<1084> 표시 패널(8301)에서, 화소부와, 주변 구동회로의 일부(다수의 구동회로 중 동작 주파수가 낮은 구동회로)를 동일 기판 위에 트랜지스터를 사용하여 형성하고, 주변 구동회로의 일부(다수의 구동회로 중 동작 주파수가 높은 구동회로)를 IC 칩 위에 형성하고, 그 IC 칩을 COG(Chip On Glass)에 의해 표시 패널(8301)에 실장하여도 좋다. 또는, 그 IC 칩을 TAB(Tape Automated Bonding) 또는 인쇄 회로 기판을 사용하여 유리 기판에 접속하여도 좋다. 이와 같은 구성으로 함으로써, 표시장치의 저소비전력화를 도모하고, 휴대 전화기의 1회 충전 당 배터리 수명을 길게 할 수 있다. 또한, 휴대 전화기의 저비용화를 도모할 수 있다.

<1085> 또한, 화소부에는, 상기 실시예들에서 나타낸 화소 구성을 적절히 적용할 수 있다.

<1086> 예를 들어, 실시예 3에서 나타내는 화소 구성을 적용함으로써, 제조 공정수를 줄여도 좋다. 즉, 화소부 및 화소부와 동일 기판 위에 형성된 주변 구동회로를 단극성의 트랜지스터로 구성함으로써, 저비용화를 실현할 수 있다.

<1087> 또한, 더욱 소비전력의 저감을 도모하기 위해, 도 101(B) 및 도 102(A)에 나타내는 바와 같이, 기판 위에 트랜지스터를 사용하여 화소부를 형성하고, 모든 주변 구동회로를 IC 칩 위에 형성하고, 그 IC 칩을 COG(Chip On Glass) 등에 의해 표시 패널에 실장하여도 좋다.

<1088> 또한, 본 실시예에서 나타낸 구성은 휴대 전화기의 일례이고, 본 발명의 화소 구성을 이와 같은 구성의 휴대 전화기에 한정되지 않고, 다양한 구성의 휴대 전화기에도 적용될 수 있다.

<1089> 또한, 본 실시예는 본 명세서 중의 다른 실시형태 및 실시예의 어떠한 기재와도 자유롭게 조합하여 실시될 수 있다. 즉, 비선택 기간에서, 트랜지스터가 일정 시간 간격으로 온으로 됨으로써, 본 실시예에서 기재한 휴대 전화기에 포함되는 본 발명의 시프트 레지스터 회로가 출력 단자에 전원 전위를 공급한다. 따라서, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 전원 전위가 공급된다. 이 트랜지스터는 비선택 기간에 항상 온으로 되지 않으므로, 이 트랜지스터의 스레시홀드 전압 시프트가 억제될 수 있다. 또한, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 일정 시간 간격으로 전원 전위가 공급된다. 따라서, 시프트 레지스터 회로는 출력 단자에서 노이즈가 발생하는 것을 억제할 수 있다.

<1090> [실시예 7]

<1091> 본 실시예에서는, 본 발명의 화소 구성을 사용한 표시장치를 표시부에 가지는 전자기기, 특히 EL 모듈을 구비하는 텔레비전 수상기의 구성예에 대하여 설명한다.

<1092> 도 112는 표시 패널(7901)과 회로 기판(7911)을 조합한 EL 모듈을 나타내고 있다. 표시 패널(7901)은 화소부(7902), 주사선 구동회로(7903) 및 신호선 구동회로(7904)를 포함하고 있다. 회로 기판(7911) 위에는, 컨트롤 회로(7912), 신호 분할 회로(7913) 등이 형성되어 있다. 표시 패널(7901)과 회로 기판(7911)은 접속 배선(7914)에 의해 서로 접속되어 있다. 접속 배선으로서는, FPC 등을 사용할 수 있다.

<1093> 표시 패널(7901)에서, 화소부(7902)와 주변 구동회로의 일부(다수의 구동회로 중 동작 주파수가 낮은 구동회

로)를 동일 기판 위에 트랜지스터를 사용하여 형성하고, 주변 구동회로의 일부(다수의 구동회로 중 동작 주파수가 높은 구동회로)를 IC 칩 위에 형성하고, 그 IC 칩을 COG(Chip On Glass) 등에 의해 표시 패널(7901)에 실장하면 좋다. 또는, 그 IC 칩을 TAB(Tape Automated Bonding) 또는 인쇄 회로 기판을 사용하여 표시 패널(7901)에 실장하여도 좋다.

<1094> 또한, 화소부로서는, 상기 실시예들에서 나타낸 화소 구성을 적절히 적용할 수 있다.

<1095> 예를 들어, 실시예 3에서 나타내는 화소 구성 등을 적용함으로써, 제조 공정수를 줄일 수 있다. 즉, 화소부 및 화소부와 동일 기판 위에 형성된 주변 구동회로를 단극성의 트랜지스터로 구성함으로써, 저비용화를 실현할 수 있다.

<1096> 또한, 더욱 소비전력의 저감을 도모하기 위해, 유리 기판 위에 트랜지스터를 사용하여 화소부를 형성하고, 모든 주변 구동회로를 IC 칩 위에 형성하고, 그 IC 칩을 COG(Chip On Glass) 등에 의해 표시 패널에 실장하여도 좋다.

<1097> 또한, 상기 실시예들의 도 96~도 99, 도 118, 및 도 119에 나타낸 화소 구성은 적용함으로써, n채널형 트랜지스터만으로 화소를 구성할 수 있기 때문에, 비정질 반도체(예를 들어, 아모르페스 실리콘)를 트랜지스터의 반도체층에 적용하는 것이 가능하게 된다. 즉, 균일한 결정성 반도체막을 형성하는 것이 곤란한 대형의 표시장치의 제작이 가능하게 된다. 또한, 화소를 구성하는 트랜지스터의 반도체층에 비정질 반도체막을 사용함으로써, 제조 공정수를 줄일 수 있어, 제조 비용의 저감도 도모할 수 있다.

<1098> 또한, 비정질 반도체막을 화소를 구성하는 트랜지스터의 반도체층에 적용하는 경우에는, 기판 위에 트랜지스터를 사용하여 화소부를 형성하고, 모든 주변 구동회로를 IC 칩 위에 형성하고, 그 IC 칩을 COG(Chip On Glass) 등에 의해 표시 패널에 실장하는 것이 바람직하다. 또한, 도 101(B)는, 기판 위에 화소부를 형성하고, 그 기판 위에, 주변 구동회로를 구비한 IC 칩을 COG 등에 의해 실장한 구성의 일례를 나타내고 있다.

<1099> 이 EL 모듈에 의해 EL 텔레비전 수상기를 완성시킬 수 있다. 도 113은, EL 텔레비전 수상기의 주요 구성은 나타내는 블록도이다. 튜너(8001)는 영상 신호와 음성 신호를 수신한다. 영상 신호는 영상 신호 증폭 회로(8002)와, 그 영상 신호 증폭 회로(8002)로부터 출력되는 신호를 적, 녹, 청의 각 색에 대응한 색 신호로 변환하는 영상 신호 처리 회로(8003)와, 그 영상 신호를 구동회로의 입력 사양으로 변환하는 컨트롤 회로(8012)에 의해 처리된다. 컨트롤 회로(8012)는 주사선측과 신호선측에 각각 신호를 출력한다. 디지털 구동하는 경우에는, 신호선측에 신호 분할 회로(8013)를 제공하여, 입력 디지털 신호를 2개의 신호로 분할하여 공급하는 구성으로 하여도 좋다.

<1100> 튜너(8001)로 수신한 신호 중 음성 신호는 음성 신호 증폭 회로(8004)에 보내지고, 그의 출력이 음성 신호 처리 회로(8005)를 거쳐 스피커(8007)에 공급된다. 제어 회로(8008)는 수신국(수신 주파수) 및 음량의 제어 데이터를 입력부(8009)로부터 받아, 튜너(8001) 및 음성 신호 처리 회로(8005)에 신호를 송출한다.

<1101> 또한, 도 114(A)는 도 113과는 다른 형태의 EL 모듈을 조립한 텔레비전 수상기를 나타낸다. 도 114(A)에서, 표시 화면(8102)은 EL 모듈로 구성되어 있다. 또한, 스피커(8103), 조작 스위치(8104) 등이 하우징(8101) 내에 적절히 구비되어 있다.

<1102> 또한, 도 114(B)는 휴대형 무선 디스플레이를 구비한 텔레비전 수상기를 나타낸다. 케이스(8112)에는 배터리 및 신호 수신기가 내장되어 있고, 그 배터리에 의해 표시부(8113)와 스피커부(8117)를 구동시킨다. 배터리는 배터리 충전기(8110)에 의해 반복하여 충전될 수 있다. 또한, 배터리 충전기(8110)는 영상 신호를 송수신 하는 것이 가능하고, 그 영상 신호를 디스플레이의 신호 수신기에 송신할 수 있다. 케이스(8112)는 조작 키(8116)에 의해 제어된다. 또한, 도 114(B)에 나타내는 장치는, 조작 키(8116)를 조작함으로써 케이스(8112)로부터 배터리 충전기(8110)에 신호를 보내는 것도 가능하기 때문에, 영상 음성 쌍방향 통신 장치라고도 할 수 있다. 또한, 이 장치는, 조작 키(8116)를 조작함으로써 케이스(8112)로부터 배터리 충전기(8110)에 신호를 보내고, 배터리 충전기(8110)에 의해 송신할 수 있는 신호를 다른 전자기기에 수신시키는 것에 의해, 다른 전자기기의 통신 제어도 가능하기 때문에, 범용 원격 제어 장치라고도 할 수 있다. 본 발명은 표시부(8113)에 적용될 수 있다.

<1103> 도 115(A)는 표시 패널(8201)과 인쇄 배선 기판(8202)을 조합한 모듈을 나타내고 있다. 표시 패널(8201)은, 다수의 화소가 형성된 화소부(8203), 제1 게이트 드라이버(8204), 제2 게이트 드라이버(8205), 및 선택된 화소에 비디오 신호를 공급하는 신호선 구동회로(8206)를 구비하고 있다.

- <1104> 인쇄 배선 기판(8202)에는, 컨트롤러(8207), 중앙 처리 유닛(CPU)(8208), 메모리(8209), 전원 회로(8210), 음성 처리 회로(8211), 송수신 회로(8212) 등이 구비되어 있다. 인쇄 배선 기판(8202)은 FPC(플렉서블 인쇄 회로)(8213)를 통하여 표시 패널(8201)에 접속되어 있다. 인쇄 배선 기판(8202)은, 커패시터, 버퍼 회로 등을 설치하여, 전원 전압이나 신호에 노이즈가 실리거나, 신호의 상승이 둔해지거나 하는 것을 방지하는 구성으로 하여도 좋다. 또한, 컨트롤러(8207), 음성 처리 회로(8211), 메모리(8209), CPU(8208), 전원 회로(8210) 등은 COG(Chip On Glass) 방식을 사용하여 표시 패널(8201)에 실장될 수도 있다. COG 방식을 사용함으로써, 인쇄 배선 기판(8202)의 사이즈를 축소할 수 있다.
- <1105> 인쇄 배선 기판(8202)에 구비된 인터페이스부(I/F부)(8214)를 통하여 각종 제어 신호의 입출력된다. 또한, 안테나와의 사이에서 신호의 송수신을 행하기 위한 안테나용 포트(8215)가 인쇄 배선 기판(8202)에 제공되어 있다.
- <1106> 도 115(B)는 도 115(A)에 나타낸 모듈의 블록도를 나타낸다. 이 모듈은, 메모리(8209)로서 VRAM(8216), DRAM(8217), 플래시 메모리(8218) 등을 포함하고 있다. VRAM(8216)에는, 패널에 표시하는 화상의 데이터가 기억되어 있고, DRAM(8217)에는, 화상 데이터 또는 음성 데이터가 기억되어 있고, 플래시 메모리(8218)에는 각종 프로그램이 기억되어 있다.
- <1107> 전원 회로(8210)는, 표시 패널(8201), 컨트롤러(8207), CPU(8208), 음성 처리 회로(8211), 메모리(8209), 송수신 회로(8212)를 동작시키는 전력을 공급한다. 또한, 패널의 사양에 따라서는, 전원 회로(8210)에 전류원이 구비되어 있는 경우도 있다.
- <1108> CPU(8208)는 제어 신호 생성 회로(8220), 디코더(8221), 레지스터(8222), 연산 회로(8223), RAM(8224), CPU(8208)용의 인터페이스(8219) 등을 가지고 있다. 인터페이스(8219)를 통하여 CPU(8208)에 입력된 각종 신호는 일단 레지스터(8222)에 보유된 후, 연산 회로(8223), 디코더(8221) 등에 입력된다. 연산 회로(8223)에서는, 입력된 신호에 의거하여 연산을 행하여, 각종 명령을 보내는 장소를 지정한다. 한편, 디코더(8221)에 입력된 신호는 디코드되고, 제어 신호 생성 회로(8220)에 입력된다. 제어 신호 생성 회로(8220)는 입력된 신호에 의거하여, 각종 명령을 포함하는 신호를 생성하고, 그 신호를, 연산 회로(8223)에 의해 지정된 장소, 구체적으로는, 메모리(8209), 송수신 회로(8212), 음성 처리 회로(8211), 컨트롤러(8207) 등에 보낸다.
- <1109> 메모리(8209), 송수신 회로(8212), 음성 처리 회로(8211), 컨트롤러(8207)는 각각 받은 명령에 따라 동작한다. 이하, 그 동작에 대하여 간단히 설명한다.
- <1110> 입력 수단(8225)으로부터 입력된 신호는, I/F부(8214)를 통하여 인쇄 배선 기판(8202)에 실장된 CPU(8208)에 보내진다. 제어 신호 생성 회로(8220)는 포인팅 디바이스나 키보드 등의 입력 유닛(8225)으로부터 보내진 신호에 따라, VRAM(8216)에 기억되어 있는 화상 데이터를 소정의 포맷으로 변환하고, 변환된 데이터를 컨트롤러(8207)에 송신한다.
- <1111> 컨트롤러(8207)는, 패널의 사양에 맞추어, CPU(8208)로부터 보내진 화상 데이터를 포함하는 신호의 데이터 처리를 행하고, 그 신호를 표시 패널(8201)에 공급한다. 또한, 컨트롤러(8207)는, 전원 회로(8210)로부터 입력된 전원 전압이나 CPU(8208)로부터 입력된 각종 신호에 의거하여, Hsync 신호, Vsync 신호, 클록 신호(CLK), 교류 전압(AC Cont), 전환 신호(L/R)를 생성하고, 그 신호들을 표시 패널(8201)에 공급한다.
- <1112> 송수신 회로(8212)에서는, 안테나(8228)에서 전파로서 송수신되는 신호가 처리된다. 구체적으로는, 송수신 회로(8212)는 아이솔레이터(isolator), 밴드 패스 필터, VCO(Voltage Controlled Oscillator), LPF(Low Pass Filter), 커플러, 밸런(balun) 등의 고주파 회로를 포함하고 있다. 송수신 회로(8212)에서 송수신되는 신호 중 음성 정보를 포함하는 신호가 CPU(8208)로부터의 명령에 따라 음성 처리 회로(8211)에 보내진다.
- <1113> CPU(8208)로부터의 명령에 따라 보내진 음성 정보를 포함하는 신호는 음성 처리 회로(8211)에서 음성 신호로 복조되어, 스피커(8227)에 보내진다. 또한, 마이크로폰(8226)으로부터 보내진 음성 신호는 음성 처리 회로(8211)에서 변조되어, CPU(8208)로부터의 명령에 따라 송수신 회로(8212)에 보내진다.
- <1114> 컨트롤러(8207), CPU(8208), 전원 회로(8210), 음성 처리 회로(8211), 메모리(8209)는 본 실시예에 따른 패키지로서 실장될 수 있다.
- <1115> 물론, 본 발명은 텔레비전 수상기에 한정되는 것은 아니고, 퍼스널 컴퓨터의 모니터를 비롯하여, 철도역이나 공항 등의 정보 표시판이나 가두의 광고 표시판 등 특히 대면적의 표시 매체로서 다양한 용도에 적용될 수 있다.
- <1116> 또한, 본 실시예는 본 명세서 중의 다른 실시형태 및 실시예의 어떠한 기재와도 자유롭게 조합하여 실시될 수

있다. 즉, 비선택 기간에서, 트랜지스터가 일정 시간 간격으로 온으로 됨으로써, 본 실시예에서 기재한 전자기기에 포함되는 본 발명의 시프트 레지스터 회로가 출력 단자에 전원 전위를 공급한다. 따라서, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 전원 전위가 공급된다. 이 트랜지스터는 비선택 기간에 항상 온으로 되지 않기 때문에, 이 트랜지스터의 스레시홀드 전압 시프트가 억제될 수 있다. 또한, 시프트 레지스터 회로의 출력 단자에는 이 트랜지스터를 통하여 일정 시간 간격으로 전원 전위가 공급된다. 따라서, 시프트 레지스터 회로는 출력 단자에서 노이즈가 발생하는 것을 억제할 수 있다.

### 도면의 간단한 설명

- <42> 도 1은 실시형태 1을 나타내는 도면.
- <43> 도 2는 실시형태 1을 나타내는 타이밍 차트.
- <44> 도 3은 실시형태 1을 나타내는 도면.
- <45> 도 4는 실시형태 1을 나타내는 도면.
- <46> 도 5는 실시형태 1을 나타내는 도면.
- <47> 도 6은 실시형태 1을 나타내는 도면.
- <48> 도 7은 실시형태 1을 나타내는 도면.
- <49> 도 8은 실시형태 1을 나타내는 도면.
- <50> 도 9는 실시형태 1을 나타내는 도면.
- <51> 도 10은 실시형태 1을 나타내는 도면.
- <52> 도 11은 실시형태 1을 나타내는 도면.
- <53> 도 12는 실시형태 1을 나타내는 타이밍 차트.
- <54> 도 13은 실시형태 1을 나타내는 도면.
- <55> 도 14는 실시형태 1을 나타내는 도면.
- <56> 도 15는 실시형태 1을 나타내는 도면.
- <57> 도 16은 실시형태 1을 나타내는 도면.
- <58> 도 17은 실시형태 2를 나타내는 도면.
- <59> 도 18은 실시형태 2를 나타내는 타이밍 차트.
- <60> 도 19는 실시형태 2를 나타내는 타이밍 차트.
- <61> 도 20은 실시형태 3을 나타내는 도면.
- <62> 도 21은 실시형태 3을 나타내는 도면.
- <63> 도 22는 실시형태 3을 나타내는 도면.
- <64> 도 23은 실시형태 3을 나타내는 도면.
- <65> 도 24는 실시형태 3을 나타내는 도면.
- <66> 도 25는 실시형태 3을 나타내는 도면.
- <67> 도 26은 실시형태 3을 나타내는 도면.
- <68> 도 27은 실시형태 3을 나타내는 도면.
- <69> 도 28은 실시형태 3을 나타내는 도면.
- <70> 도 29는 실시형태 3을 나타내는 도면.
- <71> 도 30은 실시형태 3을 나타내는 도면.

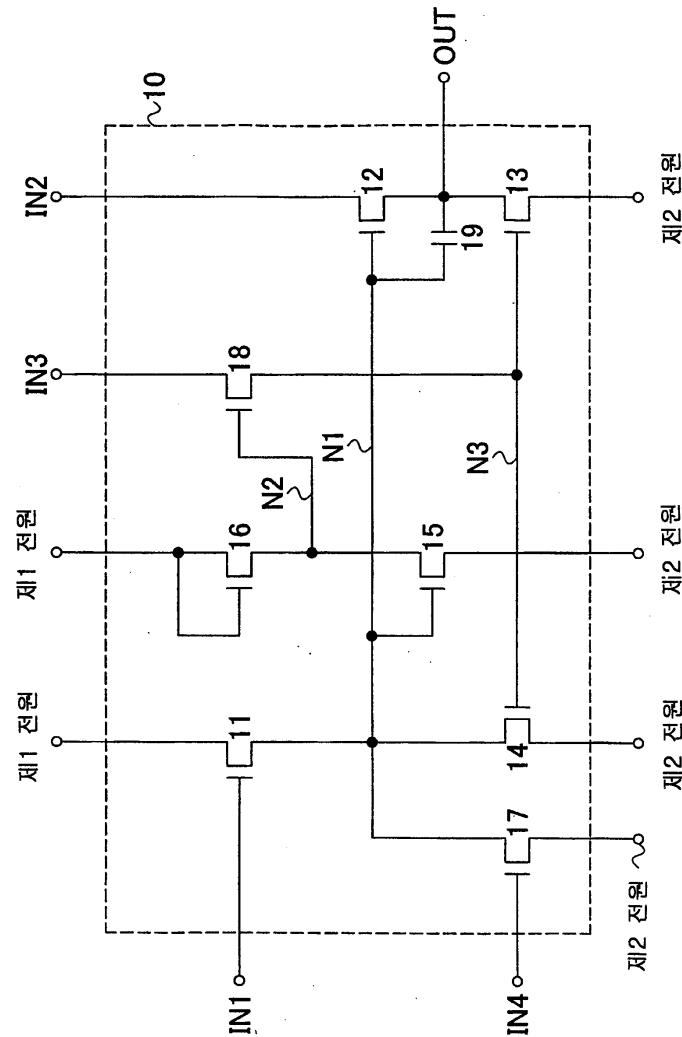
- <72> 도 31은 실시형태 3을 나타내는 도면.
- <73> 도 32는 실시형태 3을 나타내는 도면.
- <74> 도 33은 실시형태 3을 나타내는 도면.
- <75> 도 34는 실시형태 3을 나타내는 도면.
- <76> 도 35는 실시형태 3을 나타내는 도면.
- <77> 도 36은 실시형태 3을 나타내는 도면.
- <78> 도 37은 실시형태 3을 나타내는 도면.
- <79> 도 38은 실시형태 3을 나타내는 도면.
- <80> 도 39는 실시형태 3을 나타내는 도면.
- <81> 도 40은 실시형태 3을 나타내는 도면.
- <82> 도 41은 실시형태 3을 나타내는 도면.
- <83> 도 42는 실시형태 3을 나타내는 도면.
- <84> 도 43은 실시형태 3을 나타내는 도면.
- <85> 도 44는 실시형태 3을 나타내는 도면.
- <86> 도 45는 실시형태 3을 나타내는 도면.
- <87> 도 46은 실시형태 3을 나타내는 도면.
- <88> 도 47은 실시형태 3을 나타내는 도면.
- <89> 도 48은 실시형태 3을 나타내는 도면.
- <90> 도 49는 실시형태 3을 나타내는 도면.
- <91> 도 50은 실시형태 3을 나타내는 도면.
- <92> 도 51은 실시형태 3을 나타내는 도면.
- <93> 도 52는 실시형태 3을 나타내는 도면.
- <94> 도 53은 실시형태 3을 나타내는 도면.
- <95> 도 54는 실시형태 3을 나타내는 도면.
- <96> 도 55는 실시형태 3을 나타내는 도면.
- <97> 도 56은 실시형태 3을 나타내는 도면.
- <98> 도 57은 실시형태 3을 나타내는 도면.
- <99> 도 58은 실시형태 3을 나타내는 도면.
- <100> 도 59는 실시형태 3을 나타내는 도면.
- <101> 도 60은 실시형태 3을 나타내는 도면.
- <102> 도 61은 실시형태 3을 나타내는 도면.
- <103> 도 62는 실시형태 3을 나타내는 도면.
- <104> 도 63은 실시형태 3을 나타내는 도면.
- <105> 도 64는 실시형태 3을 나타내는 도면.
- <106> 도 65는 실시형태 3을 나타내는 도면.
- <107> 도 66은 실시형태 3을 나타내는 도면.

- <108> 도 67은 실시형태 3을 나타내는 도면.
- <109> 도 68은 실시형태 3을 나타내는 도면.
- <110> 도 69는 실시형태 3을 나타내는 도면.
- <111> 도 70은 실시형태 3을 나타내는 도면.
- <112> 도 71은 실시형태 3을 나타내는 도면.
- <113> 도 72는 실시형태 3을 나타내는 도면.
- <114> 도 73은 실시형태 3을 나타내는 도면.
- <115> 도 74는 실시형태 3을 나타내는 도면.
- <116> 도 75는 실시형태 3을 나타내는 도면.
- <117> 도 76은 실시형태 3을 나타내는 도면.
- <118> 도 77은 실시형태 3을 나타내는 도면.
- <119> 도 78은 실시형태 3을 나타내는 도면.
- <120> 도 79는 실시형태 3을 나타내는 도면.
- <121> 도 80은 실시형태 3을 나타내는 도면.
- <122> 도 81은 실시형태 3을 나타내는 도면.
- <123> 도 82는 실시형태 3을 나타내는 도면.
- <124> 도 83은 실시형태 3을 나타내는 도면.
- <125> 도 84는 실시형태 3을 나타내는 도면.
- <126> 도 85는 실시형태 3을 나타내는 도면.
- <127> 도 86은 실시형태 3을 나타내는 도면.
- <128> 도 87은 실시형태 3을 나타내는 도면.
- <129> 도 88은 실시형태 4를 나타내는 도면.
- <130> 도 89는 실시형태 4를 나타내는 도면.
- <131> 도 90은 실시형태 4를 나타내는 도면.
- <132> 도 91은 실시형태 4를 나타내는 도면.
- <133> 도 92는 실시예 1을 나타내는 도면.
- <134> 도 93은 실시예 1을 나타내는 도면.
- <135> 도 94는 실시예 1을 나타내는 도면.
- <136> 도 95는 실시예 2를 나타내는 도면.
- <137> 도 96은 실시예 3을 나타내는 도면.
- <138> 도 97은 실시예 3을 나타내는 도면.
- <139> 도 98은 실시예 3을 나타내는 도면.
- <140> 도 99는 실시예 3을 나타내는 도면.
- <141> 도 100(A) 및 도 100(B)는 실시예 4를 나타내는 도면.
- <142> 도 101(A) 및 도 101(B)는 실시예 4를 나타내는 도면.
- <143> 도 102(A) 및 도 102(B)는 실시예 4를 나타내는 도면.

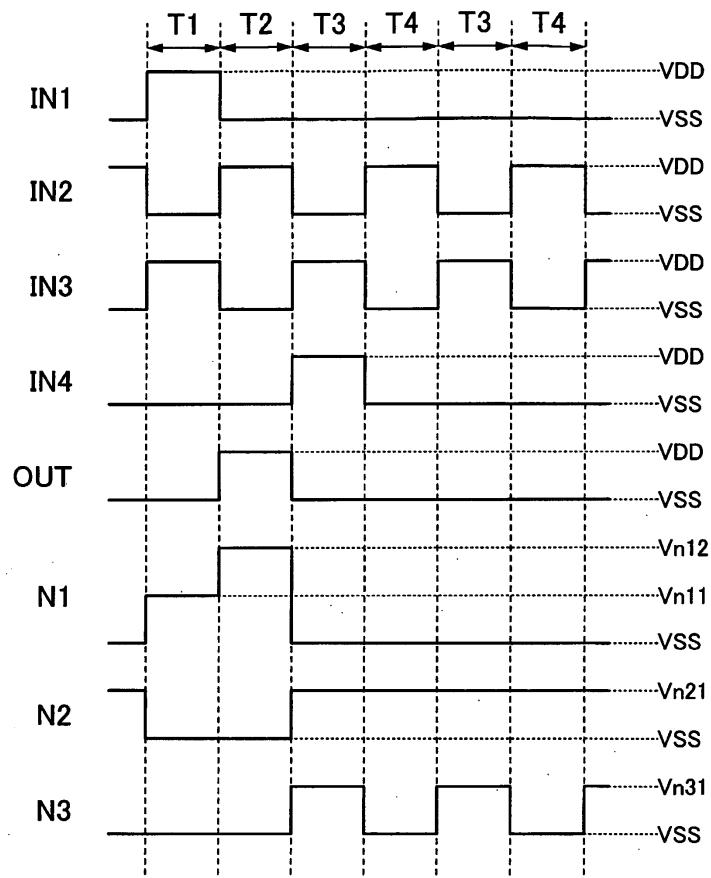
- <144> 도 103(A) 및 도 103(B)는 실시예 4를 나타내는 도면.
- <145> 도 104(A)~도 104(C)는 실시예 4를 나타내는 도면.
- <146> 도 105는 실시예 4를 나타내는 도면.
- <147> 도 106(A) 및 도 106(B)는 실시예 4를 나타내는 도면.
- <148> 도 107(A) 및 도 107(B)는 실시예 4를 나타내는 도면.
- <149> 도 108(A) 및 도 108(B)는 실시예 4를 나타내는 도면.
- <150> 도 109(A) 및 도 109(B)는 실시예 4를 나타내는 도면.
- <151> 도 110(A) 및 도 110(B)는 실시예 4를 나타내는 도면.
- <152> 도 111(A) 및 도 111(B)는 실시예 4를 나타내는 도면.
- <153> 도 112는 실시예 7을 나타내는 도면.
- <154> 도 113은 실시예 7을 나타내는 도면.
- <155> 도 114(A) 및 도 114(B)는 실시예 7을 나타내는 도면.
- <156> 도 115(A) 및 도 115(B)는 실시예 7을 나타내는 도면.
- <157> 도 116은 실시예 6을 나타내는 도면.
- <158> 도 117(A)~도 117(H)는 실시예 7을 나타내는 도면.
- <159> 도 118은 실시예 3을 나타내는 도면.
- <160> 도 119는 실시예 3을 나타내는 도면.
- <161> 도 120은 실시예 3을 나타내는 도면.
- <162> 도 121은 실시예 3을 나타내는 도면.
- <163> 도 122는 실시형태 4를 나타내는 도면.
- <164> 도 123은 실시형태 5를 나타내는 도면.
- <165> 도 124는 실시형태 3을 나타내는 도면.
- <166> 도 125는 실시형태 3을 나타내는 도면.

도면

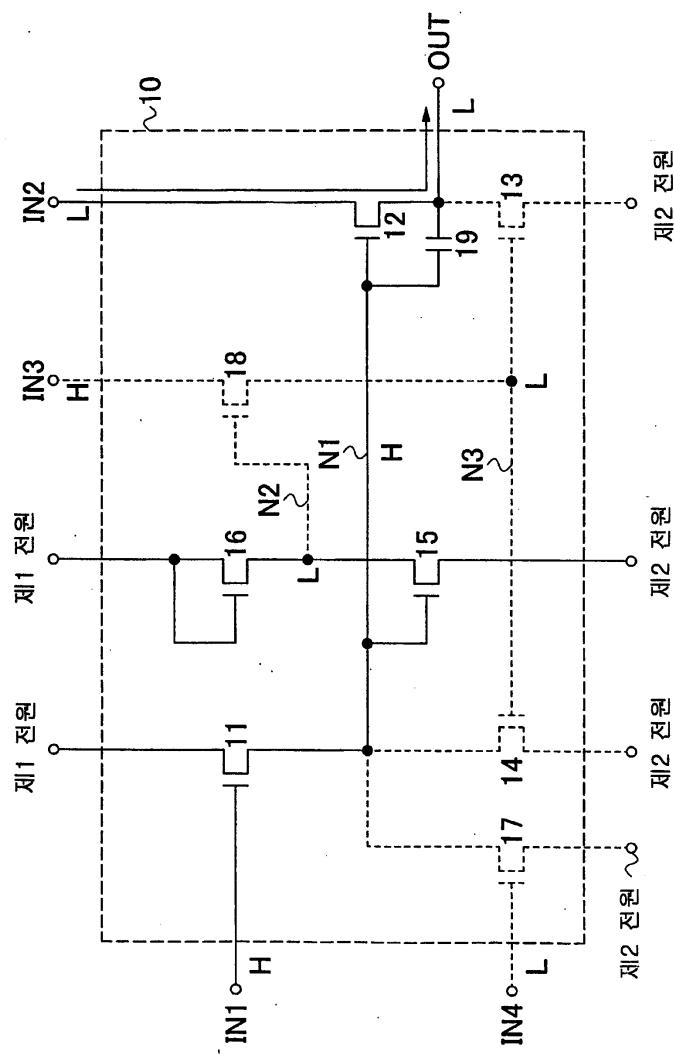
도면1



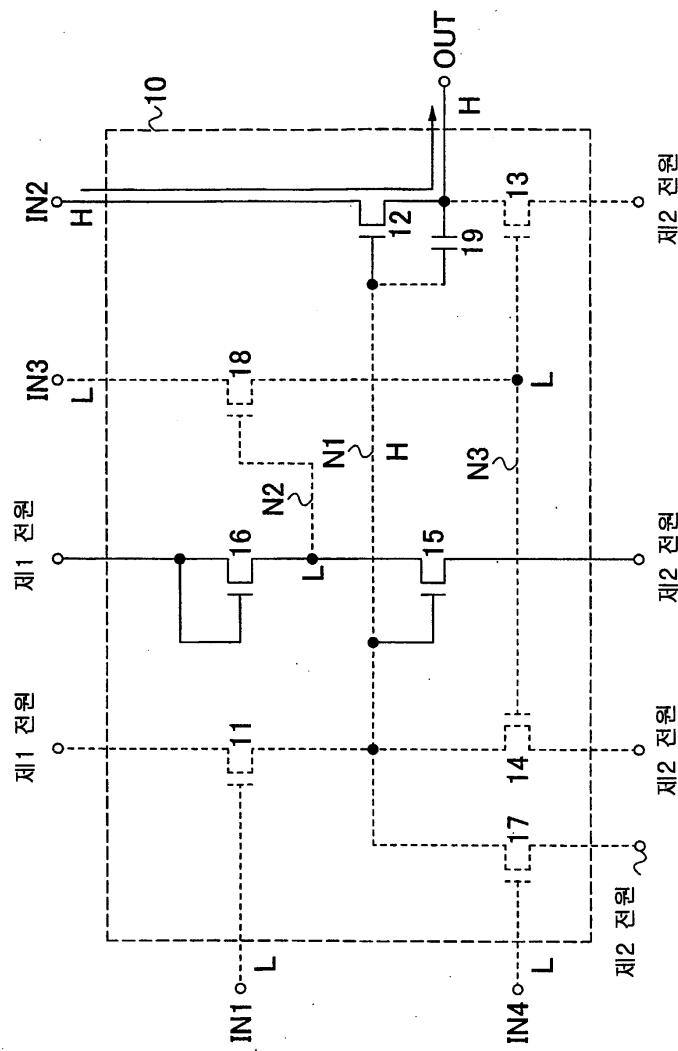
## 도면2



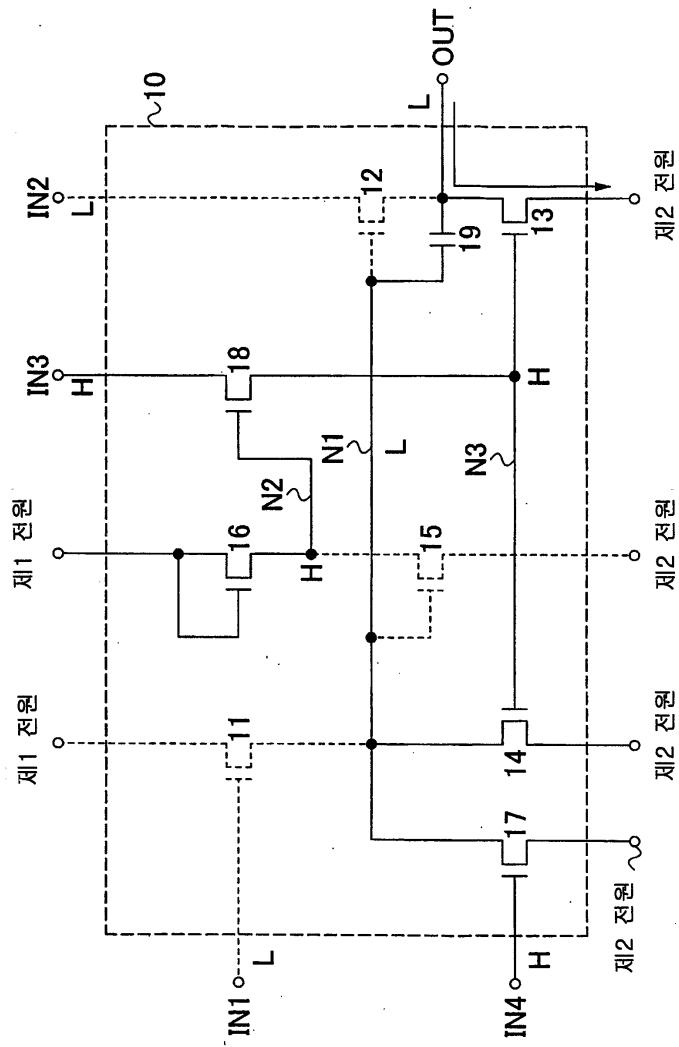
## 도면3



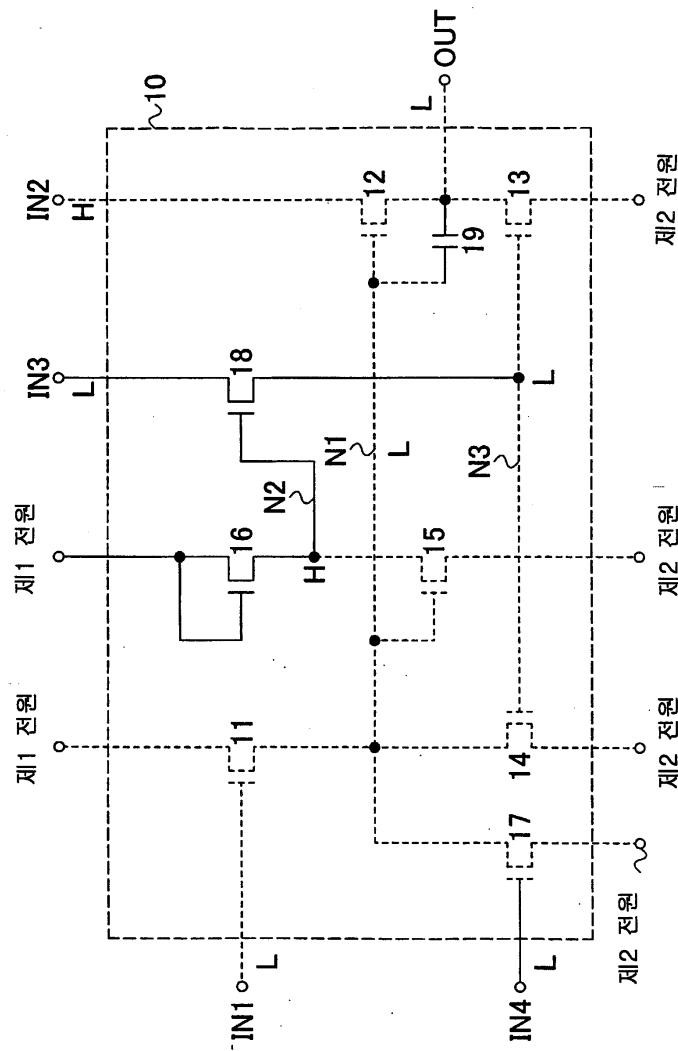
## 도면4



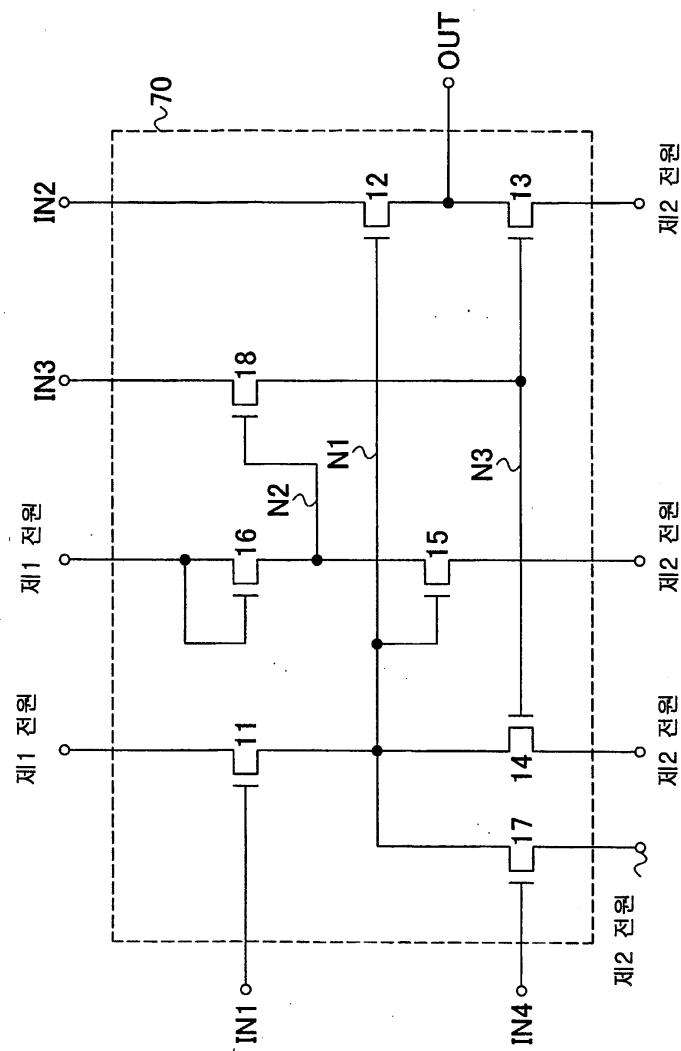
## 도면5



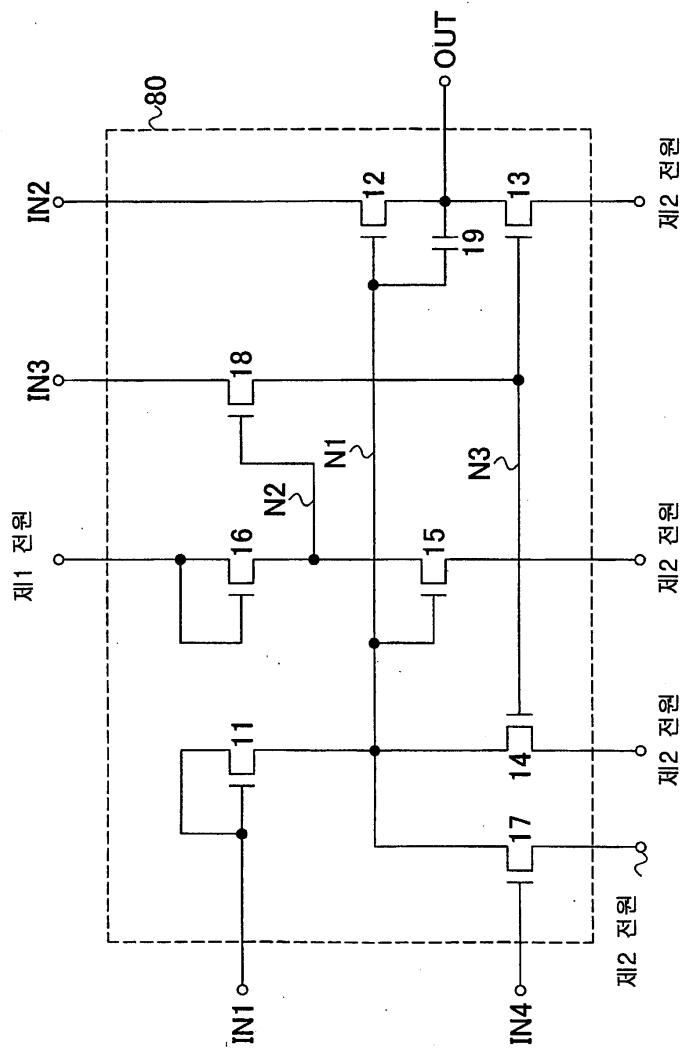
도면6



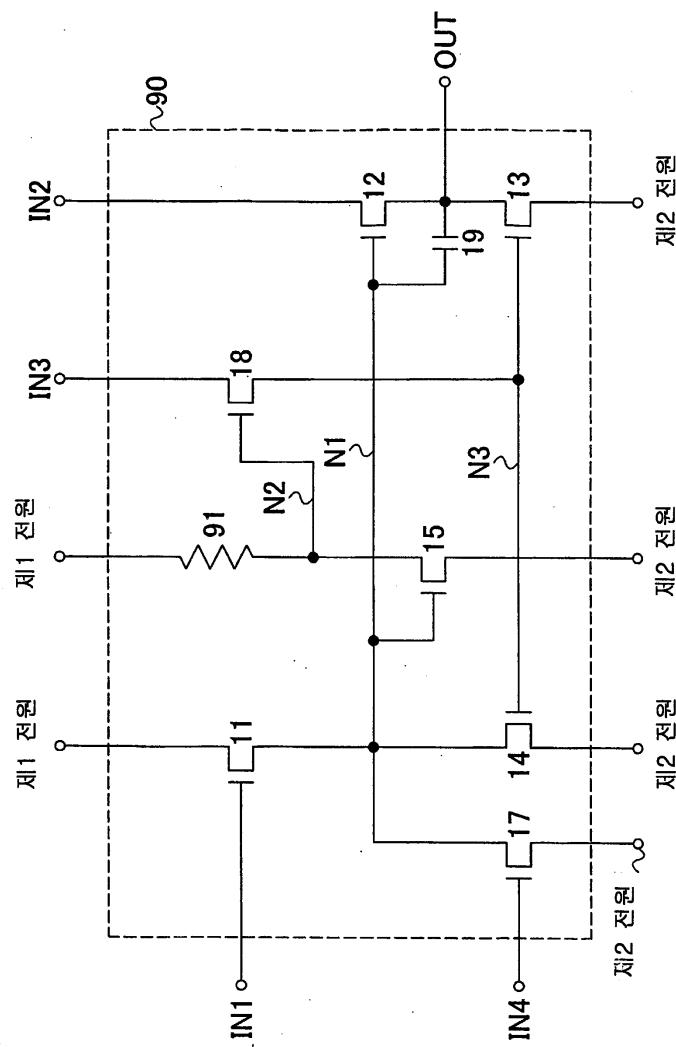
도면7



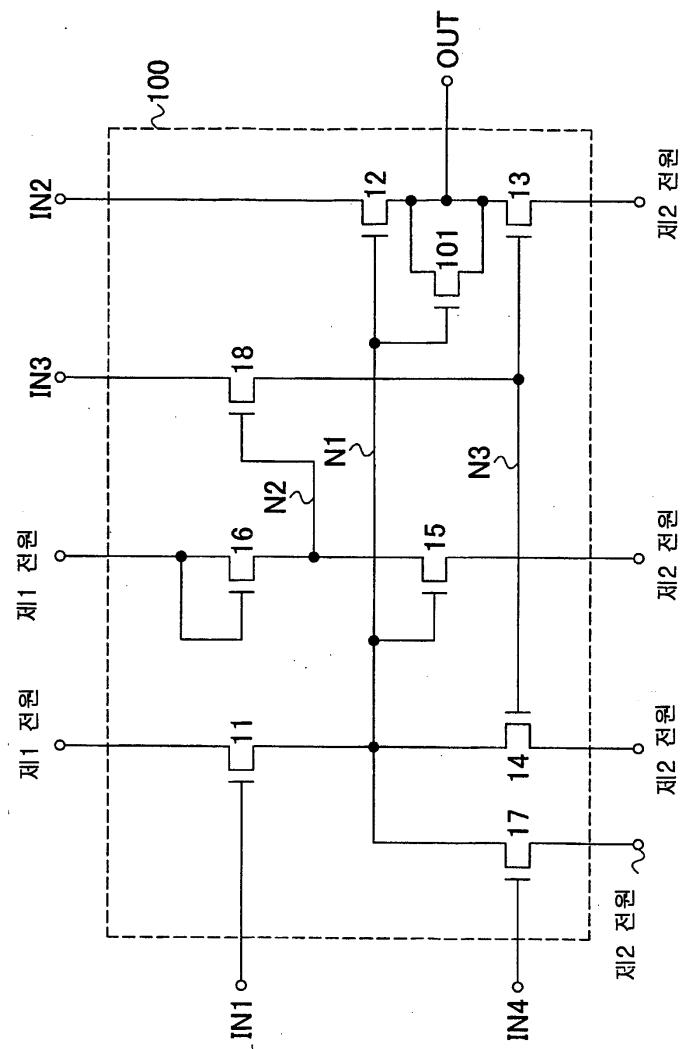
## 도면8



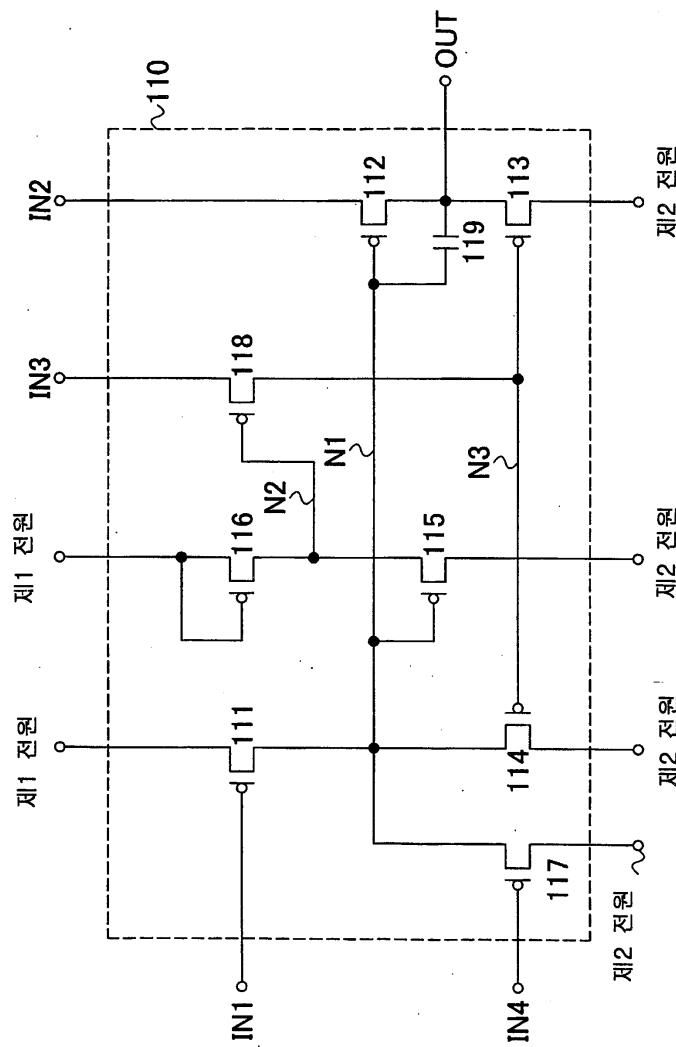
도면9



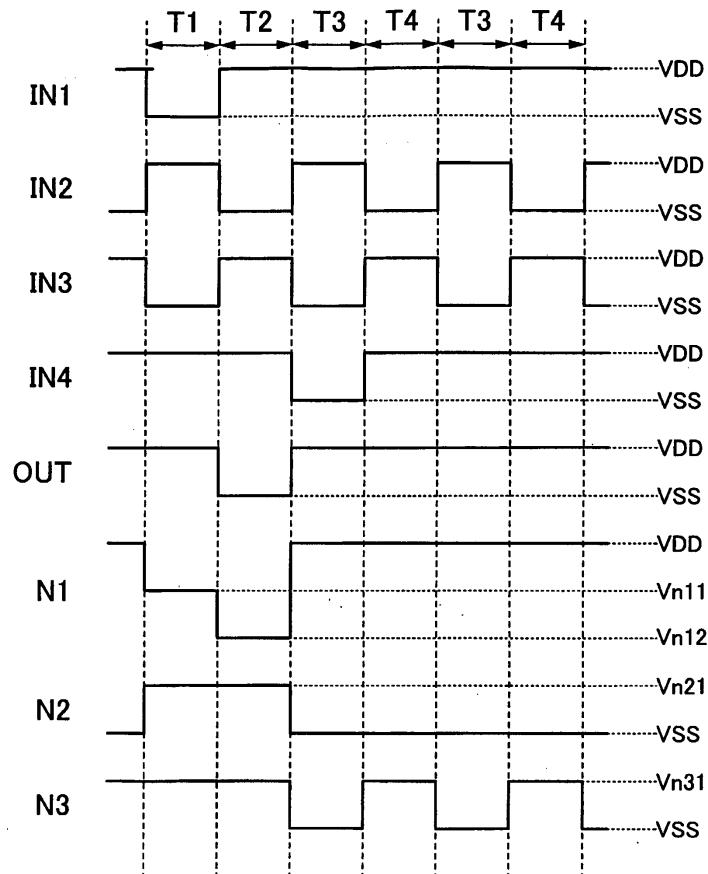
도면10



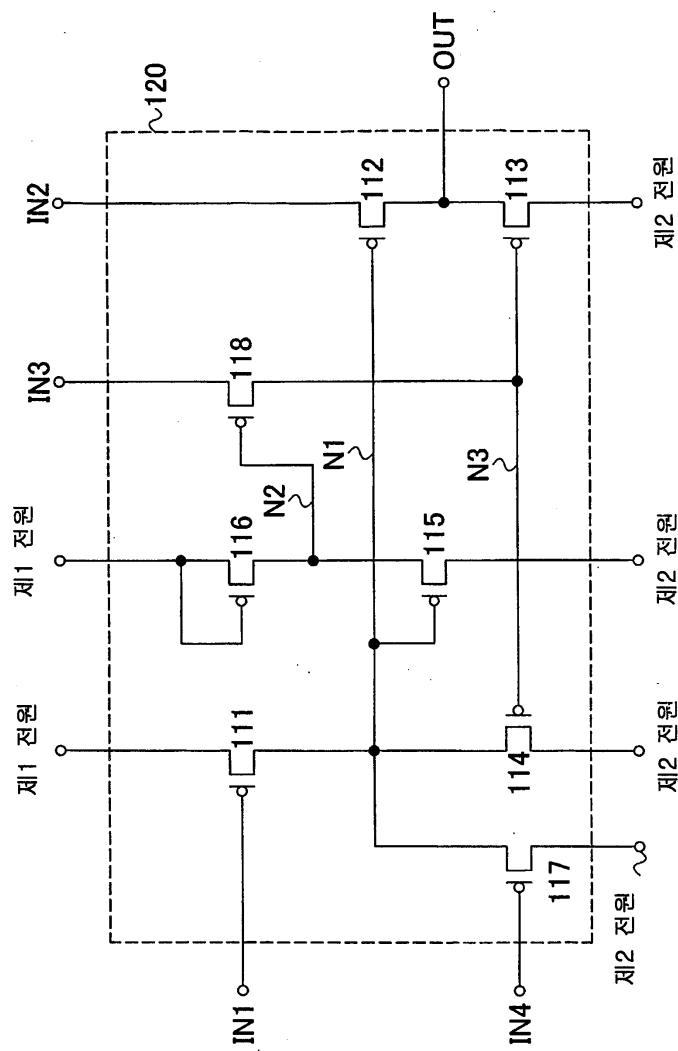
도면11



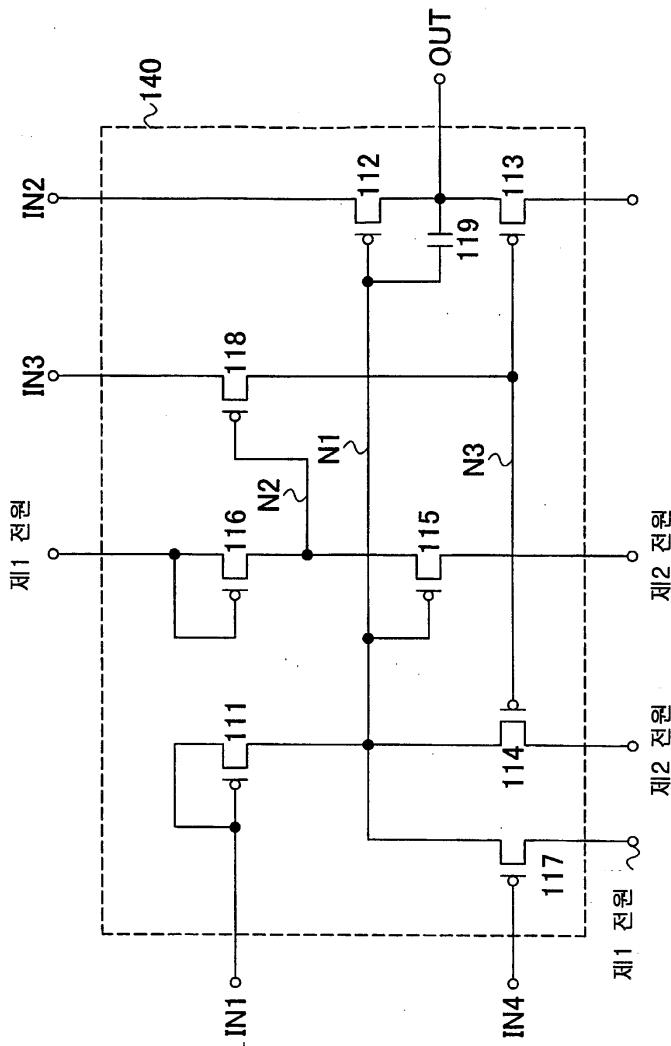
## 도면12



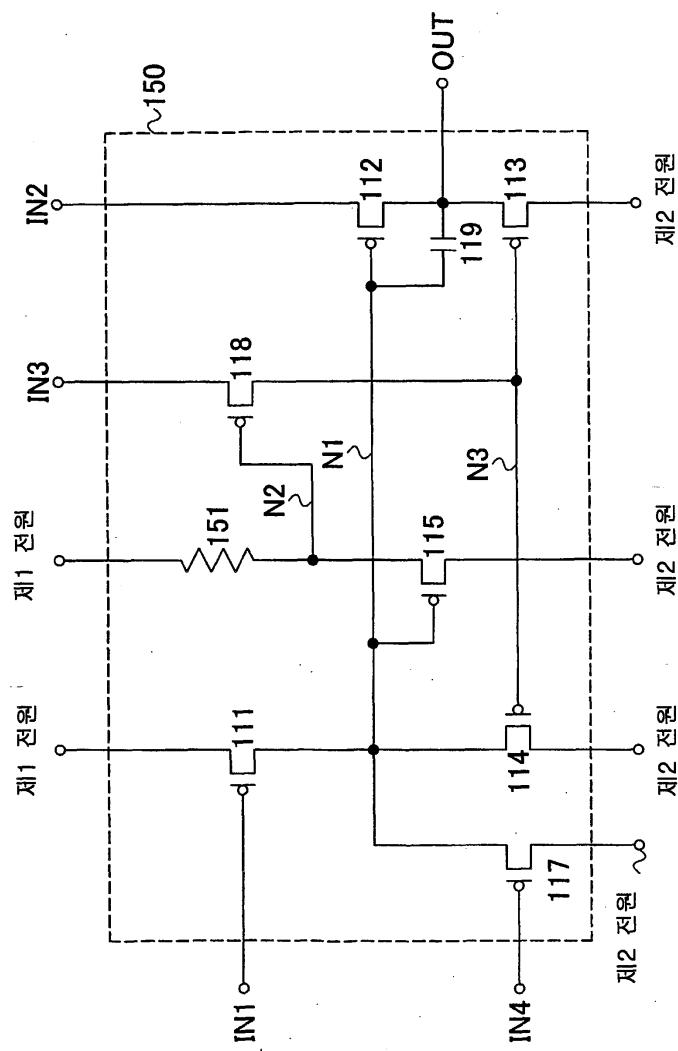
도면13



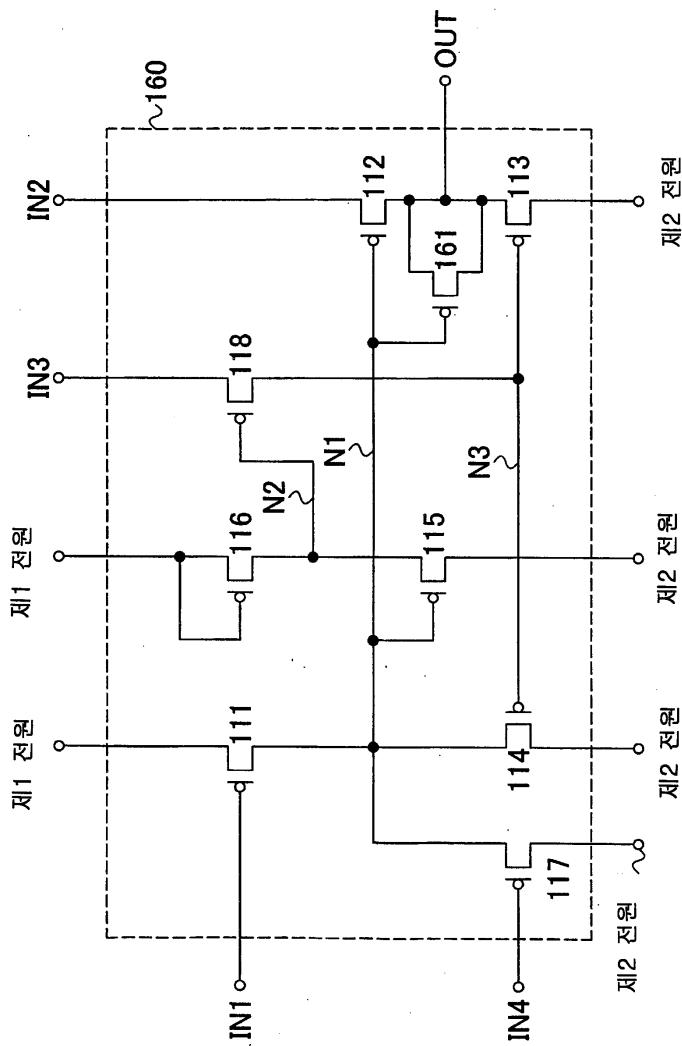
도면14



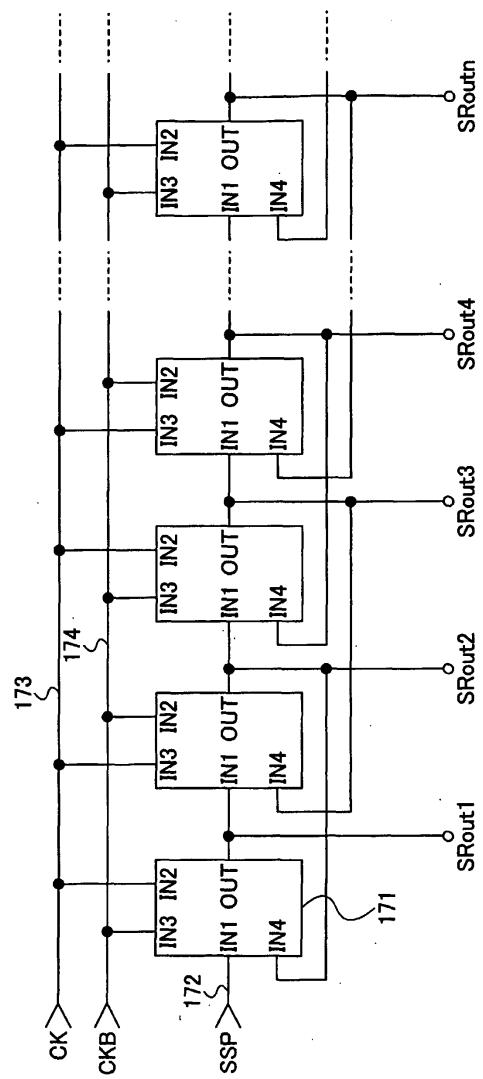
### 도면15



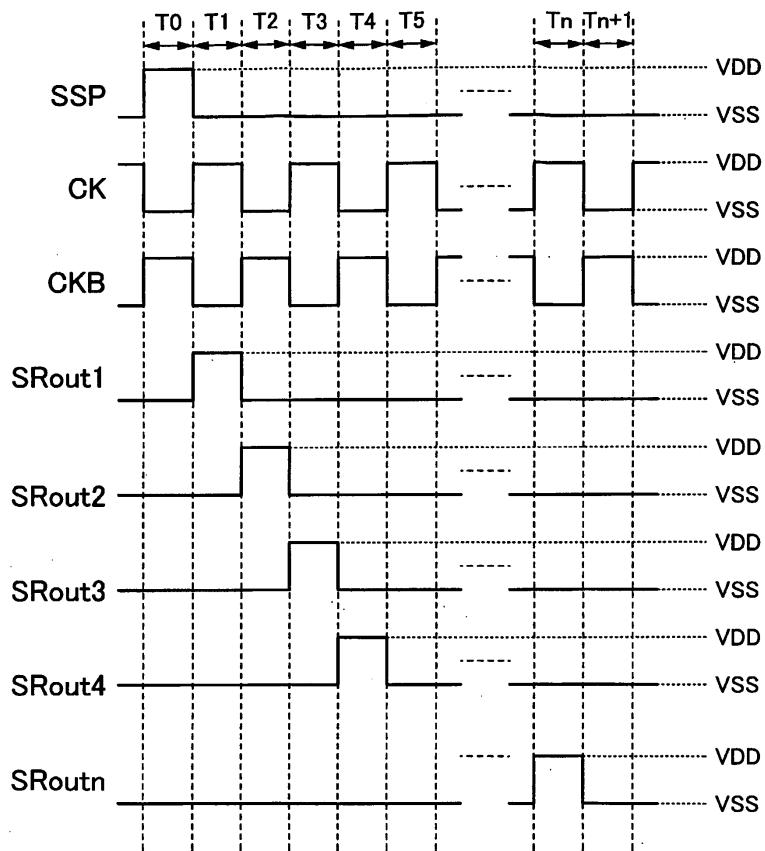
도면16



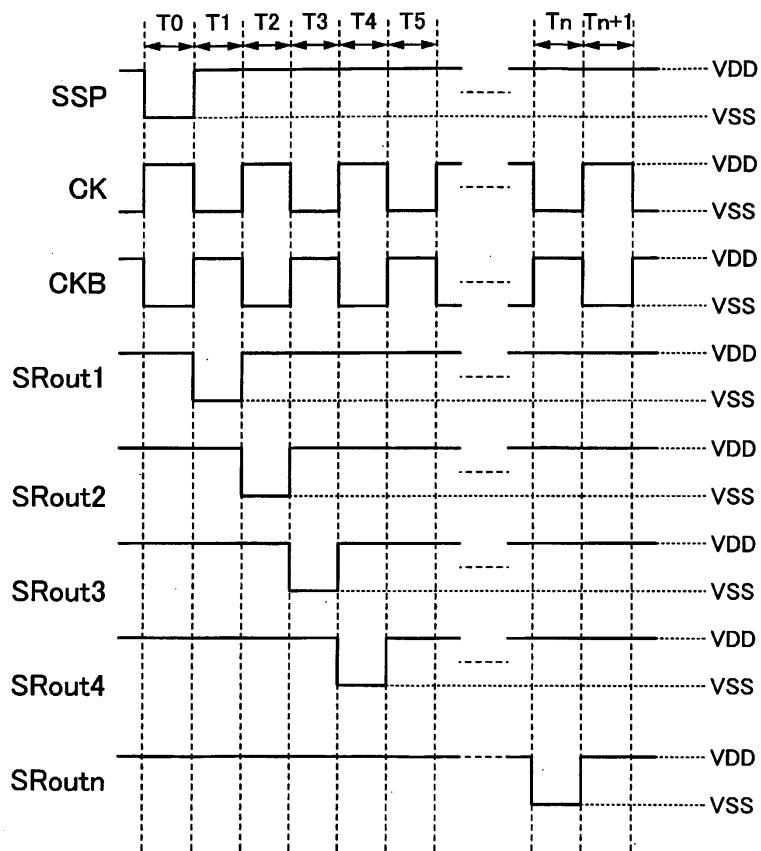
도면17



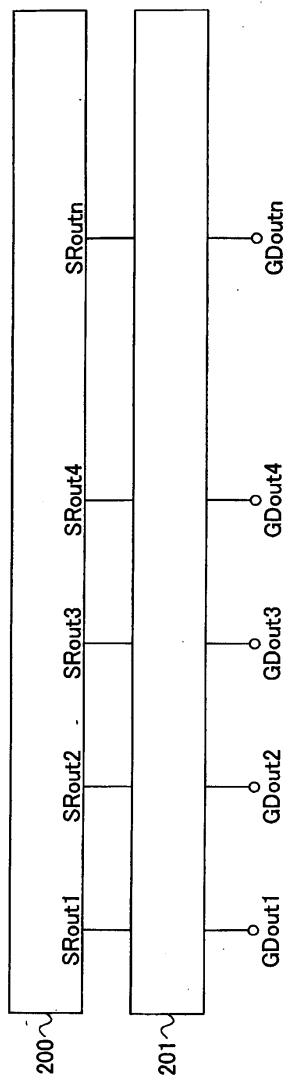
## 도면18



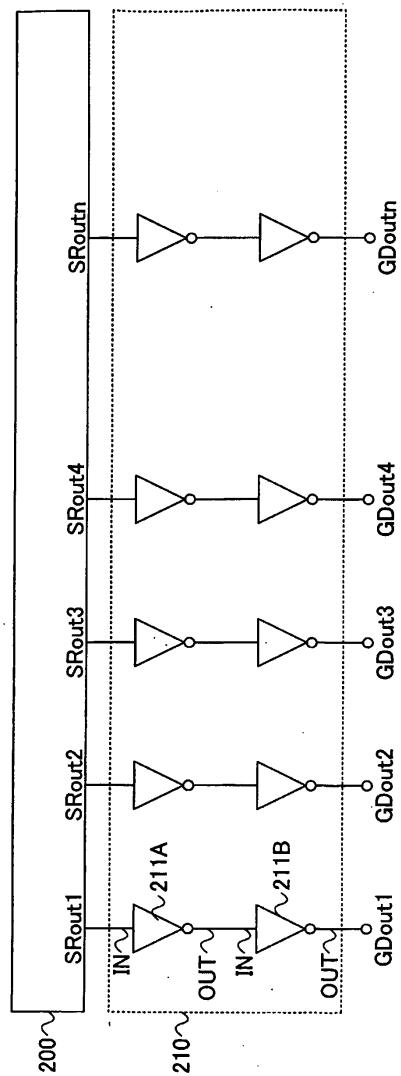
도면19



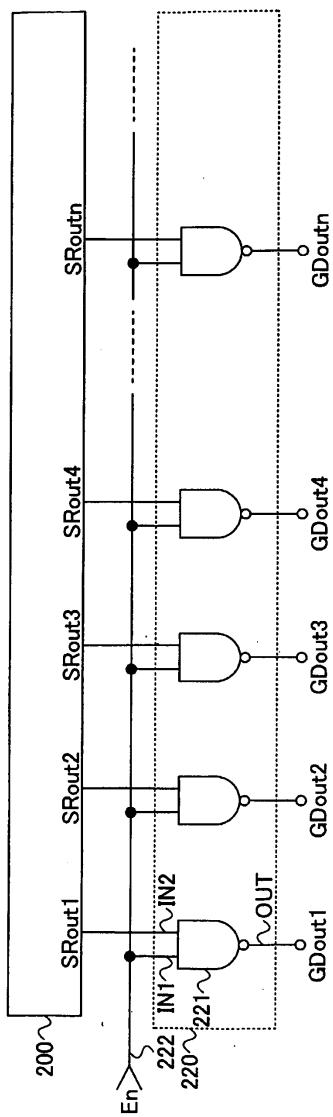
도면20



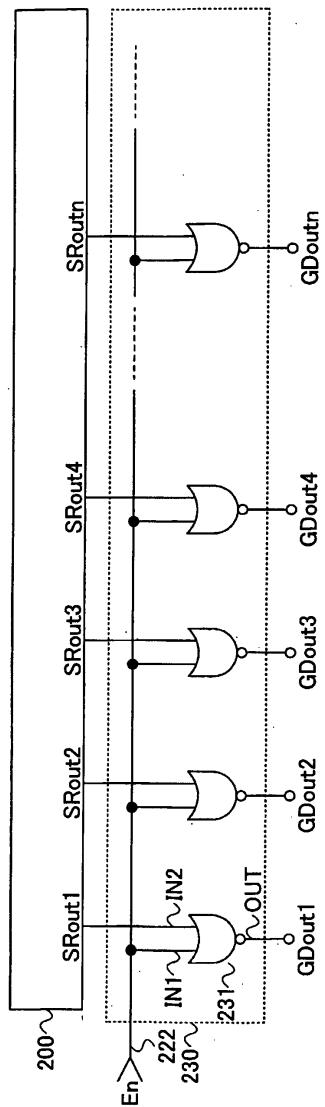
도면21



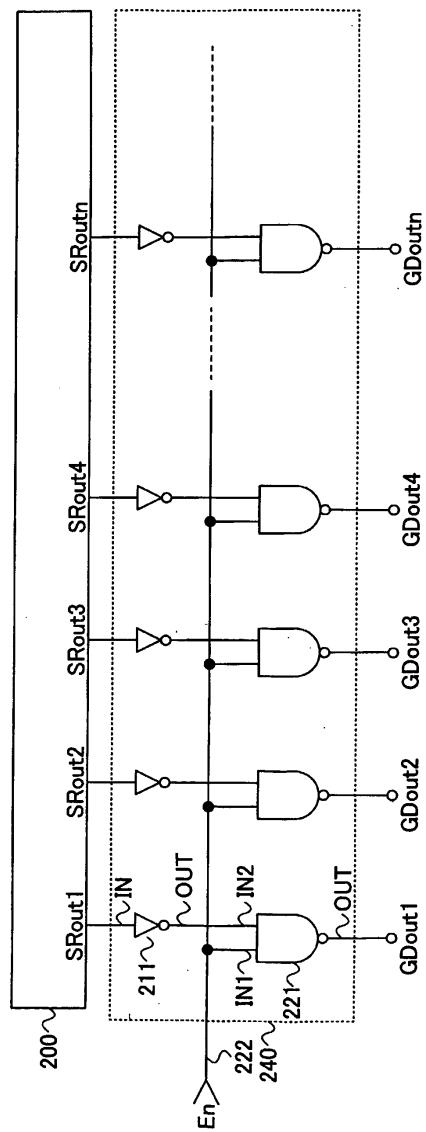
## 도면22



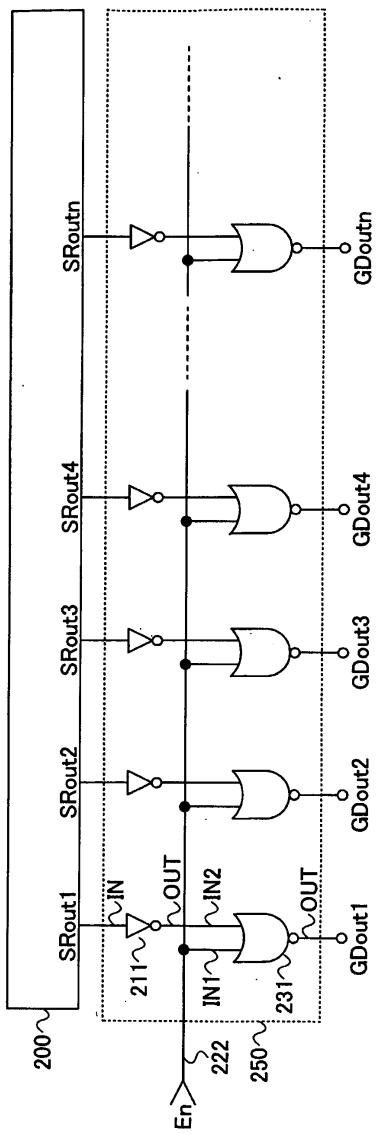
도면23



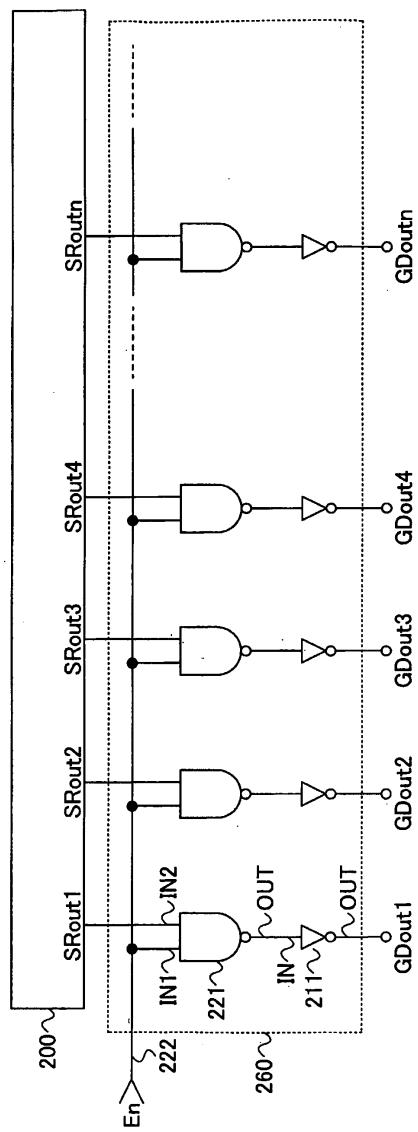
## 도면24



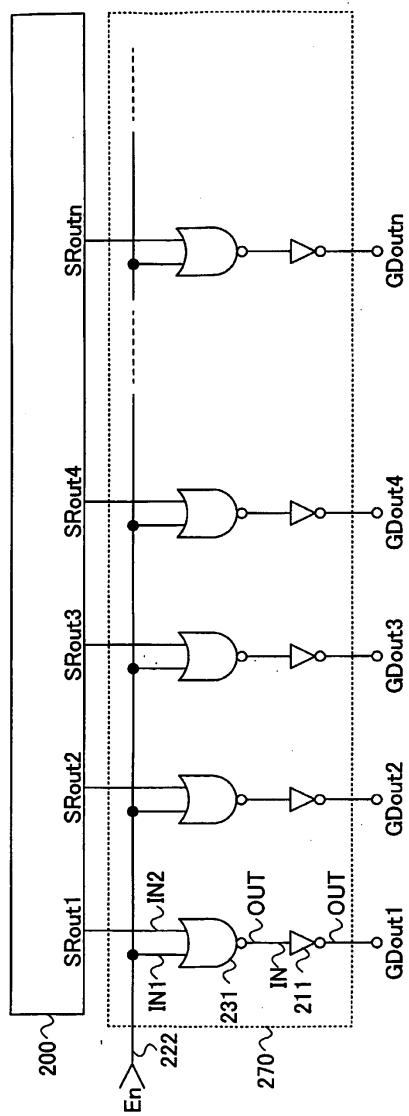
도면25



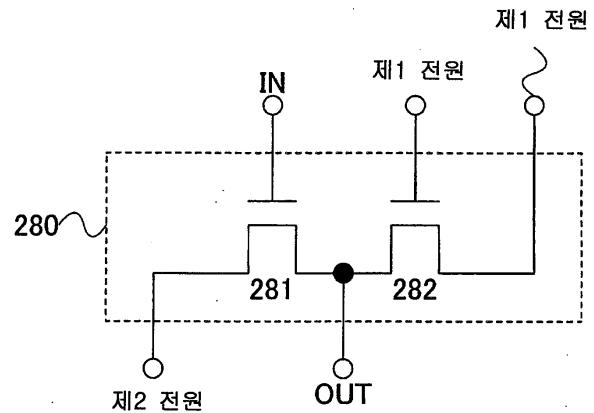
도면26



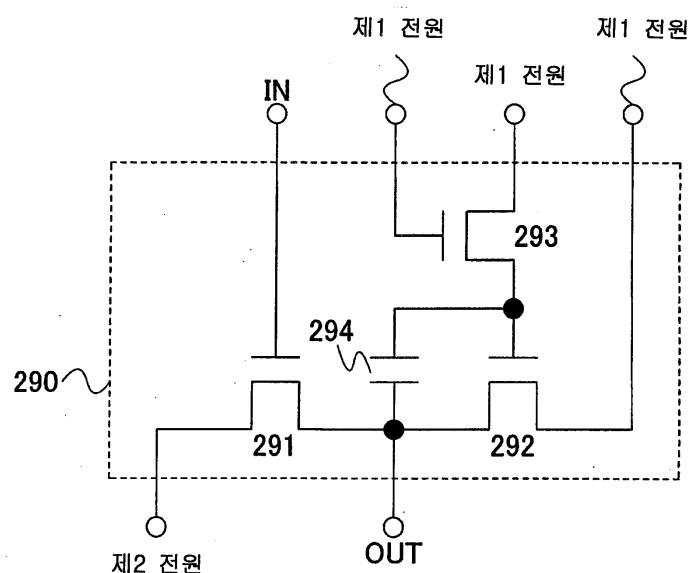
도면27



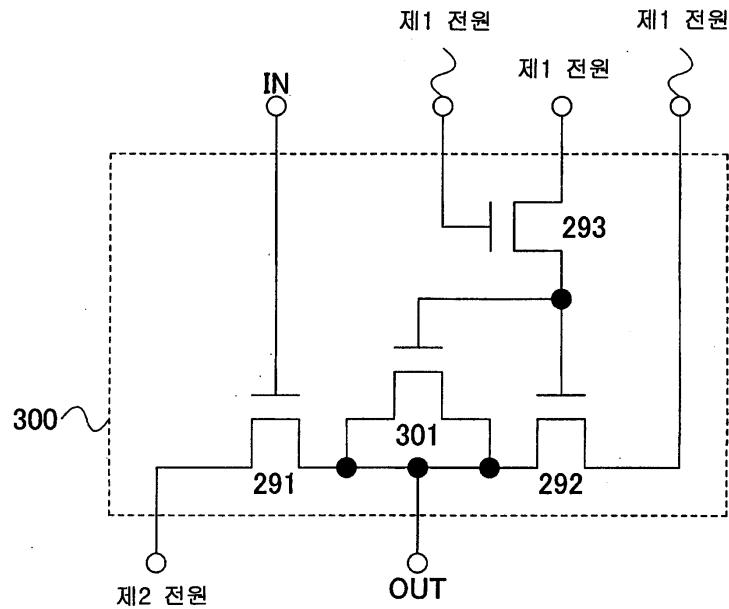
도면28



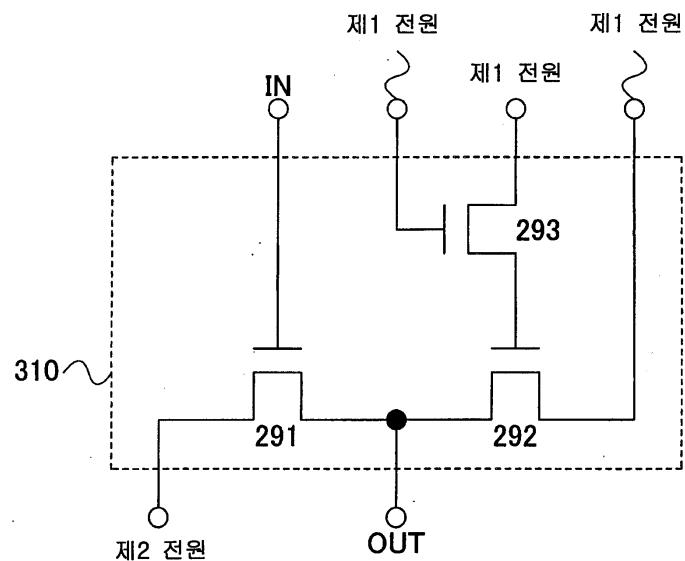
도면29



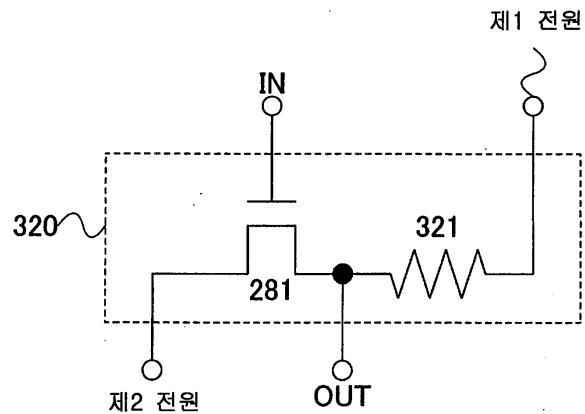
도면30



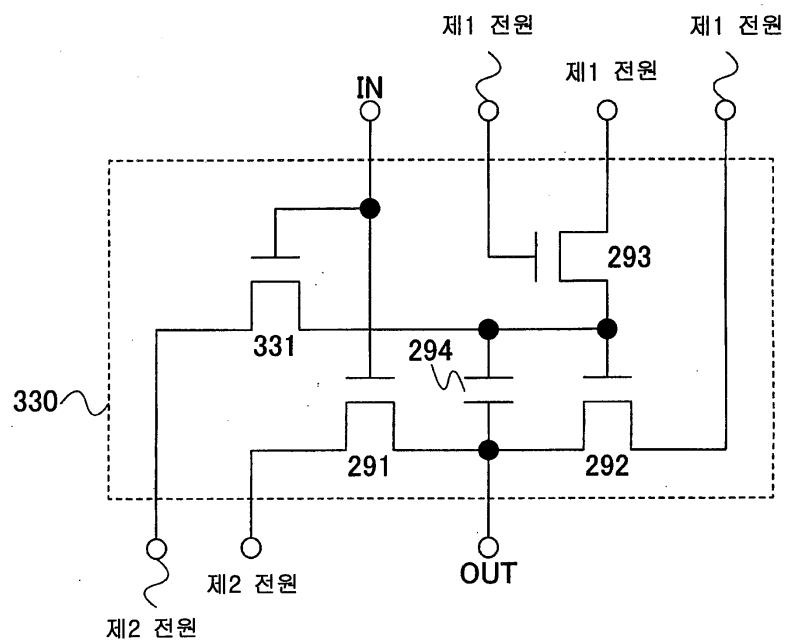
도면31



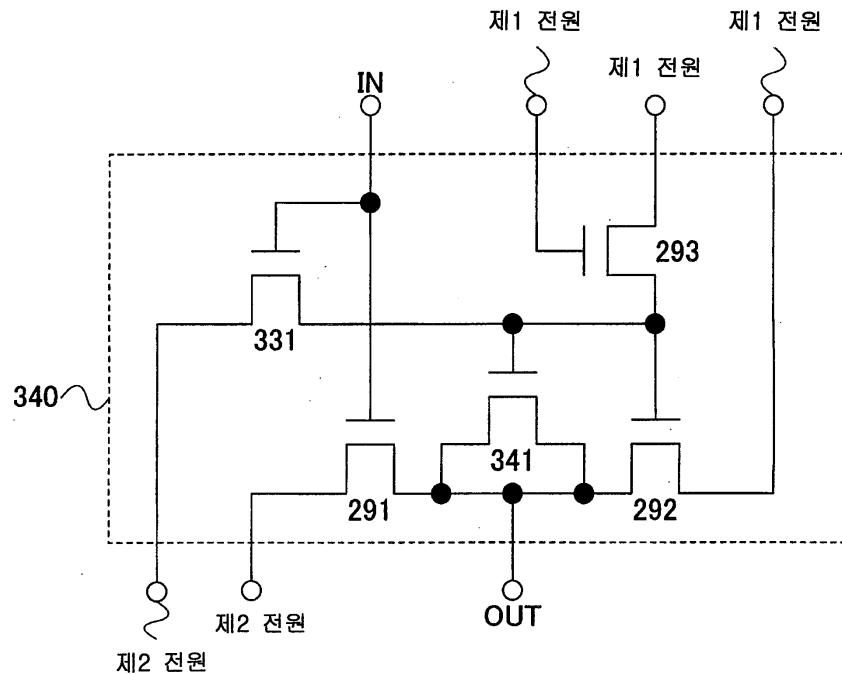
도면32



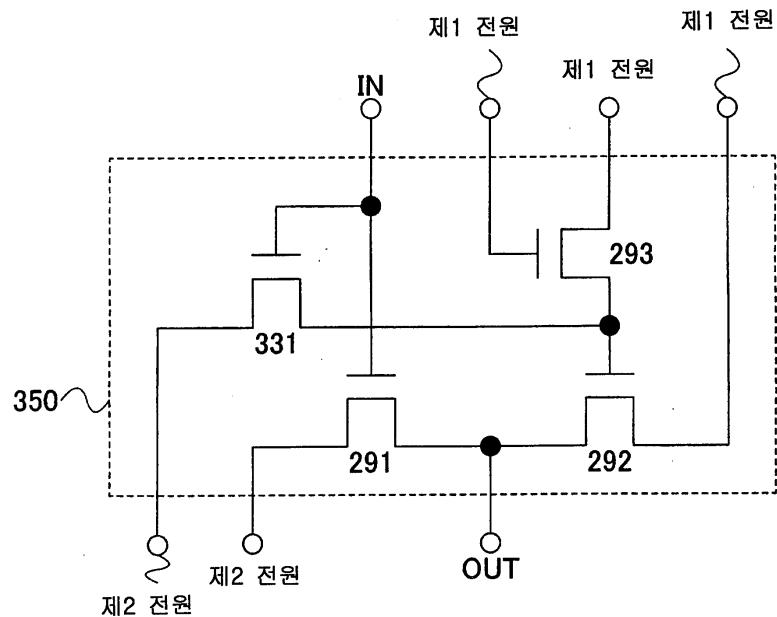
도면33



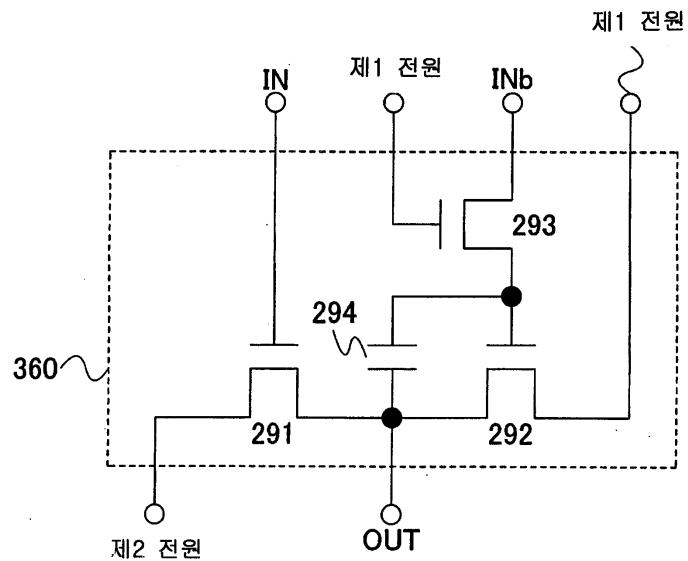
도면34



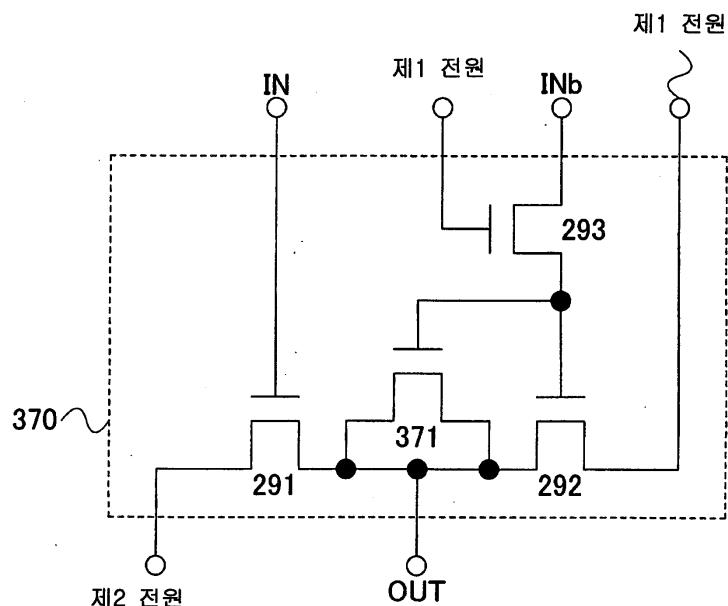
도면35



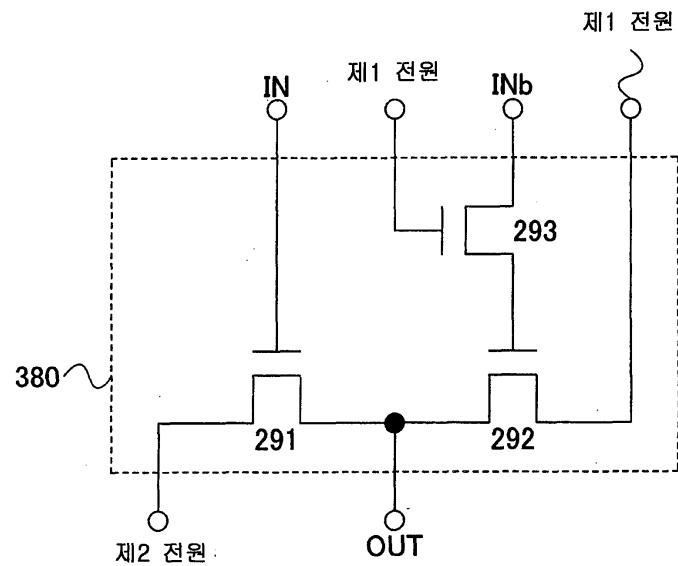
도면36



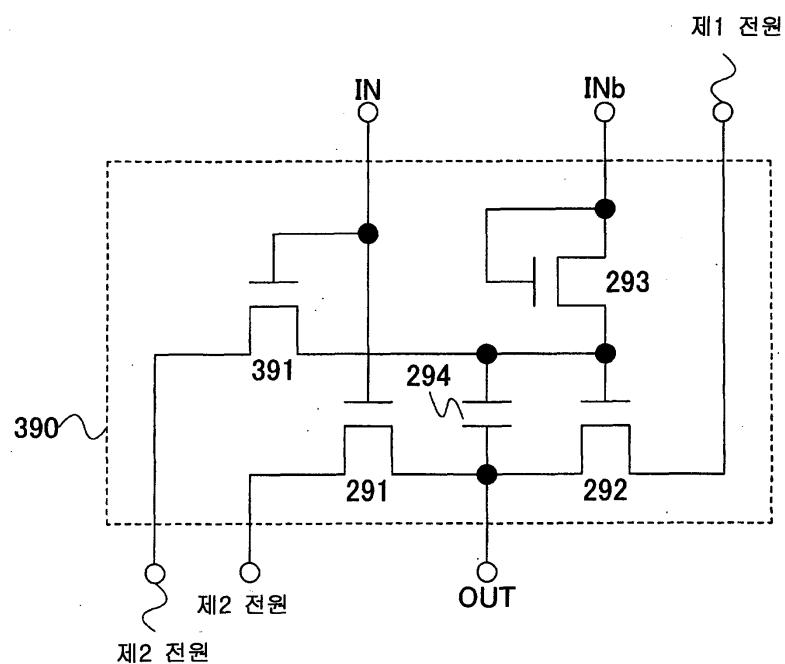
도면37



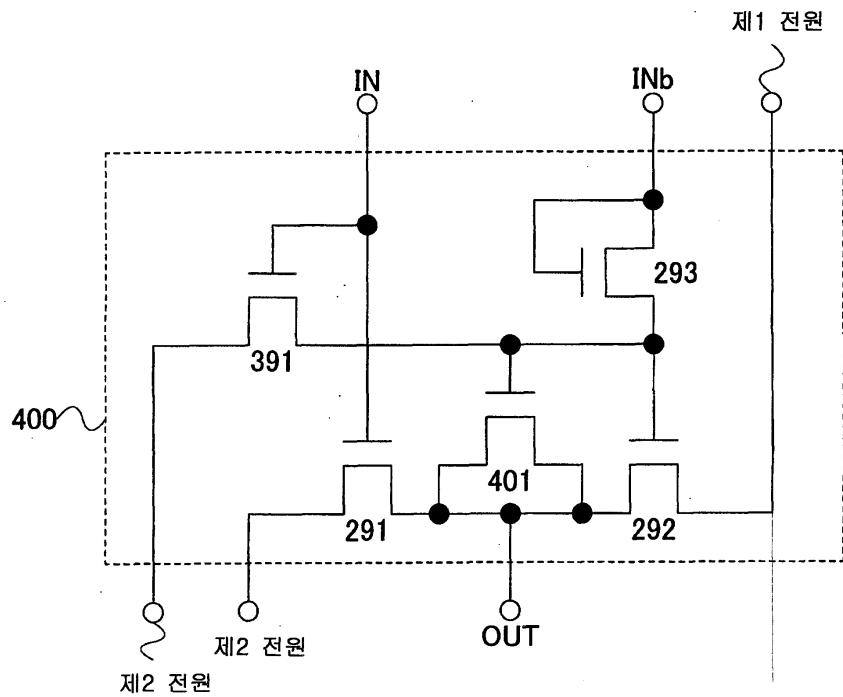
도면38



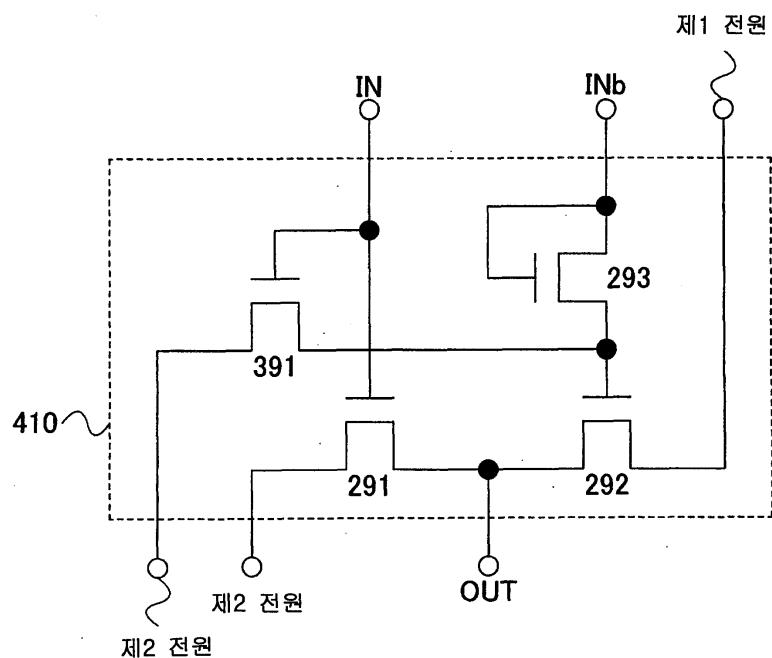
도면39



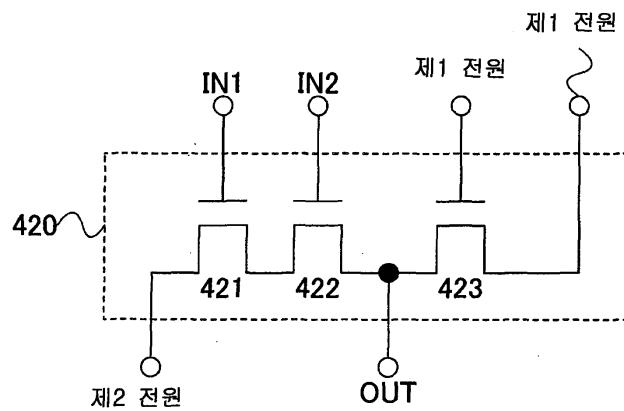
도면40



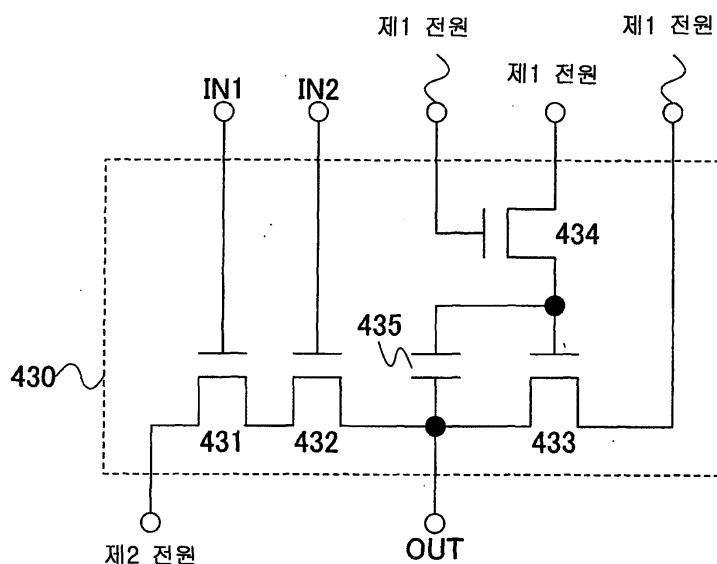
도면41



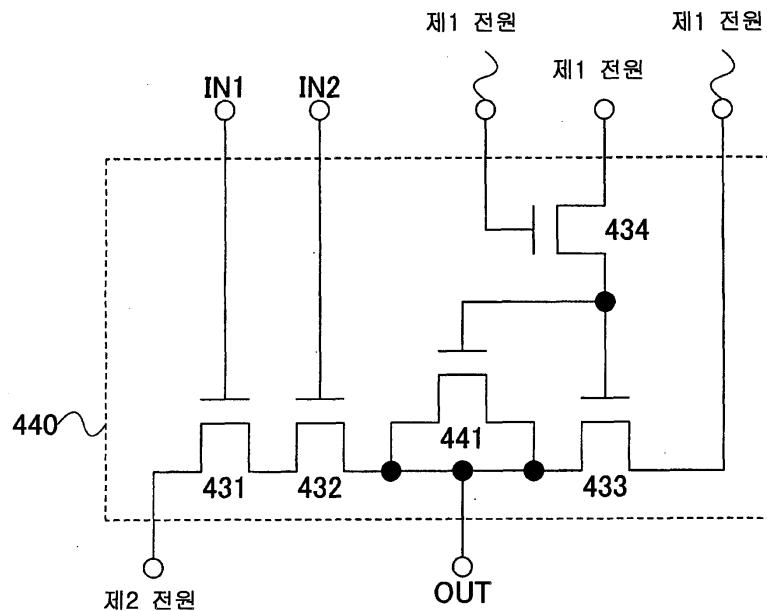
## 도면42



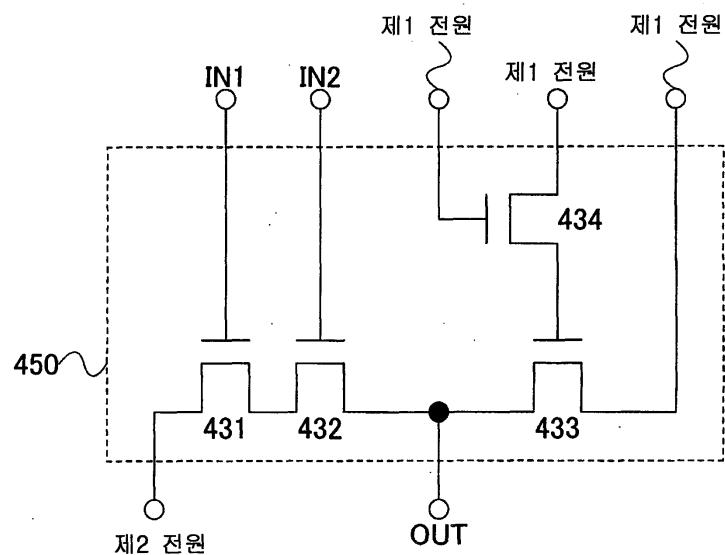
도면43



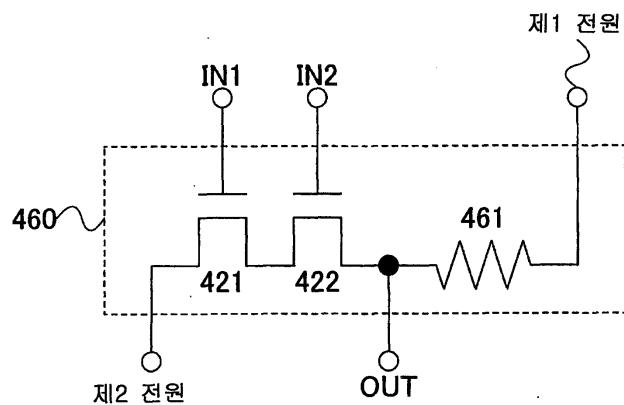
도면44



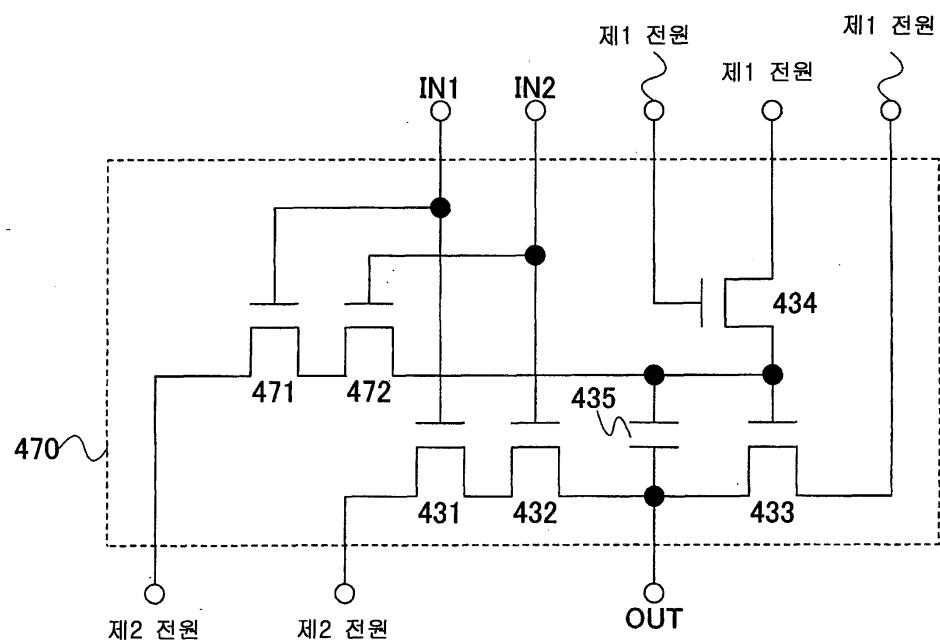
도면45



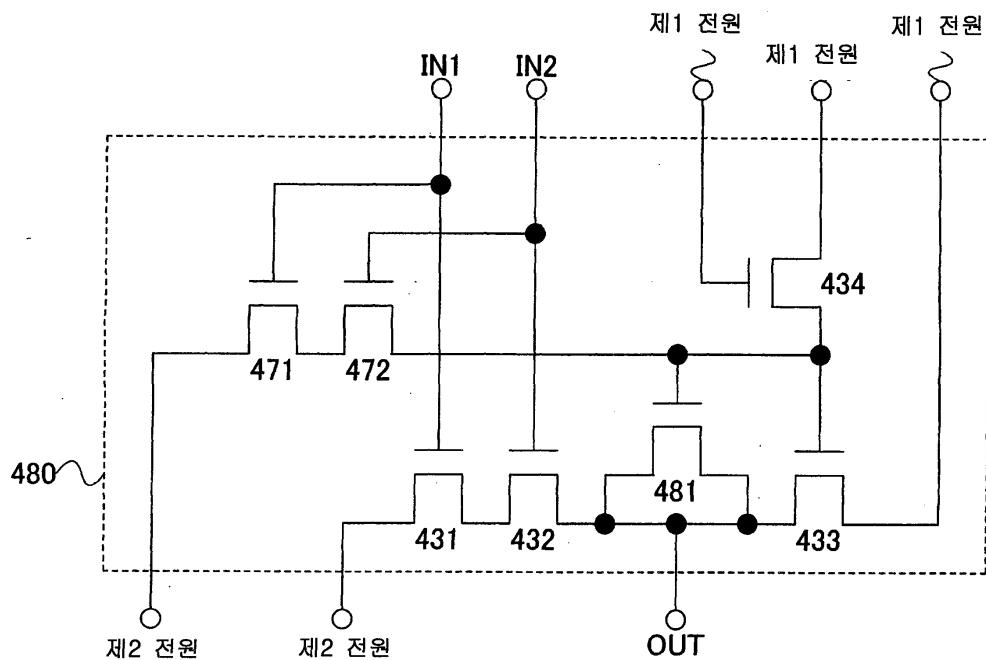
도면46



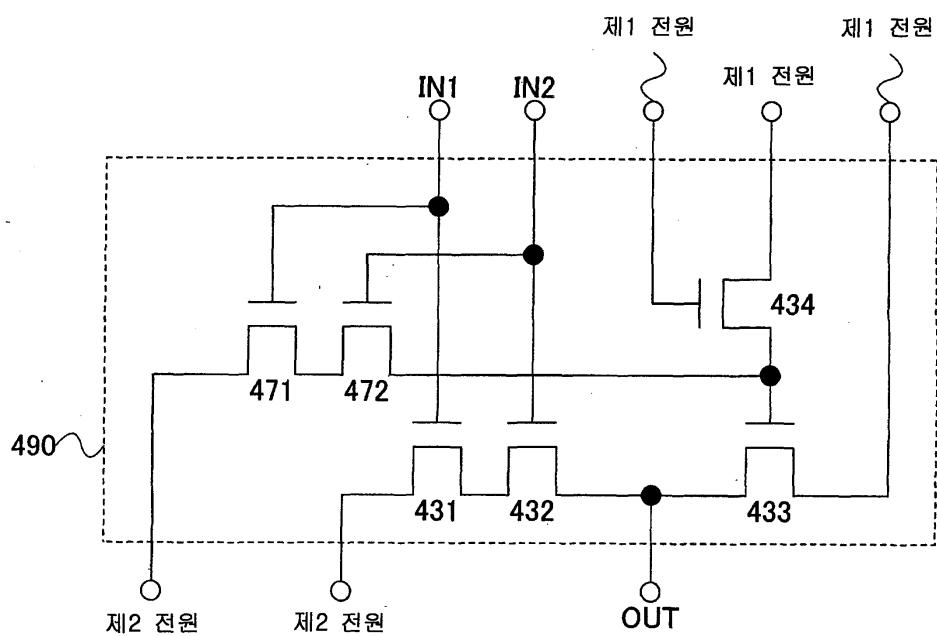
도면47



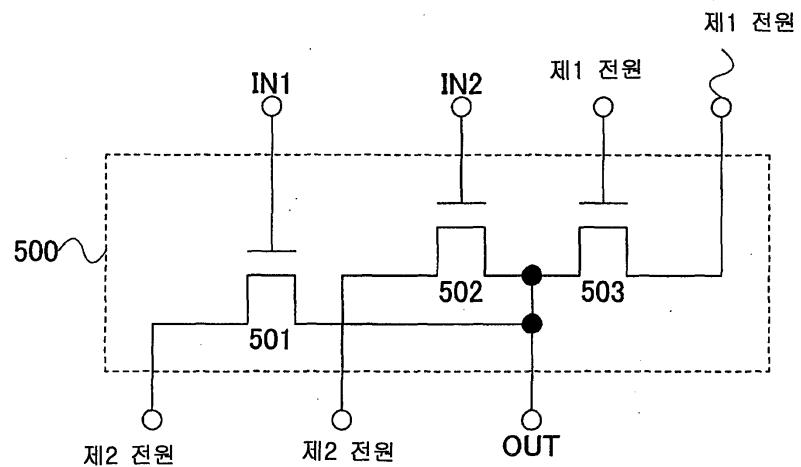
도면48



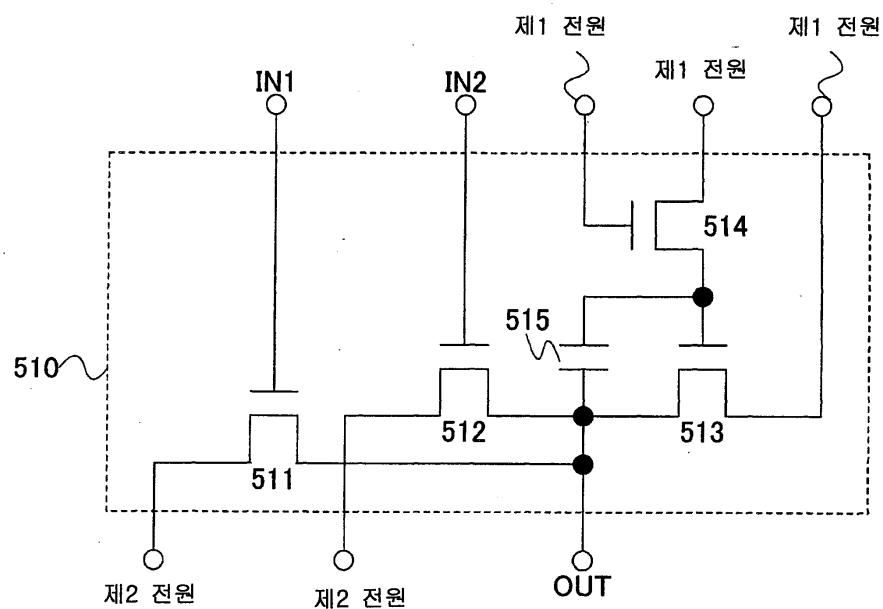
도면49



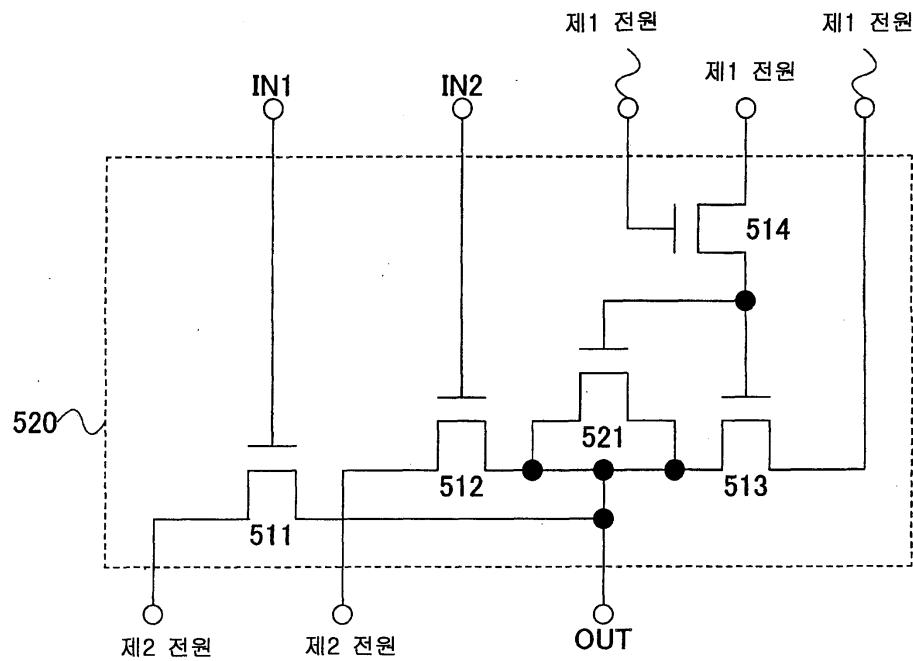
도면50



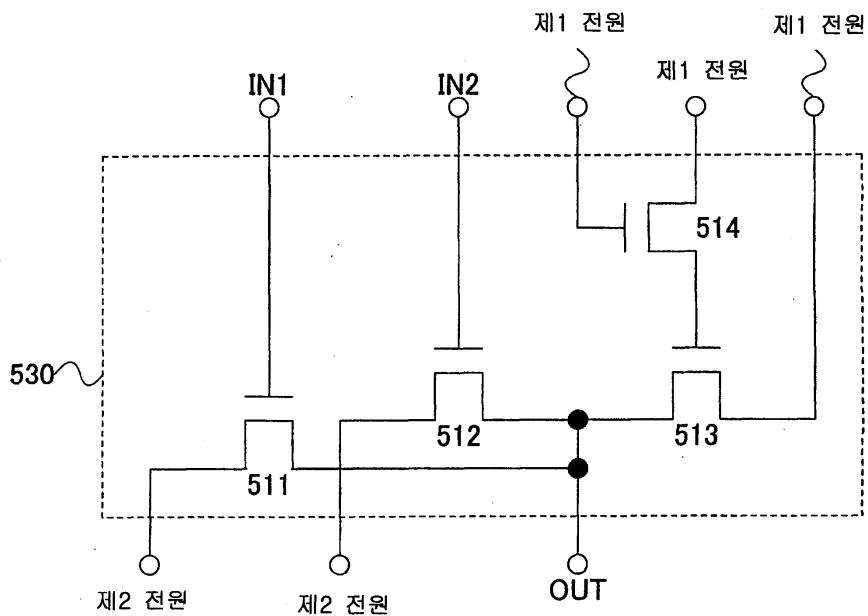
도면51



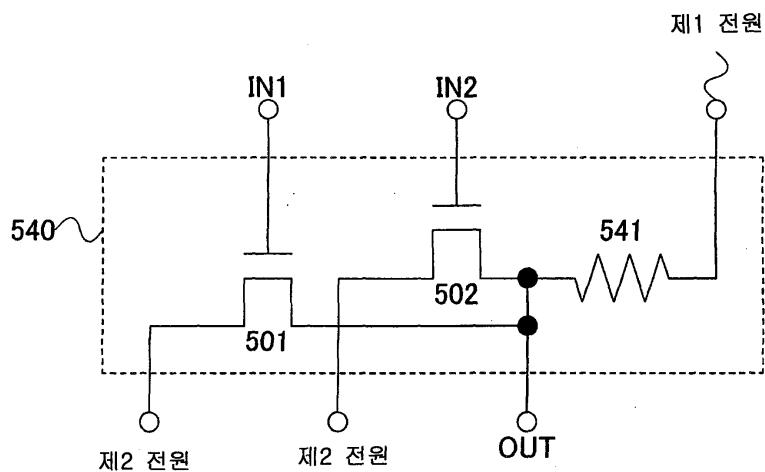
도면52



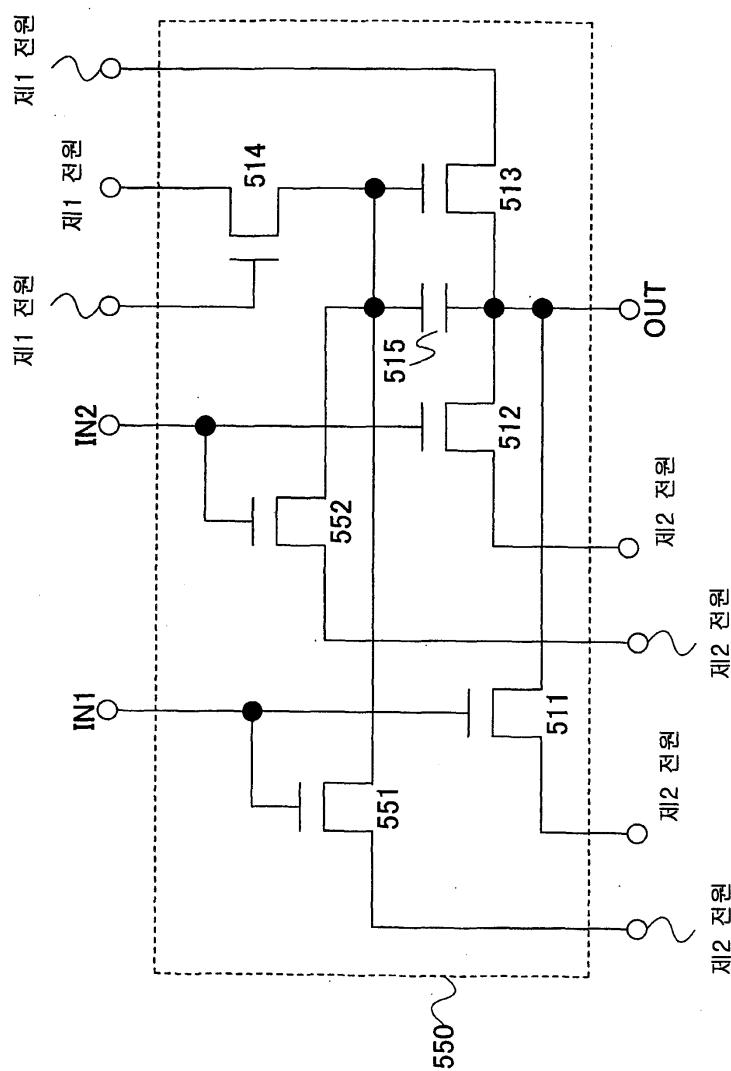
도면53



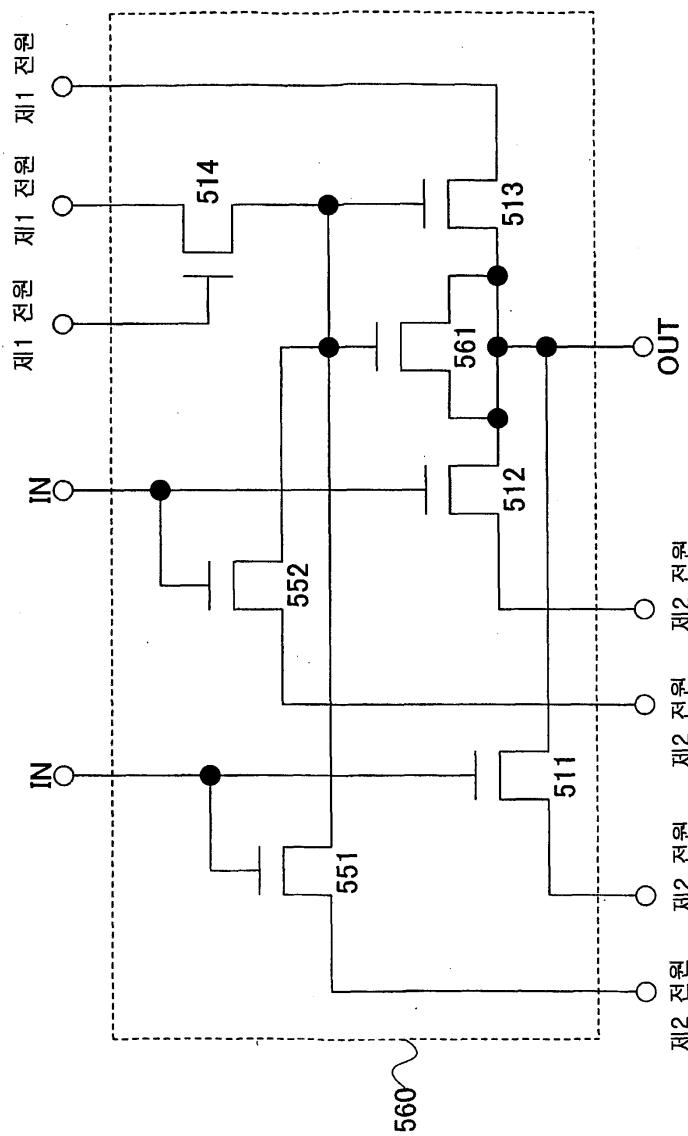
도면54



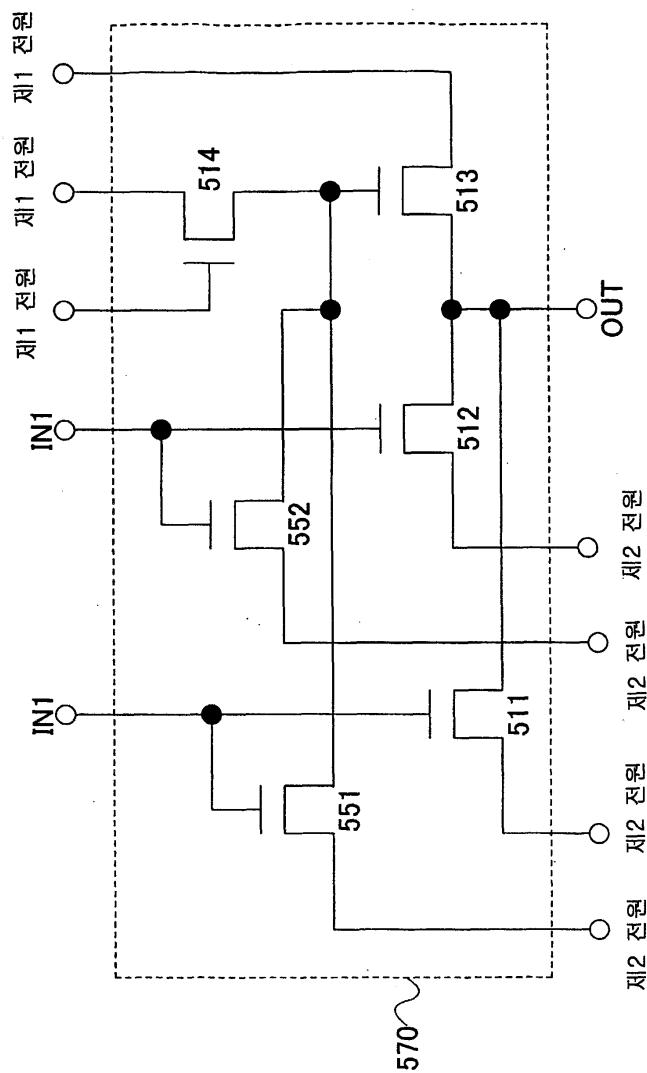
도면55



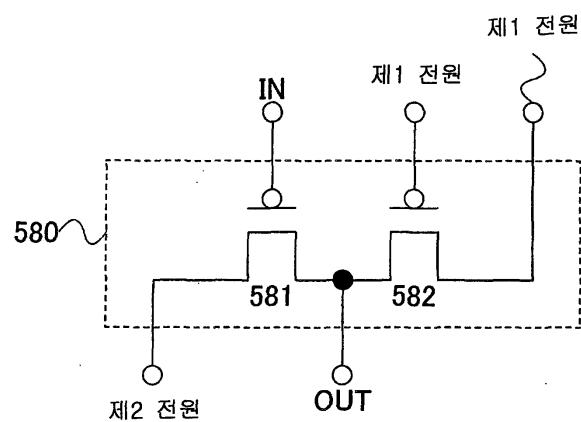
도면56



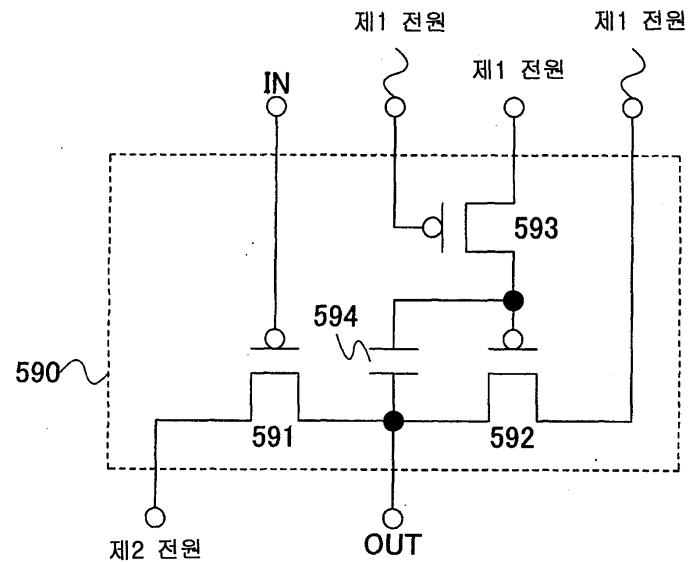
도면57



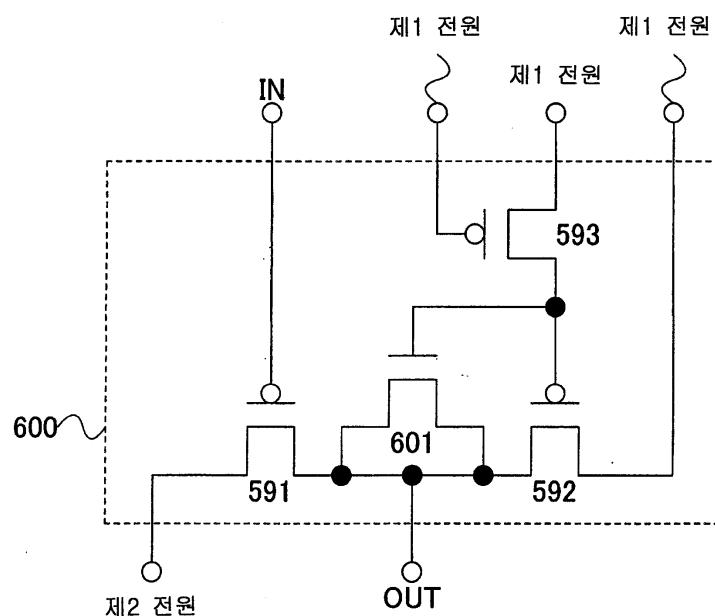
도면58



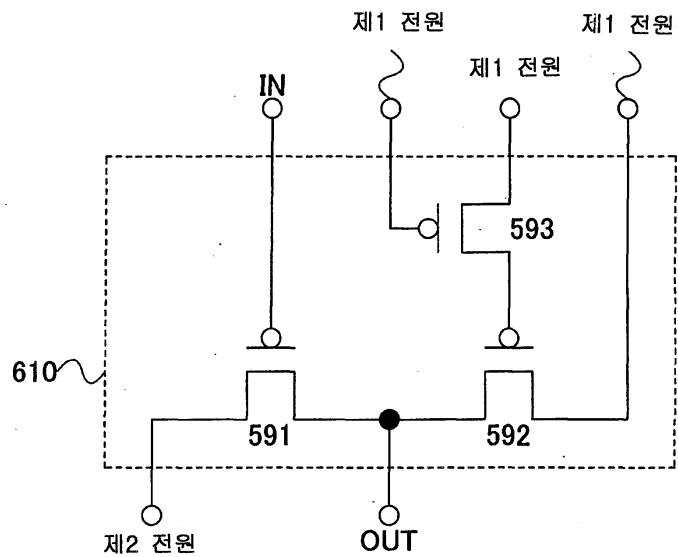
도면59



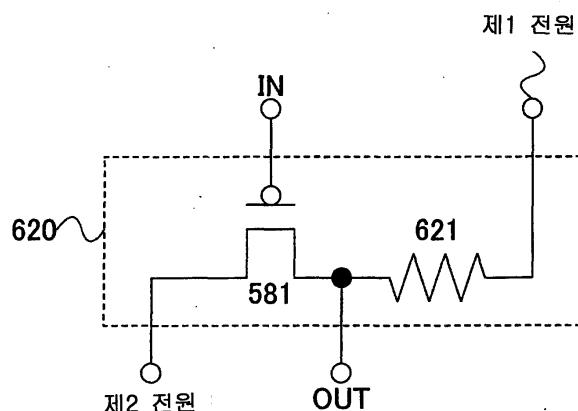
도면60



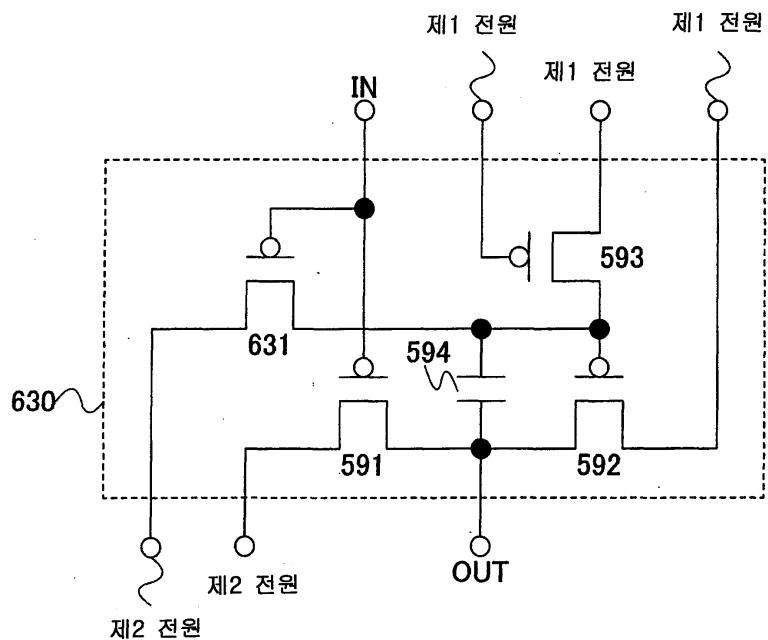
도면61



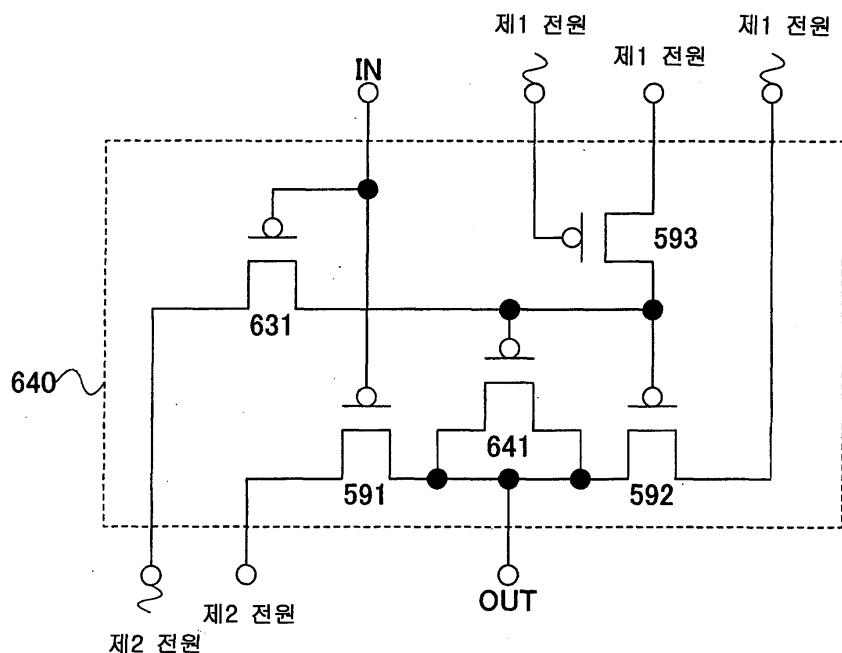
도면62



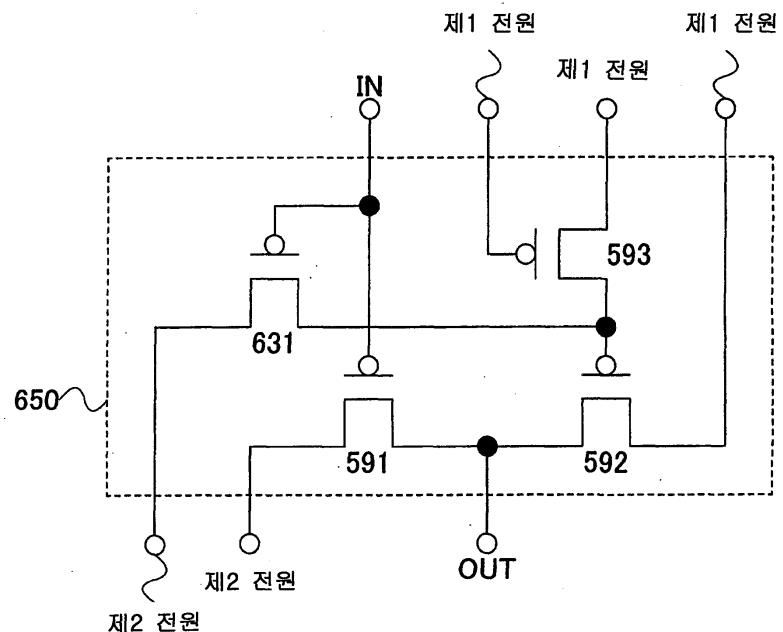
도면63



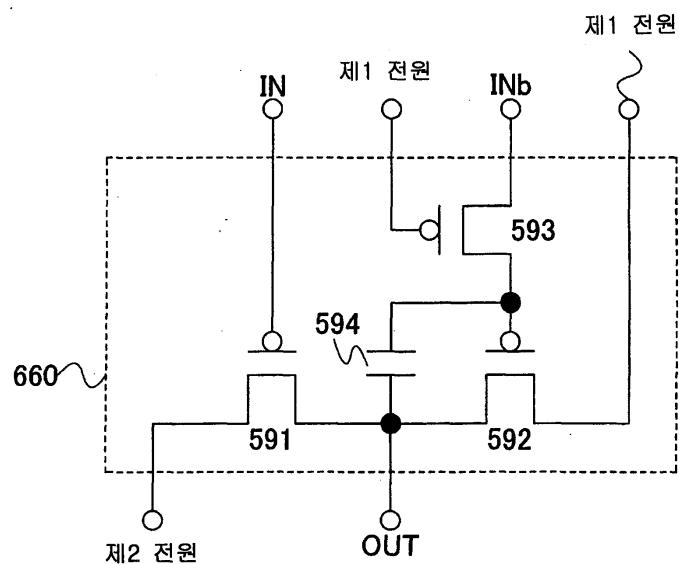
도면64



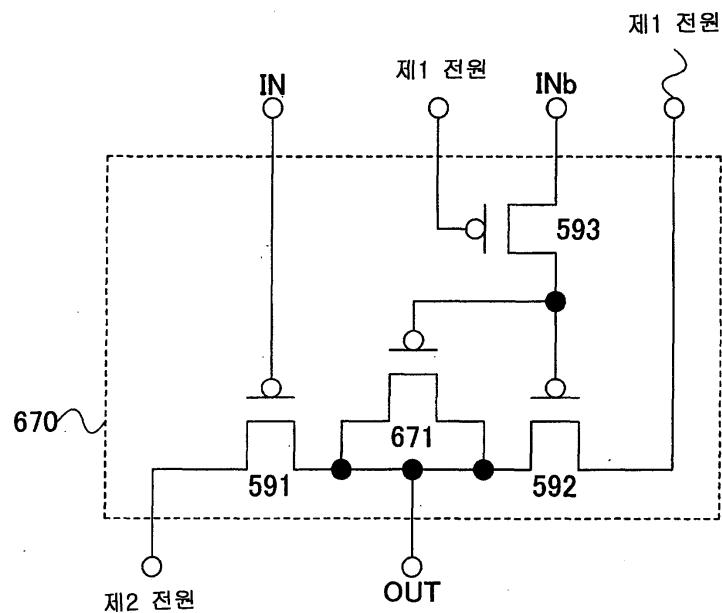
도면65



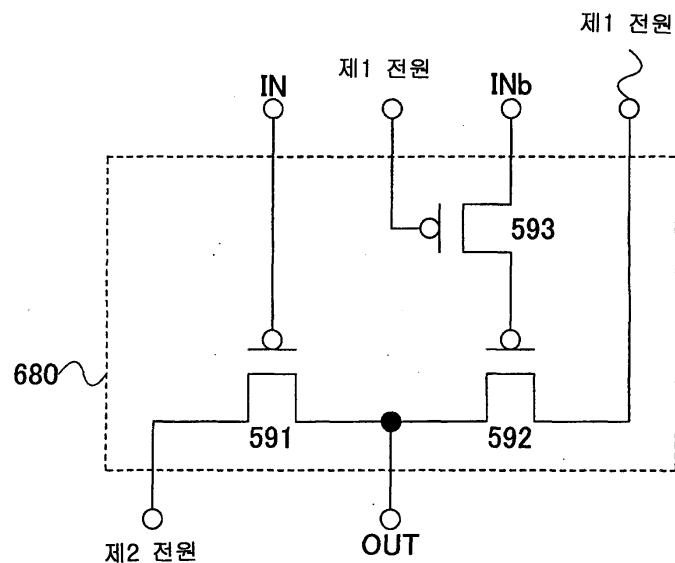
도면66



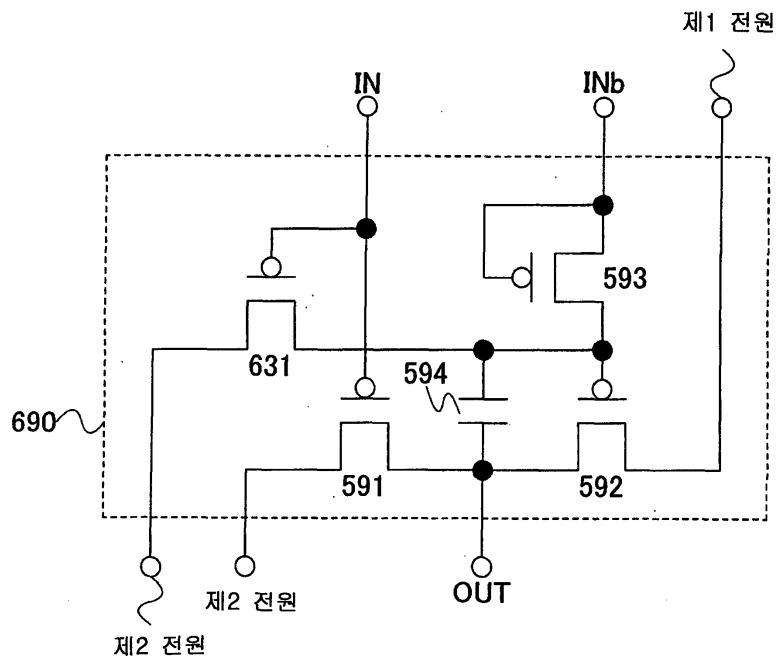
도면67



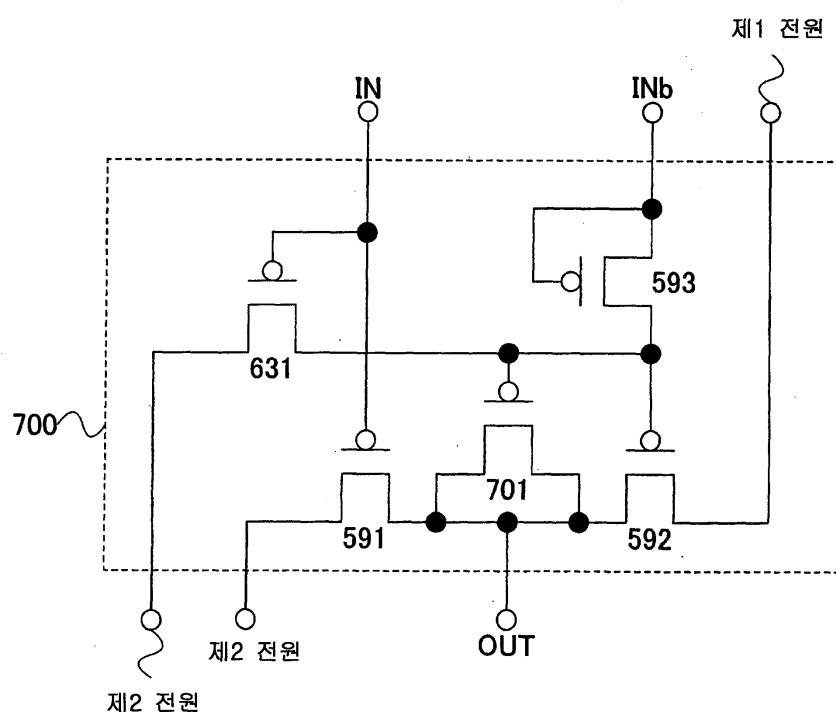
도면68



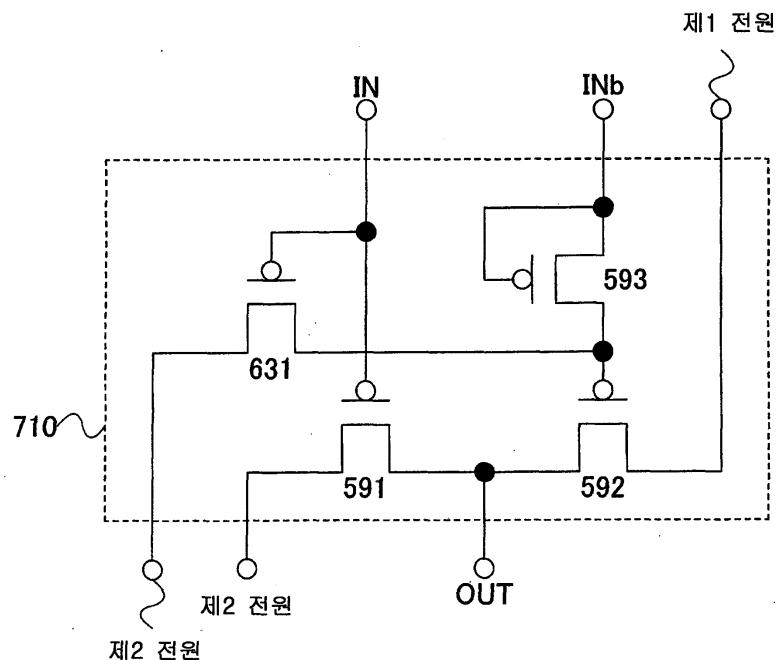
도면69



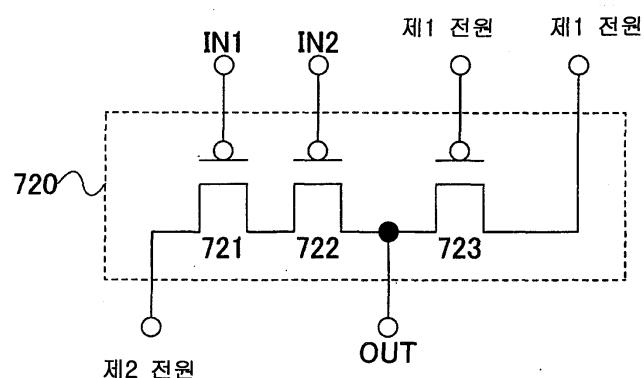
도면70



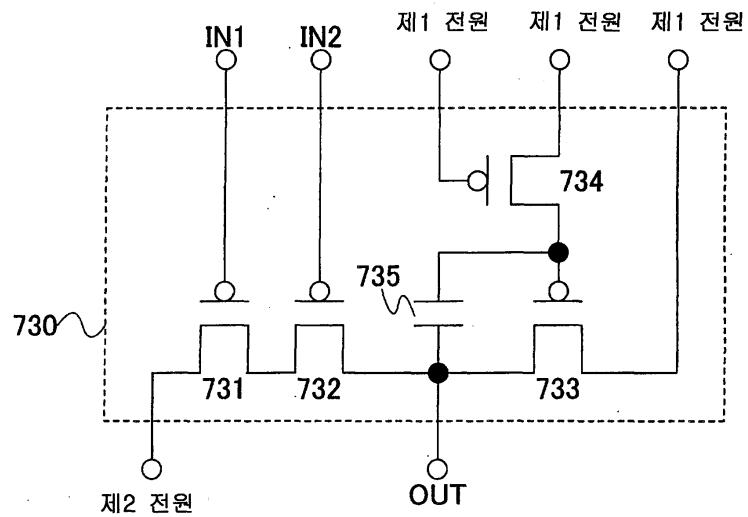
도면71



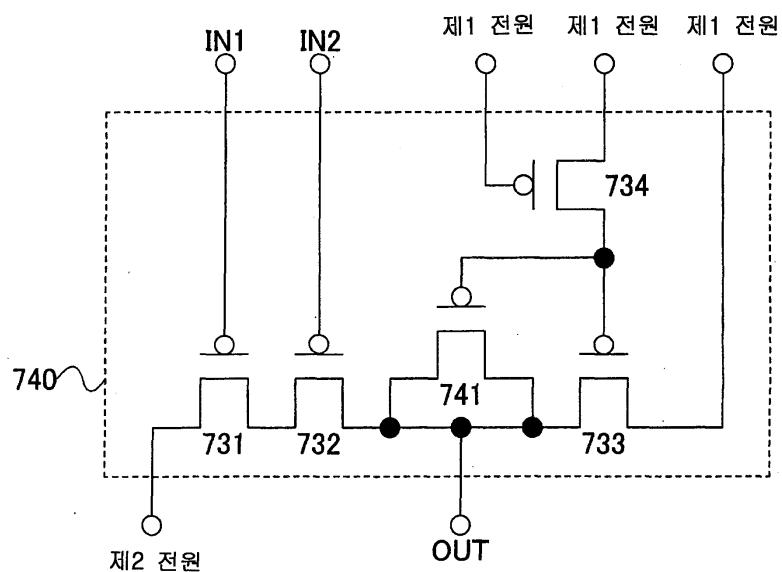
도면72



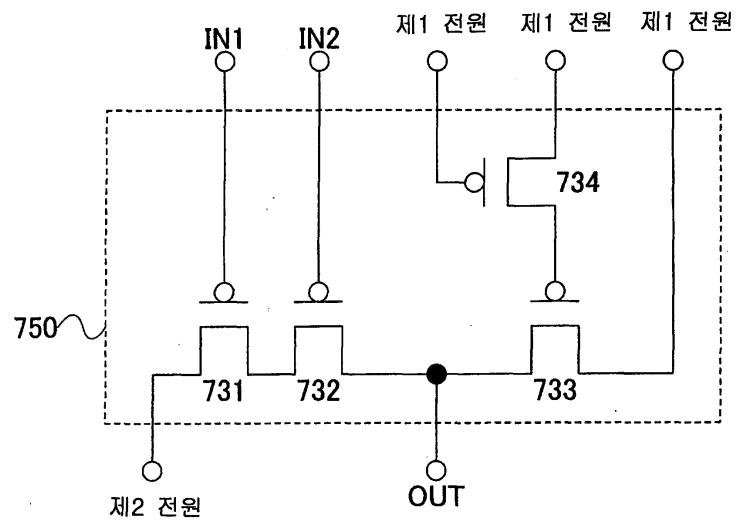
도면73



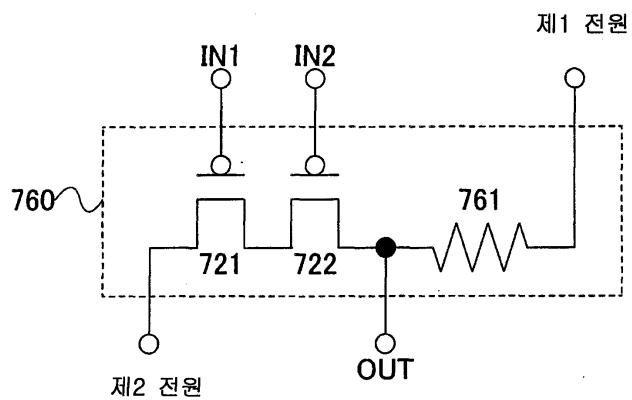
도면74



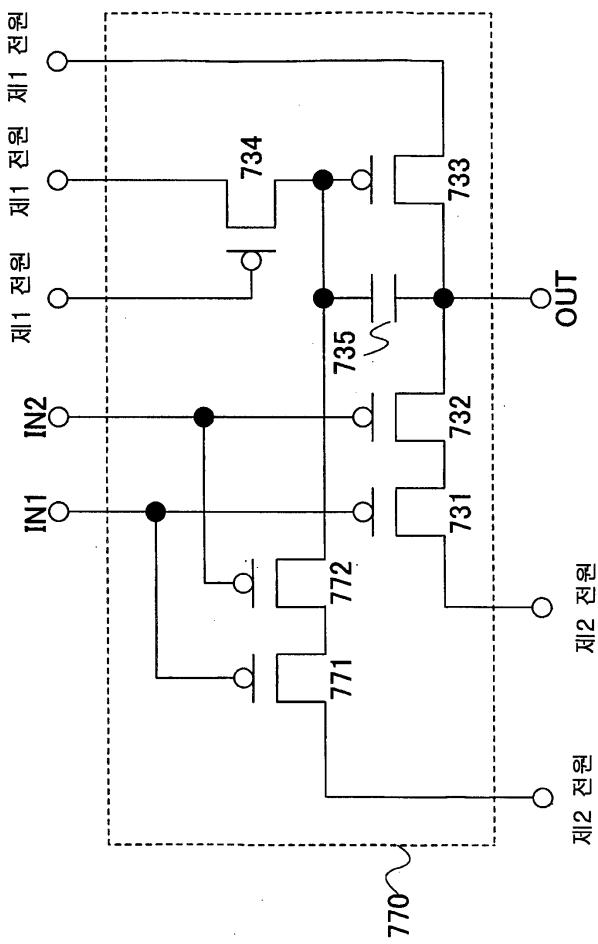
도면75



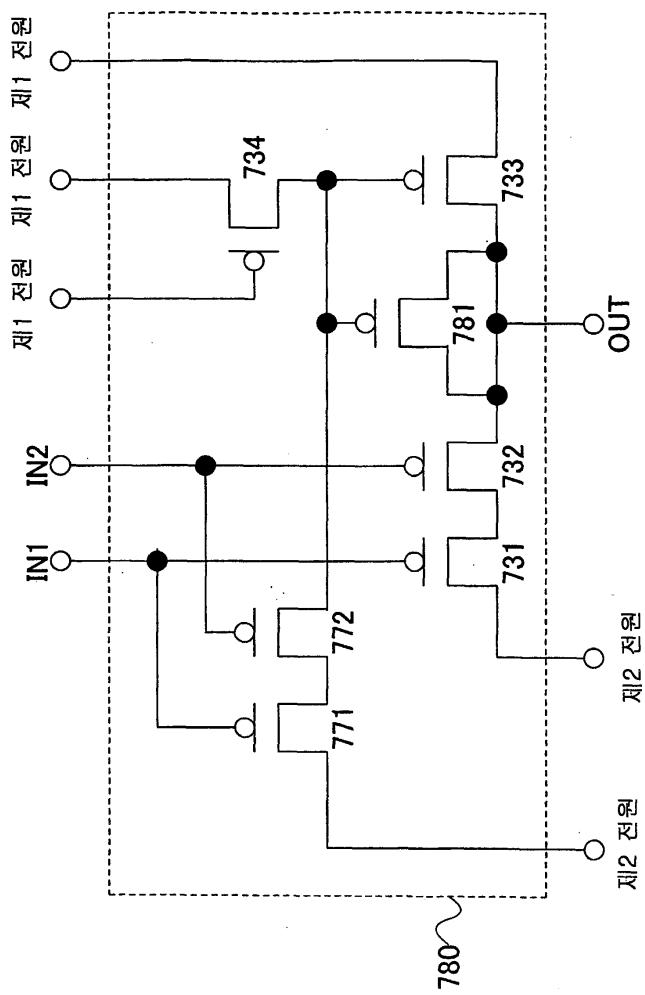
도면76



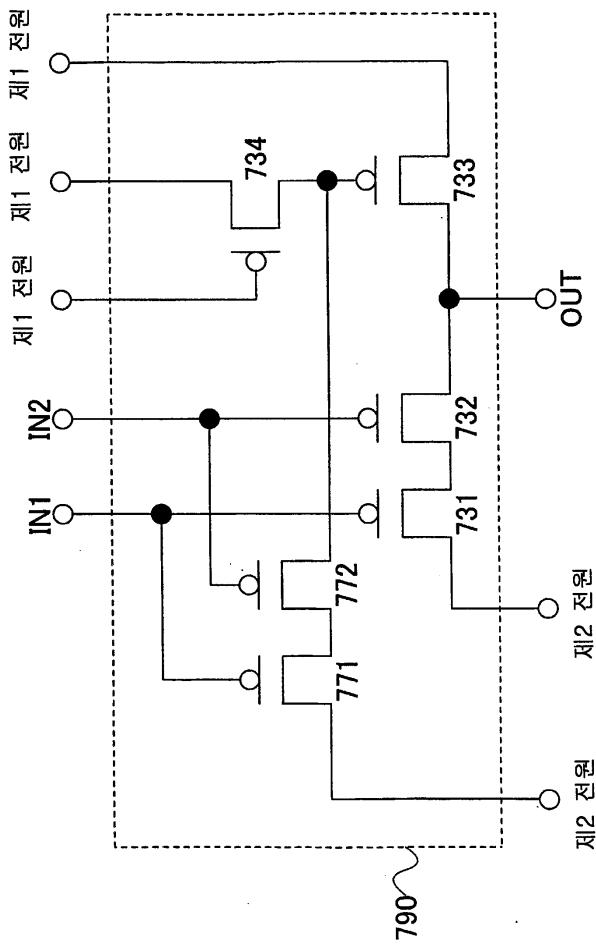
도면77



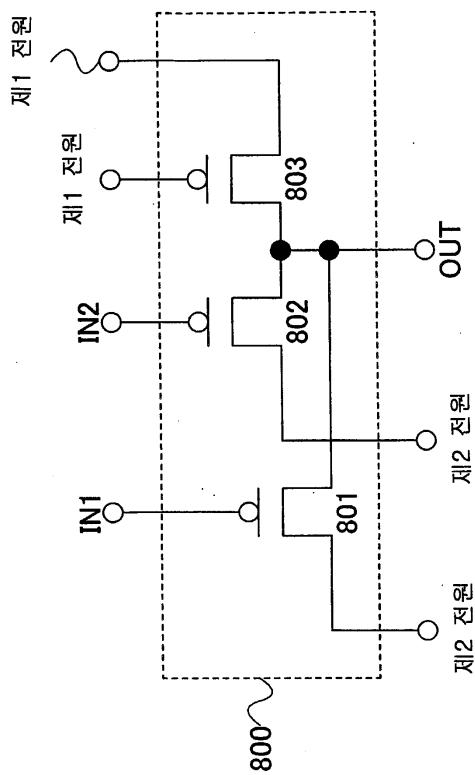
도면78



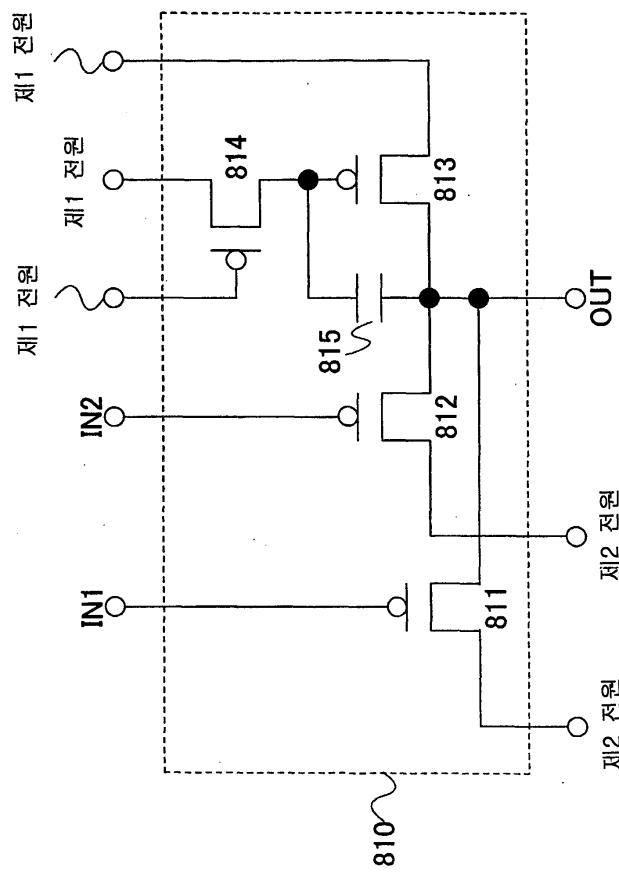
도면79



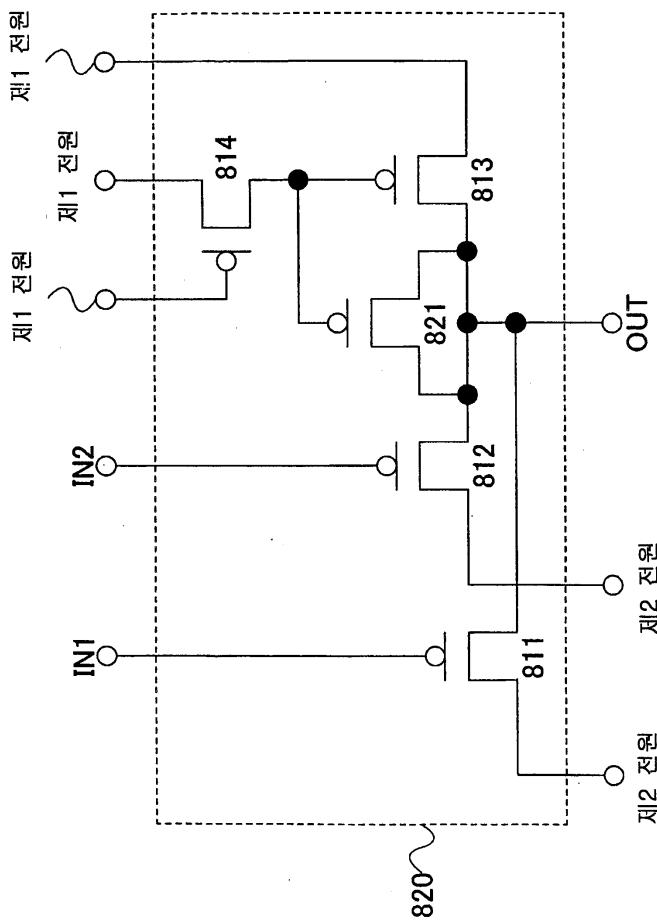
도면80



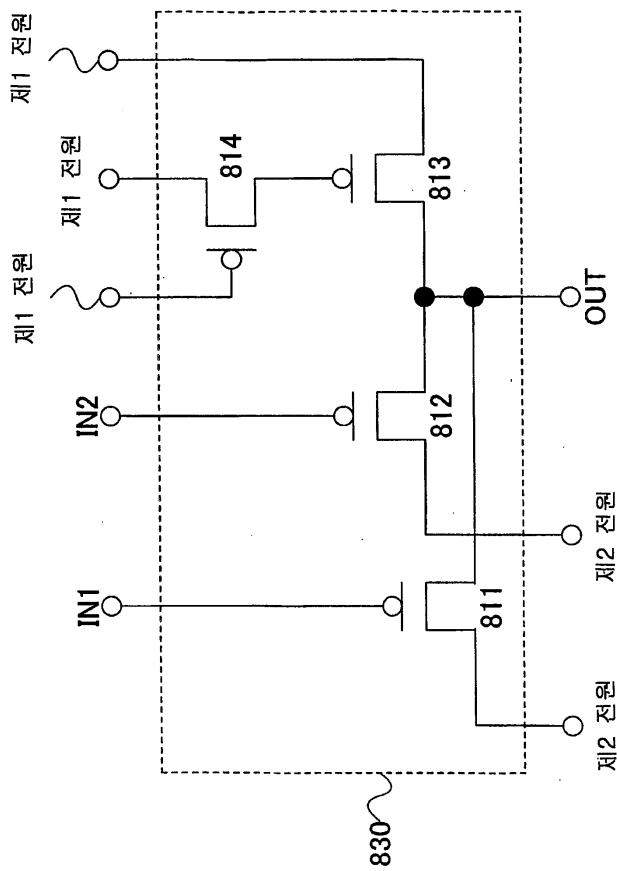
도면81



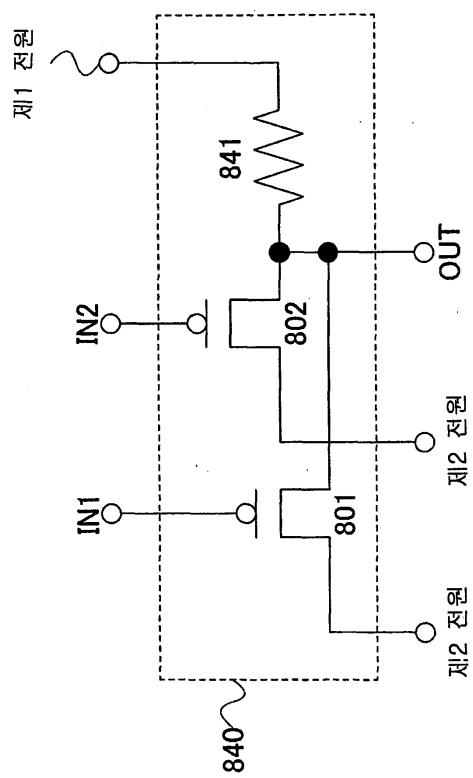
도면82



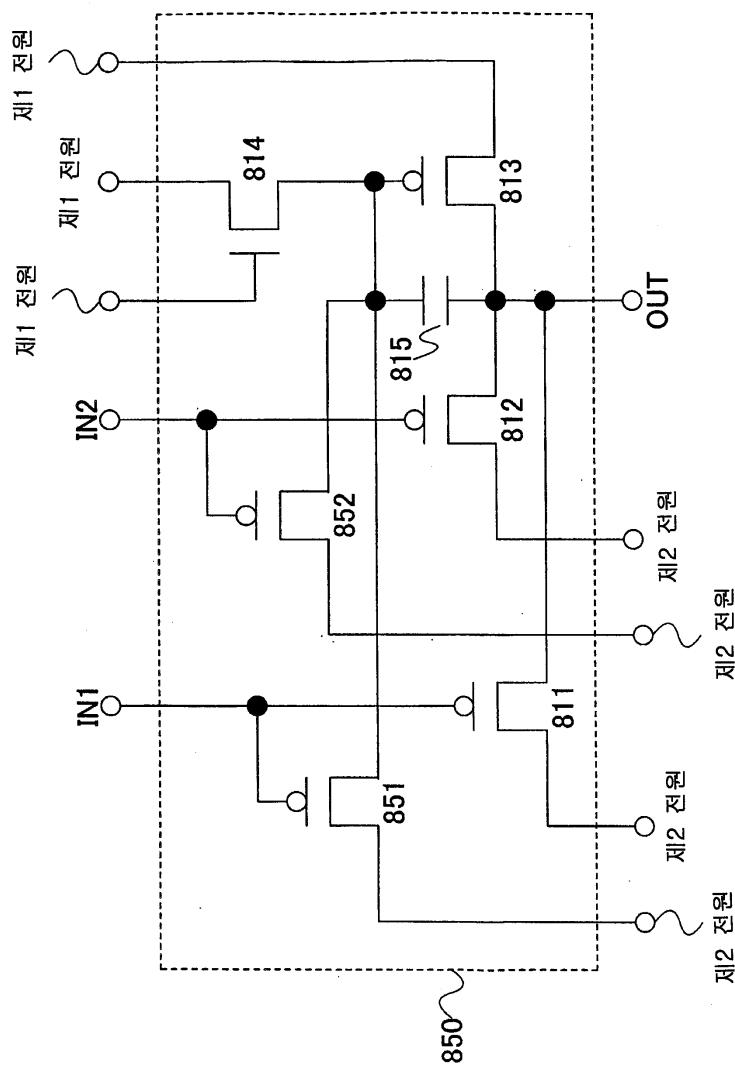
도면83



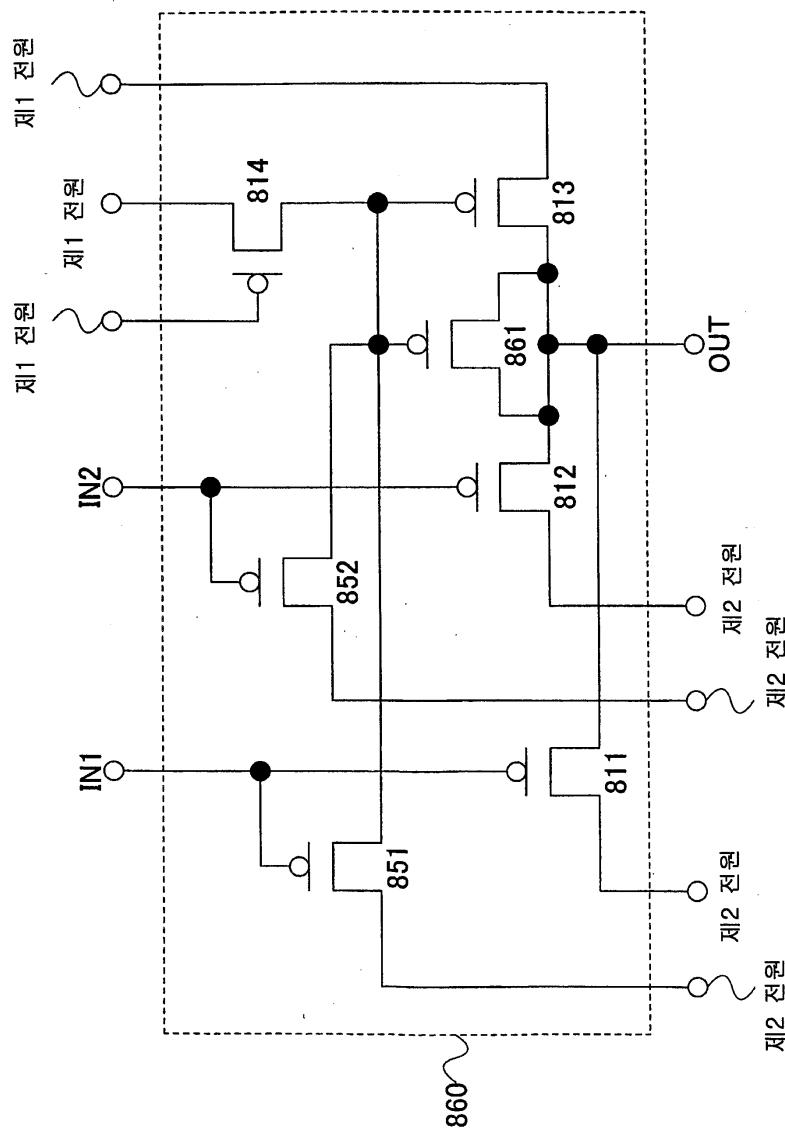
도면84



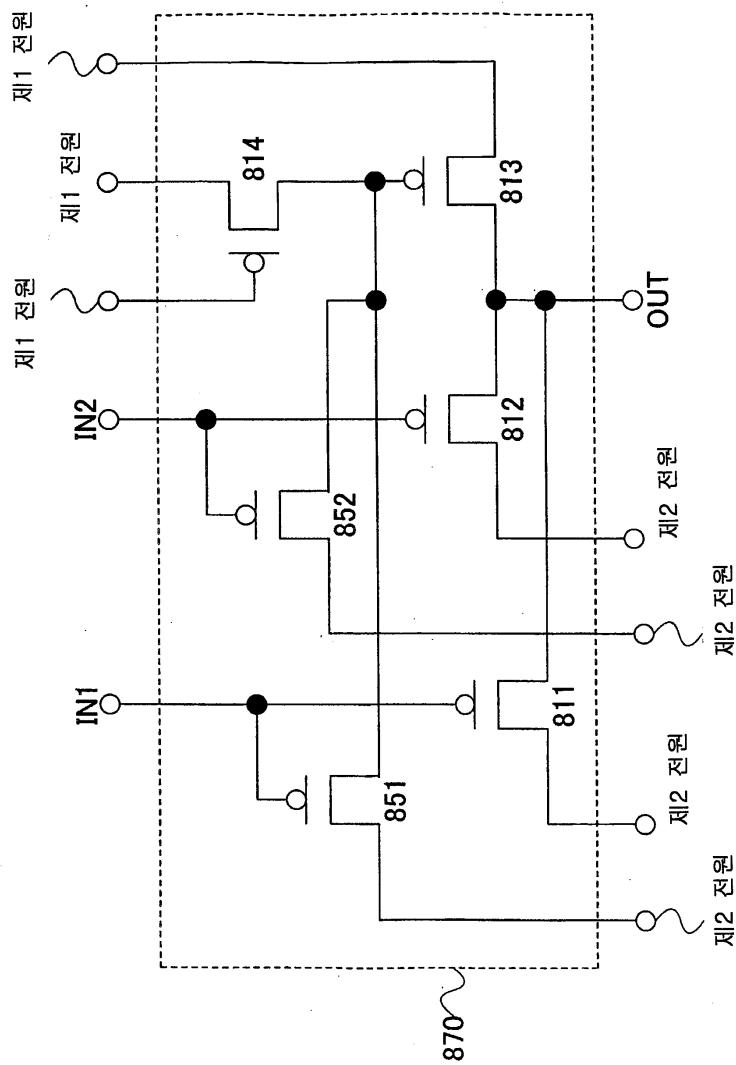
도면85



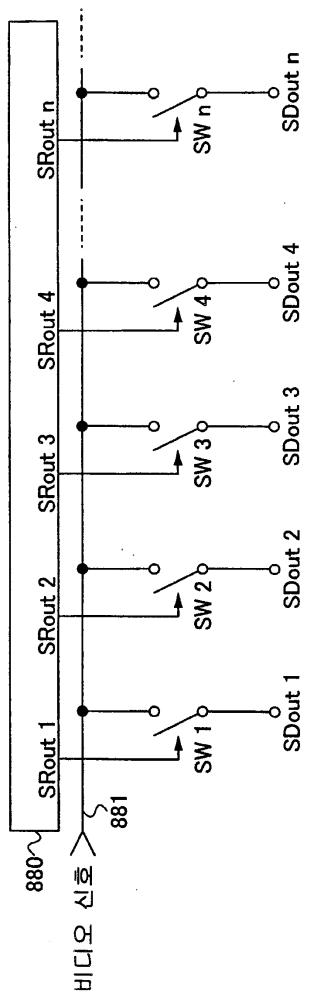
도면86



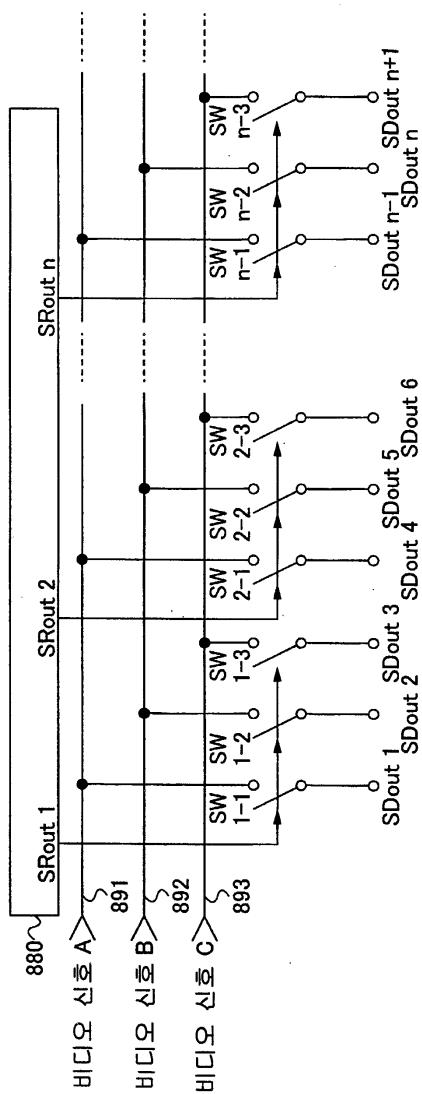
도면87



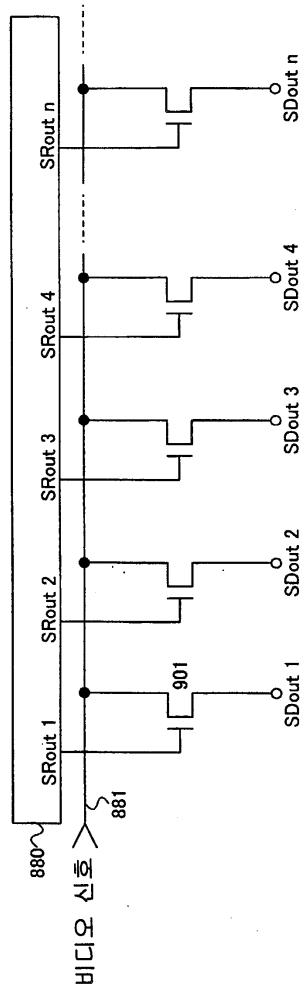
도면88



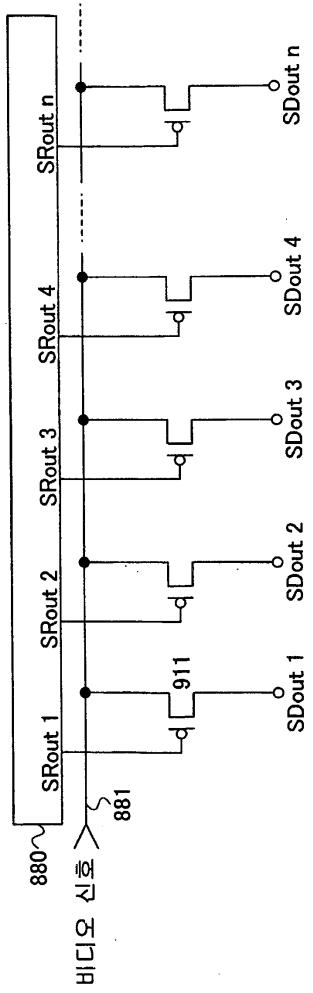
도면89



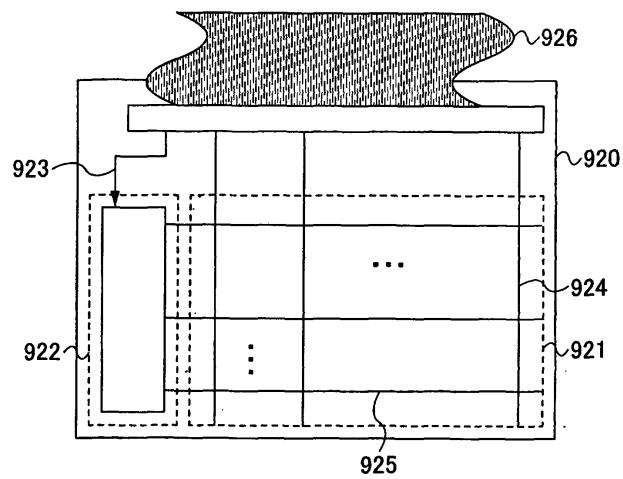
## 도면90



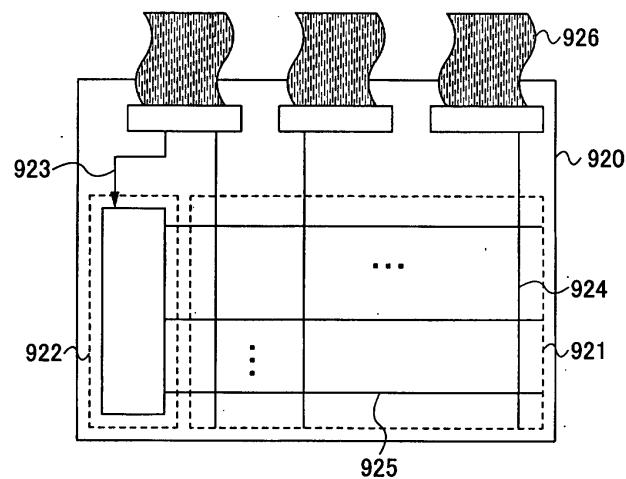
도면91



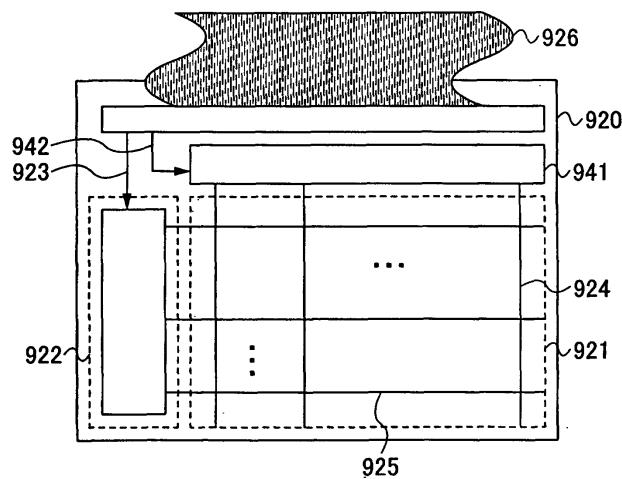
도면92



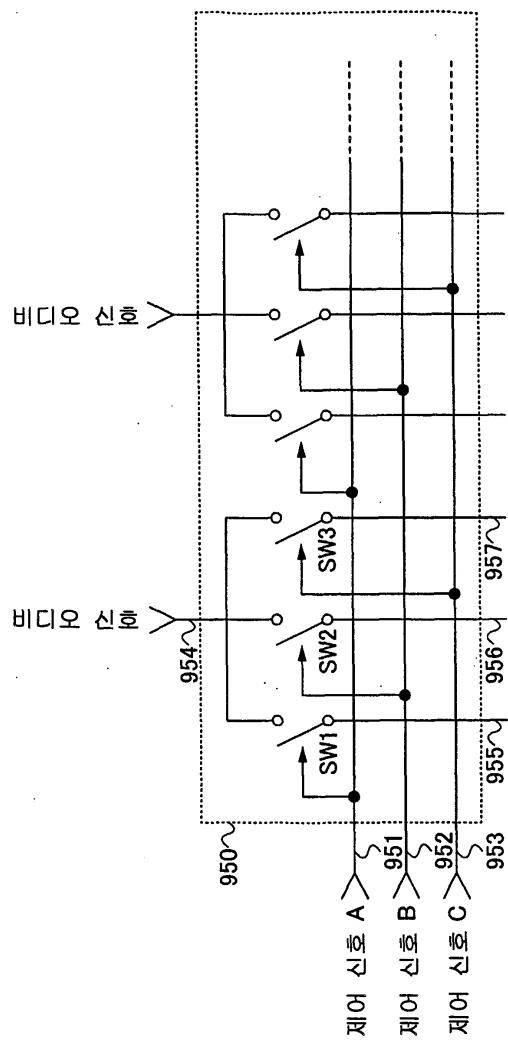
도면93



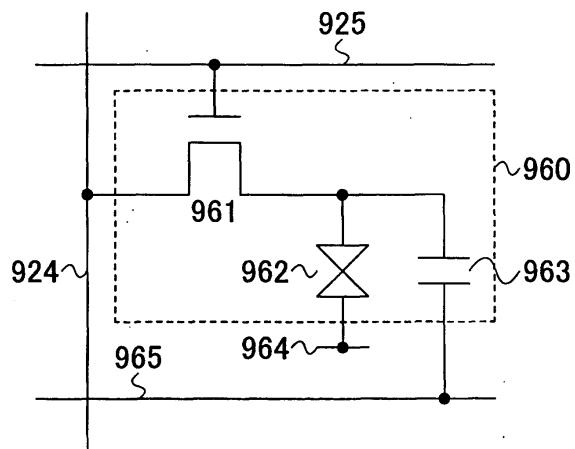
도면94



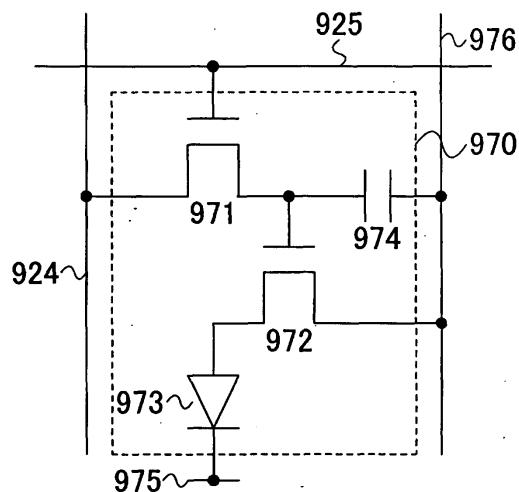
도면95



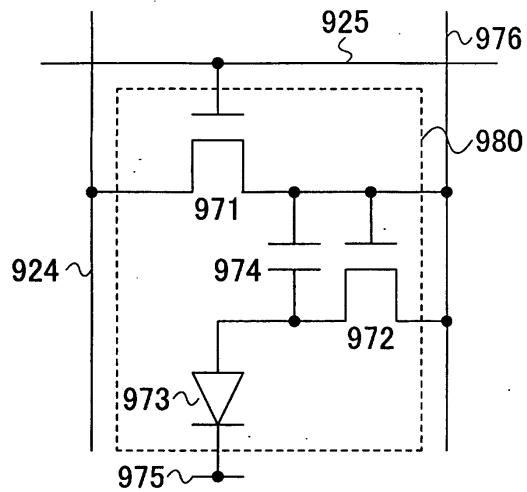
도면96



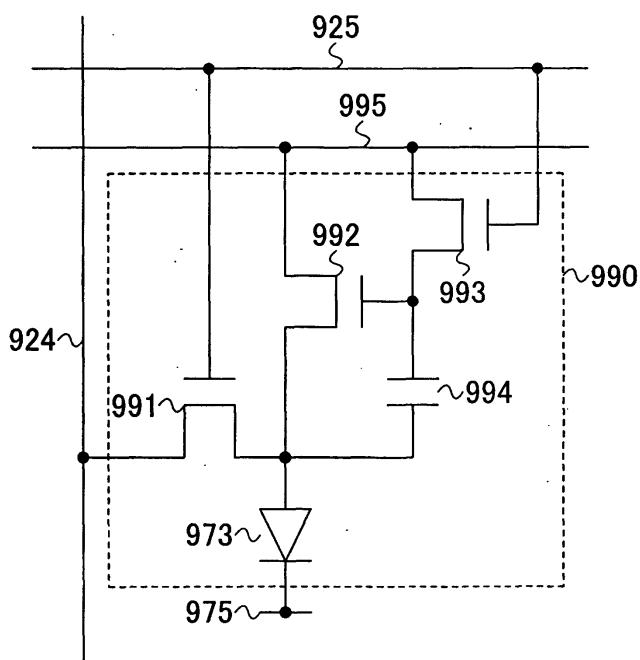
도면97



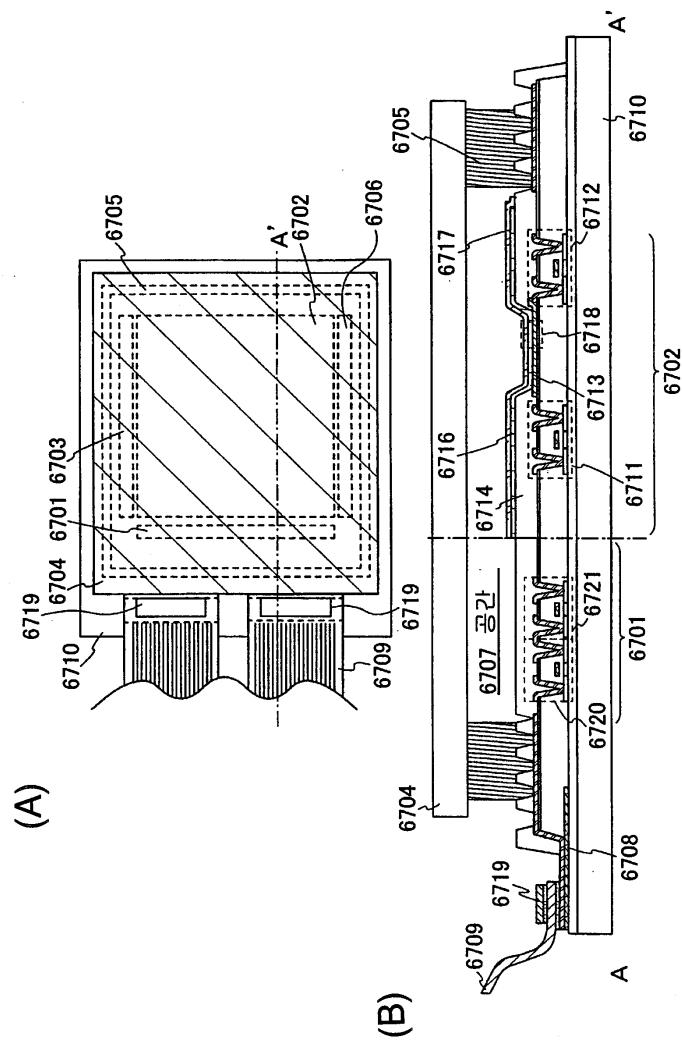
도면98



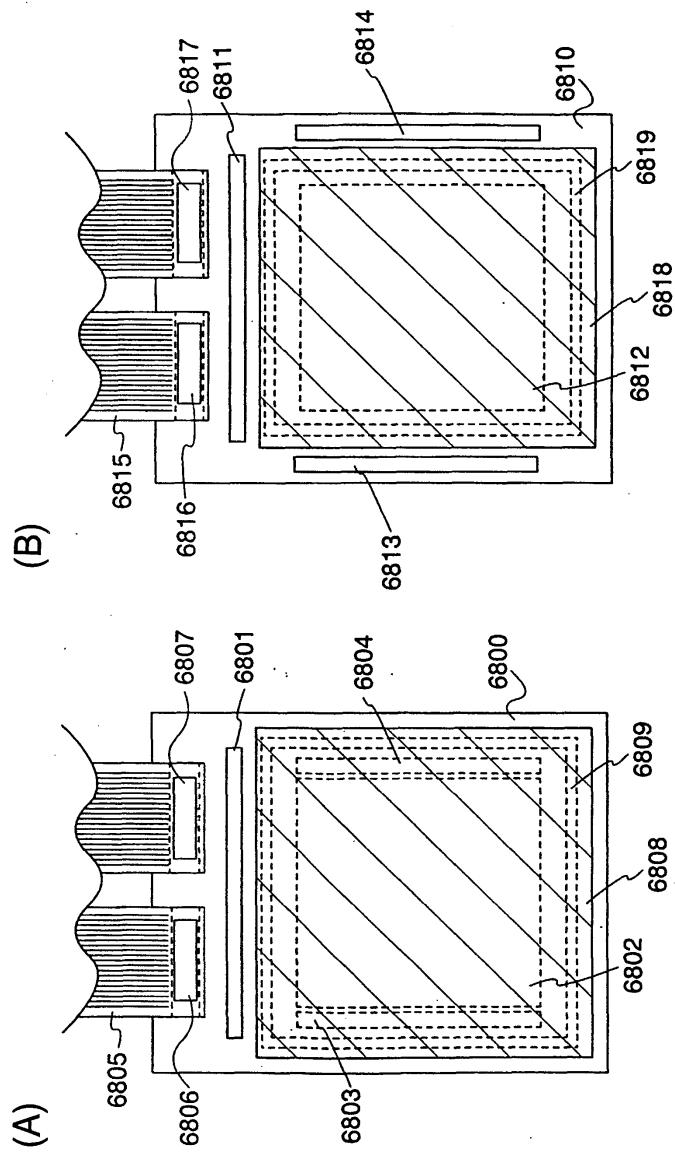
도면99



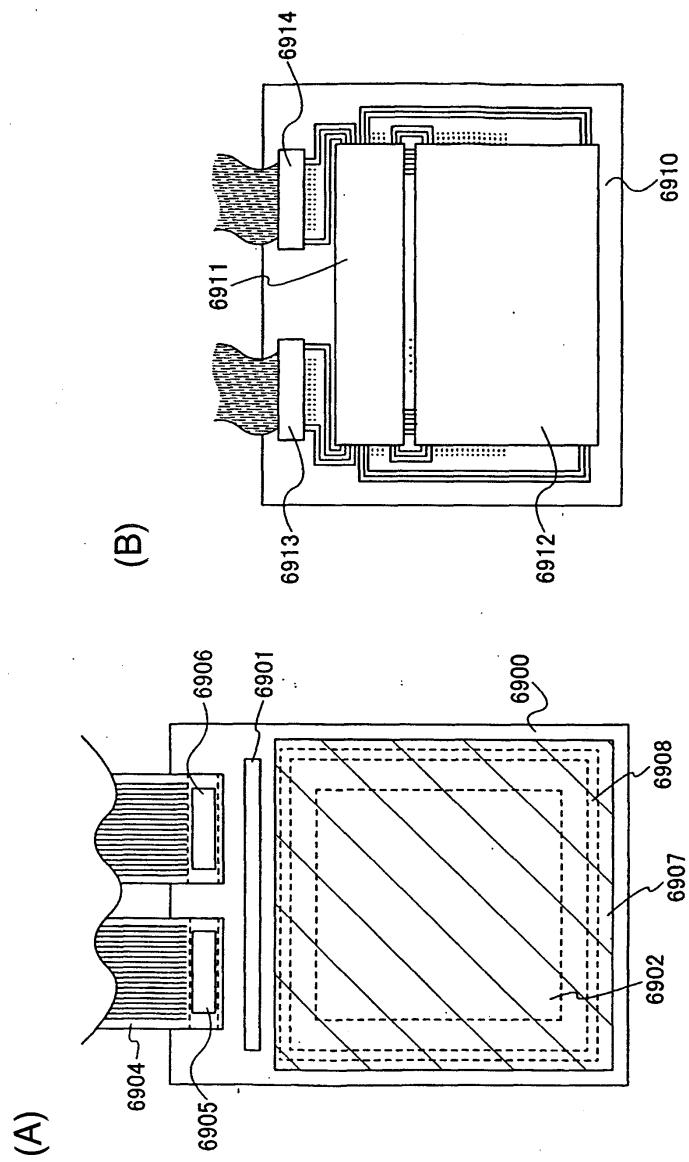
도면100



도면101

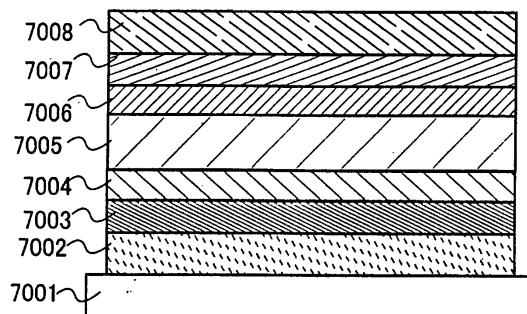


도면102

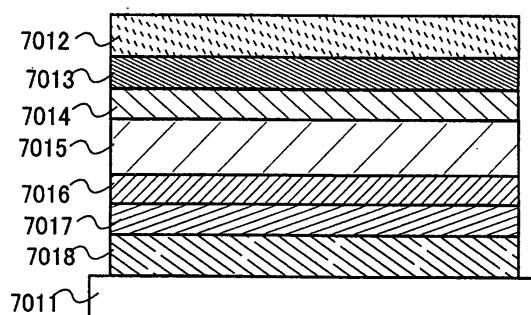


도면103

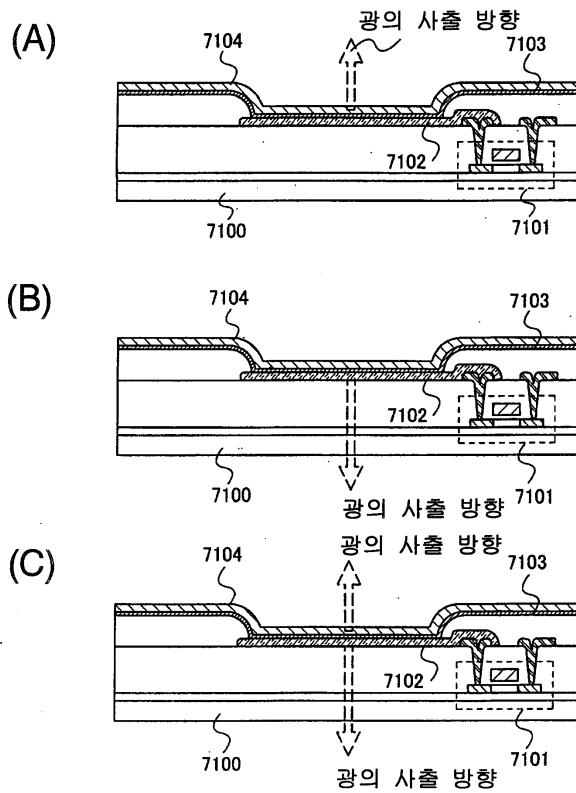
(A)



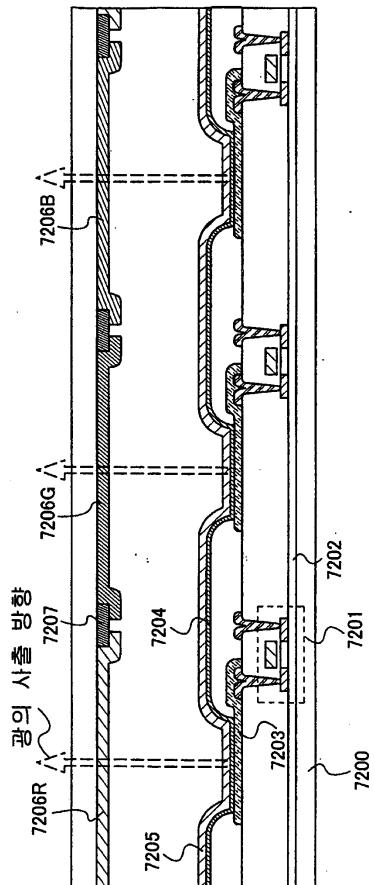
(B)



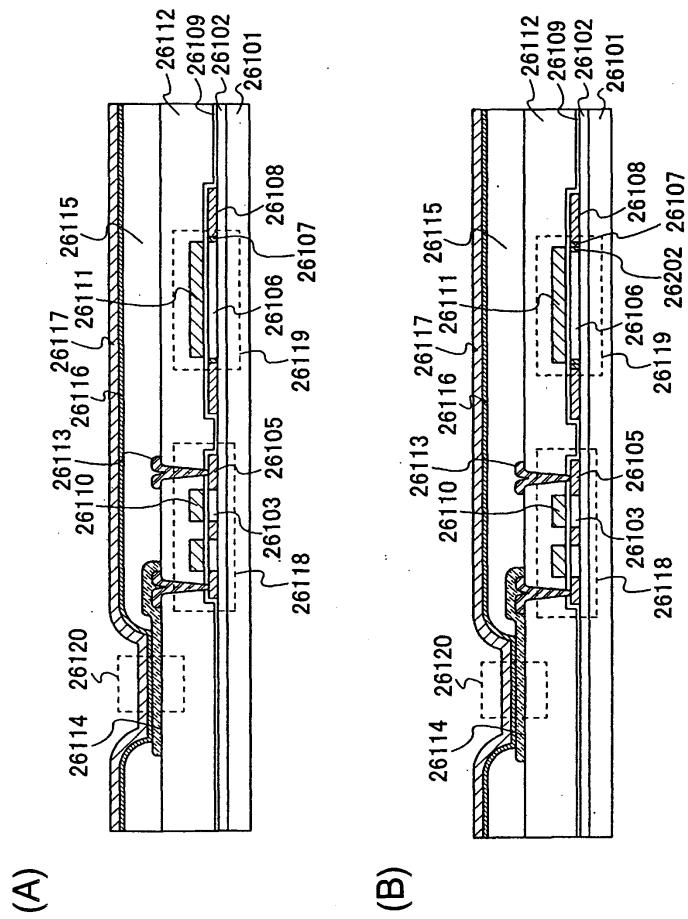
도면104



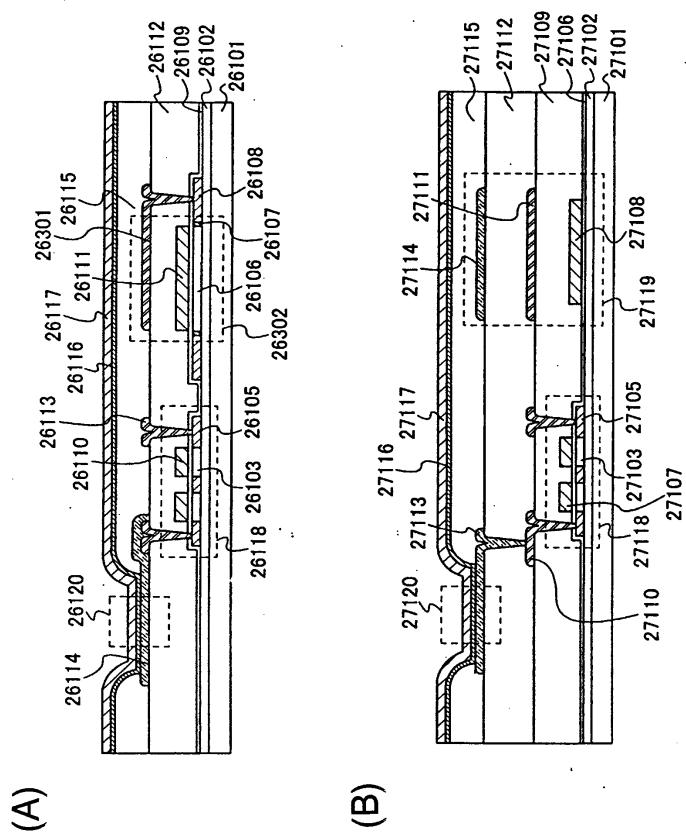
도면105



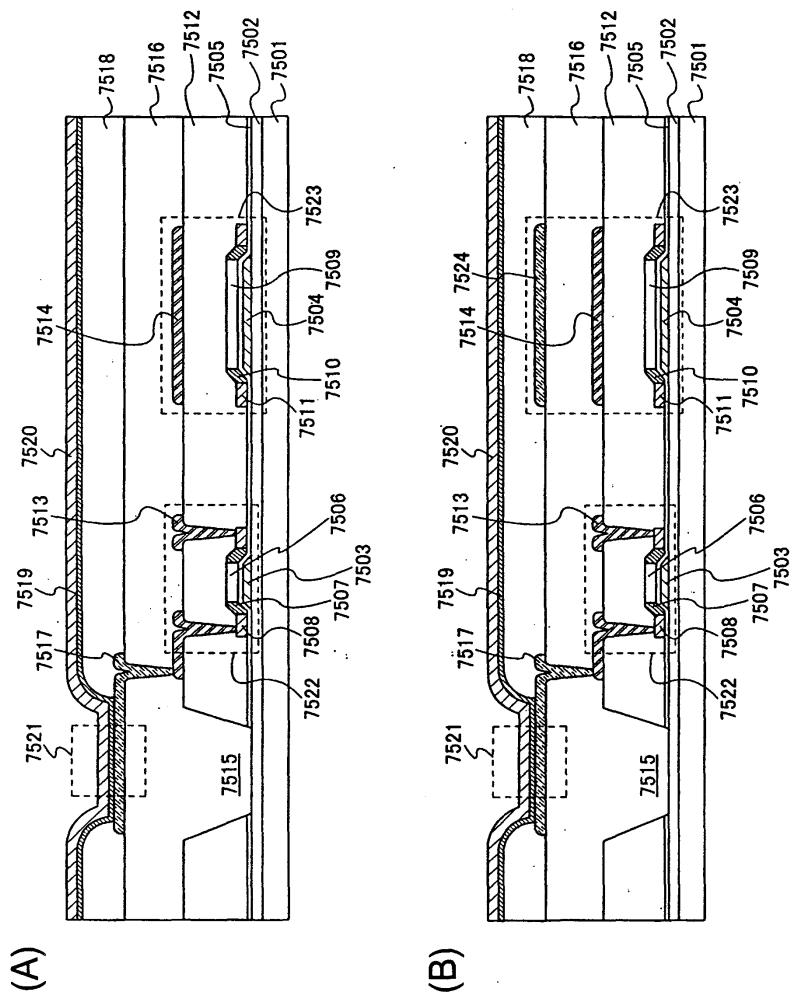
도면106



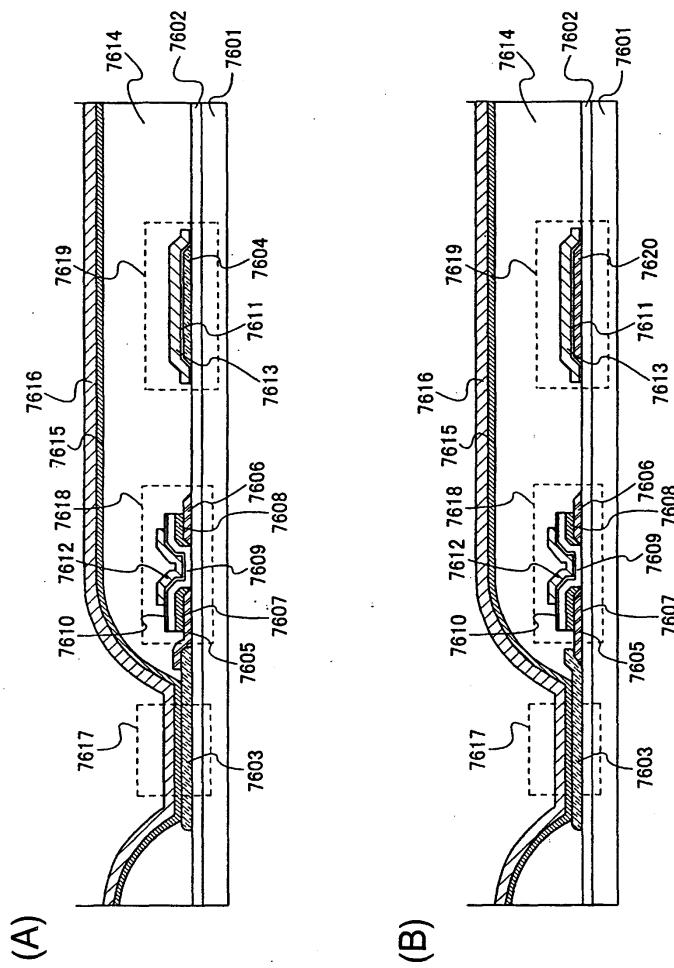
도면107



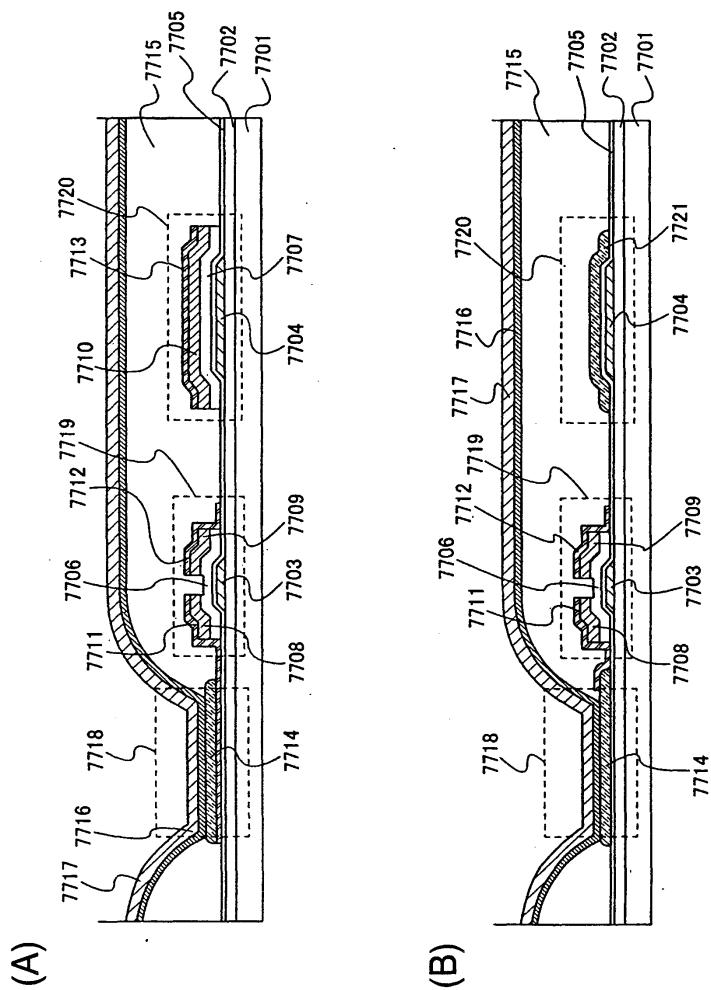
도면108



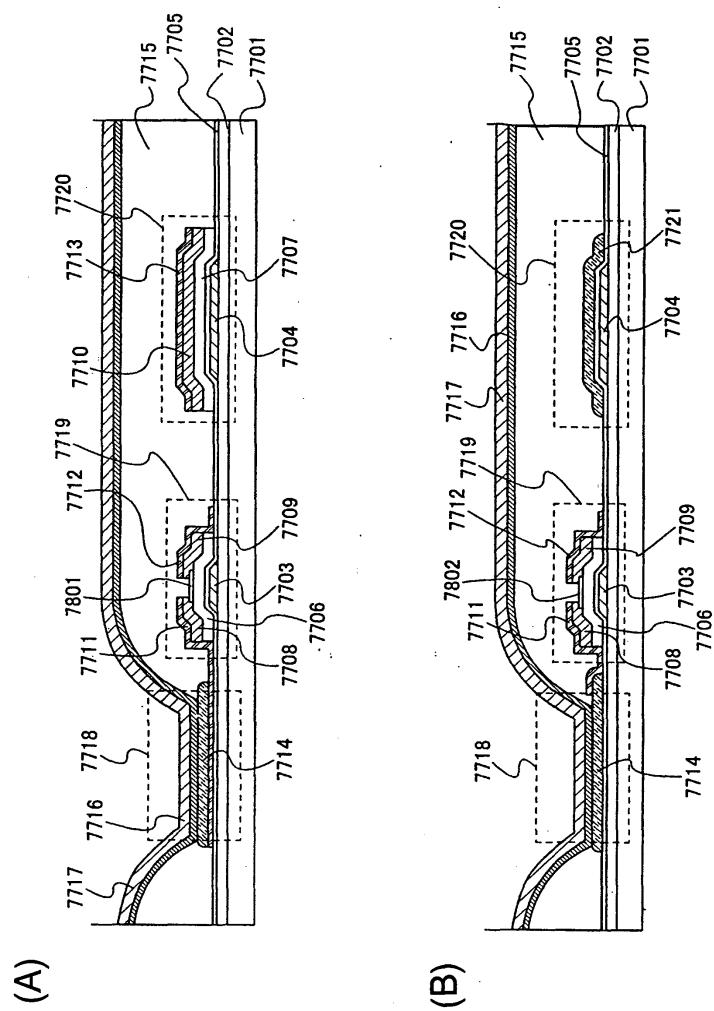
도면109



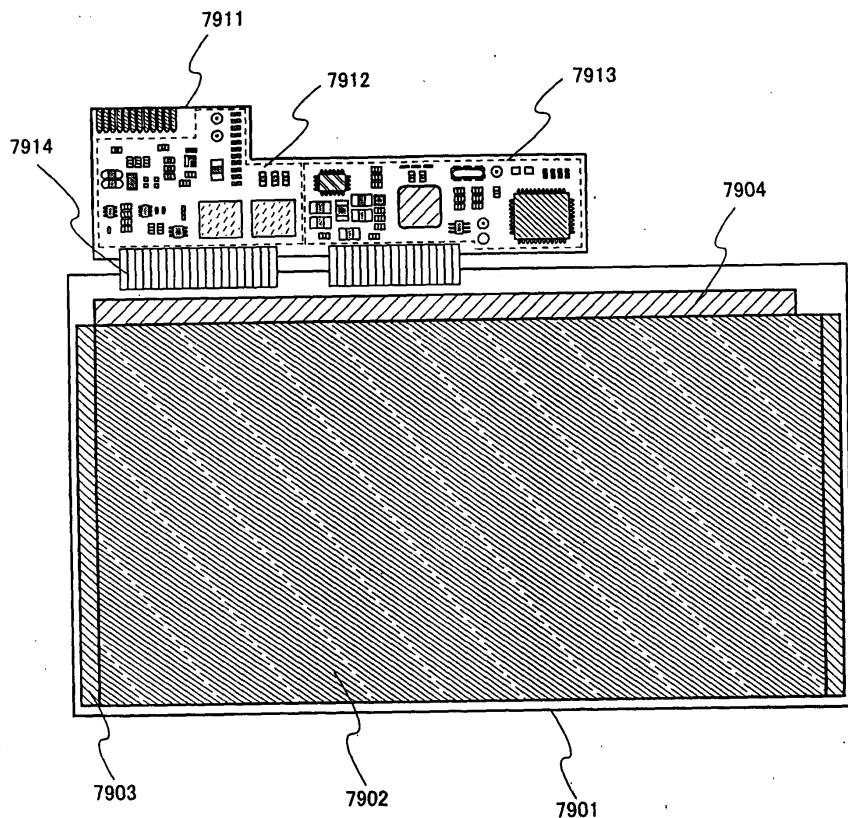
도면110



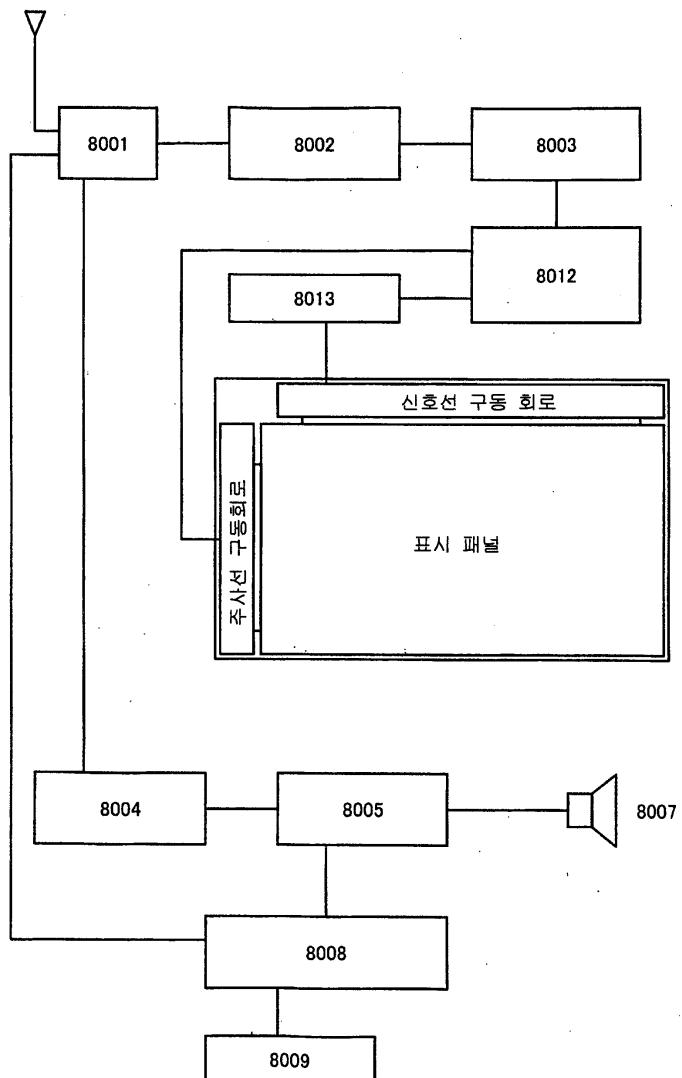
도면111



도면112

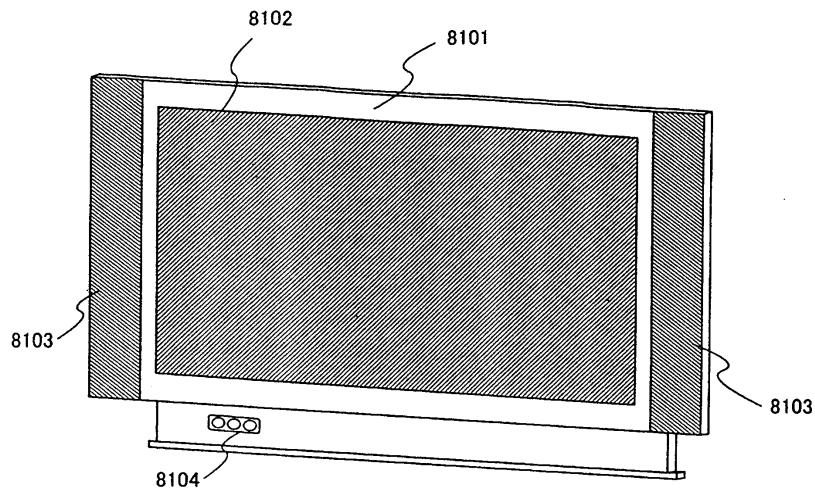


도면113

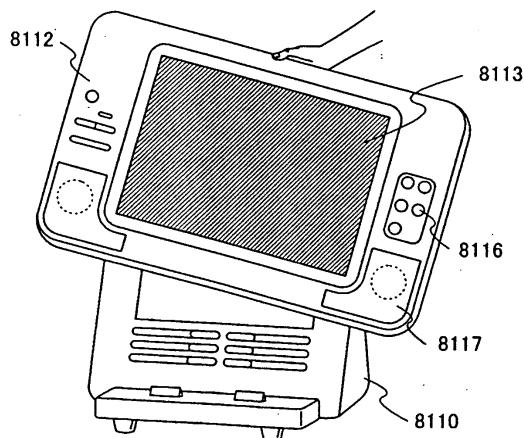


도면114

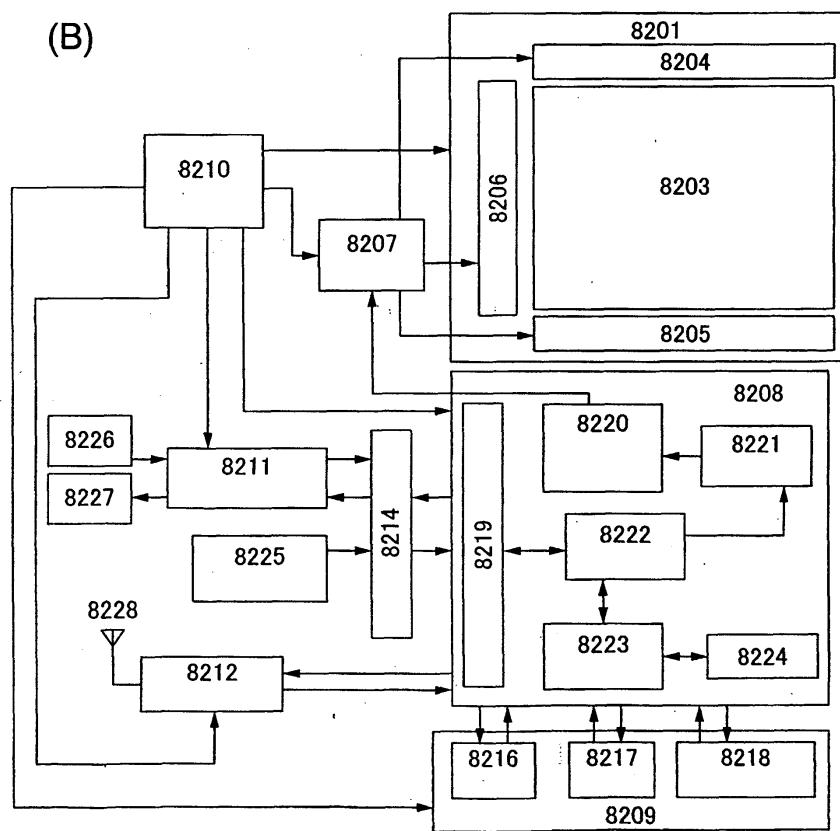
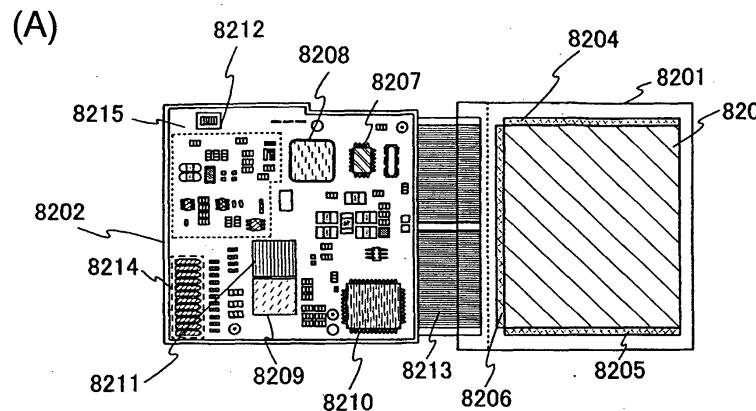
(A)



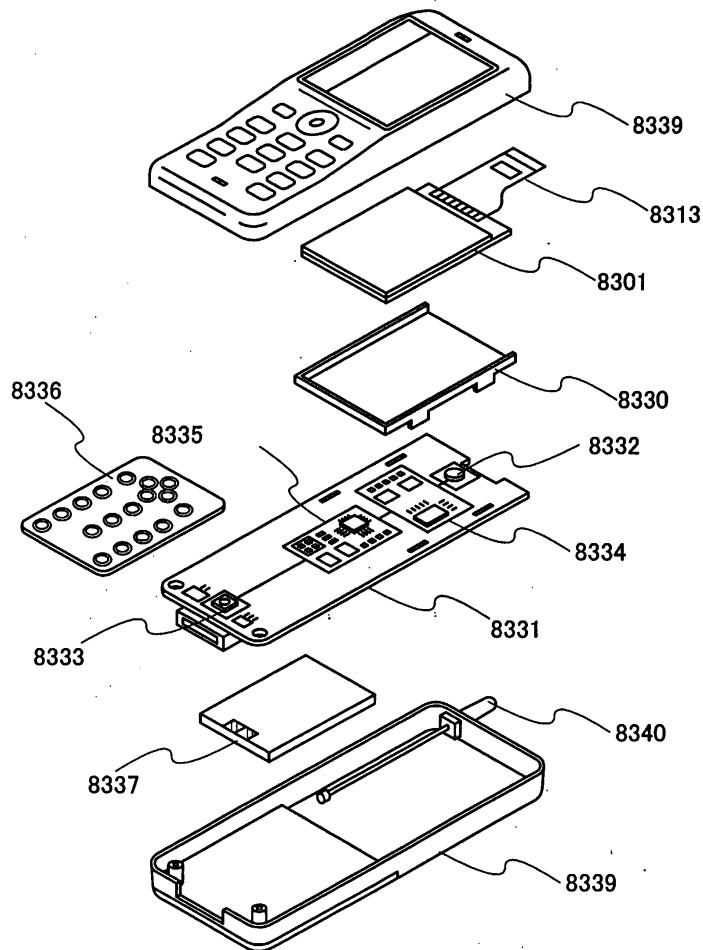
(B)



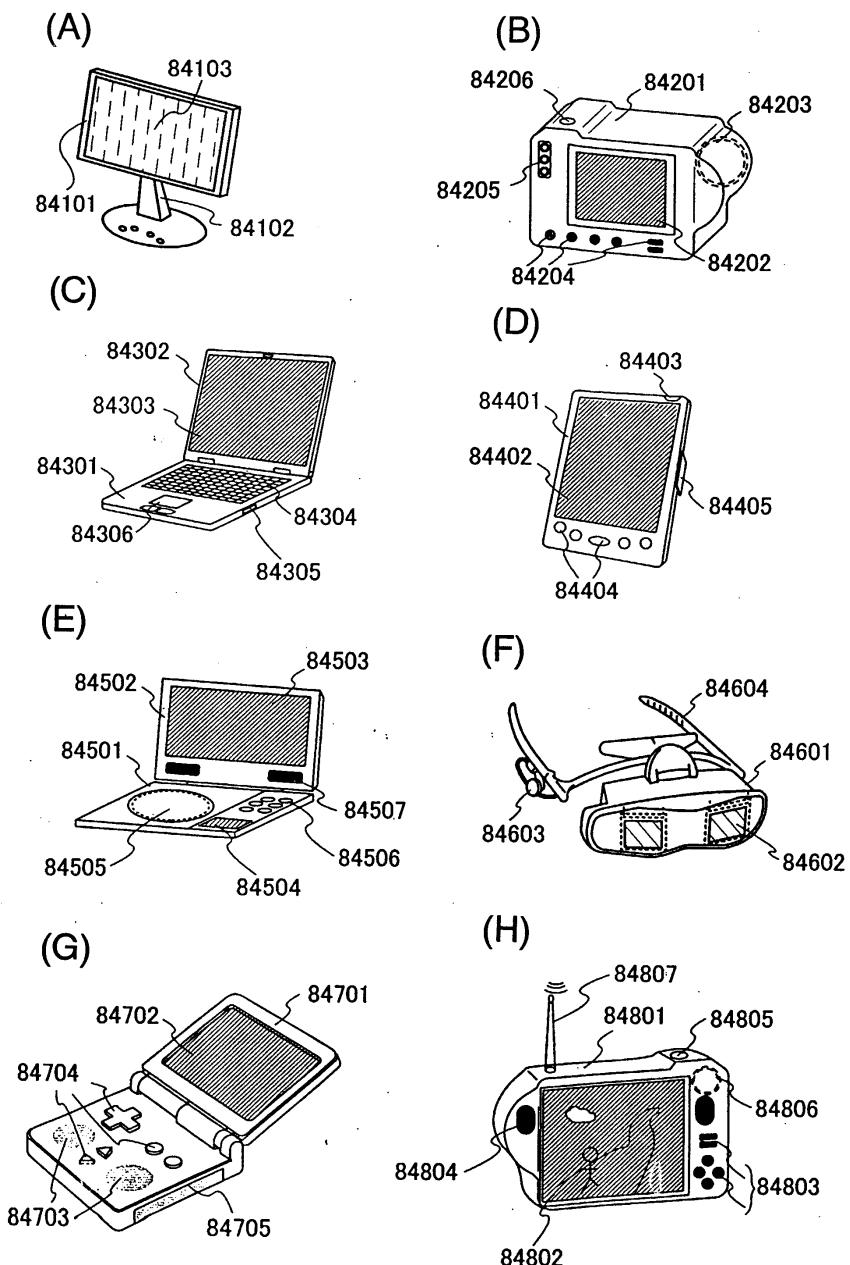
도면115



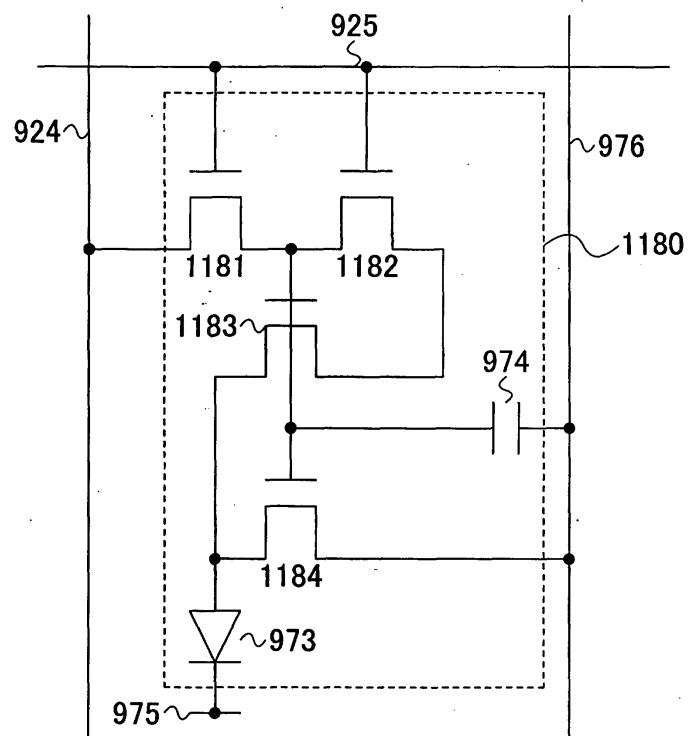
도면116



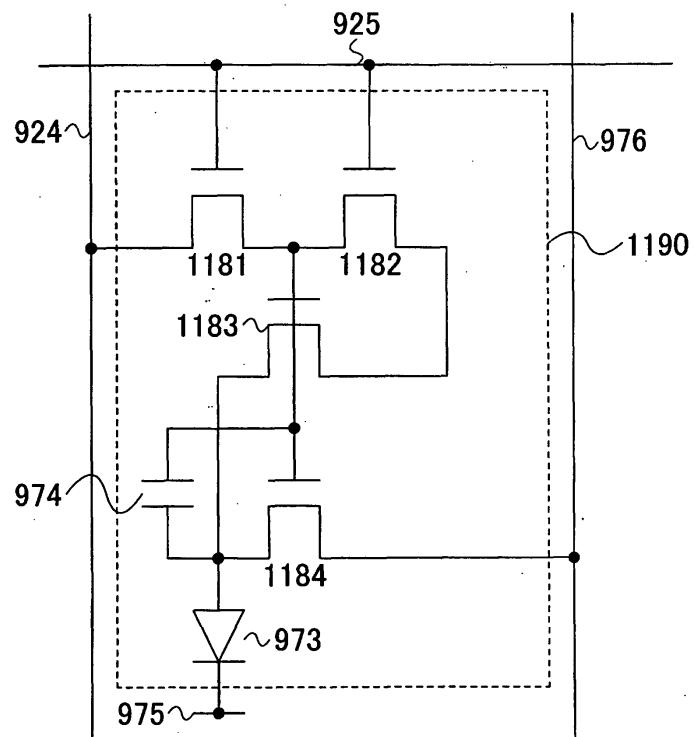
도면117



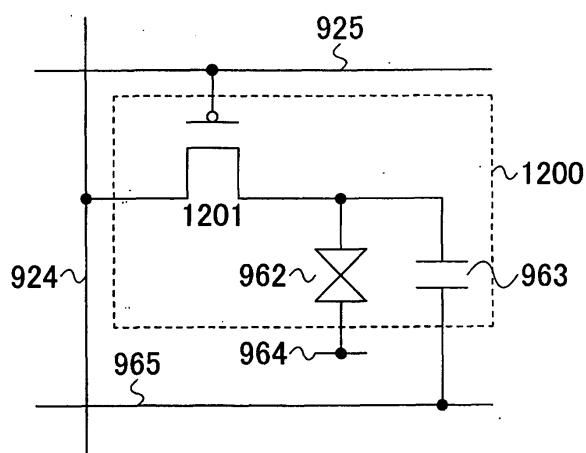
도면118



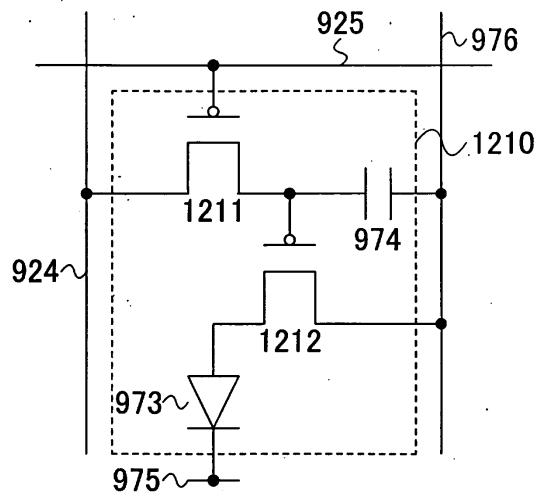
도면119



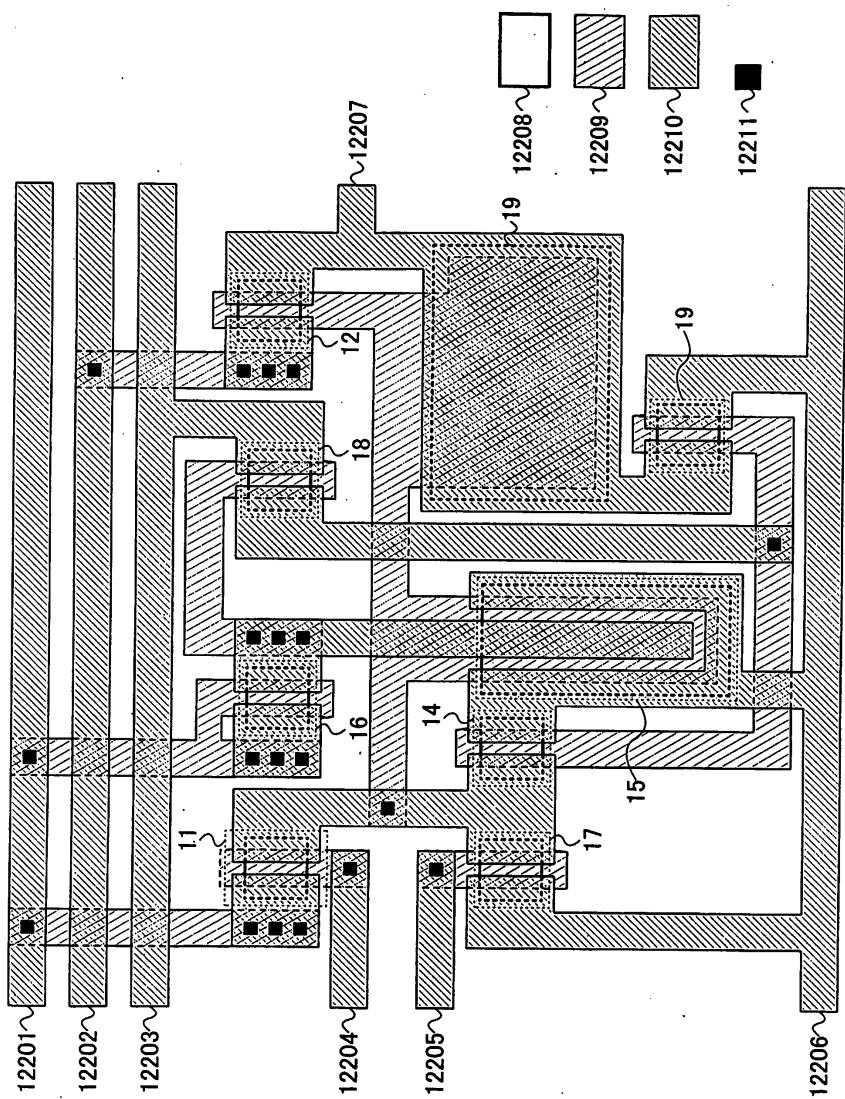
도면120



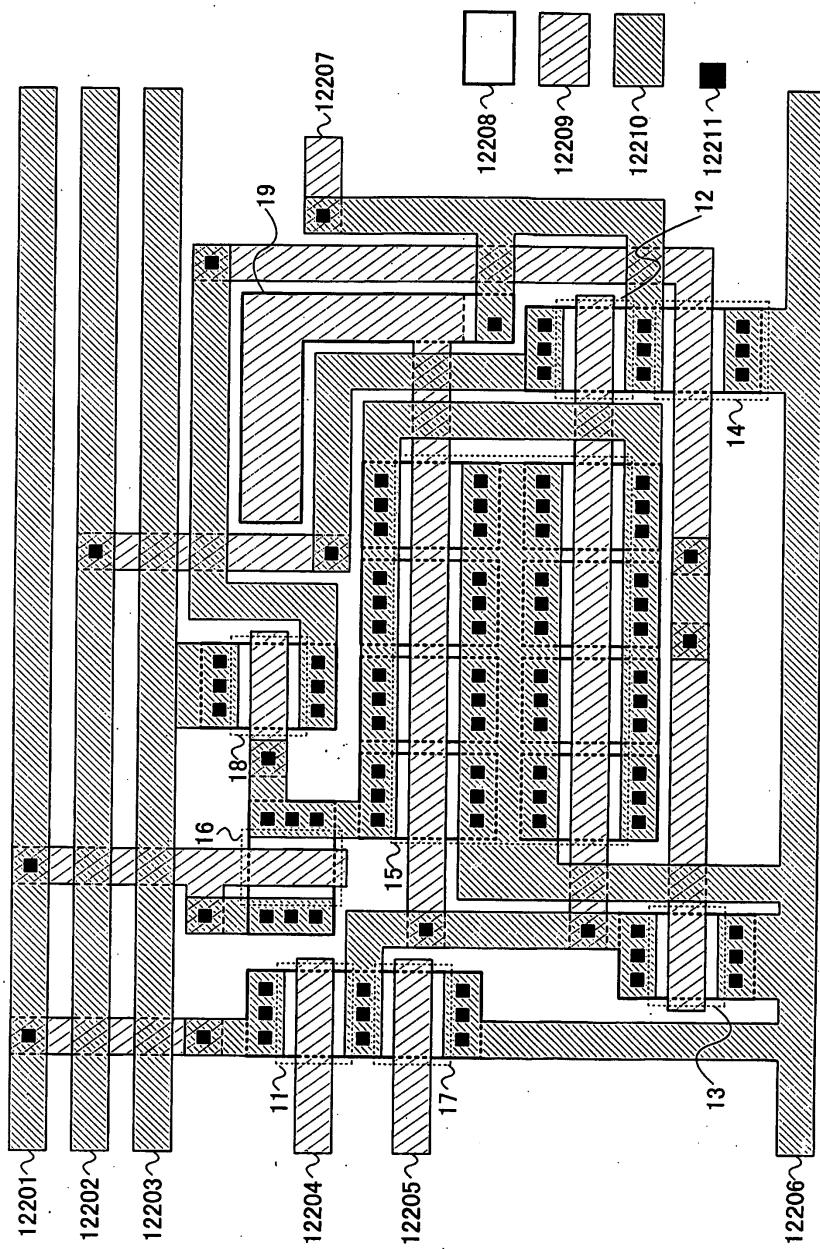
도면121



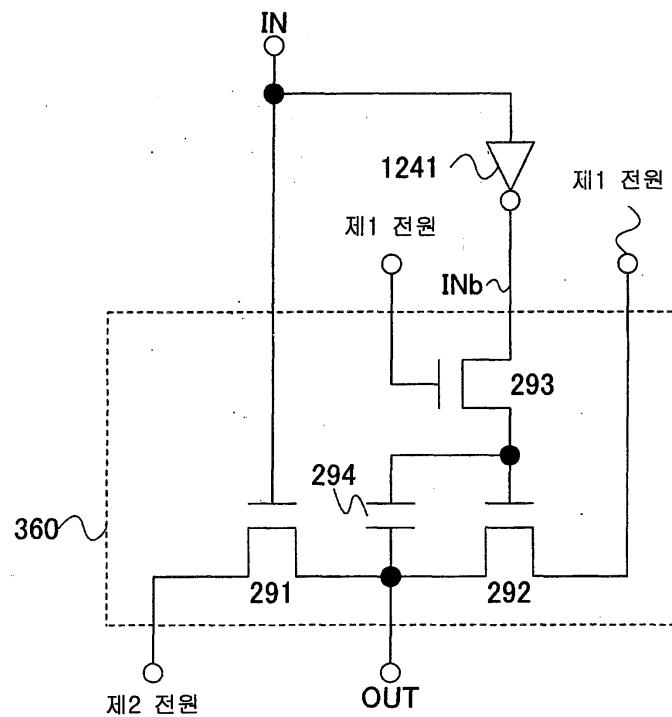
도면122



도면123



도면124



도면125

