



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월07일
(11) 등록번호 10-1240720
(24) 등록일자 2013년02월28일

- (51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01)
- (21) 출원번호 10-2006-0026177
(22) 출원일자 2006년03월22일
심사청구일자 2011년03월22일
(65) 공개번호 10-2006-0103153
(43) 공개일자 2006년09월28일
(30) 우선권주장
JP-P-2005-00083981 2005년03월23일 일본(JP)
JP-P-2006-00042255 2006년02월20일 일본(JP)
- (56) 선행기술조사문헌
JP2004186452 A*
JP2004247633 A*
JP2003309193 A
JP2002231829 A

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 5 항

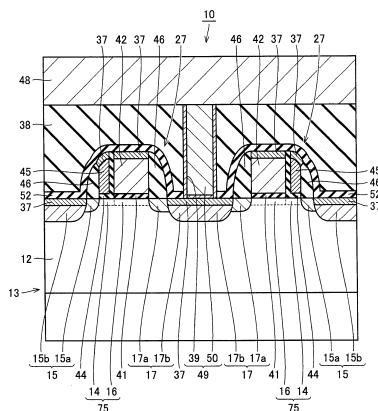
심사관 : 김정진

(54) 발명의 명칭 반도체 기억 장치의 제조 방법

(57) 요 약

본 발명은 관한 반도체 기억 장치(10)는, 반도체 기판(13)과, 제1 불순물 영역(17)과, 제2 불순물 영역(15)과, 제1 불순물 영역(17)과 제2 불순물 영역(15) 사이에 형성된 채널 영역(75)과, 채널 영역(75)이 위치하는 반도체 기판(13)의 주표면 상 중, 제1 불순물 영역(17)측의 주표면 상에 형성된 제1 게이트(42)와, 채널 영역(75)이 위치하는 반도체 기판(13)의 주표면 상 중, 제2 불순물 영역(15)측의 주표면 상에 제2 절연막(44)을 개재하여 형성된 제2 게이트(45)와, 제1 게이트(42)에 대해 제2 게이트(45)와 반대측에 위치하는 반도체 기판의 주표면 상에 위치하고, 제1 게이트(42)의 측면 상에 형성된 제3 절연막(46)과, 제3 절연막(46)과 그 바로 밑에 위치하는 반도체 기판(13)의 계면이, 제2 절연막(44)과 그 바로 밑에 위치하는 반도체 기판의 주표면의 계면보다 위쪽에 위치한다. 이에 따라, 총 공정수를 저감할 수 있어 코스트를 저렴하게 한다.

대 표 도 - 도2



특허청구의 범위

청구항 1

메모리셀 트랜지스터가 형성되는 메모리셀 영역과, 상기 메모리셀 트랜지스터의 동작 제어를 행하는 주변 회로가 형성되는 주변 회로 영역을 갖는 반도체 기억 장치의 제조 방법으로서,

반도체 기판의 주표면 상에 선택적으로 분리 영역을 형성하여, 활성 영역을 규정하는 공정과,

상기 활성 영역 상에 제1 절연막을 형성하는 공정과,

상기 메모리셀 영역에서, 제1 도전막을 형성하는 공정과,

상기 메모리셀 영역에서, 상기 제1 도전막에 패터닝을 실시하여, 소스 영역으로서 기능 가능한 제1 불순물 영역으로 되는 영역 상에 개구부를 갖는 도전막 패턴을 형성하는 공정과,

상기 메모리셀 영역의 상기 도전막 패턴을 마스크로 하여, 상기 반도체 기판의 주표면에 불순물을 도입하는 공정과,

상기 도전막 패턴을 덮고, 제1 실리콘 산화막과 실리콘 질화막과 제2 실리콘 산화막으로부터 형성되고, 전하를 축적 가능한 제2 절연막을 형성하는 공정과,

상기 제2 절연막 상에 제2 도전막을 형성하는 공정과,

상기 메모리셀 영역에서, 상기 제2 도전막에 에칭을 실시하여, 상기 도전막 패턴의 개구부의 측면에, 2개의 상기 메모리셀 트랜지스터의 사이드월 형상의 메모리 게이트 전극을 동시에 형성하는 공정과,

상기 메모리셀 영역에서, 상기 도전막 패턴과 상기 2개의 메모리 게이트 전극을 마스크로 하여, 제1 불순물 영역을 형성하는 공정과,

상기 메모리셀 영역에서, 상기 도전막 패턴 중, 드레인 영역으로서 기능 가능한 제2 불순물 영역이 위치하는 영역을 에칭하여, 패터닝함과 동시에, 상기 주변 회로 영역에 형성되는 트랜지스터의 게이트 전극을 형성하는 공정과,

상기 반도체 기판의 주표면에 불순물을 도입하여, 상기 메모리셀 트랜지스터의 상기 제2 불순물 영역과, 상기 주변 회로 영역에 형성되는 트랜지스터의 소스 영역, 드레인 영역을 형성하는 공정

을 포함하고,

상기 제1 도전막을 패터닝하여 상기 도전막 패턴을 형성하는 공정은, 상기 메모리셀 트랜지스터의 상기 제1 불순물 영역으로 되는 영역 상에, 상기 제1 도전막의 잔류부를 남기는 공정을 포함하고,

상기 제2 절연막의 형성 공정은, 상기 잔류부를 덮도록 상기 제2 절연막을 형성하는 공정을 포함하고,

상기 메모리 게이트 전극을 형성하는 공정은, 대향 배치된 상기 메모리 게이트 전극을 일체적으로 접속하는 접속부를, 상기 잔류부의 주위에 형성하는 공정을 포함하고,

상기 접속부 상에 콘택트부를 형성하는 공정을 더 포함하는 반도체 기억 장치의 제조 방법.

청구항 2

삭제

청구항 3

메모리셀 트랜지스터가 형성되는 메모리셀 영역과, 상기 메모리셀 트랜지스터의 동작 제어를 행하는 주변 회로가 형성되는 주변 회로 영역을 갖는 반도체 기억 장치의 제조 방법으로서,

반도체 기판의 주표면 상에 선택적으로 분리 영역을 형성하여, 활성 영역을 규정하는 공정과,

상기 활성 영역 상에 제1 절연막을 형성하는 공정과,

상기 제1 절연막 상에 제1 도전막을 형성하는 공정과,

상기 메모리셀 영역에서, 상기 제1 도전막에 패터닝을 실시하여, 소스 영역으로서 기능 가능한 제1 불순물 영역으로 되는 영역 상에 개구부를 형성함과 함께, 상기 개구부의 길이 방향의 양 단부측에 오목부를 동시에 패터닝하는 공정과,

상기 메모리셀 영역에서, 도전막 패턴을 마스크로 하여, 상기 반도체 기판의 주표면에 불순물을 도입하는 공정과,

상기 도전막 패턴을 덮고, 제1 실리콘 산화막과 실리콘 질화막과 제2 실리콘 산화막으로부터 형성되고, 전하를 축적 가능한 제2 절연막을 형성하는 공정과,

상기 제2 절연막 상에 제2 도전막을 형성하는 공정과,

상기 메모리셀 영역에서, 상기 제2 도전막에 에칭을 실시하여, 상기 도전막 패턴의 개구부의 측면에, 2개의 메모리셀 트랜지스터의 사이드월 형상의 메모리 게이트 전극을 동시에 형성하는 공정과,

상기 메모리셀 영역에서, 상기 도전막 패턴과, 상기 2개의 메모리 게이트 전극을 마스크로 하여, 제1 불순물 영역을 형성하는 공정과,

상기 메모리셀 영역에서, 제1 도전막 패턴 중, 드레인 영역으로서 기능 가능한 제2 불순물 영역이 위치하는 영역을 에칭하여, 상기 제1 불순물 영역의 주위를 둘러싸는 환형(環狀)의 컨트롤 게이트 전극을 형성하는 공정과,

상기 반도체 기판의 주표면에 불순물을 도입하여 상기 제2 불순물 영역을 형성하는 공정

을 포함하고,

상기 2개의 메모리셀 트랜지스터의 제1 메모리 게이트 전극과 제2 메모리 게이트 전극은 메모리셀 영역의 단부 까지 배선되어 연결되어 있는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 4

제3항에 있어서,

상기 제2 절연막 상에 상기 제2 도전막을 형성하는 공정은, 상기 오목부 내에 상기 제2 도전막을 충전함으로써, 상기 메모리 게이트 전극에 전압을 인가 가능한 전압 인가부가 접속되는 패드부를 형성하는 공정을 포함하는 반도체 기억 장치의 제조 방법.

청구항 5

제3항에 있어서,

상기 컨트롤 게이트 전극의 상면에 실리사이드막을 형성하는 공정을 더 포함하는 반도체 기억 장치의 제조 방법.

청구항 6

제3항에 있어서,

상기 제1 불순물 영역의 주위를 둘러싸는 환형의 컨트롤 게이트 전극을 형성함과 동시에, 상기 주변 회로 영역에 형성되는 트랜지스터의 게이트 전극이 형성되는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

[0096] [참고 문헌1] 일본 특허공개 2004-228571호 공보

[0097] [참고 문헌2] 일본 특허공개 2003-309193호 공보

발명이 속하는 기술 및 그 분야의 종래기술

[0098] 본 발명은 반도체 기억 장치 및 그 제조 방법에 관한 것이다.

[0099] 일반적으로, 복수의 메모리셀 트랜지스터가 형성되는 메모리셀 영역과, 주변 회로 트랜지스터가 복수 형성되는 주변 회로 영역을 구비한, 반도체 집적 회로 장치(반도체 기억 장치)(참고 문헌1 참조)가 알려져 있다. 예를 들면, 참고 문헌2에는, 반도체 기판에 메모리셀 트랜지스터와, 그 액세스 회로를 구비하는 반도체 집적 회로 장치가 기재되어 있다.

[0100] 이 반도체 집적 회로 장치는, 반도체 기판의 주표면 상에 메모리셀 영역과, 주변 영역을 구비하고 있고, 메모리셀 영역에는 복수의 메모리셀 트랜지스터가 형성되어 있다. 또한, 주변 영역에는 전원 전압계 MOS 트랜지스터와, 고내압 NMOS 트랜지스터 등의 주변 회로 트랜지스터가 형성되어 있다. 이와 같이 구성된 반도체 집적 회로 장치를 제조하려면, 메모리셀 트랜지스터를 형성한 후에, 주변 회로 트랜지스터를 형성한다. 이와 같이, 종래의 반도체 주변 회로 장치의 제조 방법에서는, 메모리셀 트랜지스터와 주변 회로 트랜지스터의 형성 공정이 별개의 공정으로 되어 있었다.

발명이 이루고자 하는 기술적 과제

[0101] 그러나, 참고 문헌2에 기재된 반도체 집적 회로 장치의 제조 방법에 있어서는, 메모리셀 트랜지스터의 형성 공정과 주변 회로 트랜지스터의 형성 공정이 별개의 공정으로 되어 있었기 때문에, 총 공정수가 길어져 코스트가 높아진다고 하는 문제가 있었다.

[0102] 본 발명은, 상기와 같은 과제를 감안하여 이루어진 것으로, 그 목적은, 반도체 집적 회로 장치(반도체 기억 장치)의 총 공정수를 저감하여, 코스트를 저렴하게 하는 것이다.

[0103] 본 발명에 관한 반도체 기억 장치의 제조 방법은, 하나의 국면에서는, 메모리셀 트랜지스터가 형성되는 메모리셀 영역과, 메모리셀 트랜지스터의 동작 제어를 행하는 주변 회로가 형성되는 주변 회로 영역을 갖는 반도체 기억 장치의 제조 방법으로서, 반도체 기판의 주표면에 제1 절연막을 형성하는 공정과, 제1 절연막 상에 제1 도전막을 형성하는 공정과, 제1 도전막을 패터닝하여 메모리셀 트랜지스터의 소스 영역으로 되는 영역이 개구된 도전 패턴을 형성하는 공정과, 제1 도전 패턴을 마스크로 하여 메모리셀 트랜지스터의 소스 영역을 형성하는 공정과, 도전 패턴을 형성하는 공정과, 제2 절연막과 제2 도전막을 예치백하여 메모리셀 트랜지스터의 메모리 게이트 전극을 형성하는 공정과, 도전 패턴을 패터닝하여 메모리셀 트랜지스터의 게이트 전극과, 주변 회로 영역에 형성되는 트랜지스터의 게이트 전극을 형성하는 공정과, 메모리셀 트랜지스터의 드레인 영역과 주변 회로 영역에 형성되는 트랜지스터의 소스 영역과 드레인 영역을 형성하는 공정을 구비한다.

[0104] 본 발명에 관한 반도체 기억 장치는, 하나의 국면에서는, 반도체 기판과, 반도체 기판의 주표면 상에 선택적으로 형성된 분리 영역과, 분리 영역에 의해 규정되고 해당 분리 영역을 개재하여 인접하는 제1, 제2 영역과, 제1 영역상에 형성된 제1 불순물 영역과, 제1 영역상에 형성된 제2 불순물 영역과, 제2 영역상에 형성된 제3 불순물 영역과, 제2 영역상에 형성된 제4 불순물 영역과, 제1 불순물 영역과 제2 불순물 영역 사이에 형성된 제1 채널 영역과, 제3 불순물 영역과 제4 불순물 영역 사이에 형성된 제2 채널 영역과, 제1 채널 영역이 위치하는 반도체 기판의 주표면 중 제1 불순물 영역측에 위치하는 주표면 상에, 제1 절연막을 개재하여 형성된 제1 게이트와, 제1 채널 영역이 위치하는 반도체 기판의 주표면 중 제2 불순물 영역측에 위치하는 주표면 상에, 전하를 축적 가능한 제2 절연막을 개재하여 형성된 제2 게이트와, 제2 채널 영역이 위치하는 반도체 기판의 주표면 중 제3 불순물 영역측에 위치하는 주표면 상에, 제3 절연막을 개재하여 형성된 제3 게이트와, 제2 채널 영역이 위치하는 반도체 기판의 주표면 중 제4 불순물 영역측에 위치하는 주표면 상에, 전하를 축적 가능한 제4 절연막을 개재하여 형성된 제4 게이트와, 제1 영역과 제2 영역 사이에 위치하는 분리 영역상에 형성되고 제1 영역상에 형성된 제2 게이트와 제2 영역상에 형성된 제3 게이트를 접속하는 제1 접속부와, 제1 접속부 간에 형성된 제2 접속부를 구비하고, 제2 접속부는 제1 도전막과, 제1 도전막 주위에 제5 절연막을 개재하여 형성된 제2 도전막을 포함한다.

[0105] 본 발명에 관한 반도체 기억 장치는, 다른 국면에서는, 반도체 기판과, 반도체 기판의 주표면 상에 선택적으로 형성된 분리 영역과, 반도체 기판의 주표면 상에 분리 영역에 의해 규정된 활성 영역과, 활성 영역상에 형성된 제1 불순물 영역과, 활성 영역상에 형성된 제2 불순물 영역과, 제1 불순물 영역과 제2 불순물 영역 사이에 위치하는 반도체 기판의 주표면 상에 형성된 채널 영역과, 채널 영역의 상면 중 제1 불순물 영역측의 상면에 제1 절연막을 개재하여 형성된 환형의 제1 게이트와, 제2 불순물 영역측에 위치하는 제1 게이트의 측면 상에 형성된 오목부와, 채널 영역의 상면 중 제2 불순물 영역측의 상면에, 전하를 축적 가능한 제2 절연막을 개재하여 형성되고 제1 게이트의 측면 상에 형성된 환형의 제2 게이트와, 제2 게이트에 접속되고 오목부내에 형성된 접속부와, 접속부에 접속되고 제2 게이트에 전압을 인가 가능한 전압 인가부를 구비한다.

[0106] 본 발명에 관한 반도체 기억 장치의 제조 방법은, 다른 국면에서는, 반도체 기판의 주표면 상에 선택적으로 분리 영역을 형성하여 활성 영역을 규정하는 공정과, 활성 영역상에 제1 절연막을 형성하는 공정과, 제1 절연막상에 제1 도전막을 형성하는 공정과, 제1 도전막에 패터닝을 실시하여 소스 영역으로서 기능 가능한 제1 불순물

영역으로 되는 영역상에 개구부를 갖고, 제1 불순물 영역측의 측면에 오목부를 갖는 도전막 패턴을 형성하는 공정과, 도전막 패턴을 마스크로 하여 반도체 기판의 주표면에 불순물을 도입하여 제1 불순물 영역을 형성하는 공정과, 도전막 패턴을 덮고 전하를 축적 가능한 제2 절연막을 형성하는 공정과, 제2 절연막상에 제2 도전막을 형성하는 공정과, 제2 도전막 및 제2 절연막에 에칭을 실시하여, 도전막 패턴의 개구부의 측면 상에 제2 절연막을 개재하여 제2 게이트를 형성하는 공정과, 도전막 패턴 중 드레인 영역으로서 기능 가능한 제2 불순물 영역이 위치하는 영역을 에칭하여, 제1 불순물 영역의 주위를 둘러싸는 반도체 기판의 주표면 상에 제1 게이트를 형성하는 공정과, 반도체 기판의 주표면에 불순물을 도입하여 제2 불순물 영역을 형성하는 공정을 구비한다.

- [0107] 본 발명의 상기 및 다른 목적, 특징, 국면 및 이점은, 첨부의 도면과 관련하여 이해되는 본 발명에 관한 다음의 상세한 설명으로부터 분명해질 것이다.

발명의 구성 및 작용

- [0108] 도 1 내지 도 85를 이용하여, 본 발명에 관한 실시의 형태에 대하여 설명한다.
- [0109] (제1 실시 형태)
- [0110] 도 1은 본 제1 실시 형태에 관한 반도체 집적 회로 장치(불휘발성 반도체 기억 장치)(10)를 모식적으로 도시한 평면도이다. 이 반도체 집적 회로 장치(10)는, 예를 들면 MONOS(Metal Oxide Nitride Oxide Silicon) 구조의 플래시 메모리가 탑재된 흰색 마이크로컴퓨터로서 적용된다. 이 반도체 집적 회로 장치(10)는 기판상에 주변 회로 영역(65)과, 메모리셀 영역(67)을 구비하고 있다.
- [0111] 주변 회로 영역(65)은, 예를 들면, MPU(Micro Processing Unit) 영역(61)이나, I/O(Input/Output) 영역(64)과, ROM 컨트롤 영역(63a)을 구비하고 있다.
- [0112] 또한, 메모리셀 영역(67)은 ROM(Read Only Memory) 영역(63)과 RAM(Read Access Memory) 영역(62)을 구비하고 있다.
- [0113] 이들 각 영역(61, 63a, 64, 63, 62)은 반도체 기판(13)의 주표면 상에 선택적으로 형성된 분리 영역(25)에 의해 규정되어 있다. 이 분리 영역(25)은 반도체 기판(13)의 주표면에, 예를 들면, 300nm 정도의 깊이까지 에칭된 홈과, 이 홈내에 충전된, 예를 들면, 실리콘 산화막 등의 절연막으로 구성되어 있다. 도 2는 ROM 영역(63)의 메모리셀 영역의 단면도이다. 이 도 2에 도시하는 바와 같이, 메모리셀 영역(67)의 ROM 영역(63)에는 복수의 메모리셀 트랜지스터(27)가 형성되어 있다.
- [0114] 이 메모리셀 영역(67)에서는, 반도체 기판(13)의 주표면 측에는 P형의 웨(12)이 형성되어 있다. 이 반도체 기판(13)의 주표면 상에, 예를 들면, MONOS 구조 등으로 이루어지는 복수의 메모리셀 트랜지스터(제1 트랜지스터)(27)가 형성되어 있고, 메모리셀 트랜지스터(27)의 상면 측에는 비트선(48)이 형성되어 있다. 메모리셀 트랜지스터(27)는 반도체 기판(13) 상에 형성된 드레인 영역(제1 불순물 영역)(17)과, 반도체 기판(13)의 주표면 상에 형성된 소스 영역(제2 불순물 영역)(15)과, 소스 영역(15)과 드레인 영역(17) 사이에 위치하는 반도체 기판(13)의 주표면 상에 형성된 채널 영역(75)과, 채널 영역(75)이 위치하는 반도체 기판(13)의 주표면 중 드레인 영역(17)측에 위치하는 주표면 상에, 절연막(제1 절연막)(41)을 개재하여 형성된 컨트롤 게이트(제1 게이트)(42)와, 채널 영역(75)이 위치하는 반도체 기판(13)의 주표면 중 소스 영역(15)측에 위치하는 주표면 상에, 전하를 축적 가능한 절연막(제2 절연막)(44)을 개재하여 형성된 메모리 게이트 전극(제2 게이트)(45)을 구비하고 있다.
- [0115] 컨트롤 게이트(42)는, 예를 들면, 인(P) 등의 불순물이 주입(도입)된 다결정 실리콘막 등의 도전막으로 형성되어 있다. 이 컨트롤 게이트(42)의 반도체 기판(13)의 주표면에 대해 수직인 방향의 두께는, 예를 들면, 200nm 정도로 되어 있고, 반도체 기판(13)의 주표면과 평행한 방향의 폭은, 예를 들면, 90nm 정도로 되어 있다.
- [0116] 이 컨트롤 게이트(42)의 드레인 영역(17)측의 측면 상에는, 예를 들면, 실리콘 산화막 등으로 이루어지는 사이드월 형상의 절연막(46)이 형성되어 있다. 메모리 게이트 전극(45)은 컨트롤 게이트(42)의 소스 영역(15)측의 측면 상에 사이드월 형상으로 형성되어 있고, 예를 들면, 다결정 실리콘막 등의 도전막으로 구성되어 있다. 이 사이드월 형상의 메모리 게이트 전극(45) 바닥부의 폭은, 예를 들면, 45nm 정도로 되어 있다. 이 메모리 게이트 전극(45)의 소스 영역(15)측의 측면 상에는, 실리콘 산화막 등으로 이루어지는 사이드월 형상의 절연막(46)이 형성되어 있다.
- [0117] 소스 영역(15)은 비소(As) 등의 n형의 불순물이 도입된 저농도 불순물 확산층(15a)과, 이 저농도 불순물 확산층

(15a)보다 고농도의 n형 불순물이 도입된 고농도 불순물 확산층(15b)을 구비한, LDD(lightly doped drain) 구조로 되어 있다. 저농도 불순물 확산층(15a)은, 예를 들면, 비소와 함께, 예를 들면 $10^{13} \sim 10^{14} \text{ cm}^{-2}$ 의 이온 주입량(도스량)으로 인 등이 주입되어 있다.

[0118] 인이, 비소보다 열확산했을 때에, 반도체 기판(13)의 주표면과 평행한 방향으로 확산하기 쉽다. 이 때문에, 저농도 불순물 확산층(15a)의 컨트롤 게이트(42)측의 단부가 저농도 불순물 확산층(15a)의 중앙부보다 저농도로 된다. 이 때문에, 인 등을 주입함으로써, 저농도 불순물 확산층(15a)의 단부에 홀의 형성에 적절한 불순물의 전하 밀도 영역을 형성할 수 있다. 또한 비소를 이용하여 저농도 불순물 확산층(15a)을 형성할 때에, 동시에 붕소를 도입함으로써, 비소의 불순물 확산층 주위를 붕소의 불순물 확산층이 덮는 구조(Halo 구조)를 구성할 수 있어, 전계를 보다 높게 할 수 있다.

[0119] 드레인 영역(17)도, 소스 영역(15)과 마찬가지로 구성되어 있으며, n형의 저농도 불순물 확산층(17a)과, 이 저농도 불순물 확산층(17a)보다 고농도의 고농도 불순물 확산층(17b)을 구비하고 있다.

[0120] 그리고, 메모리 게이트 전극(45)의 상면과, 컨트롤 게이트(42)의 상면과, 소스 영역(15)의 상면과, 드레인 영역(17)의 상면 상에는, 예를 들면, 코발트 실리사이드(CoSi) 또는 니켈 실리사이드(NiSi) 등으로 구성된 금속 실리사이드막(37)이 각각 형성되어 있다. 여기에서, 컨트롤 게이트(42)의 상면은 소스 영역(15)측으로부터 드레인 영역(17)측에 걸쳐 평탄면 형상으로 형성되어 있고, 이 컨트롤 게이트(42)의 상면 상에 형성된 금속 실리사이드막(37)도, 소스 영역(15)측으로부터 드레인 영역(17)측에 걸쳐 평탄면 형상으로 형성되어 있다. 이 때문에, 금속 실리사이드막(37)의 두께에 치우침이 없어 컨트롤 게이트(42) 저항의 균일화를 도모할 수 있어, 컨트롤 게이트(42)의 저항을 원하는 값으로 설정할 수 있다.

[0121] 채널 영역(75)은 소스 영역(15)측에 위치하고 메모리 게이트 전극(45)하에 위치하는 영역에 형성된, 메모리 게이트 아래 채널 영역(제1 채널 영역)(14)과, 드레인 영역(17)측에 위치하고 컨트롤 게이트(42) 아래에 위치하는 영역에 형성된 컨트롤 게이트 아래 채널 영역(제2 채널 영역)(16)을 구비하고 있다.

[0122] 메모리 게이트 아래 채널 영역(14)의 전하 밀도(불순물 농도)는, 컨트롤 게이트 아래 채널 영역(16)의 전하 밀도보다 작다. 예를 들면, 메모리 게이트 아래 채널 영역(14)의 전하 밀도는, $10^{17} \sim 10^{18} / \text{cm}^3$ 인 것이 바람직하고, $3 \times 10^{17} / \text{cm}^3 \sim 7 \times 10^{17} / \text{cm}^3$ 이면 보다 바람직하고, 예를 들면 $5 \times 10^{17} / \text{cm}^3$ 정도이다. 컨트롤 게이트 아래 채널 영역(16)의 불순물의 전하 밀도(불순물 농도)는, 예를 들면 $10^{18} / \text{cm}^3$ 정도이다.

[0123] 절연막(44)은 메모리 게이트 전극(45) 아래에 위치하는 반도체 기판(13)의 주표면 상, 및 컨트롤 게이트(42)와 메모리 게이트 전극(45) 사이에 걸쳐 형성되어 있다.

[0124] 이 절연막(44)은, 예를 들면, 반도체 기판(13)의 주표면에 대해 수직인 방향의 두께가, 5nm 정도로 된 실리콘 산화막과, 이 실리콘 산화막 상에 형성되고 10nm 정도인 실리콘 질화막과, 이 실리콘 질화막상에 형성된 5nm 정도의 실리콘 산화막을 순차적으로 적층함으로써 형성되어 있다. 그리고, 이 절연막(44)의 반도체 기판(13)의 주표면에 대해 수직인 방향의 두께는, 예를 들면, 20nm 정도로 되어 있다.

[0125] 절연막(41)은 컨트롤 게이트(42) 아래에 위치하는 반도체 기판(13)의 주표면 상에 형성되어 있고, 예를 들면, 두께가 3nm 정도의 실리콘 산화막으로 구성되어 있다.

[0126] 이와 같이 구성된 메모리셀 트랜지스터(27)의 표면 상에는, 절연막(52)이 형성되어 있고, 이 절연막(52)의 상면 상에는 충간 절연막(38)이 형성되어 있다. 그리고, 이 충간 절연막(38)의 상면 상에는, 비트선(48)이 형성되어 있다.

[0127] 그리고, 드레인 영역(17)의 상면 상에 형성된 금속 실리사이드막(37)에는, 콘택트부(49)가 형성되어 있다. 이 콘택트부(49)는 충간 절연막(38)의 상면으로부터 하면측에까지 관통하는 콘택트 홀과, 이 콘택트 홀의 내벽면 상에 형성된 도전막(39)과, 도전막(39)의 표면측에 형성되며, 콘택트 홀 내에 충전된 도전막(50)으로 구성되어 있다. 그리고, 콘택트부(49)는 충간 절연막(38)을 관통하여 충간 절연막(38)상에 형성된 비트선(48)에 접속되어 있다.

[0128] 도 3은 주변 회로 영역(65)에서의 단면도이다. 이 도 3에 도시하는 바와 같이, 주변 회로 영역(65)이 위치하는 반도체 기판(13)의 주표면 상에는, P형의 웨(12)과 N형의 웨(18)이 형성되어 있다. 또한, P형의 웨(12)과 N형의 웨(18)의 경계 부분에는, 분리 영역(STI(Shallow Trench Isolation) 분리)(25)이 형성되어 있다. 그리고, P형의 웨(12)의 상면 상에는, 주변 회로 트랜지스터(28a)가 형성되어 있다. 또한, N형의 웨(18)의 상면

상에는, 주변 회로 트랜지스터(28b)가 형성되어 있다. 또한, 주변 회로 트랜지스터(28a, 28b)의 상면 상에는 절연막(52)이 형성되어 있고, 절연막(52)의 상면에는 충간 절연막(38)이 형성되어 있다. 이 충간 절연막(38)의 상면 상에는, 복수의 상층 배선(48a, 48b, 48c, 48d)이 배치되어 있다. 주변 회로 트랜지스터(28a)는 반도체 기판(13)의 주표면 상에 형성된 게이트 전극(43a)과, 이 게이트 전극(43a)과 반도체 기판(13) 사이에 형성된 게이트 절연막(40)을 구비하고 있다.

[0129] 게이트 전극(43a)의 반도체 기판(13)의 주표면에 대해 수직인 방향의 높이는, 도 2에 도시하는 메모리셀 트랜지스터(27)의 컨트롤 게이트(42)의 높이와 거의 같은 높이로 되어 있다.

[0130] 또한, 주변 회로 트랜지스터(28a)는 반도체 기판(13)의 주표면 상에 형성된 소스 영역(19a)과 드레인 영역(19b)을 구비하고 있다. 게이트 전극(43a)의 측면에는, 사이드월(47)이 형성되어 있다.

[0131] 소스 영역(19a)은 N형의 저농도 불순물 확산층(19a1)과, 저농도 불순물 확산층(19a1)내에 도입된 전하 밀도보다 고농도인 N형의 고농도 불순물 확산층(19a2)을 구비하고 있다. 또한, 드레인 영역도 소스 영역(19a)과 마찬가지로 구성되어 있어, 저농도 불순물 확산층(19b1)과, 이 저농도 불순물 확산층(19b1)보다 전하 밀도가 큰 고농도 불순물 확산층(19b2)을 구비하고 있다. 그리고, 게이트 전극(43a)과, 소스 영역(19a)과, 드레인 영역(19b)의 상면 상에는, 예를 들면, 코발트 실리사이드(CoSi) 또는 니켈 실리사이드(Nisi) 등으로 구성된 금속 실리사이드막(37)이 형성되어 있다.

[0132] 주변 회로 트랜지스터(28b)는 반도체 기판(13)의 주표면 상에 형성된 게이트 전극(43b)과, 이 게이트 전극(43b) 아래에 위치하는 반도체 기판(13)의 주표면 상에 형성된 게이트 절연막(40)과, 게이트 전극(43b)과 인접하는 반도체 기판(13)의 주표면 상에 형성된 P형의 소스 영역(20a) 및 P형의 드레인 영역(20b)을 구비하고 있다. 그리고, 게이트 전극(43b)의 상면 상과, 소스 영역(20a)의 상면 상과, 드레인 영역(20b)의 상면 상에도, 금속 실리사이드막(37)이 형성되어 있고, 콘택트부(49)가 형성되어 있다. 콘택트부(49)는 상층 배선(48c, 48d)에 접속되어 있다.

[0133] 도 4를 이용하여, 상기와 같이 구성된 반도체 집적 회로 장치(10)의 기입 동작에 대해 설명한다. 도 4는 기입 동작시에서의 메모리셀 영역(67)의 단면도이다. 이 도 4에 도시하는 바와 같이, 선택된 메모리셀 트랜지스터(27a)의 드레인 영역(17)에는, 예를 들면, 0.8V 정도의 전압이 인가되고, 소스 영역(15)에는, 예를 들면, 6V 정도의 전압이 인가된다. 그리고, 메모리 게이트 전극(45)에는 11V 정도의 전압이 인가되고, 컨트롤 게이트(42)에는 1.5V 정도의 전압이 인가된다.

[0134] 이와 같이, 전압을 인가하면, 컨트롤 게이트(42)와 메모리셀 게이트 전극(45)의 경계 부근에, 큰 전계가 생겨 많은 핫 일렉트론이 발생한다. 그리고, 전하를 축적 가능한 절연막(44) 내에 전자가 트랩된다. 그리고, 절연막(44) 중 질화 실리콘의 부분에 전자가 들어가, 전기 정보가 기입된다. 이 현상은 소스 사이드 인젝션(Source side injection: SSI)으로서 알려져 있다.

[0135] 또한, 도 5를 이용하여, 상기와 같이 구성된 반도체 집적 회로 장치(10)의 소거 동작에 대해 설명한다. 도 5는 소거 동작시에서의 메모리셀 영역(67)의 단면도이다. 이 도 5에 도시하는 바와 같이, 소스 영역(15)에 예를 들면, 6V 정도의 전압이 인가되고, 드레인 영역(17)에는 0V 정도의 전압이 인가된다. 그리고, 컨트롤 게이트(42)에는 0V 정도의 전압이 인가되고, 메모리 게이트 전극(45)에는 -6V 정도의 전압이 인가된다.

[0136] 이와 같이, 메모리 게이트 전극(45)에 부(-)전위를 부여하고 메모리 게이트측 불순물 확산층에 정(+)전위를 부여함으로써, 메모리 게이트 전극(45)측의 소스 영역(15)의 단부에서 강반전이 생겨, 밴드간 터널 현상을 일으켜, 홀을 생성할 수 있다. 발생한 홀은 바이어스에 의해 당겨져 메모리 게이트 전극(45) 아래에 위치하는 절연막(44) 내에 주입됨으로써, 소거 동작이 행해진다.

[0137] 이와 같이, 절연막(44) 내에 주입된 전자를 홀에 의해 중화함으로써, 상승한 임계치 전압을 저하시킨다.

[0138] 판독 동작에 있어서는, 예를 들면, 선택된 메모리셀 트랜지스터(27)의 컨트롤 게이트(42) 및 메모리 게이트 전극(45)에, 예를 들면, 1.5V 정도의 전압을 인가한다. 또한 소스 영역(15)에 예를 들면, 0V 정도의 전압을 인가하고, 드레인 영역(17)에, 예를 들면, 1.5V 정도의 전압을 인가한다. 이와 같이 하여, 선택된 메모리셀 트랜지스터(27)의 기입 상태에서의 임계치 전압과, 소거 상태에서의 메모리셀 트랜지스터(27)의 임계치 전압 사이에 위치하는 전압을, 소스 영역(15)과 드레인 영역(17) 사이에 인가한다. 여기에서, 선택된 메모리셀 트랜지스터(27)의 절연막(44)내에 전자가 트랩되어, 임계치 전압이 상승하고 있는 경우에는, OFF 상태가 유지되고, 절연막(44)내에 홀이 주입되고 있는 경우에는, ON 상태가 된다.

- [0139] 상기와 같이 구성된 반도체 집적 회로 장치(10)의 제조 방법에 대해 설명한다.
- [0140] 도 6은 반도체 집적 회로 장치(10)의 제조 공정의 제1 공정에 있어서, 메모리셀 영역(67)에서의 단면도이고, 도 7은 제1 공정에서의 주변 회로 영역(65)에서의 단면도이다.
- [0141] 이 도 7에 도시되는 바와 같이, 반도체 기판(13)의 주표면을 선택적으로, 예를 들면, 300nm 정도 에칭하여 분리 영역(소자 분리 영역)(25)용의 홈을 형성한다. 그리고, 열산화를 실시하여, 반도체 기판(13)의 주표면 상 및 홈부의 표면 상에, 예를 들면, 10nm 정도의 열산화막을 형성한다. 이와 같이, 열산화막을 형성한 후에, 반도체 기판(13)의 주표면 상에, 예를 들면, 500nm 정도의 실리콘 산화막 등의 절연막을 퇴적하고, CMP(Chemical Mechanical Polishing)법에 의해, 홈부내에 실리콘 산화막을 충전하여 분리 영역(25)을 형성한다.
- [0142] 이와 같이, 선택적으로 분리 영역(25)을 형성함으로써, 반도체 기판(13)의 주표면 상에, 도 2에 도시하는 메모리셀 트랜지스터(27)가 형성되는 도 1에 도시하는 ROM 영역(63)이나, RAM 영역(62), 로직 회로 영역(주변 회로 영역)(65) 등이 규정된다.
- [0143] 이와 같이, 분리 영역(25)을 형성한 후에, 또한 반도체 기판(13)의 주표면에, 예를 들면 ISSG(In-Situ Steam Generation) 산화법과 같은 열산화법에 의해 형성한 산화 실리콘으로 이루어지는 절연막(30)을, 예를 들면, 5nm 정도의 두께로 형성한다. 여기에서, 도 6에 도시하는 바와 같이, 도 1의 메모리셀 영역(67)이 위치하는 반도체 기판(13)의 주표면 상에, 예를 들면, 전하 밀도가 $10^{18} / \text{cm}^3$ 정도인 불순물을 도입하여 불순물 영역(16a)을 형성한다.
- [0144] 도 8은 반도체 집적 회로 장치(10)의 제2 공정(제1 도전막의 형성 공정)에서의 메모리셀 영역(67)의 단면도이다. 또한, 도 9는 반도체 집적 회로 장치(10)의 제2 공정에서의 주변 회로 영역(65)의 단면도이다. 이 도 8, 도 9에 도시하는 바와 같이, 반도체 기판(13)의 주표면 상의 메모리 영역(67)과 주변 회로 영역(65)의 전면에 형성된 절연막(30)의 상면 상에, 폴리실리콘막으로 이루어지는 도전막(31)을 예를 들면, 2.9nm 정도 퇴적한다. 그리고, 이 폴리실리콘막으로 이루어지는 도전막(31)의 상면 상에 TEOS(Tetraethoxysilane) 가스를 이용한 CVD법 등에 의해 절연막(32)을 퇴적한다.
- [0145] 도 10은 반도체 집적 회로 장치(10)의 제3 공정(제1 도전막의 패터닝 공정)에서의 메모리셀 영역(67)의 단면도이다. 이 도 10에 도시되는 바와 같이, 그리고, 절연막(32) 및 도전막(31)에 패터닝을 실시하여, 도 2에 도시되는 메모리셀 트랜지스터(27)의 소스 영역(15)이 되는 영역에 개구부(31b)가 형성된 도전 패턴(31a)을 형성한다. 도 11은 반도체 집적 회로 장치(10)의 제3 공정에서의 주변 회로 영역(65)에서의 단면도이다. 이 도 11에 도시되는 바와 같이, 주변 회로 영역(65)에서의 반도체 기판(13)의 주표면 상은 도전막 패턴(31a)에 의해 덮여 있다.
- [0146] 도 12는 반도체 집적 회로 장치(10)의 제4 공정(메모리셀 트랜지스터의 메모리 게이트 아래 채널 영역(14)의 형성 공정)에서의 메모리셀 영역(65)의 단면도이다. 이 도 12에 도시되는 바와 같이, 도전막 패턴(31a)은 불순물 영역(16a)의 상면 중 일부를 노출시키도록 개구부(31b)를 갖고 있다. 그리고, 이 도전막 패턴(31a)을 마스크로 하여 불순물 영역(16a)의 도전형과 상이한 도전형의 불순물을, 반도체 기판(13)의 주표면에 도입한다. 이와 같이, 불순물 영역(16a)의 도전형과 상이한 도전형의 불순물을 반도체 기판(13)의 주표면에 도입하면, 불순물 영역(16a)의 전하 밀도보다 작은 전하 밀도의 불순물 영역(14a)이 형성된다. 이와 같이 하여, 반도체 기판(13)의 주표면 중 도전막 패턴(31a)하에 위치하는 부분에, 불순물 영역(16a)이 잔류하고, 도전막 패턴(31a)의 개구부(31b)가 위치하는 부분에, 불순물 영역(16a)보다 전하 밀도가 작은 불순물 영역(14a)이 형성된다.
- [0147] 이와 같이, 도전막 패턴(31a)에 미리 개구부(31b)를 형성함으로써, 마스크를 이용하지 않아도 농도가 상이한 불순물 영역의 분리를 행할 수 있다.
- [0148] 이와 같이 도전 패턴(31a)을 마스크로 하여 마스크리스 주입을 행할 수 있어, 메모리 게이트 아래 채널 영역(14)을 간단하게 형성할 수 있다. 도 13은 반도체 집적 회로 장치(10)의 제4 공정에서의 주변 회로 영역(65)에서의 단면도이다. 이 도 13에 도시하는 바와 같이, 주변 회로 영역(65)에서는, 반도체 기판(13)의 주표면 상에는 도전막(31)과, 이 도전막(31)상에 형성된 절연막(32)이 거의 전면에 형성되어 있다.
- [0149] 도 14는 반도체 집적 회로 장치(10)의 제5 공정(제2 절연막의 형성 공정)에서의 메모리셀 영역(67)의 단면도이다. 이 도 14에 도시되는 바와 같이, 절연막(32)을 제거하고, 도전막 패턴(31a)을 덮도록 산화 실리콘으로 이루어지는 절연막, 질화 실리콘으로 이루어지는 절연막, 산화 실리콘으로 이루어지는 절연막을 순차적으로 적층 한다. 이에 따라, 도전막 패턴(31a)을 덮도록 절연막(33)이 형성된다. 또한, 산화 실리콘은, 예를 들면, ISSG

산화법 등과 같은 열산화법으로 형성하여도 된다. 상기와 같이 도전 패턴(31a) 상에 절연막(33)을 형성하면, 개구부(31b)가 위치하는 반도체 기판(13)의 주표면 상에도 열산화막이 형성된다. 한편, 도전 패턴(31a)과 반도체 기판(13)의 주표면 사이에는, 절연막(30)이 형성된다. 그리고, 이 절연막(33)의 상면 상에 폴리실리콘막 등으로 이루어지는 도전막(34)을 퇴적한다.

[0150] 도 15는 반도체 집적 회로 장치(10)의 제5 공정에서의 주변 회로 영역의 단면도이다. 이 도 15에 도시하는 바와 같이, 반도체 집적 회로 장치(10)의 제5 공정에 있어서, 도 1에 도시하는 주변 회로 영역(65)이 위치하는 영역에서는, 반도체 기판(13)의 주표면 상에, 절연막(30)을 개재하여 형성된 도전막 패턴(31a)과, 이 도전막 패턴(31a)의 상면 상에 형성된 절연막(33)과, 이 절연막(33) 상에 형성된 도전막(34)이 형성되어 있다.

[0151] 도 16은 반도체 집적 회로 장치(10)의 제6 공정(메모리 게이트 전극 · 소스 영역의 형성 공정)에서의 메모리셀 영역에서의 단면도이다. 이 도 16에 도시되는 바와 같이, 절연막(33)의 상면 상에 형성된 도전막(34)을 에칭하여, 도전막 패턴(31a)의 개구부(31b)의 내측면 상에 사이드월 형상의 메모리 게이트 전극(45)을 형성한다. 이와 같이, 도전막 패턴(31a)에 개구부(31b)를 미리 형성함으로써, 자기 생성적으로 메모리 게이트 전극(45)을 형성할 수 있다. 즉, 메모리 게이트 전극(45)을 형성할 때에, 마스크를 이용하지 않고도 메모리 게이트 전극(45)을 형성할 수 있어, 마스크 매수의 경감을 도모할 수 있다.

[0152] 또한 자기 생성적으로 메모리 게이트 전극(45)을 형성할 수 있으므로, 포토리소그래피에 의해, 메모리 게이트 전극(45)을 형성하는 경우와 상이하게, 마스크 어긋남에 수반하는 위치 어긋남이 생기거나 형성 불량 등의 문제가 생기는 것을 방지할 수 있다.

[0153] 여기에서, 반도체 기판(13)의 주표면 중 사이드월 형상의 메모리 게이트 전극(45)에 의해 둘러싸인 영역에는, 이미, 불순물 영역(14a)이 형성되어 있다. 그리고, 도전막 패턴(31a) 및 메모리 게이트 전극(45)을 마스크로 하여 불순물을 도입하여, n형의 저농도 불순물 확산층(15a)을 형성한다. 이 때문에, 메모리 게이트 전극(45) 아래에 위치하는 반도체 기판(13)의 주표면 상에, 불순물 영역(14a)이 잔류하여 메모리 게이트 아래 채널 영역(14)이 형성된다. 또한, 도전막 패턴(31a)하에 위치하는 반도체 기판(13)의 주표면 상에는, 불순물 영역(16a)이 형성되어 있다. 이와 같이, 본 제1 실시 형태에 관한 반도체 집적 회로 장치(10)의 제조 방법에 따르면, 마스크리스 주입에 의해, 메모리 게이트 아래 채널 영역(14)을 형성할 수 있을 뿐만 아니라, 소스 영역(15)의 저농도 불순물 확산층(15a)을 형성할 수 있다.

[0154] 도 17은 반도체 집적 회로 장치(10)의 제6 공정에서의 주변 회로 영역의 단면도이다. 이 도 17에 도시하는 바와 같이, 주변 회로 영역에서의 반도체 기판(13)의 주표면 상에는 도전막(31)과, 이 도전막(31)의 상면 상에 형성된 절연막(33)이 순차적으로 형성되어 있다.

[0155] 도 18은 반도체 집적 회로 장치(10)의 제7 공정(컨트롤 게이트 및 게이트 전극 형성 공정)에서의 메모리셀 영역에서의 단면도이고, 도 19는 반도체 집적 회로 장치(10)의 제7 공정에서의 주변 회로 영역에서의 단면도이다. 이 제7 공정에 있어서는, 우선, 도 16, 도 17에 도시된 메모리셀 영역 및 주변 회로 영역에 형성된 절연막(33)이 제거된다. 여기에서, 메모리셀 영역에 있어서는, 도전막 패턴(31a)의 상면 상에 형성된 절연막(33)과, 반도체 기판(13)의 주표면 상 중 메모리 게이트 전극(45)에 의해 협지된 영역에 형성된 절연막(33)이 제거된다. 또한, 주변 회로 영역에서는, 도전막 패턴(31a)의 상면 상에 형성된 절연막(33)은 제거된다. 이 때문에, 절연막(33)은 도전 패턴(31a)의 개구부(31b)측의 측면 상과, 메모리 게이트 전극(45) 아래에 위치하는 반도체 기판(13)의 주표면 상에 잔류한다. 즉, 절연막(33)은 형성된 메모리 게이트 전극(45)의 하면으로부터 측면에 걸쳐 형성된다. 이와 같이 하여, 도 2에 도시하는 절연막(44)이 형성된다.

[0156] 그리고, 절연막(33)의 일부를 제거한 후에는, 도전 패턴(31a)의 상면 상에 포토마스크를 배치하고, 도전 패턴(31a)에 포토리소그래피에 의한 패터닝을 실시한다. 이 패터닝에 의해, 메모리셀 영역에 형성되는 메모리셀 트랜지스터(27)의 컨트롤 게이트(42)와, 주변 회로 영역에 형성되는 주변 회로 트랜지스터(28a, 28b)의 게이트 전극(43a, 43b)을 동시에 형성한다.

[0157] 또한 패터닝에 의해, 도 2에 도시하는 메모리셀 트랜지스터(27)의 드레인 영역(17)과, 주변 회로 트랜지스터(28a, 28b)의 드레인 영역(19b, 20b)이 바깥쪽으로 노출한다.

[0158] 이 도전막 패턴(31a)의 패터닝에 있어서, 실리콘 산화막과 폴리실리콘막의 선택비가 큰 에칭을 채용함으로써, 각 드레인 영역(17, 19b, 20b)이 위치하는 반도체 기판(13)의 주표면에 에칭 손상이 가해지는 것을 억제할 수 있다. 이와 같이, 각 드레인 영역(17, 19b, 20b)이 위치하는 반도체 기판(13)의 주표면에 가해지는 에칭 손상을 경감함으로써, 각 드레인 영역(17, 19b, 20b)이 위치하는 반도체 기판(13)의 주표면이 함몰하는 것을 억제할

수 있다.

[0159] 도 20은 반도체 집적 회로 장치(10)의 제8 공정(메모리셀 트랜지스터의 드레인 영역 및 주변 회로 트랜지스터의 불순물 영역의 형성 공정)에서의 메모리셀 영역에서의 단면도이다. 또한, 도 21은 반도체 집적 회로 장치(10)의 제8 공정에서의 주변 회로 영역에서의 단면도이다. 이 도 20, 도 21에서, 도 1에 도시하는 메모리셀 트랜지스터(27)의 드레인 영역(17)과, 주변 회로 트랜지스터(28a)의 소스 영역(19a) 및 드레인 영역(19b)이 위치하는 영역이 개구한 마스크(72)를 이용하여, 포토리소그래피를 행한다. 그리고, 형성된 포토레지스트로부터 노출하는 반도체 기판(13)의 주표면 상에 불순물을 주입하여, 메모리셀 트랜지스터(27)의 저농도 불순물 확산층(17a)과, 주변 회로 트랜지스터(28a)의 저농도 불순물 확산층(19a1, 19b1)을 형성한다.

[0160] 여기에서, 본 제1 실시 형태에 관한 반도체 집적 회로 장치(10)의 제조 방법에서는, 드레인 영역(17, 19b, 20b)과 소스 영역(19a, 20a)이 위치하는 반도체 기판(13)의 주표면 상에, 소위 ONO막으로 이루어지는 절연막(33)이 형성되지 않는다. 이 때문에, ONO막의 실리콘 산화막의 열산화 처리가, 드레인 영역(17, 19b, 20b)과 소스 영역(19a, 20a)이 위치하는 반도체 기판(13)의 주표면 상에 실시되지 않는다. 이에 따라, 드레인 영역(17, 19b, 20b)과 소스 영역(19a, 20a)이 위치하는 반도체 기판(13)의 주표면이 ONO막 형성의 열산화 처리에 의해, 함몰되는 것이 억제되고 있다.

[0161] 또한, 드레인 영역(17, 19b, 20b)과 소스 영역(19a, 20a)이 위치하는 반도체 기판(13)의 주표면 상에 ONO막이 형성되는 일이 없기 때문에, ONO막을 제거하는 것에 의한 손상이 가해지는 일이 없어, 드레인 영역(17, 19b, 20b)과 소스 영역(19a, 20a)이 위치하는 반도체 기판(13)의 주표면이 함몰하는 것이 더욱 억제되고 있다.

[0162] 또한, 상기와 같이 저농도 불순물 확산층(17a)이 형성되면, 도 18에 도시한 불순물 영역(16a)이 컨트롤 게이트(42) 아래에 위치하는 반도체 기판(13)의 주표면 상에, 컨트롤 게이트 아래 채널 영역(16)으로서 잔류한다.

[0163] 도 22는 반도체 집적 회로 장치(10)의 제9 공정(주변 회로 트랜지스터의 불순물 영역의 형성 공정)에서의 메모리셀 영역의 단면도이다. 또한, 도 23은 반도체 집적 회로 장치(10)의 제9 공정에서의 주변 회로 영역의 단면도이다. 이 도 22, 도 23에 도시하는 바와 같이, 이 제9 공정에서는, 우선, 포토마스크(73)를 반도체 기판(13)의 주표면 상에 배치하고, 포토리소그래피에 의해, 주변 회로 트랜지스터(28b)의 소스 영역(20a), 드레인 영역(20b)이 위치하는 부분이 개구하는 포토레지스트를 형성한다. 그리고, 소스 영역(20a), 드레인 영역(20b)이 위치하는 반도체 기판(13)의 주표면에 불순물을 도입하여, 저농도 불순물 확산층(20a1, 20b1)을 형성한다.

[0164] 도 24는 반도체 집적 회로 장치(10)의 제10 공정(메모리셀 트랜지스터와 주변 회로 트랜지스터의 사이드월의 형성 공정)에서의 메모리셀 영역의 단면도이다. 또한, 도 25는 반도체 집적 회로 장치(10)의 제10 공정에서의 주변 회로 영역의 단면도이다. 이 도 24, 도 25에 있어서, 예를 들면, CVD법 등에 의해, 반도체 기판(13)의 주표면 상에 실리콘 산화막 등으로 이루어지는 절연막(36)을 형성한다. 그리고, 이 절연막(36)에 애칭을 실시하여, 컨트롤 게이트(42), 게이트 전극(43a, 43b)의 측면 상에 사이드월 형상의 절연막(36, 46)을 형성한다.

[0165] 그리고, 반도체 기판(13)의 주표면 상에 불순물을 도입하여 고농도 불순물 확산층(17b, 15b) 및 고농도 불순물 확산층(19a2, 19b2)을 반도체 기판(13)의 주표면 상에 형성하고, 메모리셀 트랜지스터(27) 및 주변 회로 트랜지스터(28a)를 형성한다. 또한 고농도 불순물 확산층(20a2, 20b2)을 형성하고, 주변 회로 트랜지스터(28b)를 형성한다.

[0166] 도 26은 반도체 집적 회로 장치(10)의 제11 공정(금속 실리사이드 형성 공정)에서의 메모리셀 영역의 단면도이다. 또한, 도 27은 반도체 집적 회로 장치(10)의 제11 공정에서의 주변 영역의 단면도이다.

[0167] 이 도 26, 도 27에 도시하는 바와 같이, 형성된 메모리셀 트랜지스터(27)의 컨트롤 게이트(42)의 상면과, 소스 영역(15)과, 드레인 영역(17)과, 주변 회로 트랜지스터(28a, 28b)의 소스 영역(19a, 20a) 및 드레인 영역(19b, 20b)의 상면 상에 코발트 실리사이드(CoSi) 또는 니켈 실리사이드(NiSi) 등으로 구성된 금속 실리사이드막(37)을 형성한다. 이때, 컨트롤 게이트(42)의 상단면에 형성된 금속 실리사이드막(37)과 메모리 게이트 전극(45)의 상단면에 형성된 금속 실리사이드막(37)은, 절연막(44)에 의해 전기적으로 절연되어 있다.

[0168] 도 28은 반도체 집적 회로 장치(10)의 제12 공정(비트선 형성 공정)에서의 메모리셀 영역의 단면도이다. 또한, 도 29는 반도체 집적 회로 장치(10)의 제12 공정에서의 주변 회로 영역의 단면도이다. 이 도 28, 도 29에 도시하는 바와 같이, 형성된 메모리셀 트랜지스터(27)와, 주변 회로 트랜지스터(28a, 28b)의 상면 상에 절연막(52)을 형성하고, 이 절연막(52)의 상면 상에 층간 절연막(38)을 형성한다. 그리고, 고농도 불순물 확산층(17b)에 형성된 절연막(52)과 층간 절연막(38)을 관통하는 콘택트부(49)를 형성한다. 또한 층간 절연막(38) 상에 배선(48a, 48b, 48c, 48d)을 형성한다. 상기와 같이 하여, 도 2, 도 3에 도시된 반도체 집적 회로 장치(10)가 형성

된다.

[0169] 상기 반도체 접적 회로 장치(10)의 제조 방법에 있어서는, 드레인 영역(17, 19b, 20b)과 소스 영역(19a, 20a)이 위치하는 반도체 기판(13)의 주표면 상에, 오목부가 형성되는 것이 억제되고 있으므로, 형성된 드레인 영역(17, 19b, 20b)과 소스 영역(19a, 20a)이, 반도체 기판(13)의 주표면으로부터 얇은 위치에 형성될 수 있다.

[0170] 여기에서, 드레인 영역(17, 19b, 20b)과 소스 영역(19a, 20a)이 되는 영역 상에 오목부가 형성되면, 컨트롤 게이트(42), 게이트 전극(43a, 43b) 아래에 위치하는 반도체 기판(13)의 주표면과, 드레인 영역(17, 19b, 20b)과 소스 영역(19a, 20a)의 경계 영역에 단차가 형성된다. 그리고 그 경계 영역에 예를 들면, 30nm 정도의 단차가 형성된 상태로, 드레인 영역(17, 19b, 20b)과 소스 영역(19a, 20a)이 되는 영역 상에 불순물을 도입하면, 경계 영역의 불순물의 전하 밀도가 커지는 것이 알려져 있다. 이 때문에, 그 후, 도입된 불순물을 열화산시키면, 반도체 기판(13)의 주표면에 대해 수평인 방향에도 확산한다. 이 결과, 소스 영역(15, 19a, 20a)과 드레인 영역(17, 19b, 20b) 사이의 거리가 작아져, 메모리셀 트랜지스터(27)의 임계치 전압이 급격하게 작아진다고 하는 문제가 생긴다. 그리고, 각 메모리셀 트랜지스터(27)의 임계치 전압에 불규칙이 생긴다.

[0171] 한편, 본 제1 실시 형태에 관한 반도체 접적 회로 장치(10)의 제조 방법에 따르면, 드레인 영역(17, 19b, 20b)과 소스 영역(19a, 20a)의 상면 상에 오목부가 형성되는 것이 억제되고 있기 때문에, 컨트롤 게이트(42, 43a, 43b) 하에 위치하는 반도체 기판(13)의 주표면과의 경계 영역에 큰 단차가 형성되는 것이 억제되고 있다.

[0172] 도 38은 본 제1 실시 형태에 관한 반도체 접적 회로 장치(10)의 메모리셀 트랜지스터(27)를 상세하게 도시한 단면도이다.

[0173] 이 도 38에 도시하는 바와 같이, 컨트롤 게이트(42) 하에 위치하는 반도체 기판(13)의 주표면과, 컨트롤 게이트(42)에 대해 메모리 게이트 전극(45)과 반대측에 위치하는 반도체 기판(13)의 주표면(R1) 사이의 반도체 기판(13)의 주표면에 대해 수직인 방향의 거리(h2)는, 예를 들면, 2nm 이상 3nm 정도로 되어 있다. 그리고, 메모리 게이트(45) 하에 위치하는 반도체 기판(13)의 주표면(R2)과 컨트롤 게이트(42) 하에 위치하는 반도체 기판(13)의 주표면 사이의 거리(h1)는 10nm 정도로 되어 있다.

[0174] 즉, 거리(h2)가 거리(h1)보다 작아지도록, 절연막(46) 하에 위치하는 반도체 기판(13)의 주표면은, 메모리 게이트 전극(45) 하에 위치하는 반도체 기판(13)의 주표면보다 위쪽에 위치하고 있다. 그리고, 도 20 및 도 38에 도시되는 바와 같이, 주표면(R2)과 컨트롤 게이트(42) 하에 위치하는 반도체 기판(13)의 주표면의 경계 영역에 거의 단차가 없고, 경계 영역이 거의 평탄면 형상으로 된 상태에서, 주표면(R2)에 불순물을 도입하여 저농도 불순물 확산층(17a)을 형성하기 때문에, 도입된 불순물의 전하 밀도에 변동이 생기는 것을 억제할 수 있다.

[0175] 도 85는 주변 회로 트랜지스터의 상세를 도시한 단면도로서, 이, 도 85에 도시하는 바와 같이, 불순물을 열화산시킬 때에 있어서도, 불순물이 반도체 기판(13)의 주표면(R3)과 평행한 방향으로 크게 확산하는 것을 억제할 수 있어, 형성되는 메모리셀 트랜지스터(27)의 임계치 전압을 원하는 것으로 할 수 있어, 각 메모리셀 트랜지스터(27)의 임계치 전압이 변동하는 것을 억제할 수 있다.

[0176] 또한, 주변 회로 트랜지스터(28a, 28b)의 게이트 전극(43a, 43b)의 양측면 측에 위치하는 반도체 기판(13)의 주표면에 손상이 가해지는 타이밍은, 도전막 패턴(31a)에 패터닝을 실시할 때에 생기고, 도 38에 나타내는 주표면(R1)에 손상이 가해지는 타이밍과 동일한 타이밍이다.

[0177] 이 때문에, 게이트 전극(43a, 43b)의 양측면 측에 위치하는 반도체 기판(13)의 주표면과, 게이트 전극(43a, 43b) 아래에 위치하는 반도체 기판(13)의 주표면의 경계 영역에, 큰 단차부가 형성되는 것이 억제되어 있다. 이에 수반하여, 주변 회로 트랜지스터(28a, 28b)에 있어서도, 소스 영역(19a, 20a)과 드레인 영역(19b, 20b) 사이의 거리가 작아지는 것이 억제되어, 주변 회로 트랜지스터(28a, 28b)의 임계치 전압이 작아지는 것을 억제할 수 있어, 원하는 임계치 전압으로 할 수 있다.

[0178] 또한, 게이트 전극(43a, 43b) 하에 위치하는 반도체 기판(13)의 주표면과, 게이트 전극(43a, 43b)과 인접하는 반도체 기판(13)의 주표면의, 주표면에 대해 수직인 방향의 거리는, 예를 들면, 2nm~3nm 정도로 억제할 수 있다. 또한, 도 6 및 도 7에 도시하는 제조 공정에 있어서, 메모리셀 영역이 위치하는 반도체 기판(13)의 주표면에 도입되는 불순물의 전하 밀도를, 주변 회로 영역이 위치하는 반도체 기판(13)의 주표면에 도입되는 전하 밀도 이하로 하여도 된다.

[0179] 이 경우에는, 도 6, 도 7에 도시하는 제조 공정에서의 열산화 처리에 의해, 메모리셀 영역이 위치하는 반도체 기판(13)의 주표면 상에 형성되는 절연막(30)의 두께는, 주변 회로 영역이 위치하는 반도체 기판(13)의 주표면

상에 형성되는 절연막(30)의 두께 이하가 된다.

[0180] 그리고, 도 38에 도시하는 주표면(R1)상에 형성된 절연막(30) 및 주변 회로 트랜지스터(28a, 28b)의 게이트 전극(43a, 43b)의 측면측에 위치하는 반도체 기판(13)의 주표면 상에 형성된 절연막(30)도 제거되기 때문에, 주표면(R1) 쪽이 게이트 전극의 측면 측에 위치하는 반도체 기판(13)의 주표면보다, 위쪽에 위치하게 된다. 이에 따라, 메모리셀 트랜지스터(27)의 임계치 전압을 원하는 임계치 전압으로 설정할 수 있다.

[0181] 여기에서, 반도체 집적 회로 장치(10)의 제4 공정(메모리셀 트랜지스터의 게이트 아래 채널 영역의 형성 공정)과 제5 공정(제2 절연막의 형성 공정)과 제6 공정(메모리 게이트 전극 · 소스 영역의 형성 공정)은, 주변 회로 트랜지스터(28a, 28b)의 제조 공정과는 별개의 메모리셀 트랜지스터(27) 특유의 제조 공정이다. 이러한, 메모리셀 트랜지스터(27) 특유의 공정을 행할 때에는, 주변 회로 영역이 위치하는 반도체 기판(13)의 주표면 상을 도전막 패턴(31a)으로 덮어, 주변 회로 영역이 위치하는 반도체 기판(13)에 영향이 주어지는 것을 억제하고 있다.

[0182] 한편, 컨트롤 게이트 전극과 주변 회로 트랜지스터의 게이트 전극을 패터닝하는 공정과, 메모리셀 트랜지스터(27)의 드레인 영역(17)과 주변 회로 트랜지스터(28a)의 드레인 영역(19b), 소스 영역(19a)을 형성하는 공정과, 각 사이드월을 형성하는 공정과, 금속 실리사이드막을 형성하는 공정은 각각 동시에 행해지고 있다.

[0183] 이와 같이, 우선, 메모리셀 트랜지스터(27) 특유의 공정을 주변 회로 영역을 덮은 상태로 행하고, 그 후, 메모리셀 트랜지스터(27)와 주변 회로 트랜지스터(28a, 28b)의 공통 공정을 행함으로써, 반도체 집적 회로 장치(10)의 제조 공정수를 저감할 수 있다.

[0184] (제2 실시 형태)

[0185] 도 30 내지 도 33 및 도 39 내지 도 45를 이용하여, 본 제2 실시 형태에 관한 반도체 집적 회로 장치(10)에 대해 설명한다. 도 39는 본 제2 실시 형태에 관한 반도체 집적 회로 장치(10)의 메모리셀 영역(67)의 평면도이다. 이 도 39에 도시하는 바와 같이, 반도체 집적 회로 장치(10)는 메모리셀 영역(67)이 위치하는 반도체 기판(13)의 주표면 상에 선택적으로 형성된 분리 영역(90)과, 이 분리 영역(90)에 의해 규정된 복수의 분할 메모리셀 영역(MCR1, MCR2)과, 각 분할 메모리셀 영역(MCR1, MCR2)상에 형성된 컨트롤 게이트(42), 메모리 게이트 전극(45)끼리를 접속하는 접속 영역(PR)을 구비하고 있다.

[0186] 그리고, 각 분할 메모리셀 영역(MCR1, MCR2)이 위치하는 반도체 기판(13)의 주표면 상에는, 한 방향을 향해 연장하는 복수의 컨트롤 게이트(42)와, 이 컨트롤 게이트(42)의 측면 상에 절연막(44)을 개재하여 형성된 메모리 게이트 전극(45)이 형성되어 있다.

[0187] 또한, 컨트롤 게이트(42)간에 위치하는 반도체 기판(13)의 주표면 상에는, 분리 영역(92)이 형성되어 있다. 그리고, 이 분리 영역(92)에 의해, 컨트롤 게이트(42)간에 위치하는 반도체 기판(13)의 주표면 상에, 복수의 드레인 영역(17)이 규정되어 있다. 그리고, 각 드레인 영역(17) 상에는, 각 드레인 영역(17)에 원하는 전압을 인가하는 콘택트부(49)가 형성되어 있다.

[0188] 메모리 게이트 전극(45)간에 위치하는 반도체 기판(13)의 주표면 상은, 메모리 게이트 전극(45)을 따라 연장하는 소스 영역(15)이 형성되어 있다. 이 소스 영역(15)과 드레인 영역(17) 사이에 위치하는 반도체 기판(13)의 주표면 상에는, 도 2에 도시하는 채널 영역(75)이 형성되어 있다. 인접하는 분할 메모리셀 영역(MCR1, MCR2)간에 위치하는 분리 영역(90) 상에는, 하나의 분할 메모리셀 영역(MCR1)상에 형성된 메모리 게이트 전극(45)과, 분리 영역(90)을 개재하여 인접하는 분할 메모리셀 영역(MCR2)상에 형성된 메모리 게이트 전극(45)을 접속하는 접속 배선(제1 접속부)(45A)이 형성되어 있다.

[0189] 그리고, 분리 영역(90)의 상면 중 접속 배선(45A)간에 위치하는 부분에는, 접속 배선(45A)끼리를 접속하는 접속 부(제1 접속부)(59)가 형성되고, 이 제1 접속부(59)에는 메모리 게이트 전극(45)에 원하는 전압을 인가하는 콘택트부(전압 인가부)(69)가 형성되어 있다.

[0190] 또한, 이 분리 영역(90)상에는, 분할 메모리셀 영역(MCR1)상에 형성된 컨트롤 게이트(42)와, 분할 메모리셀 영역(MCR2)상에 형성된 컨트롤 게이트(42)를 접속하는 접속 배선(제3 접속부)(42A)이 형성되어 있다. 이 접속 배선에는, 컨트롤 게이트(42)에 원하는 전압을 인가하는 콘택트부(68)가 형성되어 있고, 이 콘택트부(68)의 하단부에는 패드부(93)가 형성되어 있다.

[0191] 도 30은 도 39에 도시한 접속부(59)의 상세를 도시한 단면도이다. 이 도 30에 도시하는 바와 같이, 접속부(59)는 분리 영역(90)의 상면 상에 형성되고, 예를 들면, 폴리실리콘막 등으로 이루어지는

도전막(잔류부)(31A)과, 이 잔류부(31A)의 측면(주위면) 상에 형성되고, 예를 들면, ONO막 등으로 형성된 절연막(제5 절연막)(44)과, 이 절연막(44)을 개재하여 잔류부(31A)의 주위면 상에 형성되고 접속 배선(45A)간에 충전된 도전막(제2 도전막)(31B)을 구비하고 있다. 이와 같이 구성된 접속부(59)의 상면 상에, 콘택트부(69)가 형성되어 있다. 이 때문에, 콘택트부(69)에 인가된 전압은 도전막(31B)을 통해 접속 배선(45A)에 전달되어, 각 메모리 게이트 전극(45)에 인가된다.

[0192] 또한, 본 제2 실시 형태에 있어서는, 잔류부(31A)는 메모리 게이트 전극(45A)간에, 메모리 게이트 전극(45)이 연장하는 방향으로 2개소(복수) 형성되어 있지만, 이것에 한정되지 않고, 1개소라도 된다. 상기와 같이 구성된 반도체 접적 회로 장치(10)의 제조 방법에 대해 설명한다. 도 40은 상기 제1 실시 형태에 관한 반도체 접적 회로 장치(10)의 제조 공정에서, 도 6, 도 7에 도시하는 제1 제조 공정에 대응하는 제조 공정을 도시하는 단면도이다.

[0193] 이 도 40에 도시하는 바와 같이, 반도체 기판(13)의 주표면 상에 선택적으로 분리 영역(90, 92)을 형성한다. 이에 따라, 반도체 기판(90)의 주표면 상에는, 분리 영역(90)에 의해 규정된 분할 메모리셀 영역(MCR1, MCR2)을 형성한다. 그리고, 각 분할 메모리셀 영역(MCR1, MCR2)이 위치하는 반도체 기판(13)의 주표면 상에는, 분리 영역(92)에 의해 규정되는 활성 영역(91)을 형성한다.

[0194] 도 41은 상기 제1 실시 형태에 관한 반도체 접적 회로 장치(10)의 제3 공정에 대응하는 제조 공정을 도시하며, 도 10의 XLI-XLI선을 따라 취한 단면도이고, 도 31은 도 41에서, 분리 영역(90) 상의 상세를 도시한 단면도이다.

[0195] 이 도 41, 도 31에 도시하는 바와 같이, 형성되는 소스 영역(15)이 위치하는 영역에 개구부(31b)가 형성된 도전막 패턴(31a)을 형성함과 함께, 분리 영역(90) 상에 잔류부(31A)를 형성한다.

[0196] 그리고, 도전막 패턴(31a)간의 거리(L1)가, 예를 들면, 300nm 정도로 되도록 형성한다. 또한, 복수의 도전막 패턴(31a)이 배열하는 방향의 잔류부(31A)의 폭(L2)이, 예를 들면, 150nm 정도가 되도록 형성하고, 도전막 패턴(31a)이 연장하는 방향의 잔류부(31A)의 폭(L3)이, 예를 들면, 100nm 정도가 되도록 형성한다. 그리고, 복수의 잔류부(31A)가 형성되는 경우에는, 잔류부(31A)간의 거리(L4)는, 예를 들면, 100nm 정도가 되도록 잔류부(31A)를 형성한다. 또한, 잔류부(31A)와, 인접하는 도전막 패턴(31a) 사이의 거리(L5)가, 예를 들면, 100nm 이하가 되도록 형성한다.

[0197] 도 42 및 도 43은, 상기 도 14에 도시하는 상기 제1 실시 형태에 관한 반도체 접적 회로 장치(10)의 제5 공정에 대응하는 제조 공정을 나타내며, 도 14의 XLII-XLII선을 따라 취한 단면도이고, 도 32는 도 42의 분리 영역(90)의 상면을 상세하게 도시한 단면도이다.

[0198] 도 14, 도 42에 도시하는 바와 같이, 도전막 패턴(31a)을 덮으면서 또한 도전막 패턴(31a) 간에 위치하는 반도체 기판(13)의 주표면 상에 절연막(33)을 형성한다. 이에 따라, 도전막(31a)의 양측면 상 및 잔류부(31A)의 표면 상에도, 절연막(33)이 형성된다. 그리고, 이 절연막(33)의 상면 상에 도전막(34)을 퇴적한다.

[0199] 그리고, 도 14, 도 32, 도 43에 도시하는 바와 같이, 절연막(33)의 상면 상에 도전막(34)을 형성한다. 이때, 잔류부(31A) 간의 간극 및, 잔류부(31A)와 도전막 패턴(31a) 사이의 간극은, 도전막(34)에 의해 충전된다.

[0200] 도 44는 상기 도 16에 도시하는 상기 제1 실시 형태에 관한 반도체 접적 회로 장치(10)의 제6 공정에 대응하며, 도 16의 XLIV-XLIV선을 따라 취한 단면도이고, 도 33은 도 44에서, 분리 영역(90)에서의 상세를 도시하는 단면도이다.

[0201] 이들, 도 16, 도 33, 도 44에 도시하는 바와 같이, 도전막(34)에 에칭을 실시하여, 메모리 게이트 전극(45)을 형성한다.

[0202] 이때, 도 2에서의 메모리 게이트 전극(45)이 형성됨과 함께, 잔류부(31A)의 표면에 도전막(31B)이 잔류한다. 여기에서, 잔류부(31A)끼리는, 서로 근접하도록 배치되고 있기 때문에, 잔류부(31A)의 표면에 형성된 도전막(31B)끼리가 연결되어 일체가 된다. 또한, 잔류부(31A)와 도전막 패턴(31a) 사이도 근접하고 있기 때문에, 잔류부(31A)의 표면에 형성된 도전막(31B)과, 형성된 메모리 게이트 전극(45)이 연결된다. 즉, 메모리 게이트 전극(45)을 형성하는 공정에서는, 대향 배치하는 메모리 게이트 전극(45)끼리는, 잔류부(31A)의 표면에 형성된 도전막(31B)에서 일체적으로 접속된다.

[0203] 이와 같이, 상기 제1 실시 형태에 기술된 반도체 접적 회로 장치(10)의 제조 공정 중 도전막(31)의 패터닝 공정에서, 잔류부(31A)가 형성되도록 도전막(31)에 패터닝을 실시함으로써, 접속부(59)가 자기 생성적으로 형성될

수 있다.

[0204] 도 45는 상기 도 44에 도시한 반도체 접적 회로 장치(10)의 제조 공정 후의, 제조 공정을 도시하며, 도 18의 XLV-XLV선을 따라 취한 단면도이다. 이 도 45에 도시하는 바와 같이, 도전막 패턴(31a)에 패터닝을 실시하여 드레인 영역(17)이 되는 영역을 노출시킴과 동시에, 패드부(93)를 형성한다.

[0205] 그리고, 도 30에 도시하는 바와 같이, 형성된 접속부(59)의 상면 상에 콘택트부(69)를 형성한다. 즉, 접속부(59)가 도 2에 도시하는 메모리 게이트 전극(45)의 인출부로서 이용된다. 또한, 전술한 반도체 접적 회로 장치(10)의 제조 공정 이외의 제조 공정은, 상기 제1 실시 형태에 기재된 반도체 접적 회로 장치(10)의 제조 공정을 포함한다.

[0206] 이러한, 본 제2 실시 형태에 관한 반도체 접적 회로 장치(10)의 제조 방법에 따르면, 메모리 게이트 전극(45)의 인출부를 형성하는 공정을 마련할 필요가 없고, 반도체 접적 회로 장치(10)의 제조 공정의 총 공정수 및 마스크 매수를 저감할 수 있다. 또한, 본 제2 실시 형태에 관한 반도체 접적 회로 장치(10)의 제조 방법은, 상기 제1 실시 형태에 관한 반도체 접적 회로 장치(10)의 제조 공정 중 도전막(31)의 패터닝 공정시에, 잔류부(31A)를 형성하는 것으로 하고 있어, 제1 실시 형태에 관한 반도체 접적 회로 장치(10)와 마찬가지의 작용·효과를 얻을 수 있다.

[0207] (제3 실시 형태)

[0208] 도 46 내지 도 52를 이용하여, 본 제3 실시 형태에 관한 반도체 접적 회로 장치(10)에 대해 설명한다. 또한, 상기 제1 실시 형태 또는 제2 실시 형태에 관한 반도체 접적 회로 장치(10)와 마찬가지 구성에 대해서는, 동일한 부호를 부여하고 그 설명을 생략한다.

[0209] 도 46은 본 제3 실시 형태에 관한 반도체 접적 회로 장치(10)의 평면도이다. 이 도 46에서, 반도체 접적 회로 장치(10)는 메모리셀 영역(67)이 위치하는 반도체 기판(13)의 주표면 상에 선택적으로 형성된 분리 영역(90)과, 이 분리 영역(90)에 의해 규정된 띠 형상의 활성 영역(91)과, 이 분리 영역(91) 상에 형성된 소스 영역(15) 및 드레인 영역(17)과, 환형으로 형성된 복수의 컨트롤 게이트(제1 게이트)(42A, 42B)와, 컨트롤 게이트(42A, 42B)의 소스 영역(제1 불순물 영역)(15)측의 측면 상에, 절연막(44)을 개재하여 형성된 환형의 메모리 게이트 전극(제2 게이트)(45A, 45B)을 구비하고 있다.

[0210] 활성 영역(91)은 컨트롤 게이트(42A, 42B) 및 메모리 게이트 전극(45)의 폭방향으로 연장하도록 띠 형상으로 형성되고 있고, 컨트롤 게이트(42A, 42B) 및 메모리 게이트 전극(45A, 45B)이 연장하는 방향으로 간격을 두고 복수 형성되어 있다.

[0211] 그리고, 소스 영역(15)은 이 띠 형상의 활성 영역(91)의 양단부에 형성되어 있고, 드레인 영역(17)은 띠 형상의 활성 영역(91)의 중앙부에 형성되어 있다. 그리고, 채널 영역(75)이 활성 영역(91) 중 드레인 영역(17)과 소스 영역(15) 사이에 형성되어 있다.

[0212] 이 때문에, 활성 영역(91)의 길이 방향으로 인접하는 활성 영역(91)은, 서로 소스 영역(15)이 대향하도록 배치되어 있다. 그리고, 각 소스 영역(15)에 콘택트부(전압 인가부)(51)가 형성되어 있다. 이 전압 인가부(51)는 상층 배선(48B, 48C)에 접속되어 있다.

[0213] 이와 같이, 각 소스 영역(15)에는 활성 영역보다 전기 저항이 작은, 배리어 메탈이나 텅스텐 등으로 구성된 콘택트부나, 배선을 통해 전압을 인가하고 있어, 배선 저항이 경감되고 있다.

[0214] 이 때문에, 선택된 메모리셀 트랜지스터의 위치에 의해, 소스 영역(15)에 인가되는 전압이 변동하는 것을 억제할 수 있어, 어느 메모리셀 트랜지스터의 소스 영역(15)에서도 원하는 전압을 인가할 수 있어, 오작동을 억제할 수 있다.

[0215] 여기에서, 활성 영역을 통해, 각 메모리셀 트랜지스터의 소스 영역(15)을 접속했을 경우에는, 기입 동작시에, 각 메모리셀 트랜지스터의 소스 영역에 원하는 전압을 인가하기 위해, 큰 전압을 공유의 소스 영역에 인가할 필요가 있다. 그러나, 이와 같이 복수의 메모리셀 트랜지스터의 소스 영역(15)이 공유 상태로, 큰 전압을 인가하면, 비선택의 메모리셀 트랜지스터에 있어서도, 기입 동작이 일어나는 경우가 있어, 오동작이 생기기 쉽다. 한편, 상기와 같이, 각 소스 영역을 별개 독립의 것으로 하고, 그 위에, 활성 영역보다 저저항인 배선을 통해 전압을 인가함으로써, 오동작을 억제할 수 있다.

[0216] 컨트롤 게이트(42A, 42B)는 활성 영역(91)의 길이 방향으로 인접하는 활성 영역(91)의 채널 영역(75) 상을

지나, 이 인접하는 어느 하나의 활성 영역(91)의 소스 영역(15)도 둘러싸도록 환형으로 형성되어 있다. 이 컨트롤 게이트(42A, 42B)의 소스 영역(15)측의 측면 상에는, 오목부(96)가 형성되어 있다. 이 오목부(96)는 컨트롤 게이트(42A, 42B)의 길이 방향의 양단부측에 형성되어 있고, 분리 영역(90)의 상면 상에 위치하고 있다. 또한, 컨트롤 게이트(42A, 42B)의 길이 방향의 양단부에는 패드부(93)가 형성되어 있고, 이 패드부(93)에는 컨트롤 게이트(42A, 42B)에 원하는 전압을 인가 가능한 콘택트부(전압 인가부)(68)가 형성되어 있다.

[0217] 메모리 게이트 전극(45A, 45B)은 컨트롤 게이트(42A, 42B)의 내측면 상에 형성되어 있고, 컨트롤 게이트(42A, 42B)와 마찬가지로 소스 영역(15)을 둘러싸도록 환형으로 형성되어 있다. 이 메모리 게이트 전극(45A, 45B)의 길이 방향의 양단부에는, 이 메모리 게이트 전극(45A, 45B)에 전압을 인가하는 패드부(접속부)(59)가 형성되어 있다. 이 접속부(59)는 오목부(96) 내에 메모리 게이트 전극(45A, 45B)을 구성하는 도전막의 일부가 들어감으로써 형성되어 있다.

[0218] 도 47은 도 46의 XLVII-XLVII 선을 따라 취한 단면도이다. 이 도 47에 도시하는 바와 같이, 반도체 기판(13)의 주표면 상에는 컨트롤 게이트(42A)를 포함하는 메모리셀 트랜지스터(27A)와, 컨트롤 게이트(42B)를 포함하는 메모리셀 트랜지스터(27B, 27C)가 형성되어 있다. 그리고, 메모리셀 트랜지스터(27A)와 메모리셀 트랜지스터(27B)는 드레인 영역(17)을 공유하고 있다. 이 공유 드레인 영역(17)에는 배리어 메탈(39)과 텅스텐막(50)을 구비하는 콘택트부(49)가 형성되어 있다.

[0219] 이 콘택트부(49)는 상층 배선(48B)에 접속되고, 또한 콘택트부(94)를 통해 비트선(95)에 접속되어 있다.

[0220] 또한, 환형으로 형성된 컨트롤 게이트(42B)를 포함하고, 인접하는 메모리셀 트랜지스터(27B)는, 서로 분리 영역(90)에 의해 분리되어 있다. 그리고, 도 48은 도 46의 XLVIII-XLVIII 선을 따라 취한 단면도로서, 패드부(59) 부근의 단면도이다. 이 도 48에 도시하는 바와 같이, 오목부(96)는 분리 영역(90) 상에 위치하고 있고, 이 오목부(96)의 내표면 및 이 오목부(96)가 위치하는 분리 영역(90)의 상면 상에는, 절연막(44)이 형성되어 있다.

[0221] 그리고, 이 오목부(96)의 내측면 상에는, 메모리 게이트 전극(45)이 사이드월 형상으로 형성되어 있고, 오목부(96)의 한편의 내측면 상에 형성된 메모리 게이트 전극(45)과, 다른 한편의 내측면 상에 형성된 메모리 게이트 전극(45)은, 서로 접촉하고 있다.

[0222] 이 오목부(96)내에서 서로 접촉하는 메모리 게이트 전극(45)의 상면 상에는, 금속 실리사이드막(37)을 개재하여 콘택트부(69)가 형성되어 있다.

[0223] 이와 같이, 콘택트부(69)의 패드부(59)는 오목부(96)내에 형성되고, 서로 접촉하는 메모리 게이트 전극(45)에 의해 구성되어 있다.

[0224] 또한, 오목부(96)의 폭은, 도 46에 도시하는 메모리 게이트 전극(45)의 폭의 2배보다 작아, 60nm보다 작게 되어 있다.

[0225] 또한, 상기 구성 이외의 구성은, 상기 제1 실시 형태 또는 제2 실시 형태에 관한 반도체 집적 회로 장치(10)와 마찬가지의 구성으로 되어 있다. 도 83은 상기와 같이 구성된 반도체 집적 회로 장치(10)의 회로도이고, 도 84는 그 모식도이다.

[0226] 상기와 같이, 구성된 반도체 집적 회로 장치(10)의 각 동작에 대해 설명한다. 도 80은 본 제3 실시 형태에 관한 반도체 집적 회로 장치(10)의 판독 동작시에서의 동작선도이다. 이 도 80 및 도 46에 있어서, 선택된 메모리셀의 소스 영역(15)에는 0V 정도의 전압을 인가한다. 그리고, 선택된 메모리셀의 메모리 게이트 전극(45)에는, 예를 들면, 0V 정도의 전압을 인가한다. 또한, 선택된 메모리셀의 컨트롤 게이트(42)에는, 예를 들면, 1.5V 정도의 전압을 인가하고, 드레인 영역(17)에는 1V 정도의 전압을 인가하고, 반도체 기판(13)에는 0V 정도의 전압을 인가한다.

[0227] 도 81은 기입 동작에서의 동작선도이다. 이 도 81에 나타내는 바와 같이, 선택된 메모리셀의 소스 영역(15)에는, 예를 들면, 6V 정도의 전압을 인가하고, 메모리 게이트 전극(45)에는, 예를 들면, 11V 정도의 전압을 인가한다. 또한 선택된 메모리셀의 컨트롤 게이트(42)에는, 1V 정도의 전압을 인가함과 함께, 드레인 영역(17)에 0.8V~1.5V 정도의 전압을 인가하고, 반도체 기판(13)에는 0V 정도의 전압을 인가한다.

[0228] 도 82는 소거 동작에서의 동작선도이다. 이 도 82에 나타내는 바와 같이, 선택된 메모리셀의 소스 영역(15)에는, 예를 들면, 6V 정도의 전압을 인가하고, 또한 메모리 게이트 전극(45)에는, 예를 들면, 3V의 전압을 인가하고, 드레인 영역(17) 및 컨트롤 게이트에는, 0V 정도의 전압을 인가한다. 그리고, 반도체 기판(13)에는 0V 정도의

전압을 인가한다. 여기에서, 비선택의 메모리셀의 메모리 게이트 전극(42)에는, -6V 정도의 전압을 인가한다.

[0229] 상기와 같이 구성된 본 제3 실시 형태에 관한 반도체 집적 회로 장치(10)의 제조 방법에 대해 설명한다.

[0230] 도 49는 상기 도 6, 도 7에 도시하는 상기 제1 실시 형태에 관한 반도체 집적 회로 장치(10)의 제조 공정의 제1 공정에 대응하는 공정을 도시하는 평면도이다.

[0231] 이 도 49에 도시하는 바와 같이, 메모리셀 영역(67)이 위치하는 반도체 기판(13)의 주표면 상에 분리 영역(90)을 형성하고, 복수의 활성 영역(91)을 규정한다.

[0232] 도 50은 상기 도 10, 도 11에 도시하는 상기 제1 실시 형태에 관한 반도체 집적 회로 장치(10)의 제3 공정에 대응하는 제조 공정을 도시하는 평면도이다.

[0233] 이 도 50에 도시하는 바와 같이, 각 활성 영역(91) 중 소스 영역(15)이 위치하는 영역에 개구부(31b)를 갖는 도전막 패턴(31a)을 형성한다. 이때, 개구부(31b)의 길이 방향의 양단부 측에 오목부(96)를 동시에 패터닝한다.

[0234] 도 51은 상기 도 16, 도 17에 대응하는 제조 공정을 도시하는 평면도이다. 이 도 51 및 도 16에 도시하는 바와 같이, 도전막 패턴(31a)의 표면 상 및 개구부(31b)가 위치하는 반도체 기판(13)의 주표면 상에, 절연막(44)을 형성한다. 이때, 오목부(96)의 내표면 상 및 이 오목부(96)가 위치하는 분리 영역(90)상에도 도전막(34)이 형성된다.

[0235] 그리고, 이 절연막(44)의 상면 상에 도전막(34)을 퇴적(형성)하고, 이 도전막(34)을 에칭하고, 개구부(31b)의 표면 상에 절연막(44)을 개재하여, 메모리 게이트 전극(45)을 형성한다.

[0236] 이 때, 도 51 및 도 48에 도시하는 바와 같이, 오목부(96) 내에 메모리 게이트 전극(45)을 구성하는 도전막(34)이 사이드월 형상으로 잔류하여, 패드부(59)가 자기 생성적으로 형성된다. 여기에서, 패드부(59)를 포토리소그래피에 의해 형성하는 경우에는, 형성되는 패드부와 컨트롤 게이트의 마진을 취할 필요가 있거나, 성형 불량 등이 생겼을 때를 위한 마진을 취해 둘 필요가 있다. 한편, 상기와 같이, 자기 생성적으로 형성하는 경우에는, 이러한 마진을 취할 필요가 없어, 패드부를 리소그래피에 의해 형성하는 경우보다 반도체 집적 회로 장치(10)의 미세화를 도모할 수 있다.

[0237] 도 52는 상기 도 51에 도시한 제조 공정 후의 제조 공정을 도시하는 평면도이다. 이 도 52에 도시하는 바와 같이, 도전막 패턴(31a)에 패터닝을 실시하여, 컨트롤 게이트(42)를 형성함과 함께, 다른 주변 회로 트랜지스터의 게이트 전극도 패터닝하여 형성한다.

[0238] 또한, 상기 제조 공정 이외의 공정은, 상기 제1, 제2 실시 형태에 관한 제조 공정과 마찬가지의 공정이 된다.

[0239] (제4 실시 형태)

[0240] 도 53 내지 도 66을 이용하여, 본 제4 실시 형태에 관한 반도체 집적 회로 장치(10)에 대해, 설명한다. 도 53은 본 제4 실시 형태에 관한 반도체 집적 회로 장치(10)의 예를 들면, RAM 영역(62)에서의 평면도이다. 이 도 53에 도시하는 바와 같이, RAM 영역(62)이 위치하는 반도체 기판(13)의 주표면 상에는, 복수의 SRAM의 메모리셀(M1~M6)이 형성되어 있다.

[0241] 각 메모리셀(M1~M6)은 반도체 기판(13)의 주표면 상에, 서로 선대칭적으로 배치되어 있다. 도 54를 이용하여, SRAM의 메모리셀(M1)의 구성에 대해 간단하게 설명한다. 메모리셀(M1)은 풀 CMOS 셀 구조를 갖고, 제1 인버터와 제2 인버터를 구비하고 있다. 이 메모리셀(M1)의 등가 회로를 도 54에 나타낸다. 도 54를 이용하여, SRAM의 메모리셀(M1)의 구성에 대해 간단하게 설명한다. 메모리셀(M1)은 풀 CMOS 셀 구조를 갖고, 제1과 제2 인버터와, 2개의 액세스 NMOS 트랜지스터(N3, N4)를 갖는다.

[0242] 제1 인버터는 제1 드라이버 MOS 트랜지스터(N1)와 제1 로드 PMOS 트랜지스터(P1)를 포함하고, 제2 인버터는 제2 드라이버 NMOS 트랜지스터(N2)와 제2 로드 PMOS 트랜지스터(P2)를 포함한다.

[0243] 제1 인버터와 제2 인버터는 서로의 입력과 출력을 접속한 플립플롭을 형성하고, 플립플롭의 제1 기억 노드(Na)에 제1 액세스 NMOS 트랜지스터(N3)의 소스가 접속되고, 플립플롭의 제2 기억 노드(Nb)에 제2 액세스 NMOS 트랜지스터(N4)의 소스가 접속된다.

[0244] 기억 노드(Na)는 제1 액세스 NMOS 트랜지스터(N3)를 통해 비트선(BL1)에 접속되고, 기억 노드(Nb)는 제2 액세스 NMOS 트랜지스터(N4)를 통해 비트선(BL2)에 접속된다. 또한 제1과 제2 액세스 NMOS 트랜지스터(N3, N4)의 게이트는 워드선(WL)에 접속되고, 제1과 제2 로드 PMOS 트랜지스터(P1, P2)의 소스는 전원선(VDD)에 접속된다.

- [0245] 다음으로, 상기 풀 CMOS SRAM의 메모리셀(M1)의 레이아웃에 대해 설명한다. 도 53에 도시하는 바와 같이, 불순물을 도입하여 N웰 영역의 양측에 P웰 영역을 형성한다. 그리고, 반도체 기판(13)의 주표면 상에 선택적으로 분리 영역(120)을 형성하여, P웰 영역 및 N웰 영역 상에 활성 영역(102a, 102b, 102c, 102d)을 규정한다. 그리고, P웰 영역 내에 형성된 활성 영역(102a, 102b, 102c, 102d)에, 선택적으로 인 등의 N형 불순물을 주입하여 불순물 확산 영역을 형성하고, N웰 영역 내에 형성된 활성 영역에 선택적으로 봉소 등의 P형 불순물을 주입하여 불순물 확산 영역을 형성한다. 본 명세서에서는, 활성 영역(102a, 102b, 102c, 102d)은 트랜지스터의 소스/드레인이 되는 영역과, 해당 영역 간에 위치하고 해당 영역과는 역인 도전형의 영역(기판 부분)을 포함하는 영역이다.
- [0246] 활성 영역(102a, 102d)과 활성 영역(102b, 102c)은, 함께 직선형의 형상을 갖고, 같은 방향(P웰 영역 및 N웰 영역의 연장 방향)으로 연장한다. 그에 따라, P웰 영역이나 N웰 영역의 폭이나 형성 위치의 분산을 작게 할 수 있다.
- [0247] 본 실시 형태에서의 메모리셀(M1)은 6개의 MOS 트랜지스터로 구성된다. 구체적으로는 메모리셀(M1)은, 제1과 제2 드라이버 NMOS 트랜지스터(N1, N2)와, 제1과 제2 액세스 NMOS 트랜지스터(N3, N4)와, 제1과 제2 로드 PMOS 트랜지스터(P1, P2)로 구성된다.
- [0248] 제1과 제2 액세스 NMOS 트랜지스터(N3, N4) 및 제1과 제2 드라이버 NMOS 트랜지스터(N1, N2)는, N웰 영역의 양측의 P웰 영역 상에 각각 형성되고, 제1과 제2 로드 PMOS 트랜지스터(P1, P2)는 중앙의 N웰 영역 상에 형성된다. 제1 액세스 NMOS 트랜지스터(N3)는, 소스/드레인이 되는 영역을 포함하는 불순물 확산 영역(102a1)과 폴리실리콘 배선(103a)의 교차부에 형성되고, 제2 액세스 NMOS 트랜지스터(N4)는 소스/드레인이 되는 영역을 포함하는 활성 영역(102d)과 폴리실리콘 배선(103d)의 교차부에 형성된다.
- [0249] 제1 드라이버 NMOS 트랜지스터(N1)는 소스/드레인이 되는 영역을 포함하는 불순물 확산 영역(102a1)과 폴리실리콘 배선(103b)의 교차부에 형성되고, 제2 드라이버 NMOS 트랜지스터(N2)는 소스/드레인이 되는 영역을 포함하는 활성 영역과 폴리실리콘 배선(103c)의 교차부에 형성된다.
- [0250] 제1 로드 PMOS 트랜지스터(P1)는 소스/드레인이 되는 영역을 포함하는 불순물 확산 영역(102b1)과 폴리실리콘 배선(103b)의 교차부에 형성되고, 제2 액세스 PMOS 트랜지스터(P2)는 소스/드레인이 되는 영역을 포함하는 활성 영역(102c)과 폴리실리콘 배선(103c)의 교차부에 형성된다.
- [0251] 폴리실리콘 배선(103a~103d)은 각 MOS 트랜지스터의 게이트가 되어, 도 53에 도시하는 바와 같이, 같은 방향으로 연장한다. 즉, 폴리실리콘 배선(103a~103d)은 P웰 영역과 N웰 영역이 연장하는 방향(도 53에서의 종방향)에 수직인 방향(도 53에서의 횡방향)이며, P웰 영역과 N웰 영역이 나란한 방향으로 연장한다.
- [0252] 활성 영역(102a~102d) 및 폴리실리콘 배선(103a~103d)을 덮도록, 도시하지 않은 충간 절연막을 형성하고, 그 활성 영역(102a~102d)에 형성되고 소스/드레인으로서 기능하는 불순물 확산 영역에 도달하는 콘택트부(104a~104l)를 형성한다. 이 콘택트부(104a~104l)내에는, 상층 배선과의 접속용 도전층이 매립되어 있다.
- [0253] 또한, 콘택트부(104a, 104l)는 게이트에 도달하는 게이트 콘택트이고, 콘택트부(104f, 104g)는 불순물 확산 영역과 폴리실리콘 배선에 도달하는 공통 콘택트(Shared Contact)이고, 그 이외의 콘택트부(104b, 104c, 104d, 104e, 104h, 104i, 104j, 104k)는 불순물 확산 영역에 도달하는 확산 콘택트이다.
- [0254] 도 53에서, 제1 드라이버 NMOS 트랜지스터(N1)의 드레인이 되는 N형 불순물 확산 영역과 제1 액세스 NMOS 트랜지스터(N3)의 드레인이 되는 N형 불순물 확산 영역은, 이들 트랜지스터에 공유되어 있다. 이 N형 불순물 확산 영역 상에 형성되는 콘택트부(104c), 제1 금속 배선(105a) 및 콘택트부(공통 콘택트)(104f)를 통해, 제1 드라이버 NMOS 트랜지스터(N1)의 드레인과 제1 액세스 NMOS 트랜지스터(N3)의 드레인이, 제1 로드 트랜지스터(P1)의 드레인과 접속된다. 이 단자가 도 54에 나타내는 등가 회로도의 기억 노드(Na)가 된다.
- [0255] 마찬가지로, 제2 드라이버 NMOS 트랜지스터(N2)의 드레인인 N형 불순물 확산 영역과 제2 액세스 NMOS 트랜지스터(N3)의 드레인인 N형 불순물 확산 영역은, 콘택트부(104j), 제1 금속 배선(105b) 및 콘택트부(공통 콘택트)(104g)를 통해 제2 로드 트랜지스터(P2)의 드레인과 접속된다. 이 단자가 도 54에 나타내는 등가 회로도의 기억 노드(Nb)가 된다.
- [0256] 그리고, 이와 같이 구성된 메모리셀(M1)과 마찬가지로, 다른 메모리셀도 구성되어 있다. 여기에서, 메모일 셀(M2)은 메모리셀(M1)에 대해 폴리실리콘 배선(103b)이 연장하는 방향으로 인접하고 있고, 메모리셀(M3)은 메모리셀(M1)에 대해 활성 영역(102a~102d)이 연장하는 방향으로 인접하고 있다. 또한, 마찬가지로, 메모리셀(M

4)은 메모리셀(M3)에 대해 폴리실리콘 배선(103b)이 연장하는 방향으로 인접하고 있다.

[0257] 여기에서, 메모리셀(M1)의 폴리실리콘 배선(103b)의 단면과, 이 메모리셀(M1)에 인접하는 메모리셀(M2)의 폴리실리콘 배선(103b)과의 단면 사이는, 예를 들면, 100nm~120nm 정도로 되어 있다. 그리고, 메모리셀(M1)의 불순물 영역(102a)과 메모리셀(M2)의 불순물 영역(102a) 사이는, 예를 들면, 200nm~220nm 정도로 되어 있다. 또한, 이 폴리실리콘 배선(103a)끼리가 대향하는 폴리실리콘 배선(103a)의 단면에는 절연막(44)이 형성되어 있다.

[0258] 또한, 폴리실리콘 배선(103b)의 단면과 폴리실리콘 배선(103d)의 단면과의 거리도 마찬가지로 100nm~120nm 정도로 되어 있다. 그리고, 폴리실리콘 배선(103d)과 폴리실리콘 배선(103b)이 대향하는, 폴리실리콘 배선(103b, 103d)의 단면에도, 절연막(44)이 형성되어 있다.

[0259] 도 55는 도 53의 LV-LV선을 따라 취한 단면도이다. 이 도 55에 도시하는 바와 같이, 메모리셀(M1, M2)의 폴리실리콘 배선(103b)은 실리콘 산화막 등의 절연막(30)을 개재하여, 활성 영역(102a)상에 형성되어 있다.

[0260] 그리고, 메모리셀(M1)의 활성 영역(102a)과 메모리셀(M2)의 활성 영역(102a) 사이에 위치하는 분리 영역(90) 상에, 메모리셀(M1)의 폴리실리콘 배선(103b)과 메모리셀(M2)의 폴리실리콘 배선(103b)의 경계 부분이 위치하고 있다. 이 메모리셀(M1)의 폴리실리콘 배선(103b)과 메모리셀(M2)의 폴리실리콘 배선(103b) 사이에 위치하는 분리 영역 상으로부터, 폴리실리콘 배선(103b, 103b)의 선단부의 표면 상에도, 절연막(44)이 형성되어 있다. 이 절연막(44)에 의해, 메모리셀(M1)의 폴리실리콘 배선(103b)과, 메모리셀(M2)의 폴리실리콘 배선(103b) 사이의 절연이 확보되고 있다. 그리고, 폴리실리콘 배선(103b)끼리의 경계 부분에 위치하는 폴리실리콘 배선(103b)의 선단부 표면 상에는, 절연막(44)을 개재하여 사이드월 형상의 도전막(34)이 형성되어 있다.

[0261] 상기와 같이 구성된 반도체 집적 회로 장치(10)의 제조 방법에 대해, 도 56 내지 도 66을 이용하여 설명한다. 도 56은 본 제4 실시 형태에 관한 반도체 집적 회로 장치(10)의 제조 공정의 제1 공정을 도시하는 평면도로서, 상기 도 6 및 도 7에 도시하는 상기 제1 실시 형태에 관한 반도체 집적 회로 장치(10)의 제1 공정에 대응하는 공정이다. 또한, 도 57은 도 56의 LVII-LVII선을 따라 취한 단면도이다. 이 도 57에 도시하는 바와 같이, 반도체 기판(13)의 주표면 상에 선택적으로 분리 영역(120)을 형성하여 활성 영역을 규정하고, 또한 P웰 영역, N웰 영역을 규정한다.

[0262] 그리고, 각 P웰 영역 내 및 N웰 영역 내에 선택적으로 불순물을 도입하여, 불순물 영역(102a~102d)을 형성한다.

[0263] 도 58은 상기 도 56에 도시한 제조 공정 후의 반도체 집적 회로 장치(10)의 제조 공정을 도시하는 평면도로서, 상기 도 8, 도 9에 도시하는 상기 제1 실시 형태에 관한 반도체 집적 회로 장치(10)의 제2 공정에 대응하는 제조 공정을 도시하는 평면도이다. 도 59는 상기 도 58의 LIX-LIX선을 따라 취한 단면도이다.

[0264] 이 도 58, 도 59에 도시하는 바와 같이, 반도체 기판(13)의 주표면 상에, 열산화 처리를 실시하여 실리콘 산화막 등으로 이루어지는 절연막(30)을 형성한다.

[0265] 그리고, 반도체 기판(13)의 주표면 상에 절연막(30)을 통해, 폴리실리콘막 등으로 이루어지는 도전막(31)을 퇴적한다.

[0266] 도 60은 상기 도 58에 도시한 제조 공정 후의 반도체 집적 회로 장치(10)의 제조 공정을 도시하는 평면도로서, 상기 도 10, 도 11에 도시하는 바와 같이, 상기 제1 실시 형태에 관한 반도체 집적 회로 장치(10)의 제3 공정에 대응하는 공정을 도시하는 평면도이다. 도 61은 상기 도 60의 LXI-LXI선을 따라 취한 단면도이다.

[0267] 이 도 60 및 도 10에 도시하는 바와 같이, ROM 영역(63)에서, MONOS 구조의 메모리셀 트랜지스터의 소스 영역으로 되는 영역에 위치하는 개구부(31b)와, 도 60에 도시하는 RAM 영역(62)이 위치하는 영역상에 형성된 복수의 개구부(31c~31f)를 구비한 도전막 패턴(31a)을 형성한다.

[0268] 구체적으로는, 인접하는 메모리셀(M1~M6)의 폴리실리콘 배선(103b)끼리의 사이에 위치하는 영역에 위치하는 개구부(31c)와, 폴리실리콘 배선(103a)과 폴리실리콘 배선(103c) 사이에 위치하는 영역에 위치하는 개구부(31d)와, 폴리실리콘 배선(103b)과 폴리실리콘 배선(103d) 사이에 위치하는 영역에 위치하는 개구부(31e)와, 인접하는 메모리셀 영역(M1~M6)의 폴리실리콘 배선(103c)간에 위치하는 영역에 위치하는 개구부(31f)를 구비한 도전막 패턴(31a)을 형성한다.

[0269] 개구부(31c)는, 도 53에서, 형성되는 메모리셀(M1)의 폴리실리콘 배선(103b)과 메모리셀(M2)의 폴리실리콘 배선(103b) 사이에 위치하는 영역으로부터, 메모리셀(M3)의 폴리실리콘 배선(103b)과 메모리셀(M4)의 폴리실리콘 배

선(103b) 사이에 위치하는 영역까지의 사이에 걸쳐 연장하고 있다. 즉, 개구부(31c)는 활성 영역(102a~102d)이 연장하는 방향으로 연장하도록 길게 형성되어 있다. 또한, 개구부(31d, 31e, 31f)도 개구부(31c)와 마찬가지로, 활성 영역(102a~120d)이 연장하는 방향으로 길게 형성되어 있다. 이와 같이, 길게 형성된 개구부(31c~31f)를 구비한 도전막 패턴(31a)은 KrF 엑시머 레이저, ArF 엑시머 레이저 등의 레이저광을 광원으로서 탑재한 스텝페에 의해, 용이하게 제조할 수 있다.

[0270] 도 62는 상기 도 61에 도시한 반도체 집적 회로 장치(10)의 제조 공정 후의 제조 공정을 도시하는 단면도로서, 상기 도 14, 도 15에 도시하는 상기 제1 실시 형태에 관한 반도체 집적 회로 장치(10)의 제5 공정에 대응하는 제조 공정을 도시하는 단면도이다.

[0271] 이 도 62에 도시하는 바와 같이, 도전막 패턴(31a)의 표면 상, 개구부(31c~31f)의 내벽면 상 및 개구부(31c~31f)가 위치하는 분리 영역(120)의 상면 상에, 소위 ONO막으로 이루어지는 절연막(44)을 형성한다. 그리고, 이 절연막(44)을 개체하여 도전막 패턴(31a) 상에 도전막(34)을 퇴적(형성)한다. 이때, 개구부(31c~31f)내에도 도전막(34)이 충전된다.

[0272] 도 63은 상기 도 62에 도시한 제조 공정 후의 제조 공정을 도시하는 단면도로서, 상기 도 16, 도 17에 도시하는 상기 제1 실시 형태에 관한 반도체 집적 회로 장치(10)의 제6 공정에 대응하는 제조 공정을 도시하는 단면도이다. 도 64는 이 도 63에 도시된 제조 공정의 평면도이다.

[0273] 도 63에 도시하는 바와 같이, 도전막(34)에 에칭을 실시한다. 이에 따라, 상기 도 64에 도시하는 바와 같이, ROM 영역(63)이 위치하는 반도체 기판(13)의 주표면 상에, 메모리 게이트 전극(45)을 형성한다. 이 때, 개구부(31c~31f)내에는, 개구부(31c~31f)의 내측면 상에 사이드월 형상의 도전막(34)이 형성된다.

[0274] 이 사이드월 형상의 도전막(34)과 도전막 패턴(31a) 사이에는, 절연막(44)이 형성되어 있어, 도전막 패턴(31a)과 도전막(34) 사이의 절연 상태가 확보되어 있다.

[0275] 도 65는 상기 도 64에 도시한 제조 공정 후의 제조 공정을 도시하는 평면도로서, 상기 도 18, 도 19에 도시하는 상기 제1 실시 형태에 관한 반도체 집적 회로 장치(10)의 제7 공정에 대응하는 제조 공정을 도시하는 평면도이다. 도 66은, 상기 도 65의 LXVI-LXVI선을 따라 취한 단면도이다. 이 도 65, 도 66에 도시하는 바와 같이, 도전막 패턴(31a)에 패터닝을 실시하여, 폴리실리콘 배선(103a~103d)을 형성한다. 이 폴리실리콘 배선(103a~103d)을 형성하는 공정은, 우선, 도전막 패턴(31a)의 상면 전면에 레지스트 마스크를 형성한다. 그리고, 이 레지스트 마스크의 위쪽에 포토마스크(200)를 배치하고, 레지스트 마스크에 노광 처리를 실시한다.

[0276] 이 포토마스크(200)에는, 폴리실리콘 배선(103a~103d)이 연장하는 방향으로 연장하는 개구 패턴(200a, 200b)이 복수 형성되어 있다.

[0277] 개구 패턴(200a)은, 예를 들면, 메모리셀(M1)의 폴리실리콘 배선(103a) 및 폴리실리콘 배선(103c)과, 메모리셀(M2)의 폴리실리콘 배선(103a) 및 폴리실리콘 배선(103c)을 접속하도록 하는 패턴으로 되어 있다.

[0278] 또한, 개구 패턴(200b)은, 예를 들면, 메모리셀(1)의 폴리실리콘 배선(103b) 및 폴리실리콘 배선(103d)과, 메모리셀(M2)의 폴리실리콘 배선(103b) 및 폴리실리콘 배선(103b) 및 폴리실리콘 배선(103d)을 접속하는 패턴으로 되어 있다.

[0279] 이러한 포토마스크(200)를 이용하여 포토리소그래피를 실시하여, 도전막 패턴(31a)에 패터닝을 실시한다. 이때, 형성된 반도체 기판(13)의 주표면 상에는, 이미 개구부(31c~31f)가 형성되어 있다. 이 때문에, 상기와 같은 포토마스크(200)를 이용하여 도전막 패턴(31a)에 패터닝을 실시하여도, 개구부(31c~31f)의 내벽면 상에 형성된 절연막(44)에 의해 분리된다. 예를 들면, 메모리셀(M1)의 폴리실리콘 배선(103b)과 메모리셀(M2)의 폴리실리콘 배선(103b) 사이에는, 개구부(31c)의 내주면상에 형성된 절연막(44)에 의해 분리된다. 또한, 폴리실리콘 배선(103a)과 폴리실리콘 배선(103c) 사이도, 개구부(31d)의 내주면 상에 형성된 절연막(44)에 의해 분리된다. 또한, 폴리실리콘 배선(103b)과 폴리실리콘 배선(103d) 사이도, 개구부(31e)내에 형성된 절연막(44)에 의해 분리된다. 그리고, 메모리셀(M1)의 폴리실리콘 배선(103c)과, 메모리셀(M1)과 인접하는 메모리셀의 폴리실리콘 배선(103c) 사이도 개구부(31c)의 내주면 상에 형성된 절연막(44)에 의해 분리된다.

[0280] 이와 같이, 미리, 각 폴리실리콘 배선(103a~103d)끼리의 경계 영역에 개구부(31c~31f)를 형성하고, 이 개구부(31c~31f)의 내벽면 상에 절연막(44)을 형성함으로써, 각 폴리실리콘 배선(103a~103f)을 자기 생성적으로 분할할 수 있다. 이 때문에, 도전막 패턴(31a)에 포토리소그래피를 실시할 때에, 길이 방향으로 인접하는 각 폴리실리콘 배선(103a~103d)끼리가 접속되도록 패터닝을 실시할 수 있다.

- [0281] 여기에서, 개구부(31c)의 폭 방향(폴리실리콘 배선(103a~103d)의 연장 방향)의 폭은, 예를 들면, 100nm~120nm로 되어 있다. 그리고, 개구부(31c)의 개구 연부와 활성 영역(102a) 사이의 거리는, 예를 들면, 50nm 정도로 할 수 있다.
- [0282] 이 때문에, 메모리셀(M1)의 활성 영역(102a)과 메모리셀(M2)의 활성 영역(102a) 사이의 거리를, 200nm~220nm 정도로 할 수 있다.
- [0283] 한편, 개구부(31c~31f)가 형성되지 않은 상태에서 폴리실리콘 배선(103a~103d)을 패터닝하려고 하면, 우선, 형성되는 폴리실리콘 배선(103a~103d)의 형성 불량을 고려하여, 각 폴리실리콘 배선(103a~103d)간의 마진을 확보할 필요가 있어, 예를 들면, 각 폴리실리콘 배선(103a~103d)끼리 사이의 거리를, 예를 들면, 120nm 정도로 할 필요가 있다. 또한, 활성 영역(102a~102d)과의 사이의 거리는, 마스크 어긋남이나 형성 불량 등의 마진을 고려하여, 예를 들면, 100nm 정도 확보할 필요가 있다. 이 때문에, 예를 들면, 메모리셀(M1)의 활성 영역(102a)과 메모리셀(M2)의 활성 영역(102a) 사이의 거리는, 예를 들면, 300nm~320nm 정도로 된다.
- [0284] 특히, 개구부(31c) 아래 및 개구부(31c)의 양측에 위치하는 반도체 기판(13)의 주표면 상은 P웰 영역으로 되어 있고, 동일 도전형의 웰 영역으로 되어 있다. 이 때문에, 메모리셀(M1)의 활성 영역(102a)과 메모리셀(M2)의 활성 영역(102a) 사이의 거리는, 순수하게, 폴리실리콘 배선(103b) 간의 거리에 의해 정해진다.
- [0285] 따라서, 폴리실리콘 배선(103b) 간의 거리를 작게 함으로써, 활성 영역(102a)끼리 사이의 거리도 확실히 작게 할 수 있어, 반도체 집적 회로 장치(10)의 미세화에 크게 기여한다. 이와 같이, 본 제4 실시 형태에 관한 반도체 집적 회로 장치(10)의 제조 방법에 따르면, 각 SRAM 트랜지스터의 폴리실리콘 배선간의 거리를 작게 할 수 있어, 반도체 집적 회로 장치(10)의 미세화를 도모할 수 있다. 또한, 본 제4 실시 형태에서는, 반도체 집적 회로 장치(10)의 RAM 영역(62)에 형성된 SRAM에 적용했을 경우에 대해 설명하였지만, 이러한 혼재 마이크로컴퓨터에 적용한 경우로 한정되지 않는다. 또한, SRAM에 적용하는 경우에 한정되지 않고, 복수의 게이트가 형성되고 있는 경우에 적용 가능하고, 각 게이트간의 거리를 작게 할 수 있다.
- [0286] 도 34 내지 도 37 및 도 67 내지 도 79를 이용하여, 본 제4 실시 형태의 변형예에 대해 설명한다. 도 67은 본 제4 실시 형태의 변형예에 관한 반도체 집적 회로 장치(10)의 주변 회로 영역의 평면도이고, 도 68은 상기 도 67의 LXVIII-LXVIII선을 따라 취한 단면도이다. 이 도 67에 도시하는 바와 같이, 주변 회로 영역이 위치하는 반도체 기판(13)의 주표면 상에는, 한 방향을 향해 연장하는 게이트 전극(배선)(42a, 42b)과, 이 게이트 전극(42a, 42b)의 단부측에 위치하고 이 게이트 전극(42a, 42b)이 연장하는 방향과 교차하는 방향으로 연장하는 게이트 전극(배선)(42c)이 형성되어 있다.
- [0287] 게이트 전극(42a, 42b)과 게이트 전극(42c)의 경계 영역은, 반도체 기판(13)의 주표면 상에 형성된 분리 영역(52) 상에 형성되어 있다. 그리고, 도 68에 도시하는 바와 같이, 게이트 전극(42b)은 활성 영역(53)의 상면 상에 절연막(54)을 개재하여 형성되어 있고, 또한 게이트 전극(42b)의 일부가 분리 영역(52) 상에 도달하고 있다. 이 게이트 전극(42b)의 단면과 게이트 전극(42c)의 측면 중, 게이트 전극(42b)과 대향하는 부분과, 이 게이트 전극(42b)과 게이트 전극(42c)의 경계 부분에 위치하는 분리 영역(52)의 표면 상에, 예를 들면, ONO막으로 이루어지는 절연막(44)이 형성되어 있다. 이 때문에, 게이트 전극(42b)과 게이트 전극(42c) 사이의 분리가 확보되고 있다. 그리고, 절연막(44)을 통해 게이트 전극(42b)의 단면 상에, 사이드월 형상의 도전막(45)이 형성되어 있고, 또한, 게이트 전극(42c)의 주위면 중 게이트 전극(42b)과 대향하는 주위면 상에도, 절연막(44)을 통해 사이드월 형상의 도전막(45)이 형성되어 있다.
- [0288] 도 69는, 이 변형예에 관한 반도체 집적 회로 장치(10)의 제1 제조 공정을 도시하는 평면도로서, 상기 도 6, 도 7에 도시하는 상기 제1 실시 형태에 관한 반도체 집적 회로 장치(10)의 제1 제조 공정에 대응하는 공정이다. 도 70은 상기 도 69의 단면도이다.
- [0289] 이 도 69 및 도 70에 도시하는 바와 같이, 반도체 기판(13)의 주표면 상에 분리 영역(52)을 선택적으로 형성하여 활성 영역(53)을 규정한다.
- [0290] 도 71은, 상기 도 69에 도시한 제조 후의 제조 공정을 도시하는 평면도로서, 상기 도 8, 도 9에 도시하는 상기 제1 실시 형태에 관한 반도체 집적 회로 장치(10)의 제2 공정에 대응하는 평면도이다. 그리고, 도 72는 도 71의 단면도이다.
- [0291] 이 도 71 및 도 72에 도시하는 바와 같이, 반도체 기판(13)의 주표면 상에 절연막(54)을 형성하고, 이 절연막(54)의 상면 상에 도전막(31)을 퇴적(형성)한다.

- [0292] 도 34, 도 73은, 반도체 집적 회로 장치(10)의 도전막(31a)의 패터닝 공정에서의 주변 회로 영역의 평면도이고, 도 74는 도 73의 단면도이다. 이 도 34, 도 73, 도 74에 도시하는 바와 같이, 도전막의 패터닝 공정에서, 형성되는 주변 회로 트랜지스터의 인접하는 게이트 전극의 경계 영역(83)이 되는 영역에 개구부(80)를 갖는 도전막 패턴(31a)을 형성한다.
- [0293] 도 75는, 상기 도 74에 도시한 반도체 집적 회로 장치(10)의 제조 공정 후의 제조 공정을 도시하는 단면도로서, 상기 도 14, 도 15에 도시하는 상기 제1 실시 형태에 관한 반도체 집적 회로 장치(10)의 제5 공정에 대응하는 공정을 도시하는 단면도이다. 이 도 75에 도시하는 바와 같이, 개구부(80)의 표면 및 도전막 패턴(31a)의 표면 상에 절연막(33)을 형성한다. 또한, 이 절연막(33)의 상면 상에 도전막(34)을 퇴적한다. 그리고, 메모리 게이트 전극(45)을 형성하는 제5 공정에서는, 개구부(80)의 표면에 형성된 절연막(44)의 표면 상에 도전막(34)이 형성된다. 도 35, 도 76은, 컨트롤 게이트 및 게이트 전극을 형성하는 제7 공정에서의 주변 회로 영역의 평면도이다. 도 35, 도 76, 도 77에 도시하는 바와 같이, 반도체 집적 회로 장치(10)의 제7 공정에 있어서는, 개구부(80)의 표면에는 절연막(44)이 형성되어 있고, 절연막(44)의 표면 중 개구부(80)의 내측의 표면에는, 도전막(34)이 형성되어 있다.
- [0294] 이와 같이, 절연막(44)과 도전막(34)이 형성된 개구부(80)의 상면측에는, 도 36에 도시하는 에칭 마스크(72)가 배치되어, 포토리소그래피에 의한 패터닝이 실시된다. 또한, 도 37은 주변 회로 영역의 게이트 전극이 형성되었을 때에서의 주변 영역의 평면도이다. 도 36에 도시하는 바와 같이, 에칭 마스크(72)에는 개구부(81)가 형성되어 있다.
- [0295] 이 개구부(81)는, 도 37에 있어서, 형성되는 게이트 전극(42a, 42b, 42c)이 각각 도 35에 도시하는 분리 영역(83)에서 연결되도록 형성되어 있다. 그리고, 도전 패터닝(31a)의 상면측 중 형성되는 게이트 전극(42a, 42b, 42c)의 영역 상에, 도 36에 도시하는 에칭 마스크(72)의 개구부(81)를 배치한다. 이와 같이, 에칭 마스크(72)를 배치하면, 개구부(81) 중 분리 영역(83)의 부분이 도 35에 도시하는 개구부(80)의 상면 상에 위치한다.
- [0296] 도 78은, 상기 도 76에 도시한 제조 공정 후의 제조 공정을 도시하는 평면도이고, 도 79는 이 도 78의 단면도이다. 이들, 도 78, 도 79, 도 37에 있어서, 에칭 마스크(72)를 배치하여 포토리소그래피에 의한 패터닝을 실시하면, 도 35에 도시하는 개구부(80)에 의해, 게이트 전극(42a, 42b, 42c)이 각각 분리된다. 즉, 개구부(80)의 양측에 인접하는 게이트 전극(42a, 42b, 42c)이 각각 형성된다. 여기에서, 개구부(80)의 표면 상에는 절연막(44)이 형성되어 있기 때문에, 형성된 게이트 전극(42a, 42b, 42c)의 분리 영역(83)측 표면에는, 절연막(44)이 형성되어 있고, 이 절연막(44)의 표면 중 분리 영역(83)측 표면에는, 도전막(34)이 형성된다. 이와 같이, 형성된 게이트 전극(42a, 42b, 42c)의 분리 영역(83) 측의 표면에는, 절연막(44)이 형성되어 있기 때문에, 각 게이트 전극(42a, 42b, 42c)은 전기적으로 분리된다.
- [0297] 이와 같이, 게이트 전극을 형성하는 제7 공정에서는, 도전 패턴(31a) 중 게이트 전극(42a, 42b, 42c)의 분리 영역(83)의 부분에 미리 절연막(44)이 표면에 형성된 개구부(80)가 형성되어 있다. 이 때문에, 에칭 마스크(72)에 형성되는 개구부(82)는, 형성되는 게이트 전극(42a, 42b, 42c)이 각각 분리되도록 형성할 필요가 없고, 분리 영역(83)에서 연결되도록 형성할 수 있다. 이와 같이, 게이트 전극(42a, 42b, 42c)이 연결되도록 포토리소그래피를 실시할 수 있으므로, 포토리소그래피에 의해, 분리된 게이트 전극을 형성하는 경우와 달리, 게이트 전극(42a, 42b, 42c) 간에 마진을 형성할 필요가 없어진다. 이와 같이 본 제4 실시 형태에 관한 반도체 집적 회로 장치(10)의 제조 방법에 따르면, 게이트 전극(42a, 42b, 42c)의 간격을 근접시킬 수 있어, 면적의 축소를 도모 할 수 있다.
- [0298] 또한, 본 제4 실시 형태는, 주변 회로 트랜지스터의 게이트 전극에 적용하였지만, 이것에 한정되지 않고, 메모리셀 트랜지스터의 컨트롤 게이트나, 각종 배선간에도 적용할 수 있다. 즉, 반도체 기판의 주표면 상에 도전막을 형성하는 공정과, 이 도전막 중 형성되는 배선의 분리 영역에 개구부가 형성된 도전 패턴을 형성하는 공정과, 이 도전 패턴을 덮도록 절연막을 형성하는 공정과, 형성되는 배선이 분리 영역에서 연결 형성되도록 형성된 개구부를 구비하는 에칭 마스크를 이용하여, 상기 절연막과 도전 패턴에 패터닝을 실시하여, 배선을 형성하는 공정을 구비한 반도체 집적 회로 장치의 제조 방법이어야 된다. 이러한, 반도체 집적 회로 장치의 제조 방법에 따르면, 배선을 통상의 포토리소그래피에 의해 형성하는 경우보다, 배선간이 짧아져 면적을 축소할 수 있다.
- [0299] 본 발명은, MONOS(Metal Oxide Nitride Oxide Silicon) 구조의 플래시 메모리가 탑재된 혼재 마이크로컴퓨터에

적합하다.

[0300] 이상과 같이 본 발명의 실시의 형태에 대해 설명을 행하였지만, 이번 개시된 실시의 형태는 모든 점에서 예시로서 제한적인 것은 아니라고 생각되어야 한다. 본 발명의 범위는 특히 청구의 범위에 의해 제시되며, 특히 청구의 범위와 균등의 의미 및 범위내에서의 모든 변경이 포함되는 것이 의도된다.

발명의 효과

[0301] 본 발명에 관한 반도체 기억 장치(반도체 집적 회로 장치) 및 그 제조 방법에 따르면, 총 공정수를 저감할 수 있어 코스트를 저렴하게 할 수 있다.

도면의 간단한 설명

[0001] 도 1은 제1 실시 형태에 관한 반도체 집적 회로 장치(불휘발성 반도체 기억 장치)를 모식적으로 도시한 평면도.

[0002] 도 2는 ROM 영역의 메모리셀 영역의 단면도.

[0003] 도 3은 주변 회로 영역에서의 단면도.

[0004] 도 4는 기입 동작 시에서의 메모리셀 영역의 단면도.

[0005] 도 5는 소거 동작에서의 메모리셀 영역의 단면도.

[0006] 도 6은 반도체 집적 회로 장치의 제1 공정에서의 메모리셀 영역의 단면도.

[0007] 도 7은 반도체 집적 회로 장치의 제1 공정에서의 주변 회로 영역에서의 단면도.

[0008] 도 8은 반도체 집적 회로 장치의 제2 공정에서의 메모리셀 영역의 단면도.

[0009] 도 9는 반도체 집적 회로 장치의 제2 공정에서의 주변 회로 영역의 단면도.

[0010] 도 10은 반도체 집적 회로 장치의 제3 공정(제1 도전막의 패터닝 공정)에서의 메모리셀 영역의 단면도.

[0011] 도 11은 반도체 집적 회로 장치의 제3 공정에서의 주변 회로 영역에서의 단면도.

[0012] 도 12는 반도체 집적 회로 장치의 제4 공정(메모리셀 트랜지스터의 메모리 게이트 아래 채널 영역의 형성 공정)에서의 메모리셀 영역의 단면도.

[0013] 도 13은 반도체 집적 회로 장치의 제4 공정에서의 주변 회로 영역에서의 단면도.

[0014] 도 14는 반도체 집적 회로 장치의 제5 공정(제2 절연막의 형성 공정)에서의 메모리셀 영역의 단면도.

[0015] 도 15는 반도체 집적 회로 장치의 제5 공정에서의 주변 회로 영역의 단면도.

[0016] 도 16은 반도체 집적 회로 장치의 제6 공정(메모리 게이트 전극 · 소스 영역의 형성 공정)에서의 메모리셀 영역에서의 단면도.

[0017] 도 17은 반도체 집적 회로 장치의 제6 공정에서의 주변 회로 영역의 단면도.

[0018] 도 18은 반도체 집적 회로 장치의 제7 공정(컨트롤 게이트 및 게이트 전극 형성 공정)에서의 메모리셀 영역에서의 단면도.

[0019] 도 19는 반도체 집적 회로 장치의 제7 공정에서의 주변 회로 영역에서의 단면도.

[0020] 도 20은 반도체 집적 회로 장치의 제8 공정(메모리셀 트랜지스터의 드레인 영역 및 주변 회로 트랜지스터의 불순물 영역의 형성 공정)에서의 메모리셀 영역에서의 단면도.

[0021] 도 21은 반도체 집적 회로 장치의 제8 공정에서의 주변 회로 영역에서의 단면도.

[0022] 도 22는 반도체 집적 회로 장치의 제9 공정(주변 회로 트랜지스터의 불순물 영역의 형성 공정)에서의 메모리셀 영역의 단면도.

[0023] 도 23은 반도체 집적 회로 장치의 제9 공정에서의 주변 회로 영역의 단면도.

[0024] 도 24는 반도체 집적 회로 장치의 제10 공정(메모리셀 트랜지스터와 주변 회로 트랜지스터의 사이드월의 형성 공정)에서의 메모리셀 영역의 단면도.

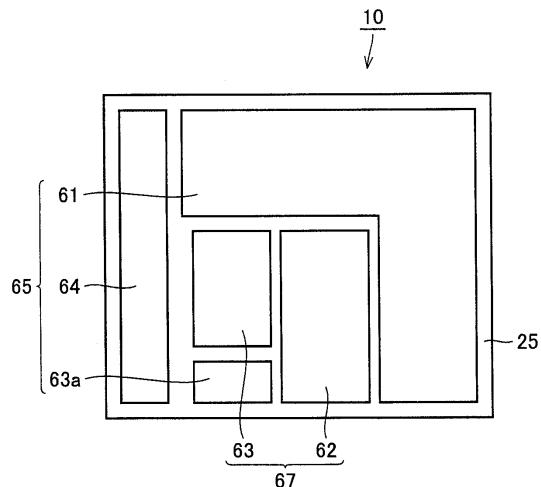
- [0025] 도 25는 반도체 집적 회로 장치의 제10 공정에서의 주변 회로 영역의 단면도.
- [0026] 도 26은 반도체 집적 회로 장치의 제11 공정(금속 실리사이드 형성 공정)에서의 메모리셀 영역의 단면도.
- [0027] 도 27은 반도체 집적 회로 장치의 제11 공정에서의 주변 영역의 단면도.
- [0028] 도 28은 반도체 집적 회로 장치의 제12 공정(비트선 형성 공정)에서의 메모리셀 영역의 단면도.
- [0029] 도 29는 반도체 집적 회로 장치의 제12 공정에서의 주변 회로 영역의 단면도.
- [0030] 도 30은 도 39에 도시한 접속부의 상세를 도시한 단면도.
- [0031] 도 31은 도 41에 있어서, 분리 영역상의 상세를 도시한 단면도.
- [0032] 도 32는 도 42의 분리 영역의 상면을 상세하게 도시한 단면도.
- [0033] 도 33은 도 44에 있어서, 분리 영역에서의 상세를 도시하는 단면도.
- [0034] 도 34는 반도체 집적 회로 장치의 도전막의 패터닝 공정에서의 주변 회로 영역의 평면도.
- [0035] 도 35는 컨트롤 게이트 및 게이트 전극을 형성하는 제7 공정에서의 주변 회로 영역의 평면도.
- [0036] 도 36은 포토마스크의 주변 회로 영역에서의 평면도.
- [0037] 도 37은 주변 회로 영역의 게이트 전극이 형성되었을 때에 있어서의 주변 영역의 평면도.
- [0038] 도 38은 제1 실시 형태에 관한 반도체 집적 회로 장치의 메모리셀 트랜지스터를 상세하게 도시한 단면도.
- [0039] 도 39는 제2 실시 형태에 관한 반도체 집적 회로 장치의 메모리셀 영역의 평면도.
- [0040] 도 40은 제1 실시 형태에 관한 반도체 집적 회로 장치의 제조 공정에서, 도 6, 도 7에 도시하는 제1 제조 공정에 대응하는 제조 공정을 도시하는 단면도.
- [0041] 도 41은 제1 실시 형태에 관한 반도체 집적 회로 장치의 제3 공정에 대응하는 제조 공정을 도시하며, 도 10의 XLI-XLI선을 따라 취한 단면도.
- [0042] 도 42는 도 14에 도시하는 제1 실시 형태에 관한 반도체 집적 회로 장치의 제5 공정에 대응하는 제조 공정을 도시하는 단면도.
- [0043] 도 43은 도 14에 도시하는 제1 실시 형태에 관한 반도체 집적 회로 장치의 제5 공정에 대응하는 제조 공정을 도시하는 단면도.
- [0044] 도 44는 도 16에 도시하는 제1 실시 형태에 관한 반도체 집적 회로 장치의 제6 공정에 대응하고, 도 16의 XLIV-XLIV선을 따라 취한 단면도.
- [0045] 도 45는 도 44에 도시한 반도체 집적 회로 장치의 제조 공정 후의, 제조 공정을 도시하며, 도 18의 XLV-XLV선을 따라 취한 단면도.
- [0046] 도 46은 제3 실시 형태에 관한 반도체 집적 회로 장치의 평면도.
- [0047] 도 47은 도 46의 XLVII-XLVII선을 따라 취한 단면도.
- [0048] 도 48은 도 46의 XLVIII-XLVIII선을 따라 취한 단면도.
- [0049] 도 49는 도 6, 도 7에 도시하는 제1 실시 형태에 관한 반도체 집적 회로 장치의 제조 공정 중 제1 공정에 대응하는 공정을 도시하는 평면도.
- [0050] 도 50은 도 10, 도 11에 도시하는 제1 실시 형태에 관한 반도체 집적 회로 장치의 제3 공정에 대응하는 제조 공정을 도시하는 평면도.
- [0051] 도 51은 도 16, 도 17에 대응하는 제조 공정을 도시하는 평면도.
- [0052] 도 52는 도 51에 도시한 제조 공정 후의 제조 공정을 도시하는 평면도.
- [0053] 도 53은 제4 실시 형태에 관한 반도체 집적 회로 장치의 예를 들면, RAM 영역에서의 평면도.
- [0054] 도 54는 메모리셀(M1)의 등가 회로.

- [0055] 도 55는 도 53의 LV-LV선을 따라 취한 단면도.
- [0056] 도 56은 제4 실시 형태에 관한 반도체 집적 회로 장치의 제조 공정의 제1 공정을 도시하는 평면도.
- [0057] 도 57은 도 56의 LVII-LVII선을 따라 취한 단면도.
- [0058] 도 58은 도 56에 도시한 제조 공정 후의 반도체 집적 회로 장치의 제조 공정을 도시하는 평면도.
- [0059] 도 59는 도 58의 LIX-LIX선을 따라 취한 단면도.
- [0060] 도 60은 도 58에 도시한 제조 공정 후의 반도체 집적 회로 장치의 제조 공정을 도시하는 평면도.
- [0061] 도 61은 도 60의 LXI-LXI선을 따라 취한 단면도.
- [0062] 도 62는 도 61에 도시한 반도체 집적 회로 장치의 제조 공정 후의 제조 공정을 도시하는 단면도.
- [0063] 도 63은 도 62에 도시한 제조 공정 후의 제조 공정을 도시하는 단면도.
- [0064] 도 64는 도 63에 도시한 제조 공정의 평면도.
- [0065] 도 65는 도 64에 도시한 제조 공정 후의 제조 공정을 도시하는 평면도.
- [0066] 도 66은 도 65의 LXVI-LXVI선을 따라 취한 단면도.
- [0067] 도 67은 제4 실시 형태의 변형예에 관한 반도체 집적 회로 장치의 주변 회로 영역의 평면도.
- [0068] 도 68은 도 67의 LXVIII-LXVIII선을 따라 취한 단면도.
- [0069] 도 69는 제4 실시 형태의 변형예에 관한 반도체 집적 회로 장치의 제1 공정을 도시하는 평면도.
- [0070] 도 70은 도 69의 단면도.
- [0071] 도 71은 도 69에 도시한 제조 공정 후의 제조 공정을 도시하는 평면도.
- [0072] 도 72는 도 71의 단면도.
- [0073] 도 73은 반도체 집적 회로 장치의 도전막의 패터닝 공정에서의 주변 회로 영역의 평면도.
- [0074] 도 74는 도 73의 단면도.
- [0075] 도 75는 도 74에 도시한 반도체 집적 회로 장치의 제조 공정 후의 제조 공정을 도시한 단면도.
- [0076] 도 76은 컨트롤 게이트 및 게이트 전극을 형성하는 제7 공정에서의 주변 회로 영역의 평면도.
- [0077] 도 77은 도 76의 단면도.
- [0078] 도 78은 도 76에 도시한 제조 공정 후의 제조 공정을 도시하는 평면도.
- [0079] 도 79는 도 78의 단면도.
- [0080] 도 80은 제3 실시 형태에 관한 반도체 집적 회로 장치의 판독 동작시에서의 동작선도.
- [0081] 도 81은 기입 동작에서의 동작선도.
- [0082] 도 82는 소거 동작에서의 동작선도.
- [0083] 도 83은 제3 실시 형태에 관한 반도체 집적 장치의 회로도.
- [0084] 도 84는 제3 실시 형태에 관한 반도체 집적 회로 장치의 모식도.
- [0085] 도 85는 주변 회로 트랜지스터의 상세를 도시한 단면도.
- [0086] <도면의 주요 부분에 대한 부호의 설명>
- [0087] 10 : 반도체 기억 장치
- [0088] 13 : 반도체 기판
- [0089] 15 : 제2 불순물 영역
- [0090] 17 : 제1 불순물 영역

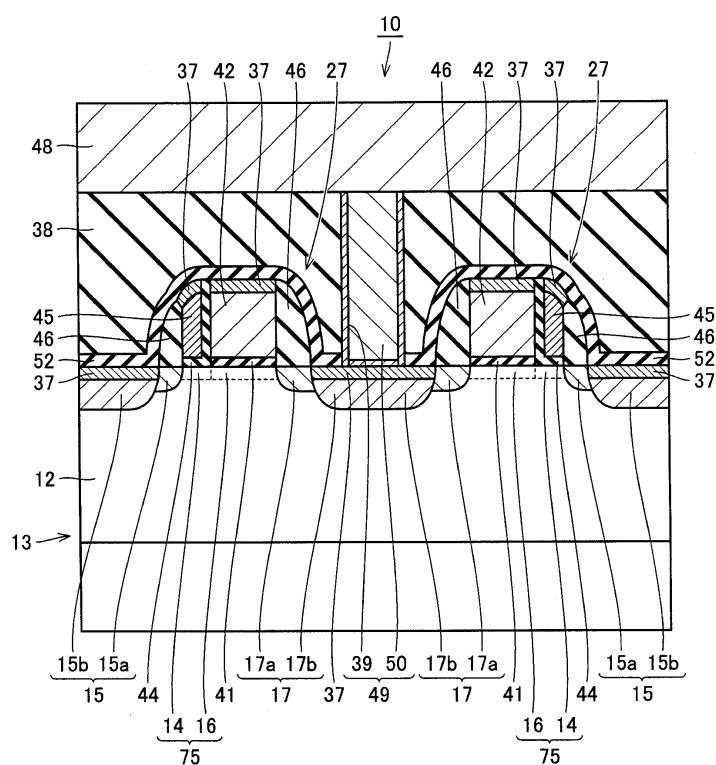
- [0091] 42 : 제1 게이트
- [0092] 44 : 제2 절연막
- [0093] 45 : 제2 게이트
- [0094] 46 : 제3 절연막
- [0095] 75 : 채널 영역

도면

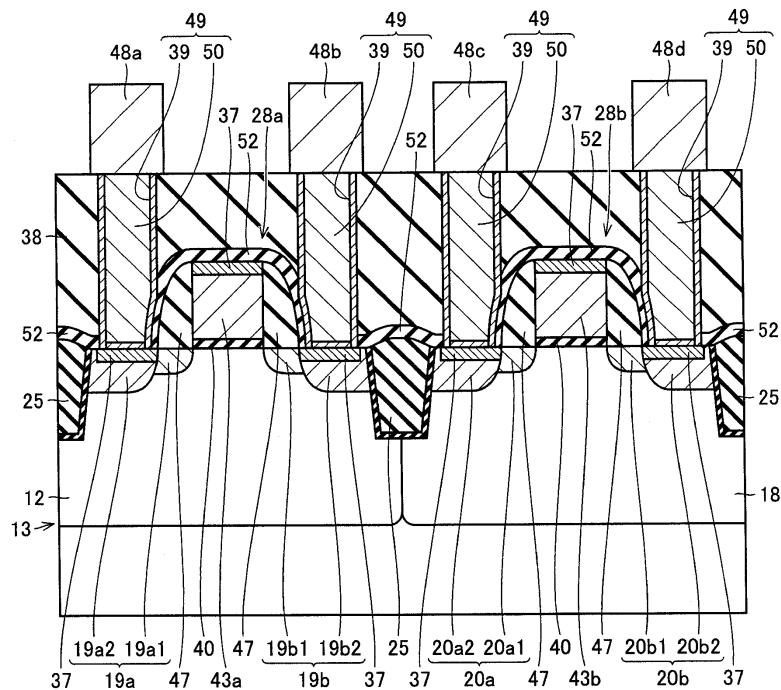
도면1



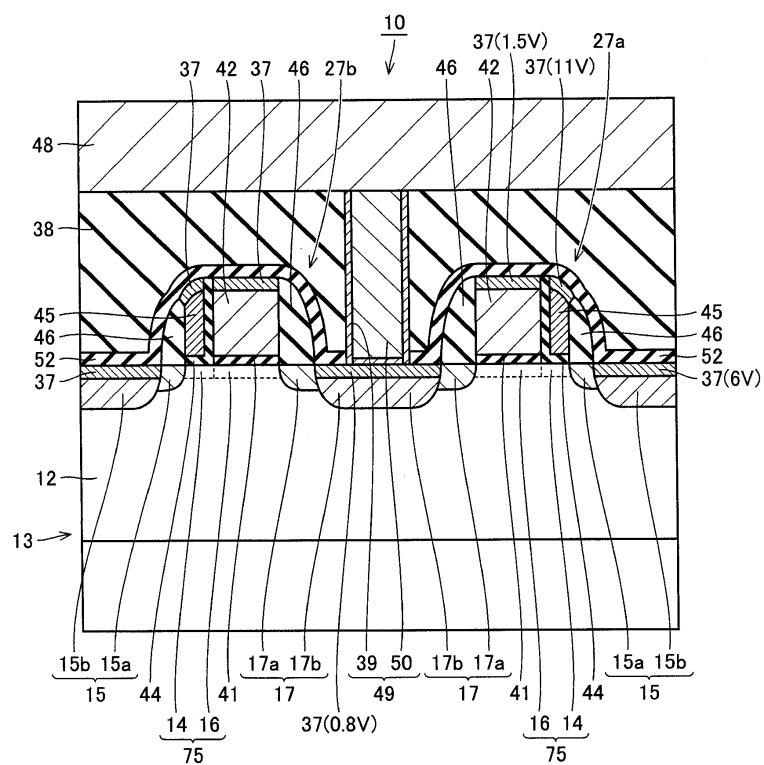
도면2



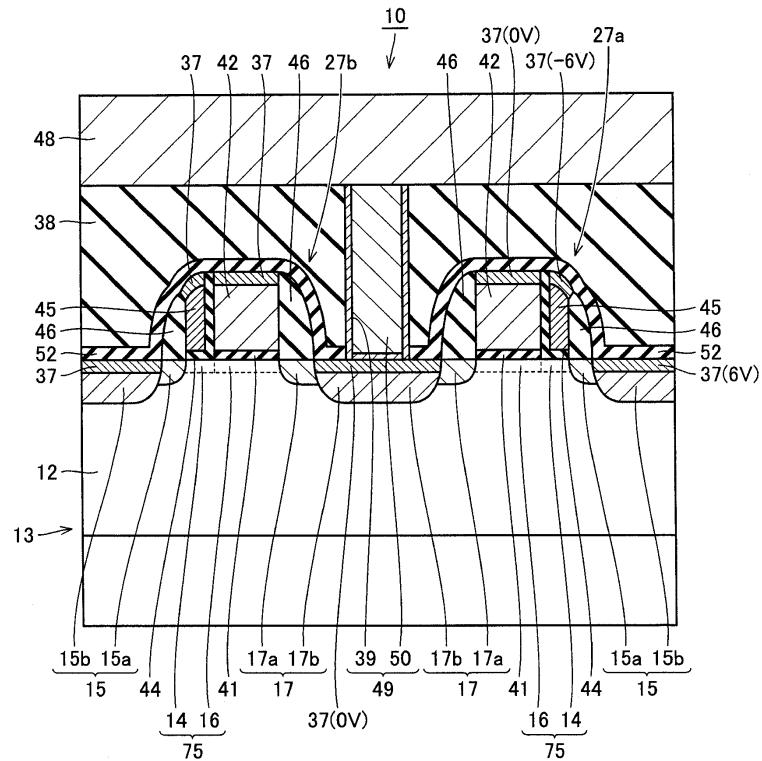
도면3



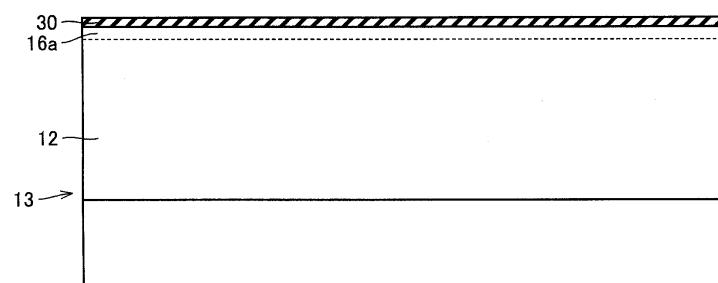
도면4



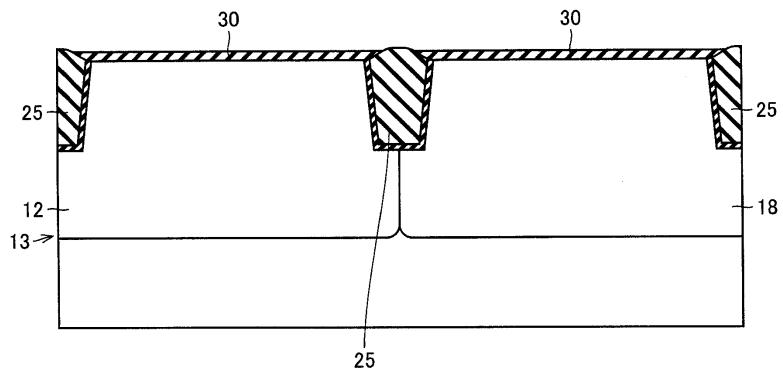
도면5



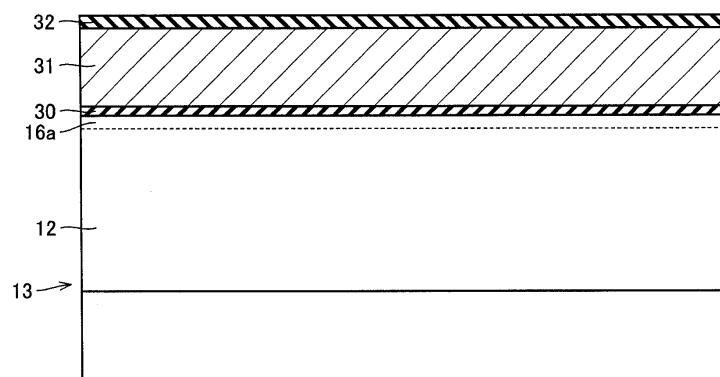
도면6



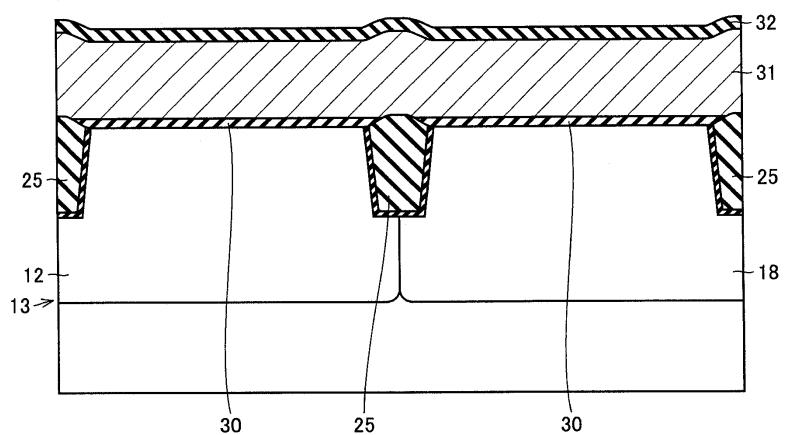
도면7



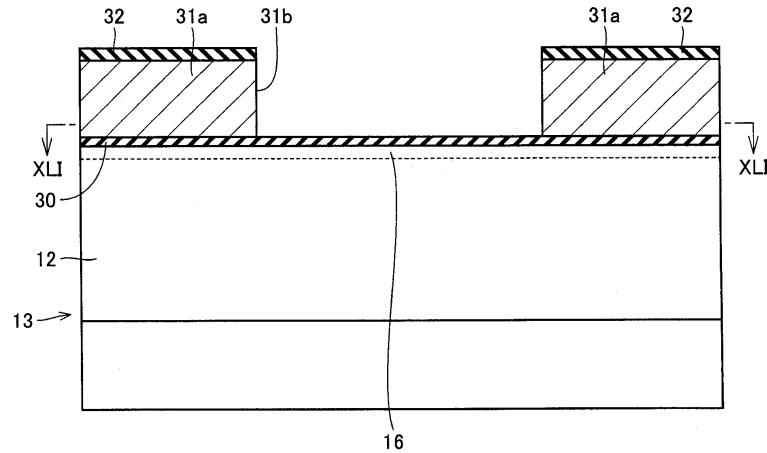
도면8



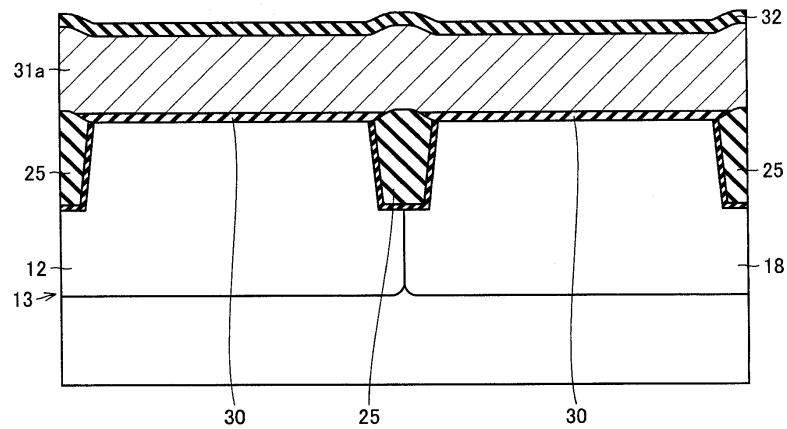
도면9



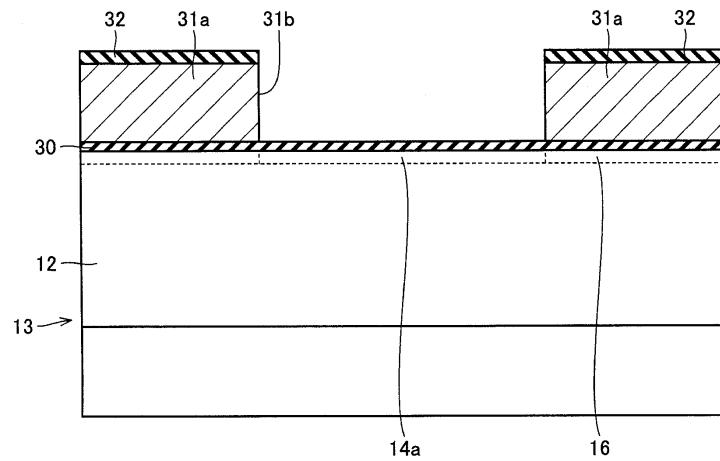
도면10



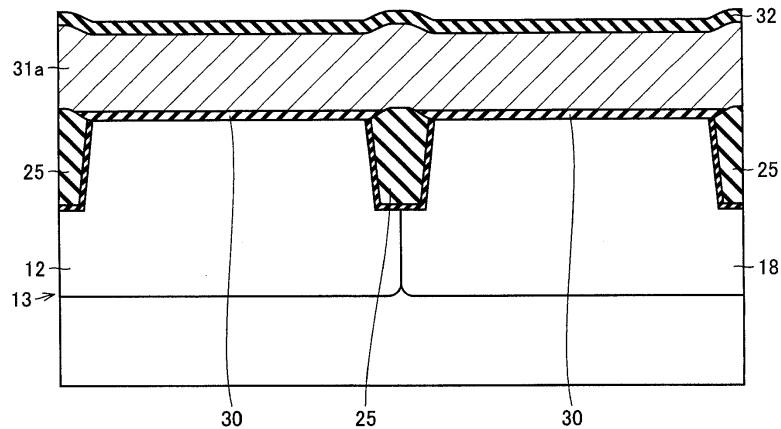
도면11



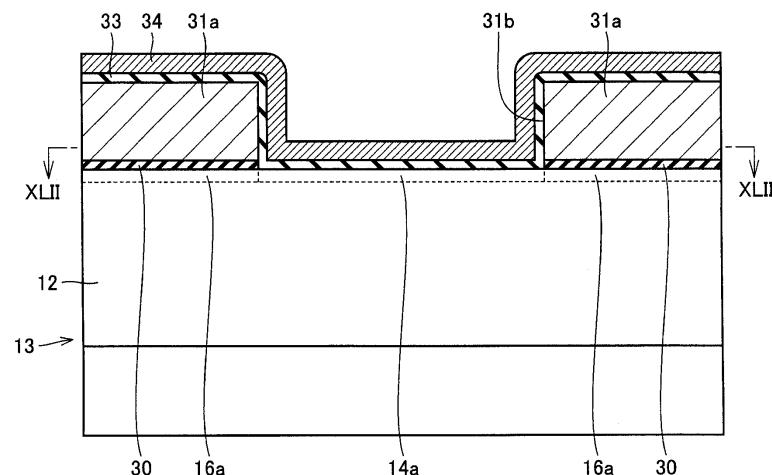
도면12



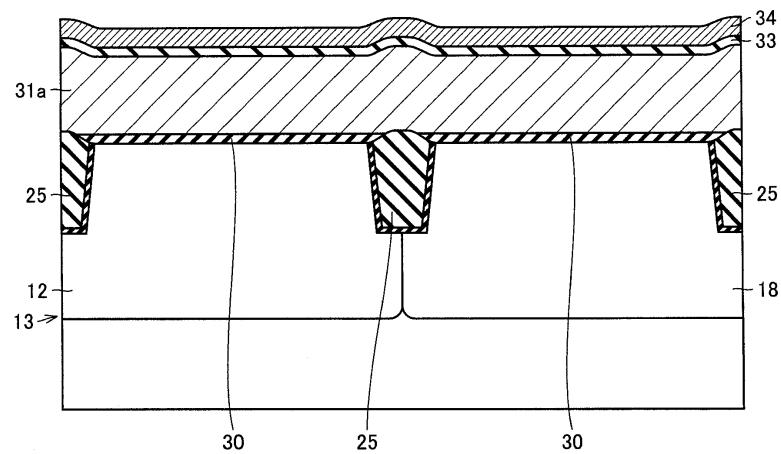
도면13



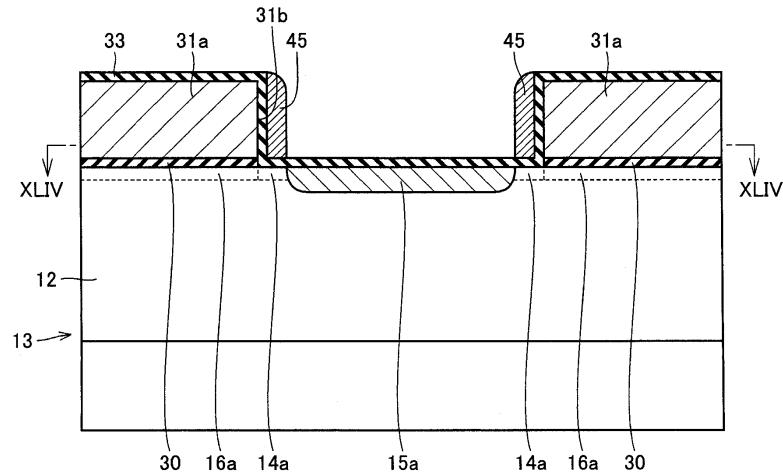
도면14



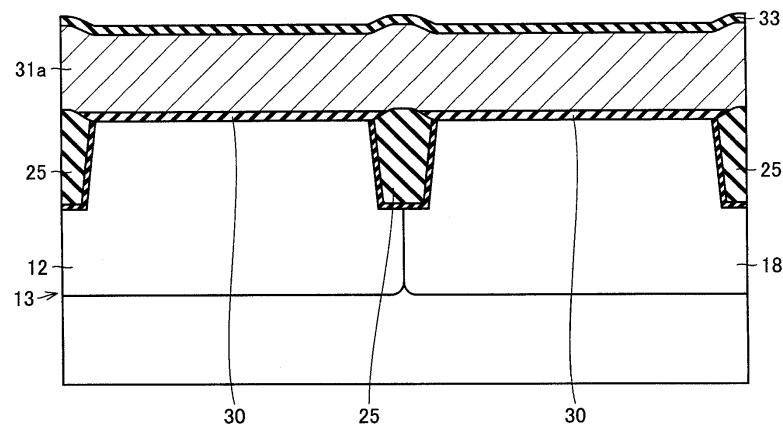
도면15



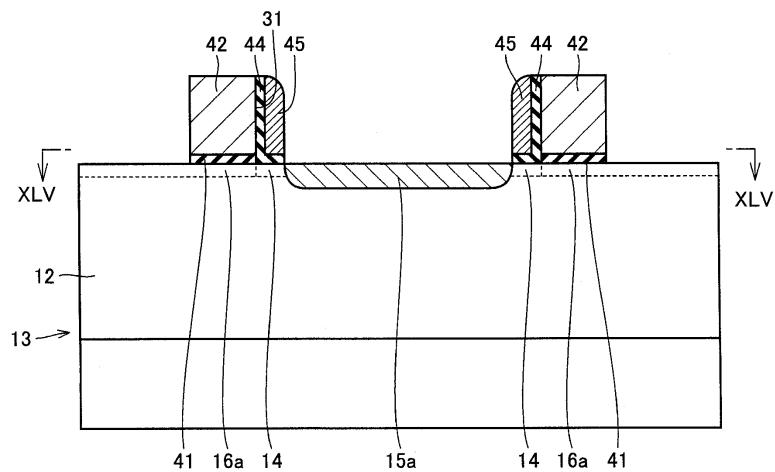
도면16



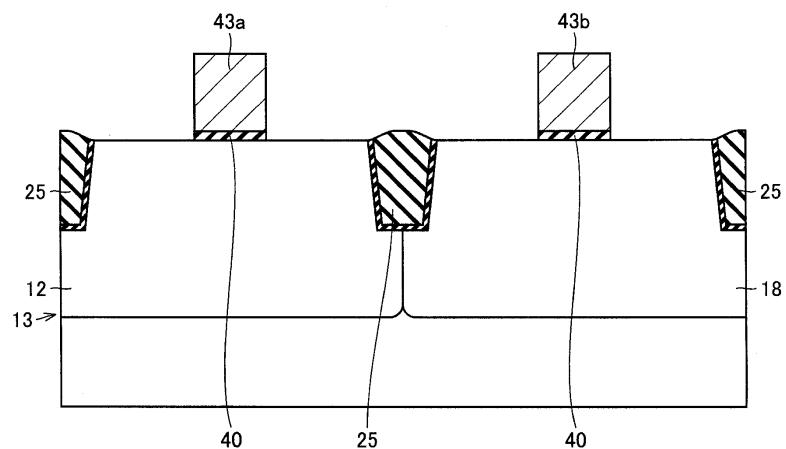
도면17



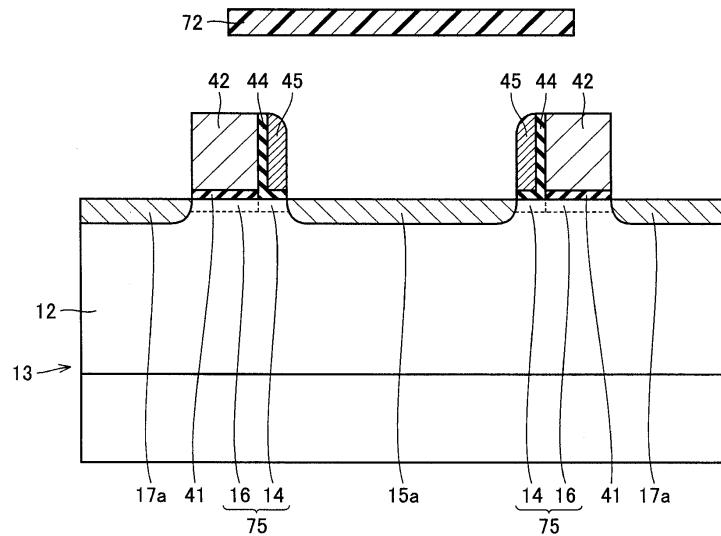
도면18



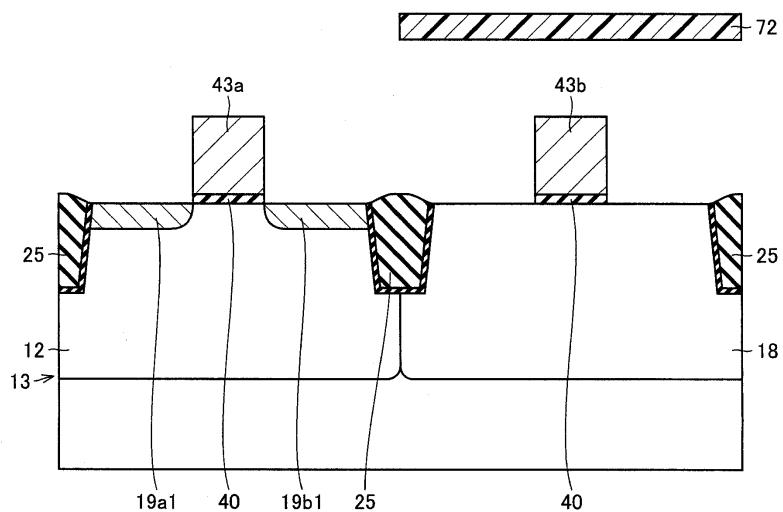
도면19



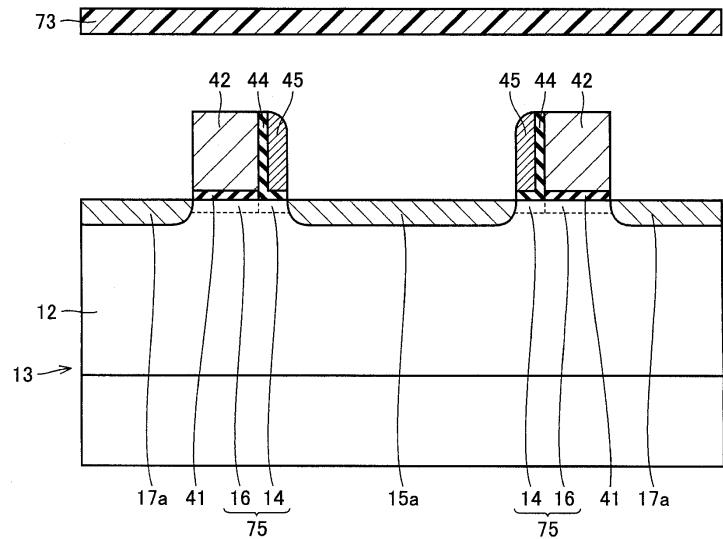
도면20



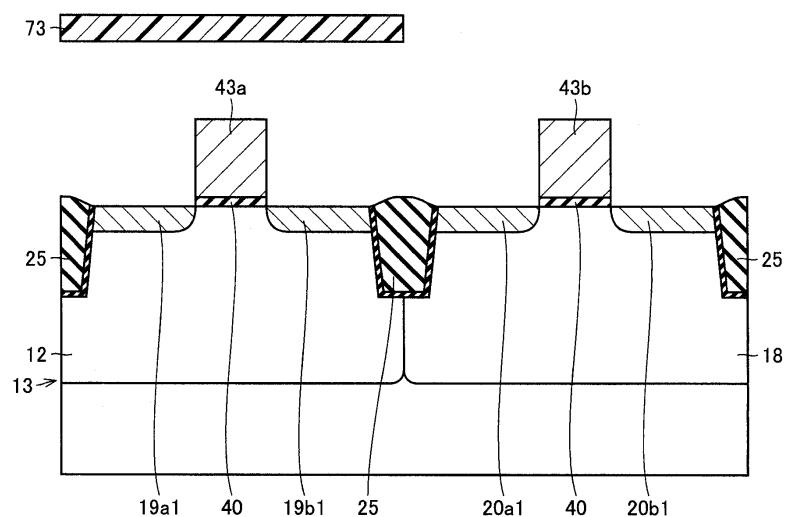
도면21



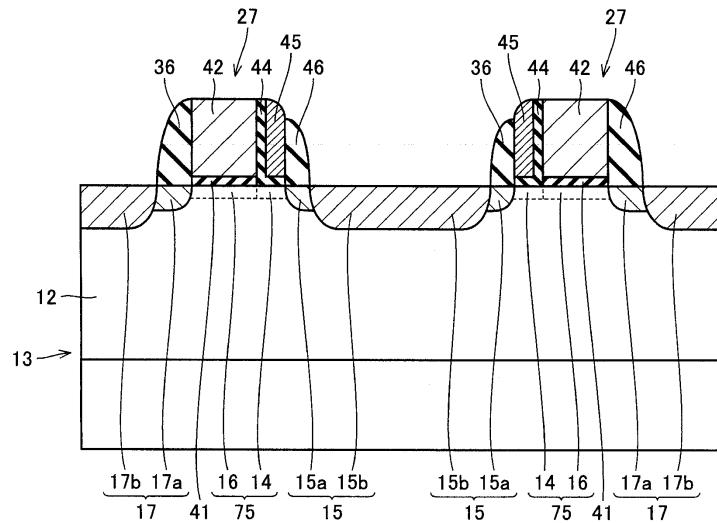
도면22



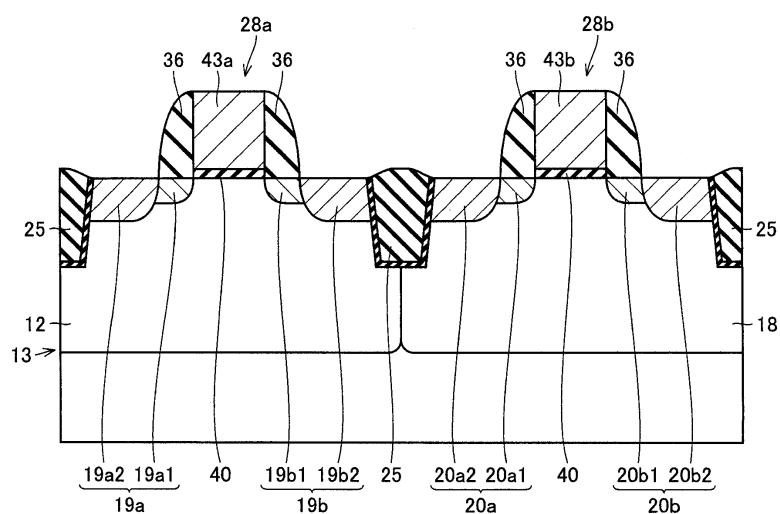
도면23



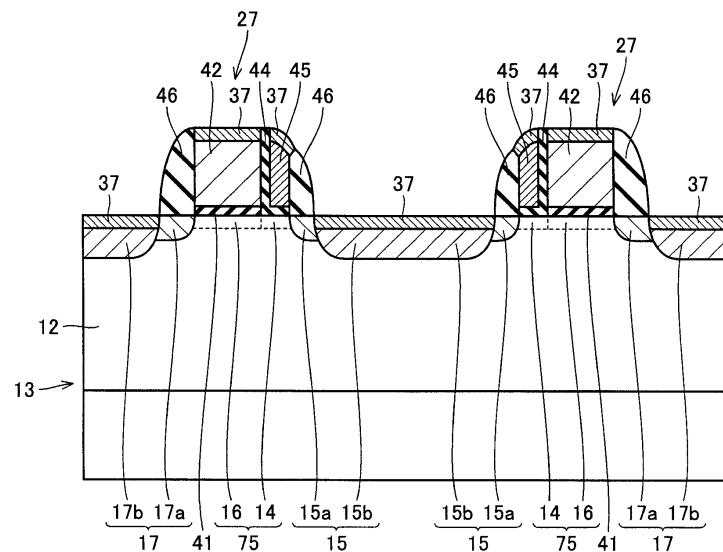
도면24



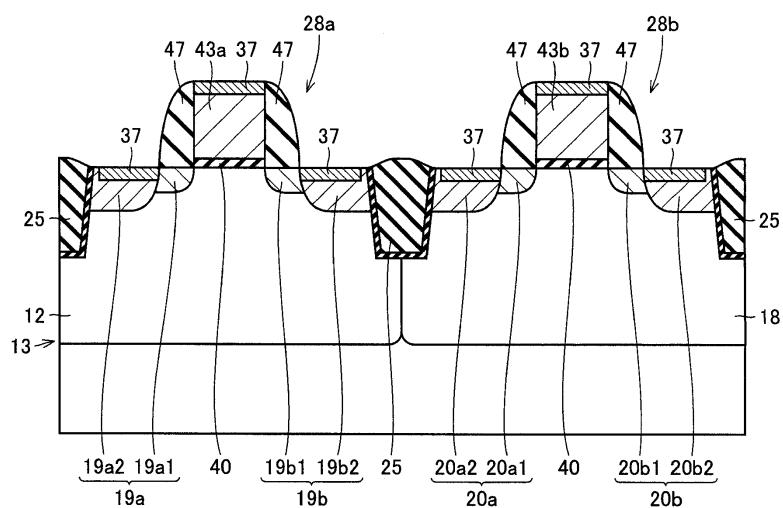
도면25



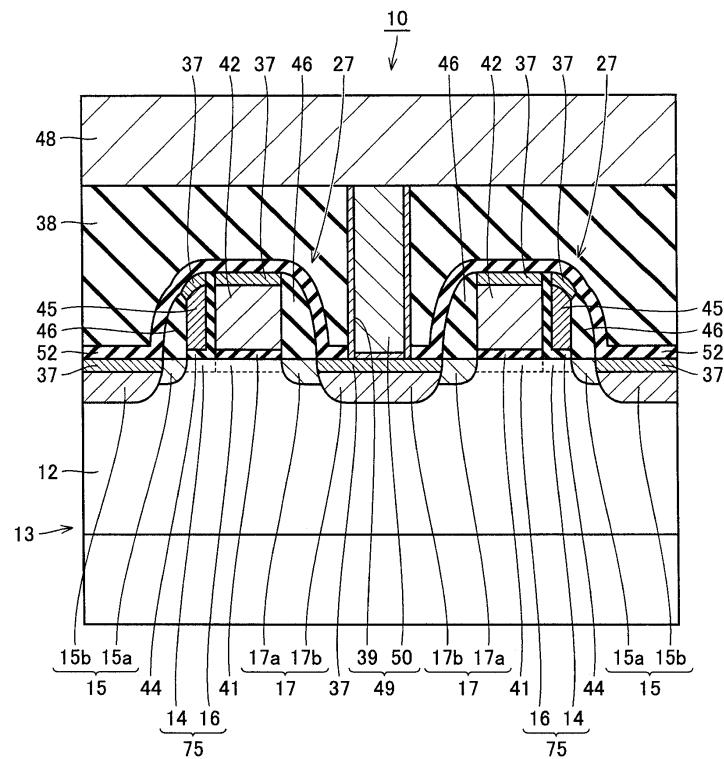
도면26



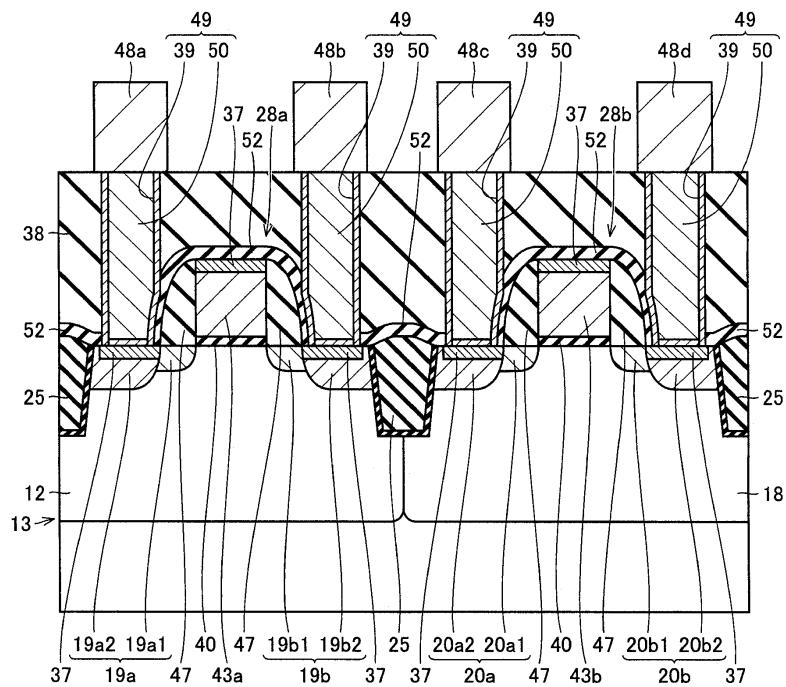
도면27



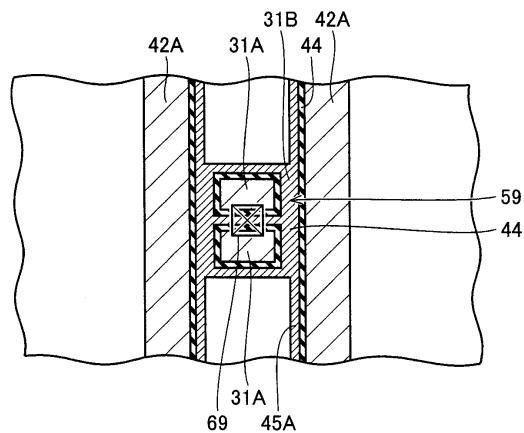
도면28



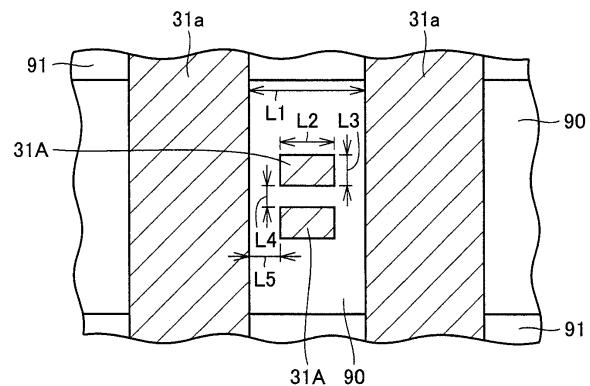
도면29



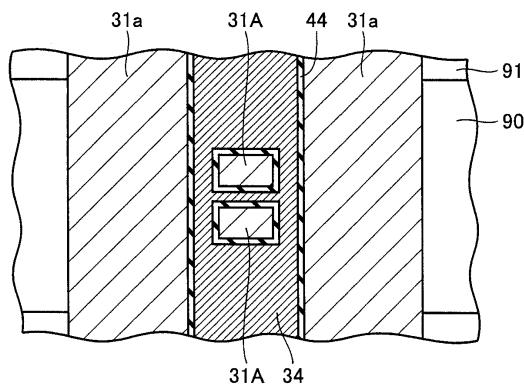
도면30



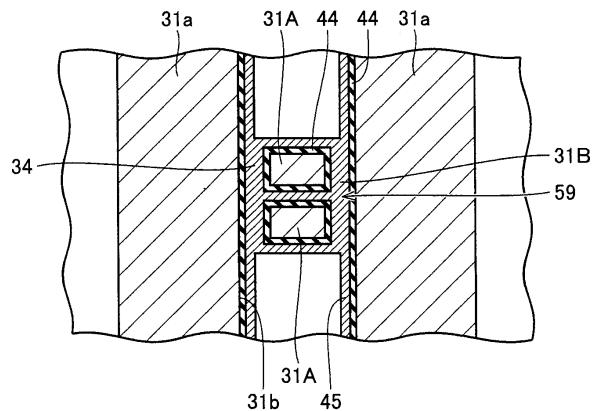
도면31



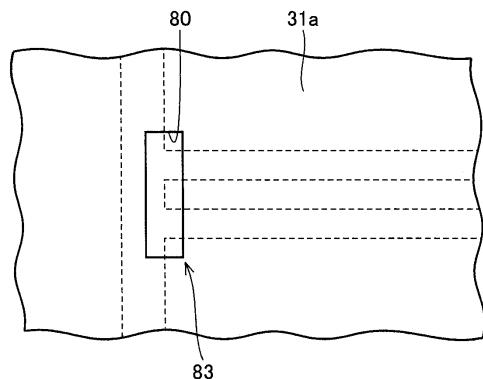
도면32



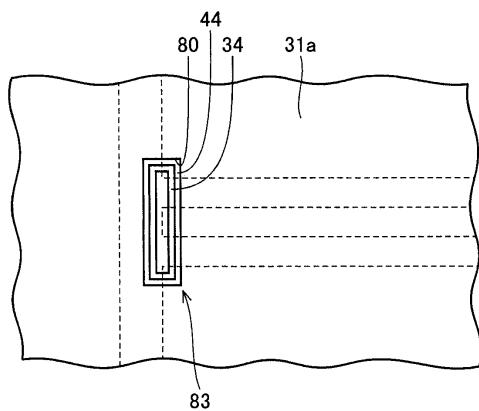
도면33



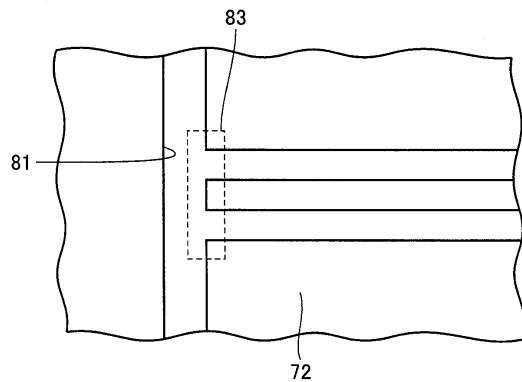
도면34



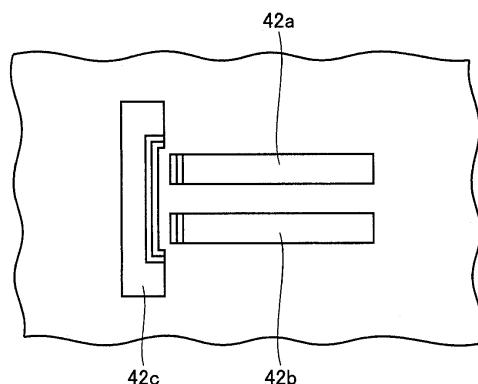
도면35



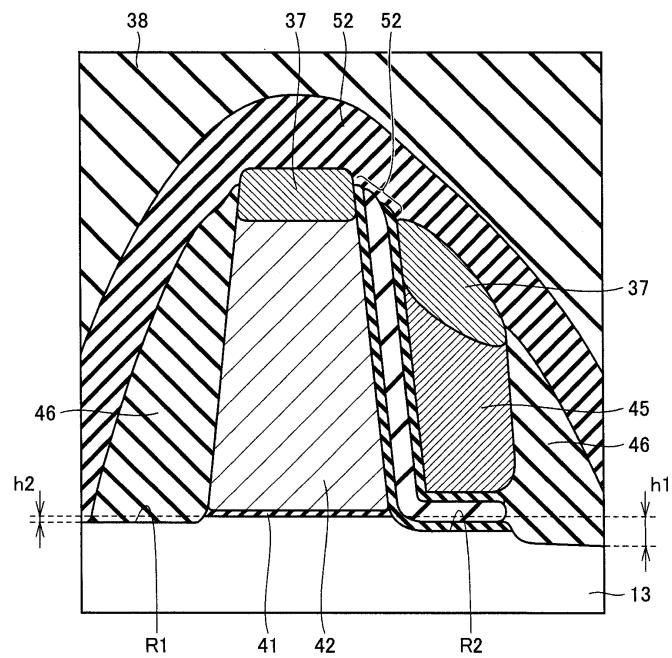
도면36



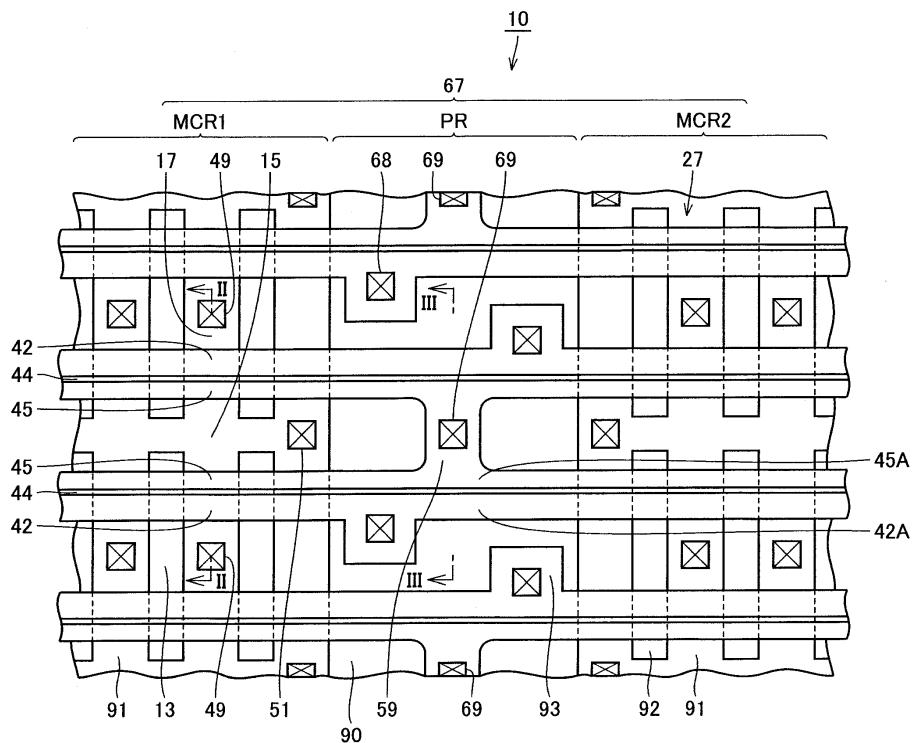
도면37



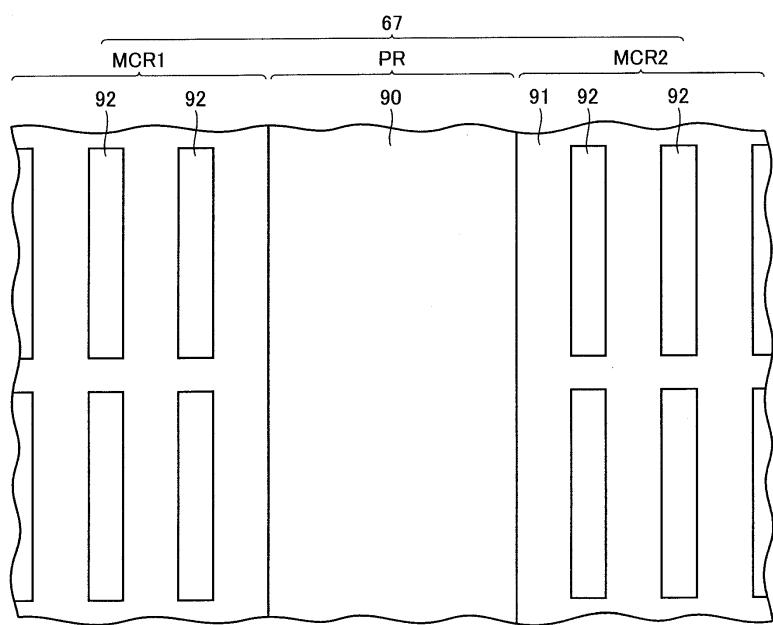
도면38



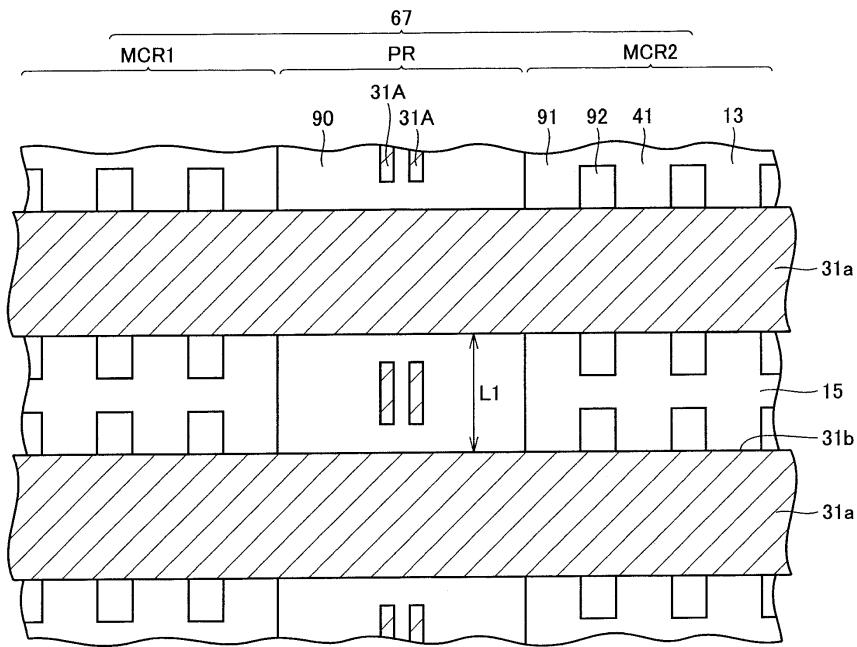
도면39



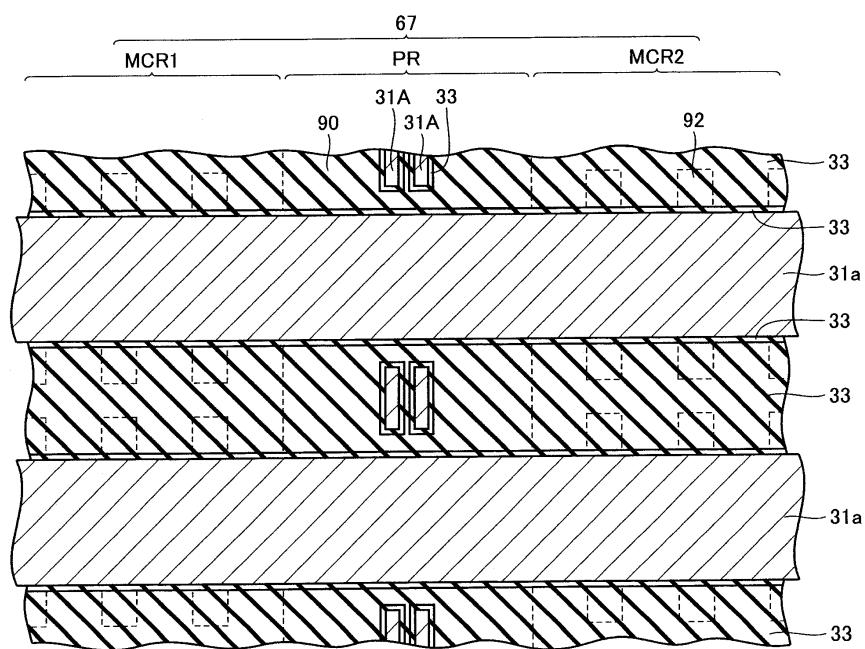
도면40



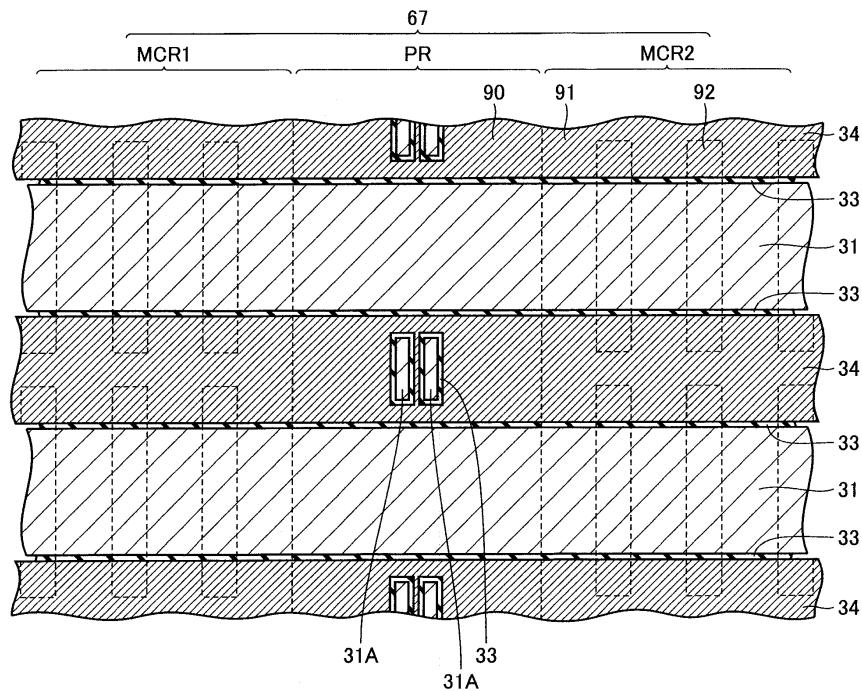
도면41



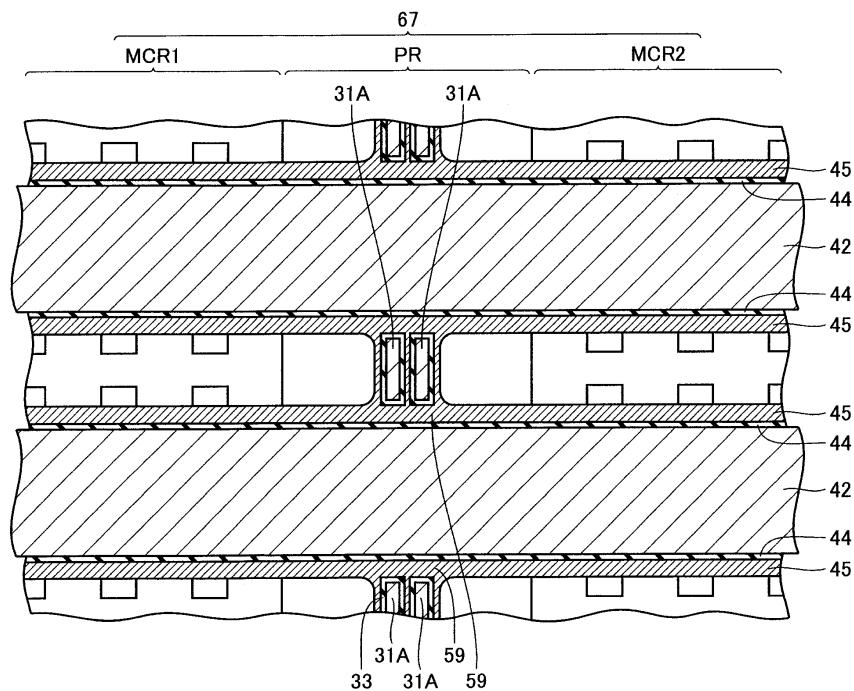
도면42



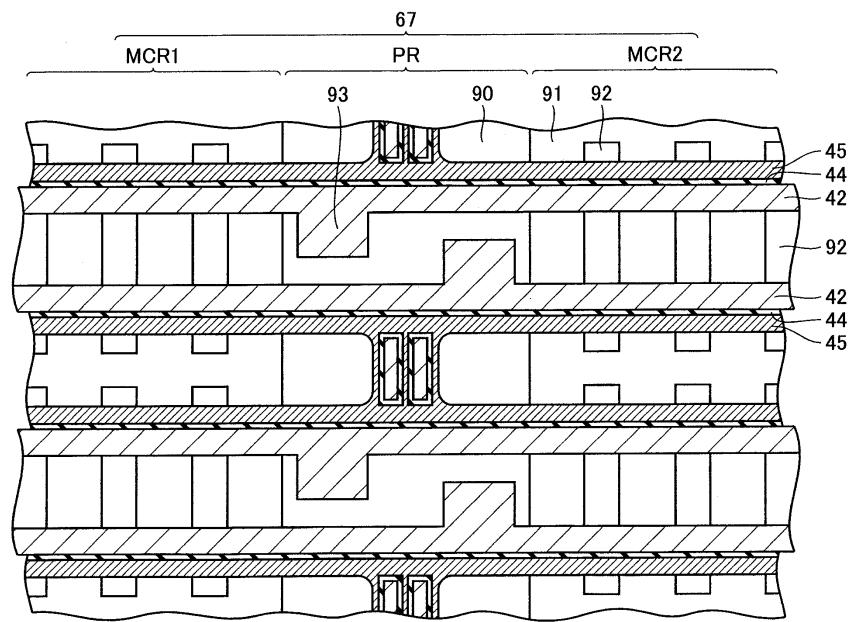
도면43



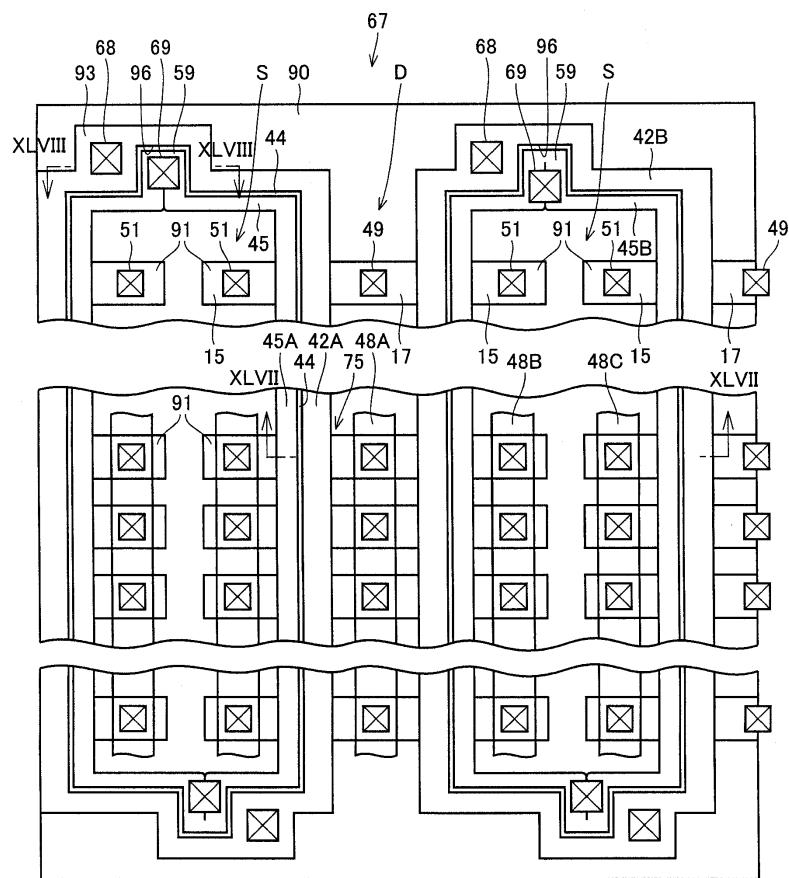
도면44



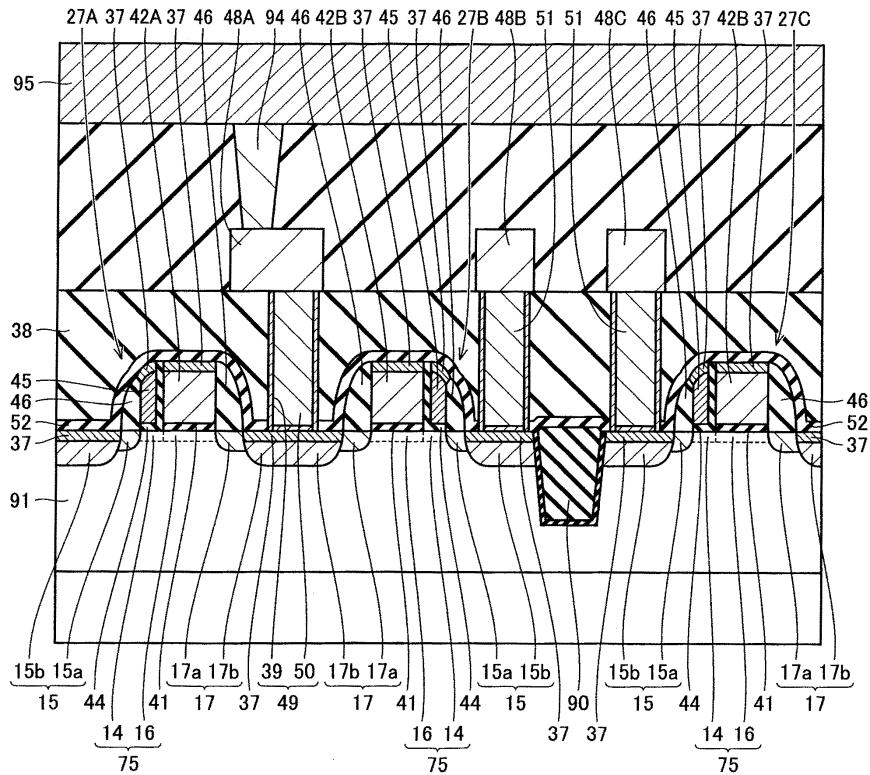
도면45



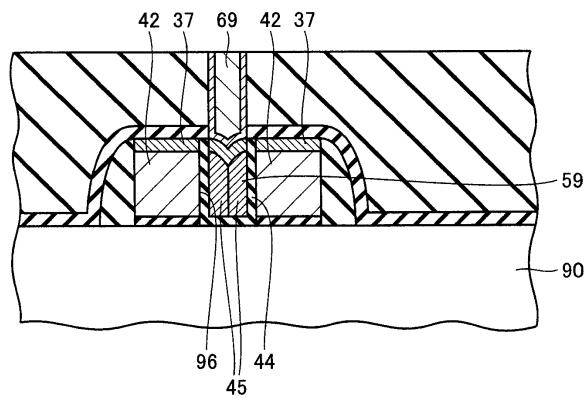
도면46



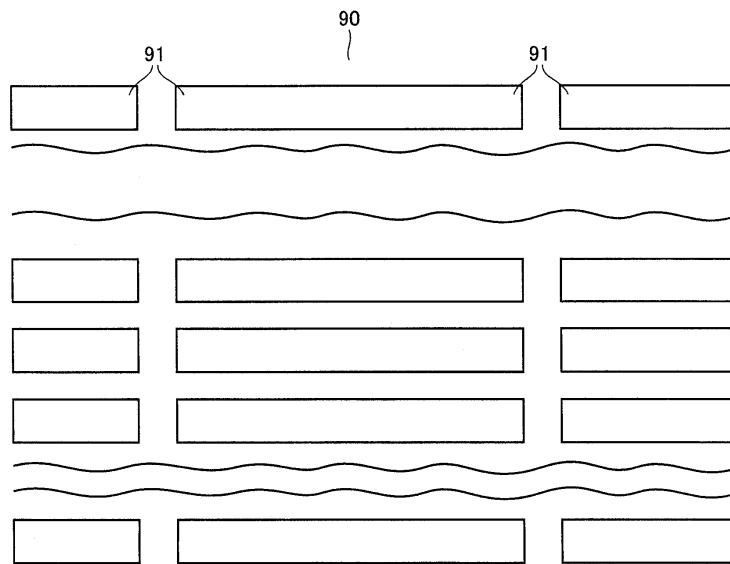
도면47



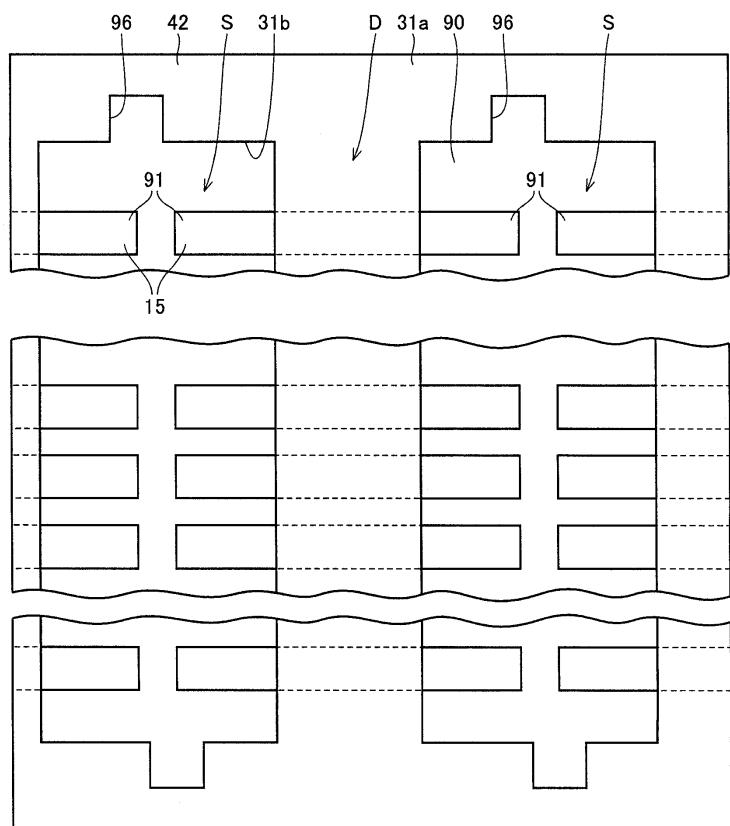
도면48



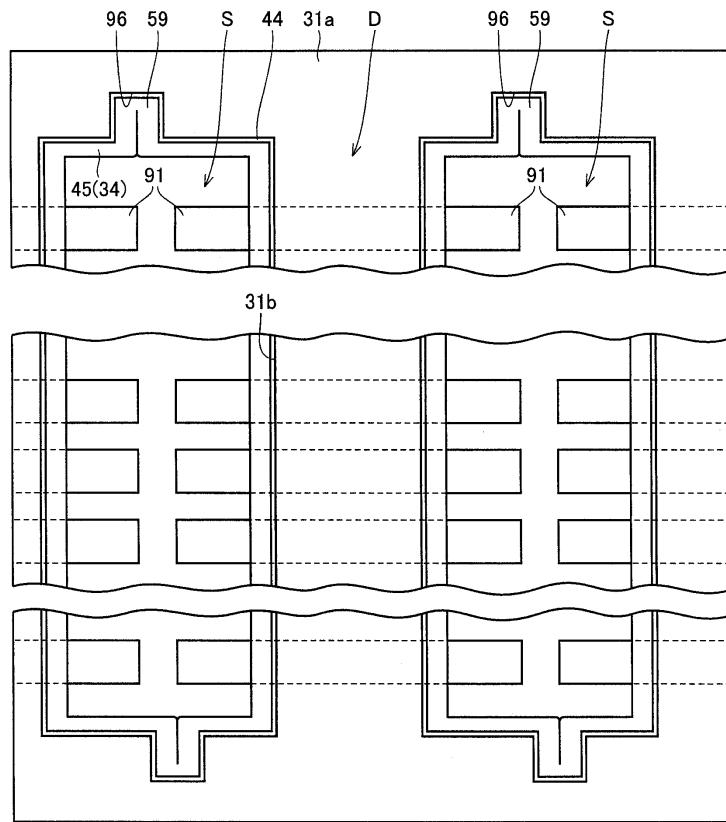
도면49



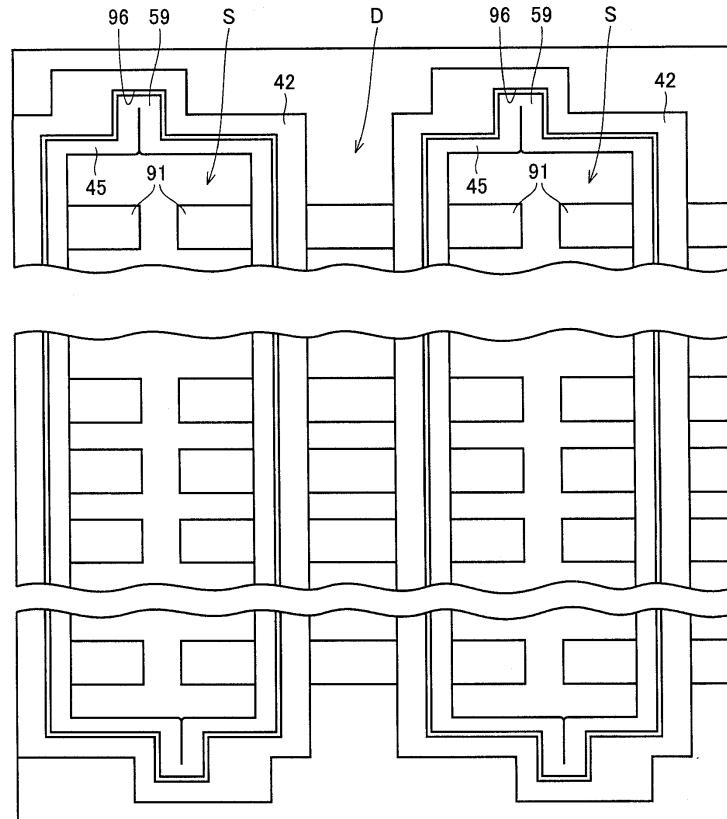
도면50



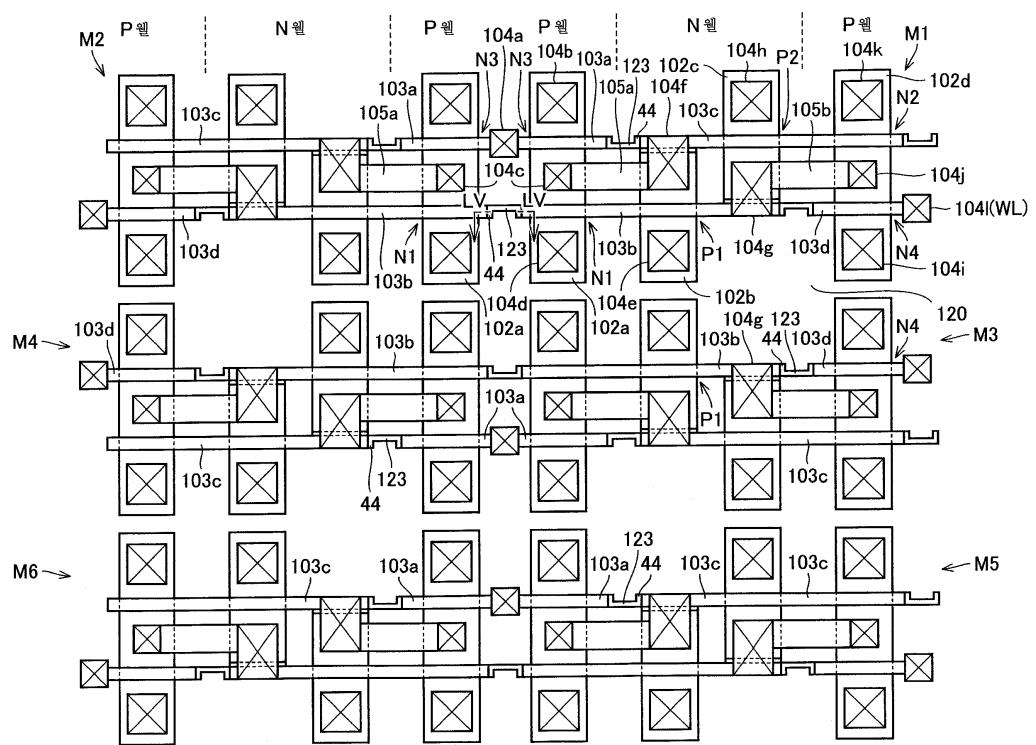
도면51



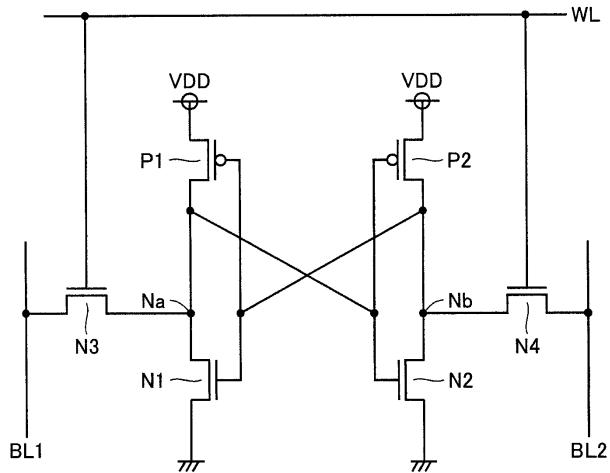
도면52



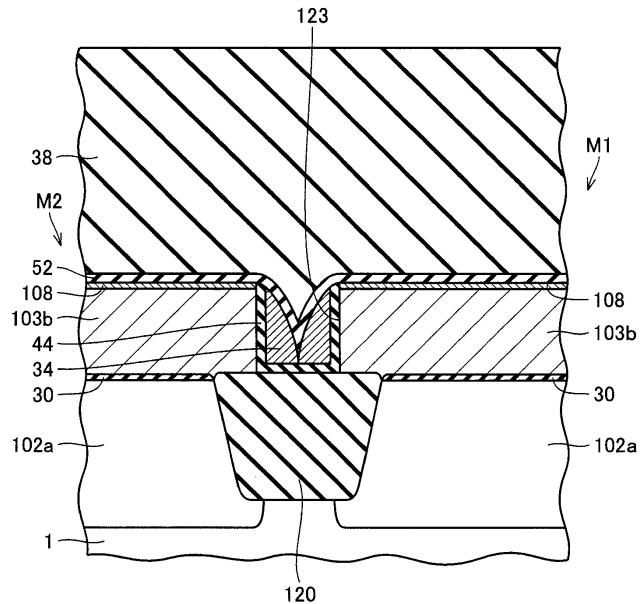
도면53



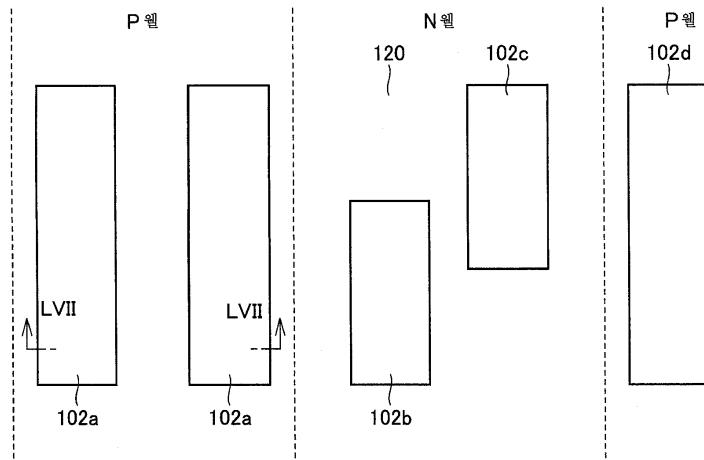
도면54



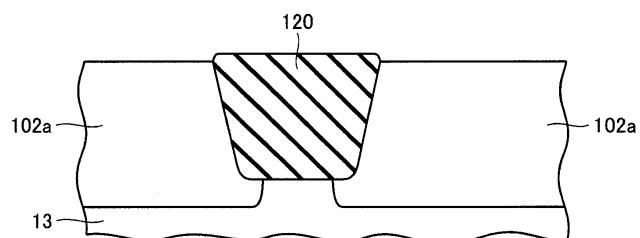
도면55



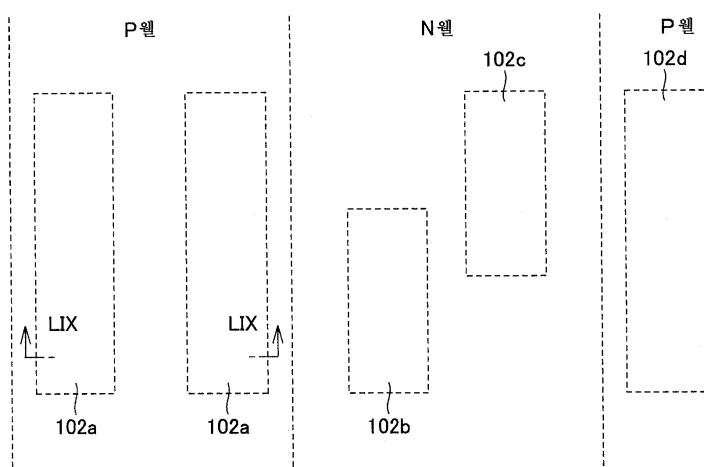
도면56



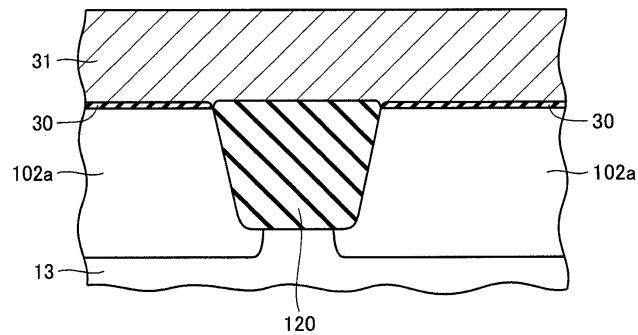
도면57



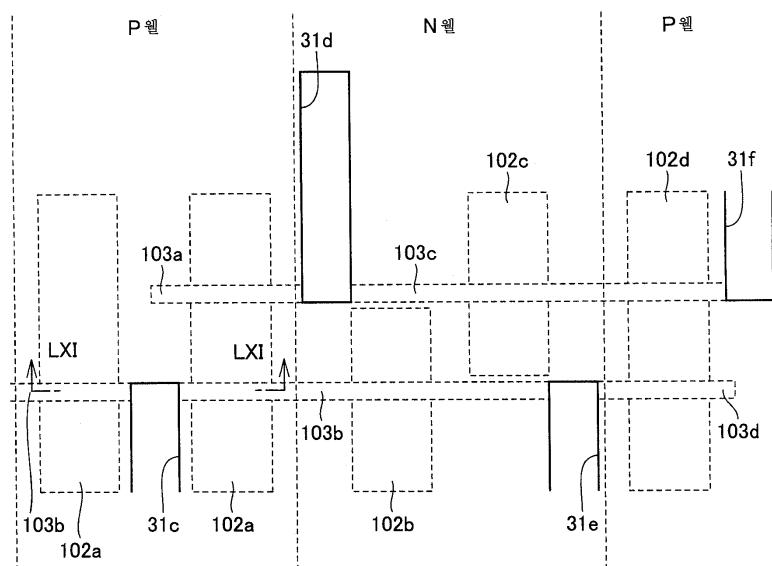
도면58



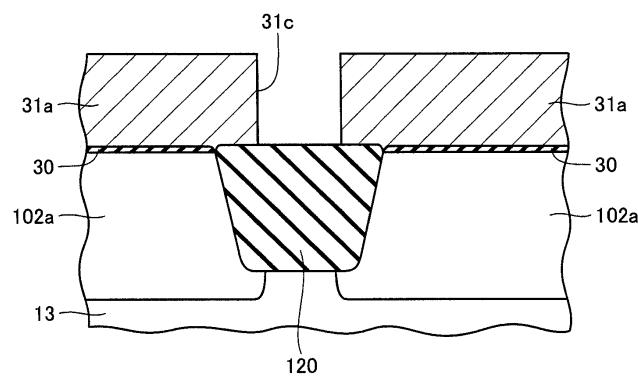
도면59



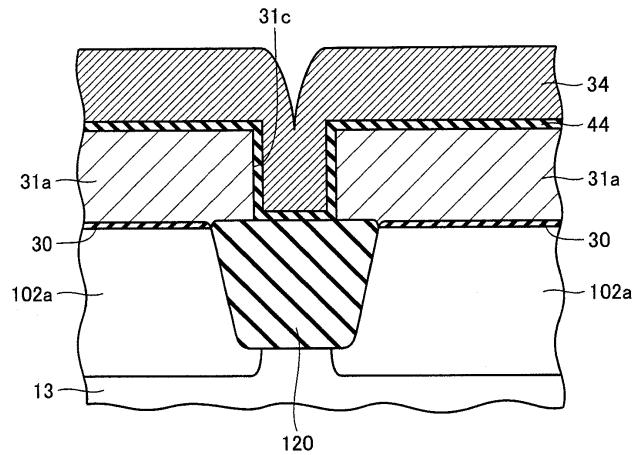
도면60



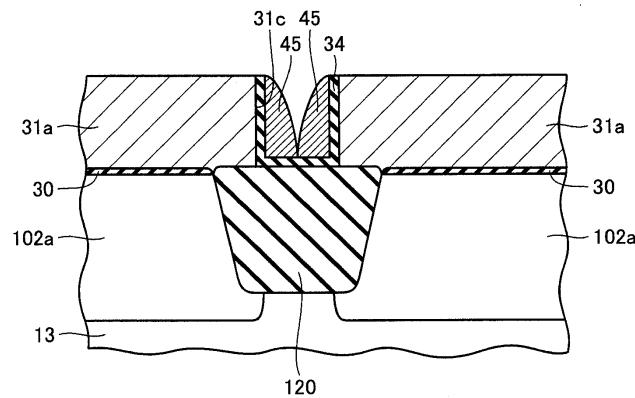
도면61



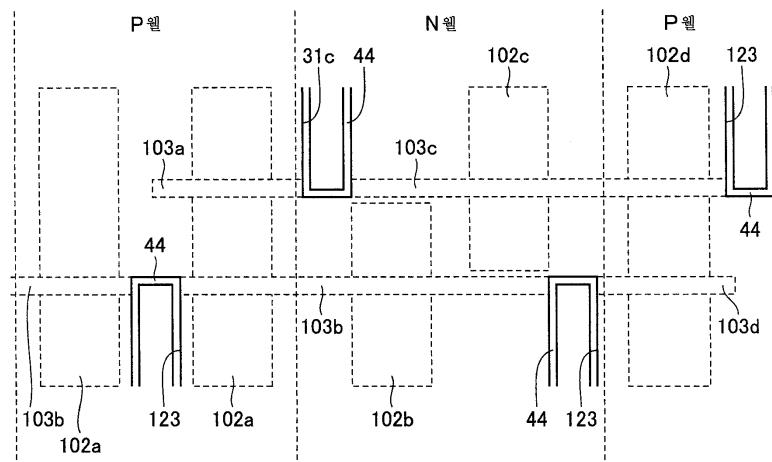
도면62



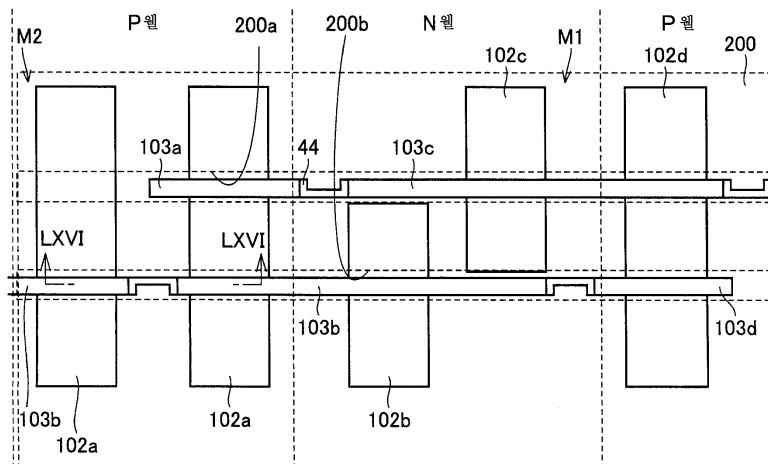
도면63



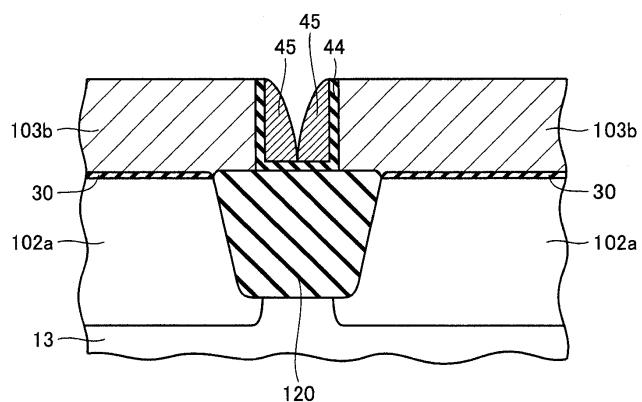
도면64



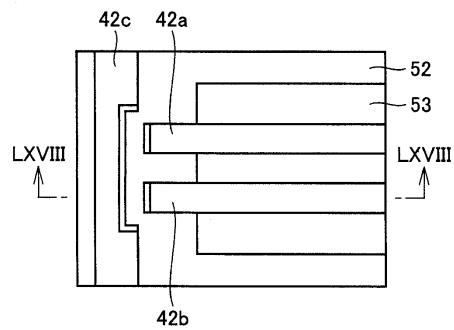
도면65



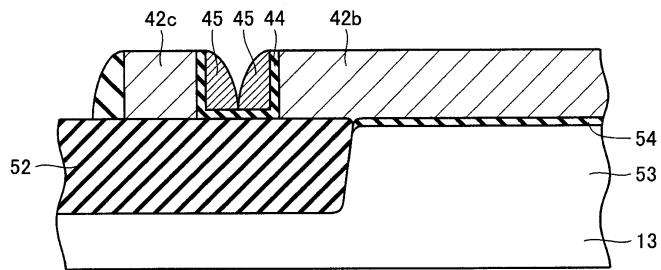
도면66



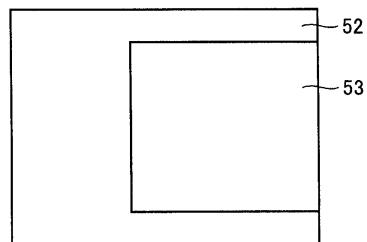
도면67



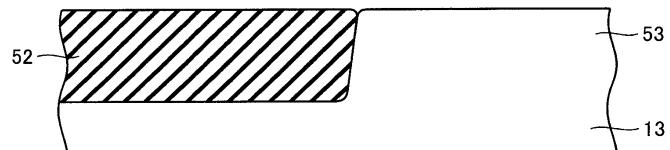
도면68



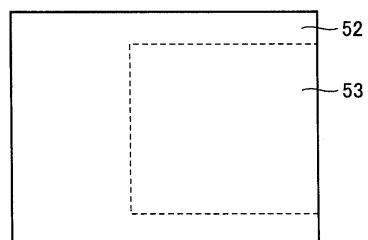
도면69



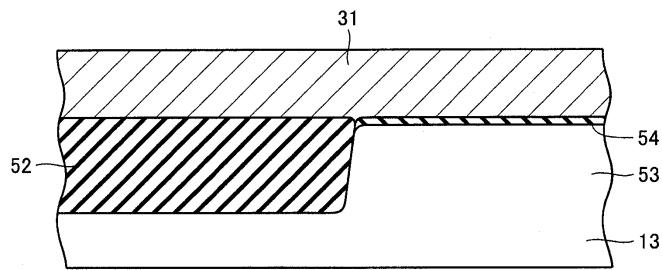
도면70



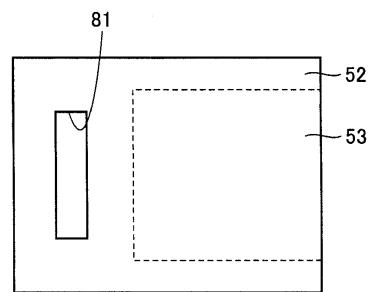
도면71



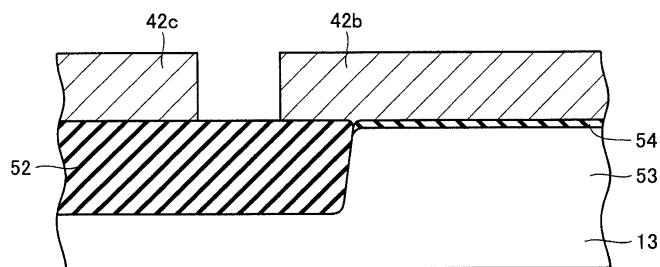
도면72



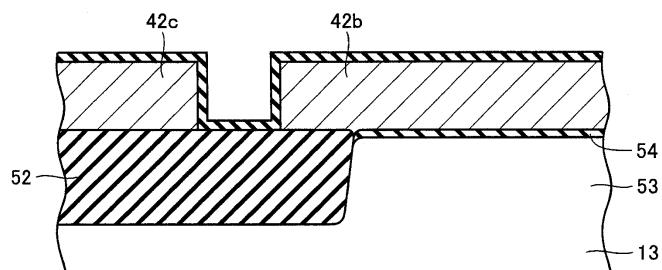
도면73



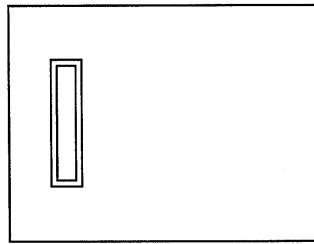
도면74



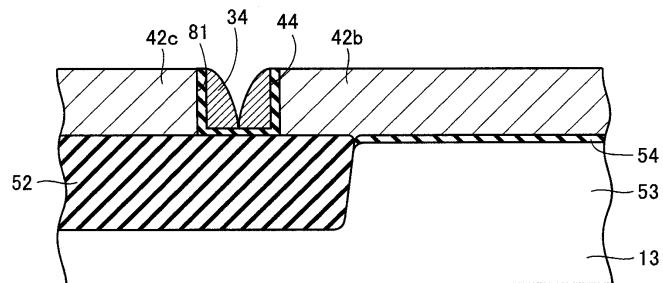
도면75



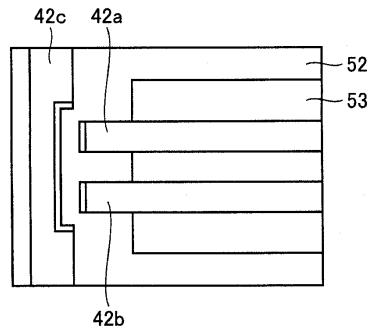
도면76



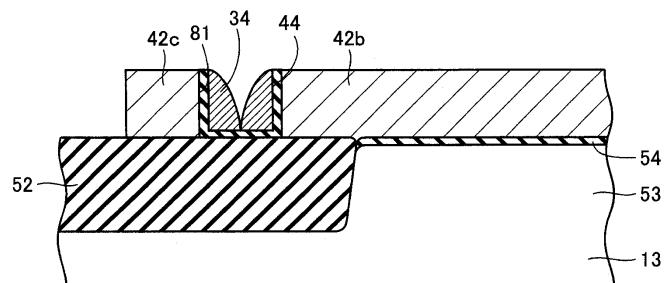
도면77



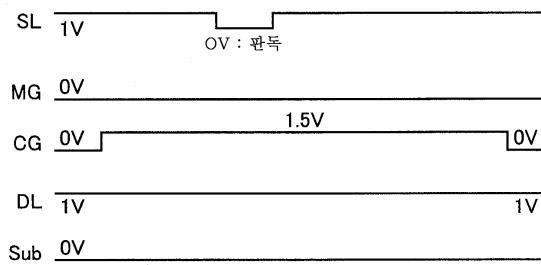
도면78



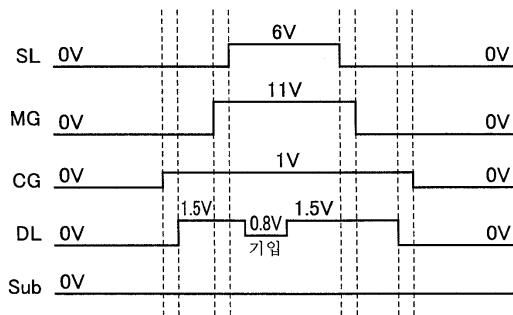
도면79



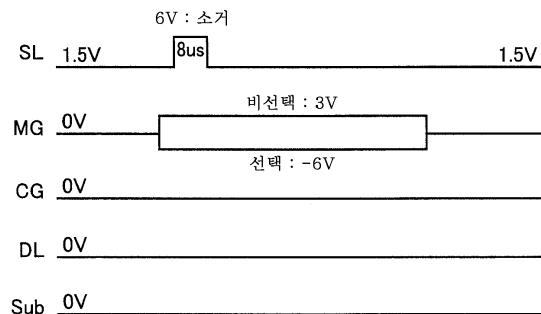
도면80



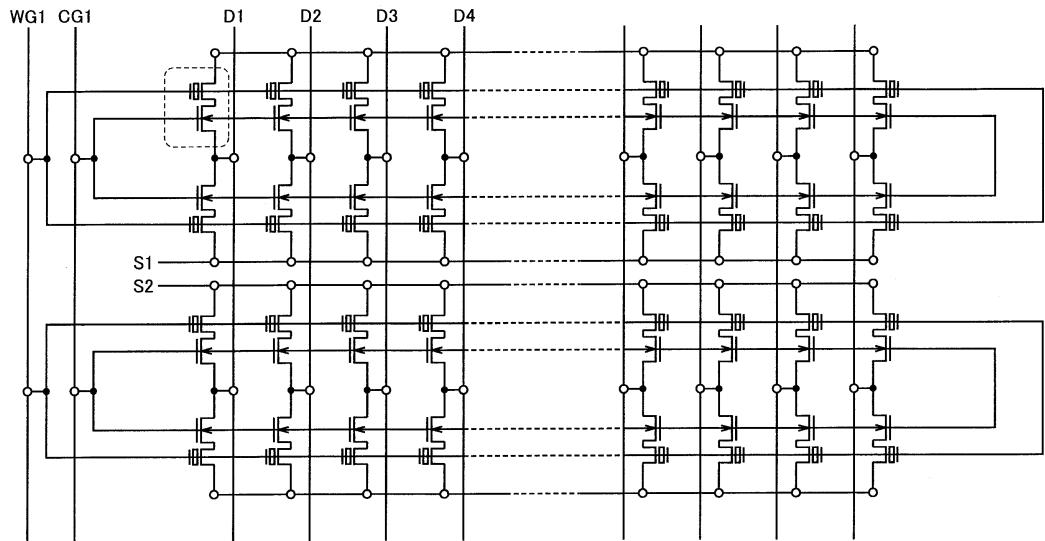
도면81



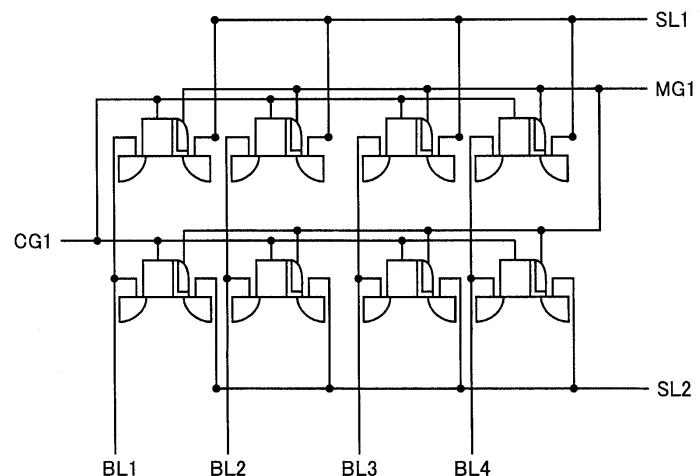
도면82



도면83



도면84



도면85

